

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 17 年 4 月 21 日 (2005.4.21)

【公開番号】特開 2003-273334 (P2003-273334A)

【公開日】平成 15 年 9 月 26 日 (2003.9.26)

【出願番号】特願 2003-65875 (P2003-65875)

【国際特許分類第 7 版】

H 0 1 L 27/105

G 1 1 C 11/15

H 0 1 L 27/10

H 0 1 L 43/08

【F I】

H 0 1 L 27/10 4 4 7

G 1 1 C 11/15 1 1 0

H 0 1 L 27/10 4 8 1

H 0 1 L 43/08 Z

【手続補正書】

【提出日】平成 16 年 6 月 11 日 (2004.6.11)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

磁気メモリデバイスであって、

第 1 および第 2 の軟らかい基準層と、

第 1 および第 2 の障壁層と、および

前記第 1 の障壁層と前記第 2 の障壁層との間に画定されたセンス層であって、前記第 1 の障壁層と前記第 2 の障壁層とが、さらに前記第 1 の軟らかい基準層と前記第 2 の軟らかい基準層とにより画定される、センス層とからなる、磁気メモリデバイス。

【請求項 2】

前記第 1 および第 2 の軟らかい基準層が、互いに無関係に動的に設定され得る、請求項 1 に記載の磁気メモリデバイス。

【請求項 3】

前記磁気メモリデバイスは、2 つの接合を有する磁気トンネル接合セルであり、一方が前記第 1 の障壁層を含み、もう一方が前記第 2 の障壁層を含む、請求項 1 に記載の磁気メモリデバイス。

【請求項 4】

前記第 1 の接合が第 1 の磁気ビットを定義し、前記第 2 の接合が第 2 の磁気ビットを定義する、請求項 1 に記載の磁気メモリデバイス。

【請求項 5】

前記第 1 の磁気ビットが、前記第 2 の磁気ビットとは無関係に配向され得る、請求項 4 に記載の磁気メモリデバイス。

【請求項 6】

磁気メモリデバイスであって、

センス層と、第 1 の動的に設定可能な基準層と、前記センス層と前記第 1 の基準層との間に挟まれた第 1 の障壁層とによって画定された第 1 の接合と、および

前記センス層と、第２の動的に設定可能な基準層と、前記センス層と前記第２の基準層との間に挟まれた第２の障壁層とによって画定された第２の接合とからなる、磁気メモリデバイス。

【請求項７】

前記第１の基準層と第２の基準層が磁氣的に軟らかい、請求項６に記載の磁気メモリデバイス。

【請求項８】

前記第１の接合が第１の磁気トンネル接合ビットを定義し、前記第２の接合が第２の磁気トンネル接合ビットを定義する、請求項６に記載の磁気メモリデバイス。

【請求項９】

前記第１の磁気トンネル接合ビットが、前記第２の磁気トンネル接合ビットとは無関係に配向され得る、請求項８に記載の磁気メモリデバイス。

【請求項１０】

前記第１の基準層に電氣的に結合された第１の書込み層と、前記第２の基準層に電氣的に結合された第２の書込み層とをさらに含む、請求項６に記載の磁気メモリデバイス。

【請求項１１】

メモリセルのアレイを含む情報記憶デバイスであって、各メモリセルが、  
センス層と、第１の動的に設定可能な基準層と、前記センス層と前記第１の基準層との間に挟まれた第１の障壁層とによって画定された第１の接合と、および  
前記センス層と、第２の動的に設定可能な基準層と、前記センス層と前記第２の基準層との間に挟まれた第２の障壁層とによって画定された第２の接合とからなる、情報記憶デバイス。

【請求項１２】

前記第１の基準層と第２の基準層が磁氣的に軟らかい、請求項１１に記載の情報記憶デバイス。

【請求項１３】

前記第１の接合が第１の磁気トンネル接合ビットを定義し、前記第２の接合が第２の磁気トンネル接合ビットを定義する、請求項１１に記載の情報記憶デバイス。

【請求項１４】

前記第１の磁気トンネル接合ビットが、前記第２の磁気トンネル接合ビットとは無関係に配向され得る、請求項１３に記載の情報記憶デバイス。

【請求項１５】

前記アレイに沿って第１の方向に延在する複数の第１のトレースと、前記アレイに沿って前記複数の第１のトレースと平行に前記第１の方向に延在する複数の第２のトレースとをさらに含み、前記複数の第１のトレースのそれぞれが前記第１の基準層の一部に電氣的に結合され、前記複数の第２のトレースのそれぞれが前記第２の基準層の一部に電氣的に結合される、請求項１１に記載の情報記憶デバイス。