

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-504679

(P2008-504679A)

(43) 公表日 平成20年2月14日(2008.2.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 5 8
HO 1 L 27/115 (2006.01)	HO 1 L 21/316 X	5 F 0 8 3
HO 1 L 21/316 (2006.01)	HO 1 L 21/318 C	5 F 1 0 1
HO 1 L 21/318 (2006.01)	HO 1 L 27/10 4 8 1	
HO 1 L 27/10 (2006.01)	HO 1 L 29/78 3 7 1	
審査請求 未請求 予備審査請求 未請求 (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2007-518062 (P2007-518062)
 (86) (22) 出願日 平成17年5月11日 (2005.5.11)
 (85) 翻訳文提出日 平成18年11月30日 (2006.11.30)
 (86) 国際出願番号 PCT/US2005/016252
 (87) 国際公開番号 W02006/007069
 (87) 国際公開日 平成18年1月19日 (2006.1.19)
 (31) 優先権主張番号 10/876,820
 (32) 優先日 平成16年6月25日 (2004.6.25)
 (33) 優先権主張国 米国 (US)

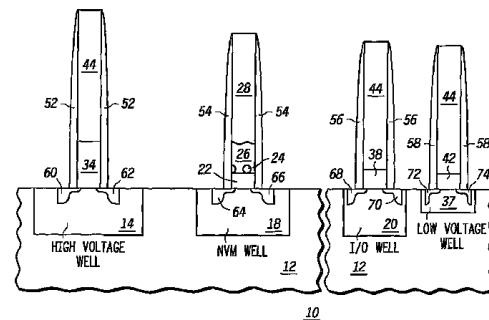
(71) 出願人 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国 78735 テキサス州
 オースティン ウィリアム キャノン
 ドライブ ウェスト 6501
 (74) 代理人 100116322
 弁理士 桑垣 衛
 (72) 発明者 ラオ、ラジェシュ エイ.
 アメリカ合衆国 78753 テキサス州
 オースティン ツェラー レーン 12
 524

最終頁に続く

(54) 【発明の名称】 ナノクラスタ電荷蓄積デバイスを形成する方法

(57) 【要約】

ナノクラスタ(24)の上の中間の二重ポリシリコン - 窒化膜制御電極スタックを用いることによって、複数のメモリセルデバイスが形成される。このスタックは第1に形成されるポリシリコン - 窒化膜層(126)及び第2に形成されるポリシリコン含有層(28)を備える。第2に形成されるポリシリコン含有層は複数のメモリセルを含む領域から除去される。一形態では、第2に形成されるポリシリコン含有層は、やはり除去される窒化膜部分を含むことによって、最初に形成されるポリシリコン - 窒化膜層がメモリセルデバイスのために残される。別の形態では、第2に形成されるポリシリコン含有層は窒化膜を含まず、最初に形成されるポリシリコン - 窒化膜層の窒化膜部分はやはり除去される。後者の形態では、残りのポリシリコン層(28)の上に続いて窒化膜層が形成される。デバイスの上側部分は酸化から保護される。また、メモリセルデバイスの周辺のデバイスのゲート電極は、第2に形成されるポリシリコン含有層を用いる。



【特許請求の範囲】**【請求項 1】**

ナノクラスタ電荷蓄積デバイスを形成する方法であって、

ナノクラスタ電荷蓄積デバイスに関連する第 1 ドーパントウェルと、ナノクラスタを含まない半導体デバイスに関連する第 2 ドーパントウェルとを有する基板を準備する基板準備工程と、

第 1 導電性ゲート材料層を有する第 1 ゲートスタックを第 1 ドーパントウェルの上に形成する第 1 ゲートスタック形成工程と、第 1 導電性ゲート材料層は第 1 ゲート誘電体層に埋め込まれる複数のナノクラスタの上に、かつ、第 2 導電性ゲート材料層の一部分の下に位置し、第 1 ゲートスタックのゲート電極を形成することと、

10

第 2 導電性ゲート材料層のうちの第 2 ドーパントウェル上の部分を第 2 ゲートスタックのゲート電極として用いて、第 2 ドーパントウェル上に第 2 ゲートスタックを形成する第 2 ゲートスタック形成工程と、第 2 導電性ゲート材料層のうちの第 1 導電性ゲート材料層の上の部分は除去されることと、からなる方法。

【請求項 2】

第 1 ドーパントウェルから分離した全ての領域をマスクして第 2 導電性ゲート材料層を選択的にエッチングすることによって、第 2 導電性ゲート材料層のうちの第 1 導電性ゲート材料層の上の部分を除去する工程を含む請求項 1 に記載の方法。

【請求項 3】

ドーピングしたポリシリコン、金属または金属合金を用いて第 1 導電性ゲート材料層及び第 2 導電性ゲート材料層を形成する工程を含む請求項 1 に記載の方法。

20

【請求項 4】

第 2 導電性ゲート材料層とは異なる材料を用いて第 1 導電性ゲート材料層を設ける工程を含む請求項 3 に記載の方法。

【請求項 5】

第 1 ゲート誘電体層を形成する工程と、第 1 ゲート誘電体層を形成する工程はナノクラスタ層の上及び周囲にゲート酸化膜層及び第 2 ゲート酸化膜層を形成する工程を含むことと、第 1 ゲート誘電体層及び第 1 導電性ゲート材料層は第 1 ドーパントウェル及び第 2 ドーパントウェルの両方の上に形成されることと、

ウェットエッチング及びドライエッチングの組み合わせを用いて、第 1 導電性ゲート材料層、第 1 ゲート誘電体層及びナノクラスタ層を第 2 ドーパントウェル上の領域から選択的にエッチングする工程と、を含む請求項 1 に記載の方法。

30

【請求項 6】

第 2 ドーパントウェルの一部分の上に第 2 ゲート誘電体層と、第 2 ゲート誘電体層上の第 2 導電性ゲート材料層とを形成することによって、第 2 ゲートスタックを形成する工程を含む請求項 1 に記載の方法。

【請求項 7】

二酸化シリコンまたは酸窒化シリコンからなる第 2 ゲート誘電体層を形成する工程を含む請求項 6 に記載の方法。

【請求項 8】

第 1 ゲートスタックの中であって、第 1 導電性ゲート材料の上、かつ、第 1 導電性ゲート材料の一部分と第 2 導電性ゲート材料との間に窒化膜層を形成する工程と、

40

窒化膜層の上に、かつ、窒化膜層と物理的に接触するように酸化膜層を形成する工程と、窒化膜層及び酸化膜層は第 2 導電性ゲート材料を除去するときにエッチング停止層として機能することと、窒化膜層は第 1 ゲートスタックにゲート電極を形成するときに反射防止コーティングとして機能することと、を含む請求項 1 に記載の方法。

【請求項 9】

ハフニウム、ランタン、アルミニウム及びシリコンのうちの 1 つ以上を含有する化合物の酸化膜または酸窒化膜からなる第 1 ゲート誘電体層を形成する工程を含む請求項 1 に記載の方法。

50

【請求項 10】

ドーピングした半導体ナノ結晶もしくはドーピングしない半導体ナノ結晶、金属ナノ結晶、2つ以上のドーピングした半導体のもしくはドーピングしない半導体のナノ結晶または金属合金ナノ結晶からなる層を形成することによって、第1ドーパントウェル及び第2ドーパントウェルの上の第1ゲート誘電体層に埋め込まれた複数のナノクラスタを形成する工程を含む請求項1に記載の方法。

【請求項 11】

第1ゲートスタックの周りに、かつ、第1ドーパントウェルの内部に第1ソース及び第1ドレインを形成して、不揮発性メモリ(NVM)トランジスタとして電荷蓄積デバイスを形成する工程と、

10

第2ゲートスタックの周りに、かつ、第2ドーパントウェルの内部に第2ソース及び第2ドレインを形成して、周辺トランジスタを形成する工程と、を含む請求項1に記載の方法。

【請求項 12】

ナノクラスタ電荷蓄積デバイスの充電及び放電を可能とする半導体デバイスを第2ゲートスタックから形成する工程を含む請求項1に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体デバイスに関する。より詳細には、本発明はナノクラスタを含む半導体デバイスに関する。

20

【背景技術】

【0002】

メモリ(例えば、不揮発性メモリ)など幾つかのデバイスは、ナノクラスタ(例えば、シリコン、アルミニウム、金またはゲルマニウムからなる)と呼ばれる個別電荷蓄積要素を利用して、トランジスタの電荷蓄積位置に電荷を蓄積する。幾つかの例では、ナノクラスタは2つの誘電体層、すなわち下部誘電体と制御誘電体との間に位置する。このようなトランジスタの例には、薄膜蓄積トランジスタがある。通常、メモリにはこのようなトランジスタからなるアレイが含まれる。ナノクラスタの種類の例には、シリコンナノ結晶、ゲルマニウムナノ結晶及びそれらの合金など、ドーピングした半導体ナノクラスタまたはドーピングしない半導体ナノクラスタがある。ナノクラスタの種類の他の例には、金属ナノクラスタ(例えば、金ナノクラスタやアルミニウムナノクラスタ)及び金属合金ナノクラスタなど、種々の導電性構造がある。幾つかの例では、ナノクラスタのサイズは1~10nm(10~100オングストローム)である。

30

【0003】

ナノクラスタを含む電荷蓄積トランジスタを備える幾つかのメモリは集積回路に搭載される。また、この集積回路において、電荷蓄積トランジスタの電荷蓄積位置の充電及び放電を行なうために使用される回路には、高電圧トランジスタも搭載される。電荷蓄積位置の充電、放電は1ビット以上の情報を保存するために利用され、プログラム、消去とも呼ばれる。通常、これらの高電圧トランジスタは比較的厚いゲート酸化膜を備える。このゲート酸化膜は厳しい酸化条件の下で形成される場合がある。この酸化雰囲気では電荷蓄積トランジスタの制御誘電体が貫通されることによって、ナノ結晶が酸化され、下部誘電体の厚さが増大してしまう場合がある。したがって、ナノクラスタを含むデバイスを形成する方法の改善が所望される。

40

【発明を実施するための最良の形態】

【0004】

図1~16には、本発明の第1の実施形態による、ナノクラスタを含むメモリを形成する種々の段階における半導体ウェハの部分側面図を示す。後述のように、ここに開示する実施形態は、1番目に形成される第1ポリシリコン-窒化膜構造及び2番目に形成される第2ポリシリコン-窒化膜構造を含む、中間の二重ポリシリコン-窒化膜制御電極スタッ

50

クを利用する。第2ポリシリコン - 窒化膜構造は、周辺デバイス制御電極がパターニングされている間に除去され、第1ポリシリコン - 窒化膜制御電極構造はメモリセルデバイス用に残される。かかる手法によりナノクラスタ酸化膜層の上側部分の保護が可能であることによって、このような酸化膜層の厚さ及び品質が保持される。

【0005】

図1には半導体デバイス10を示す。半導体デバイス10は集積回路チップである。半導体デバイス10は基板12を備える。この基板は図示の時点の形成段階におけるウェハ全体の一部である。半導体デバイス10は、半導体デバイス10の機能回路部分を形成する種々のドーパントウェル14, 18, 20も備える。また、基板には、種々のデバイスを分離し、本明細書に記載のウェルを側方に分離するための種々のシャロートレンチ分離構造（図示せず）が、予め形成されている。半導体デバイス10は下部酸化膜層22も備える。

【0006】

ドーパントウェル14, 18, 20は種々の形態であってよい。不揮発性メモリ（NVM）ウェル18は、不揮発性メモリアレイからなる蓄積セル回路部分を形成する。図示の実施形態では、NVMウェル18は、蓄積セルアレイの形成されるpウェルである。一定の状況では、周辺デバイスは高電圧（HV）デバイス（例えば、セル充電/放電デバイス）しか備えないが、本明細書に記載の実施形態では、周辺デバイスはNVM蓄積セルアレイの外に種々のデバイスを備え、HVデバイス、集積回路チップ入力/出力（I/O）デバイス及び低電圧（LV）デバイス（例えば、論理デバイス）を備える場合もある。高電圧（HV）ウェル14は、NVMアレイのセルのプログラム及び消去を行なうための回路部分（例えば、高電圧トランジスタ）を形成する。図示のHVウェル14はnウェルである。これに代えて、またはこれに加えて、半導体デバイスはディープn型分離ウェルの内部にHV pウェルを備えてもよい。I/Oウェル20は半導体デバイス10のI/O回路部分を形成する。図示のI/Oウェル20はnウェルである。これに代えて、またはこれに加えて、半導体デバイスはディープn型分離ウェルの内部にI/O pウェルを備えてもよい。一実施形態では、I/Oウェル20はデュアルゲート酸化膜（DGO）ウェルである。

【0007】

二酸化シリコン層22はトンネル誘電体層となる。酸化膜層22には、酸窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化ランタンまたはケイ酸ランタンなど、他の誘電体が用いられてもよい。誘電体層22は、例えば、酸化または化学気相成長によって、基板12の上に形成される。一実施形態では、下部誘電体の厚さは5ナノメートルであるが、他の実施形態では他の厚さであってよい。

【0008】

図2を参照すると、例えば、化学気相成長法、エアロゾル堆積法、スピン塗布コーティング法、または薄膜のアニールによるナノクラスタの形成などの自己組織化法によって、酸化膜層22の上にナノクラスタ層24（例えば、シリコン、アルミニウム、金、ゲルマニウムもしくはシリコンゲルマニウム合金その他の種類の導電性材料、またはドーピングした半導体材料もしくはドーピングしない半導体材料からなる）が形成される。一実施形態では、ナノクラスタ24はシリコンナノ結晶である。ナノクラスタを不揮発性メモリに利用する一実施形態では、ナノクラスタの面密度は $1 \times 10^{12} \text{ cm}^{-2}$ であり、サイズは5~7ナノメートルである。幾つかの実施形態では、ナノクラスタのサイズは1~10 nm（10~100オングストローム）である。しかしながら、他の実施形態においては、ナノクラスタは他のサイズや他の密度を有する場合もある。一実施形態では、ナノクラスタ24はクラスタの平均サイズにほぼ等しい平均距離だけ離間されている。かかる一実施形態では、平均距離は4ナノメートルよりも大きい。均一なサイズ及び分布を有するようにナノクラスタ24を示すが、実際にはナノクラスタ24は不均一なサイズ及び分布を有する。ナノクラスタ24は、半導体デバイス10の不揮発性メモリのトランジスタ（図16を参照）に電荷蓄積位置を形成するために利用される。

10

20

30

40

50

【0009】

ナノクラスタ24が堆積された後、制御誘電体層26を形成するために、ナノ結晶24の上に誘電体材料層（例えば、二酸化シリコン、酸化窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化ランタン及びケイ酸ランタン）が形成される（例えば、化学気相成長により）。一実施形態では、ナノクラスタの上に二酸化シリコン層が堆積される。これに代えて、層26には酸化窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化ランタンまたはケイ酸ランタンなど、他の誘電体を用いられてもよい。別の実施形態では、層26には二酸化シリコン、窒化シリコン及び二酸化シリコンからなる酸化膜 - 窒化膜 - 酸化膜（ONO）スタックが用いられる。一実施形態では、誘電体層26の厚さは約5～15ナノメートルであるが、他の実施形態では他の厚さであってよい。

10

【0010】

幾つかの実施形態では、下部誘電体22、ナノクラスタ24及び制御誘電体26は、誘電体材料層（図示せず）へのイオン注入（例えば、シリコンまたはゲルマニウム）に続き、イオンのアニールにより誘電体材料層中にナノ結晶を形成することによって形成される。他の実施形態では、下部誘電体22、ナノクラスタ24及び制御誘電体26は、2つの誘電体材料層の間のシリコンリッチ酸化膜層を再結晶化させ、ナノクラスタを形成することによって形成される。他の実施形態では、ナノクラスタは下部誘電体の上方に位置する複数の層に形成される。他の実施形態では、ナノクラスタはナノクラスタ材料からなる薄い非晶質層（例えば、1～5ナノメートル）を堆積させることによって形成され、得られる構造が続いてアニール処理によってアニールされる。

20

【0011】

図3では、誘電体層26の上に、ドーピングしたポリシリコン層28が形成される。ポリシリコン層28の一部分はNVMビットセルのゲート電極として機能する。ポリシリコン層はインシツ（in-situ）ドーピングされてもよく（堆積中に）、注入によってドーピングされてもよい（堆積後に）。金属など他のゲート電極材料が用いられてもよい。ゲート電極28が堆積された後、反射防止コーティング（ARC）が堆積される。図示の実施形態では、シリコン窒化膜層30が反射防止コーティングとなる。

【0012】

図4では、窒化膜層30上にマスク層32（例えば、フォトレジスト）が形成される。マスク層32はNVMウェル18の上のゲートスタックを保護し、層30、28、26、24、22の一部分は半導体デバイス10の他の領域から露出される。続いて、窒化膜層30、ポリシリコン層28、誘電体層26及びナノクラスタ層24が除去される。続いて、層22の一部分も除去される。一実施形態では、層30、28、26、24、22を除去するために反応性イオンエッチングが用いられる。

30

【0013】

図5では、窒化膜を露出させるためにマスク層32が除去され、基板を露出させるためにトンネル誘電体層22の露出部分の残部が除去されている。トンネル誘電体層22が二酸化シリコンである一実施形態では、希フッ化水素酸を用いるウェットエッチングによって除去が行なわれる。

【0014】

図6では、高電圧デバイス酸化膜層34が形成される。例えば、HV酸化膜層34は酸素またはスチーム中での酸化によって成長する。酸化膜層34の一例は、厚さ5～15ナノメートルの二酸化シリコンである。同時に、窒化膜層上に酸化膜層35が成長するが、通常、厚さはより薄い。この侵食性（aggressive）酸化工程中、窒化膜層30は拡散バリアとして機能して、下のナノクラスタ24、ポリシリコン層28及びトンネル誘電体22を有害な酸化から保護する。ナノクラスタのプログラム及び消去は誘電体層22の厚さ及びナノクラスタのサイズの影響を非常に受け易いため、そうした酸化が生じる場合、NVMデバイスの性能に悪影響が生じ得る。

40

【0015】

続いて、基板12へのイオン注入によって、汎用論理回路用の低電圧デバイスウェル3

50

7が形成される。従来の注入処理に続いて、マスク工程による低電圧領域の開口が行なわれる。HV酸化膜層34は低電圧ウェル注入のための犠牲酸化膜層として機能する。論理ウェルは、通常、高速熱アニール処理によって活性化される。

【0016】

論理ウェル37の形成後、HV酸化膜層34のうちのHVデバイスウェル14の上の部分を保護し、HV酸化膜層の他の部分を露出させるために、HV酸化膜層の上にマスク層36（例えば、フォトレジスト）が形成される。

【0017】

図7では、希フッ化水素酸を用いるウェットエッチングによって、HV酸化膜層34の露出部分が除去される。層34の露出部分と同時に酸化膜層35が除去される。HV酸化膜層34、35の露出部分が除去された後、マスク層36も除去される。

10

【0018】

図8では、I/Oデバイス酸化膜層38が形成される。他の方法が用いられてもよいが、通常、酸素中での酸化によって酸化膜層38が成長する。 N_2O など他の酸素化合物が用いられてもよい。酸化膜層38の一例は二酸化シリコンである。一般に、I/O酸化膜層38はHV酸化膜層34よりもわずかに薄く、厚さは4～8ナノメートルである。同時に、窒化膜層30の上に薄い酸化膜層39が成長する。HV酸化膜層34は、I/O酸化膜層38の成長中に自然に厚くなる。この酸化工程中でも、窒化膜層30は拡散バリアとして機能して、下のナノクラスタ24及びトンネル誘電体22を有害な酸化から保護する。ナノクラスタのプログラム及び消去は誘電体層22の厚さ及びナノクラスタのサイズの影響を非常に受け易いため、そうした酸化が生じる場合、NVMデバイスの性能に悪影響が生じ得る。

20

【0019】

図9では、HV酸化膜層34、I/O酸化膜層38のうちの、それぞれHVデバイスウェル14、I/Oデバイスウェル20の上の部分を保護して、I/O酸化膜層の他の部分を露出させるために、I/O酸化膜層38の上にマスク層40（例えば、フォトレジスト）が形成される。次いで、例えば、希フッ化水素酸によるウェットエッチングを用いて、I/O酸化膜層38の露出部分が除去される。同時に、窒化膜層30の上の薄い酸化膜層39も除去される。

【0020】

30

図10では、HV酸化膜層34及びI/O酸化膜層38の上からフォトレジスト層40が除去される。低電圧(LV)酸化膜42が形成される。他の方法が用いられてもよいが、通常、酸素、 N_2O またはNO中での酸化によって酸化膜層42が成長する。酸化膜層42の一例は二酸化シリコンである。一般に、LV酸化膜層42はHV酸化膜層34及びI/O酸化膜層38よりもわずかに薄く、厚さは1.5～3ナノメートルである。同時に、窒化膜層30の上に非常に薄い酸化膜層43が成長する場合がある。HV酸化膜層34及びI/O酸化膜層38は、LV酸化膜層42の成長中に自然に厚くなる場合がある。この酸化工程中でも、窒化膜層30は拡散バリアとして機能して、下のナノクラスタ24及びトンネル誘電体22をさらなる酸化から保護する。

【0021】

40

図11では、基板12の上に、ドーピングしたポリシリコン層44が形成される。図示の実施形態では、LV酸化膜層42、HV酸化膜層34、I/O酸化膜層38及び副次的な酸化膜層43の上にポリシリコン層44が堆積される。ポリシリコン層44の一部分はHVデバイス、LVデバイス及びI/Oデバイスのゲート電極として機能する。周辺デバイス及びNVMアレイデバイスのゲート電極としてポリシリコンが用いられる場合、通常、2つの層の厚さはほぼ同じである。他の実施形態では、周辺デバイス及びNVMアレイデバイスのゲート電極には、適切な厚さを有する異なった材料が用いられてよい。ポリシリコン層44はインシツ・ドーピングされてもよく（堆積中に）、注入によってドーピングされてもよい（堆積後に）。金属など他のゲート電極材料が用いられてもよい。ゲート電極44が堆積された後、反射防止コーティング(ARC)が堆積される。図示の実施形

50

態では、シリコン窒化膜層 4 6 が反射防止コーティングとなる。

【 0 0 2 2 】

図 1 2 では、周辺デバイスの上の窒化膜層 4 6 上にマスク層 4 8 (例えば、フォトレジスト) が形成される。このマスク層は、かかるデバイスのゲートをパターニングするように機能する。その後、例えば、異方性プラズマエッチングを用いて、層 4 4 , 4 6 の露出部分が除去される。このゲートパターニング工程中、ポリシリコン層 4 4 及び窒化膜層 4 6 のうちの N V M 領域の上の部分は除去され、L V デバイス、H V デバイス及び I / O デバイスのゲート電極 (例えば、層 4 4 の一部分) は残される。層 4 3 , 3 0 に対する選択性を有する反応性イオンエッチングを用いることによって、N V M アレイ領域の上からゲート電極材料層 4 4 及び A R C 層 4 6 がほぼ完全に除去され、同時に、I / O デバイス、H V デバイス及び L V デバイスのゲート電極がパターニングされる。

10

【 0 0 2 3 】

図 1 3 では、マスク層 4 8 が除去される。H V ウェル 1 4、I / O ウェル 2 0 及び L V ウェル 3 7 に対応する周辺デバイス領域及び他の領域の上にマスク層 5 0 (例えば、フォトレジスト) が形成される。このマスク層は N V M アレイデバイスのゲート電極をパターニングし、半導体デバイス 1 0 の周辺部分を保護するように機能する。

【 0 0 2 4 】

図 1 4 では、マスク層 5 0 によって露出される層の種々の部分が除去される (例えば、非選択的エッチング、異方性エッチング、時間設定エッチング、プラズマエッチングにより)。例えば、薄い酸化膜層 4 3、窒化膜 A R C 層 3 0、ゲート電極層 2 8、制御誘電体 2 6、及びナノクラスタ層 2 4 の露出部分が除去される。トンネル誘電体層 2 2 の一部分も除去される。

20

【 0 0 2 5 】

図 1 5 では、マスク層 5 0 が除去される。ウェットエッチング処理を用いることによって低電圧酸化膜層 4 2、高電圧酸化膜層 3 4、N V M トンネル誘電体 2 2 及び I / O 酸化膜層 3 8 の残る露出部分が除去される。N V M A R C 層 3 0 の上の非常に薄い酸化膜 4 3 も除去される。酸化膜層 3 4 , 3 8 , 4 2 の全てが二酸化シリコンである一実施形態では、この除去のために希フッ化水素酸を使用するウェットクリーニングが用いられ得る。

【 0 0 2 6 】

図 1 6 では、N V M セル及び周辺デバイスが完成される。図 1 5 に示したゲート電極の全ての形成に続いて、標準の C M O S 処理技術を用いてソース / ドレイン・エクステンション、サイドウォールスペーサ及びソース / ドレイン領域が形成される。図示のように、6 0 , 6 2 は H V デバイスのソース / ドレイン領域及びエクステンションを表し、6 4 , 6 6 は N V M セルのソース / ドレイン領域及びエクステンションを表し、6 8 , 7 0 は I / O デバイスのソース / ドレイン領域及びエクステンションを表し、7 2 , 7 4 は L V デバイスのソース / ドレイン領域及びエクステンションを表す。サイドウォールスペーサ 5 2 は H V デバイスに対応し、サイドウォールスペーサ 5 4 は N V M セルデバイスに対応し、サイドウォールスペーサ 5 6 は I / O デバイスに対応し、サイドウォールスペーサ 5 8 は L V デバイスに対応する。

30

【 0 0 2 7 】

別の実施形態では、図 1 0 に示すように L V 酸化膜 4 2 が形成された後、図 1 7 に示すように、基板 1 2 の上に、ドーピングしたポリシリコン層 4 4 が形成される。図示の実施形態では、L V 酸化膜層 4 2、H V 酸化膜層 3 4、I / O 酸化膜層 3 8 及び副次的な酸化膜層 4 3 の上にポリシリコン層 4 4 が堆積される。ポリシリコン層 4 4 の一部分は、H V デバイス、L V デバイス及び I / O デバイスのゲート電極として機能する。この実施形態においては、続くエッチングが大面積の領域に対して行なわれ、臨界寸法 (c r i t i c a l d i m e n s i o n) に対しては行なわれないため、この段階では反射防止コーティング (A R C) は不要である。

40

【 0 0 2 8 】

図 1 8 では、H V 領域、I / O 領域及び L V 領域の上にマスク層 8 0 (例えば、フォト

50

レジスト)が形成され、パターニングされて、NVMウェル領域が露出される。図19では、例えば、ドライエッチング、ウェットエッチングまたはそれらの組み合わせを用いて、NVM領域の上でポリシリコン層44、薄い酸化膜層43及び窒化膜層30がエッチングされる。一実施形態では、エッチングされている材料の化学種の変化が検出されると、エッチングが停止される。図20では、マスク層80が除去され(例えば、プラズマアッシング処理、またはピラニア洗浄によるレジスト剥離(piranha resist strip)によって)、ポリシリコン層44、28の上にARC層82がコンフォーマルに堆積される。図示の実施形態では、反射防止コーティングを提供するためにシリコン窒化膜が用いられる。図21では、HV領域、I/O領域、LV領域及びNVM領域の上にマスク層84が形成される。図22では、ドライエッチングが行なわれARC層82及び下のポリシリコン層44、28が除去されることによって、誘電体層26、34、38、42が露出される。図23では、マスク層84が除去され(例えば、マスク層80に関する上述の記載のように)、誘電体層26、34、38、42と、層24との露出部分が除去される(例えば、エッチング)ことによって、ゲート電極の形成が継続される。ARC層82の除去後、図16に関する上述の記載と同様にして処理が継続される。この代替の実施形態では、2つのマスクのうちの1つのマスクしか臨界寸法を有しないことによって、コスト及び製造における利点が提供される。

10

【0029】

一実施形態では、ナノクラスタ電荷蓄積デバイスを形成する方法が提供される。基板が準備される。この基板は、ナノクラスタ電荷蓄積デバイスに関連する第1ドーパントウェルと、ナノクラスタを含まない半導体デバイスに関連する第2ドーパントウェルとを有する。第1導電性ゲート材料層を有する第1ゲートスタックが第1ドーパントウェルの上に形成される。第1導電性ゲート材料層は第1ゲートスタックのゲート電極を形成する。第1導電性ゲート材料層は第1ゲート誘電体層に埋め込まれる複数のナノクラスタの上に位置する。第1導電性ゲート材料層は第2導電性ゲート材料層の一部分の下に位置する。第2導電性ゲート材料層のうちの第2ドーパントウェルの上の部分を第2ゲートスタックのゲート電極として用いて、第2ドーパントウェル上に第2ゲートスタックが形成される。第2導電性ゲート材料層のうちの第1導電性ゲート材料層の上の部分は除去される。

20

【0030】

別の形態では、第1ドーパントウェルから分離した全ての領域をマスクして第2導電性ゲート材料層を選択的にエッチングすることによって、第2導電性ゲート材料層のうちの第1導電性ゲート材料層の上の部分が除去される。さらなる一実施形態では、第1導電性ゲート材料層及び第2導電性ゲート材料層は、ドーピングしたポリシリコン、金属または金属合金を用いて形成される。またさらなる一実施形態では、第1導電性ゲート材料層は第2導電性ゲート材料層とは異なる材料を用いて設けられる。

30

【0031】

さらに別の実施形態では、第1ゲート誘電体層の形成は、ナノクラスタの層の上及び周囲にゲート酸化膜層及び第2ゲート酸化膜層を形成することによって行われる。第1ゲート誘電体層及び第1導電性ゲート材料層は第1ドーパントウェル及び第2ドーパントウェルの両方の上に形成される。ウェットエッチング及びドライエッチングの組み合わせを用いて、第1導電性ゲート材料層、第1ゲート誘電体層及びナノクラスタの層の第2ドーパントウェル上の領域からの選択的なエッチングが行われる。

40

【0032】

さらに別の実施形態では、第2ドーパントウェルの一部分の上に第2ゲート誘電体層と、第2ゲート誘電体層上の第2導電性ゲート材料層とを形成することによって、第2ゲートスタックが形成される。またさらなる一実施形態では、第2ゲート誘電体層は二酸化シリコンまたは酸窒化シリコンから形成される。

【0033】

さらに別の実施形態では、窒化膜層は第1ゲートスタックの中に形成され、第1導電性ゲート材料の上に、かつ、第1導電性ゲート材料の一部分と第2導電性ゲート材料との間

50

に位置する。窒化膜層の上に、かつ、窒化膜層と物理的に接触するように酸化膜層が形成される。窒化膜層及び酸化膜層は第2導電性ゲート材料を除去するときにエッチング停止層として機能する。また、窒化膜層は第1ゲートスタックにゲート電極を形成するときに反射防止コーティングとしても機能する。

【0034】

さらに別の実施形態では、第1ゲート誘電体層はハフニウム、ランタン、アルミニウム及びシリコンのうちの1つ以上を含有する化合物の酸化膜または酸窒化膜から形成される。

【0035】

さらに別の実施形態では、ドーピングした半導体ナノ結晶もしくはドーピングしない半導体ナノ結晶、金属ナノ結晶、2つ以上のドーピングした半導体のもしくはドーピングしない半導体のナノ結晶または金属合金ナノ結晶からなる層を形成することによって、第1ドーパントウェル及び第2ドーパントウェルの上の第1ゲート誘電体層に埋め込まれた複数のナノクラスタが形成される。

【0036】

さらに別の実施形態では、第1ゲートスタックの周りに、かつ、第1ドーパントウェルの内部に第1ソース及び第1ドレインが形成され、不揮発性メモリ(NVM)トランジスタとして電荷蓄積デバイスが形成される。第2ゲートスタックの周りに、かつ、第2ドーパントウェルの内部に第2ソース及び第2ドレインが形成され、周辺トランジスタが形成される。

【0037】

さらに別の実施形態では、半導体デバイスは第2ゲートスタックから形成される。この半導体デバイスによって、ナノクラスタ電荷蓄積デバイスの充電及び放電が可能となる。

別の実施形態では、方法は、基板を準備する工程と、基板に第1ドーパントウェル及び第2ドーパントウェルを形成する工程と、第1ドーパントウェル及び第2ドーパントウェルの上の第1ゲート誘電体に埋め込まれるナノクラスタの層を形成する工程と、ナノクラスタの層の上に第1導電性ゲート材料層を形成する工程と、第1導電性ゲート材料層の上に窒化膜層を形成する工程と、窒化膜層、第1導電性ゲート材料層及びナノクラスタの層をパターニングして第1ドーパントウェルの上以外の領域から除去することによって、第1ドーパントウェルの上に蓄積スタックを形成する工程と、ナノクラスタを全く含まない第2ゲート誘電体を第2ドーパントウェルの上に形成する工程と、第2ゲート誘電体及び蓄積スタックの上に第2導電性ゲート材料層を形成する工程と、第2導電性ゲート材料層の上に反射防止コーティング層を形成する工程と、第2導電性ゲート材料層をパターニングして第2導電性ゲート材料層をゲート電極として有する第1ゲートスタックを形成し、蓄積スタックから第2導電性ゲート材料層を除去する工程と、蓄積スタックの一部を除去することによって第1ドーパントウェルの上に第2ゲートスタックを形成する工程と、第2ゲートスタックは第1導電性ゲート材料層をナノクラスタを有する電荷蓄積デバイスのゲート電極として用いることと、からなる。

【0038】

さらなる一実施形態では、この方法は、第1ゲートスタックの周りに、かつ、第2ドーパントウェルの内部に第1ソース及び第1ドレインを形成して、トランジスタを形成する工程と、第2ゲートスタックの周りに、かつ、第1ドーパントウェルの内部に第2ソース及び第2ドレインを形成して、電荷蓄積デバイスの形成を完了させる工程と、を含む。

【0039】

さらに別の実施形態では、この方法はドーピングしたポリシリコン、金属または金属合金からなる第1導電性ゲート材料層を形成する工程を含む。

さらに別の実施形態では、この方法はドーピングしたポリシリコン、金属または金属合金からなる第2導電性ゲート材料層(44)を形成する工程を含む。

【0040】

さらに別の実施形態では、この方法は、ドーピングした半導体ナノ結晶もしくはドーピ

10

20

30

40

50

ングしない半導体ナノ結晶、金属ナノ結晶、2つ以上のドーピングした半導体のもしくはドーピングしない半導体のナノ結晶または金属合金ナノ結晶からなる層を形成することによって、第1ドーパントウェル及び第2ドーパントウェルの上の第1ゲート誘電体層に埋め込まれたナノクラスタの層を形成する工程を含む。

【0041】

さらに別の実施形態では、この方法はハフニウム、ランタン、アルミニウム及びシリコンのうちの1つ以上を含有する化合物の酸化膜または酸窒化膜からなる第1ゲート誘電体層を形成する工程を含む。

【0042】

さらに別の実施形態では、この方法は二酸化シリコンまたは酸窒化シリコンからなる第2ゲート誘電体層を形成する工程を含む。

別の実施形態では、ナノクラスタ電荷蓄積デバイスを形成する方法は、ナノクラスタ電荷蓄積デバイスに関連するメモリドーパントウェル及びナノクラスタを含まない半導体デバイスに関連する周辺ドーパントウェルを有する基板を準備する工程と、メモリドーパントウェルの上の第1ゲート誘電体に埋め込まれるナノクラスタの層を形成する工程と、ナノクラスタの層の上に第1ゲート材料層を形成する工程と、メモリドーパントウェルの上にのみ存在するようにナノクラスタの層及び第1ゲート材料層をパターニングする工程と、第1ゲート材料層の形成後、周辺ドーパントウェルの上に、またナノクラスタの層及び第1ゲート材料層の上に第2ゲート材料層を形成する工程と、周辺ドーパントウェルの上の所定の周辺領域以外の領域から第2ゲート材料層を除去することによって、周辺デバイスゲートスタックを形成する工程と、続いて、メモリドーパントウェルの上のナノクラスタの層及び第1ゲート材料層をパターニングすることによって、ナノクラスタ電荷蓄積デバイスゲートスタックを形成する工程と、第1ゲート材料層が第2ゲート材料層に先立って形成される場合にも、周辺デバイスゲートスタックの形成後に電荷蓄積デバイスゲートスタックが形成されることと、からなる。

【0043】

さらなる一実施形態では、この方法は、第1ゲート材料層の上に第2ゲート材料層を除去している間の終点検出のために第1ゲート材料層の直上にエッチング停止層を形成する工程を含む。

【0044】

別の実施形態では、ナノクラスタ電荷蓄積デバイスを形成する方法は、ナノクラスタ電荷蓄積デバイスに関連するメモリドーパントウェル、及びナノクラスタを含まない半導体デバイスに関連する周辺ドーパントウェルを有する基板を準備する工程と、メモリドーパントウェルの上の第1ゲート誘電体に埋め込まれるナノクラスタの層を形成する工程と、ナノクラスタの層の上に第1ゲート材料層を形成する工程と、メモリドーパントウェルの上にのみ存在するようにナノクラスタの層及び第1ゲート材料層をパターニングする工程と、第1ゲート材料層の形成後、周辺ドーパントウェルの上に、またナノクラスタの層及び第1ゲート材料層の上に第2ゲート材料層を形成する工程と、周辺ドーパントウェルの上の所定の周辺領域以外の領域から第2ゲート材料層を除去する工程と、マスクを用いて周辺デバイスゲートスタック及びナノクラスタ電荷蓄積ゲートをほぼ同時に選択的に形成する工程と、からなる。

【0045】

本明細書に記載したデバイスのうちの多くは、概念的には第1電流端子と第2電流端子との間の電流を制御する制御端子を有するものとして説明できる。かかるデバイスの一例がトランジスタである。トランジスタの制御端子を適切な条件とすることによって、第1電流端子から第2電流端子への電流や、第2電流端子から第1電流端子への電流が発生する。また、多くの場合、電界効果トランジスタ(FET)はドレイン、ゲート及びソースを有するものとして説明されるが、大抵のそうしたデバイスでは、ドレインをソースと交換することが可能である。これは、多くの場合、トランジスタのレイアウト及び半導体処理が対称的なためである。

10

20

30

40

50

【 0 0 4 6 】

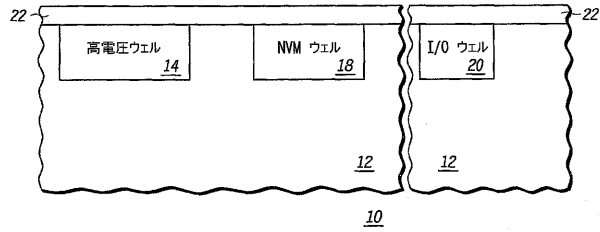
10

20

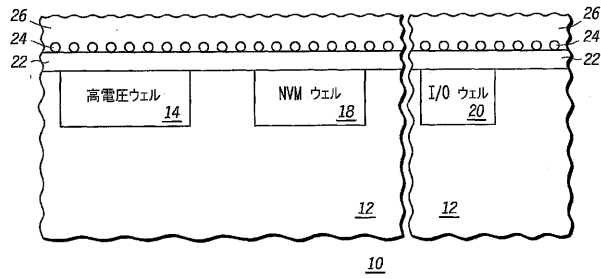
30

40

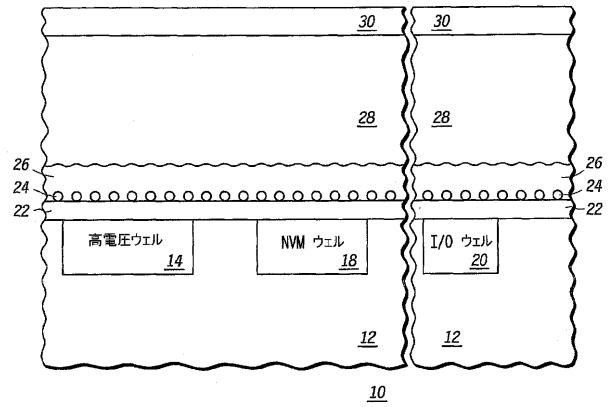
【図 1】



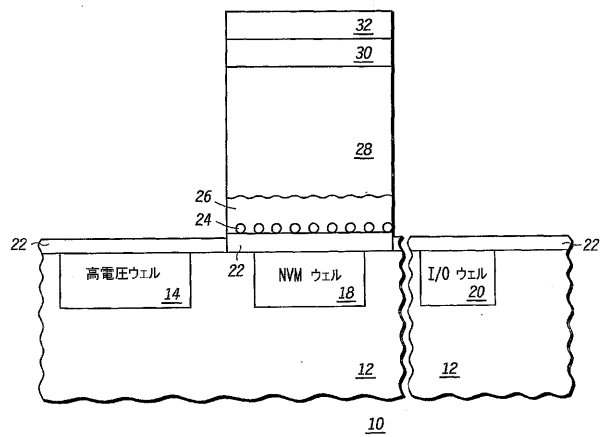
【図 2】



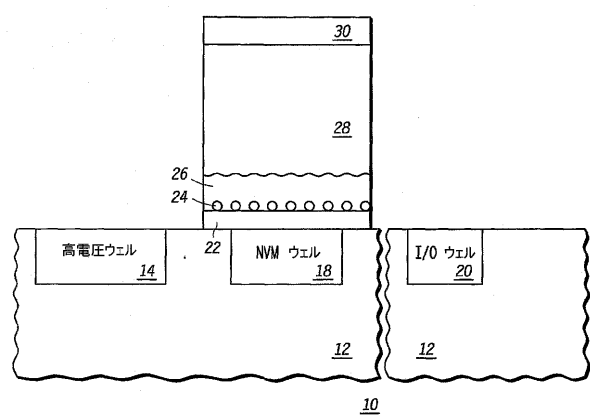
【図 3】



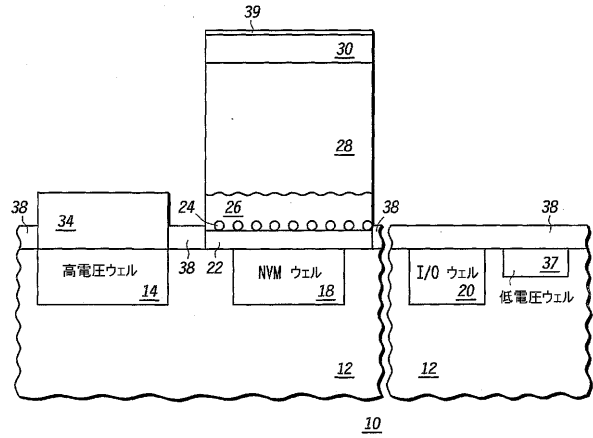
【図 4】



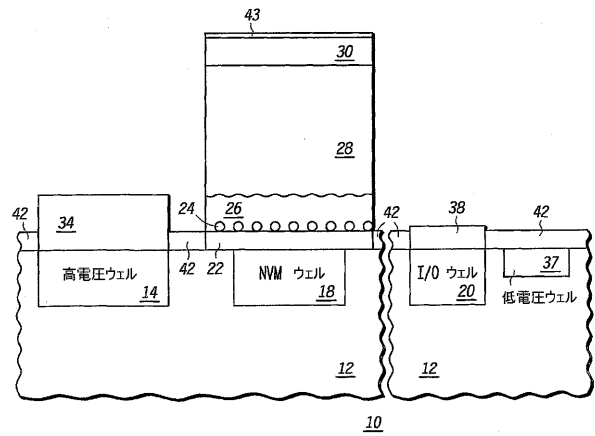
【図 5】



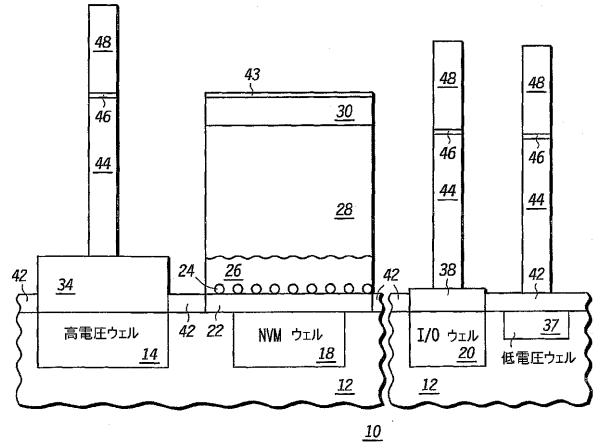
【 図 8 】



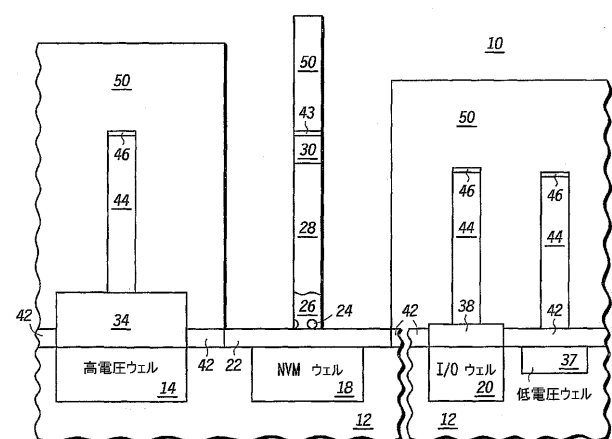
【 ㊦ 1 0 】



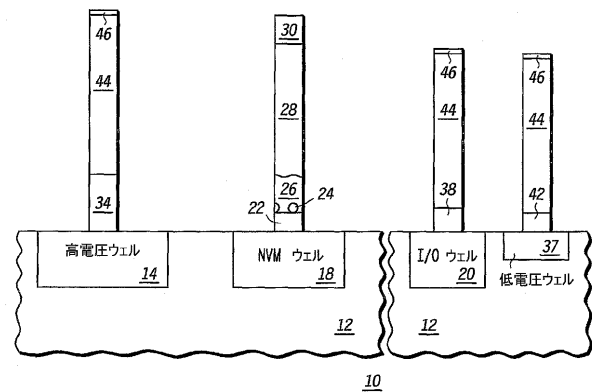
【 図 1 2 】



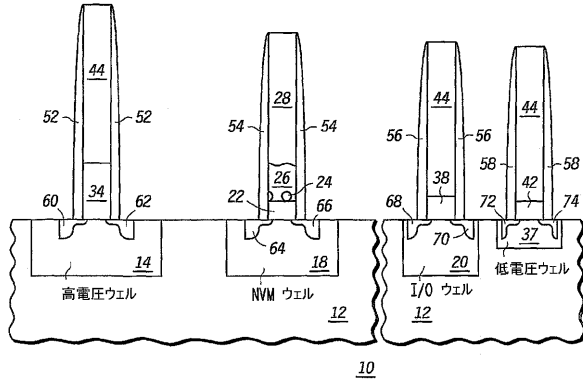
【 図 1 4 】



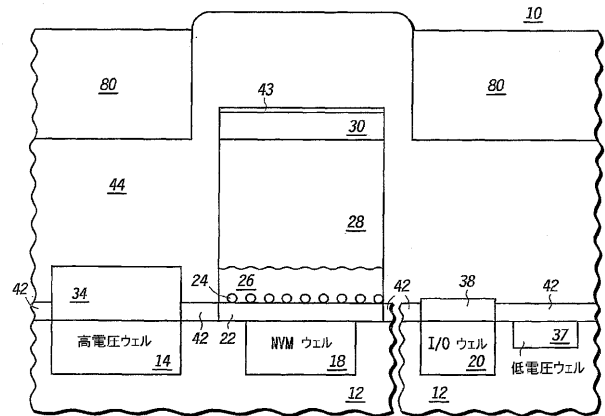
【 図 1 5 】



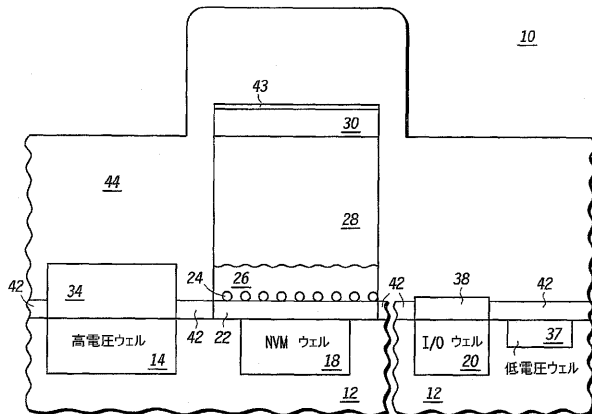
【図 16】



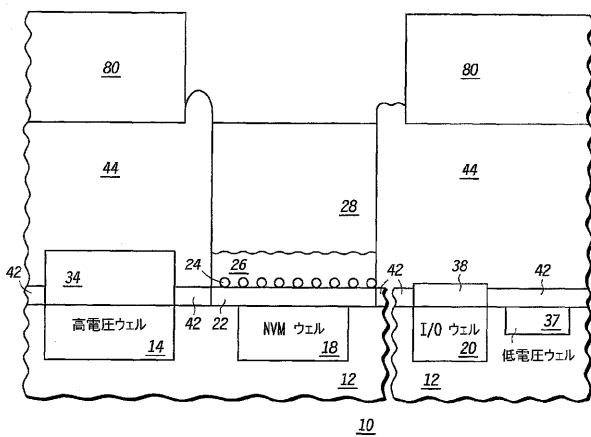
【図 18】



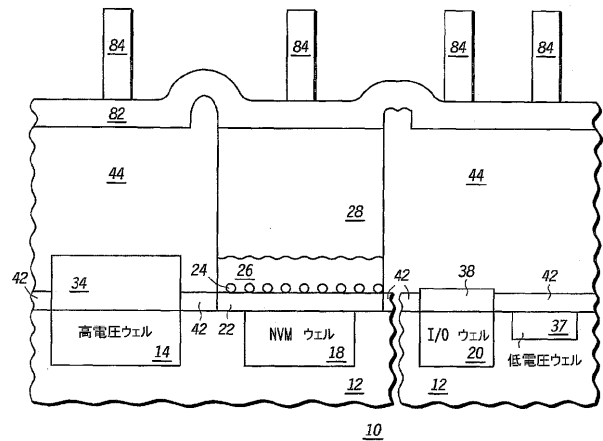
【図 17】



【図 19】



【図 21】



【図 20】

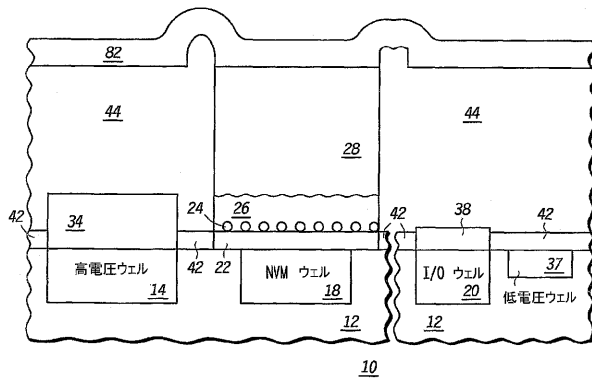


Figure 1 is a schematic diagram of a memory layout. It shows four vertical columns representing memory modules. The first column is labeled "高電圧ウエル" (High Voltage Well) and contains values 82, 44, and 34. The second column is labeled "NVM ウェル" (NVM Well) and contains values 82, 28, and 26. The third column is labeled "I/O ウェル" (I/O Well) and contains values 82, 44, and 38. The fourth column is labeled "低電圧ウエル" (Low Voltage Well) and contains values 82, 44, and 42. A bracket labeled "22" spans the bottom of the first two columns, and a bracket labeled "24" spans the bottom of the second and third columns. Below the columns are labels for "高電圧ウエル" (14), "NVM ウェル" (18), "I/O ウェル" (20), and "低電圧ウエル" (37). A wavy line separates the top and bottom sections. The number "10" is at the bottom center.

【 国際調査報告 】

60700290027



11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US05/16252

A. CLASSIFICATION OF SUBJECT MATTER IPC: H 01L 21/302; H 01L 21/461 USPC: 438/720,501,506; 257/270,316,324,411 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S.: 438/720,501,506; 257/270,316,324,411 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched S. Wolf, Silicon Processin for the VLSI ERA, Vol.1 and Vol.4, Lattice Press, (1986) and (2002) Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST (all data bases) US patents, Japanese Patents, European Patents, Text Search such as nanoclusters, charge storage device, gate stack, conductive gate, dielectric layer, nanocrystals.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A, E	US 6,958,265 B2 (STEIMLE) 25 October 2005 (25.10.2005), column 2-7	1-12
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principles or theory underlying the invention	
"E" earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" document referring to an oral disclosure, use, exhibition or other means	"Z" document member of the same patent family	
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 17 August 2006 (17.08.2006)	Date of mailing of the international search report 31 OCT 2006	
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201	Authorized officer Nadine G Norton Telephone No. 571-272-1200	

Form PCT/ISA/210 (second sheet) (April 2005)

14. 5. 2007

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/788 (2006.01)
H 0 1 L 29/792 (2006.01)

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 ムラリダー、ラマチャンドラン
 アメリカ合衆国 7 8 7 5 0 テキサス州 オースティン ピックフェア ドライブ 1 0 6 0 1

(72)発明者 スタイル、ロバート エフ.
 アメリカ合衆国 7 8 7 3 7 テキサス州 オースティン エル ドラド ドライブ 7 9 2 8

(72)発明者 チンダロア、ゴーリシャンカー エル.
 アメリカ合衆国 7 8 7 4 9 テキサス州 オースティン ソーテル レーン 9 1 0 1

F ターム(参考) 5F058 BA11 BC02 BC03 BC11 BC20 BF02 BF46 BJ04
 5F083 EP17 EP22 EP44 EP49 JA32 JA37 JA38 PR03 PR05 PR43
 PR46 PR53 PR56 ZA07
 5F101 BA42 BA54 BB02 BD02 BD36 BH14 BH15 BH21