



(12) 发明专利申请

(10) 申请公布号 CN 106324311 A

(43) 申请公布日 2017. 01. 11

(21) 申请号 201510604523. 1

(22) 申请日 2015. 09. 21

(30) 优先权数据

15175221. 9 2015. 07. 03 EP

(71) 申请人 罗德施瓦兹两合股份有限公司

地址 德国慕尼黑

(72) 发明人 奥斯·希德里

(74) 专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 黄志华

(51) Int. Cl.

G01R 13/02(2006. 01)

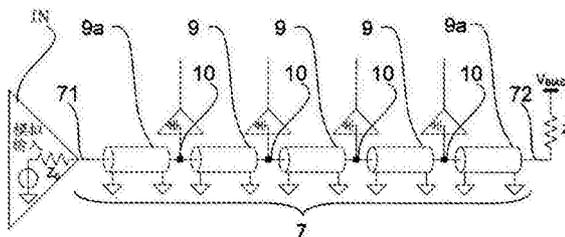
权利要求书2页 说明书10页 附图6页

(54) 发明名称

延迟线路系统、高频采样器、模数转换器和示波器

(57) 摘要

本发明公开了延迟线路系统、高频采样器、模数转换器和示波器。本发明涉及用于高频信号传输的延迟线路系统，其包括具有第一终端 (71) 和第二终端 (72) 的第一延迟线路 (7)，模拟输入信号 (IN) 施加到其第一终端 (71)。在该延迟线路系统中获得包括第一终端 (81) 和第二终端 (82) 的第二延迟线路 (8)，时钟信号 (CLK) 施加到其第一终端 (81)。第一延迟线路 (7) 和第二延迟线路 (8) 为抽头延迟线路，并且第一延迟线路 (7) 上传送的模拟输入信号 (IN) 在与第二延迟线路 (8) 上传送的时钟信号 (CLK) 相反的方向上传送。本发明还涉及包括延迟线路系统的高频采样器。本发明还涉及包括高频采样器的 ADC。最后本发明涉及用于测量高频信号的示波器。



1. 一种用于高频信号传输的延迟线路系统,所述延迟线路系统包括:

第一延迟线路(7),所述第一延迟线路(7)包括第一终端(71)和第二终端(72),其中,模拟输入信号(IN)被施加到所述第一延迟线路(7)的第一终端(71);

第二延迟线路(8),所述第二延迟线路(8)包括第一终端(81)和第二终端(82),其中,时钟信号(CLK)被施加到所述第二延迟线路(8)的第一终端(81);

其中,所述第一延迟线路(7)和所述第二延迟线路(8)为抽头延迟线路;以及

其中,所述第一延迟线路(7)上传送的所述模拟输入信号(IN)在与所述第二延迟线路(8)上传送的所述时钟信号(CLK)相反的方向上传送。

2. 根据权利要求1所述的延迟线路系统,其中,所述第一延迟线路(7)平行于所述第二延迟线路(8)布置,并且其中,所述第一延迟线路(7)的所述第一终端(71)布置在与所述第二延迟线路(8)的所述第一终端(81)相反的端部处。

3. 根据前述权利要求中任一项所述的延迟线路系统,其中,所述第一延迟线路(7)和所述第二延迟线路(8)均包括相等规格的延迟元件(9),其中,所述第一延迟线路(7)中的延迟元件(9)的数目等于所述第二延迟线路(8)中的延迟元件(9)的数目。

4. 根据权利要求3所述的延迟线路系统,其中,每个延迟元件(9)为传输线路(7,8)的一段,和/或,利用布置在所述延迟线路(7,8)处的分立元件来构建。

5. 根据权利要求4所述的延迟线路系统,其中,分立元件被构建为包括电感(L)和电容(C)的电路布置,其中,所述电容(C)连接到基准电位(GND)。

6. 根据前述权利要求中任一项所述的延迟线路系统,其中,所述第一延迟线路(7)和所述第二延迟线路(8)为抽头的;以及

其中,抽头(10)布置在各自的所述延迟线路(7,8)的两个相邻的分布节段(9)之间。

7. 根据权利要求6所述的延迟线路系统,其中,所述第一延迟线路(7)的抽头(10)布置成紧密靠近所述第二延迟线路(8)的抽头(10)。

8. 根据权利要求6或7所述的延迟线路系统,其中,所述抽头(10)布置成使得所述第一延迟线路(7)的每个抽头(10)对应于所述第二延迟线路(8)的抽头(10)。

9. 根据权利要求6至8中任一项所述的延迟线路系统,其中,在两个相邻的抽头(10)之间布置有延迟元件(9),其中优选地,所述第一延迟线路(7)中的所述延迟元件(9)等同于所述第二延迟线路(8)中的所述延迟元件(9)。

10. 根据权利要求6至9中任一项所述的延迟线路系统,其中,所述抽头(10)等距离布置在两个延迟线路(7,8)中。

11. 一种高频采样器,包括根据前述权利要求中任一项所述的延迟线路系统,其中,两个延迟线路(7,8)均为抽头的,因而所述采样器为交错采样器。

12. 根据权利要求11所述的采样器,其中,所述抽头(10)布置在各自的所述延迟线路(7,8)的两个相邻的分布节段(9)之间;

其中,所述抽头(10)布置成使得所述第一延迟线路(7)的每个抽头(10)对应于所述第二延迟线路(8)的抽头(10);以及

其中,所述第一延迟线路(7)的每个抽头(10)和所述第二延迟线路(8)的对应的抽头(10)连接到单独的采样单元(2)。

13. 根据权利要求11或12所述的采样器,其中,所述时钟信号(CLK)的时钟周期(T_{clk})

至少等于在所述第二延迟线路 (8) 上的两个连续的抽头 (10) 之间的传送时间 (τ_{clk} , τ_{In}) 与在所述第一延迟线路 (7) 上的两个连续的抽头 (10) 之间的传送时间 (τ_{clk} , τ_{In}) 的总和乘以交错因子 (N)。

14. 一种模数转换器,包括根据权利要求 11 至 13 中任一项所述的高频采样器。

15. 根据权利要求 14 所述的模数转换器,其中,所述第一延迟线路 (7) 的每个抽头 (10) 和所述第二延迟线路 (8) 的对应的抽头 (10) 连接到单独的采样单元 (2);以及其中,所述采样单元 (2) 的输出通过数字化单元 (3) 而被数字化。

16. 一种用于测量高频信号的示波器,所述示波器包括:

输入节点,所述输入节点用于施加高频模拟输入信号 (IN),以及

在所述输入节点的下游的根据权利要求 14 或 15 所述的模数转换器,所述模数转换器用于将所述模拟输入信号 (IN) 转换成数字输入信号。

延迟线路系统、高频采样器、模数转换器和示波器

技术领域

[0001] 本发明涉及一种用于高频信号传输的延迟线路系统。本发明还涉及一种包括延迟线路系统的高频采样器。本发明还涉及一种包括高频采样器的模数转换器。最后,本发明涉及一种用于测量高频信号的包括模数转换器的示波器。

背景技术

[0002] 具有从 0 赫兹到 B 赫兹的频率分量的模拟信号的采样频率 f_s 必须高于奈奎斯特 (Nyquist) 速率 f_N , 以避免混叠效应。这可以由下面的方程式来表示:

$$[0003] \quad f_s \geq f_N = 2 \cdot B$$

[0004] 因此, 模拟输入信号带宽 B 越高, 需要的采样率 f_s 就越高。这就是处理非常高的模拟输入带宽 B 的应用要求非常高的采样速度的原因, 上述应用例如实时示波器 (Real-Time-Oscilloscope, 简称为 RTO)。

[0005] 参照 WO 94/06121 A1, 描述了一种高速瞬时采样单元。其中, 抽头传输线路用来将输入信号从该传输线路的输入节点传送到输出节点。抽头设置有高速采样门, 在高速采样门处施加分布式选通信号。每个采样门获得没有相移的相同的分布式选通信号。因此, 在传输线路的每个抽头处, 施加相同的选通信号, 从而提高采样速度。

[0006] 图 1 中示出了用于提高采样速度的另一种方法。其中, 示出了用于施加模拟输入信号 IN 的输入节点, 该模拟输入信号 IN 需要使用所谓的交错采样架构来采样。例如在现有技术文献 US 2013/0027234 A1 中描述了这种交错采样架构。交错采样架构对于提高采样速度是非常吸引人的。其中单独的模数转换器 (analog-to-digital converter, 简称为 ADC) 1'、ADC 1'' 和 ADC 1''' 是交错的, 如此提高了系统的整体采样速度。因此, 每个 ADC 1 获得不同的采样单元 2 和不同的数字化单元 3, 在采样单元 2 和数字化单元 3 上设置有采样时钟 5。因此, 通过并行操作两个或更多个 ADC 1 获得了提高系统的整体采样速度的时间交错。根据经验, 并行操作 N 个 ADC 1 使系统采样率提高了近似 N 倍。

[0007] 每个 ADC 1 获得移相单元 4, 应用移相单元 4 来延迟用于每个具体的 ADC1 的具体的采样时钟 5。在各自的 ADC 1 前面的每个采样单元 2 因此接收具有确定的相移 φ_0 、 φ_1 、 φ_2 、 φ_n 的时钟信号 CLK, 从而采样单元 2 采样时刻在时间上等距隔开。因此实现了产生有效时钟信号 f_{eff} 的交错操作。通过使用频率为 f_{clock} 的时钟信号 CLK, 有效时钟可以通过下面的等式表示:

$$[0008] \quad f_{\text{eff}} = f_{\text{clock}} \cdot N$$

[0009] 因此, 利用这种架构实现了较高的采样速度。

[0010] 在图 2 中示出了四倍交错采样器的时钟时序图。采样时钟 5 被施加到 ADC1, 并提供样本 S0。时钟 5' 提供通过移相器 4' 相位偏移了相位 φ_1 的采样时钟, 并提供输入信号 IN 的样本 S1。时钟 5'' 提供通过移相器 4'' 相位偏移了相位 φ_2 的采样时钟, 并提供输入信号 IN 的样本 S2。时钟 5''' 提供通过移相器 4''' 相位偏移了相位 φ_3 的采样时钟, 并提供输入信号 IN 的样本 S3。采样时钟 5、采样时钟 5'、采样时钟 5''、采样时钟 5''' 由具体的移相器 4

来进行时移,以获得用于输入信号 IN 的较高的采样率。

[0011] 时间交错采样架构大大减轻了在给定的技术中的随后的数字化单元 3、数字化单元 3'、数字化单元 3''、数字化单元 3''' 的功耗及其比较器亚稳态引起的误差。

[0012] 然而,交错架构的优点并非不会带来缺点。在使交错变为成功的解决方案之前,必须考虑各种限制和注意事项。

[0013] 一个缺点是带宽限制。图 1 中所示出的每个采样单元 2 在单独操作时通常具有高的模拟带宽 B。然而,以树形式连接采样单元 2 将严重地减小在其输入处的整体信号带宽 B。带宽减小是由将模拟信号连接到每个采样单元 2 的输入线路金属配线寄生效应所引起的,这是由于金属配线寄生效应包括特殊的电感、阻抗和 / 或电容。那些寄生效应引起各种效果。此外,尽管在某一时刻仅一个采样单元 2 操作,但是由于一直在输入线路处的附加负载,因而采样单元 2 在它们的输入处的自身的集总寄生效应减小了带宽 B。因此,随着交错的采样单元 2 的数目 N 增大,带宽 B 将减小。因此,通常直接连接到模拟输入 IN 的交错的采样单元 2 的数目 N 被限制到 4。

[0014] 另一个缺点是时钟确定性的和随机的相位误差。如果时间交错采样器的采样时刻在时间上不是等距的,则所采样的输入信号在其频谱中将包含以确定的频率出现的误差。此外,模拟输入带宽 B 越高,由误差采样时刻所产生的误差越大。

[0015] 输入时钟信号 c1k 必须在物理上被路由到所有的采样单元 2。此外,每个采样单元 2 接收相位调整的输入时钟,该相位调整的输入时钟通过具体的移相单元 4、移相单元 4'、移相单元 4''、移相单元 4''' 来移相。非常清楚的是,随着交错的采样单元 2 的数目 N 变得更高,必须对时钟信号 c1k 使用更长的金属配线。该更长的金属配线将降低时钟信号 c1k 的带宽 B,直到该时钟信号 c1k 到达特定的采样单元 2。因此,时钟信号 c1k 还需要中间的再缓冲,以维持其信号电平。所有必需的时钟信号再缓冲将不仅在时钟信号中引入随机的误差源,而且将使其相位稳定性变差。这使产生并维持等间隔的采样时刻变得更加困难。

[0016] 通常通过靠近采样单元 2 应用本地移相单元 4 来实现确保每个采样器接收正确的时钟相位。交错的采样单元 2 的数目 N 越高,相位校正范围就越大。因此,本地移相单元 4 的复杂度增大。移相单元 4 也将会将随机噪声源增加到时钟信号 c1k 并将承受由于温度、制程等造成的相位不稳定性。

[0017] 另一个缺点是偏移和增益误差。ADC 1 输出之间的增益失配和偏移失配是时间交错系统中的重要参数。如果包括特定的采样单元 2 和对应的数字化单元 3 的一个信道示出了偏移和增益误差,则数字化信号不仅表示初始输入信号 IN,而且还表示在数字域中的不期望的误差。偏移差异和增益失配使信号杂波出现在数字化信号的频谱中。因此,对于交错设计,应当选择具有综合的增益和偏移校正的数字化单元 3 或者包括允许校正这些失配的外部电路。

发明内容

[0018] 因此,本发明的目的是提供一种用于模数转换器的交错采样结构,该交错采样结构提高采样速度,而不具有带宽限制以及时钟确定性的和随机的相位误差。

[0019] 上面所认定的目的和缺点利用本文所描述的专利独立权利要求的主题来解决。在各个从属权利要求中描述有利的实施方式。

[0020] 根据本发明的第一方面,提供了一种用于高频信号传输的延迟线路系统。该延迟线路系统包括第一延迟线路,所述第一延迟线路包括第一终端和第二终端,其中,模拟输入信号被施加到所述第一延迟线路的第一终端。该系统包括第二延迟线路,所述第二延迟线路包括第一终端和第二终端,其中,时钟信号被施加到所述第二延迟线路的第一终端。所述第一延迟线路和所述第二延迟线路为抽头延迟线路。所述第一延迟线路上传送的模拟输入信号在与所述第二延迟线路上传送的时钟信号相反的方向上传送。

[0021] 因此,在本发明的延迟线路系统中,模拟输入信号和时钟信号在它们各自的延迟线路中朝向彼此传送。这主要通过在与模拟输入信号相比相反的终端处施加时钟信号来实现。

[0022] 根据本发明构思,抽头构思和交错方法以有利的方式结合,以获得采样速度提高的协同效果。为了缓解与模拟输入信号和时钟再缓冲有关的带宽限制,现在使用抽头构思。表述“抽头的”与表述“分布的”或“分段的”同义,并且尤其涉及在其延迟元件之间包括抽头的延迟线路。

[0023] 通过在第一延迟线路的第一终端处施加模拟输入信号并在第二延迟线路的第一终端(在延迟线路系统中布置在相反的端部)处施加时钟信号,在延迟线路系统中模拟输入信号朝向时钟信号传送。在延迟线路系统的每个抽头处,各自延迟的模拟信号可以利用各自延迟的时钟信号来采样。

[0024] 因此,交错操作通过使用延迟线路的延迟性能并通过使模拟信号和时钟信号在它们各自的抽头延迟线路中朝向彼此传送而以简洁的方式来实现。

[0025] 在优选的实施方式中,所述第一延迟线路平行于所述第二延迟线路布置,其中,所述第一延迟线路的第一终端布置在与所述第二延迟线路的第一终端相反的端部处。这产生了模拟输入信号相较于时钟信号的反向传送,并产生了本发明构思。

[0026] 在优选的实施方式中,所述第一延迟线路和所述第二延迟线路均包括相等规格的延迟元件,其中,所述第一延迟线路中的延迟元件的数目等于所述第二延迟线路中的延迟元件的数目。

[0027] 这样,相较于根据现有技术解决方案的树型信号路由线路,延迟元件允许施加具有更高带宽的模拟输入信号和时钟信号。优选地,延迟元件包括相同的长度、相同的参数和/或相同的材料。对于第一延迟线路和第二延迟线路使用相等数目的延迟元件直接允许交错效果并提供交错抽头构思。

[0028] 在优选的实施方式中,延迟元件为传输线路的一段,和/或,为布置在延迟线路处的分立元件。这允许容易制造该延迟线路系统,并避免了用于获得交错的高度复杂的金属配线结构。因此,避免了上面所描述的带宽降低和相位误差。

[0029] 在优选的实施方式中,所述分立元件被构建为包括串联的电感和电容的电路布置,其中所述电容连接到基准电位。

[0030] 优选地,延迟线路的各自终端与各自的第一抽头之间的延迟元件引起第一传送延迟,该第一传送延迟不同于由两个连续的抽头之间的延迟元件所引起的第二传送延迟。然而,在延迟线路系统中的所有延迟元件的特性阻抗是相同的。有利的是,直接连接到各自延迟线路的各自终端的延迟元件的第一传送延迟彼此是相等的,其中该第一传送延迟可以不同于两个连续的抽头之间的延迟元件的第二传送延迟。不同的传送延迟是由不同的路由方

案所引起的。

[0031] 优选地,所述第一延迟线路和所述第二延迟线路为抽头的,其中抽头布置在各自的延迟线路的两个相邻的分布节段之间。抽头用来将采样单元应用到延迟线路,其中所述第一延迟线路的抽头布置成紧密靠近所述第二延迟线路的抽头。这避免了长的金属配线,并提供了以较高的采样率操作而不具有带宽限制以及时钟误差和相位误差的交错采样单元。

[0032] 优选地,所述抽头布置成使得所述第一延迟线路的每个抽头对应于所述第二延迟线路的抽头。优选地,在时钟信号线路和模拟输入信号线路的连续的抽头之间使用相同的延迟线路节段,产生了相等时间间隔的采样时刻。

[0033] 在优选的实施方式中,延迟元件布置在两个相邻的抽头之间,其中优选地,所述第一延迟线路中的延迟元件等同于所述第二延迟线路中的延迟元件。因此,同样的延迟元件被用在延迟线路系统中。这使得输入信号和时钟信号在各自的延迟线路中产生相等的时间延迟。

[0034] 在优选的实施方式中,在两个延迟线路中,所述抽头均等距离布置。

[0035] 一种在给定的技术中提高信号带宽的简洁的方式是通过使用抽头延迟线路来采用抽头(分布)构思,该抽头延迟线路在其延迟元件之间包括专用的分布点/抽头。在给定的分立电路中,在其输入处的寄生电容将使其终端节点处的带宽变差。抽头延迟线路的使用通过将电路输入电容吸收到抽头延迟元件的特性参数中来规避这一问题。因此,相比于根据现有技术的树型信号路由线路,分布式延迟线路能够操作高很多的频率。

[0036] 优选地,抽头延迟线路被构建为传输线路节段和分立元件的混合体和/或完全以分立形式来构建,并且被终止到它们的特性阻抗 Z_0 。线路特性阻抗 Z_0 可以如下计算:

$$[0037] \quad Z_0 = \sqrt{\frac{L}{C}}$$

[0038] 其中,电感 L 为两个相邻的抽头点之间的线路节段的总的电感, C 为两个相邻的抽头之间的线路节段电容加上连接到抽头的电路的输入电容的总和。

[0039] 抽头延迟线路允许传送具有非常高的带宽 B 的输入信号。线路截止频率 ω_c 可以如下计算:

$$[0040] \quad \omega_c = \frac{2}{\sqrt{L \cdot C}}$$

[0041] 施加到第一终端的电压阶跃沿着抽头延迟线路向下传送,使得阶跃信号连续地出现在每个集总电路输入处。如果结构是周期性的,使得在连续的抽头之间的所有的延迟元件是类似的,则阶跃信号将在连续的抽头点处以相等的延迟出现。传送速率通常为在自由空间中的光速的至少 50%,这取决于延迟元件的相等的介电常数。

[0042] 另一种量化连续的抽头点处的延迟 τ 的方式是通过计算下面的公式:

$$[0043] \quad \tau = \sqrt{L \cdot C}$$

[0044] 其中,电感 L 为两个相邻的抽头点之间的线路节段的总的电感, C 为两个相邻的抽头之间的线路节段电容加上连接到抽头的电路的输入电容的总和。

[0045] 根据本发明的第二方面,提供了一种高频采样器,该高频采样器包括根据上述方

式的延迟线路系统。由于两个延迟线路均为抽头的,因而该采样器为交错采样器。

[0046] 延迟线路布置成使得第二延迟线路的每个抽头在物理上靠近第一延迟线路的抽头。因此,高频采样器的每个采样单元接收输入信号和时钟信号,而无需另外的金属配线,并且更重要的是,在抽头线路特性中包括采样单元的或在输入线路或线路终端中的时钟信号路径或模拟输入信号路径的任何残留的寄生电容。可以在用于每个抽头上的模拟输入信号和时钟信号的每个采样单元上局部地使用缓冲器。

[0047] 高频采样器的交错操作是通过使用特定延迟线路的延迟性能并通过模拟输入信号和时钟信号在它们各自的抽头线路中的反向传送而以简洁的方式来实现的。

[0048] 在优选的实施方式中,所述抽头布置在各自的延迟线路的两个相邻的分布节段之间,其中所述抽头布置成使得所述第一延迟线路的每个抽头对应于所述第二延迟线路的抽头,并且其中所述第一延迟线路的每个抽头和所述第二延迟线路的对应的抽头连接到单独的采样单元。在时钟信号使采样单元有效的情况下,采样单元提供采样输出信号。使采样单元有效和失效是通过时钟信号来实现的,优选地是通过检测时钟信号的上升沿或下降沿来实现的。

[0049] 在优选的实施方式中,所述时钟信号的时钟周期至少等于在所述第二延迟线路上的两个连续的抽头之间的传送时间与在所述第一延迟线路上的两个连续的抽头之间的传送时间的总和,其中该总和乘以交错因子。这是避免由沿着延迟线路行进的下一个时钟沿所引起的双重采样的最小时钟周期。

[0050] 针对第一延迟线路和第二延迟线路使用相同类型的延迟元件,以获得各自信号的类似的传送时间。选择类似的延迟元件有利于在物理上将模拟抽头和时钟抽头对齐,用以消除对于每个采样单元的额外的时钟信号或模拟信号。

[0051] 根据本发明的第三方面,提供了一种模数转换器,该模数转换器包括根据上述方式的高频采样器。

[0052] 优选地,ADC 包括至少为 4 的交错因子,该交错因子优选为 6、更优选为 8、甚至更优选为 10、最优为 16。由于结合交错方法使用抽头构思大大地降低了延迟线路带宽限制和相位误差,因而可以在交错方法中提供更高数目的采样单元,这有利地产生了更高的采样率。由于寄生电容使终端节点的带宽变差,因而抽头构思通过将电路输入电容吸收到抽头延迟线路的特性参数中而规避了这一问题。

[0053] 优选地,在 ADC 的高频采样器中的第一延迟线路的每个抽头和第二延迟线路的对应的抽头连接到单独的采样单元,其中所述采样单元的输出通过数字化单元而被数字化。数字化单元具有量化单元和 / 或二值化单元,以便提供对应于采样单元的模拟样本的分立信号。

[0054] 根据本发明的又一方面,提供了用于测量高频信号的示波器,其中该示波器包括输入节点和在该输入节点下游的根据前述方式的 ADC,该输入节点用于施加高频模拟输入信号,该 ADC 用于将模拟输入信号转换成数字输入信号。具有本发明 ADC 的示波器可以用于超高速采样架构,尤其是在具有操作高达 160 千兆赫的采样率的采样单元的下一代 RTO 构思内。

附图说明

[0055] 在下文中,参照附图描述本发明的示例性实施方式。那些示例性实施方式不限制本发明的范围。除非另有说明,在不同的附图中相同的附图标记表示相同的元件或至少相同的功能的元件。图中:

[0056] 图 1 示出根据现有技术的使用交错采样构思的 ADC;

[0057] 图 2 示出根据图 1 的 ADC 的示例性时间信令图;

[0058] 图 3a 示出根据本发明的用在交错 ADC 中的抽头构思的第一示例性实施方式;

[0059] 图 3b 示出根据本发明的用在交错 ADC 中的抽头构思的第二示例性实施方式;

[0060] 图 4 示出根据本发明的延迟线路系统的第一示例性实施方式;

[0061] 图 5 示出根据本发明的延迟线路系统的第二示例性实施方式;

[0062] 图 6 示出根据本发明的延迟线路系统的第三示例性实施方式;

[0063] 图 7 示出在延迟线路系统中的输入信号与时钟信号的相反传送方向的发明构思;以及

[0064] 图 8 示出本发明的具有四个采样单元的实现方式的示例性时序图。

具体实施方式

[0065] 已经关于本发明的背景描述了图 1 和图 2。

[0066] 参照图 3a 和图 3b,更详细地示出了根据本发明的抽头构思。在给定的集总电路中,在其输入节点处的寄生电容将使其终端节点处的带宽变差。抽头构思通过将电路输入电容吸收到抽头延迟线路的特性参数中来规避这一问题。因此,相比于图 1 中所示的树型信号路由线路,抽头延迟线路 7 可以在高很多的信号带宽上操作。

[0067] 在图 3a 中,示出了根据本发明的用在交错 ADC 中的抽头构思的第一示例性实施方式。其中,第一延迟线路 7 包括第一终端 71 和第二终端 72。在第一终端 71 处,施加模拟输入信号 IN。在第二终端 72 处,连接终端电阻 Z_0 以终止第一延迟线路 7。在第一延迟线路 7 的第二终端 72 处施加偏置电压 V_{bias} , 以便使第一延迟线路 7 偏置,偏置电压 V_{bias} 也可以是接地信号。根据图 3a 的第一延迟线路 7 包括 5 个延迟元件 9 和延迟元件 9a, 其中,延迟元件 9a 连接到延迟线路 7 的各个终端 71 和终端 72。根据图 3a 的每个延迟元件 9、延迟元件 9a 被构建为传输线路的一段。每个传输线路节段将模拟输入信号 IN 的传送延迟到限定的量。

[0068] 在图 3b 中示出了根据本发明的用在交错 ADC 中的抽头构思的第二示例性实施方式,其中,每个延迟元件 9 和延迟元件 9a 利用分立元件来构建。每个延迟元件 9、延迟元件 9a 被构建为连接到基准电位 GND 的电感 L 和电容 C 串联连接的电路布置。每个电路布置将模拟输入信号 IN 的传送延迟到限定的量。

[0069] 抽头 10 布置在图 3a 和图 3b 中的两个延迟元件 9 之间。短语“抽头”也被称为短语“分布点”,其中,在图 3b 的第一延迟线路 7 中使用 4 个抽头 10。在每个抽头 10 处,可应用采样单元 2(未示出)。

[0070] 延迟线路 7 的各自的终端 71、终端 72 与各自的第一抽头 10 之间的延迟元件 9a 不必等同于布置在两个抽头 10 之间的延迟元件 9。必要的是,延迟元件 9a 包括相同的特性阻抗 Z_0 , 但延迟元件 9a 与延迟元件 9 之间的传送延迟 τ 可以是不同的。例如,作为延迟元件 9a 的传输线路 9a 的长度是作为两个连续的抽头 10 之间的延迟元件 9 的传输线路 9 的

长度的一半。

[0071] 根据图 3a 和图 3b, 延迟元件 9、延迟元件 9a 可以被构建为传输线路的一段或分立延迟元件。由于延迟元件 9 被终止到它们的特性阻抗 Z_0 , 因而对于第一延迟线路 7 可以实现较高的带宽 B。线路特性阻抗 Z_0 可以如下计算:

$$[0072] \quad Z_0 = \sqrt{\frac{L}{C}}$$

[0073] 抽头延迟线路允许传送具有非常高的带宽 B 的输入信号。线路截止频率 ω_c 可以如下计算:

$$[0074] \quad \omega_c = \frac{2}{\sqrt{L \cdot C}}$$

[0075] 另一种量化连续的抽头点处的延迟 τ 的方式是通过计算下面的公式:

$$[0076] \quad \tau = \sqrt{L \cdot C}$$

[0077] 电感 L 为两个相邻的抽头 10 之间的延迟元件 9 的总的电感。电容 C 为两个相邻的抽头 10 之间的所有的延迟元件 9 电容与连接在抽头 10 处的集总电路的输入电容的总和。

[0078] 施加到第一终端 71 的模拟输入信号 IN 向下传送到第二终端 72, 使得输入信号连续地出现在每个集总电路处。它的结构是周期性的, 使得所有的在两个连续的抽头 10 之间的延迟元件 9 是类似的; 时钟信号 CLK 将随着连续的抽头点 10 而以相等的延迟 τ 出现。传送速率通常在自由空间中的光速的 50% 到 60% 之间, 这取决于延迟元件 9 的相等的相对介电常数 ϵ_r 。

[0079] 延迟元件 9 和延迟元件 9a 可以是相等规格的或者可以是彼此不同的。根据优选的实施方式 (未示出), 延迟元件 9a 被构建为传输线路的多个段, 其中, 两个连续的抽头 10 之间的延迟元件 9 被构建为分立元件 9, 反之亦然。有利的是, 两个连续的抽头 10 之间的每个延迟元件 9 同样地被构建, 以便调整这两个抽头 10 之间的相同的传送延迟 τ 。

[0080] 现在参照图 4, 示出了根据本发明的延迟线路系统的第一示例性实施方式。其中, 第一延迟线路 7 包括第一终端 71 和第二终端 72。在第一终端 71 处, 施加模拟特性的输入信号 IN。第一延迟线路 7 包括多个延迟元件 9, 从而成为抽头延迟线路。抽头 10 布置在两个延迟元件 9 之间。

[0081] 延迟线路系统还包括第二延迟线路 8。第二延迟线路 8 包括第一终端 81 和第二终端 82。第二延迟线路 8 的第一终端 81 设置有时钟信号 CLK。第二延迟线路 8 的第二终端 82 被终止在延迟线路阻抗 Z_0 内, 并且还利用偏置电压 V_{bias} 使第二延迟线路 8 的第二终端 82 偏置, 偏置电压 V_{bias} 也可以是接地信号。

[0082] 由图 4 可以得到的是, 时钟信号 CLK 被施加在第二延迟线路 8 的第一终端 81 处, 相比于第一延迟线路 7, 第二延迟线路 8 的第一终端 81 是相反的端部。

[0083] 为了缓解与模拟输入信号和时钟再缓冲有关的带宽限制, 抽头构思被用在交错方法内。而且, 模拟输入信号 IN 和时钟信号 CLK 被路由至所有的采样单元 2, 采样单元 2 布置在第一延迟线路 7 与第二延迟线路 8 之间的对应的抽头 10 处。延迟元件 9 在物理上被布置成使得第二延迟线路 8 的每个抽头 10 在物理上靠近第一延迟线路 7 上的抽头 10。通过这种方式, 每个采样单元 2 接收模拟输入信号 IN 和时钟信号 CLK, 而无需另外的配线。此

外,在抽头线路特性中包括采样单元 2 的时钟信号 CLK 与模拟输入信号 IN 中的集总寄生电容。可以在用于每个抽头 10 上的模拟输入信号 IN 和时钟信号 CLK 的每个采样单元 2 上局部地使用输入缓冲器 6。

[0084] 高频采样器的交错操作是通过使用延迟线路 7、延迟线路 8 的延迟性能并通过使模拟输入信号 IN 和时钟信号 CLK 在它们各自的抽头延迟线路 7、抽头延迟线路 8 中朝向彼此传送而以简洁的方式实现的。

[0085] 通过使用第一延迟线路 7 和第二延迟线路 8 的连续的抽头 10 之间的相同的延迟元件 9,获得相等时间间隔的采样时刻。另外,延迟线路抽头 10 以下面的方式来布置:

[0086] 如果第二延迟线路 8 和第一延迟线路 7 的抽头 10 被编号成从零到数字 N, N+1 为每条延迟线路 7、延迟线路 8 上的抽头 10 的总数,其中零是最靠近第二延迟线路 8 的第一终端 81 的抽头 10 且零也是最靠近第一延迟线路 7 的第一终端 71 的抽头 10,则第一延迟线路 7 和第二延迟线路 8 以如下这种方式布置:第二延迟线路 8 上的抽头号 K 对应于第一延迟线路 7 上的抽头号 N-K。

[0087] 此外,用于第二延迟线路 8 和第一延迟线路 7 的延迟元件 9 以下面的方式标示规格:

[0088] 在第二延迟线路 8 上的两个连续的抽头 10 之间的传送时间 $\tau_{\text{时钟}}$ 与在第一延迟线路 7 上的两个连续的抽头 10 之间的传送时间 $\tau_{\text{模拟}}$ 的总和乘以交错因子(根据图 4,该交错因子为 N+1)等于时钟周期 $T_{\text{时钟}}$,其可以表示成:

$$[0089] \quad T_{\text{时钟}} = (N+1) \cdot (\tau_{\text{时钟}} + \tau_{\text{模拟}})$$

[0090] 如果针对第一延迟线路 7 和第二延迟线路 8 使用相同类型的延迟元件 9,则传送时间 $\tau_{\text{时钟}}$ 等于传送时间 $\tau_{\text{模拟}}$ 。选择类似的延迟元件 9 有利于使模拟抽头 10 与时钟抽头 10 在物理上对齐,用以消除用于高频采样器的额外的时钟信号配线或模拟信号配线。

[0091] 在第一延迟线路 7 和第二延迟线路 8 之间的每个采样单元 2 的输出处,可以得到采样单元输出信号 S_0,输出信号 S_0 提供输入信号 IN 在特定采样时间 S 上的采样保持值。在本发明构思中,对于使用四个采样单元 2 的高频采样器,实现了四倍高的采样率 f_s ,从而获得四个不同的采样值 S_0。

[0092] 在图 5 中,示出了本发明的第二示例性实施方式。此处,在平行布置的延迟线路 7、延迟线路 8 中,模拟输入信号 IN 和时钟信号 CLK 也朝向彼此行进。模拟输入信号 IN 和时钟信号 CLK 包括彼此类似的抽头延迟元件 10。对于第一延迟线路 7 和第二延迟线路 8 二者,抽头 10 均是等间隔的和等距离的。传送时间 $\tau_{\text{时钟}}$ 和传送时间 $\tau_{\text{模拟}}$ 等于相邻的采样距离除以传送信号的速率。延迟线路 7、延迟线路 8 可以是任何类型的波导,例如微带线波导、带状线波导、共面波导等。

[0093] 为了简单起见,示出了用于单端信号的延迟元件 9,但是本构思在模拟输入信号 IN 或时钟信号 CLK 或两者均使用差分信号方案的情况下也是有效的。在这一情况下,例如针对差分微带线延迟线路使用差分延迟元件 9。差分信号实际上对应于大多数的实现情况。

[0094] 抽头延迟线路 7、抽头延迟线路 8 也可以采用集成电路芯片技术来实现,例如通过在芯片微带线延迟线路 7、芯片微带线延迟线路 8 上使用单端信号或差分信号来实现。

[0095] 在图 6 中,示出了本发明的第三示例性实施方式。与图 5 唯一的不同是,采样单元 2 的数目涉及到四个,导致四个采样单元布置在第一延迟线路 7 和第二延迟线路 8 之间。如

图 7 和图 8 所示,这导致四个抽头 10,其中可以在四个抽头 10 处获得具有特定延迟的模拟输入信号 IN。上述情况也适用于第二延迟线路 8 上的时钟信号 CLK 和四个抽头 10。

[0096] 图 7 示出了在延迟线路系统中的输入信号 IN 和时钟信号 CLK 的相反传送方向的发明构思。如图 7 所示,模拟输入信号 IN 和时钟信号 CLK 朝向彼此行进。示出了用于模拟输入信号 IN 和时钟信号 CLK 的四条不同的波形。它们表示在采样单元 2、采样单元 2'、采样单元 2'' 和采样单元 2''' 处的、采样时刻上的信号。

[0097] 在这一具体的示例中,当时钟信号 CLK 的上升时钟沿到达对应的采样抽头位置 10 时,所有的采样单元 2 执行采样功能。对于从第二延迟线路 8 的第一终端 81 进入并沿着第二延迟线路 8 朝向第二终端 82 向下传送的每个上升时钟沿,按时间顺序激活 / 启用采样器 2、采样器 2'、采样器 2''、采样器 2'''',其中传送时间的两个连续的采样之间的间隔差 τ 等于相邻的采样距离 (adjacent sampling distance, 简称为 ASD) 除以传送速率,如可以由以下公式表示:

[0098]

$$\tau = \frac{ASD}{V_{\text{传送}}}$$

[0099] 应当注意的是,在时钟周期 $T_{\text{时钟}}$ 的前半个周期期间,所有的采样单元 2 应当优选地执行采样功能。此外,应当注意的是,在模拟输入信号 IN 上获得的样本对应于采样距离 2τ 。这是由于以下事实:模拟输入信号 IN 和时钟信号 CLK 朝向彼此行进。

[0100] 在时钟周期 $T_{\text{时钟}}$ 的后半个周期期间,没有采样发生。在这一时期期间,模拟输入信号 IN 在其抽头延迟线路 7 上进一步传送并沿着第一延迟线路 7 向下前进,从而当下一个上升时钟沿到达抽头号 0 时,在样本号 0 处获得的样本对应于距所获得的上一个样本 (即样本号 3) $2 \cdot \tau$ 距离的模拟输入信号 IN 上的模拟值。

[0101] 在图 8 中,示出了采样输出 S_01、采样输出 S_02、采样输出 S_03 和采样输出 S_04,以指示对它们中的每一者进行采样的时刻。也要注意的,样本号 0 (在采样点 S0 处) 对应于在模拟输入信号 IN 上的样本号 3 (在采样点 S3 处) 之后的 $2 \cdot \tau$,因此,对于连续的时钟沿,所有的采样器以交错模式操作。

[0102] 在本发明中,时钟确定性的和随机的相位误差显著减小,这是由于不需要显著相位调整时钟。在每个采样器上的时钟相位调整是时钟稳定性误差的成熟源,并能够利用本发明构思来避免。

[0103] 本文所描述的、示出的和 / 或要求保护的所有实施方式的所有特征可以彼此结合。

[0104] 尽管上文描述了本发明的各种实施方式,但应当理解的是,这些实施方式是仅以示例方式而非以限制方式提出的。根据本文公开内容,可以对所公开的实施方案进行多种改变,而不脱离本发明的精神或范围。因此,本发明的范围的广度不应当由上面所描述的任何实施方式来限制。而是本发明的范围应当根据所附的权利要求及其等效物来限定。

[0105] 虽然已经相对于一个或多个实现方式示出并描述了本发明,但是对于本领域的技术人员来说,在阅读并理解本说明书和附图之后,将进行等效的变型和修改。另外,尽管可能相对于一些实现方式中的仅一个实现方式公开了本发明的特定特征,但是该特征可以根据需要而与其它实现方式的一个或多个其它特征结合,并将有利于任何给定应用或特定应

用。

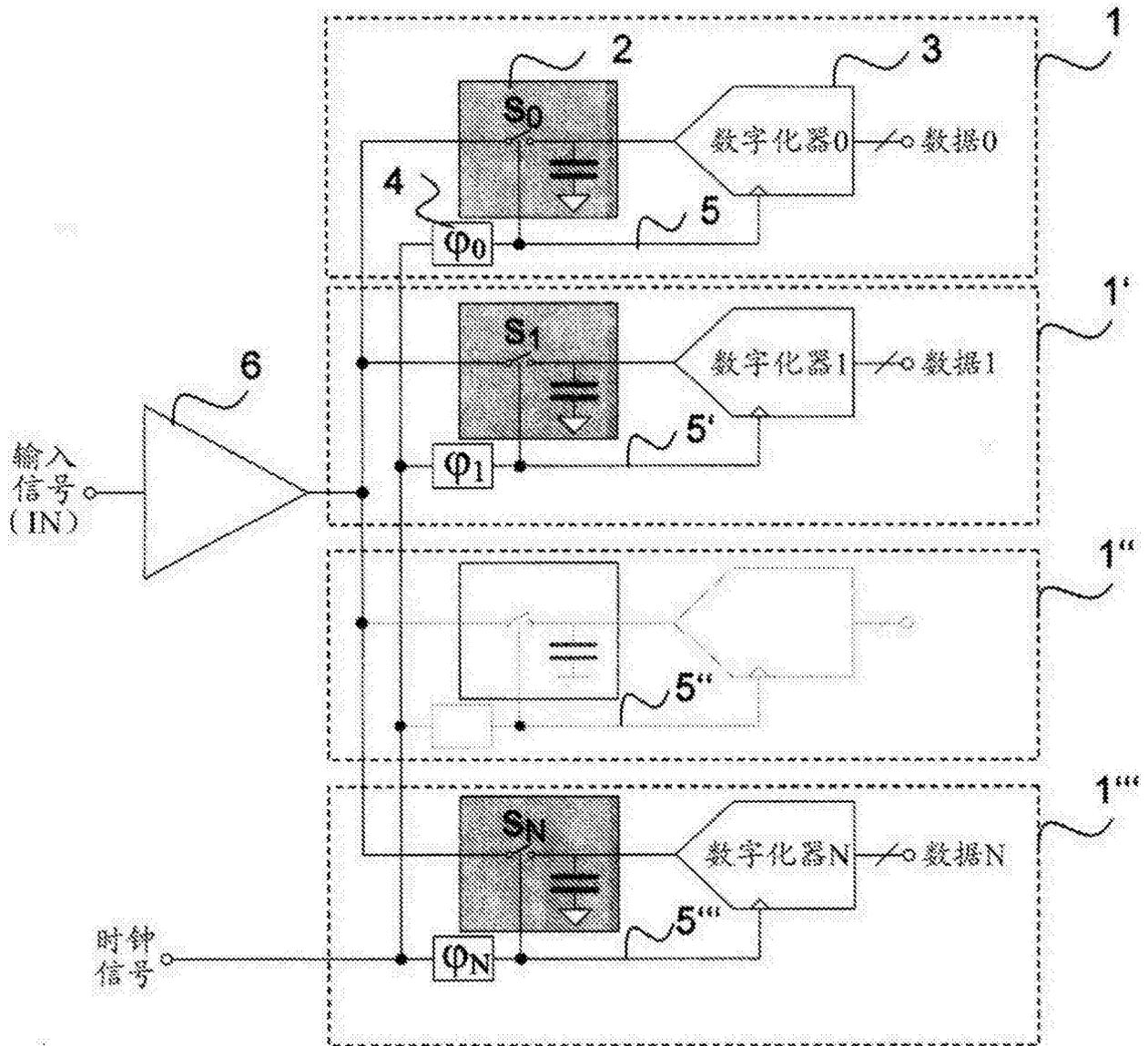


图 1

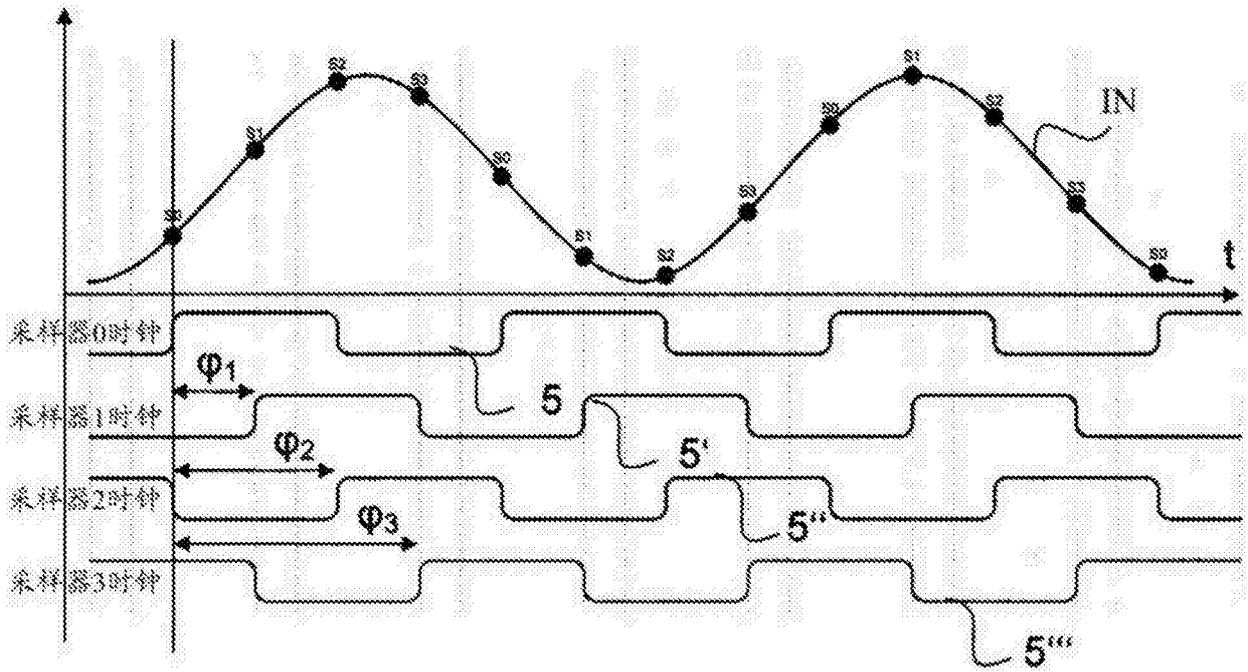


图 2

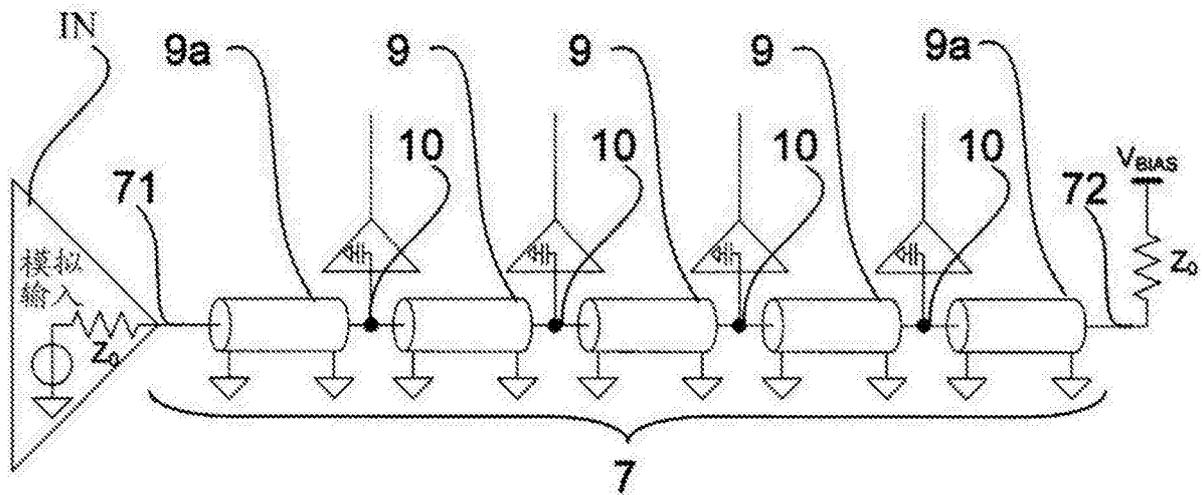


图 3a

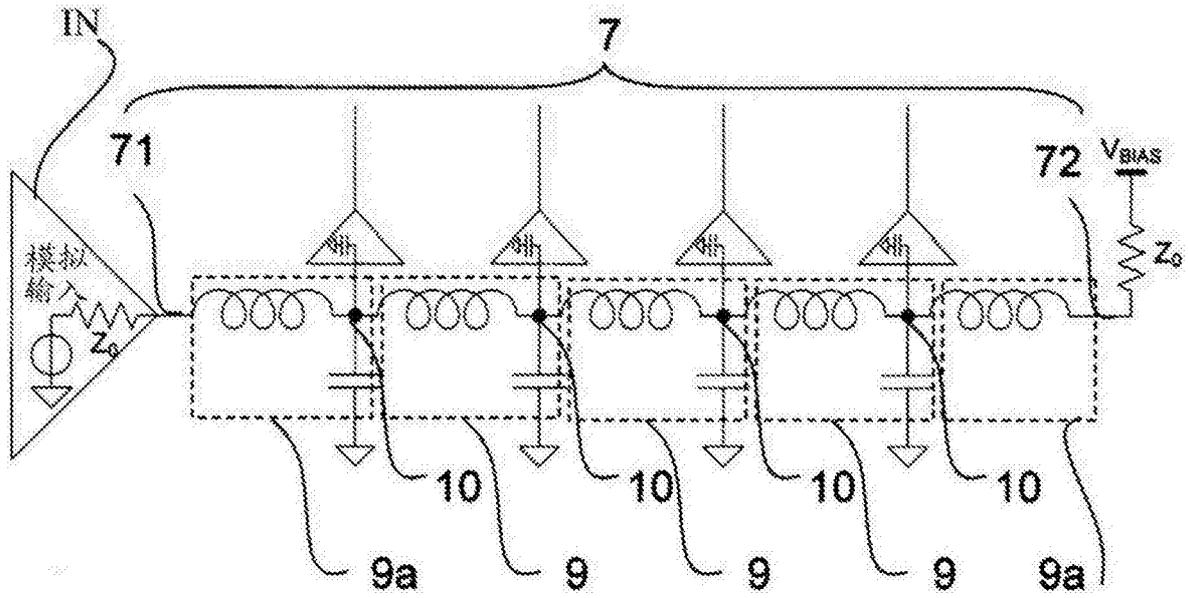


图 3b

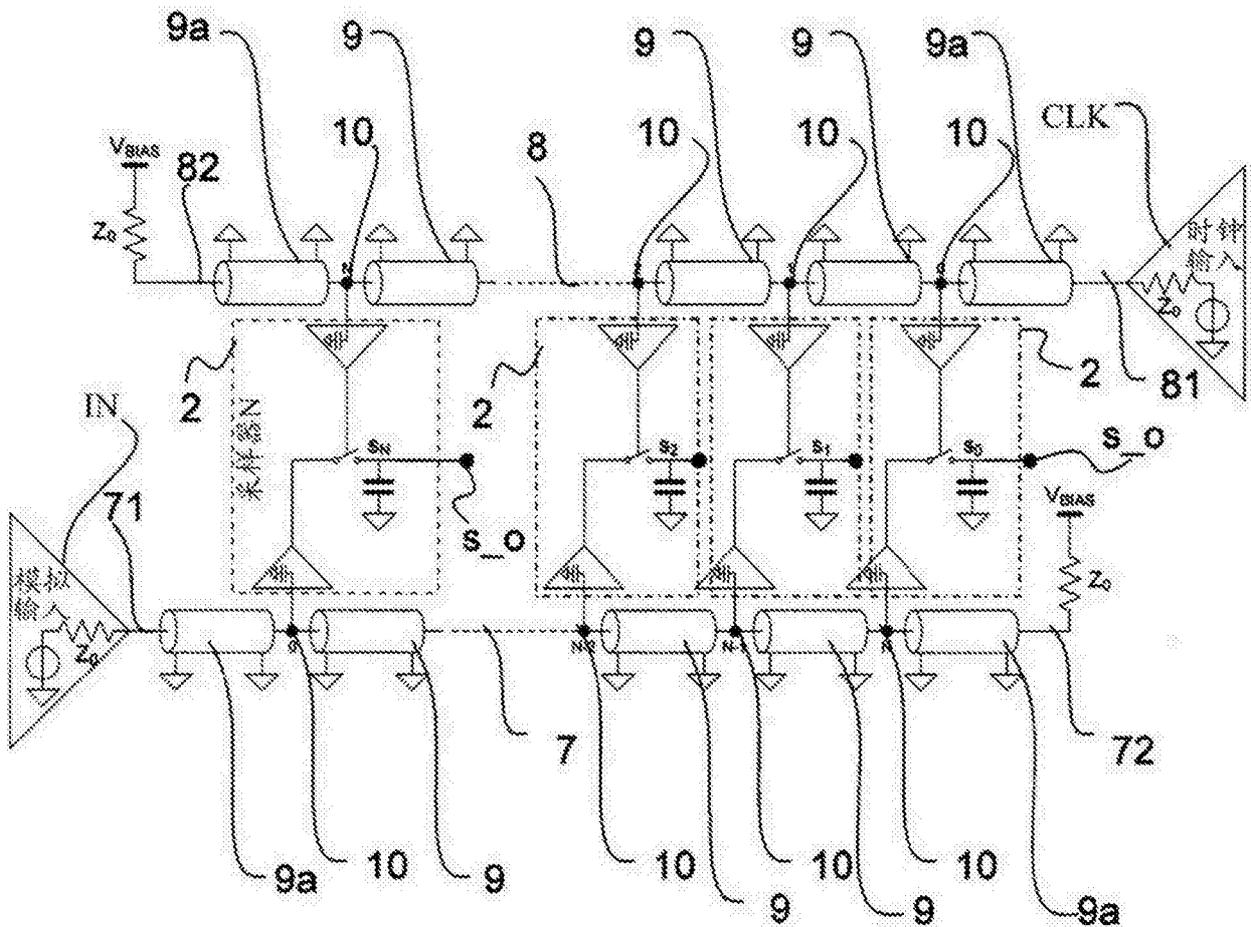


图 4

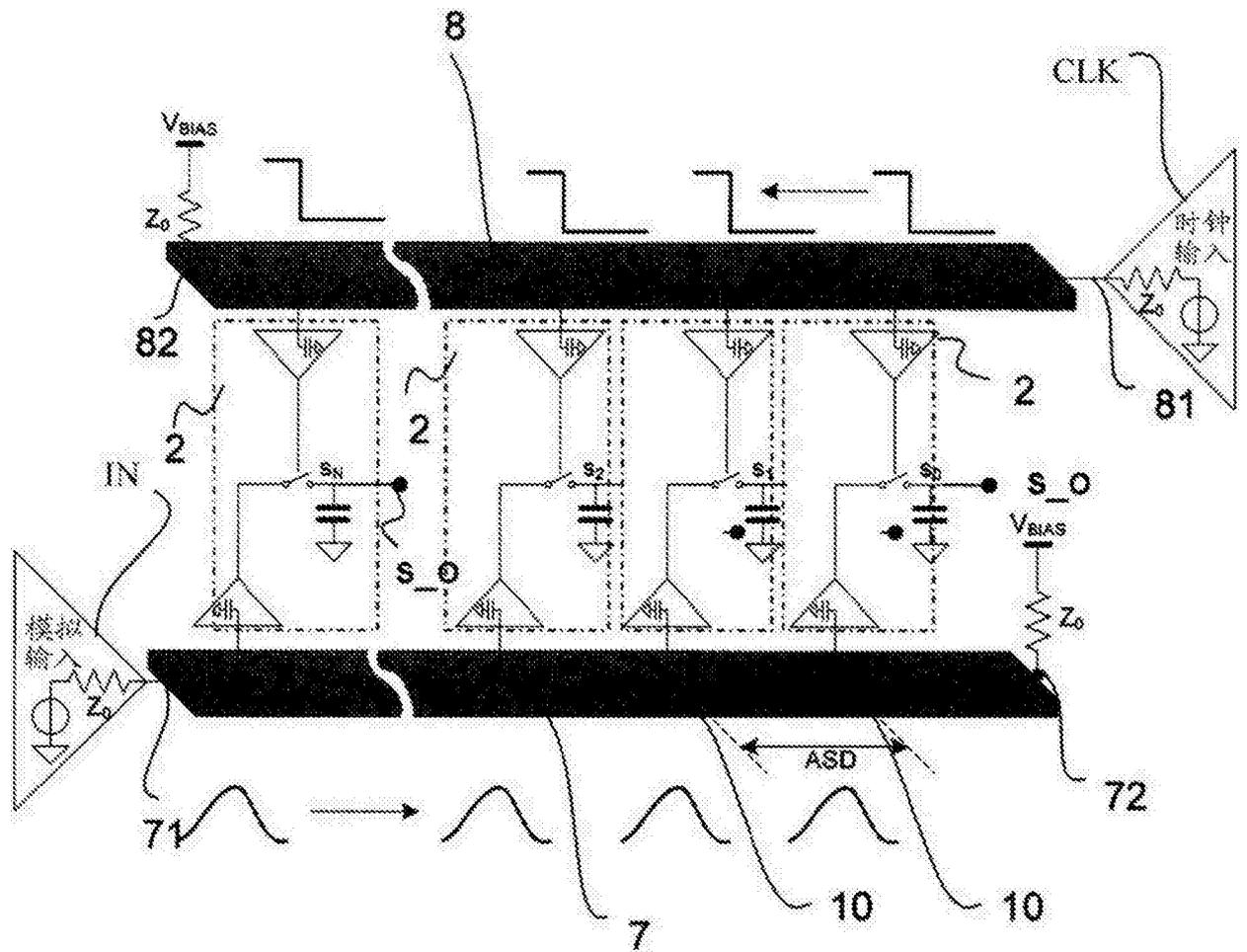


图 5

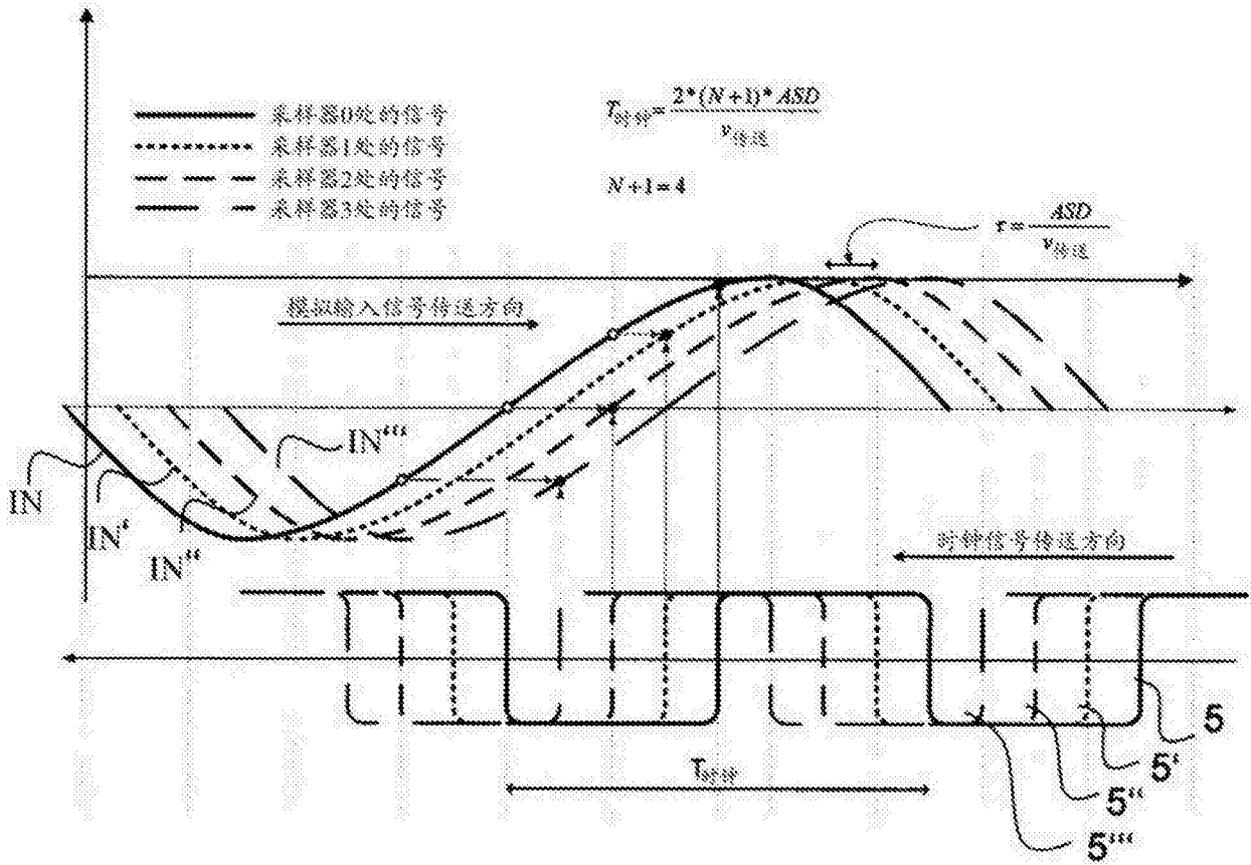


图 7

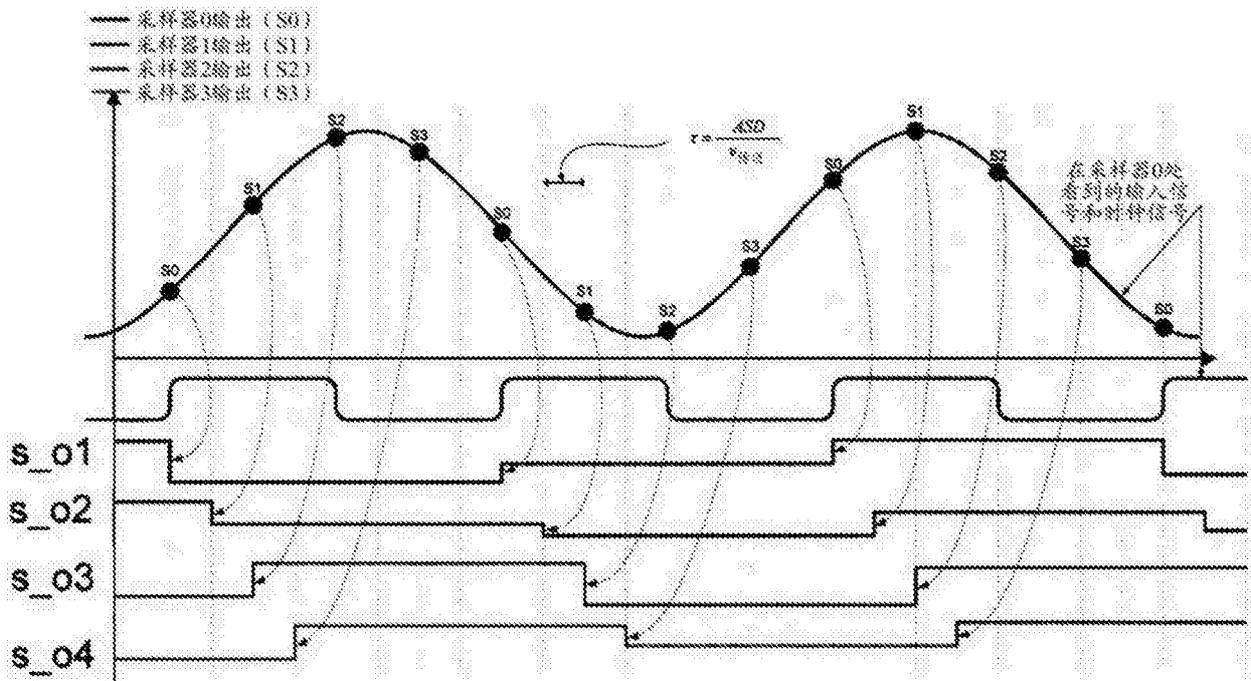


图 8