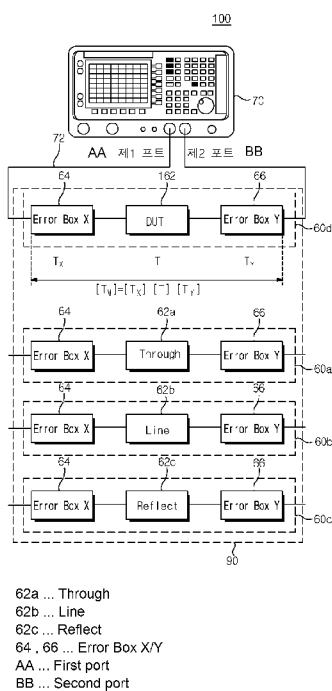




- (51) 국제특허분류: *G01R 27/28* (2006.01) *G01R 35/00* (2006.01)
- (21) 국제출원번호: PCT/KR2016/012116
- (22) 국제출원일: 2016년 10월 27일 (27.10.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2016-0134613 2016년 10월 17일 (17.10.2016) KR
- (71) 출원인: 한국표준과학연구원 (KOREA RESEARCH INSTITUTE OF STANDARDS AND SCIENCE) [KR/KR]; 34113 대전시 유성구 가정로 267, Daejeon (KR).
- (72) 발명자: 홍영표 (HONG, Young-Pyo); 28627 충청북도 청주시 서원구 산미로 143, 204-903, Chungcheongbuk-do (KR). 구현지 (KOO, Hyunji); 34140 대전시 유성구 어은로 57, 127-1206, Daejeon (KR). 강노원 (KANG, No-Weon); 34118 대전시 유성구 가정로 43, 109-1703, Daejeon (KR). 이동준 (LEE, Dong-Joon); 06005 서울시 강남구 압구정로29길 23, 211-1104, Seoul (KR).
- (74) 대리인: 특허법인 누리 (NURY PATENT LAW FIRM); 06131 서울시 강남구 테헤란로 25길 15-5, 4층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: ELECTROMAGNETIC IMPEDANCE MEASUREMENT DEVICE AND ELECTROMAGNETIC IMPEDANCE CALIBRATION METHOD

(54) 발명의 명칭: 전자파 임피던스 측정 장치 및 전자파 임피던스 교정 방법



(57) Abstract: The present invention provides an electromagnetic impedance measurement device. The electromagnetic impedance measurement device comprises: a network analyzer including a first port and a second port and measuring scattering parameters according to frequencies; and a multilayer substrate connected to the first port and the second port by a coaxial cable respectively, including a via for connecting conductive layers, and comprising three or more conductive layers including at least an uppermost layer, a lowermost layer, and an intermediate layer. The multilayer substrate comprises: a test sample placed between the uppermost layer and the lowermost layer; a through calibration sample placed between the uppermost layer and the lowermost layer; a reflect calibration sample placed between the uppermost layer and the lowermost layer; and a line calibration sample placed between the uppermost layer and the lowermost layer. The test sample, the through calibration sample, the reflect calibration sample, and the line calibration sample are connected by a first error box and a second error box respectively, each of the first and second error boxes including the via having the same structure.

(57) 요약서: 본 발명은 전자파 임피던스 측정 장치를 제공한다. 이 전자파 임피던스 측정 장치는 제1 포트 및 제2 포트를 포함하는 주파수에 따라 산란 파라미터를 측정하는 네트워크 분석기; 및 상기 제1 포트 및 제2 포트에 동축 케이블로 연결되고, 도전층 사이를 연결하는 비아를 포함하고, 적어도 최상부층 및 최하부층, 중간층을 포함하는 3층 이상의 도전층을 포함하는 다층 기판을 포함한다. 상기 다층 기판은, 상기 최상부층과 상기 최하부층 사이에 배치된 테스트 시료; 상기 최상부층과 상기 최하부층 사이에 배치된 쓰루(Through) 교정 시료; 상기 최상부층과 상기 최하부층 사이에 배치된 반사(Reflect) 교정 시료; 및 상기 최상부층과 상기 최하부층 사이에 배치된 라인(Line) 교정 시료;를 포함한다. 상기 테스트 시료, 쓰루 교정 시료, 반사 교정 시료, 및 라인 교정 시료 각각은 동일한 구조의 상기 비아를 포함하는 제1 에러 박스 및 제2 에러 박스에 의하여 연결된다.

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 전자파 임피던스 측정 장치 및 전자파 임피던스 교정 방법

기술분야

- [1] 본 발명은 전자파 임피던스 측정 장치에 관한 것으로, 더 구체적으로 TRL(Thru-Reflect-Line) 교정에 기반한 임피던스 측정 장치 및 교정 방법에 관한 것이다.

배경기술

- [2] 집적도가 높은 PCB(printed circuit board) 회로 및 반도체 기반의 IC(integrated chip) 설계에서는 칩의 면적을 줄이기 위해 불가피하게 다층구조가 활용된다. 일반적으로 불연속점(또는 비아)를 통하여 층간 연결이 수행된다. 고속 반도체 집적 회로의 경우, 전기적 특성을 측정하고자 하는 시료(예. 전송선로, 소자, 회로)가 측정지점과 멀리 떨어져 있다.
- [3] 불연속점(또는 비아)를 포함하는 전송선로 설계 및 제작의 경우, 임피던스 부정합에 기인하여, 측정하고자 하는 시료의 임피던스 또는 산란 파라미터가 독립적으로 측정되기 어렵다. 동작주파수가 수십 GHz 이상으로 증가함에 따라 임피던스 부정합 문제는 더욱 심각해진다.
- [4] 전송 선로에서, 소자의 전기적 특성은 임피던스(Z), 어드미턴스(Y), 산란 파라미터(S), 또는 ABCD 파라미터와 같은 네트워크 파라미터로 표시된다. 그러나, 주파수가 증가함에 따라, 측정하고자 하는 시료(Device Under Test; DUT)와 실제 측정 지점 사이에 거리에 의하여, 정확한 네트워크 파라미터의 측정이 어렵다.
- [5] 따라서, 측정하고자 하는 시료(Device Under Test; DUT)를 정확히 평가하기 위해서는 에러 항(Error term)을 제거한 측정결과를 얻어야 하며, 이를 위해서는 정교한 교정(calibration)이 필요하다.
- [6] 미국 등록 특허 7124049는 네트워크 분석기를 사용하여 교정하는 방법이 개시된다. 그러나, 미국 등록 특허 7124049는 비아를 포함하는 다층 기판에 적용되기 어렵다.

발명의 상세한 설명

기술적 과제

- [7] 본 발명의 해결하고자 하는 기술적 과제는 불연속점(비아)를 포함한 전송선로의 임피던스를 정밀 교정함으로써, 측정하고자 하는 소자(전송선로, 회로 및 소자)를 정확히 평가하는 방법을 제공하는 것이다.

과제 해결 수단

- [8] 본 발명의 일 실시예에 따른 전자파 임피던스 측정 장치는, 제1 포트 및 제2 포트를 포함하는 주파수에 따라 산란 파라미터를 측정하는 네트워크 분석기; 및

상기 제1 포트 및 제2 포트에 동축 케이블로 연결되고, 도전층 사이를 연결하는 비아를 포함하고, 적어도 최상부층 및 최하부층, 중간층을 포함하는 3층 이상의 도전층을 포함하는 다층 기판을 포함한다. 상기 다층 기판은, 상기 최상부층과 상기 최하부층 사이에 배치된 테스트 시료; 상기 최상부층과 상기 최하부층 사이에 배치된 쓰루(Through) 교정 시료; 상기 최상부층과 상기 최하부층 사이에 배치된 반사(Reflect) 교정 시료; 및 상기 최상부층과 상기 최하부층 사이에 배치된 라인(Line) 교정 시료;를 포함한다. 상기 테스트 시료, 쓰루 교정 시료, 반사 교정 시료, 및 라인 교정 시료 각각은 동일한 구조의 상기 비아를 포함하는 제1 에러 박스 및 제2 에러 박스에 의하여 연결된다.

- [9] 본 발명의 일 실시예에 있어서, 상기 다층 기판은 4층 인쇄회로 기판이고, 상기 다층 기판은 하부로부터 제1 내지 제4 도전층을 포함한다. 상기 제1 에러 박스 및 제2 에러 박스 각각은, 상기 제1 도전층은 접지된 제1 도전 패턴을 포함하고, 상기 제2 도전층은 하부 신호 패턴을 포함하고, 상기 제3 도전층은 상기 제1 도전 패턴과 나란히 연장되고 접지된 제3 도전 패턴을 포함하고, 상기 제4 도전층은 상기 제1 도전 패턴과 나란히 연장되는 상부 신호 패턴을 포함한다. 상기 상부 신호 패턴은 상기 하부 신호 패턴과 제1 비아를 통하여 연결된다.
- [10] 본 발명의 일 실시예에 있어서, 상기 쓰루(Through) 교정 시료에서, 상기 제1 에러 박스의 상기 하부 신호 패턴은 상기 제2 에러 박스의 상기 하부 신호 패턴과 서로 연결될 수 있다.
- [11] 본 발명의 일 실시예에 있어서, 상기 반사 교정 시료에서, 상기 제1 에러 박스의 상기 하부 신호 패턴은 상기 제1 도전 패턴, 제2 도전 패턴, 및 상기 제4 도전층에 배치된 상부 보조 패턴에 제2 비아를 통하여 연결될 수 있다.
- [12] 본 발명의 일 실시예에 있어서, 상기 라인 교정 시료에서, 상기 제1 에러 박스의 상기 하부 신호 패턴은 상기 제2 에러 박스의 상기 하부 신호 패턴과 소정의 거리(L)을 가지고 위상차를 제공하도록 서로 연결될 수 있다.
- [13] 본 발명의 일 실시예에 따른 전자파 임피던스 교정 방법은 다층 기판에 비아를 포함하고 제1 포트에 연결된 제1 에러 박스 및 제2 포트에 연결된 제2 에러 박스를 통하여 연결된 테스트 시료, 쓰루 교정 시료, 반사(Reflect) 교정 시료, 및 라인(Line) 교정 시료를 제공하는 단계; 상기 쓰루 교정 시료, 상기 반사 교정 시료, 및 라인 교정 시료 각각을 네트워크 분석기를 통하여 측정된 쓰루 산란 파라미터(S_{M}^{Thru}), 측정된 반사 산란 파라미터($S_{M}^{Reflect}$), 및 측정된 라인 산란 파라미터(S_{M}^{Line})를 각각 측정하는 단계; 상기 측정된 쓰루 산란 파라미터(S_{M}^{Thru}), 상기 측정된 반사 산란 파라미터($S_{M}^{Reflect}$), 및 상기 측정된 라인 산란 파라미터(S_{M}^{Line})를 이용하여 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 에러 항들을 산출하는 단계; 상기 테스트 시료를 상기 네트워크 분석기를 통하여 측정된 테스트 시료 산란 파라미터(S_{M}^{DUT})를 측정하는 단계; 및 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 상기 에러 항들을 이용하여 테스트 시료의 측정된 테스트 시료 산란 파라미터(S_{M}^{DUT})와 상기 제1 에러 박스 및 상기

제2 에러 박스를 구성하는 항들을 이용하여 상기 테스트 시료의 산란 파라미터(S_{DUT})를 추출하는 단계를 포함한다.

- [14] 본 발명의 일 실시예에 있어서, 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 에러 항들을 산출하는 단계는, 상기 측정된 쓰루 산란 파라미터(S_M^{Thru}), 상기 측정된 반사 산란 파라미터($S_M^{Reflect}$), 및 상기 측정된 라인 산란 파라미터(S_M^{Line})을 측정된 쓰루 산란 전달 파라미터(T_M^{Thru}), 측정된 반사 산란 전달 파라미터($T_M^{Reflect}$), 및 측정된 라인 산란 전달 파라미터(T_M^{Line})로 각각 변환하는 단계; 및 상기 측정된 쓰루 산란 전달 파라미터(T_M^{Thru}), 상기 측정된 반사 산란 전달 파라미터($T_M^{Reflect}$), 및 상기 측정된 라인 산란 전달 파라미터(T_M^{Line})를 다음의 식을 이용하여 연산하여 에러 항들을 산출하는 단계를 포함한다.

$$[15] \quad T_M = \frac{1}{e_{10}e_{32}} \begin{bmatrix} -\Delta_X & e_{00} \\ -e_{11} & 1 \end{bmatrix} T \begin{bmatrix} -\Delta_Y & e_{22} \\ -e_{33} & 1 \end{bmatrix}$$

- [16] e_{00} 는 제1 에러박스의 디렉티비티(directivity)이고, e_{33} 는 제2 에러박스의 디렉티비티(directivity)이고, e_{11} 은 제1 포트 매치이고, e_{22} 는 제2 포트 매치이고,

- [17] $e_{11}e_{32}$ 는 트랜스미션 트랙킹(transmission tracking)이고, $\Delta_X = e_{00}e_{11} - e_{10}e_{01}$ 는 제1 에러 박스의 에러 매트릭스의 디터미넌트(determinant)이고, $\Delta_Y = e_{22}e_{33} - e_{32}e_{23}$ 는 제2 에러 박스의 에러 매트릭스의 디터미넌트일 수 있다.

- [18] 본 발명의 일 실시예에 있어서, 상기 에러 항들을 산출하는 단계는, 상기 측정된 라인 산란 전달 파라미터(T_M^{Line}) 및 상기 측정된 쓰루 산란 전달 파라미터(T_M^{Thru})을 이용하여, e_{00} , e_{33} , $e_{10}e_{01}/e_{11}$, $e_{32}e_{23}/e_{22}$ 를 산출하는 단계; 상기 측정된 쓰루 산란 전달 파라미터(T_M^{Thru}) 및 상기 측정된 반사 산란 전달 파라미터($T_M^{Reflect}$)를 이용하여 e_{11} 과 e_{22} 를 산출하는 단계; e_{11} 과 $e_{10}e_{01}/e_{11}$ 을 이용하여 $e_{10}e_{01}$ 을 구하고, e_{22} 와 $e_{32}e_{23}/e_{22}$ 을 이용하여, $e_{32}e_{23}$ 을 구하는 단계; 및 $e_{10}e_{32}$ 은 다음의 식을 이용하여 구하는 단계를

$$[19] \quad S_{21M}^{Thru} = (e_{10}e_{32}) \frac{1}{1 - e_{11}e_{22}}$$

- [20] 포함할 수 있다.

- [21] 본 발명의 일 실시예에 있어서, 상기 테스트 시료, 쓰루 교정 시료, 반사(Reflect) 교정 시료, 및 라인(Line) 교정 시료는 동일한 기판에 배치될 수 있다.

발명의 효과

- [22] 본 발명의 일 실시예에 따르면, 다층 기판에 비아를 통하여 연결된 소자의 임피던스 특성을 정밀하게 교정할 수 있다.

도면의 간단한 설명

- [23] 도 1은 본 발명의 일 실시예에 따른 전자파 임피던스 측정 장치를 설명하는 개념도이다.
- [24] 도 2는 제1 에러 박스, 테스트 시료, 및 제2 에러 박스를 설명하는 등가회로도 및 기하학적 구조를 설명하는 도면이다.
- [25] 도 3은 기관의 구조를 설명하는 단면도이다.
- [26] 도 4는 도 1의 전자파 임피던스 측정 장치의 TRL 교정 시료 및 테스트 시료를 회로적으로 표시한 도면이다.
- [27] 도 5는 전자파 임피던스 측정 방법의 연산 방법을 설명하는 개념도이다.
- [28] 도 6은 TRL 교정 시료 및 테스트 시료를 나타내는 평면도이다.
- [29] 도 7a는 제1 시료의 제1 내지 제4 도전층을 나타내는 평면도이다.
- [30] 도 7b는 도 7a의 A-A' 선을 따라 자른 단면도이다.
- [31] 도 8a는 제2 시료의 제1 내지 제4 도전층을 나란히 전개한 평면도이다.
- [32] 도 8b는 도 8a의 B-B' 선을 따라 자른 단면도이다.
- [33] 도 9a는 제3 시료의 제1 내지 제4 도전층을 나란히 전개한 평면도이다.
- [34] 도 9b는 도 9a의 C-C' 선을 따라 자른 단면도이다.
- [35] 도 10a는 제4 시료의 제1 내지 제4 도전층을 나란히 전개한 평면도이다.
- [36] 도 10b는 도 10a의 D-D' 선을 따라 자른 단면도이다.
- [37] 62a: 쓰루 교정 시료
- [38] 62b: 라인 교정 시료
- [39] 62c: 반사 교정 시료
- [40] 64: 제1 에러 박스
- [41] 66: 제2 에러 박스
- [42] 70: 네트워크 분석기
- [43] 72: 동축 케이블
- [44] 162: 테스트 시료

발명의 실시를 위한 형태

- [45] 다층 인쇄회로기판(PCB)은 비아(Via)를 통해 마이크로스트립라인 및 스트립라인을 포함하는 상호 연결 구조를 구비할 수 있다. 다층 PCB는 PCB 면적을 효율적으로 이용할 수 있으므로 소형화를 위하여 널리 사용된다.
- [46] 다층 PCB는 접지층과 신호층을 구비한 마이크로 스트립라인 구조와 한 쌍 접지층 사이에 신호층을 구비한 스트립라인 구조를 결합한 4층 기관 구조가 사용될 수 있다.
- [47] 측정장비의 단자(port)를 다층 PCB 내부에 존재하는 비아에 직접 연결하여 측정하는 것이 불가능하여, 비아(Via)의 전기적 성능을 직접적으로 측정하는 것은 불가능하다. 더욱이 측정장비의 단자와 DUT(Device under test) 사이에는 인터페이스(전송선로, 어댑터, 패드, 비아 등)가 항상 존재하여, DUT 자체만의

전기적 성능을 측정하기 위해서는 de-embedding 방법을 통해 인터페이스의 전기적 특성을 제외하여야 한다.

- [48] 이것을 해결하기 위하여, TRL(Through-Reflect-Line) 교정에 기반한 인터페이스의 de-embedding 방법을 새롭게 제안한다.
- [49] 본 발명에 따르면, 동일한 다층 PCB 기판 상에 교정을 위한 TRL(Through-Reflect-Line) 교정시료 및 테스트 시료를 제작 및 평가하였다. TRL(Through-Reflect-Line) 교정을 위하여, DUT의 양측에 각각 연결된 제1 에러 박스와 제2 에러 박스를 8항 에러 모델로 모델링하였다. 상기 8항 에러 모델은 다층 PCB 기판에 형성된 TRL(Through-Reflect-Line) 교정시료 및 테스트 시료를 동시에 형성하여 정확한 교정을 제공할 수 있다.
- [50] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 구성요소는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- [51] 도 1은 본 발명의 일 실시예에 따른 전자파 임피던스 측정 장치를 설명하는 개념도이다.
- [52] 도 2는 제1 에러 박스, 테스트 시료, 및 제2 에러 박스를 설명하는 등가회로도 및 기하학적 구조를 설명하는 도면이다.
- [53] 도 3은 기판의 구조를 설명하는 단면도이다.
- [54] 도 4는 도 1의 전자파 임피던스 측정 장치의 TRL 교정 시료 및 테스트 시료를 회로적으로 표시한 도면이다.
- [55] 도 5는 전자파 임피던스 측정 방법의 연산 방법을 설명하는 개념도이다.
- [56] 도 6은 TRL 교정 시료 및 테스트 시료를 나타내는 평면도이다.
- [57] 도 1 내지 도 6을 참조하면, 전자파 임피던스 측정 장치(100)는 제1 포트 및 제2 포트를 포함하는 주파수에 따라 산란 파라미터를 측정하는 네트워크 분석기(70); 및 상기 제1 포트 및 제2 포트에 동축 케이블(72)로 연결되고, 도전층 사이를 연결하는 비아를 포함하고, 적어도 최상부층 및 최하부층, 중간층을 포함하는 3층 이상의 도전층을 포함하는 다층 기판(90)을 포함한다.
- [58] 상기 동축 케이블(72)의 특성 임피던스는 50옴일 수 있다. 상기 동축 케이블(72)의 일단은 상기 네트워크 분석기의 제1 포트와 제2 포트에 각각 연결될 수 있다. 상기 동축 케이블의 타단은 고주파 프로브에 연결될 수 있다. 상기 고주파 프로브는 3 개의 탐침을 구비하고, 접지-신호-접지 구조의 3단자 탐침일 수 있다. 상기 고주파 탐침은 공평면(coplanar) 웨이브 가이드 구조의 패드에 연결될 수 있다.
- [59] 상기 다층 기판(90)은, 상기 최상부층과 상기 최하부층 사이에 배치된 테스트

시료(162); 상기 최상부층과 상기 최하부층 사이에 배치된 쓰루(Through) 교정 시료(62a); 상기 최상부층과 상기 최하부층 사이에 배치된 반사(Reflect) 교정 시료(62c); 및 상기 최상부층과 상기 최하부층 사이에 배치된 라인(Line) 교정 시료(62b);를 포함한다. 상기 테스트 시료(162), 쓰루 교정 시료(62a), 반사 교정 시료(62c), 및 라인 교정 시료(62b) 각각은 동일한 구조의 상기 비아를 포함하는 제1 에러 박스(64) 및 제2 에러 박스(66)에 의하여 연결된다.

[60] 제1 시료(60a)는 쓰루(Through) 교정 시료(62a), 제1 에러 박스(64), 및 제2 에러박스(66)를 포함한다. 제2 시료(60b)는 라인 교정 시료(62b), 제1 에러 박스, 및 제2 에러박스를 포함한다. 제3 시료(60c)는 반사 교정 시료(62c), 제1 에러 박스, 및 제2 에러박스를 포함한다. 제4 시료(60d)는 테스트 시료(162), 제1 에러 박스, 및 제2 에러박스를 포함한다. 제1 내지 제4 시료(60a~60d)는 동일한 인쇄회로 기판 또는 반도체 기판 상에 형성된다.

[61] 이하, 본 발명의 일 실시예에 따른 임피던스 또는 산란 파라미터를 측정하기 위한 수학적 기초를 설명한다. 산란 파라미터(Scattering parameters) 또는 S-파라미터(산란 매트릭스의 요소들)은 전기 네트워크의 전기적 특성을 기술한다.

[62] [수학식 1]

$$[63] \quad S = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}$$

[64] 2 포트 네트워크에서, S_{11} 은 제1 포트에서 반사 계수(coefficient)를 의미한다. 산란 전달 파라미터(Scattering Transfer parameters) 또는 T-파라미터는 산란 파라미터(Scattering parameters)로부터 다음과 같이 변환될 수 있다.

[65] [수학식 2]

$$[66] \quad T = \begin{bmatrix} T_{11} & T_{12} \\ T_{21} & T_{22} \end{bmatrix} = \frac{1}{S_{21}} \begin{bmatrix} -\Delta_s & S_{11} \\ -S_{22} & 1 \end{bmatrix}$$

$$\Delta_s = S_{11}S_{22} - S_{12}S_{21}$$

[67] 측정하고자 하는 소자(DUT 또는 테스트 시료)는 비아를 구비한 제1 에러박스(64)와 비아를 구비한 제2 에러 박스(66)에 의하여 연결된다.

[68] 제1,2 에러 박스(64,66)의 산란-파라미터(또는 에러 파라미터, S_x , S_y)는 다음과 같이 주어진다.

[69] [수학식 3]

[70]

$$S_X = \begin{bmatrix} e_{00} & e_{01} \\ e_{10} & e_{11} \end{bmatrix}$$

$$S_Y = \begin{bmatrix} e_{22} & e_{23} \\ e_{32} & e_{33} \end{bmatrix}$$

[71] 제1,2 에러 박스(64,66)의 산란-파라미터(또는 에러 파라미터, S_X, S_Y)는 T-파라미터(T_X, T_Y)로 다음과 같이 변환될 수 있다.

[72] [수학식 4]

[73]

$$T_X = \frac{1}{e_{10}} \begin{bmatrix} -\Delta_X & e_{00} \\ -e_{11} & 1 \end{bmatrix}$$

$$T_Y = \frac{1}{e_{32}} \begin{bmatrix} -\Delta_Y & e_{22} \\ -e_{33} & 1 \end{bmatrix}$$

$$\Delta_X = e_{00}e_{11} - e_{10}e_{01}$$

$$\Delta_Y = e_{22}e_{33} - e_{32}e_{23}$$

[74] 측정된 T-파라미터(T_M)는 실제 소자의 T-파라미터(T)로부터 제1 에러박스(64)와 제2 에러박스(66)에 의하여 다음과 같이 주어진다.

[75] [수학식 5]

[76]

$$T_M = T_X T T_Y = \frac{1}{e_{10}e_{32}} \begin{bmatrix} -\Delta_X & e_{00} \\ -e_{11} & 1 \end{bmatrix} T \begin{bmatrix} -\Delta_Y & e_{22} \\ -e_{33} & 1 \end{bmatrix}$$

$$= \frac{1}{e_{10}e_{32}} ATB$$

$$A = \begin{bmatrix} -\Delta_X & e_{00} \\ -e_{11} & 1 \end{bmatrix}$$

$$B = \begin{bmatrix} -\Delta_Y & e_{22} \\ -e_{33} & 1 \end{bmatrix}$$

[77] e_{00} 는 제1 에러박스의 디렉티비티(directivity)이고, e_{33} 는 제2 에러박스의 디렉티비티(directivity)이고, e_{11} 은 제1 포트 매치이고, e_{22} 는 제2 포트 매치이고, e_{11} e_{32} 는 트랜스미션 트랙킹(transmission tracking)이고, $\Delta_X = e_{00}e_{11} - e_{10}e_{01}$ 는

제1 에러 박스의 에러 매트릭스의 디터미넌트(determinant)이고,

$\Delta_F = e_{22}e_{33} - e_{32}e_{23}$ 는 제2 에러 박스의 에러 매트릭스의 디터미넌트일 수 있다.

[78] 본 발명의 일 실시예에 따른 전자파 임피던스 교정 방법은 다층 기판에 비아를 포함하고 제1 포트에 연결된 제1 에러 박스 및 제2 포트에 연결된 제2 에러 박스를 통하여 연결된 테스트 시료, 쓰루 교정 시료, 반사(Reflect) 교정 시료, 및 라인(Line) 교정 시료를 제공한다. 상기 테스트 시료, 쓰루 교정 시료, 반사(Reflect) 교정 시료, 및 라인(Line) 교정 시료의 구조는 추후에 설명한다.

[79] 상기 쓰루 교정 시료, 상기 반사 교정 시료, 및 라인 교정 시료 각각을 네트워크 분석기를 통하여 측정된 쓰루 산란 파라미터(S_M^{Thru}), 측정된 반사 산란 파라미터($S_M^{Reflect}$), 및 측정된 라인 산란 파라미터(S_M^{Line})를 각각 측정한다(SS10).

[80] TRL 교정시료 측정을 통하여, 측정 쓰루 산란 파라미터(S_M^{Thru}), 측정 반사 산란 파라미터($S_M^{Reflect}$), 그리고 측정 라인 산란 파라미터(S_M^{Line})가 네트워크 분석기(70)를 사용하여 측정하여 각각 구해진다(SS11, SS12, SS13).

[81] 이어서, 상기 측정된 쓰루 산란 파라미터(S_M^{Thru}), 상기 측정된 반사 산란 파라미터($S_M^{Reflect}$), 및 상기 측정된 라인 산란 파라미터(S_M^{Line})를 이용하여 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 에러 항들을 산출한다(SS30a).

[82] 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 에러 항들을 산출을 산출하기 위하여, 쓰루 산란 전달 파라미터(T^{Thru}), 반사 산란 전달 파라미터($T^{Reflect}$), 라인 산란 전달 파라미터(T^{Line})는 다음과 같이 주어진 S-파라미터로부터 변환되어 각각 산출된다.

[83] [수학식 6]

$$[84] \quad S^{Thru} = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}$$

$$S^{Line} = \begin{bmatrix} 0 & e^{-\gamma l} \\ e^{-\gamma l} & 0 \end{bmatrix}$$

$$S^{Reflect} = \begin{bmatrix} \Gamma & 0 \\ 0 & \Gamma \end{bmatrix}$$

[85] 여기서, Γ 는 반사 계수이고, γ 는 전파 상수(propagation constant)이고, l 은 라인의 길이이다.

[86] 상기 측정된 쓰루 산란-전달 파라미터(T_M^{Thru}), 측정된 반사 산란-전달 파라미터($T_M^{Reflect}$), 그리고 측정된 라인 산란-전달 파라미터(T_M^{Line})와 수학식 5, 6을 이용하면, 8-항의 에러 박스의 에러 항들이 결정될 수 있다.

[87] 구체적으로, 측정된 라인 산란 전달 파라미터(T_M^{Line}), 측정된 쓰루 산란 전달 파라미터(T_M^{Thru})와 수학식 5을 이용하여, e_{00} , e_{33} , $e_{10}e_{01}/e_{11}$, $e_{32}e_{23}/e_{22}$ 를

구한다(SS31).

[88] 이어서, 측정 쓰루 산란 전달 파라미터(T_M^{Thru}), 측정 반사 산란 전달 파라미터($T_M^{Reflect}$), 와 수학식 5를 이용하여, e_{11} 과 e_{22} 를 계산한다(SS32).

[89] 이어서, e_{11} 과 $e_{10}e_{01}/e_{11}$ 을 이용하여 $e_{10}e_{01}$ 을 구한다. 또한, e_{22} 와 $e_{32}e_{23}/e_{22}$ 을 이용하여, $e_{32}e_{23}$ 을 구한다(SS33).

[90] 또한, $e_{10}e_{32}$ 와 $e_{23}e_{01}$ 은 다음의 식을 이용하여 구한다(SS34).

[91] [수학식 7]

$$[92] \quad S_{21M}^{Thru} = (e_{10}e_{32}) \frac{1}{1 - e_{11}e_{22}}$$

[93] 에러 항은 다음과 같이 주어진다(SS35).

[94] [수학식 8]

$$[95] \quad \begin{aligned} &1) \Delta_X = e_{00}e_{11} - e_{10}e_{01} \\ &2) e_{00} = \text{directivity} \\ &3) e_{11} = \text{port 1 match} \\ &4) \Delta_Y = e_{22}e_{33} - e_{32}e_{23} \\ &5) e_{33} = \text{directivity} \\ &6) e_{22} = \text{port 2 match} \\ &7) e_{10}e_{32} = \text{Transmission Tracking} \end{aligned}$$

[96] 수학식 8의 에러항 들이 구해지면, 상기 테스트 시료를 교정할 수 있다(SS40). 구체적으로, 상기 테스트 시료를 상기 네트워크 분석기(70)를 통하여 측정된 테스트 시료 산란 파라미터(S_M^{DUT})를 측정한다(SS42). 상기 측정된 테스트 시료 산란 파라미터(S_M^{DUT})는 연산을 위하여 측정된 테스트 시료 산란 전달 파라미터(T_M^{DUT})으로 변환될 수 있다(SS44).

[97] 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 상기 에러 항들을 이용하여 테스트 시료의 측정된 테스트 시료 산란 파라미터(S_M^{DUT})과 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 항들을 이용하여 상기 테스트 시료의 산란 파라미터(S^{DUT})를 추출한다(SS50).

[98] 구체적으로, DUT(또는 테스트 시료)에 대하여 테스트 시료 산란-전달 파라미터(T^{DUT})는 측정된 테스트 시료 산란 파라미터(S_M^{DUT}) 또는 측정된 테스트 시료 산란-전달 파라미터(T_M^{DUT})로부터 다음과 같이 산출될 수 있다(SS52).

[99] [수학식 9]

$$\begin{aligned}
 [100] \quad T^{DUT} &= e_{10}e_{32}A^{-1}T_M^{DUT}B^{-1} \\
 A^{-1} &= \text{inverse } A \\
 B^{-1} &= \text{inverse } B
 \end{aligned}$$

[101] 이어서, 상기 산란-전달 파라미터(T^{DUT})는 다시 산란 파라미터(S^{DUT})로 변환되어 표시될 수 있다(SS54).

[102] 결론적으로, 전자파 임피던스 교정 방법은 다음과 같이 수행될 수 있다. 다층 기관에 비아를 포함하고 제1 포트에 연결된 제1 에러 박스 및 제2 포트에 연결된 제2 에러 박스를 통하여 연결된 테스트 시료, 쓰루 교정 시료, 반사(Reflect) 교정 시료, 및 라인(Line) 교정 시료를 제공하는 단계; 상기 쓰루 교정 시료, 상기 반사 교정 시료, 및 라인 교정 시료 각각을 네트워크 분석기를 통하여 측정된 쓰루 산란 파라미터(S_M^{Thru}), 측정된 반사 산란 파라미터($S_M^{Reflect}$), 및 측정된 라인 산란 파라미터(S_M^{Line})를 각각 측정하는 단계(S10); 상기 측정된 쓰루 산란 파라미터(S_M^{Thru}), 상기 측정된 반사 산란 파라미터($S_M^{Reflect}$), 및 상기 측정된 라인 산란 파라미터(S_M^{Line})를 이용하여 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 에러 항들을 산출하는 단계(SS30); 상기 테스트 시료를 상기 네트워크 분석기를 통하여 측정된 테스트 시료 산란 파라미터(S_M^{DUT})를 측정하는 단계(SS40); 및 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 상기 에러 항들을 이용하여 테스트 시료의 측정된 테스트 시료 산란 파라미터(S_M^{DUT})과 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 항들을 이용하여 상기 테스트 시료의 산란 파라미터(S^{DUT})를 추출하는 단계(SS50)를 포함한다.

[103] 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 에러 항들을 산출하는 단계(SS30)는, 상기 측정된 쓰루 산란 파라미터(S_M^{Thru}), 상기 측정된 반사 산란 파라미터($S_M^{Reflect}$), 상기 측정된 라인 산란 파라미터(S_M^{Line}), 및 상기 측정된 테스트 시료 산란 파라미터(S_M^{DUT})을 측정된 쓰루 산란 전달 파라미터(T_M^{Thru}), 측정된 반사 산란 전달 파라미터(T_M^{Thru}), 및 측정된 라인 산란 전달 파라미터(T_M^{Line})로 각각 변환하는 단계(SS21,SS22,SS33); 및 상기 측정된 쓰루 산란 전달 파라미터(T_M^{Thru}), 상기 측정된 반사 산란 전달 파라미터($T_M^{Reflect}$), 및 상기 측정된 라인 산란 전달 파라미터(T_M^{Line})를 다음의 식을 이용하여 연산하여 에러 항들을 산출하는 단계(SS30a)를 포함할 수 있다.

$$[104] \quad T_M = \frac{1}{e_{10}e_{32}} \begin{bmatrix} -\Delta_X & e_{00} \\ -e_{11} & 1 \end{bmatrix} T \begin{bmatrix} -\Delta_Y & e_{22} \\ -e_{33} & 1 \end{bmatrix}$$

[105] 상기 에러 항들을 산출하는 단계(SS30a)는, 상기 측정된 라인 산란 전달 파라미터(T_M^{Line}) 및 상기 측정된 쓰루 산란 전달 파라미터(T_M^{Thru})을 이용하여, e_{00} ,

e_{33} , $e_{10}e_{01}/e_{11}$, $e_{32}e_{23}/e_{22}$ 를 산출하는 단계(SS31); 상기 측정된 쓰루 산란 전달 파라미터(T_M^{Thru}) 및 상기 측정된 반사 산란 전달 파라미터($T_M^{Reflect}$)를 이용하여 e_{11} 과 e_{22} 를 산출하는 단계(SS32); e_{11} 과 $e_{10}e_{01}/e_{11}$ 을 이용하여 $e_{10}e_{01}$ 을 구하고, e_{22} 와 $e_{32}e_{23}/e_{22}$ 을 이용하여, $e_{32}e_{23}$ 을 구하는 단계(SS33); 및 $e_{10}e_{32}$ 은 다음의 식을 이용하여 구하는 단계(SS34)를

$$[106] \quad S_{21M}^{Thru} = (e_{10}e_{32}) \frac{1}{1 - e_{11}e_{22}}$$

[107] 포함할 수 있다.

[108] 상기 테스트 시료, 쓰루 교정 시료, 반사(Reflect) 교정 시료, 및 라인(Line) 교정 시료는 동일한 기관에 배치될 수 있다.

[109] 이하, 본 발명의 일 실시예에 따른 TRL(Thru-Reflect-Line) 교정 시료의 구조가 설명된다. 일 예로서, 4개의 도전층을 구비한 다층 기관(90)에서 설명한다. TRL(Through-Reflect-Line) 교정시료는 쓰루 교정 시료(62a), 반사 교정 시료(62c), 및 라인 교정 시료(62b)를 포함한다.

[110] 상기 다층 기관(90)은, 상기 최상부층과 상기 최하부층 사이에 배치된 테스트 시료(162); 상기 최상부층과 상기 최하부층 사이에 배치된 쓰루(Through) 교정 시료(62a); 상기 최상부층과 상기 최하부층 사이에 배치된 반사(Reflect) 교정 시료(62c); 및 상기 최상부층과 상기 최하부층 사이에 배치된 라인(Line) 교정 시료(62b);를 포함한다.

[111] 상기 테스트 시료(162), 쓰루 교정 시료(62a), 반사 교정 시료(62c), 및 라인 교정 시료(62b) 각각은 동일한 구조의 상기 비아를 포함하는 제1 에러 박스(64) 및 제2 에러 박스(66)에 의하여 연결된다.

[112] 상기 다층 기관(90)은 4층 인쇄회로 기관일 수 있다. 상기 다층 기관(90)은 하부로부터 제1 내지 제4 도전층(10,20,30,40)을 포함할 수 있다. 제1 도전층(10)과 제2 도전층(20) 사이에는 제1 유전층(10a)이 배치될 수 있다. 상기 제2 도전층(20)과 제3 도전층(30) 사이에는 제2 유전층(20a)이 배치될 수 있다. 상기 제3 도전층(30)과 상기 제4 도전층(40) 사이에는 제3 유전층(30a)이 배치될 수 있다.

[113] 도 7a는 제1 시료의 제1 내지 제4 도전층을 나란히 전개한 평면도이다.

[114] 도 7b는 도 7a의 A-A' 선을 따라 자른 단면도이다.

[115] 도 7a 및 도 7b를 참조하면, 제1 시료(60a)는 쓰루 교정 시료(62a), 제1 에러 박스(64), 및 제2 에러박스(66)를 포함한다. 상기 제1 에러 박스(64) 및 제2 에러 박스(66) 각각은, 상기 제1 도전층(10)은 접지된 제1 도전 패턴(11)을 포함하고, 상기 제2 도전층(20)은 하부 신호 패턴(21)을 포함하고, 상기 제3 도전층(30)은 상기 제1 도전 패턴과 나란히 연장되고 접지된 제3 도전 패턴(31)을 포함하고, 상기 제4 도전층(40)은 상기 제1 도전 패턴과 나란히 연장되는 상부 신호

패턴(41)을 포함할 수 있다. 상기 상부 신호 패턴(41)은 상기 하부 신호 패턴(21)과 제1 비아(42)를 통하여 연결될 수 있다. 상기 상부 신호 패턴(41)과 서로 나란한 상부 보조 도전 패턴(43)은 고주파 프로프의 탐침이 접촉하는 패드로 기능할 수 있다.

[116] 상기 쓰루(Through) 교정 시료(62a)에서, 상기 제1 에러 박스(64)의 상기 하부 신호 패턴(21)은 제2 도전층이 배치되는 배치 평면에서 상기 제2 에러 박스(64)의 상기 하부 신호 패턴(21)과 서로 연결될 수 있다.

[117] 도 8a는 제2 시료의 제1 내지 제4 도전층을 나란히 전개한 평면도이다.

[118] 도 8b는 도 8a의 B-B' 선을 따라 자른 단면도이다.

[119] 도 8a 및 도 8b를 참조하면, 제2 시료(60b)는 라인 교정 시료(62b), 제1 에러 박스, 및 제2 에러박스를 포함한다. 상기 제1 에러 박스(64) 및 제2 에러 박스(66) 각각은, 상기 제1 도전층(10)은 접지된 제1 도전 패턴(11)을 포함하고, 상기 제2 도전층(20)은 하부 신호 패턴(21)을 포함하고, 상기 제3 도전층(30)은 상기 제1 도전 패턴과 나란히 연장되고 접지된 제3 도전 패턴(31)을 포함하고, 상기 제4 도전층(40)은 상기 제1 도전 패턴과 나란히 연장되는 상부 신호 패턴(41)을 포함할 수 있다. 상기 상부 신호 패턴(41)은 상기 하부 신호 패턴(21)과 제1 비아(42)를 통하여 연결될 수 있다. 상기 상부 신호 패턴(41)과 서로 나란한 상부 보조 도전 패턴(43)은 고주파 프로프의 탐침이 접촉하는 패드로 기능할 수 있다.

[120] 상기 라인 교정 시료(62b)에서, 상기 제1 에러 박스(64)의 상기 하부 신호 패턴(21)은 제2 도전층이 배치되는 배치 평면에서 상기 제2 에러 박스(66)의 상기 하부 신호 패턴(21)과 소정의 거리(L)을 가지고 위상차를 제공하도록 서로 연결될 수 있다.

[121] 도 9a는 제3 시료의 제1 내지 제4 도전층을 나란히 전개한 평면도이다.

[122] 도 9b는 도 9a의 C-C' 선을 따라 자른 단면도이다.

[123] 도 9a 및 도 9b를 참조하면, 제3 시료(60c)는 반사 교정 시료(62c), 제1 에러 박스, 및 제2 에러박스를 포함한다. 상기 제1 에러 박스(64) 및 제2 에러 박스(66) 각각은, 상기 제1 도전층(10)은 접지된 제1 도전 패턴(11)을 포함하고, 상기 제2 도전층(20)은 하부 신호 패턴(21)을 포함하고, 상기 제3 도전층(30)은 상기 제1 도전 패턴과 나란히 연장되고 접지된 제3 도전 패턴(31)을 포함하고, 상기 제4 도전층(40)은 상기 제1 도전 패턴과 나란히 연장되는 상부 신호 패턴(41)을 포함할 수 있다. 상기 상부 신호 패턴(41)은 상기 하부 신호 패턴(21)과 제1 비아(42)를 통하여 연결될 수 있다. 상기 상부 신호 패턴(41)과 서로 나란한 상부 보조 도전 패턴(43)은 고주파 프로프의 탐침이 접촉하는 패드로 기능할 수 있다.

[124] 상기 반사 교정 시료(62c)에서, 상기 제1 에러 박스(64)의 상기 하부 신호 패턴(21)은 상기 제1 도전 패턴(11), 제2 도전 패턴(21), 및 상기 제4 도전층에 배치된 상부 보조 패턴(44)에 제2 비아(45)를 통하여 연결될 수 있다.

[125] 도 10a는 제4 시료의 제1 내지 제4 도전층을 나란히 전개한 평면도이다.

[126] 도 10b는 도 10a의 D-D' 선을 따라 자른 단면도이다.

- [127] 도 10a 및 도 10b를 참조하면, 제4 시료(60c)는 테스트 시료(162), 제1 에러 박스, 및 제2 에러박스를 포함한다. 상기 제1 에러 박스(64) 및 제2 에러 박스(66) 각각은, 상기 제1 도전층(10)은 접지된 제1 도전 패턴(11)을 포함하고, 상기 제2 도전층(20)은 하부 신호 패턴(21)을 포함하고, 상기 제3 도전층(30)은 상기 제1 도전 패턴과 나란히 연장되고 접지된 제3 도전 패턴(31)을 포함하고, 상기 제4 도전층(40)은 상기 제1 도전 패턴과 나란히 연장되는 상부 신호 패턴(41)을 포함할 수 있다. 상기 상부 신호 패턴(41)은 상기 하부 신호 패턴(21)과 제1 비아(42)를 통하여 연결될 수 있다. 상기 상부 신호 패턴(41)과 서로 나란한 상부 보조 도전 패턴(43)은 고주파 프로프의 탐침이 접촉하는 패드로 기능할 수 있다.
- [128] 상기 테스트 시료(162)는 전기적 특성을 측정하고자 하는 임의의 소자로 저항, 축전기, 인덕터와 같은 수동 소자, 이들의 결합에 의하여 필터, 또는 능동 소자를 포함할 수 있다. 제1 내지 제4 시료(60a~60d)는 동일한 인쇄회로 기판 또는 반도체 기판 상에 형성될 수 있다.
- [129] 이상에서는 본 발명을 특정의 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 이러한 실시예에 한정되지 않으며, 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 특허청구범위에서 청구하는 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 실시할 수 있는 다양한 형태의 실시예들을 모두 포함한다.

청구범위

- [청구항 1] 제1 포트 및 제2 포트를 포함하는 주파수에 따라 산란 파라미터를 측정하는 네트워크 분석기; 및
 상기 제1 포트 및 제2 포트에 동축 케이블로 연결되고, 도전층 사이를 연결하는 비아를 포함하고, 적어도 최상부층 및 최하부층, 중간층을 포함하는 3층 이상의 도전층을 포함하는 다층 기판을 포함하고,
 상기 다층 기판은:
 상기 최상부층과 상기 최하부층 사이에 배치된 테스트 시료;
 상기 최상부층과 상기 최하부층 사이에 배치된 쓰루(Through) 교정 시료;
 상기 최상부층과 상기 최하부층 사이에 배치된 반사(Reflect) 교정 시료;
 및
 상기 최상부층과 상기 최하부층 사이에 배치된 라인(Line) 교정 시료;를 포함하고,
 상기 테스트 시료, 쓰루 교정 시료, 반사 교정 시료, 및 라인 교정 시료 각각은 동일한 구조의 상기 비아를 포함하는 제1 에러 박스 및 제2 에러 박스에 의하여 연결되는 것을 특징으로 하는 전자파 임피던스 측정 장치.
- [청구항 2] 제1 항에 있어서,
 상기 다층 기판은 4층 인쇄회로 기판이고,
 상기 다층 기판은 하부로부터 제1 내지 제4 도전층을 포함하고,
 상기 제1 에러 박스 및 제2 에러 박스 각각은:
 상기 제1 도전층은 접지된 제1 도전 패턴을 포함하고,
 상기 제2 도전층은 하부 신호 패턴을 포함하고,
 상기 제3 도전층은 상기 제1 도전 패턴과 나란히 연장되고 접지된 제3 도전 패턴을 포함하고,
 상기 제4 도전층은 상기 제1 도전 패턴과 나란히 연장되는 상부 신호 패턴을 포함하고,
 상기 상부 신호 패턴은 상기 하부 신호 패턴과 제1 비아를 통하여 연결되는 것을 특징으로 하는 전자파 임피던스 측정 장치.
- [청구항 3] 제2 항에 있어서,
 상기 쓰루(Through) 교정 시료에서, 상기 제1 에러 박스의 상기 하부 신호 패턴은 상기 제2 에러 박스의 상기 하부 신호 패턴과 서로 연결되는 것을 특징으로 하는 전자파 임피던스 측정 장치.
- [청구항 4] 제2 항에 있어서,
 상기 반사 교정 시료에서, 상기 제1 에러 박스의 상기 하부 신호 패턴은 상기 제1 도전 패턴, 제2 도전 패턴, 및 상기 제4 도전층에 배치된 상부 보조 패턴에 제2 비아를 통하여 연결되는 것을 특징으로 하는 전자파 임피던스 측정 장치.

- [청구항 5] 제2 항에 있어서,
 상기 라인 교정 시료에서, 상기 제1 에러 박스의 상기 하부 신호 패턴은
 상기 제2 에러 박스의 상기 하부 신호 패턴과 소정의 거리(L)을 가지고
 위상차를 제공하도록 서로 연결되는 것을 특징으로 하는 전자파
 임피던스 측정 장치.
- [청구항 6] 전자파 임피던스 교정 방법에 있어서,
 다층 기판에 비아를 포함하고 제1 포트에 연결된 제1 에러 박스 및 제2
 포트에 연결된 제2 에러 박스를 통하여 연결된 테스트 시료, 쓰루 교정
 시료, 반사(Reflect) 교정 시료, 및 라인(Line) 교정 시료를 제공하는 단계;
 상기 쓰루 교정 시료, 상기 반사 교정 시료, 및 라인 교정 시료 각각을
 네트워크 분석기를 통하여 측정된 쓰루 산란 파라미터(S_M^{Thru}), 측정된
 반사 산란 파라미터($S_M^{Reflect}$), 및 측정된 라인 산란 파라미터(S_M^{Line})를 각각
 측정하는 단계;
 상기 측정된 쓰루 산란 파라미터(S_M^{Thru}), 상기 측정된 반사 산란
 파라미터($S_M^{Reflect}$), 및 상기 측정된 라인 산란 파라미터(S_M^{Line})를 이용하여
 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 에러 항들을
 산출하는 단계;
 상기 테스트 시료를 상기 네트워크 분석기를 통하여 측정된 테스트 시료
 산란 파라미터(S_M^{DUT})를 측정하는 단계; 및
 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 상기 에러 항들을
 이용하여 테스트 시료의 측정된 테스트 시료 산란 파라미터(S_M^{DUT})과
 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 항들을 이용하여
 상기 테스트 시료의 산란 파라미터(S^{DUT})를 추출하는 단계를 포함하는
 것을 특징으로 하는 전자파 임피던스 교정 방법.
- [청구항 7] 제6 항에 있어서,
 상기 제1 에러 박스 및 상기 제2 에러 박스를 구성하는 에러 항들을
 산출하는 단계는:
 상기 측정된 쓰루 산란 파라미터(S_M^{Thru}), 상기 측정된 반사 산란
 파라미터($S_M^{Reflect}$), 및 상기 측정된 라인 산란 파라미터(S_M^{Line})을 측정된
 쓰루 산란 전달 파라미터(T_M^{Thru}), 측정된 반사 산란 전달 파라미터(T_M^{Rflect}),
 및 측정된 라인 산란 전달 파라미터(T_M^{Line})로 각각 변환하는 단계; 및
 상기 측정된 쓰루 산란 전달 파라미터(T_M^{Thru}), 상기 측정된 반사 산란 전달
 파라미터($T_M^{Reflect}$), 및 상기 측정된 라인 산란 전달 파라미터(T_M^{Line})를
 다음의 식을 이용하여 연산하여 에러 항들을 산출하는 단계를 포함하고,

$$T_M = \frac{1}{e_{10}e_{32}} \begin{bmatrix} -\Delta_X & e_{00} \\ -e_{11} & 1 \end{bmatrix} T \begin{bmatrix} -\Delta_Y & e_{22} \\ -e_{33} & 1 \end{bmatrix}$$

e_{00} 는 제1 에러박스의 디렉티비티(directivity)이고,

e_{33} 는 제2 에러박스의 디렉티비티(directivity)이고,

e_{11} 은 제1 포트 매치이고,

e_{22} 는 제2 포트 매치이고,

$e_{11}e_{32}$ 는 트랜스미션 트랙킹(transmission tracking)이고,

$\Delta_X = e_{00}e_{11} - e_{10}e_{01}$ 는 제1 에러 박스의 에러 매트릭스의 디터미넌트(determinant)이고,

$\Delta_Y = e_{22}e_{33} - e_{32}e_{23}$ 는 제2 에러 박스의 에러 매트릭스의 디터미넌트인 것을 특징으로 하는 전자파 임피던스 교정 방법.

[청구항 8]

제6 항에 있어서,

상기 에러 항들을 산출하는 단계는:

상기 측정된 라인 산란 전달 파라미터(T_M^{Line}) 및 상기 측정된 쓰루 산란 전달 파라미터(T_M^{Thru})을 이용하여, e_{00} , e_{33} , $e_{10}e_{01}/e_{11}$, $e_{32}e_{23}/e_{22}$ 를 산출하는 단계;

상기 측정된 쓰루 산란 전달 파라미터(T_M^{Thru}) 및 상기 측정된 반사 산란 전달 파라미터(T_M^{Reflect})를 이용하여 e_{11} 과 e_{22} 를 산출하는 단계;

e_{11} 과 $e_{10}e_{01}/e_{11}$ 을 이용하여 $e_{10}e_{01}$ 을 구하고, e_{22} 와 $e_{32}e_{23}/e_{22}$ 을 이용하여, $e_{32}e_{23}$ 을 구하는 단계; 및

$e_{10}e_{32}$ 은 다음의 식을 이용하여 구하는 단계를

$$S_{21M}^{\text{Thru}} = (e_{10}e_{32}) \frac{1}{1 - e_{11}e_{22}}$$

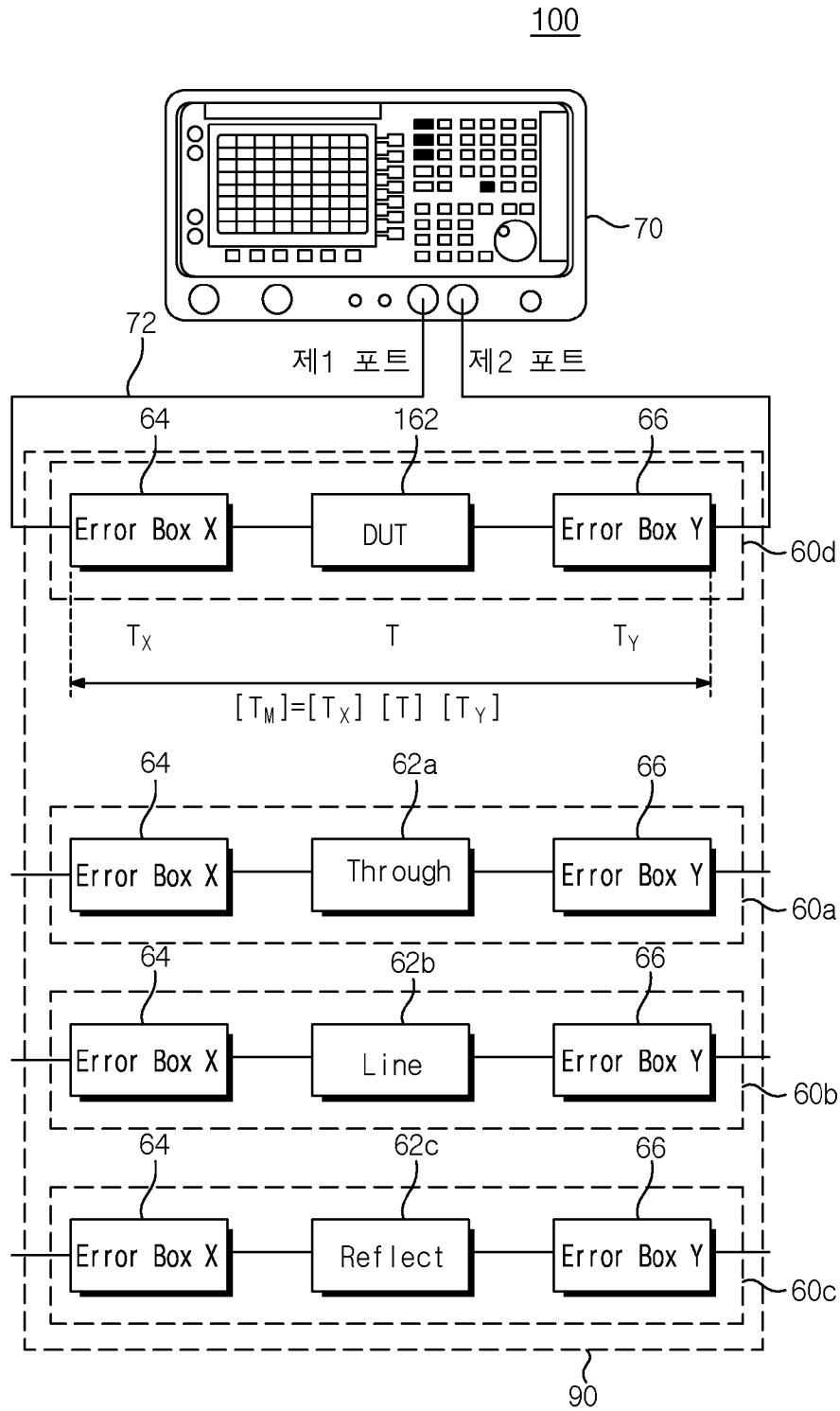
포함하는 것을 특징으로 하는 전자파 임피던스 교정 방법.

[청구항 9]

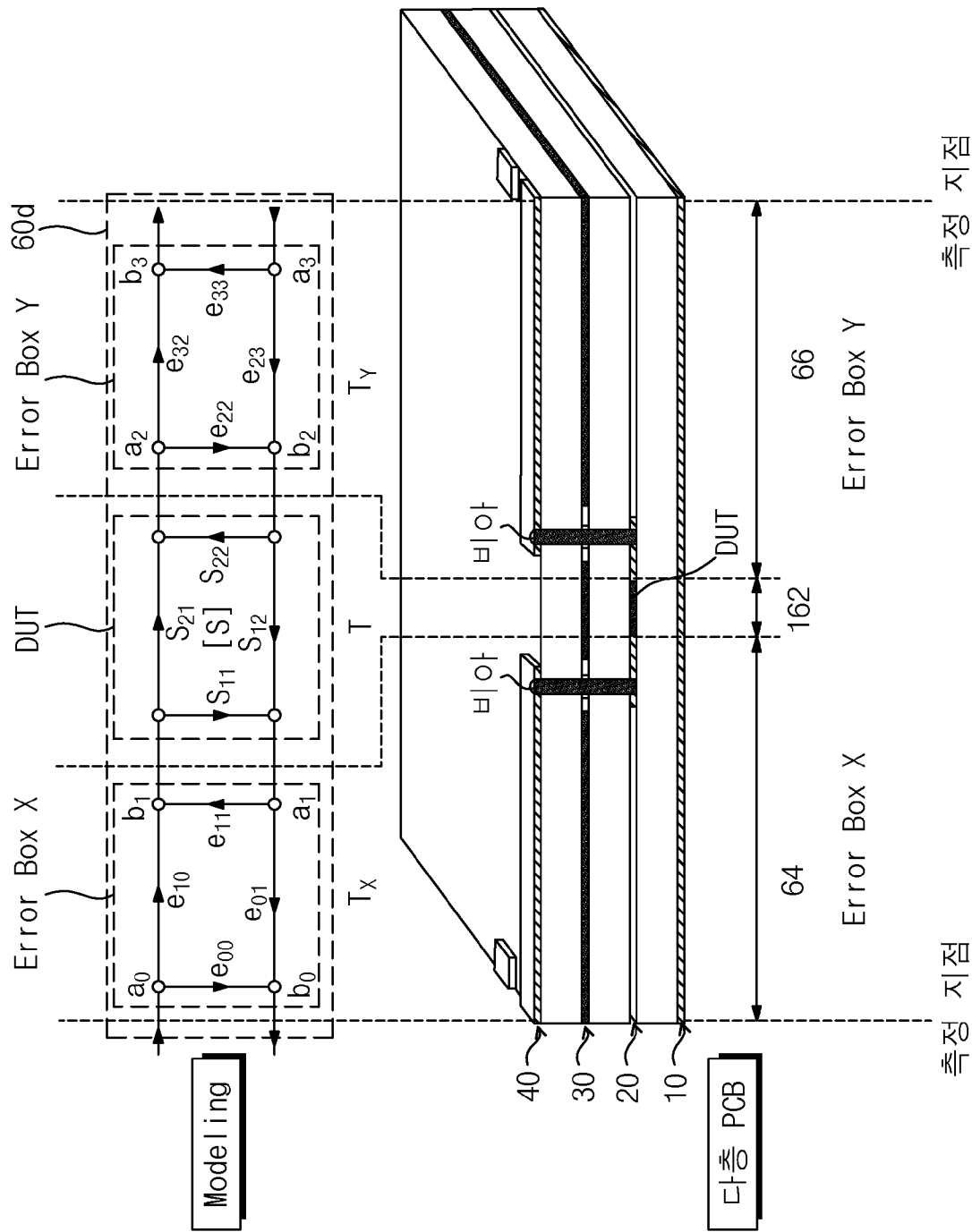
제6 항에 있어서,

상기 테스트 시료, 쓰루 교정 시료, 반사(Reflect) 교정 시료, 및 라인(Line) 교정 시료는 동일한 기판에 배치되는 것을 특징으로 하는 전자파 임피던스 교정 방법.

[도1]



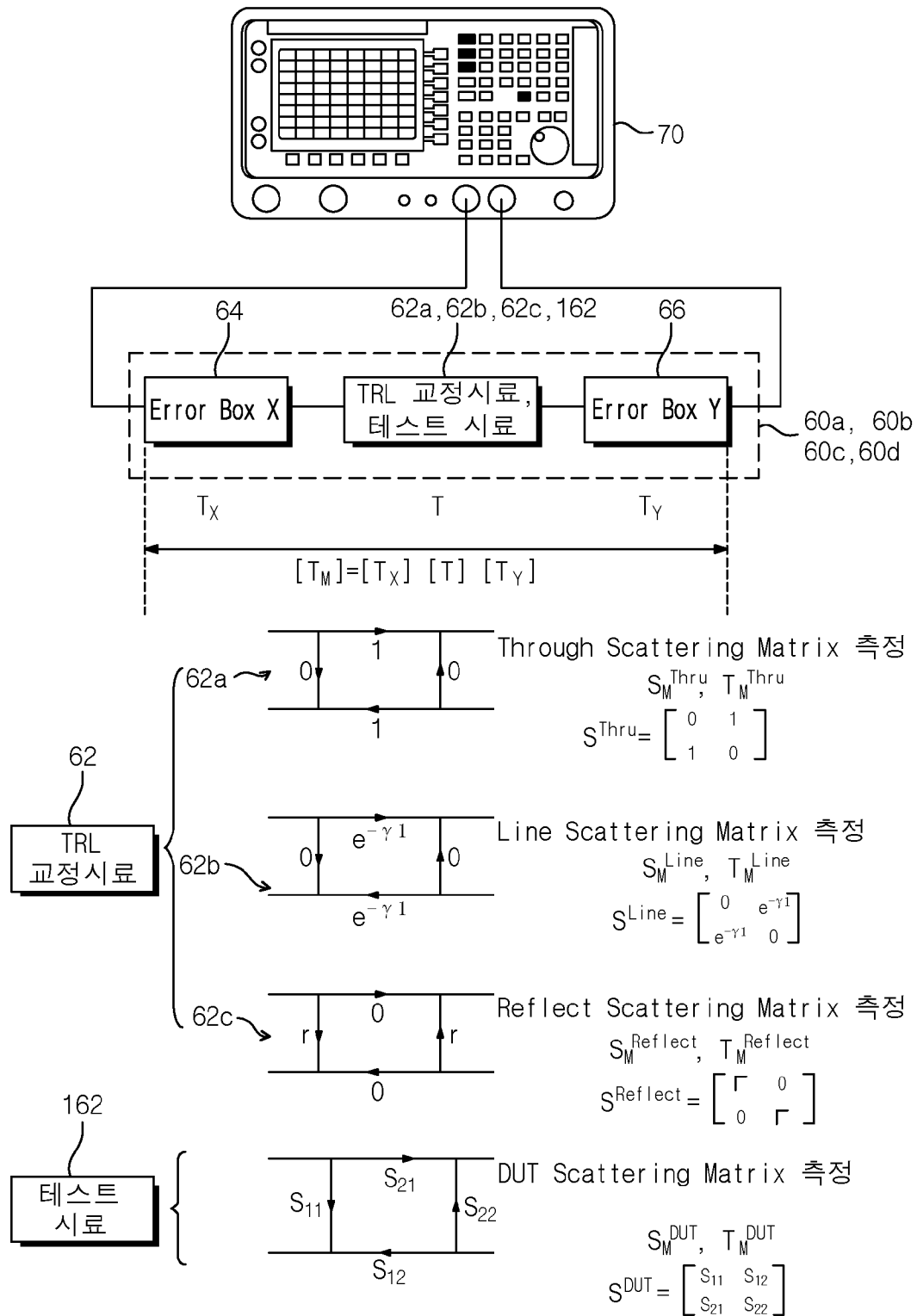
[도2]



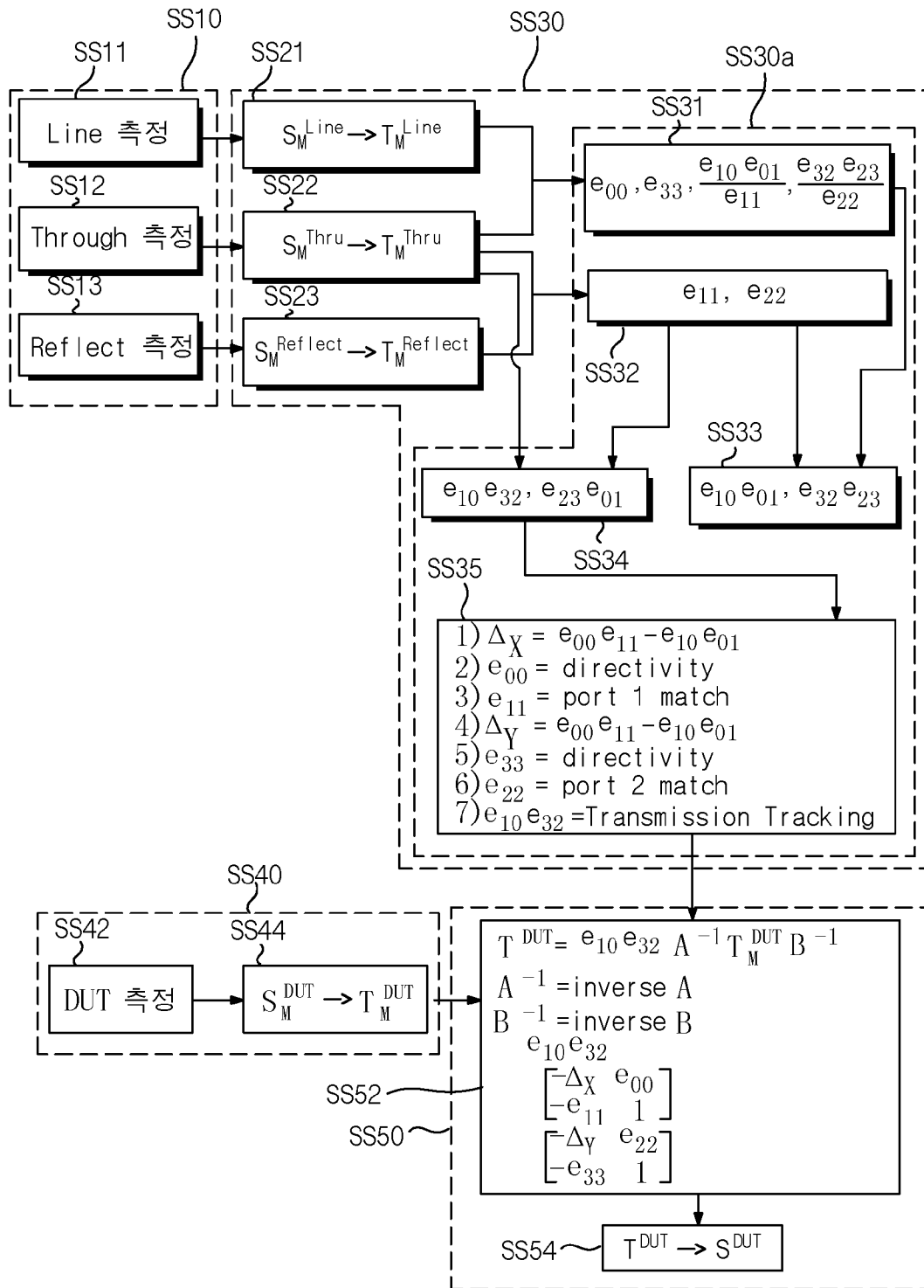
[도3]

90

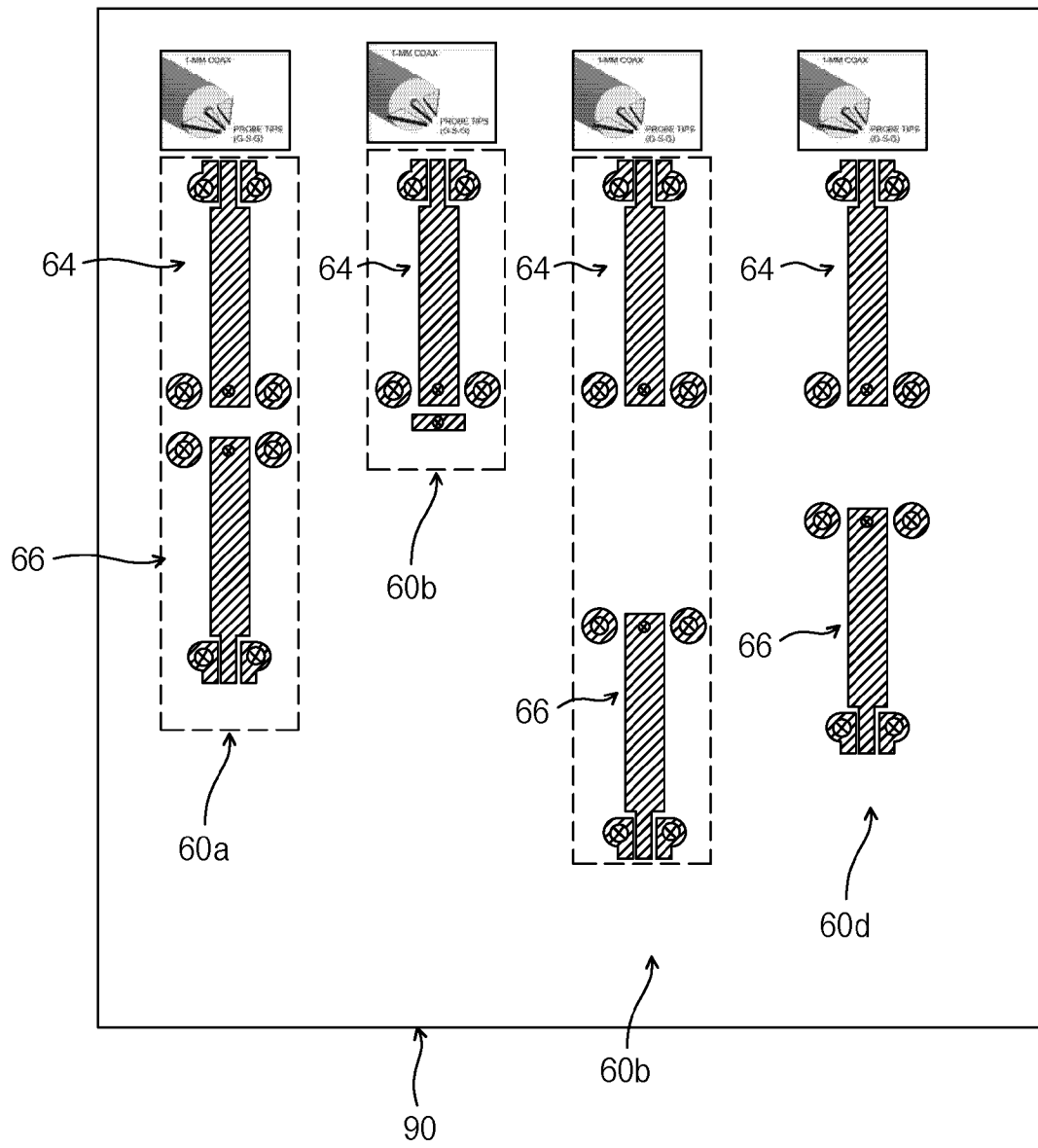
[도4]



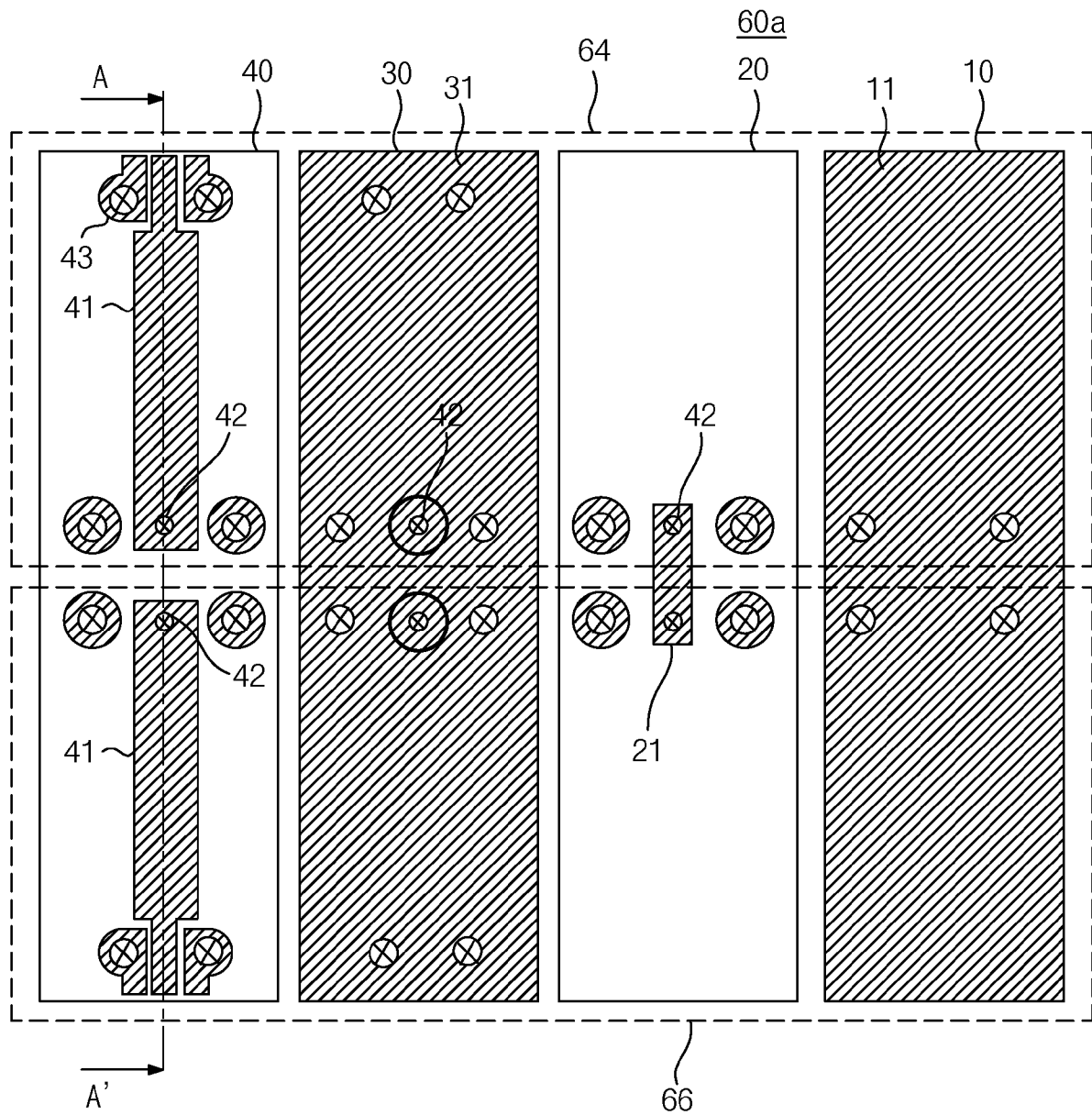
[도5]



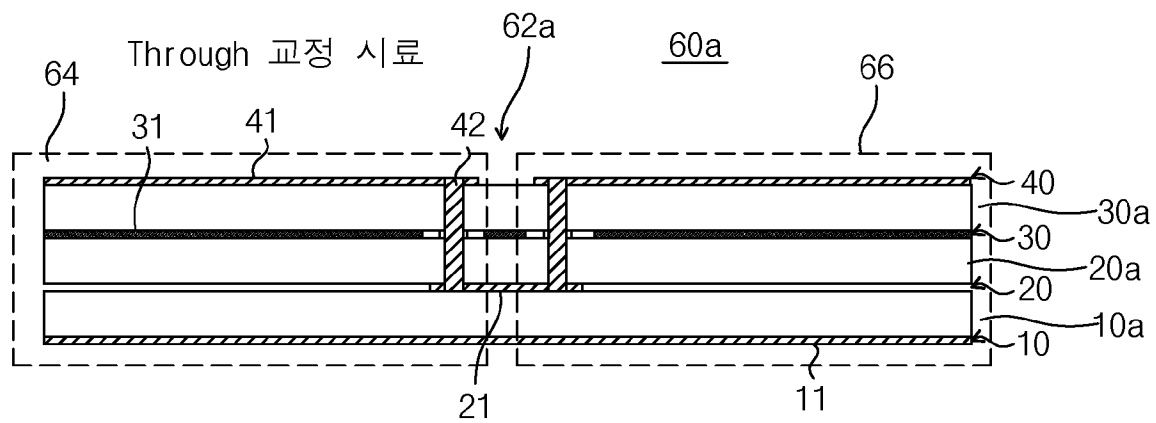
[도6]



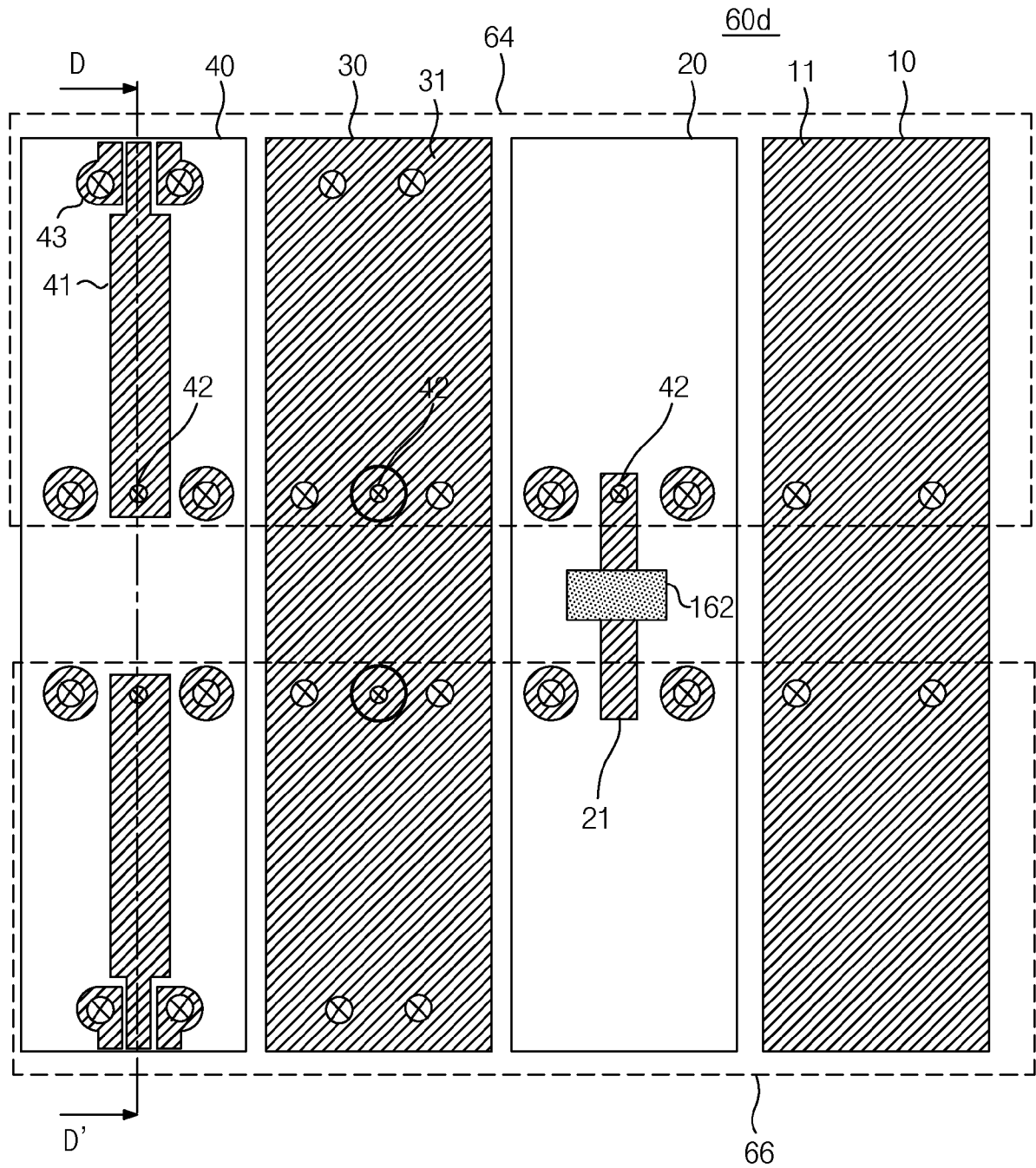
[도7a]



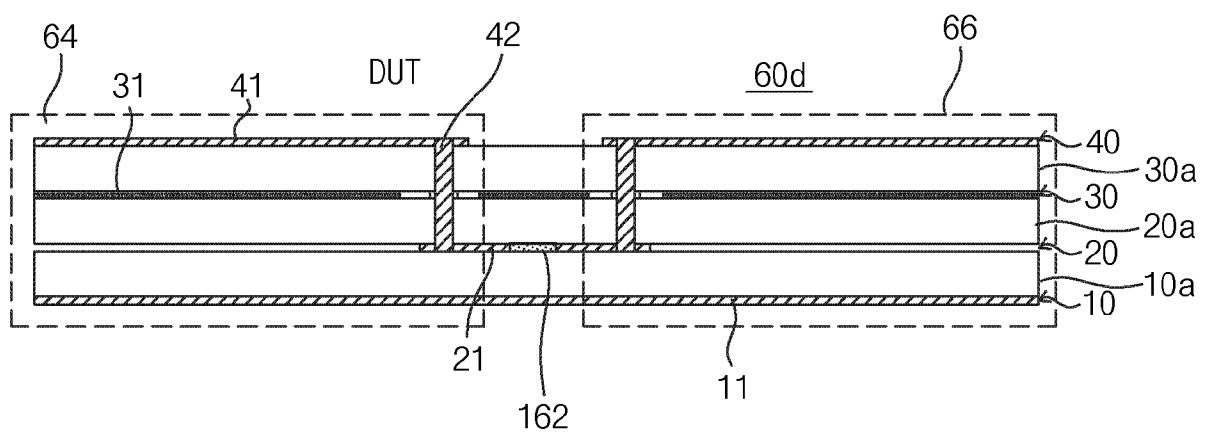
[도7b]



[도10a]



[도10b]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/012116**A. CLASSIFICATION OF SUBJECT MATTER****G01R 27/28(2006.01)i, G01R 35/00(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R 27/28; G01R 31/28; G06F 19/00; G01R 35/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: scattering, parameter, network, analyzer, multilayer, via, substrate, through, reflect, line, calibration, test, error, box

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2011-0070902 A (ROSENBERGER HOCHFREQUENZTECHNIK GMBH. & CO., KG.) 24 June 2011 See paragraphs [35]-[48], claim 1 and figure 8.	1-9
A	US 2005-0256658 A1 (ANDERSON) 17 November 2005 See paragraph [27], claims 1-12 and figures 1, 2.	1-9
A	LI et al., "On the Thru-Reflect-Line (TRL) Numerical Calibration and Error Analysis for Parameter Extraction of Circuit Model", International Journal of RF and Microwave Computer-Aided Engineering, September 2006, Volume 16, Issue 5 See pages 470-482.	1-9
A	ENGEN et al., "Thru-Reflect-Line: An Improved Technique for Calibrating the Dual Six-Port Automatic Network Analyzer", IEEE Transactions Microwave Theory and Techniques, December 1979, Vol. MTT-27, No. 12 See pages 987-993.	1-9
A	JP 10-197577 A (KYOCERA CORP.) 31 July 1998 See paragraph [24] and figure 1.	1-9
A	JP 06-088844 A (KYOCERA CORP.) 29 March 1994 See paragraphs [7], [8] and figure 1.	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

17 JULY 2017 (17.07.2017)

Date of mailing of the international search report

17 JULY 2017 (17.07.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/012116

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2011-0070902 A	24/06/2011	CA 2738716 A1	22/04/2010
		CN 102187243 A	14/09/2011
		CN 102187243 B	21/08/2013
		DE 202008013687 U1	02/01/2009
		EP 2340442 A1	06/07/2011
		HK 1158758 A1	09/05/2014
		KR 10-1246363 B1	22/03/2013
		US 2011-0254536 A1	20/10/2011
		US 2014-0300380 A1	09/10/2014
		US 8791705 B2	29/07/2014
		US 9470713 B2	18/10/2016
		WO 2010-043309 A1	22/04/2010
US 2005-0256658 A1	17/11/2005	US 7113891 B2	26/09/2006
JP 10-197577 A	31/07/1998	JP 3404238 B2	06/05/2003
JP 06-088844 A	29/03/1994	JP 3017367 B2	06/03/2000

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G01R 27/28(2006.01)i, G01R 35/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G01R 27/28; G01R 31/28; G06F 19/00; G01R 35/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 산란, 파라미터, 네트워크, 분석기, 다중, 비아, 기관, 쓰루, 반사, 라인, 교정, 테스트, 에러, 박스

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2011-0070902 A (로젠버거 호호프리쿠벤스테호닉 게엠베하 운트 코. 카게) 2011.06.24 문단번호 [35]-[48], 청구항 1 및 도면 8 참조.	1-9
A	US 2005-0256658 A1 (ANDERSON) 2005.11.17 문단번호 [27], 청구항 1-12 및 도면 1,2 참조.	1-9
A	LI 등 `On the thru-reflect-line (TRL) numerical calibration and error analysis for parameter extraction of circuit model`, International Journal of RF and Microwave computer-Aided Engineering, 2006.09, Volume 16, Issue 5, 페이지 470-482 참조.	1-9
A	ENGEN 등 `Thru-Reflect-Line: An Improved Technique for Calibrating the Dual Six-Port Automatic Network Analyzer`, IEEE Transactions Microwave Theory and Techniques, 1979.12, Vol.MTT-27, No.12, 페이지 987-993 참조.	1-9
A	JP 10-197577 A (KYOCERA CORP.) 1998.07.31 문단번호 [24] 및 도면 1 참조.	1-9
A	JP 06-088844 A (KYOCERA CORP.) 1994.03.29 문단번호 [7],[8] 및 도면 1 참조.	1-9

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 07월 17일 (17.07.2017)

국제조사보고서 발송일

2017년 07월 17일 (17.07.2017)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

김연정

전화번호 +82-42-481-3325



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2011-0070902 A	2011/06/24	CA 2738716 A1 CN 102187243 A CN 102187243 B DE 202008013687 U1 EP 2340442 A1 HK 1158758 A1 KR 10-1246363 B1 US 2011-0254536 A1 US 2014-0300380 A1 US 8791705 B2 US 9470713 B2 WO 2010-043309 A1	2010/04/22 2011/09/14 2013/08/21 2009/01/02 2011/07/06 2014/05/09 2013/03/22 2011/10/20 2014/10/09 2014/07/29 2016/10/18 2010/04/22
US 2005-0256658 A1	2005/11/17	US 7113891 B2	2006/09/26
JP 10-197577 A	1998/07/31	JP 3404238 B2	2003/05/06
JP 06-088844 A	1994/03/29	JP 3017367 B2	2000/03/06