

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月30日(30.06.2022)



(10) 国際公開番号

WO 2022/138463 A1

(51) 国際特許分類:

G06G 7/16 (2006.01)

G11C 11/22 (2006.01)

G06G 7/60 (2006.01)

G11C 11/54 (2006.01)

G06N 3/063 (2006.01)

(21) 国際出願番号: PCT/JP2021/046621

(22) 国際出願日: 2021年12月16日(16.12.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-217286 2020年12月25日(25.12.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

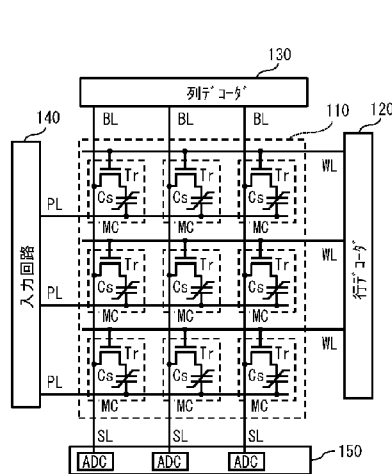
(72) 発明者: 塚本 雅則(TSUKAMOTO, Masanori); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所(TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: CONVOLUTION OPERATION DEVICE AND NEURAL NETWORK

(54) 発明の名称: 積和演算装置およびニューラルネットワーク



120 Row decoder
130 Column decoder
140 Input circuit

(57) Abstract: A convolution operation device according to one aspect of the present disclosure comprises a plurality of cells which are arranged in a matrix shape and each of which comprises: a transistor; and a ferroelectric capacitor connected to first source/drain terminals of the transistor. In addition, this convolution operation device comprises a plurality of input wires and a plurality of output wires. One or more of the plurality of input wires are allocated to each row of the plurality of cells and are connected to the ferroelectric capacitor. One of the plurality of output wires is allocated to each column of the plurality of cells. The plurality of output wires are configured to be connected to second drain/source terminals, and able to store a charge amount corresponding to the product of the capacitance of the ferroelectric capacitor of each cell and an input voltage input to the input wires.

(57) 要約: 本開示の一側面に係る積和演算装置は、各々がトランジスタと、トランジスタの第1のソース・ドレイン端子に接続された強誘電キャパシタとを含み、行列状に配置された複数のセルを備えている。この積和演算装置は、さらに、複数の入力配線と、複数の出力配線とを備えている。複数の入力配線は、複数のセルにおける行ごとに1もしくは複数本ずつ割り当てられ、強誘電キャパシタに接続されている。複数の出力配線は、複数のセルにおける列ごとに1本ずつ割り当てられている。複数の出力配線は、トランジスタの第2のソース・ドレイン端子に接続され、各セルの強誘電キャパシタの容量および入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能に構成されている。

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： 積和演算装置およびニューラルネットワーク

技術分野

[0001] 本開示は、強誘電キャパシタを用いた積和演算装置およびニューラルネットワークに関する。

背景技術

[0002] 近年、画像やパターンの認証を行う応用としてニューラルネットワーク回路が実用されている。メモリアレイをニューラルネットワーク回路の積和演算として利用することで、ノイマン型コンピューティングの課題であるメモリとCPU間の遅延や消費電力を解決することが期待できる。積和演算の例として、例えば、特許文献1～3に記載の方法が挙げられる。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-120433号公報

特許文献2：特開2019-219990号公報

特許文献3：特開2019-179499号公報

発明の概要

[0004] ところで、上記特許文献1，2に記載の発明では、揮発性の容量結合メモリにパラメータ（重み）が記憶されるため、パラメータを保持することができない。また、上記特許文献3に記載の発明では、強誘電トランジスタにパラメータが記憶されるため、書き込み回数（パラメータの書き換え回数）に実用に耐えない制限がある。従って、パラメータを保持することができ、かつ実用に耐える程度の回数の書き込みを行うことの可能な積和演算装置およびニューラルネットワークを提供することが望ましい。

[0005] 本開示の第1の側面に係る積和演算装置は、各々がトランジスタと、トランジスタの第1のソース・ドレイン端子に接続された強誘電キャパシタとを含み、行列状に配置された複数のセルを備えている。この積和演算装置は、

さらに、複数の入力配線と、複数の出力配線とを備えている。複数の入力配線は、複数のセルにおける行ごとに1もしくは複数本ずつ割り当てられ、強誘電キャパシタに接続されている。複数の出力配線は、複数のセルにおける列ごとに1本ずつ割り当てられている。複数の出力配線は、トランジスタの第2のソース・ドレイン端子に接続され、各セルの強誘電キャパシタの容量および入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能に構成されている。

[0006] 本開示の第2の側面に係るニューラルネットワークは、複数の積和演算装置を備えている。各積和演算装置は、上記の第1の側面に係る積和演算装置と同様の構成要素を備えている。

[0007] 本開示の第1の側面に係る積和演算装置、および本開示の第2の側面に係るニューラルネットワークでは、セルには強誘電キャパシタが設けられている。これにより、強誘電キャパシタにパラメータ（重み）を保持することが可能となる。ここで、セルの負荷容量のばらつきが大きい場合、そのばらつきが推論の際のノイズとなり、推論精度の低下が生じる可能性がある。しかし、本開示では、パラメータ（重み）を保持させる強誘電キャパシタにおける負荷容量のばらつきは小さいので、高精度の推論を行うことができる。また、強誘電キャパシタでは、他のメモリ（例えば、ReRAM）を用いた場合と比べて、書き換え回数の上限が極めて大きく、実用上、書き換え回数の制限を受けない。

[0008] 本開示の第3の側面に係る積和演算装置は、行列状に配置された複数のセルを備えている。各セルは、メインセルとレファレンスセルとを含む。メインセルは、第1のトランジスタと、第1のトランジスタの第1のソース・ドレイン端子に接続された第1の強誘電キャパシタとを含む。レファレンスセルは、第2のトランジスタと、第2のトランジスタの第2のソース・ドレイン端子に接続された第2の強誘電キャパシタとを含む。この積和演算装置は、さらに、複数の入力配線と、複数の第1の出力配線と、複数の第2の出力配線とを備えている。複数の入力配線は、複数のセルにおける行ごとに1も

しくは複数本ずつ割り当てられ、第1の強誘電キャパシタおよび第2の強誘電キャパシタに接続されている。複数の第1の出力配線は、複数のセルにおける列ごとに1本ずつ割り当てられ、第1のトランジスタの第3のソース・ドレイン端子に接続され、各メインセルの第1の強誘電キャパシタの容量および入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能に構成されている。複数の第2の出力配線は、複数のセルにおける列ごとに1本ずつ割り当てられ、第2のトランジスタの第4のソース・ドレイン端子に接続され、各レファレンスセルの第2の強誘電キャパシタの容量および入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能に構成されている。

[0009] 本開示の第4の側面に係るニューラルネットワークは、複数の積和演算装置を備えている。各積和演算装置は、上記の第3の側面に係る積和演算装置と同様の構成要素を備えている。

[0010] 本開示の第3の側面に係る積和演算装置、および本開示の第4の側面に係るニューラルネットワークでは、第1のセルおよび第2のセルには強誘電キャパシタが設けられている。これにより、強誘電キャパシタにパラメータ（重み）を保持することが可能となる。ここで、セルの負荷容量のばらつきが大きい場合、そのばらつきが推論の際のノイズとなり、推論精度の低下が生じる可能性がある。しかし、本開示では、パラメータ（重み）を保持させる強誘電キャパシタにおける負荷容量のばらつきは小さいので、高精度の推論を行うことができる。また、強誘電キャパシタでは、他のメモリ（例えば、R e R A M）を用いた場合と比べて、書き換え回数の上限が極めて大きく、実用上、書き換え回数の制限を受けない。

図面の簡単な説明

[0011] [図1]ニューラルネットワークの一例を表す模式図である。

[図2]本開示の第1の実施の形態に係る積和演算装置の構成の一例を表す図である。

[図3]図2の積和演算回路における各セルの入力電圧と分極との関係の一例を

表す図である。

[図4]図2の積和演算回路の平面レイアウトの一例を表す図である。

[図5]図2の積和演算回路を用いたニューラルネットワークの一例を表す図である。

[図6]本開示の第2の実施の形態に係る積和演算装置の一例を表す図である。

[図7]図6のメモリセルの回路構成の一例を表す図である。

[図8]図6の積和演算回路の平面レイアウトの一例を表す図である。

[図9]図6の積和演算回路を用いたニューラルネットワークの一例を表す図である。

[図10]図6のメモリセルの回路構成の一変形例を表す図である。

[図11]図10のメモリセルを備えた積和演算回路における読み出し電圧の一例を表す図である。

[図12]図10のメモリセルを備えた積和演算回路における読み出し電圧の一例を表す図である。

発明を実施するための形態

[0012] 以下、本開示を実施するための形態について、図面を参照して詳細に説明する。なお、本明細書および図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0013] <1. 本開示に係る技術的背景>

まず、図1を参照して、本開示に係る技術的背景について説明する。ニューラルネットワークは、生体の神経回路網をモデルとした情報処理システムである。ニューラルネットワークは、画像認識、又は画像の圧縮若しくは復元等のデジタル計算機では負荷が高い演算を効率良く実行することができる。このようなニューラルネットワークの1つとして、例えば、層状に並べられた人工ニューロンが隣接層間でのみ結合し、入力側から出力側に一方向にのみ情報が伝搬するパーセプトロンを例示することができる。

[0014] 図1は、ニューラルネットワークの一例を表したものである。ニューラル

ネットワークは、例えば、入力層 I L、中間層 M L（隠れ層）および出力層 O Lを含む。各層（I L，M L，O L）は、1 または複数のニューロンを備えている。例えば、入力層 I L のニューロンの数は、例えば、動画データに含まれる画素数に応じて設定することができる。中間層 M L のニューロンの数は、適宜設定することができる。出力層 O L は、後段で必要となる数に応じて設定することができる。

[0015] 互いに隣接する層のニューロン同士は結合されており、各結合には重み（結合荷重）が設定されている。ニューロンの結合数は、適宜設定されてよい。各ニューロンには閾値が設定されており、例えば、各ニューロンへの入力値と重みとの積の和が閾値を超えているか否かによって各ニューロンの出力値が決定される。

[0016] < 2. 第 1 の実施の形態 >

次に、本開示の第 1 の実施の形態に係る積和演算装置 1 0 0 について説明する。図 2 は、積和演算装置 1 0 0 の構成の一例を表したものである。積和演算装置 1 0 0 は、シナプスに対応する複数のセル M C が行列状に接続されることにより構成される積和演算回路 1 1 0 と、行デコーダ 1 2 0、列デコーダ 1 3 0、入力回路 1 4 0 と、出力回路 1 5 0 とを備えている。行デコーダ 1 2 0、列デコーダ 1 3 0 および入力回路 1 4 0 によって積和演算回路 1 1 0 が駆動される。積和演算回路 1 1 0 は、例えば、シリコン基板上に形成されている。

[0017] 行デコーダ 1 2 0 には複数のワード線 W L が接続されている。複数のワード線 W L は、行列状に配置された複数のセル M C に対して、例えば、行ごとに 1 本ずつ割り当てられている。列デコーダ 1 3 0 には複数のビット線 B L が接続されている。複数のビット線 B L は、行列状に配置された複数のセル M C に対して、例えば、列ごとに 1 本ずつ割り当てられている。入力回路 1 4 0 には複数の入力配線 P L が接続されている。複数の入力配線 P L は、行列状に配置された複数のセル M C に対して、例えば、行ごとに 1 本ずつ割り当てられている。各ビット線 B L には、複数の出力配線 S L が 1 本ずつ接続

されている。ビット線BLおよび出力配線SLは、各セルMCの強誘電キャパシタCsの容量および入力配線PLへ入力される入力電圧の乗算に対応する電荷量を蓄積可能に構成されている。

[0018] 行デコーダ120は、ワード線WLに選択信号を印可することにより、アクセス対象であるセルMCを選択する。選択信号は、セルMC内のトランジスタTr（後述）の閾値電圧以上の波高値を有するパルスである。行デコーダ120によって選択されたセルMCでは、トランジスタTrが導通状態（オン）となる。列デコーダ130は、ビット線BLに所定の電圧Vb1を印可することにより、ビット線BLに接続された各セルMCに所定の電圧Vb1を供給する。入力回路140は、入力配線PLに所定の電圧（入力電圧Vp1）を印可することにより、入力配線PLに接続された各セルMCに所定の電圧（入力電圧Vp1）を供給する。各セルMCには、入力配線PLに印加された入力電圧Vp1と、ビット線BLに印加された電圧Vb1との差分の電圧が印可される。

[0019] ここで、入力電圧Vp1が所定の正の電圧となっている場合に、電圧Vb1が、例えば、グラウンド電圧（0V）となっているとする。このとき、セルMCには、セルMCの分極状態として例えば、“0”が記憶される。また、入力電圧Vp1がグラウンド電圧（0V）となっている場合に、電圧Vb1が所定の正の電圧となっているとする。このとき、セルMCには、セルMCの分極状態として例えば、“1”が記憶される。

[0020] セルMCには、入力回路140から入力配線PLを通じて入力電圧Vp1が印加されるとともに、列デコーダ130からビット線BLを通じて電圧Vb1が印可される。これにより、セルMCには、セルMCの強誘電体の分極に応じたスイッチング電流が流れる。セルMCの各々の出力は、ビット線BLを介して出力配線SLに接続されており、出力回路150は、出力配線SLに流れる電流、または、出力配線SLの電位を測定することで、積和演算結果を取得する。出力回路150は、例えば、出力配線SLの電圧の各々を同時かつ並列に測定するAD（Analog-to-Digital）変換回路を有しており、

積和演算結果をA/D変換することにより得られるデジタル信号を外部に出力する。なお、出力回路150は、必要に応じて、増幅回路などをさらに有していてもよい。

[0021] 積和演算回路110は、行列状に配置された複数のセルMCを有している。各セルMCは、例えば、トランジスタ T_r と、トランジスタ T_r のソース・ドレイン端子に接続された強誘電キャパシタ C_s とを含んで構成された1 T_r 1 C の回路構成となっている。トランジスタ T_r は、例えば、MOSFETである。強誘電キャパシタ C_s は、一对の電極間に強誘電体材料が挟み込まれた構成となっている。強誘電体材料としては、例えば、酸化ハフニウム(HfO_x)、酸化ジルコニウム(ZrO_x)、酸化ハフニウムジルコニウム($HfZrO_x$)などが挙げられる。例えば、酸化ハフニウム(HfO_x)、酸化ジルコニウム(ZrO_x)、酸化ハフニウムジルコニウム($HfZrO_x$)などに対して結晶化アニールを行うことにより、これらの材料を強誘電体にすることが可能である。強誘電体材料には、La, Si, Gd等の原子がドーピングされていてもよい。強誘電キャパシタ C_s の電極には、例えば、窒化チタン(TiN)や窒化タンタル(TaN)等が用いられ得る。

[0022] トランジスタ T_r のゲートはワード線WLに接続されており、ワード線WLを介して行デコーダ120からの信号が入力される。トランジスタ T_r の一方のソース・ドレイン端子は強誘電キャパシタ C_s を介して入力配線PLに接続されている。強誘電キャパシタ C_s の一方の端子がトランジスタ T_r の一方のソース・ドレイン端子に接続されており、強誘電キャパシタ C_s の他方の端子が入力配線PLに接続されている。トランジスタ T_r の一方のソース・ドレイン端子には強誘電キャパシタ C_s を介して入力回路140からの信号が入力される。トランジスタ T_r の他方のソース・ドレイン端子にはビット線BLが接続されており、ビット線BLを介して列デコーダ130からの信号が入力される。

[0023] 積和演算回路110では、例えば、行デコーダ120によって選択されたセルMCの入力(入力配線PL)に電圧(入力電圧 V_{pl})が印可されると

、強誘電キャパシタ C_s の容量と、入力電圧 V_{pl} との乗算に対応する電荷量が出力配線 S_L に蓄積され、これにより積和演算を行うことができる。例えば、積和演算の推論においては、行デコーダ120によって選択されたセルMCの入力（入力配線 P_L ）に電圧（入力電圧 V_{pl} ）が印可されると、 $C \times V = Q$ に応じた電荷量が出力配線 S_L に蓄積される。ここで、 C は、例えば、図3に示したように、セルMCの分極状態（“0”）に応じた負荷容量 c_l 、または、セルMCの分極状態（“1”）に応じた負荷容量 c_h に対応する。すなわち、積和演算回路110において、Convolution Neural Network（CNN）に代表されるニューラルネットワークにおける入力（例えば、前段の信号）とパラメータとの“積”を行うことができる。

[0024] なお、強誘電キャパシタ C_s の分極状態が“1”のときにキャパシタ C_s に印加される電圧が $0(V) \rightarrow V_a(V) \rightarrow 0(V)$ と変化すると、キャパシタ C_s の分極状態が“0”となる。また、強誘電キャパシタ C_s の分極状態が“0”のときにキャパシタ C_s に印加される電圧が $0(V) \rightarrow V_a(V) \rightarrow 0(V)$ と変化すると、キャパシタ C_s の分極状態は、遷移前と同じ状態“0”となる。従って、積和演算回路110では、データ読み出しの際に、セルMCに保持されたデータが破壊される場合がある。

[0025] 図4は、積和演算回路110の平面レイアウトの一例を表したものである。複数のビット線 B_L および複数の入力配線 P_L がともに第1の方向に延在する配線を有しており、それらの配線が第1の方向と直交する第2の方向に交互に配置されている。互いに隣接する2本の入力配線 P_L は、導電層 M で互いに接続されており、上記の図2の1本の入力配線 P_L に対応している。複数のワード線 W_L が第2の方向に延在しており、第1の方向に所定の間隔で配列されている。

[0026] ビット線 B_L と、トランジスタ T_r の一方のソース・ドレイン端子とにビットコンタクト N が接続されている。ビットコンタクト N は、ビット線 B_L とトランジスタ T_r の一方のソース・ドレイン端子とが互いに対向する位置に配置されている。トランジスタ T_r の他方のソース・ドレイン端子と入力

配線PLとの間に強誘電キャパシタCsが設けられている。強誘電キャパシタCsは入力配線PLとトランジスタTrの他方のソース・ドレイン端子とが互いに対向する位置に配置されている。

[0027] 複数のビットコンタクトNと複数の強誘電キャパシタCsとが第1の方向に交互に配置されている。トランジスタTrは、ビットコンタクトNと強誘電キャパシタCsとを結ぶ第3の方向に延在して形成されており、トランジスタTrにおいて、一方のソース・ドレイン端子と他方のソース・ドレイン端子とが第3の方向において互いに対向して配置されている。

[0028] 図5は、2つの積和演算装置100を用いたニューラルネットワーク200の構成の一例を表したものである。ニューラルネットワーク200は、2つの積和演算装置100と、前段の積和演算装置100の出力回路150から出力された複数のデジタル信号をDA（Digital-to-Analog）変換し、後段の積和演算装置100の入力回路140に入力するDAC300とを備えている。このように、DAC300を介して、2つの積和演算装置100を連結することにより、ニューラルネットワークを構築することができる。なお、複数の積和演算装置100を用いてニューラルネットワークを構築することも可能である。このとき、前段側の積和演算装置100と後段側の積和演算装置100の間にはDAC300が設けられている。

[0029] [動作]

次に、積和演算装置100の動作について説明する。本実施の形態では、行デコーダ120が特定のワード線WLを選択し、入力回路140が特定の入力配線PLに入力電圧Vp1として正の電圧を印可するとともに、列デコーダ130が特定のビット線BLに電圧Vb1としてグラウンド電圧を印可すると、選択されたワード線WLと、入力電圧Vp1として正の電圧が印可された入力配線PLと、電圧Vb1としてグラウンド電圧が印可されたビット線BLとに接続されたセルMC（アクセス対象のセルMC）から入力配線PLに対して、 $C \times V = Q$ に応じた電荷が供給される。その結果、アクセス対象のセルMCに接続された出力配線SLには、 $C \times V = Q$ に応じた電荷が

蓄積される。出力配線SLには、蓄積された電荷に応じた電圧が発生し、この出力配線SLの電圧が出力回路150においてAD変換され、外部に出力される。

[0030] 行デコーダ120が複数のワード線WLを順次、選択することにより、1本の出力配線SLには、当該出力配線SLを共有する各セルMCから、 $C \times V = Q$ に応じた電荷が供給される。これにより、出力配線SLを共有する各セルMCから供給された電荷の和に応じた電圧が出力配線SLに発生し、この出力配線SLの電圧が出力回路150においてAD変換され、出力回路150から外部に出力される。このような読み出し動作が出力配線SLごとに行われることにより、出力配線SLを共有する各セルMCから供給された電荷の和に応じた電圧（積和演算結果）が出力回路150から出力配線SLごとに外部に出力される。

[0031] [効果]

次に、積和演算装置100の効果について説明する。本実施の形態では、セルMCには、強誘電キャパシタCsが設けられている。これにより、強誘電キャパシタCsにパラメータ（重み）を保持することが可能となる。ここで、負荷容量cl, chのばらつきが大きい場合、そのばらつきが推論の際のノイズとなり、推論精度の低下が生じる可能性がある。しかし、本実施の形態では、パラメータ（重み）を保持させる強誘電キャパシタCsにおける負荷容量cl, chのばらつきは小さいので、高精度の推論を行うことができる。また、強誘電キャパシタCsを用いた1T1CのセルMCは、他のメモリ（例えば、ReRAM）を用いた積和演算セルと比べて、小面積でシリコン基板上に形成することができる。従って、低コストの積和演算装置100を提供することができる。また、強誘電キャパシタCsでは、他のメモリ（例えば、ReRAM）を用いた場合と比べて、書き換え回数の上限が極めて大きく、実用上、書き換え回数の制限を受けない。

[0032] 本実施の形態では、各出力配線PLに蓄積された電荷に応じた電圧をAD変換し、出力する出力回路150が設けられている。これにより、複数の積

和演算装置 100 を用いてニューラルネットワークを構築する際に、前段側の積和演算装置 100 と後段側の積和演算装置 100 との間に ADC を設けることで、ニューラルネットワークを構築することが可能である。

[0033] 本実施の形態では、各トランジスタ T_r は、複数のセル MC における行方向および列方向の双方と交差する斜め方向に延在しており、各トランジスタ T_r において、一对のソース・ドレイン端子は斜め方向において互いに対向配置されている。これにより、積和演算回路 110 を半導体基板の表面に方形状に形成することが可能となり、設計の自由度を向上させることができる。

[0034] 本実施の形態では、入力配線 PL は、強誘電キャパシタ C_s を介して一方のソース・ドレイン端子と対向する位置に配置されており、出力配線 SL は他方のソース・ドレイン端子と対向する位置に配置されている。これにより、積和演算回路 110 を半導体基板の表面に方形状に形成することが可能となり、設計の自由度を向上させることができる。

[0035] <3. 第2の実施の形態>

次に、本開示の第2の実施の形態に係る積和演算装置 400 について説明する。図6は、積和演算装置 400 の構成の一例を表したものである。積和演算装置 400 は、シナプスに対応する複数のセル MC d が行列状に接続されることにより構成される積和演算回路 410 と、行デコーダ 420、列デコーダ 430、入力回路 440 と、出力回路 450 とを備えている。行デコーダ 420、列デコーダ 430 および入力回路 440 によって積和演算回路 410 が駆動される。積和演算回路 410 は、例えば、シリコン基板上に形成されている。

[0036] 行デコーダ 420 には複数のワード線 $WL+$ 、 $WL-$ が接続されている。複数のワード線 $WL+$ は、行列状に配置された複数のセル MC d に対して、例えば、行ごとに1本ずつ割り当てられている。複数のワード線 $WL-$ は、行列状に配置された複数のセル MC d に対して、例えば、行ごとに1本ずつ割り当てられている。つまり、複数組のワード線 $WL+$ 、 $WL-$ が、行列状

に配置された複数のセルMC d に対して、例えば、行ごとに一組ずつ割り当てられている。列デコーダ430には複数のビット線BL +, BL −が接続されている。複数のビット線BL +は、行列状に配置された複数のセルMC d に対して、例えば、列ごとに1本ずつ割り当てられている。複数のビット線BL −は、行列状に配置された複数のセルMC d に対して、例えば、列ごとに1本ずつ割り当てられている。つまり、複数のビット線BL +, BL −が、行列状に配置された複数のセルMC d に対して、例えば、行ごとに一組ずつ割り当てられている。入力回路440には複数の入力配線PLが接続されている。複数の入力配線PLは、行列状に配置された複数のセルMC d に対して、例えば、行ごとに1本ずつ割り当てられている。各ビット線BL +には、複数の出力配線SL +が1本ずつ接続されている。各ビット線BL −には、複数の出力配線SL −が1本ずつ接続されている。ビット線BL −および出力配線SL −は、各セルMC 1の強誘電キャパシタCs 1の容量および入力配線PLへ入力される入力電圧の乗算に対応する電荷量を蓄積可能に構成されている。

[0037] 積和演算回路410は、行列状に配置された複数のセルMC dを有している。各セルMC dは、例えば、図7に示したように、2つのセルMC（セルMC 1, MC 2）を含んで構成された2Tr 2Cの回路構成となっている。各セルMC dにおいて、セルMC 1が主セルであり、セルMC 2はレファレンスセルである。セルMC 1に対して所定の状態が設定されたとき、セルMC 2に対しては、セルMC 1の状態を反転させた状態が設定される。レファレンスセルの役割については後に詳述する。

[0038] セルMC 1, MC 2は、上記実施の形態に係るセルMCと同様の構成・機能となっている。セルMC 1は、例えば、トランジスタTr 1と、トランジスタTr 1のソース・ドレイン端子に接続された強誘電キャパシタCs 1とを含んで構成された1Tr 1Cの回路構成となっている。セルMC 2は、例えば、トランジスタTr 2と、トランジスタTr 2のソース・ドレイン端子に接続された強誘電キャパシタCs 2とを含んで構成された1Tr 1Cの回

路構成となっている。トランジスタ T_{r1} 、 T_{r2} は、例えば、MOSFETである。強誘電キャパシタ C_{s1} 、 C_{s2} は、一对の電極間に強誘電体材料が挟み込まれた構成となっている。

[0039] トランジスタ T_{r1} のゲートはワード線 $WL-$ に接続されており、ワード線 $WL-$ を介して行デコーダ420からの信号が入力される。トランジスタ T_{r1} の一方のソース・ドレイン端子は強誘電キャパシタ C_{s1} を介して入力配線 PL に接続されている。強誘電キャパシタ C_{s1} の一方の端子がトランジスタ T_{r1} の一方のソース・ドレイン端子に接続されており、強誘電キャパシタ C_{s1} の他方の端子が入力配線 PL に接続されている。トランジスタ T_{r1} の一方のソース・ドレイン端子には強誘電キャパシタ C_{s1} を介して入力回路440からの信号が入力される。トランジスタ T_{r1} の他方のソース・ドレイン端子にはビット線 $BL-$ が接続されており、ビット線 $BL-$ を介して列デコーダ430からの信号が入力される。

[0040] トランジスタ T_{r2} のゲートはワード線 $WL+$ に接続されており、ワード線 $WL+$ を介して行デコーダ420からの信号が入力される。トランジスタ T_{r2} の一方のソース・ドレイン端子には強誘電キャパシタ C_{s2} を介して、強誘電キャパシタ C_{s1} が接続された入力配線 PL に接続されている。強誘電キャパシタ C_{s2} の一方の端子がトランジスタ T_{r2} の一方のソース・ドレイン端子に接続されており、強誘電キャパシタ C_{s2} の他方の端子が、強誘電キャパシタ C_{s1} が接続された入力配線 PL に接続されている。つまり、セル MCd において、強誘電キャパシタ C_{s1} 、 C_{s2} は共通の入力配線 PL に接続されている。トランジスタ T_{r2} の一方のソース・ドレイン端子には強誘電キャパシタ C_{s2} を介して入力回路440からの信号が入力される。トランジスタ T_{r2} の他方のソース・ドレイン端子にはビット線 $BL+$ が接続されており、ビット線 $BL+$ を介して列デコーダ430からの信号が入力される。

[0041] 行デコーダ420は、ワード線 $WL-$ に選択信号を印可することにより、アクセス対象であるセル MCd （またはセル $MC1$ ）を選択する。選択信号

は、トランジスタ T_{r1} の閾値電圧以上の波高値を有するパルスである。行デコーダ 420 によって選択されたセル $MC1$ では、トランジスタ T_{r1} が導通状態（オン）となる。列デコーダ 430 は、ビット線 $BL-$ に所定の電圧 V_{b1} を印可することにより、ビット線 $BL-$ に接続された各セル $MC1$ に所定の電圧 V_{b1} を供給する。各セル $MC1$ には、入力配線 PL に印加された入力電圧 V_{p1} と、ビット線 $BL-$ に印加された電圧 V_{b1} との差分の電圧が印可される。

[0042] 行デコーダ 420 は、ワード線 $WL+$ に選択信号を印可することにより、アクセス対象であるセル MCd （またはセル $MC2$ ）を選択する。選択信号は、トランジスタ T_{r2} の閾値電圧以上の波高値を有するパルスである。行デコーダ 420 によって選択されたセル $MC2$ では、トランジスタ T_{r2} が導通状態（オン）となる。列デコーダ 430 は、ビット線 $BL+$ に所定の電圧 V_{b2} を印可することにより、ビット線 $BL+$ に接続された各セル $MC2$ に所定の電圧 V_{b2} を供給する。各セル $MC2$ には、入力配線 PL に印加された入力電圧 V_{p1} と、ビット線 $BL+$ に印加された電圧 V_{b2} との差分の電圧が印可される。

[0043] ここで、入力電圧 V_{p1} が所定の正の電圧となっている場合に、電圧 V_{b1} が、例えば、グラウンド電圧（0V）となっているとする。このとき、セル $MC1$ には、セル $MC1$ の分極状態として例えば、“0” が記憶される。また、入力電圧 V_{p1} がグラウンド電圧（0V）となっている場合に、電圧 V_{b1} が所定の正の電圧となっているとする。このとき、セル $MC1$ には、セル $MC1$ の分極状態として例えば、“1” が記憶される。

[0044] また、入力電圧 V_{p1} が所定の正の電圧となっている場合に、電圧 V_{b2} が、例えば、グラウンド電圧（0V）となっているとする。このとき、セル $MC2$ には、セル $MC2$ の分極状態として例えば、“0” が記憶される。また、入力電圧 V_{p1} がグラウンド電圧（0V）となっている場合に、電圧 V_{b2} が所定の正の電圧となっているとする。このとき、セル $MC2$ には、セル $MC2$ の分極状態として例えば、“1” が記憶される。

[0045] セルMC 1 には、入力回路440から入力配線PLを通じて入力電圧 V_{pl} が印加されるとともに、列デコーダ430からビット線BLーを通じて電圧 V_{bl1} が印可される。これにより、セルMC 1 には、セルMC 1 の強誘電体の分極に応じたスイッチング電流が流れる。セルMC 1 の各々の出力は、ビット線BLーを介して出力配線SLーに接続されており、出力回路450は、出力配線SLーに流れる電流、または、出力配線SLーの電位を測定することで、積和演算結果を取得する。出力回路450は、例えば、出力配線SLーの電圧の各々を同時かつ並列に測定するAD変換回路を有しており、積和演算結果をAD変換することにより得られるデジタル信号を外部に出力する。なお、出力回路450は、必要に応じて、増幅回路などをさらに有していてもよい。

[0046] 積和演算回路410では、例えば、行デコーダ420によって選択されたセルMC 1 の入力（入力配線PL）に電圧（入力電圧 V_{pl} ）が印可されると、強誘電キャパシタ C_s 1の容量と、入力電圧 V_{pl} との乗算に対応する電荷量が出力配線SLーに蓄積され、これにより積和演算を行うことができる。例えば、積和演算の推論においては、行デコーダ420によって選択されたセルMC 1 の入力（入力配線PL）に電圧（入力電圧 V_{pl} ）が印可されると、 $C \times V = Q$ に応じた電荷量が出力配線SLーに蓄積される。ここで、 C は、例えば、図3に示したように、セルMC 1 の分極状態（“0”）に応じた負荷容量 c_l 、または、セルMC 1 の分極状態（“1”）に応じた負荷容量 c_h に対応する。すなわち、積和演算回路110において、Convolution Neural Network（CNN）に代表されるニューラルネットワークにおける入力（例えば、前段の信号）とパラメータとの“積”を行うことができる。

[0047] 図8は、積和演算回路410の平面レイアウトの一例を表したものである。複数のビット線BLー、BL+および複数の入力配線PLが第1の方向に延在する配線を有しており、それらの配線が第1の方向と直交する第2の方向に、ビット線BLー、2本の入力配線PLおよびビット線BL+の順で繰り返し配置されている。互いに隣接する2本の入力配線PLは、導電層Mで

互いに接続されており、上記の図7の1本の入力配線PLに対応している。複数のワード線WL+, WL-が第2の方向に延在しており、第1の方向に交互に配置されている。

[0048] ビット線BL-と、トランジスタTr1の一方のソース・ドレイン端子とにビットコンタクトN1が接続されている。ビットコンタクトN1は、ビット線BL-とトランジスタTr1の一方のソース・ドレイン端子とが互に対向する位置に配置されている。トランジスタTr1の他方のソース・ドレイン端子と入力配線PLとの間に強誘電キャパシタCs1が設けられている。強誘電キャパシタCs1は入力配線PLとトランジスタTrの他方のソース・ドレイン端子とが互に対向する位置に配置されている。

[0049] ビット線BL+と、トランジスタTr2の一方のソース・ドレイン端子とにビットコンタクトN2が接続されている。ビットコンタクトN2は、ビット線BL+とトランジスタTr2の一方のソース・ドレイン端子とが互に対向する位置に配置されている。トランジスタTr2の他方のソース・ドレイン端子と入力配線PLとの間に強誘電キャパシタCs2が設けられている。強誘電キャパシタCs2は入力配線PLとトランジスタTr2の他方のソース・ドレイン端子とが互に対向する位置に配置されている。

[0050] 複数のビットコンタクトN1, N2および複数の強誘電キャパシタCs1, Cs2が第1の方向に、ビットコンタクトN1、強誘電キャパシタCs1、強誘電キャパシタCs2、ビットコンタクトN2の順で繰り返し配置されている。トランジスタTr1は、第1の方向および第2の方向と交差する第3の方向に延在して形成されており、トランジスタTr1において、一方のソース・ドレイン端子と他方のソース・ドレイン端子とが第3の方向において互に対向して配置されている。トランジスタTr2は、第1の方向および第2の方向と交差する第3の方向に延在して形成されており、トランジスタTr2において、一方のソース・ドレイン端子と他方のソース・ドレイン端子とが第3の方向において互に対向して配置されている。

[0051] 図9は、2つの積和演算装置400を用いたニューラルネットワーク50

0の構成の一例を表したものである。ニューラルネットワーク500は、2つの積和演算装置400と、前段の積和演算装置400の出力回路450から出力された複数のデジタル信号をDA（Digital-to-Analog）変換し、後段の積和演算装置400の入力回路440に入力するDAC600とを備えている。このように、DAC600を介して、2つの積和演算装置400を連結することにより、ニューラルネットワークを構築することができる。なお、複数の積和演算装置400を用いてニューラルネットワークを構築することも可能である。このとき、前段側の積和演算装置400と後段側の積和演算装置400の間にはDAC600が設けられている。

[0052] [動作]

次に、積和演算装置400の動作について説明する。本実施の形態では、行デコーダ420が特定のワード線WLーを選択し、入力回路140が特定の入力配線PLに入力電圧Vp1として正の電圧を印可するとともに、列デコーダ130が特定のビット線BLーに電圧Vb1としてグラウンド電圧を印可すると、選択されたワード線WLーと、入力電圧Vp1として正の電圧が印可された入力配線PLと、電圧Vb1としてグラウンド電圧が印可されたビット線BLーとに接続されたセルMC1（アクセス対象のセルMC1）から出力配線SLーに対して、 $C \times V = Q$ に応じた電荷が供給される。その結果、アクセス対象のセルMC1に接続された出力配線SLーには、 $C \times V = Q$ に応じた電荷が蓄積される。出力配線SLーには、蓄積された電荷に応じた電圧が発生し、この出力配線SLーの電圧が出力回路450においてAD変換され、外部に出力される。

[0053] 行デコーダ420が複数のワード線WLーを順次、選択することにより、1本の出力配線SLーには、当該出力配線SLーを共有する各セルMC1から、 $C \times V = Q$ に応じた電荷が供給される。これにより、出力配線SLーを共有する各セルMC1から供給された電荷の和に応じた電圧が出力配線SLーに発生し、この出力配線SLーの電圧が出力回路450においてAD変換され、出力回路450から外部に出力される。このような読み出し動作が出

力配線S Lーごとに行われることにより、出力配線S Lーを共有する各セルMC 1から供給された電荷の和に応じた電圧（積和演算結果）が出力回路450から出力配線S Lーごとに外部に出力される。

[0054] ところで、積和演算回路110では、上述したように、データ読み出しの際に、セルMCに保持されたデータが破壊される場合がある。そこで、積和演算回路110は、レファレンスセルであるセルMC 2に、セルMC 1のバックアップの機能を持たせている。積和演算回路110は、例えば、セルMC 1に状態として“1”を書き込み、セルMC 2に、セルMC 1の状態を反転させた状態“0”を書き込んだ後、積和演算の推論を行う。このとき、積和演算の推論は破壊読み出しとなるので、セルMC 1は“0”となる。続いて、積和演算装置400は、セルMC 2から読み出した状態（“0”）を反転させた状態（“1”）をセルMC 1に書き込む。このようにして、セルMC 1に対する再書き込みが行われる。このような再書き込みは、セルMC 2をセルMC 1のバックアップとして機能させることにより実現することができる。

[0055] [効果]

次に、積和演算装置400の効果について説明する。本実施の形態では、セルMCには、強誘電キャパシタCs 1, Cs 2が設けられている。これにより、強誘電キャパシタCs 1, Cs 2にパラメータ（重み）を保持することが可能となる。ここで、負荷容量cl, chのばらつきが大きい場合、そのばらつきが推論の際のノイズとなり、推論精度の低下が生じる可能性がある。しかし、本実施の形態では、パラメータ（重み）を保持させる強誘電キャパシタCs 1, Cs 2における負荷容量cl, chのばらつきは小さいので、高精度の推論を行うことができる。また、強誘電キャパシタCs 1を用いた1T1CのセルMC 1、および強誘電キャパシタCs 2を用いた1T1CのセルMC 2は、他のメモリ（例えば、ReRAM）を用いた積和演算セルと比べて、小面積でシリコン基板上に形成することができる。従って、低コストの積和演算装置100を提供することができる。また、強誘電キャパ

シタ C_{s1} 、 C_{s2} では、他のメモリ（例えば、 $ReRAM$ ）を用いた場合と比べて、書き換え回数の上限が極めて大きく、実用上、書き換え回数の制限を受けない。

[0056] 本実施の形態では、各出力配線 PL に蓄積された電荷に応じた電圧を AD 変換し、出力する出力回路 450 が設けられている。これにより、複数の積和演算装置 400 を用いてニューラルネットワークを構築する際に、前段側の積和演算装置 400 と後段側の積和演算装置 400 との間に ADC を設けることで、ニューラルネットワークを構築することが可能である。

[0057] 本実施の形態では、各トランジスタ $Tr1$ 、 $Tr2$ は、複数のセル MCd における行方向および列方向の双方と交差する斜め方向に延在しており、各トランジスタ $Tr1$ 、 $Tr2$ において、一对のソース・ドレイン端子は斜め方向において互いに対向配置されている。これにより、積和演算回路 410 を半導体基板の表面に方形状に形成することが可能となり、設計の自由度を向上させることができる。

[0058] 本実施の形態では、入力配線 PL は、強誘電キャパシタ C_{s1} 、 C_{s2} を介して一方のソース・ドレイン端子と対向する位置に配置されており、出力配線 SL は他方のソース・ドレイン端子と対向する位置に配置されている。これにより、積和演算回路 410 を半導体基板の表面に方形状に形成することが可能となり、設計の自由度を向上させることができる。

[0059] <3. 第2の実施の形態の変形例>

上記第2の実施の形態において、例えば、図10に示したように、セル $MC1$ に含まれる強誘電キャパシタ C_{s1} の面積と、セル $MC2$ に含まれる強誘電キャパシタ C_{s2} の面積とが互いに異なってもよい。

[0060] 図11、図12は、 $64k$ ビットのセルアレイにおいて各セル MC から読み出した、“0”のときの電圧 V_0 および“1”のときの電圧 V_1 の分布の一例を表したものである。図11、図12には、セル $MC1$ に含まれる強誘電キャパシタ C_{s1} の面積が#0、#1、#2、#3のときの電圧 V_0 、 V_1 の分布が例示されている。以下では、面積が#1のセル $MC1$ に“1”が

保持されているときの電圧 V_1 を V_{b1} とし、面積が#1のセルMC1に“0”が保持されているときの電圧 V_0 を V_{b0} とし、面積が#3のセルMC1に“1”が保持されているときの電圧 V_1 を V_{c1} とし、面積が#3のセルMC1に“0”が保持されているときの電圧 V_0 を V_{c0} とする。以下に、セルMC1の面積が#1、セルMC2の面積が#3となっているときの積和演算について説明する。

[0061] 積和演算装置400を制御する制御装置は、セルMC1に“1”を書き込み、セルMC2に“0”に書き込んだ後、積和演算の推論を行う。このとき、積和演算の推論は破壊読出しとなるので、セルMC1は“0”となる（図11）。続いて、積和演算装置400を制御する制御装置は、セルMC1から“0”を読み出すとともに、セルMC2から“0”を読み出し、セルMC1から得られた電圧 V_{b0} と、セルMC2から得られた電圧 V_{c0} とを比較し、 $V_{b0} > V_{c0}$ であることを確認したときは、セルMC1に“1”を書き込む（図11）。このようにして、セルMC1に対する再書き込みが行われる。このような再書き込みは、セルMC2をセルMC1のバックアップとして機能させることにより実現することができる。

[0062] 積和演算装置400を制御する制御装置は、セルMC1に“0”を書き込み、セルMC2に“1”に書き込んだ後、積和演算の推論を行う。このとき、セルMC1は“0”のままとなる（図12）。続いて、積和演算装置400を制御する制御装置は、セルMC1から“0”を読み出すとともに、セルMC2から“1”を読み出し、セルMC1から得られた電圧 V_{b0} と、セルMC2から得られた電圧 V_{c1} とを比較し、 $V_{b0} < V_{c1}$ であることを確認したときは、セルMC1に“0”を書き込む（図12）。このようにして、セルMC1に対する再書き込みが行われる。このような再書き込みは、セルMC2をセルMC1のバックアップとして機能させることにより実現することができる。

[0063] 以上、複数の実施の形態およびそれらの変形例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能

である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていたとしてもよい。

[0064] 上記各実施の形態およびそれらの変形例において、ビット線BL自体が出力配線PLを兼ねていてもよい。また、上記第1の実施の形態およびその変形例において、複数の入力配線PLは、複数のセルMCにおける行ごとに1本ずつ割り当てられていてもよいし、2本ずつ割り当てられていてもよい。また、上記第2の実施の形態およびそれらの変形例において、複数の入力配線は、複数のセルMCにおける行ごとに1本ずつ割り当てられていてもよいし、2本ずつ割り当てられていてもよい。

[0065] また、例えば、本開示は以下のような構成を取ることができる。

(1)

各々がトランジスタと、前記トランジスタの第1のソース・ドレイン端子に接続された強誘電キャパシタとを含み、行列状に配置された複数のセルと、

前記複数のセルにおける行ごとに1もしくは複数本ずつ割り当てられ、前記強誘電キャパシタに接続された複数の入力配線と、

前記複数のセルにおける列ごとに1本ずつ割り当てられ、前記トランジスタの第2のソース・ドレイン端子に接続され、各前記セルの前記強誘電キャパシタの容量および前記入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能な複数の出力配線と

を備えた

積和演算装置。

(2)

各前記出力配線に蓄積された電荷に応じた電圧をAD変換し、出力する出力回路を更に備えた

(1)に記載の積和演算装置。

(3)

各前記トランジスタは、前記複数のセルにおける行方向および列方向の双方と交差する斜め方向に延在しており、

各前記トランジスタにおいて、前記第 1 のソース・ドレイン端子および前記第 2 のソース・ドレイン端子は、前記斜め方向において互いに対向配置されている

(1) または (2) に記載の積和演算装置。

(4)

前記入力配線は、前記強誘電キャパシタを介して前記第 1 のソース・ドレイン端子と対向する位置に配置され、

前記出力配線は、前記第 2 のソース・ドレイン端子と対向する位置に配置されている

(3) に記載の積和演算装置。

(5)

各々が第 1 のトランジスタと、前記第 1 のトランジスタの第 1 のソース・ドレイン端子に接続された第 1 の強誘電キャパシタとを含むメインセルと、各々が第 2 のトランジスタと、前記第 2 のトランジスタの第 2 のソース・ドレイン端子に接続された第 2 の強誘電キャパシタとを含むレファレンスセルとを含み、行列状に配置された複数のセルと、

前記複数のセルにおける行ごとに 1 もしくは複数本ずつ割り当てられ、前記第 1 の強誘電キャパシタおよび前記第 2 の強誘電キャパシタに接続された複数の入力配線と、

前記複数のセルにおける列ごとに 1 本ずつ割り当てられ、前記第 1 のトランジスタの第 3 のソース・ドレイン端子に接続され、各前記メインセルの前記第 1 の強誘電キャパシタの容量および前記入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能な複数の第 1 の出力配線と、

前記複数のセルにおける列ごとに 1 本ずつ割り当てられ、前記第 2 のトランジスタの第 4 のソース・ドレイン端子に接続され、各前記レファレンスセルの前記第 2 の強誘電キャパシタの容量および前記入力配線へ入力される入

力電圧の乗算に対応する電荷量を蓄積可能な複数の第2の出力配線と
を備えた
積和演算装置。

(6)

各前記第1の出力配線に蓄積された電荷に応じた電圧をA/D変換し、出力
する出力回路を更に備えた

(5)に記載の積和演算装置。

(7)

各前記第1のトランジスタおよび各前記第2のトランジスタは、前記複数の
セルにおける行方向および列方向の双方と交差する斜め方向に延在してお
り、

各前記第1のトランジスタにおいて、前記第1のソース・ドレイン端子お
よび前記第3のソース・ドレイン端子は、前記斜め方向において互いに対向
配置され、

各前記第2のトランジスタにおいて、前記第2のソース・ドレイン端子お
よび前記第4のソース・ドレイン端子は、前記斜め方向において互いに対向
配置されている

(5)または(6)に記載の積和演算装置。

(8)

前記複数の入力配線は、前記複数のセルにおける行ごとに2本ずつ割り当
てられ、

前記複数のセルにおける行ごとに割り当てられた2本の前記入力配線にお
いて、第1の入力配線は、前記第1の強誘電キャパシタを介して前記第1の
ソース・ドレイン端子と対向する位置に配置され、第2の入力配線は、前記
第2のソース・ドレイン端子と対向する位置に配置されている

(7)に記載の積和演算装置。

(9)

前記第1の強誘電キャパシタの面積と前記第2の強誘電キャパシタの面積

とが互いに異なっている

(5) ないし (8) のいずれか 1 つに記載の積和演算装置。

(10)

複数の積和演算装置を備え、

各前記積和演算装置は、

各々がトランジスタと、前記トランジスタの第 1 のソース・ドレイン端子に接続された強誘電キャパシタとを含み、行列状に配置された複数のセルと、

前記複数のセルにおける行ごとに 1 もしくは複数本ずつ割り当てられ、前記強誘電キャパシタに接続された複数の入力配線と、

前記複数のセルにおける列ごとに 1 本ずつ割り当てられ、前記トランジスタの第 2 のソース・ドレイン端子に接続され、各前記セルの前記強誘電キャパシタの容量および前記入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能な複数の出力配線と

を有する

ニューラルネットワーク。

(11)

複数の積和演算装置を備え、

各前記積和演算装置は、

各々が第 1 のトランジスタと、前記第 1 のトランジスタの第 1 のソース・ドレイン端子に接続された第 1 の強誘電キャパシタとを含むメインセルと、各々が第 2 のトランジスタと、前記第 2 のトランジスタの第 2 のソース・ドレイン端子に接続された第 2 の強誘電キャパシタとを含むレファレンスセルとを含み、行列状に配置された複数のセルと、

前記複数のセルにおける行ごとに 1 もしくは複数本ずつ割り当てられ、前記第 1 の強誘電キャパシタおよび前記第 2 の強誘電キャパシタに接続された複数の入力配線と、

前記複数のセルにおける列ごとに 1 本ずつ割り当てられ、前記第 1 のトラ

ンジスタの第3のソース・ドレイン端子に接続され、各前記メインセルの前記第1の強誘電キャパシタの容量および前記入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能な複数の第1の出力配線と、

前記複数のセルにおける列ごとに1本ずつ割り当てられ、前記第2のトランジスタの第4のソース・ドレイン端子に接続され、各前記レファレンスセルの前記第2の強誘電キャパシタの容量および前記入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能な複数の第2の出力配線と

を有する

ニューラルネットワーク。

[0066] 本開示の第1の側面に係る積和演算装置、および本開示の第2の側面に係るニューラルネットワークでは、セルには強誘電キャパシタが設けられている。これにより、強誘電キャパシタにパラメータ（重み）を保持することが可能となる。ここで、セルの負荷容量のばらつきが大きい場合、そのばらつきが推論の際のノイズとなり、推論精度の低下が生じる可能性がある。しかし、本開示では、パラメータ（重み）を保持させる強誘電キャパシタにおける負荷容量のばらつきは小さいので、高精度の推論を行うことができる。また、強誘電キャパシタでは、他のメモリ（例えば、ReRAM）を用いた場合と比べて、書き換え回数の上限が極めて大きく、実用上、書き換え回数の制限を受けない。従って、パラメータを保持することができ、かつ実用に耐える程度の回数の書き込みを行うことの可能な積和演算装置を提供することができる。

[0067] 本開示の第3の側面に係る積和演算装置、および本開示の第4の側面に係るニューラルネットワークでは、第1のセルおよび第2のセルには強誘電キャパシタが設けられている。これにより、強誘電キャパシタにパラメータ（重み）を保持することが可能となる。ここで、セルの負荷容量のばらつきが大きい場合、そのばらつきが推論の際のノイズとなり、推論精度の低下が生じる可能性がある。しかし、本開示では、パラメータ（重み）を保持させる強誘電キャパシタにおける負荷容量のばらつきは小さいので、高精度の推論

を行うことができる。また、強誘電キャパシタでは、他のメモリ（例えば、R e R A M）を用いた場合と比べて、書き換え回数の上限が極めて大きく、実用上、書き換え回数の制限を受けない。従って、パラメータを保持することができ、かつ実用に耐える程度の回数の書き込みを行うことの可能な積和演算装置を提供することができる。

[0068] 本出願は、日本国特許庁において2020年12月25日に出願された日本特許出願番号第2020-217286号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0069] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 各々がトランジスタと、前記トランジスタの第1のソース・ドレイン端子に接続された強誘電キャパシタとを含み、行列状に配置された複数のセルと、
- 前記複数のセルにおける行ごとに1もしくは複数本ずつ割り当てられ、前記強誘電キャパシタに接続された複数の入力配線と、
- 前記複数のセルにおける列ごとに1本ずつ割り当てられ、前記トランジスタの第2のソース・ドレイン端子に接続され、各前記セルの前記強誘電キャパシタの容量および前記入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能な複数の出力配線と
- を備えた
- 積和演算装置。
- [請求項2] 各前記出力配線に蓄積された電荷に応じた電圧をA/D変換し、出力する出力回路を更に備えた
- 請求項1に記載の積和演算装置。
- [請求項3] 各前記トランジスタは、前記複数のセルにおける行方向および列方向の双方と交差する斜め方向に延在しており、
- 各前記トランジスタにおいて、前記第1のソース・ドレイン端子および前記第2のソース・ドレイン端子は、前記斜め方向において互いに対向配置されている
- 請求項1に記載の積和演算装置。
- [請求項4] 前記入力配線は、前記強誘電キャパシタを介して前記第1のソース・ドレイン端子と対向する位置に配置され、
- 前記出力配線は、前記第2のソース・ドレイン端子と対向する位置に配置されている
- 請求項3に記載の積和演算装置。
- [請求項5] 各々が第1のトランジスタと、前記第1のトランジスタの第1のソース・ドレイン端子に接続された第1の強誘電キャパシタとを含むメ

インセルと、各々が第2のトランジスタと、前記第2のトランジスタの第2のソース・ドレイン端子に接続された第2の強誘電キャパシタとを含むレファレンスセルとを含み、行列状に配置された複数のセルと、

前記複数のセルにおける行ごとに1もしくは複数本ずつ割り当てられ、前記第1の強誘電キャパシタおよび前記第2の強誘電キャパシタに接続された複数の入力配線と、

前記複数のセルにおける列ごとに1本ずつ割り当てられ、前記第1のトランジスタの第3のソース・ドレイン端子に接続され、各前記メインセルの前記第1の強誘電キャパシタの容量および前記入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能な複数の第1の出力配線と、

前記複数のセルにおける列ごとに1本ずつ割り当てられ、前記第2のトランジスタの第4のソース・ドレイン端子に接続され、各前記レファレンスセルの前記第2の強誘電キャパシタの容量および前記入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能な複数の第2の出力配線と

を備えた

積和演算装置。

[請求項6] 各前記第1の出力配線に蓄積された電荷に応じた電圧をA/D変換し、出力する出力回路を更に備えた
請求項5に記載の積和演算装置。

[請求項7] 各前記第1のトランジスタおよび各前記第2のトランジスタは、前記複数のセルにおける行方向および列方向の双方と交差する斜め方向に延在しており、

各前記第1のトランジスタにおいて、前記第1のソース・ドレイン端子および前記第3のソース・ドレイン端子は、前記斜め方向において互いに対向配置され、

各前記第2のトランジスタにおいて、前記第2のソース・ドレイン端子および前記第4のソース・ドレイン端子は、前記斜め方向において互いに対向配置されている

請求項5に記載の積和演算装置。

[請求項8] 前記複数の入力配線は、前記複数のセルにおける行ごとに2本ずつ割り当てられ、

前記複数のセルにおける行ごとに割り当てられた2本の前記入力配線において、第1の入力配線は、前記第1の強誘電キャパシタを介して前記第1のソース・ドレイン端子と対向する位置に配置され、第2の入力配線は、前記第2のソース・ドレイン端子と対向する位置に配置されている

請求項7に記載の積和演算装置。

[請求項9] 前記第1の強誘電キャパシタの面積と前記第2の強誘電キャパシタの面積とが互いに異なっている

請求項5に記載の積和演算装置。

[請求項10] 複数の積和演算装置を備え、

各前記積和演算装置は、

各々がトランジスタと、前記トランジスタの第1のソース・ドレイン端子に接続された強誘電キャパシタとを含み、行列状に配置された複数のセルと、

前記複数のセルにおける行ごとに1もしくは複数本ずつ割り当てられ、前記強誘電キャパシタに接続された複数の入力配線と、

前記複数のセルにおける列ごとに1本ずつ割り当てられ、前記トランジスタの第2のソース・ドレイン端子に接続され、各前記セルの前記強誘電キャパシタの容量および前記入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能な複数の出力配線と

を有する

ニューラルネットワーク。

[請求項11]

複数の積和演算装置を備え、

各前記積和演算装置は、

各々が第1のトランジスタと、前記第1のトランジスタの第1のソース・ドレイン端子に接続された第1の強誘電キャパシタとを含むメインセルと、各々が第2のトランジスタと、前記第2のトランジスタの第2のソース・ドレイン端子に接続された第2の強誘電キャパシタとを含むレファレンスセルとを含み、行列状に配置された複数のセルと、

前記複数のセルにおける行ごとに1もしくは複数本ずつ割り当てられ、前記第1の強誘電キャパシタおよび前記第2の強誘電キャパシタに接続された複数の入力配線と、

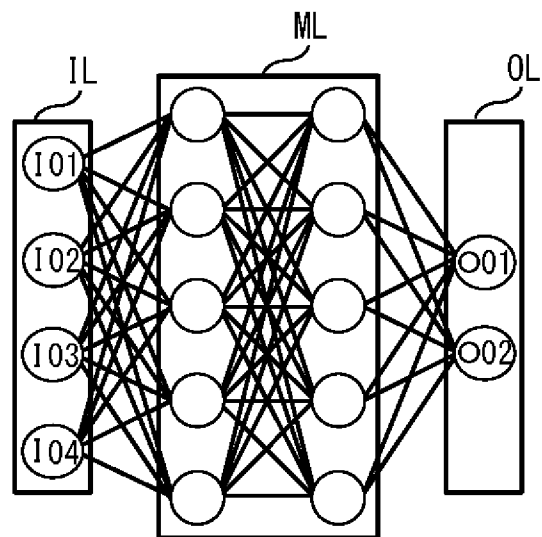
前記複数のセルにおける列ごとに1本ずつ割り当てられ、前記第1のトランジスタの第3のソース・ドレイン端子に接続され、各前記メインセルの前記第1の強誘電キャパシタの容量および前記入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能な複数の第1の出力配線と、

前記複数のセルにおける列ごとに1本ずつ割り当てられ、前記第2のトランジスタの第4のソース・ドレイン端子に接続され、各前記レファレンスセルの前記第2の強誘電キャパシタの容量および前記入力配線へ入力される入力電圧の乗算に対応する電荷量を蓄積可能な複数の第2の出力配線と

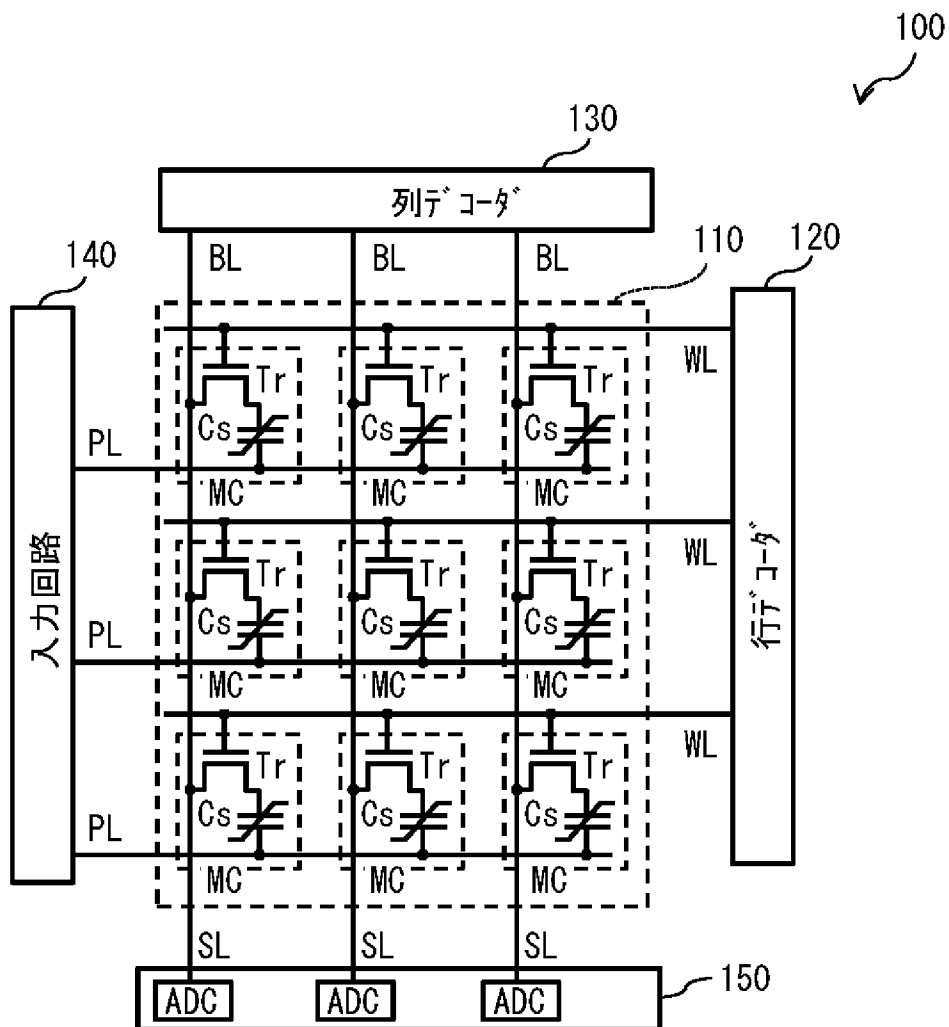
を有する

ニューラルネットワーク。

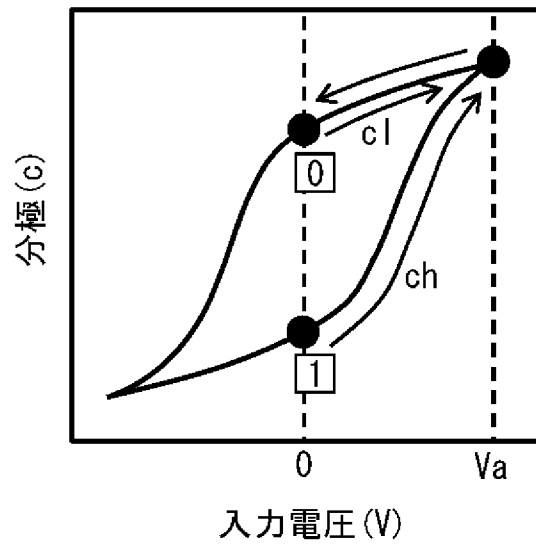
[図1]



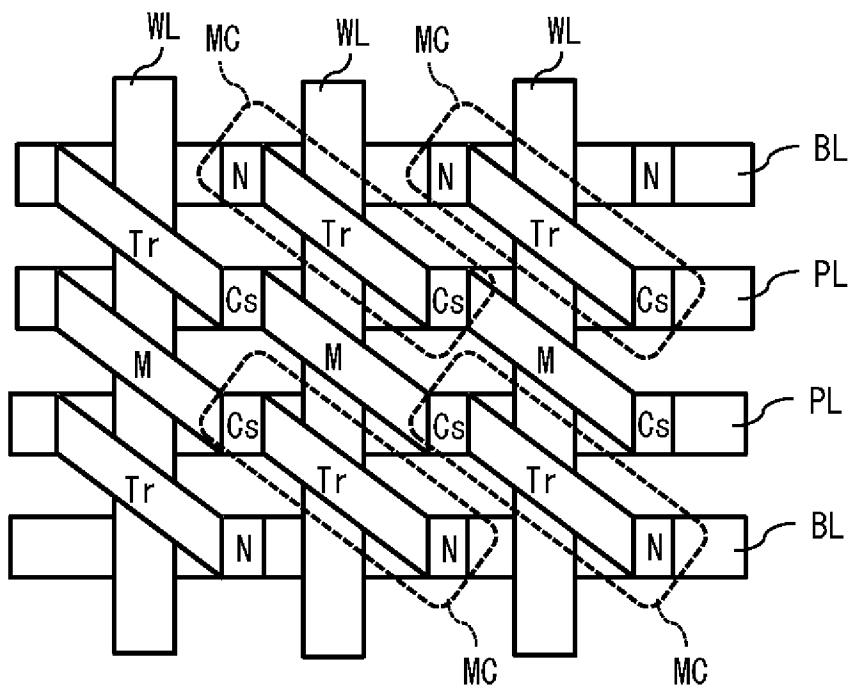
[図2]



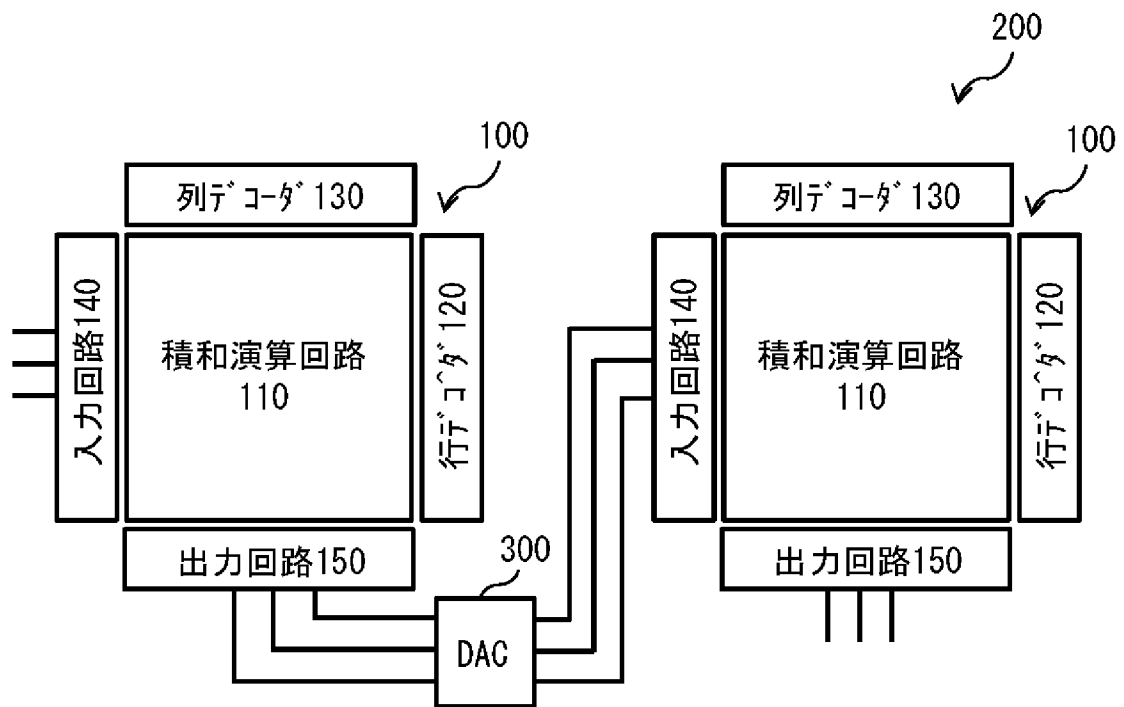
[図3]



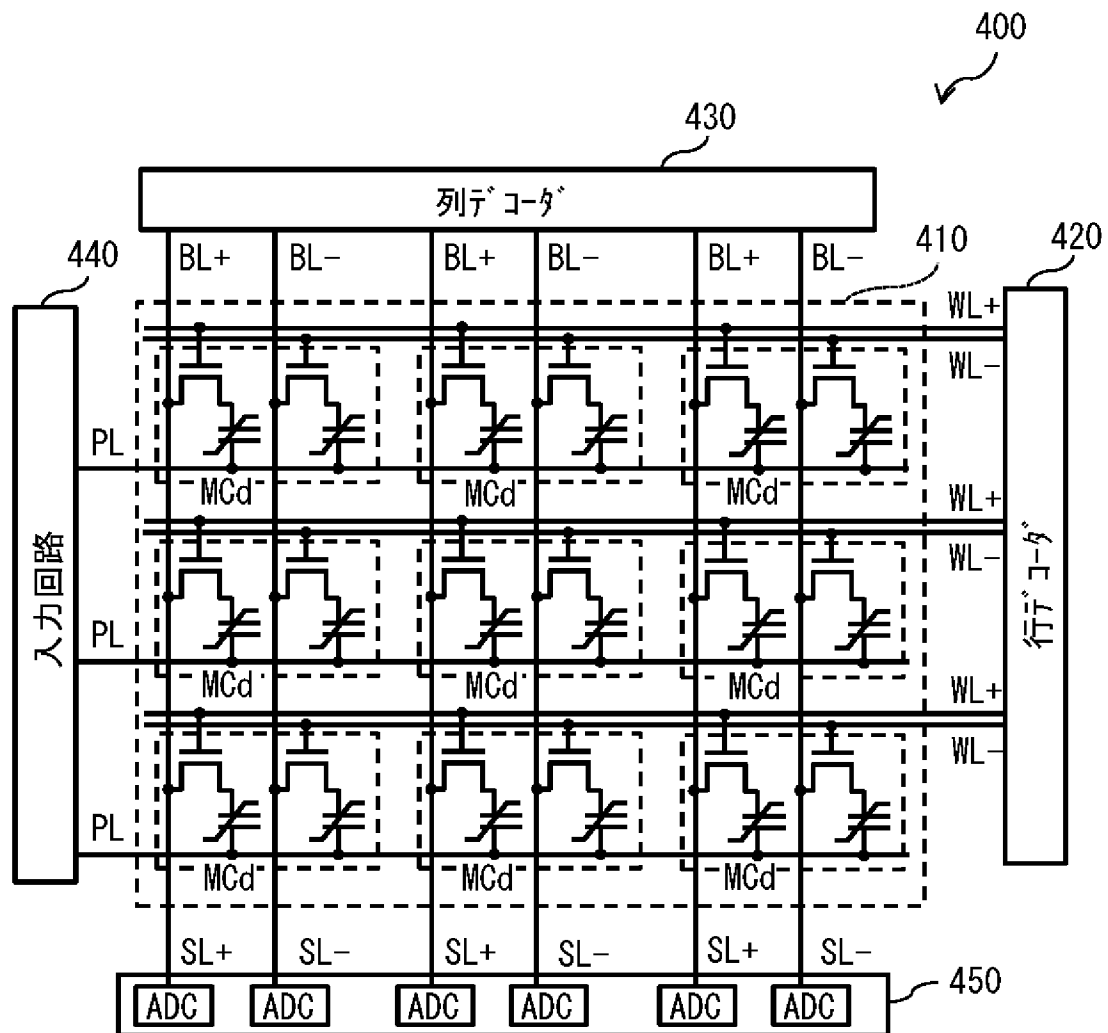
[図4]



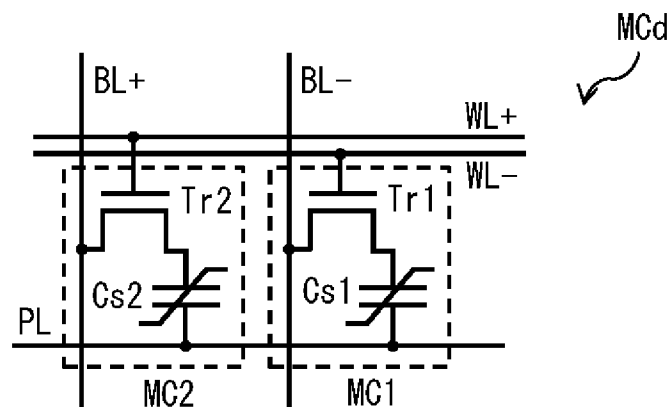
[図5]



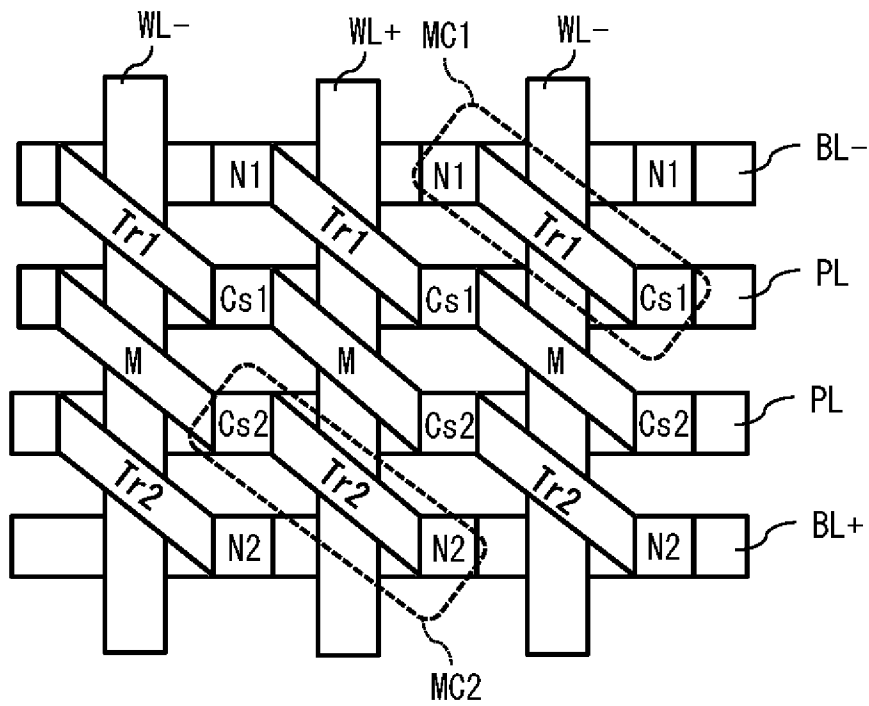
[図6]



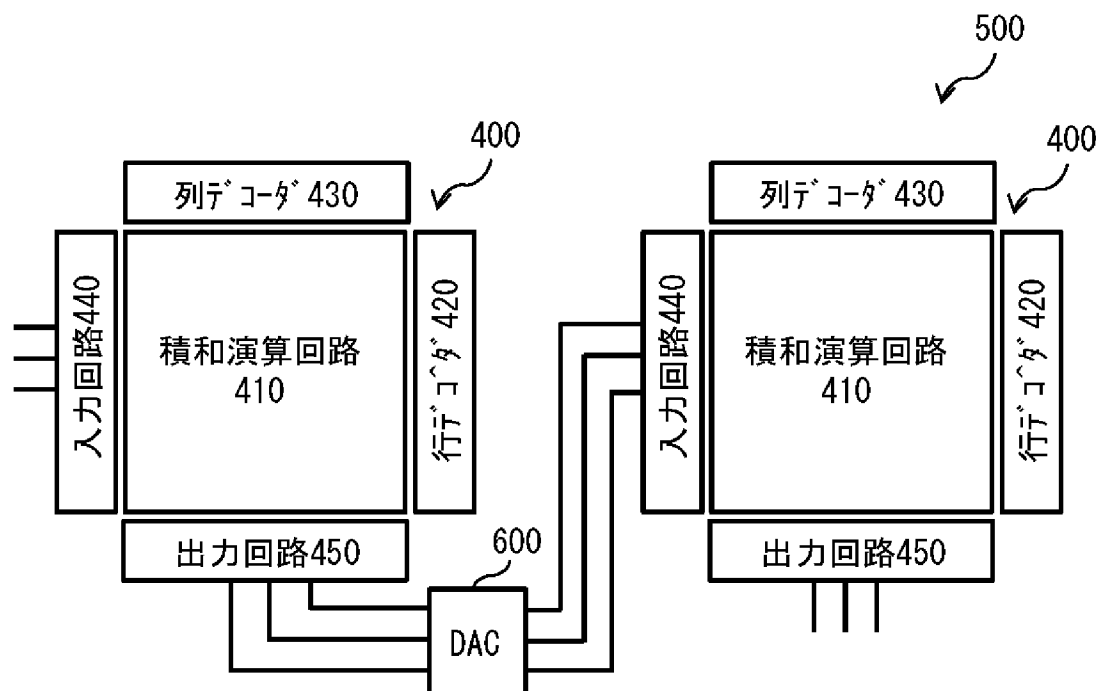
[図7]



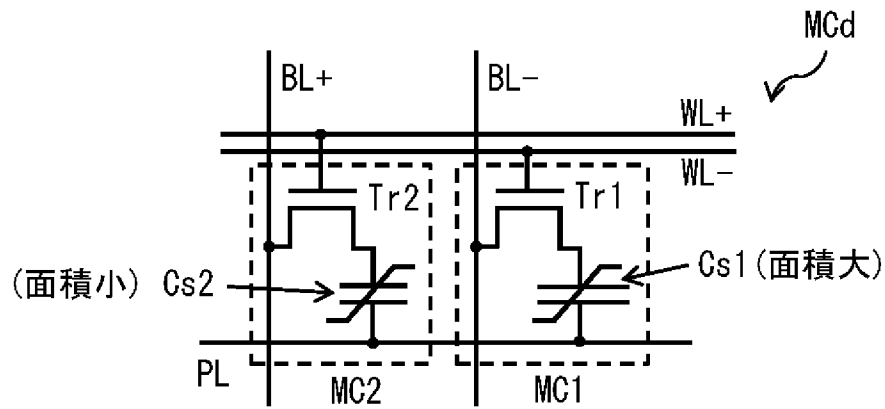
[図8]



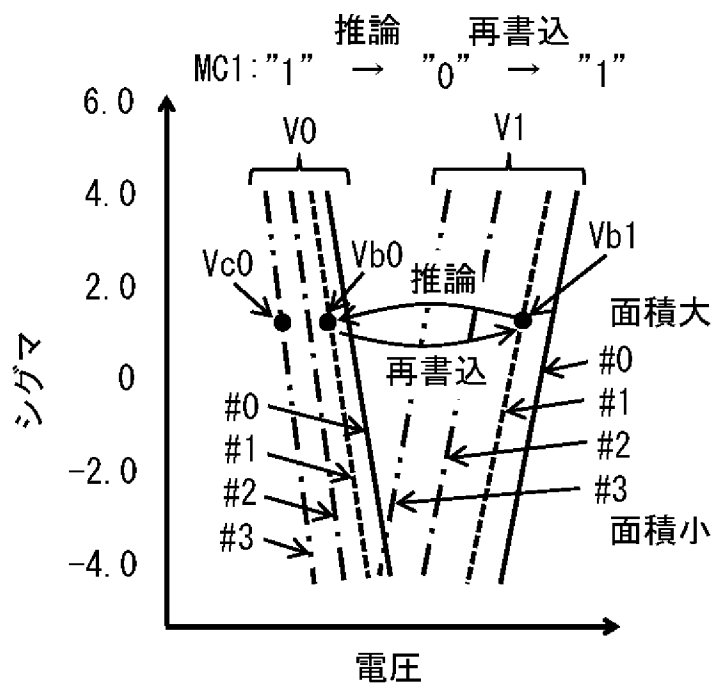
[図9]



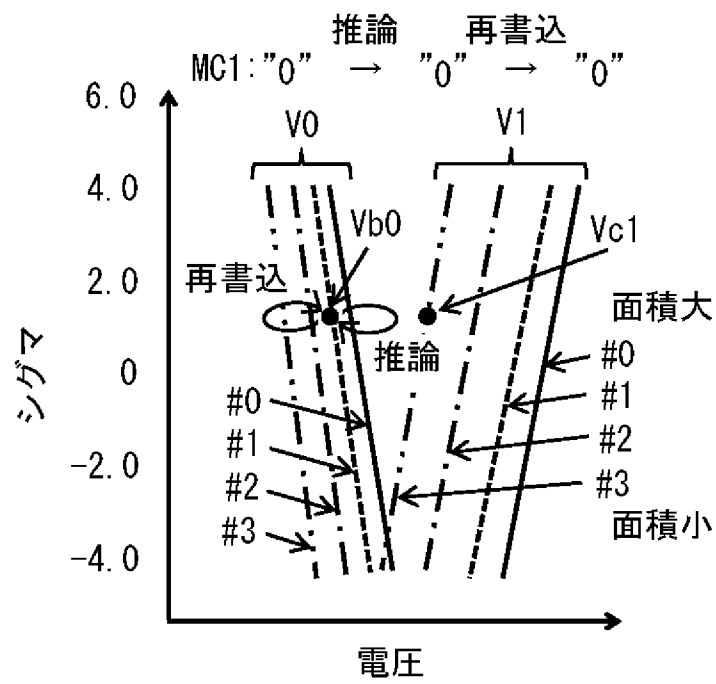
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/046621

A. CLASSIFICATION OF SUBJECT MATTER

G06G 7/16(2006.01)i; **G06G 7/60**(2006.01)i; **G06N 3/063**(2006.01)i; **G11C 11/22**(2006.01)i; **G11C 11/54**(2006.01)i
 FI: G06G7/16 510; G11C11/22 110; G11C11/54; G11C11/22 234; G06N3/063; G06G7/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06G7/16; G06G7/60; G06N3/063; G11C11/22; G11C11/54

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-219011 A (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 22 December 2016 (2016-12-22)	1-2, 5-6, 10-11
A	paragraphs [0025]-[0045], fig. 1-3A	3-4, 7-9
Y	JP 2004-157757 A (CANON INC.) 03 June 2004 (2004-06-03)	1-2, 5-6, 10-11
A	paragraphs [0045], [0046], fig. 4	3-4, 7-9
Y	JP 2004-30624 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 29 January 2004 (2004-01-29)	2, 6
A	paragraph [0042], fig. 1	1, 3-5, 7-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

22 February 2022

Date of mailing of the international search report

08 March 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/046621

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2016-219011	A	22 December 2016	US 2016/0343452 A1 paragraphs [0043]-[0063], fig. 1-3A	
				JP 2017-130195 A	
				JP 2020-80159 A	
				JP 2020-80162 A	
				JP 2020-109715 A	
				US 2019/0164620 A1	
				US 2020/0176069 A1	
JP	2004-157757	A	03 June 2004	(Family: none)	
JP	2004-30624	A	29 January 2004	US 2004/0084727 A1 paragraph [0093], fig. 1	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06G 7/16(2006.01)i; G06G 7/60(2006.01)i; G06N 3/063(2006.01)i; G11C 11/22(2006.01)i; G11C 11/54(2006.01)i FI: G06G7/16 510; G11C11/22 110; G11C11/54; G11C11/22 234; G06N3/063; G06G7/60		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G06G7/16; G06G7/60; G06N3/063; G11C11/22; G11C11/54		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2016-219011 A（株式会社半導体エネルギー研究所）22.12.2016（2016-12-22） 段落[0025]-[0045]，図1-3A	1-2, 5-6, 10-11 3-4, 7-9
Y A	JP 2004-157757 A（キヤノン株式会社）03.06.2004（2004-06-03） 段落[0045]-[0046]，図4	1-2, 5-6, 10-11 3-4, 7-9
Y A	JP 2004-30624 A（松下電器産業株式会社）29.01.2004（2004-01-29） 段落[0042]，図1	2, 6 1, 3-5, 7-11
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 22.02.2022		国際調査報告の発送日 08.03.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 佐賀野 秀一 5E 5878 電話番号 03-3581-1101 内線 3521

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/046621

引用文献			公表日	パテントファミリー文献	公表日
JP	2016-219011	A	22.12.2016	US 2016/0343452 A1 段落[0043]-[0063], 図1-3A	
				JP 2017-130195 A	
				JP 2020-80159 A	
				JP 2020-80162 A	
				JP 2020-109715 A	
				US 2019/0164620 A1	
				US 2020/0176069 A1	
JP	2004-157757	A	03.06.2004	(ファミリーなし)	
JP	2004-30624	A	29.01.2004	US 2004/0084727 A1 段落[0093], 図1	