

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 1 月 22 日(22.01.2015)



(10) 国際公開番号

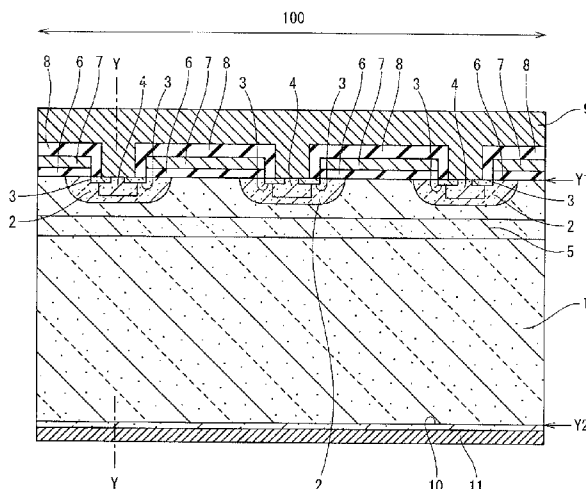
WO 2015/008458 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/739 (2006.01)
H01L 29/06 (2006.01)
- (21) 国際出願番号: PCT/JP2014/003649
- (22) 国際出願日: 2014 年 7 月 9 日(09.07.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-148334 2013 年 7 月 17 日(17.07.2013) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 吉川 功(YOSHIKAWA, Koh); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 鈴木 壯兵衛(SUZUKI, Sohbe); 〒1056032 東京都港区虎ノ門 4 丁目 3 番 1 号 城山トラストタワー 3 2 階 特許業務法人日栄国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図2]



(57) Abstract: This semiconductor device is provided with: a drift region (1) having a first conductivity type; a channel formation region (2) having a second conductivity type and selectively provided to the first primary surface of the drift region; a first primary electrode region (3) having the first conductivity type and selectively provided to the top of the channel formation region; a second primary electrode region (10) having the second conductivity type and provided to the second primary surface of the drift region; and a high-concentration region (5) having the first conductivity type and provided separated from the channel formation region to the drift region below the channel formation region. Also, the high-concentration region has a higher impurity concentration than the drift region, and has an impurity concentration such that the total quantity of impurities of the first conductivity type within the high-concentration region is no greater than $2.0 \times 10^{12} \text{ cm}^{-2}$.

(57) 要約: 半導体装置は、第 1 導電型のドリフト領域 (1) と、ドリフト領域の第 1 主面に選択的に設けられた第 2 導電型のチャネル形成領域 (2) と、チャ

ネル形成領域の上部に選択的に設けられた第 1 導電型の第 1 主電極領域 (3) と、ドリフト領域の第 2 主面に設けられた第 2 導電型の第 2 主電極領域 (10) と、チャネル形成領域の下のドリフト領域にチャネル形成領域から離れて設けられた第 1 導電型の高濃度領域 (5) とを備えている。そして、高濃度領域は、ドリフト領域よりも高い不純物濃度であり、かつ、高濃度領域中の第 1 導電型不純物の総不純物量が $2.0 \times 10^{12} \text{ cm}^{-2}$ 以下となる不純物濃度を有する。

WO 2015/008458 A1

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、半導体装置に関し、特に、逆阻止型絶縁ゲートバイポーラトランジスタを有する半導体装置に適用して有効な技術に関する。

背景技術

[0002] 近年、半導体素子を用いた、AC（交流）/AC変換やAC/DC（直流）変換、DC/AC変換などの電力変換装置において、電界コンデンサや直流リアクトルなどで構成される直流平滑回路が不要な直接変換回路として、例えばマトリクスコンバータが公知である。

マトリクスコンバータは、複数の交流スイッチから構成されている。交流スイッチには、交流電圧が印加されるため、順方向および逆方向の双方の耐圧（以下、順方向耐圧および逆方向耐圧とする）を有する構成が要求され、回路の小型化、軽量化、高効率化、高速応答化および低コスト化等の観点から、双方向スイッチング素子が着目されている。

このような双方向スイッチング素子として、例えば、逆阻止型絶縁ゲートバイポーラトランジスタ（以下、逆阻止IGBT：Insulated Gate Bipolar Transistorとする）を2つ逆並列に接続して構成されたスイッチが公知である。

[0003] 逆阻止IGBTを逆並列接続したスイッチ素子として用いる場合には、逆阻止IGBTは、IGBTとダイオードの働きを合わせ持つ。逆阻止IGBTをダイオードとして働かせる場合はIGBTのゲートにオン信号を与え、チャネルを常に関いた状態にしておく。これによって、逆阻止IGBTのpコレクタ領域－nドリフト領域－nチャネル領域－nエミッタ領域により、pnダイオードが構成される。

逆阻止IGBTのゲートにオン信号を印加して、ダイオードモードにして、このダイオードに順電流を流す。この順電流によりダイオードのドリフト

領域には過剰キャリアが蓄積される。その後で、ダイオードに逆電圧を印加すると、蓄積した過剰キャリアが掃き出されて、逆回復電流が流れて逆回復電圧が発生する。過剰キャリアが素早く掃き出され残留キャリアが少ないと逆回復電圧・電流は振動する。この振動が大きくなると、逆回復破壊が起こるので、この振動を小さく抑制することが望まれる。

[0004] 図11は、従来の逆阻止IGBTを示す断面図である。図11に示すように、逆阻止IGBTは、 n^- 型の半導体基板の外周端部に、活性領域310を囲む分離部330が設けられている。活性領域310には、 n^- 型のドリフト領域201、 p 型のベース領域202、 n^+ 型のエミッタ領域203および p 型のコレクタ領域210からなる縦型のIGBTが構成されている。分離部330には、例えば半導体基板のおもて面から裏面まで貫通する p 型の分離領域231が設けられている。分離領域231は、活性領域310の裏面に設けられたコレクタ領域210に接する。分離部330と活性領域310の間には、耐圧構造領域320が設けられている。耐圧構造領域320は、半導体装置を構成する pn 接合表面の電界強度を緩和し、所望の耐圧を実現する。

[0005] 図12は、図11に示す逆阻止IGBTの活性領域310について詳細に示す断面図である。活性領域310には、 n^- 型の半導体基板からなるドリフト領域201の表面に、 p 型のベース領域202が選択的に設けられている。ベース領域202は、ドリフト領域201よりも高い不純物濃度を有する。ベース領域202の表面には、 n^+ 型のエミッタ領域203および p^+ 型のボディ領域204が選択的に設けられている。ゲート電極207は、ゲート絶縁膜206を介して、エミッタ領域203およびベース領域202の一部を覆う。エミッタ電極209は、エミッタ領域203およびボディ領域204に接する。また、エミッタ電極209は、層間絶縁膜208によってゲート電極207と電氣的に絶縁されている。ドリフト領域201の第2主面Y2（裏面）には、 p 型のコレクタ領域210およびコレクタ電極211が設けられている。

[0006] このような逆阻止 IGBT は、浮遊帯域溶融 (FZ: Floating Zone) 法によって作製されたシリコン (Si) 基板を用いることで、オフ時にエミッタ側から拡がる空乏層がコレクタ側に到達しないノンパンチスルー (NPT: Non Punch Through) 型とすることができる。FZ 法によって作製されたシリコン基板を研削する技術が向上したことにより、シリコン基板の厚さを、例えば IGBT の定格電圧を 600 V とした場合に 100 μ m 程度、1200 V とした場合に 180 μ m 程度まで薄くすることができるからである。NPT 型 IGBT は、コレクタ領域の厚さを薄く、かつコレクタ領域の不純物濃度を低く形成することで、コレクタ領域からの少数キャリアの注入効率を下げ、輸送効率を上げる構成となっている。このように、NPT 型の逆阻止 IGBT とすることで、オン電圧特性とターンオフ損失とのトレードオフ関係による問題を改善し、オン電圧の低減およびターンオフ損失の低減をともに実現している。

[0007] このような逆阻止 IGBT として、半導体基板の表面に p ベース領域を形成し、この p ベース領域の表面に n⁺ エミッタ領域を形成し、この半導体基板の外周部と裏面側に、p ベース領域を取り囲むように p⁺ コレクタ領域 (側面に形成される p⁺ 領域と裏面側 p⁺ コレクタ領域) が形成され、裏面の p⁺ コレクタ領域の厚さを 1 μ m 程度とした装置が提案されている (例えば、下記特許文献 1 参照)。

また、別の装置として、次のような装置が提案されている。半導体基板が該半導体基板を一層とする層の両側に形成される順逆耐压用 p n 接合を少なくとも備え、これらの両 p n 接合の耐压接合終端構造が分離拡散領域により前記半導体基板の第一主面側に備える高耐压半導体装置において、前記半導体基板を一層とする層が第一主面から内部に向かって実質的に一定の不純物濃度分布または不純物濃度が内部に向かって減少する領域を有している (例えば、下記特許文献 2 参照)。

[0008] 図 13 は、従来の逆阻止 IGBT の別の一例を示す断面図である。図 13 に示す逆阻止 IGBT では、ドリフト領域 201 とベース領域 202 の間に

、 n 型のシェル領域301が設けられている。シェル領域301は、ドリフト領域201よりも高い不純物濃度を有する。ドリフト領域201とコレクタ領域210の間には、 n 型のバッファ領域302が設けられている。バッファ領域302は、ドリフト領域201よりも高い不純物濃度を有する。それ以外の構成は、図11に示す逆阻止IGBTと同様である。このように、ドリフト領域201とベース領域202との界面、またはドリフト領域201とコレクタ領域210との界面、もしくはその両方の界面に、ドリフト領域201と同一導電型で、ドリフト領域201より高い不純物濃度の領域（シェル領域301、バッファ領域302）を設けることで、特性向上を図ったIGBTが公知である。

[0009] このようなIGBTとして、次のような装置が提案されている。導電型が交互に異なる互いに重なり合う領域からなるIGBTは、パンチスルーに対して寸法決定されており、2つの緩衝層を備えている。緩衝層は、ドリフト領域と同じ導電型で高不純物濃度にドーピングされている。それによって、構造素子は、対照的に遮断されるようになっている。また、順方向耐圧および逆方向耐圧がほぼ同様の値となるIGBTとすることができる（例えば、下記特許文献3参照）。

また別の装置として、次のような装置が提案されている。上記緩衝層を有するIGBTであって、順方向・逆方向ともにパンチスルーしないように寸法決定されており、緩衝層は、ドリフト領域と同じ導電型で高不純物濃度にドーピングされている（例えば、下記特許文献4参照）。

[0010] また別の装置として、次のような装置が提案されている。 p ベース領域と n ドリフト領域との境界の少なくとも一部に n ドリフト領域と同じ導電型で、より高不純物濃度の高濃度領域を設けている。これにより、チャンネル長を短縮し、オン状態の電圧降下を低減する（例えば、下記特許文献5参照）。

また、別の装置として、次のような装置が提案されている。 n ドリフト領域の p ベース領域近傍に n ドリフト領域と同じ導電型で、より高不純物濃度の高濃度領域を設けている。これにより、オン状態の電圧降下を低減する（

例えば、下記特許文献 6 参照）。

[0011] また、別の装置として、次のような装置が提案されている。n ベース層の p コレクタ領域に近い部分に短寿命領域を形成する。短寿命領域は、n 型で n ベース層よりも高濃度にドーピングされている。これにより、NPT 型 IGBT の漏れ電流を低減する（例えば、下記特許文献 7 参照）。

また、別の装置として、次のような装置が提案されている。n ベース層の p コレクタ領域に近い部分に n ドリフト領域と同じ導電型で、より高不純物濃度の高濃度領域を設けている。これにより、コレクタ領域に部分的な欠損があっても、オン状態の電圧降下特性の上昇や耐圧特性の低下に影響が出にくくする（例えば、下記特許文献 8 参照）。

また、別の装置として、NPT 型 IGBT において、p ベース領域側の n- ドリフト領域に n+ 領域を設けることでオン電圧とオフ電圧（順方向電圧）の双方を改善できることが記載されている（例えば、下記特許文献 9 参照）。

[0012] しかしながら、上述した特許文献 4 に示す技術では、IGBT のラッチアップ耐量向上の目的で p ベース層ないに形成される高濃度 p 型ボディ領域の影響で、順方向漏れ電流に対して、逆方向漏れ電流が大きくなるという問題点がある。

また、上述した特許文献 3 に示す技術では、次に示すような問題が生じる。図 13 に示した基板底面からの高さ y と電界強度 E との関係を示す特性図を用いて説明する。図 13 に示す逆阻止 IGBT では、シェル領域 301 およびバッファ領域 302 が設けられていることで、半導体基板内の電界が急激に高くなってしまふ。例えば、順バイアス時（図 13 の実線）、ベース領域 202 とシェル領域 301 の界面近傍の領域で、電界が急激に高くなってしまふ。一方、逆バイアス時（図 13 の点線）、コレクタ領域 210 とバッファ領域 302 の界面近傍の領域で、電界が急激に高くなってしまふ。このため、順方向耐圧および逆方向耐圧が低減してしまふことが多い。すなわち、シェル領域 301 およびバッファ領域 302 により、実際に得ることができるはずの順方向耐圧および逆方向耐圧を実現することができない恐れが生

じる。

[0013] このような問題は、ドリフト領域の不純物濃度を低くすることで回避することができることが知られている。しかしながら、ドリフト領域の不純物濃度を低くすることで、半導体装置の動作中に空乏層がバッファ領域302に達し、リーチスルー現象が発生してしまう。このため、ターンオフ時の電圧波形および電流波形（以下、ターンオフ波形とする）が振動してしまうという問題が生じる。また、逆阻止IGBTは、オン状態から逆阻止状態に切り換わるとき、過渡的に大きな電流が流れる特性（逆回復特性）を有する。このため、逆回復時の電圧波形および電流波形（以下、逆回復波形とする）が振動しやすいという問題が生じる。ターンオフ波形および逆回復波形が振動した場合、ノイズが発生してしまったり、電圧波形の振動が非常に大きくなったときに半導体装置が破壊されたりする恐れが生じる。

[0014] また、上述した特許文献3に示す技術では、n型シェル領域201に重なるようにp型ベース領域を形成するために、n型シェル領域201の濃度および深さ制御が困難であるという問題点を有する。また、一般的にターンオフ耐量向上の目的で活性領域端部に形成される、エミッタ電極に接続された深いp型領域の部分に関する記述がなく、深いp型領域を覆うようにn型シェル領域201を形成するためには形成プロセスの煩雑化を生じることが懸念され、深いp型領域を覆うようにn型シェル領域201を形成しない場合には、逆漏れ電流の低減が限定的であることが懸念される。

同様の懸念点は、上述した特許文献6に示す技術を逆阻止IGBTに用いても考慮可能である。

また、上述の特許文献9に示す技術では、逆阻止IGBTについての記載はない。したがって、逆電圧が印加されたときのn⁺領域の作用および逆漏れ電流については記載されていない。

先行技術文献

特許文献

[0015] 特許文献1：特開2002-319676号公報

特許文献2：特開2006-080269号公報

特許文献3：特表2002-532885号公報

特許文献4：特開2011-155257号公報

特許文献5：特開平09-326486号公報

特許文献6：特開2007-311627号公報

特許文献7：特開平09-260662号公報

特許文献8：特開2002-246597号公報

特許文献9：特開2008-258262号公報

発明の概要

発明が解決しようとする課題

- [0016] この発明は、上述した従来技術による問題点を解消するため、逆方向漏れ電流を低減することを目的とする。

課題を解決するための手段

- [0017] 上述した課題を解決し、本発明の目的を達成するため、本発明の一態様に係る半導体装置は、互いに反対側に位置する第1主面及び第2主面を有する第1導電型のドリフト領域と、ドリフト領域の第1主面に選択的に設けられた第2導電型のチャネル形成領域と、チャネル形成領域の上部に選択的に設けられた第1導電型の第1主電極領域と、ドリフト領域の第2主面に設けられた第2導電型の第2主電極領域と、チャネル形成領域の下のドリフト領域にチャネル形成領域から離れて設けられた第1導電型の高濃度領域と、ドリフト領域の外周であってチャネル形成領域を取り囲むように設けられ、第1主電極領域に接続された第2導電型の引き抜き領域と、引き抜き領域の外周であって引き抜き領域を取り囲むように設けられ、順方向耐压構造と逆方向耐压構造とを含む耐压構造領域と、耐压構造領域の外周であって、ドリフト領域の外周端部に設けられ、ドリフト領域の第1主面から第2主面まで貫通し、第2主電極領域に接する第2導電型の分離領域と、を備え、高濃度領域は、ドリフト領域よりも高い不純物濃度であり、かつ、高濃度領域中の第1導電型不純物の総不純物量が $2.0 \times 10^{12} \text{ cm}^{-2}$ 以下となる不純物濃度を

有することを特徴としている。

発明の効果

[0018] 本発明に係る半導体装置によれば、逆方向漏れ電流を低減することができるという効果を奏する。

図面の簡単な説明

[0019] [図1]本発明の第1の実施形態に係る半導体装置（逆阻止IGBT）の概略構成を示す要部断面図である。

[図2]図1の半導体装置の活性領域について詳細に示す要部断面図である。

[図3]図1の半導体装置の耐圧構造領域について詳細に示す要部断面図である。

[図4]図1の半導体装置の活性領域における電界強度を示す特性図である。

[図5]図2の切断線Y-Yにおける不純物濃度の分布を示す不純物濃度プロファイル図である。

[図6]図1の半導体装置において、第1導電型の高濃度領域の総ドーズ量と順方向耐圧との関係について示す特性図である。

[図7]図1の半導体装置において、第1導電型の高濃度領域の総ドーズ量と逆方向漏れ電流との関係について示す特性図である。

[図8]図1の半導体装置において、第1導電型の高濃度領域の端部の位置と、順方向耐圧との関係を示す特性図である。

[図9]図1の半導体装置において、第1導電型の高濃度領域の端部の位置と、逆方向漏れ電流との関係を示す特性図である。

[図10]本発明の第2の実施形態に係る半導体装置（逆阻止IGBT）の概略構成を示す要部断面図である。

[図11]従来の逆阻止IGBTを示す断面図である。

[図12]図11に示す逆阻止IGBTの活性領域について詳細に示す断面図である。

[図13]従来の逆阻止IGBTの別の一例を示す断面図である。

発明を実施するための形態

[0020] 以下、本発明の第1および第2の実施形態に係る半導体装置について、図面を参照して詳細に説明する。

本明細書において、「主電極領域」とは、I G B Tにおいてエミッタ領域又はコレクタ領域の何れか一方となる低比抵抗の半導体領域を意味する。電界効果トランジスタ（F E T）においては、ソース領域又はドレイン領域の何れか一方となる半導体領域を意味するので「半導体装置」に依拠した名称となる。より具体的には、上記の「一方となる半導体領域」を「第1主電極領域」として定義すれば、「他方の半導体領域」は、「第2主電極領域」となる。すなわち、「第2主電極領域」とはI G B Tにおいては第1主電極領域とはならないエミッタ領域又はコレクタ領域の何れか一方となる半導体領域、F E Tにおいては上記第1主電極領域とはならないソース領域又はドレイン領域の何れか一方となる半導体領域を意味する。以下の第1及び第2の実施形態では、逆阻止I G B Tに着目して説明するので、エミッタ領域を「第1主電極領域」、コレクタ領域を「第2主電極領域」と呼ぶ。

[0021] 以下の第1および第2の実施形態の説明では、第1導電型がn型、第2導電型がp型の場合について例示的に説明するが、導電型を逆の関係に選択して、第1導電型をp型、第2導電型をn型としても構わない。

また、本明細書および添付図面においては、n又はpを冠記した層や領域では、それぞれ電子又は正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、+および-の付記されていない半導体領域に比してそれぞれ相対的に不純物濃度が高い又は低い半導体領域であることを意味する。

[0022] なお、以下の第1および第2の実施形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

また、第1および第2の実施形態で説明される添付図面は、見易く又は理解し易くするために正確なスケール、寸法で描かれていない。本発明はその要旨を超えない限り、以下に説明する第1および第2の実施形態の記載に限定されるものではない。

以下の第1の実施形態では、本発明の「半導体装置」としてプレーナゲート型の逆阻止IGBTに着目して例示的に説明し、以下の第2の実施形態では、本発明の「半導体装置」としてトレンチゲート型逆阻止IGBTに着目して例示的に説明する。

[0023] (第1の実施形態)

図1に示すように、本発明の第1の実施形態に係る半導体装置は、第1導電型(n⁻型)のドリフト領域1となる半導体基板を主体にしたプレーナゲート型の逆阻止IGBTである。また、本発明の第1の実施形態に係る半導体装置(逆阻止IGBT)は、ドリフト領域1となる半導体基板上に、活性領域100と、活性領域100の外側に設けられた耐圧構造領域120と、耐圧構造領域120の外側に設けられた分離部130とを備えている。半導体基板の厚さは、例えば600V耐圧クラスの逆阻止IGBTの特性に悪影響を及ぼさないためには、例えば90 μ m以上であればよい。半導体基板としては、例えば単結晶シリコンからなる半導体基板が用いられている。

[0024] 活性領域100には、ドリフト領域1の互いに反対側に位置する第1主面Y1(表面)及び第2主面Y2(裏面)のうちの第1主面Y1側の表層部に設けられた第2導電型(p型)のチャネル形成領域2、第1導電型(n⁺型)の第1主電極領域3、およびドリフト領域1の第2主面Y2(半導体基板の裏面側の表層部)に設けられた第2導電型(p型)の第2主電極領域10からなる縦型のIGBTが構成されている。「チャネル形成領域2」は、IGBTにおいてはベース領域を意味するが、IGBT以外の半導体装置においてはIGBTのベース領域に等価な表面にチャネルが形成される領域を意味する。また、「第1主電極領域3」、「第2主電極領域10」は、冒頭で述べたとおりIGBTのそれぞれエミッタ領域、コレクタ領域を意味する。活性領域100の詳細な説明については後述する。

[0025] 耐圧構造領域120は、活性領域100と分離部130との間で、活性領域100を囲む。耐圧構造領域120は、半導体装置を構成するpn接合表面の電界強度を緩和し所望の耐圧を実現している。耐圧構造領域120の詳細

細な説明については後述する。

分離部 130 は、半導体基板の外周端部に設けられ、活性領域 100 を囲む。また、分離部 130 は、例えば個々のチップにダイシングされる際に半導体基板の側面に生じた結晶欠陥と活性領域 100 とを分離する。分離部 130 には、第 2 導電型（p 型）の分離領域 31 が設けられている。分離領域 31 は、ドリフト領域 1 の外周端部に設けられ、ドリフト領域 1 の第 1 主面 Y1 から第 2 主面 Y2（表面から裏面）まで貫通する。また、分離領域 31 は、活性領域 100 の裏面に設けられたコレクタ領域としての p 型の第 2 主電極領域 10 に接する。分離領域 31 を設けることで、逆方向電圧の印加時、空乏層が半導体基板の裏面（ドリフト領域 1 の第 2 主面 Y2 側）に設けられた第 2 主電極領域（コレクタ領域）10 から分離領域 31 に沿って伸びる。このため、空乏層が半導体基板の切断面に到達することを防ぐことができ、漏れ電流の発生を防止する。これにより、本発明の第 1 の実施形態に係る半導体装置（逆阻止 IGBT）は逆方向耐圧を得ることができる。

[0026] 本発明の第 1 の実施形態に係る半導体装置（逆阻止 IGBT）は、ドリフト領域 1 に設けられた第 1 導電型（n 型）の高濃度領域（ライフタイム制御領域）5 を備えている。

次に、図 1 に示す本発明の第 1 の実施形態に係る半導体装置（逆阻止 IGBT）の活性領域 100 について、図 2 を用いて説明する。

図 2 に示すように、活性領域 100 には、ドリフト領域 1 となる半導体基板の表面（ドリフト領域 1 の第 1 主面 Y1 側）に、ベース領域としての第 2 導電型（p 型）のチャネル形成領域 2 が選択的に設けられている。チャネル形成領域 2 は、ドリフト領域 1 よりも高い不純物濃度を有する。チャネル形成領域 2 の上部には、エミッタ領域としての第 1 導電型（n⁺ 型）の第 1 主電極領域 3、および第 2 導電型（p⁺ 型）のボディ領域 4 が選択的に設けられている。ボディ領域 4 は、第 1 主電極領域 3 の下の領域の一部を占める。また、ボディ領域 4 は、チャネル形成領域 2 よりも高い不純物濃度を有する。

[0027] n 型の高濃度領域 5 は、ドリフト領域 1 中のチャネル形成領域 2 側に設け

られている。また、n型の高濃度領域5は、チャネル形成領域2の下の領域を占めるように設けられるのがよい。つまり、n型の高濃度領域5は、第2主電極領域（コレクタ領域）10から広がる空乏層がp型のチャネル形成領域2に近づくのを阻害するように設けられるのがよい。その理由は、第2主電極領域（コレクタ領域）10からチャネル形成領域2へ向かって広がる空乏層の伸びを短くし、輸送効率を低減することができるからである。これによって、逆方向電圧印加時の漏れ電流を低減することができるからである。このようなn型の高濃度領域5は、ドリフト領域1の第1主面Y1側もしくは第2主面Y2（半導体基板の表面側もしくは裏面側）から所定の量の高エネルギーのプロトンを照射し、所定の熱処理を行うことでドリフト領域1の任意の深さに任意の濃度で形成することが可能である。また、ドリフト領域1の一部にのみn型の高濃度領域5を形成する場合には、プロトン遮蔽物（たとえば、アルミニウムやレジスト等）を所定の場所におくことで可能である。

[0028] また、n型の高濃度領域5は、ドリフト領域1よりも高い不純物濃度を有する。そして、n型の高濃度領域5は、チャネル形成領域2から第2主電極領域（コレクタ領域）10に向かって空乏層が広がった場合に、完全に空乏化する不純物濃度を有する。n型の高濃度領域5の総不純物量は、ドリフト領域1がシリコンの場合、最高でも $2.0 \times 10^{12} \text{ cm}^{-2}$ 以下にする必要がある。n型の高濃度領域5の最大の総不純物量は1次元のポアソン方程式から、下記のように表される。

[0029] [数1]

$$E = \frac{qN_D x}{\epsilon_{Si} \epsilon_0} \quad \dots (1)$$

したがって、

[0030] [数2]

$$N_D x = \frac{\epsilon_{Si} \epsilon_0 E_{crit}}{q} \quad \dots (2)$$

[0031] ここで、 E ：電界強度、 E_{crit} ：臨界電界強度、 q ：素電荷、 N_D ：ドナー濃度、 x ：空乏層の伸びる距離、 ϵ_{Si} ：シリコンの比誘電率、 ϵ_0 ：真空の誘電率、 N_{Dx} ：総不純物量

式（２）に物性値を代入すれば、総不純物量 $\div 2.0 \times 10^{12} \text{ cm}^{-2}$ が求まる。

さらに、 n 型の高濃度領域５は n 型の高濃度領域５中の不純物量が n 型の高濃度領域５中のある領域に片寄って分布されていたとしても、 n 型の高濃度領域５全体に含まれる n 型不純物の総不純物量が $2.0 \times 10^{12} \text{ cm}^{-2}$ 以下となるように n 型の高濃度領域５中に含まれていればよく、 n 型の高濃度領域５の不純物濃度分布によらない。

[0032] 半導体基板の表面（ドリフト領域１の第１主面 Y_1 ）上には、第１主電極領域３からドリフト領域１を跨ぐように、絶縁膜としてのゲート絶縁膜６を介して第１電極としてのゲート電極７が設けられている。第２電極としてのエミッタ電極９は、第１主電極領域３に接する。また、エミッタ電極９は、ボディ領域４を介してチャネル形成領域２に電氣的に接続されている。エミッタ電極９は、層間絶縁膜８によってゲート電極７と電氣的に絶縁されている。また、ドリフト領域１の第２主面 $2Y$ （半導体基板の裏面）には、上述したように第２主電極領域１０が設けられている。第３電極としてのコレクタ電極１１は、第２主電極領域１０に接する。

[0033] 次に、本発明の第１の実施形態に係る半導体装置（逆阻止ＩＧＢＴ）の耐圧構造領域１２０について、図３を用いて説明する。

活性領域１００の終端部にはエミッタ電極９と同電位の深い p^+ 型の引き抜き領域（ウェル領域）２３が所定の幅で形成されている。この引き抜き領域２３は、エミッタ電極９と電氣的に接続され、かつ、エミッタ電極９を介して第１主電極領域３と電氣的に接続されている。この引き抜き領域２３はチャネル形成領域２と同時に形成されることが多く、順電圧が印加されたとき耐圧構造領域１２０のキャリアを効率的に引き抜く働きをする引き抜き領域である。この耐圧構造領域１２０には、ドリフト領域１の第１主面 Y_1 （半

導体基板の表面)に、フローティング領域である第2導電型(p型)のフィールドリミットリング領域(以下、FLR:Field Limiting Ringとする)21が複数設けられている。FLR21は、活性領域100を囲むようにしてリング状に設けられている。ドリフト領域1の第1主面Y1(おもて面)の、FLR21が設けられていない表面は、層間絶縁膜8で覆われている。層間絶縁膜8の上には、フローティングの導電膜であるフィールドプレート(以下、FP:Field Plateとする)22が設けられている。FP22は、FLR21に接する。耐圧構造領域120から分離部130にかけて、層間絶縁膜8の上には、分離領域31と同じ電位を有するフィールドプレート(以下、等電位FPとする)32が設けられている。等電位FP32は、分離領域31に接し、電氣的に接続されている。また、耐圧構造領域120は、活性領域に近い側を順方向耐圧構造領域121、分離領域31に近い側を逆方向耐圧構造領域122と便宜的に称することにする。ここでは両耐圧構造領域121, 122は便宜的にオーバーラップさせていないが、実素子では互いにオーバーラップすることもできる。

[0034] 図4は、本発明の第1の実施形態に係る半導体装置(逆阻止IGBT)の活性領域100における電界強度Eを示す特性図である。図4では、図2に示す本発明の第1の実施形態に係る半導体装置(逆阻止IGBT)の活性領域100における、半導体基板底面からの高さyと電界Eとの関係を示す。図2に示す本発明の第1の実施形態に係る半導体装置(逆阻止IGBT)では、逆バイアス時(図4の点線)、n型の高濃度領域5の近傍で空乏層をとめることが可能である。チャネル形成領域2に到達しなければ、n型の高濃度領域5を超えて、チャネル形成領域2側に伸びても良いし、n型の高濃度領域5よりチャネル形成領域2には、電界が及ばないようにすることもできる。一方、順バイアス時(図4の実線)、n型の高濃度領域5によって、ある程度、空乏層の伸び幅が抑制されるが、所定の耐圧を維持することができる。その理由は、上述した条件でn型の高濃度領域5が設けられているから

である。

[0035] 次に、本発明の第1の実施形態に係る半導体装置（逆阻止IGBT）の電流特性について検証した。本発明の第1の実施形態に従い、逆阻止IGBTを準備した（以下、実施例とする）。定格電圧は600Vとした。半導体基板の抵抗率および厚さを、それぞれ $30\ \Omega\text{cm}$ および $100\ \mu\text{m}$ とした。つまり、ドリフト領域1の抵抗率を $30\ \Omega\text{cm}$ としている。以下、図5～図9において同様の逆阻止IGBTを用いている。

さらに詳細にn型不純物の総不純物量の与える影響に関して調査した結果を図5から図7に示す。図5は、図2の切断線Y-Yにおける不純物濃度の分布を示す不純物濃度プロファイル図である。実施例の600Vクラス逆阻止IGBTにおいて、半導体基板中の不純物濃度を測定した。この不純物濃度から、n型の高濃度領域5の総ドーズ量を算出した。ここで、n型の高濃度領域5の総ドーズ量とは、n型の高濃度領域5を1回のイオン注入で形成する場合はそのイオン注入のドーズ量であり、複数回のイオン注入によりn型の高濃度領域を形成する場合は各々のイオン注入のドーズ量の総和のことである。

図5において、第1測定結果41は、ドリフト領域1の不純物濃度の分布である。第2測定結果42は、チャネル形成領域2およびボディ領域4の不純物濃度の分布である。第3測定結果43は、第2主電極領域10の不純物濃度の分布である。第4測定結果44は、n型の高濃度領域5の不純物濃度の分布である。これより、n型の高濃度領域5は表面から約 $10\ \mu\text{m}$ の位置に形成されていることがわかる。

[0036] ついで、第4測定結果44の深さごとの不純物濃度を積分し、n型の高濃度領域5の総ドーズ量を算出した。図5に示す不純物濃度の分布は、半導体基板中で、導電型不純物が深さ方向にどのような不純物濃度で存在しているかを示している。図5の第4測定結果44では、基板面に近い領域で不純物濃度が低く、そこから離れるほど不純物濃度が高くなり、再び、不純物濃度が低くなっている。このため、第4測定結果44の深さごとの不純物濃度を

積分することで、単位面積当たりの n 型の高濃度領域 5 の総不純物量を算出することができる。つまり、n 型の高濃度領域 5 内の不純物濃度の分布が深さ方向に均一でない場合でも、n 型の高濃度領域 5 全体の総不純物量を算出することができる。このように算出した n 型の高濃度領域 5 の総不純物量から、ドリフト領域 1 の高濃度領域 5 部分の総不純物量を減算した値が、n 型の高濃度領域 5 の総ドーズ量となる。

すなわち、図 5 に示す第 4 測定結果 4 4 の不純物濃度の分布の分布形状内の領域 4 0（図 5 の斜線部）が、n 型の高濃度領域 5 の総ドーズ量である。ここで、ドリフト領域 1 の高濃度領域 5 部分の総不純物量とは、n 型の高濃度領域 5 が設けられる領域中の、ドリフト領域 1 の総不純物量である。ドリフト領域 1 の総不純物量は、n 型の高濃度領域 5 と同様の方法で算出している。

[0037] 図 6 は、n 型の高濃度領域 5 の総ドーズ量と順方向耐圧との関係について示す特性図である。n 型の高濃度領域 5 の総ドーズ量を種々変更し、実施例の逆阻止 IGBT を複数準備した。n 型の高濃度領域 5 の総ドーズ量を、それぞれ $1 \times 10^{11} \sim 1.2 \times 10^{12} \text{ cm}^{-2}$ とし、n 型の高濃度領域 5 の位置は、チャネル形成領域 2 から $10 \mu\text{m}$ の位置とした。そして、それぞれ順方向耐圧を、ゲートーエミッタを短絡した状態で測定した。また、比較として、n 型の高濃度領域 5 が設けられていない逆阻止 IGBT を準備し（以下、比較例とする）、順方向耐圧を測定した。図 6 では、比較例の逆阻止 IGBT を、総ドーズ量ゼロとして示している。

図 6 に示す結果より、n 型の高濃度領域 5 を設けることで、順方向耐圧が低減することがわかった。その理由は、ドリフト領域 1 のチャネル形成領域 2 に近い領域に n 型の高濃度領域 5 を設けることで、チャネル形成領域 2 から第 2 主電極領域 1 0 に向かってドリフト領域 1 中を伸びる空乏層が短くなるためである。n 型の高濃度領域 5 の総ドーズ量は、 $4 \times 10^{11} \text{ cm}^{-2}$ 以下とすることで定格電圧以上を確保可能なことがわかった。

[0038] 図 7 は、n 型の高濃度領域 5 の総ドーズ量と逆方向漏れ電流との関係につ

いて示す特性図である。図6で用いた実施例の逆阻止IGBTにおいて、逆方向漏れ電流を測定した。図7では、比較例の逆阻止IGBTを、総ドーズ量ゼロとして示している。また、コレクターエミッタ電圧を -600V とし、ゲートエミッタを短絡した状態で測定した。

図7に示す結果より、 n 型の高濃度領域5を設けることによって、逆方向漏れ電流が小さくなることがわかった。また、 n 型の高濃度領域5の総ドーズ量が約 $4.0 \times 10^{11} \text{cm}^{-2}$ 程度までは逆漏れ電流が急激に減少し、 $4.0 \times 10^{11} \text{cm}^{-2}$ 以上では逆漏れ電流の減少が緩やかであることがわかった。

図6および図7の結果より、 n 型の高濃度領域5の総ドーズ量は $4.0 \times 10^{11} \text{cm}^{-2}$ 以下で $4.0 \times 10^{11} \text{cm}^{-2}$ に近いことが望ましいといえる。

[0039] 次に、 n 型の高濃度領域5の形成領域の与える影響に関して調査した結果を図8および図9に示す。ここでは、耐压構造領域120をエミッタ電極9と同電位となる引き抜き領域23の外周端からコレクタ電極11と同電位となる分離領域31の内周端までとし、 n 型の高濃度領域5の端部の位置を耐压構造領域120に対する相対位置で表した。すなわち、エミッタ電極9と同電位となる引き抜き領域23の外周端部を0、コレクタ電極11と同電位となる分離領域31の内周端を1とした時の n 型の高濃度領域5の端部の位置を L として表した(図3)。従って、 n 型の高濃度領域5の端部の位置 L が負の値は、活性領域下で n 型の高濃度領域5が終わっていることを表し、 n 型の高濃度領域5の端部の位置 L が1より大きい事は、 n 型の高濃度領域5が、分離領域31の内周端より外側に張り出していることを表している。

[0040] 図8は、 n 型の高濃度領域5の端部の位置 L と、順方向耐压との関係を示す特性図であり、図9は n 型の高濃度領域5の端部の位置 L と逆方向漏れ電流との関係を示す特性図である。ここで、 n 型の高濃度領域5の総ドーズ量は $2 \times 10^{11} \text{cm}^{-2}$ である。また、耐压構造領域120は上述したように順方向耐压構造領域121と逆方向耐压構造領域122からなり、各々、所定の順方向耐压、逆方向耐压、および、耐電荷性が得られるように最適化して

設計される。

図8より、順方向耐圧はn型の高濃度領域5の端部の位置Lが活性領域端部より活性領域内部あるいはわずかに活性領域側にある時に最も高い値を示している。順方向耐圧が低下し始める位置は、n型の高濃度領域5が引き抜き領域23にかかりはじめる位置であった。また、n型の高濃度領域5を活性領域端部まで設けても順方向耐圧の低下量は1%程度であることがわかった。また、順方向耐圧構造領域121側から耐圧構造領域120の幅Wの36%以上までn型の高濃度領域5を張り出した場合に、順方向耐圧は12%程度まで低下するが、これ以上張り出しても安定した値を取ることがわかった。

[0041] 図9より、逆方向漏れ電流はn型の高濃度領域5の端部の位置Lが活性領域100の端部より内側にあっても低下している。しかし、n型の高濃度領域5が活性領域100の端部から張り出す(Lが+になると)と逆方向漏れ電流の減少量は緩やかになり始める。n型の高濃度領域5を活性領域端部(L=0)まで設けた場合(任意スケールで0.9基準にした場合)の逆方向漏れ電流の低減量は23% ($(0.9 - 0.69) / 0.9 \times 100$)であり、最大低減量(28% = $(0.9 - 0.65) / 0.9 \times 100$)の82% = $(23 / 28) \times 100$ で80%以上であった。また、耐圧構造領域120の幅Wの36%以上になった場合に28%程度減少し、これ以上張り出してもほとんど変化しなくなることが分かった。

[0042] 図8および図9の結果から、n型の高濃度領域5を活性領域端部まで設けて、端部の位置Lを活性領域の端部を基準(L=0)にして、耐圧構造領域120の幅Wの+10%から-10%の範囲にすることで、順方向耐圧の低下量を抑制しながら、逆方向漏れ電流の低減を図ることができる。さらに、好ましくは、耐圧構造領域120の幅Wの+5%から-5%の範囲にするとよい。

また、n型の高濃度領域5の端部の位置Lを耐圧構造領域120の幅Wの36%以上とすることで、n型の高濃度領域5の幅がばらついた場合でも、

安定的に順方向耐圧と逆方向漏れ電流を維持できる。

[0043] 以上、説明したように、本発明の第1の実施形態に係る半導体装置（逆阻止IGBT）によれば、第1主電極領域（エミッタ領域）3と第2主電極領域（コレクタ領域）10との間におけるドリフト領域1のチャネル形成領域（ベース領域）2に近い領域に、所定の濃度のn型の高濃度領域5を設けることで、所定の順方向耐圧を維持したままで、逆方向漏れ電流を低減することが可能となる。実施例では、図6に示すように、n型の高濃度領域5中のn型不純物の総ドーズ量が $4.0 \times 10^{11} \text{ cm}^{-2}$ となる不純物濃度を有するn型の高濃度領域5を設けることで、n型の高濃度領域5を設けない場合に対して、順方向耐圧が600Vで、逆方向漏れ電流を約60%低減することが可能である。

[0044] また、第2主電極領域（コレクタ領域）10から、チャネル形成領域2に向かって空乏層が伸びた場合に、n型の高濃度領域5とチャネル形成領域2の間に中性領域が残り過剰キャリアの残留することでソフトリカバリーとなり、逆回復時の電圧・電流波形の振動が抑制される。

また、n型の高濃度領域5を活性領域100の端部まで設けることで、順方向耐圧の低下量を抑制しながら、逆方向漏れ電流を低減することが可能であることが分かった。また、n型の高濃度領域5を耐圧構造領域120の幅Wの36%以上まで設けることで、n型の高濃度領域5の幅がばらついた場合でも、安定的に順方向耐圧と逆方向漏れ電流が得られることがわかった。

[0045] 尚、ドリフト領域1は、定格電圧と等しい逆方向電圧が印加された時、第2主電極領域10から引き抜き領域23（引き抜き領域）に向かって拡がる空乏層がこの引き抜き領域に到達しない抵抗率を有するようにする。

以上、実施例の説明では、プレーナゲート型逆阻止IGBTをモデルとしたが、ゲート電極がドリフト領域1に形成された溝内に埋設されているトレンチゲート型逆阻止IGBTであってもかまわない。また、本発明では、n型とp型をすべて逆転した構成としてもよい。

尚、上述のn型の高濃度領域5は、例えば、選択的なプロトン照射と熱処

理によるドナー化によって形成することができる。

[0046] (第2の実施形態)

本発明の第2の実施形態に係る半導体装置を、図10を用いて説明する。図10は、図2に相当する断面図であり、図1のプレーナゲート型の逆阻止IGBTの活性領域100をトレンチゲート型IGBTにした場合の活性領域の構成を示す断面図である。

図10に示すように、本発明の第2の実施形態に係る半導体装置は、第1導電型(n⁻型)のドリフト領域1aとなる半導体基板を主体にしたトレンチゲート型の逆阻止IGBTである。また、本発明の第2の実施形態に係る半導体装置(逆阻止IGBT)は、詳細に図示していないが、本発明の第1の実施形態に係る半導体装置と同様に、ドリフト領域1aとなる半導体基板上に、図1に示す活性領域100と、活性領域100の外側に設けられた耐压構造領域120と、耐压構造領域120の外側に設けられた分離部130とを備えている。

[0047] 耐压構造領域の構成は、上述のプレーナゲート型の逆阻止IGBTと同様である。活性領域100には、第1導電型(n⁻型)のドリフト領域1aとなる半導体基板のおもて面(ドリフト領域1aの第1主面Y1)に、複数のトレンチ溝12が所定の間隔で設けられている。半導体基板のおもて面の表面層には、第2導電型(p型)のチャネル形成領域2aがトレンチ溝12に挟まれるように設けられている。p型のチャネル形成領域2aは、n⁻型のドリフト領域1aよりも高い不純物濃度を有する。隣り合うトレンチ溝12に挟まれた部分においてp型のチャネル形成領域2aの基板おもて面側の表面層には、第1導電型(n⁺型)の第1主電極領域3aおよび第2導電型(p⁺型)のボディ領域4aが選択的に設けられる。p⁺型のボディ領域4aは、p型のチャネル形成領域2aよりも高い不純物濃度を有する。p型のチャネル形成領域2aの、隣り合うトレンチ溝12に挟まれた部分には、n⁺型の第1主電極領域3aおよびp⁺型のボディ領域4aが設けられた構成の部分と、この構成からn⁺型の第1主電極領域3aがない構成の部分とが交互に並んで設け

られている。

[0048] n 型の高濃度領域5は、 n^- 型のドリフト領域1aと p 型のチャネル形成領域2aとの間の表面に近い領域に設けられる。第2電極としてのエミッタ電極9aは、 n^+ 型の第1主電極領域3aおよび p^+ 型のボディ領域4aの表面に共通に接する。また、エミッタ電極9aは、層間絶縁膜8aによって第1電極としてのゲート電極7aとは電氣的に絶縁されている。

ドリフト領域1の第2主面2Yには、コレクタ領域としての第2主電極領域10aが設けられている。この第2主電極領域10aには、ドリフト領域1の第2主面2Y側（半導体基板の裏面）に設けられた第3電極としてのコレクタ電極11aが接している。

[0049] 前述のトレンチ溝12の構造について、さらに説明する。トレンチ溝12は、 n^+ 型の第1主電極領域3aおよび p 型のチャネル形成領域2aを貫通する深さを必ず必要とするが、前述の n 型の高濃度領域5に対しては、この n 型の高濃度領域5の中間の深さでも、貫通する深さであっても、到達しない深さであってもよい。トレンチ溝12内に形成されるMOSゲート構造（トレンチゲートMOS構造）は、従来と同様に、トレンチ溝12の内壁に沿って絶縁膜としてのゲート絶縁膜6aが設けられ、トレンチ溝12の内部にゲート絶縁膜6aを介してポリシリコンからなる第1電極としてのゲート電極7aが埋設される構造である。

[0050] 本発明の第2の実施形態に係る半導体装置では、トレンチゲート型IGBTの表面構造として、隣り合うトレンチ溝12に挟まれた部分には、 n^+ 型の第1主電極領域3aおよび p^+ 型のボディ領域4aが設けられた構成の部分と、この構成から n^+ 型の第1主電極領域3aがない構成の部分とが交互に並んで設けられている例をあげたが、トレンチゲートが形成されていれば、他の構成のトレンチゲート型IGBTであっても n 型の高濃度領域5を形成した場合の効果を得ることができる。

産業上の利用可能性

[0051] 以上のように、本発明にかかる半導体装置は、例えばマトリックスコンバ

ータなどの直列変換回路に用いられるスイッチなど、順方向および逆方向の電圧に対する耐圧特性が要求される半導体素子に有用である。

符号の説明

- [0052]
- 1 ドリフト領域
 - 2 チャネル形成領域
 - 3 第1主電極領域
 - 5 高濃度領域
 - 6 ゲート絶縁膜
 - 7 ゲート電極
 - 8 層間絶縁膜
 - 9 エミッタ電極
 - 10 第2主電極領域
 - 11 コレクタ電極
 - 23 引き抜き領域
 - 31 分離領域
 - 100 活性領域
 - 120 耐圧構造領域
 - 121 順方向耐圧構造領域
 - 122 逆方向耐圧構造領域
 - 130 分離部

請求の範囲

- [請求項1] 互いに反対側に位置する第1主面及び第2主面を有する第1導電型のドリフト領域と、
- 前記ドリフト領域の第1主面に選択的に設けられた第2導電型のチャネル形成領域と、
- 前記チャネル形成領域の上部に選択的に設けられた第1導電型の第1主電極領域と、
- 前記ドリフト領域の第2主面に設けられた第2導電型の第2主電極領域と、
- 前記チャネル形成領域の下の前記ドリフト領域に前記チャネル形成領域から離れて設けられた第1導電型の高濃度領域と、
- 前記ドリフト領域の外周であって前記チャネル形成領域を取り囲むように設けられ、前記第1主電極領域に接続された第2導電型の引き抜き領域と、
- 前記引き抜き領域の外周であって前記引き抜き領域を取り囲むように設けられ、順方向耐圧構造と逆方向耐圧構造とを含む耐圧構造領域と、
- 前記耐圧構造領域の外周であって、前記ドリフト領域の外周端部に設けられ、前記ドリフト領域の第1主面から第2主面まで貫通し、前記第2主電極領域に接する第2導電型の分離領域と、を備え、
- 前記高濃度領域は、前記ドリフト領域よりも高い不純物濃度であり、かつ、前記高濃度領域中の第1導電型不純物の総不純物量が $2.0 \times 10^{12} \text{ cm}^{-2}$ 以下となる不純物濃度を有することを特徴とする半導体装置。
- [請求項2] 前記第1主電極領域から前記ドリフト領域の第1主面に跨るように、絶縁膜を介して設けられた第1電極と、
- 前記チャネル形成領域および前記第1主電極領域に接続された第2電極と、

前記第1主電極領域に接する第3電極と、を更に備えることを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記チャネル形成領域の上部から前記チャネル形成領域を貫通し、前記ドリフト領域に達するように形成された溝と、
前記溝内に絶縁膜を介して埋設された第1電極と、
前記チャネル形成領域および前記第1主電極領域に接続された第2電極と、

前記第2主電極領域に接する第3電極と、を更に備えることを特徴とする請求項1に記載の半導体装置。

[請求項4] 前記高濃度領域は、前記ドリフト領域よりも高い不純物濃度であり、かつ、前記高濃度領域中の第1導電型不純物の総ドーズ量が $4.0 \times 10^{11} \text{ cm}^{-2}$ 以下となる不純物濃度を有することを特徴とする請求項1乃至3の何れか1項に記載の半導体装置。

[請求項5] 前記高濃度領域の端部が、前記引き抜き領域の外周端を基準にして前記耐压構造領域の長さの+10%~-10%の範囲にあることを特徴とする請求項1乃至3の何れか1項に記載の半導体装置。

[請求項6] 前記高濃度領域の端部が、前記引き抜き領域の外周端を基準にして前記耐压構造領域の長さの+5%~-5%の範囲にあることを特徴とする請求項1乃至3の何れか1項に記載の半導体装置。

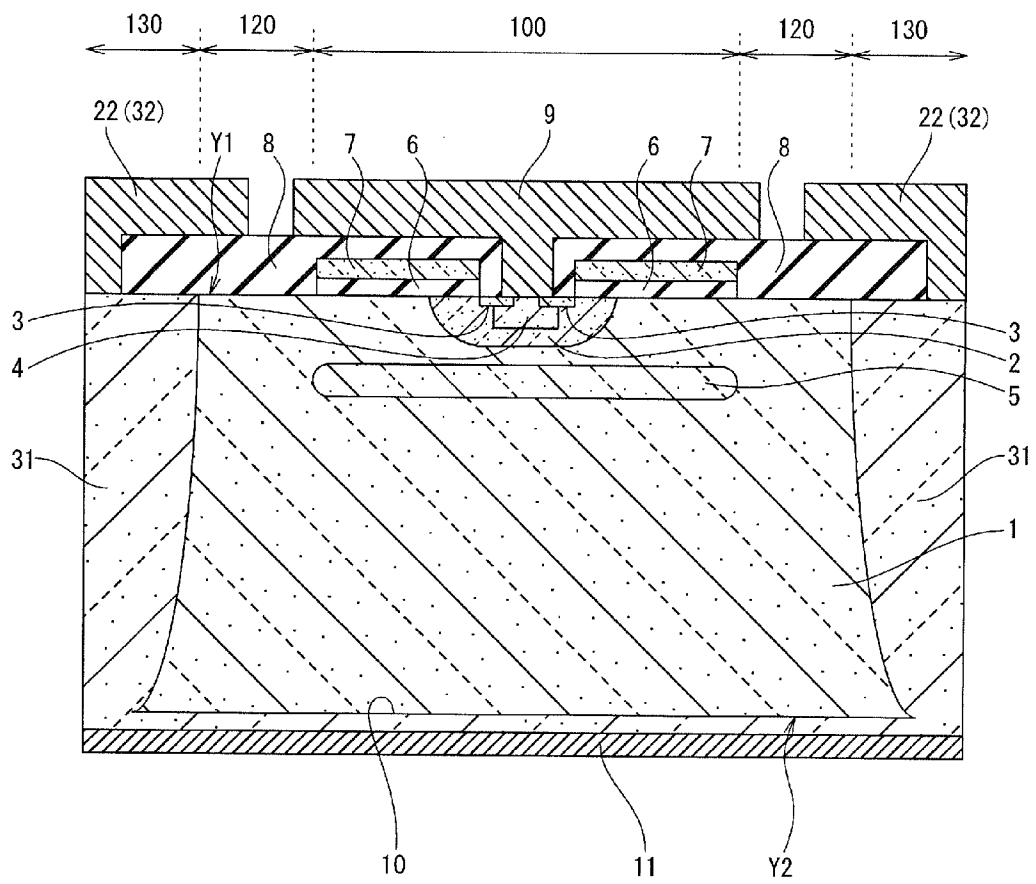
[請求項7] 前記高濃度領域の端部が、前記引き抜き領域の外周端を基準にして前記耐压構造領域の長さの+36%以上にあることを特徴とする請求項1乃至3の何れか1項に記載の半導体装置。

[請求項8] 前記耐压構造領域の前記ドリフト領域の表面に、前記引き抜き領域を囲むように互いに離れて設けられた複数の第2導電型のフィールドリミットングリング領域を備えることを特徴とする請求項1乃至3の何れか1項に記載の半導体装置。

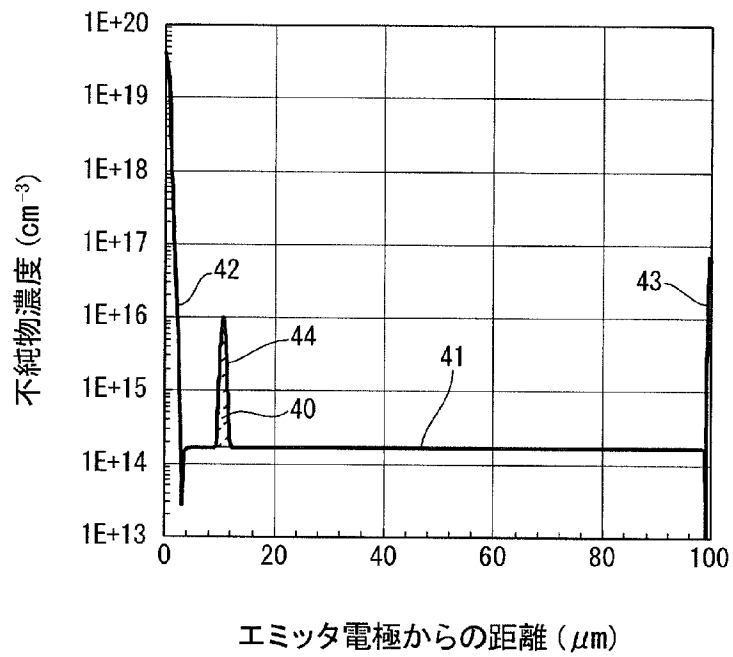
[請求項9] 前記ドリフト領域は、定格電圧と等しい逆方向電圧が印加された時、前記第2主電極領域から前記引き抜き領域に向かって拡がる空乏層

が前記引き抜き領域に到達しない抵抗率を有することを特徴とする請求項 1 乃至請求項 3 の何れか 1 項に記載の半導体装置。

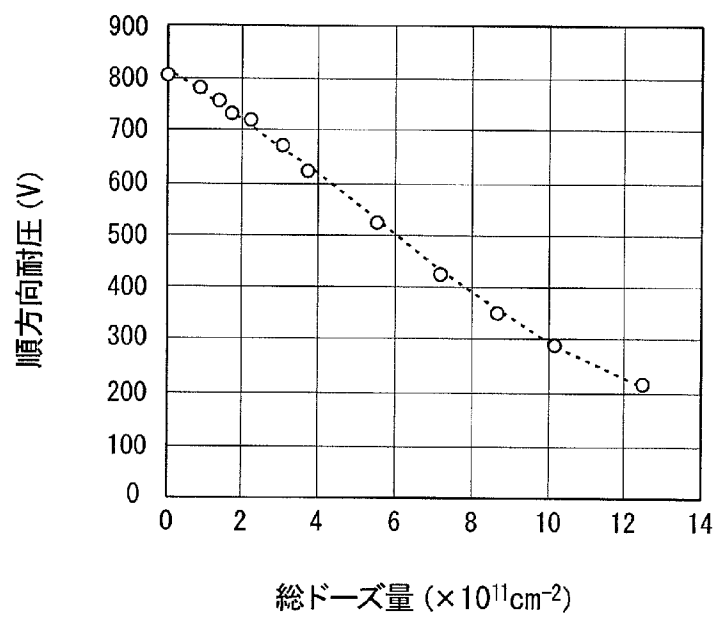
[図1]



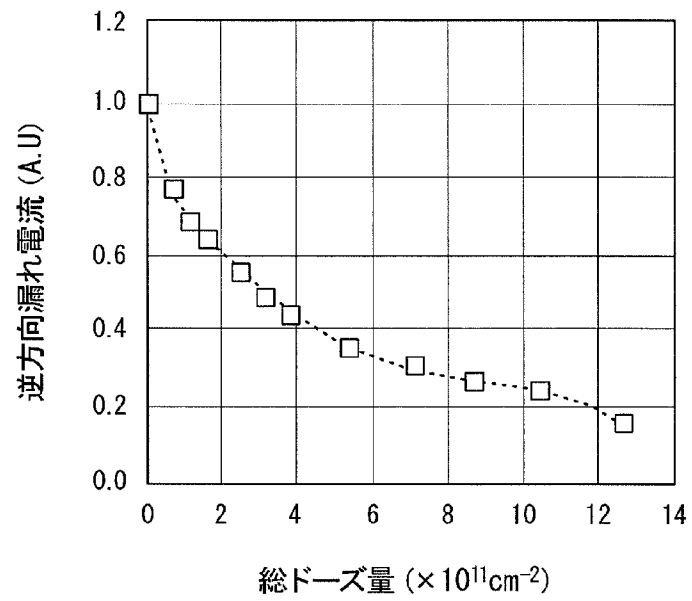
[図5]



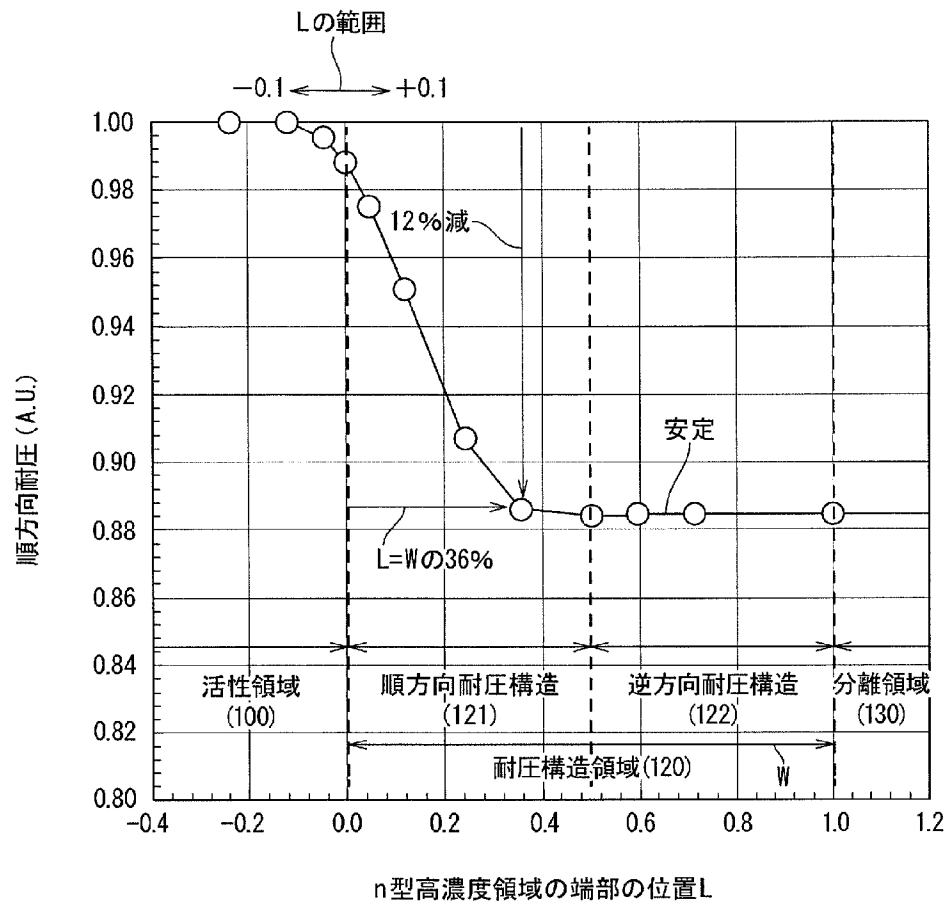
[図6]



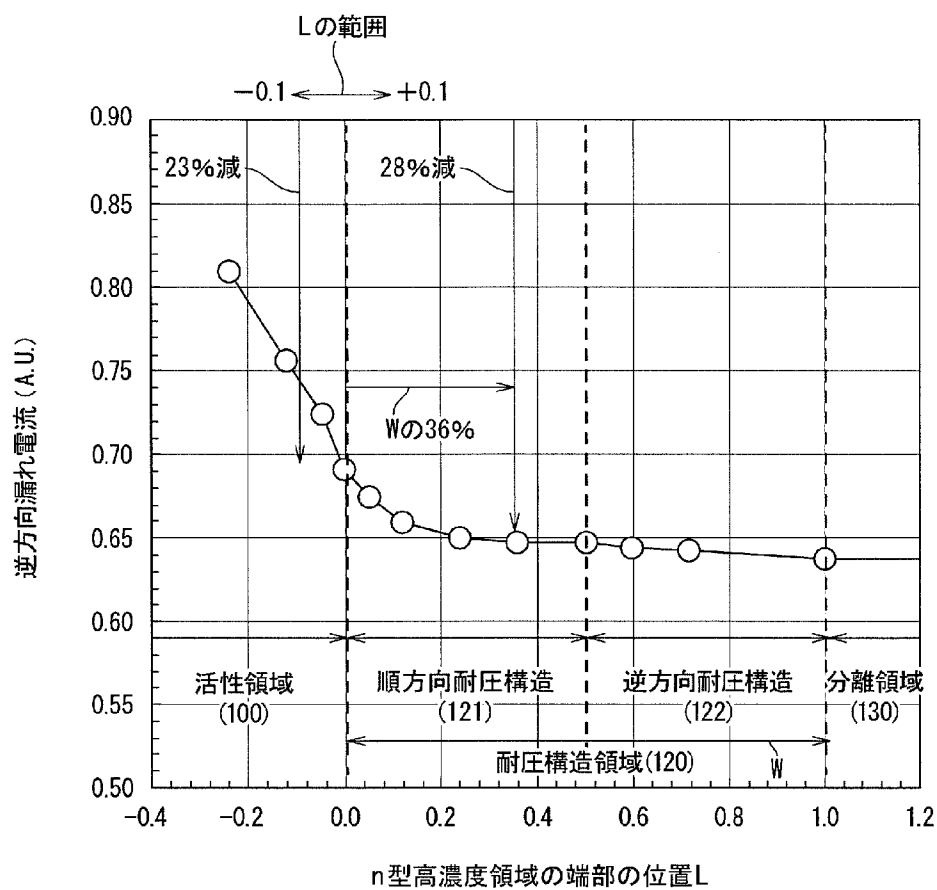
[図7]



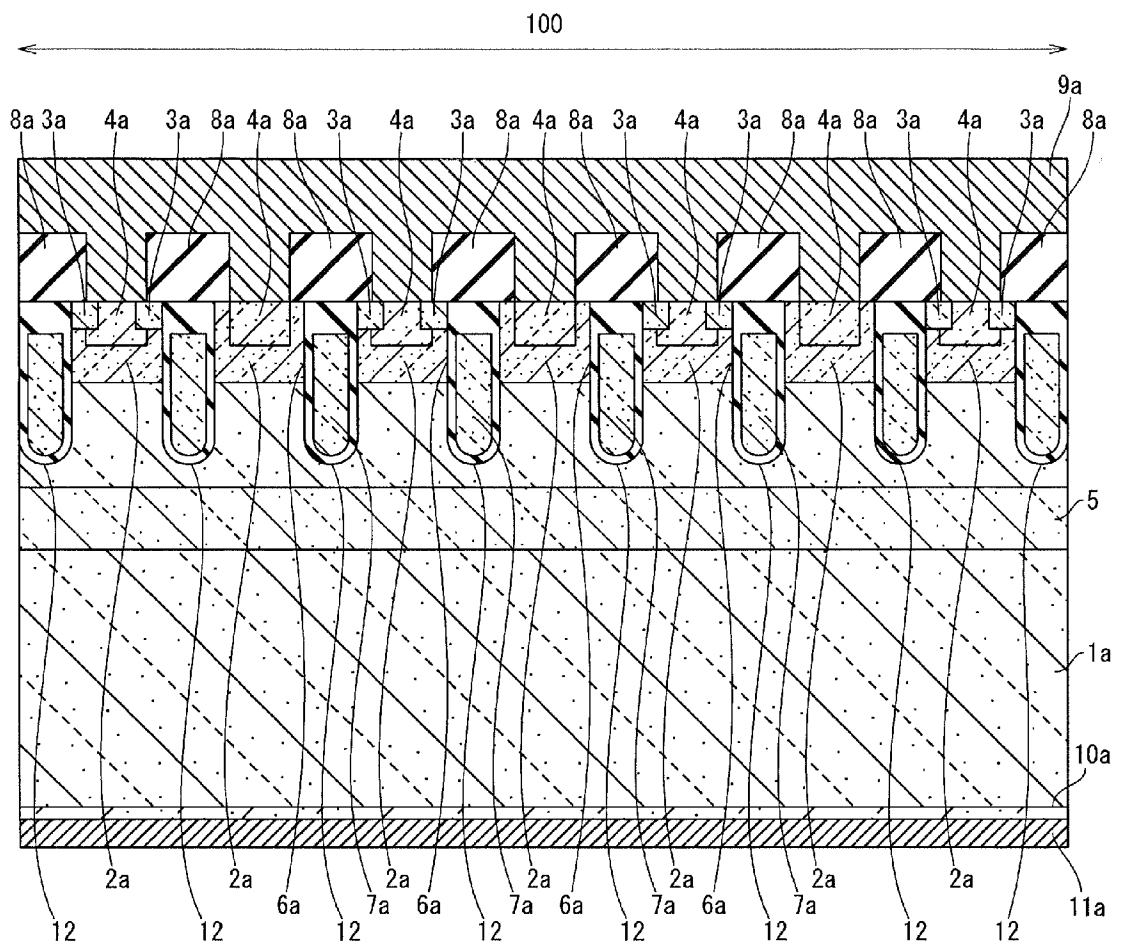
[図8]



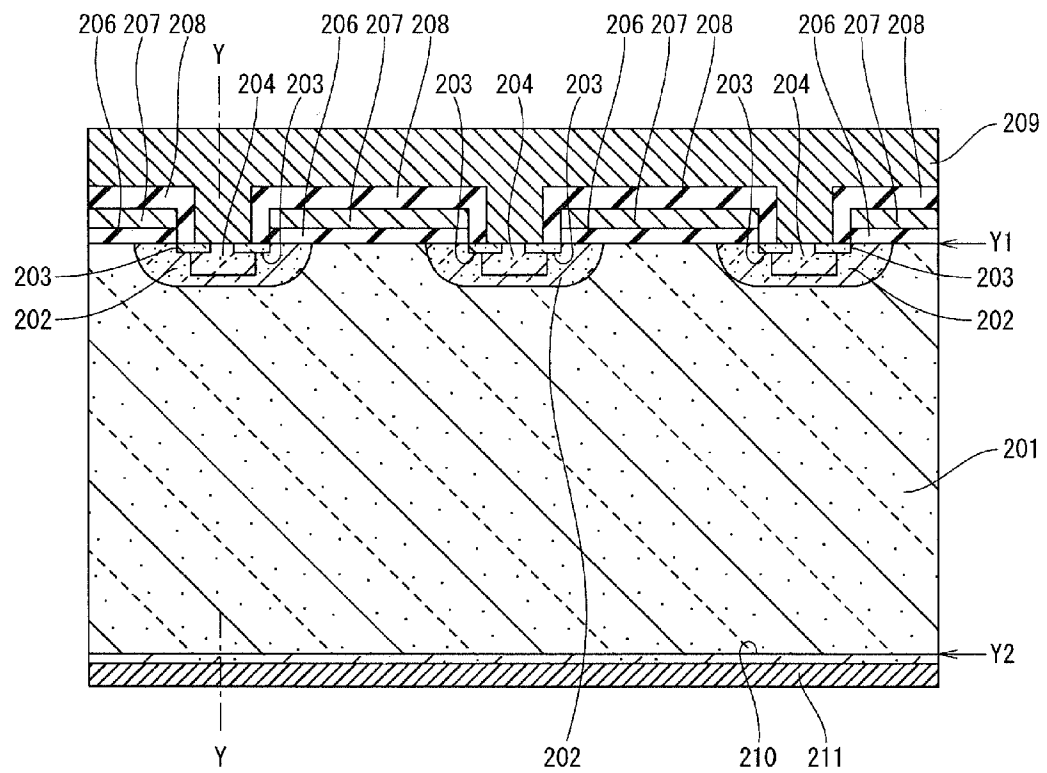
[図9]



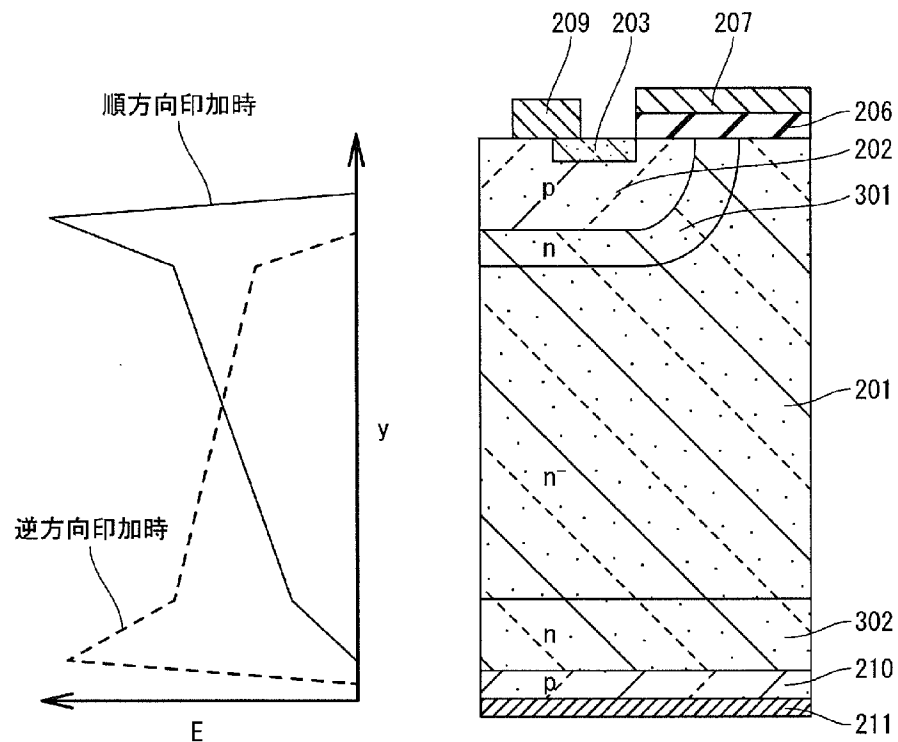
[図10]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/003649

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L29/06(2006.01)i, H01L29/739(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L29/06, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-101551 A (Fuji Electric Holdings Co., Ltd.), 14 April 2005 (14.04.2005), paragraphs [0022] to [0034]; fig. 1 & US 2005/0082640 A1	1-9
Y	JP 2009-188336 A (Fuji Electric Device Technology Co., Ltd.), 20 August 2009 (20.08.2009), paragraphs [0044] to [0052], [0139]; fig. 2-1 to 2-6 & US 2009/0224284 A1	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 October, 2014 (01.10.14)

Date of mailing of the international search report
14 October, 2014 (14.10.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L29/06(2006.01)i, H01L29/739(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L29/06, H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	J P 2 0 0 5 - 1 0 1 5 5 1 A （富士電機ホールディングス株式会社）2 0 0 5 . 0 4 . 1 4、段落【0 0 2 2】－【0 0 3 4】、図1 & U S 2 0 0 5 / 0 0 8 2 6 4 0 A 1	1 - 9
Y	J P 2 0 0 9 - 1 8 8 3 3 6 A （富士電機デバイステクノロジー株式会社）2 0 0 9 . 0 8 . 2 0、段落【0 0 4 4】－【0 0 5 2】、【0 1 3 9】、図2-1 - 図2-6 & U S 2 0 0 9 / 0 2 2 4 2 8 4 A 1	1 - 9

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 1 0 . 2 0 1 4

国際調査報告の発送日

1 4 . 1 0 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

工藤 一光

5 F

9 2 7 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6