(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-129902
(P2005-129902A)
(43)公開日　平成17年5月19日(2005.5.19)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 21/3205	H01L 21/88	A	5F033
H01L 21/306	H01L 21/306	D	5F043

審査請求 未請求　請求項の数 11　OL　（全 23 頁）

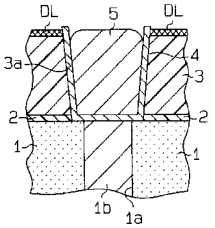
(21)出願番号　特願2004-259357 (P2004-259357)
(22)出願日　平成16年9月7日 (2004.9.7)
(31)優先権主張番号　特願2003-341597 (P2003-341597)
(32)優先日　平成15年9月30日 (2003.9.30)
(33)優先権主張国　日本国(JP)

(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(74)代理人　100111383
弁理士　芝野　正雅
(72)発明者　成瀬　陽子
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内
(72)発明者　松原　直輝
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内
(72)発明者　藤田　和範
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内

最終頁に続く

(54)【発明の名称】半導体装置およびその製造方法

(57)【要約】
【課題】配線層を形成する導体膜として例えば銅あるいは銅合金を用いて多層配線化する場合であれ、それら配線としての信頼性をより高めることのできる半導体装置およびその製造方法を提供する。
【解決手段】トレンチ溝３ａに埋設された導体膜５を、その上面が、バリアメタル膜４との接触部において、第２の層間絶縁膜３の上面よりも下方に位置する態様で形成された構造とする。またその製造に際しては、ＣＭＰによる研磨処理の後に、非窒化性雰囲気でプラズマ処理を行い、第２の層間絶縁膜３の上層部および導体膜５の上層部にダメージ層を形成する。そして、該ダメージ層の一部をエッチングにより除去する。
【選択図】　図１



【特許請求の範囲】
【請求項１】
トレンチ溝を有する絶縁膜と、前記トレンチ溝の内壁面に形成されたバリアメタル膜と、該バリアメタル膜を介して前記トレンチ溝に埋設されて形成されてなる導体膜とを有する半導体装置において、
前記導体膜は、その上面が、少なくとも前記バリアメタル膜との接触部において該バリアメタル膜の上端よりも下方に位置する態様で形成されてなることを特徴とする半導体装置。
【請求項２】
前記導体膜は、その上面が、少なくとも前記バリアメタル膜との接触部において、前記絶縁膜の上面よりも下方に位置する態様で形成されてなることを特徴とする請求項１に記載の半導体装置。
【請求項３】
前記絶縁膜は、その上面が、少なくとも前記バリアメタル膜との接触部において該バリアメタル膜の上端よりも下方に位置する態様で形成されてなることを特徴とする請求項１または２に記載の半導体装置。
【請求項４】
前記導体膜は、その上面が、前記バリアメタル膜との接触部に近づくほど低下する略円弧形状の断面をもって形成されてなることを特徴とする請求項１～３のいずれか一項に記載の半導体装置。
【請求項５】
前記絶縁膜の上層部には、その組成が変化した層が存在してなることを特徴とする請求項１～４のいずれか一項に記載の半導体装置。
【請求項６】
前記絶縁膜が、酸化シリコンより誘電率が低い低誘電率材料であることを特徴とする請求項１～５のいずれか１項に記載の半導体装置。
【請求項７】
前記低誘電率材料が、メチル基を含有する酸化シリコン、ベンゾシクロブテン（ＢＣＢ）、フッ素化酸化シリコン（ＳｉＯＦ）、ベンゾシクロブテン（ＢＣＢ）、ＨＳＱ（ハイドロゲンシルセスキオキサン）、ＭＳＱ（メチルシルセスキオキサン）、ＨＭＳＱ（ハイドライドーメチルシルセスキオキサン）、ポリイミド系ポリマー、アリレンエーテル系ポリマー、シクロブテン系ポリマー、パーフロロシクロブテン（ＰＦＣＢ）からなる群から選ばれることを特徴とする請求項６に記載の半導体装置。
【請求項８】
前記低誘電率材料の比誘電率が２．７～３であることを特徴とする請求項６に記載の半導体装置。
【請求項９】
絶縁膜を成膜する工程と、
前記絶縁膜にトレンチ溝を形成する工程と、
前記トレンチ溝の内壁面にバリアメタル膜を成膜する工程と、
前記トレンチ溝を埋め込むかたちで、導体膜を前記バリアメタル膜に積層形成する工程と、
前記導体膜を研磨により除去して、前記絶縁膜を露出させる工程と、
非窒化性雰囲気で、前記露出させた絶縁膜の上層部および前記導体膜の上層部にダメージ層を形成する工程と、
前記ダメージ層の少なくとも一部をエッチングにより除去する工程と、
を備えることを特徴とする半導体装置の製造方法。
【請求項１０】
前記絶縁膜として、酸化シリコンより誘電率が低い低誘電率材料を用いることを特徴とする請求項９に記載の半導体装置の製造方法。

【請求項１１】
前記低誘電率材料が、メチル基を含有する酸化シリコン、ベンゾシクロブテン（ＢＣＢ）、フッ素化酸化シリコン（ＳｉＯＦ）、ベンゾシクロブテン（ＢＣＢ）、ＨＳＱ（ハイドロゲンシルセスキオキサン）、ＭＳＱ（メチルシルセスキオキサン）、ＨＭＳＱ（ハイドライド－メチルシルセスキオキサン）、ポリイミド系ポリマー、アリレンエーテル系ポリマー、シクロブテン系ポリマー、パーフロロシクロブテン（ＰＦＣＢ）からなる群から選ばれることを特徴とする請求項１０に記載の半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
この発明は、半導体装置およびその製造方法に関し、特に、銅からなる導体膜を埋め込み配線とする半導体装置およびその製造方法に関する。
【背景技術】
【０００２】
周知のように、近年、半導体集積回路のデザインルールの縮小に伴い、同半導体集積回路としての配線遅延の影響がますます顕著になってきている。こうした配線遅延はＲＣ遅延ともよばれ、配線抵抗（Ｒ）と配線間容量（Ｃ）との積を小さくすることでその遅延の度合いも抑制される。
【０００３】
そこで従来は、こうした遅延の抑制を図るため、例えば特許文献１に記載のように、配線の材料としてアルミニウム（Ａｌ）よりも抵抗の低い銅（Ｃｕ）を、また層間絶縁膜の材料として酸化シリコン（比誘電率　４）よりも誘電率の低い低誘電率材料（Ｌｏｗ－ｋ材料）を用いた半導体装置なども提案されている。なお通常、このような半導体装置は、周知のシングルダマシン法あるいはデュアルダマシン法によって形成される。
【０００４】
以下、図１４を参照して、こうした半導体装置の構造の一例について簡単に説明する。
【０００５】
このような半導体装置は、同図１４に示されるように、例えばシリコン等からなる基板（図示略）の上に形成された絶縁膜２１と、例えば窒化シリコン（ＳｉＮ）等からなる第１の層間絶縁膜２２と、例えばＭＳＱ（メチルシルセスキオキサン）等の低誘電率材料からなる第２の層間絶縁膜２３とが順次積層されて形成されている。なお、上記絶縁膜２１には、接続孔２１ａが形成されており、この接続孔２１ａ内には例えば銅等からなる接続孔配線２１ｂが設けられている。
【０００６】
ここで、上記第１の層間絶縁膜２２および第２の層間絶縁膜２３には、例えばフォトリソグラフィにより所望のパターンを形成した後、ドライエッチング等を行うことによって、上記接続孔配線２１ｂに達するようなトレンチ溝２３ａが形成されている。また、このトレンチ溝２３ａの内壁面には、例えばスパッタリングにより、例えばタンタル（Ｔａ）等からなるバリアメタル膜２４が形成されている。また、上記トレンチ溝２３ａの内部には、銅からなるシード層（図示略）を形成した後、めっき法を用いて、銅膜２５が埋設されている。そして、上記第２の層間絶縁膜２３および銅膜２５の表面はＣＭＰ（化学的機械的研磨）によって平坦化されている。
【０００７】
また、この半導体装置を多層配線化する場合は、下層から上層への銅の拡散を抑制するため、上記第２の層間絶縁膜２３および銅膜２５の上に、例えばプラズマＣＶＤ（化学気相成長）により窒化シリコン膜等からなる第３の層間絶縁膜をさらに成膜する。そしてさらに、この第３の層間絶縁膜の上に、上層の層間絶縁膜として、例えばＭＳＱ等の低誘電率材料からなる第４の層間絶縁膜を成膜する。そしてこの第４の層間絶縁膜上に、例えばフォトリソグラフィにより所望のパターンを形成した後、ドライエッチング等を行い、下層配線と上層配線との接続を行うための接続孔を形成する。そしてこの接続孔の内部に、

銅やタングステン（Ｗ）等の金属を埋設して、下層配線と上層配線とを電気的に接続するための層間接続プラグを形成する。

【特許文献１】実開２００２－２４６３９１号公報

【発明の開示】

【発明が解決しようとする課題】

【０００８】

ところで、上述のような配線材料として銅を用いた半導体装置では、ＴＤＤＢ（時間依存性絶縁破壊）寿命がアルミニウム（Ａｌ）やタングステン（Ｗ）等に比べて著しく短いという問題がある。また一般に、誘電率の低い絶縁材料は絶縁耐圧も低い。そのため、酸化シリコンに代えて低誘電率材料を用いた場合、互いに隣接する配線間に絶縁破壊が生じ易くなり、ひいては上記ＴＤＤＢ寿命の短くなる確率が高まることとなる。

【０００９】

このようなＴＤＤＢ寿命の低下を抑制するため、例えば特許文献１に記載の半導体装置では、その製造に際して、上記ＣＭＰによる平坦化処理の後の処理として、上記銅膜２５の表面に洗浄処理を施した後、原料ガスに窒素およびアンモニアを用いたプラズマ処理を行っている。より具体的には、こうしたプラズマ処理を行うことにより、上記銅膜２５の表面には窒化銅（ＣｕＮ）層が形成される。そして、上記第２の層間絶縁膜２３および銅膜２５の上に、上記第３の層間絶縁膜として、窒化シリコン等のシリコンを含む絶縁膜を成膜した場合、上記ＣｕＮ層がこの絶縁膜から上記銅膜２５へのシリコンの拡散を抑制することとなる。またこの際、銅膜２５の表面は上記洗浄処理により清浄化されているため、該銅膜２５の表面近傍に、薄い銅シリサイド層が均一な厚みで均質に形成されることとなる。このように、シリコンの拡散を適度に抑制するＣｕＮ層を形成して、銅膜２５の表面近傍に銅シリサイド層を薄く均一な厚みで且つ均質に形成することで、上述のＴＤＤＢ寿命の低下を改善するようにしている。

【００１０】

しかし、こうした製造方法によると、例えば前述した半導体装置の多層配線化を行う場合において、上記第４の層間絶縁膜上にパターンを形成する際に上記原料ガスに窒素およびアンモニアを用いたプラズマ処理に起因したレジストの失活が発生することが発明者らによって確認されている。

【００１１】

以下、図１５を参照して、このレジストの失活について詳述する。なお、この図１５は、先の図１４に示した半導体装置を多層配線化するプロセスの一例を模式的に示す一部拡大断面図である。より具体的には、上記第２の層間絶縁膜２３の上に、上記第３の層間絶縁膜３２と、上記第４の層間絶縁膜３３とを順次堆積形成した後、さらにこの上にレジストＲｅを塗布してフォトリソグラフィによって上記第４の層間絶縁膜３３上に所望のパターンを形成するプロセスの一例を示している。

【００１２】

同図１５に示すように、窒素原子を含むガス雰囲気中でプラズマ処理を施すことによって、上記第２の層間絶縁膜２３の表面に窒素原子ＮＤを含有するダメージ層ＤＬが形成される。そして洗浄後においても、こうしたダメージ層ＤＬは残存することとなる。また、上記ダメージ層ＤＬに含有される窒素原子ＮＤは、不安定で結合の弱い状態あるいは結合していない状態で含有されている。そのため、たとえその量が微量であっても、露光前のレジストの加熱処理（プリベーク）等の際に上記ダメージ層ＤＬから離脱し、この離脱した窒素原子ＮＤがレジストＲｅの内部に入り込むことで、該レジストＲｅを失活させることとなる。そして、こうしたレジストの失活が発生すると、上記第３の層間絶縁膜３３のパターン形成に際して良好なパターンが得られず、ひいては断線等の原因ともなる。

【００１３】

このように、上記従来の半導体装置においても、結局は配線としての信頼性の低下は避けられないものとなっている。

【００１４】

この発明は、こうした実情に鑑みてなされたものであり、配線層を形成する導体膜として例えば銅あるいは銅合金を用いて多層配線化する場合であれ、それら配線としての信頼性をより高めることのできる半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【００１５】

以下、上記目的を達成するための手段およびその作用効果について記載する。

【００１６】

まず、請求項１に記載の発明では、トレンチ溝を有する絶縁膜と、前記トレンチ溝の内壁面に形成されたバリアメタル膜と、該バリアメタル膜を介して前記トレンチ溝に埋設されて形成されてなる導体膜とを有する半導体装置として、前記導体膜は、その上面が、少なくとも前記バリアメタル膜との接触部において該バリアメタル膜の上端よりも下方に位置する態様で形成されてなる構造としている。

【００１７】

通常、埋め込み配線と、同配線の拡散を抑制するためのバリアメタル膜と、各配線間を絶縁するための絶縁膜とを有する半導体装置では、配線に電圧を印加した際に、その電界が配線の上面に集中する。そのため、配線の上面にて配線材料は拡散され、互いに隣接する配線間には、上記バリアメタル膜および絶縁膜の表面を通じて電流の流れ易い経路（リークパス）が形成されることとなる。そして、前述した互いに隣接する配線間での絶縁破壊は、こうしたリークパスの形成が主要因となっている。この点、上記構造よれば、上記埋め込み配線に相当する導体膜の上面と上記バリアメタル膜の上面とが遠ざけられ、上記リークパスの実質的な経路を長くとることができるようになる。これにより、上記導体膜の拡散に起因するリークパスの形成を抑制あるいは防止することができるようになり、ひいては隣接する配線間での絶縁破壊についてもこれを好適に抑制することができるようになる。

【００１８】

また、請求項２に記載の発明では、上記請求項１に記載の半導体装置において、前記導体膜は、その上面が、少なくとも前記バリアメタル膜との接触部において、前記絶縁膜の上面よりも下方に位置する態様で形成されてなる構造としている。

【００１９】

半導体装置としての上記構造によれば、導体膜（配線）の上面と絶縁膜の上面とが遠ざけられるため、上記導体膜がバリアメタル膜を突き抜けて拡散する場合であれ、上述の導体膜の拡散に起因するリークパスの形成を抑制あるいは防止することができるようになる。すなわちこの場合も、隣接する配線間での絶縁破壊を好適に抑制することができるようになる。

【００２０】

また、請求項３に記載の発明では、上記請求項１または２に記載の半導体装置において、前記絶縁膜は、その上面が、少なくとも前記バリアメタル膜との接触部において該バリアメタル膜の上端よりも下方に位置する態様で形成されてなる構造としている。

【００２１】

半導体装置としての上記構造によれば、バリアメタル膜の上面と絶縁膜の上面とが遠ざけられるため、上記リークパスの実質的な経路をさらに長くとることができ、前述した隣接する配線間での絶縁破壊についてもこれをより好適に抑制することができるようになる。

【００２２】

また、請求項４に記載の発明では、上記請求項１～３のいずれか一項に記載の半導体装置において、前記導体膜は、その上面が、前記バリアメタル膜との接触部に近づくほど低下する略円弧形状の断面をもって形成されてなる構造としている。

【００２３】

前述した電界の集中は特に導体膜（配線）上面の角部（バリアメタル膜との接触部）に

て起こるため、導体膜の上面を上記のような略円弧形状の断面をもつように形成することで、こうした電界の集中は緩和されるようになる。このため、上記構造によれば、隣接する配線間での絶縁破壊に対する耐性のさらなる強化を図ることができるようになる。

【００２４】

また、請求項５に記載の発明では、上記請求項１～４のいずれか一項に記載の半導体装置において、前記絶縁膜の上層部には、その組成が変化した層が存在してなる構造としている。

【００２５】

エッチングに対する耐性の高い絶縁膜であっても、組成を変化させることにより結合力を弱めて、該エッチングに対する耐性をより低くすることができるようになる。そのため、上記構造によれば、絶縁膜の上層部に存在する組成が変化した層をエッチングすることで、その上に堆積していた導体膜（配線）の材料やバリアメタル膜の材料等からなる汚染物質をより好適に除去することができるようになる。そしてこれにより、隣接する配線間での絶縁破壊を好適に抑制することができるようにもなる。

【００２６】

また、請求項６に記載の発明では、上記請求項１～５のいずれか一項に記載の半導体装置において、絶縁膜が、酸化シリコン（比誘電率　４）より誘電率が低い低誘電率材料である。これによれば、隣接する配線間での絶縁破壊を抑制しつつ、配線遅延を抑制することができる。低誘電率材料としては、メチル基を含有する酸化シリコン、ベンゾシクロブテン（ＢＣＢ）、フッ素化酸化シリコン（ＳｉＯＦ）、ベンゾシクロブテン（ＢＣＢ）、ＨＳＱ（ハイドロゲンシルセスキオキサン）、ＭＳＱ（メチルシルセスキオキサン）、ＨＭＳＱ（ハイドライド－メチルシルセスキオキサン）、ポリイミド系ポリマー、アリレンエーテル系ポリマー、シクロブテン系ポリマー、パーフロロシクロブテン（ＰＦＣＢ）が好適である。また、低誘電率材料の比誘電率が２．７～３であってもよい。このような低誘電率材料を用いた場合であっても、ＴＤＤＢ寿命の低下が抑制される。

【００２７】

一方、請求項９に記載の発明は、半導体装置を製造する方法として、

（ａ）絶縁膜を成膜する。

（ｂ）前記絶縁膜にトレンチ溝を形成する。

（ｃ）前記トレンチ溝の内壁面にバリアメタル膜を成膜する。

（ｄ）前記トレンチ溝を埋め込むかたちで、導体膜を前記バリアメタル膜に積層形成する。

（ｅ）前記導体膜を研磨により除去して、前記絶縁膜を露出させる。

（ｆ）非窒化性雰囲気で、前記露出させた絶縁膜の上層部および前記導体膜の上層部にダメージ層を形成する。

（ｇ）前記ダメージ層の少なくとも一部をエッチングにより除去する。

といった各工程を備える。

【００２８】

このような製造方法によれば、非窒化性雰囲気でダメージ層を形成するようにしているため、上記絶縁膜および導体膜の上層部に窒素原子を含有しないダメージ層が形成されることとなる。そのため、上層配線としての配線パターンを形成すべく、上記ダメージ層の上にレジストを成膜して露光前に該レジストの加熱処理（プリベーク）等を行った場合であれ、上記レジスト中に窒素原子が取り込まれる可能性は低くなる。このため、半導体装置の製造方法として上記製造方法を採用することで、前述したレジストの失活をより好適に抑制することができるようになる。また一方、上記絶縁膜および導体膜の上層部に形成されたダメージ層を除去することで、上記絶縁膜の上に堆積している汚染物質等を好適に除去したり、また上記導体膜の上面を選択的にエッチング除去してその高さを上記バリアメタル膜の上端よりも下方に形成し、前述した隣接する配線間の絶縁破壊を好適に抑制したりすることができるようにもなる。

【００２９】

また、請求項１０に記載の発明では、上記請求項８に記載の半導体装置の製造方法において、前記絶縁膜として、酸化シリコンより誘電率が低い低誘電率材料を用いることをその要旨とする。

【００３０】

また、請求項１１に記載の発明では、上記請求項９に記載の半導体装置の製造方法において、低誘電率材料が、メチル基を含有する酸化シリコン、ベンゾシクロブテン（ＢＣＢ）、フッ素化酸化シリコン（ＳｉＯＦ）、ベンゾシクロブテン（ＢＣＢ）、ＨＳＱ（ハイドロゲンシルセスキオキサン）、ＭＳＱ（メチルシルセスキオキサン）、ＨＭＳＱ（ハイドライドーメチルシルセスキオキサン）、ポリイミド系ポリマー、アリレンエーテル系ポリマー、シクロブテン系ポリマー、パーフロロシクロブテン（ＰＦＣＢ）からなる群から選ばれることをその要旨とする。

【００３１】

上記低誘電率材料の中で、メチル基を含有する酸化シリコンは、一般に、ダメージを与えることによりメチル基が分解されて酸化シリコンに変化する傾向を持っている。そのため、上記絶縁膜中に形成したダメージ層の選択的なエッチングをより好適に行うことができるようになる。

【００３２】

なお、この発明は、以下のような技術的思想も含む。

【００３３】

（１）前記トレンチ溝が、接続孔と、該接続孔よりも大きい断面幅を有して同接続孔の上方に形成された溝とを有して形成されてなる請求項１～７のいずれか一項に記載の半導体装置。

【００３４】

このように、前記導体膜が、配線に相当する部分と、この配線に相当する部分と下層配線とを電気的に接続するための層間接続プラグに相当する部分とを有して形成された構造についても、上記請求項１～８のいずれか一項に記載の発明は適用できる。

【００３５】

（２）前記導体膜が、銅および銅合金のいずれかからなる請求項１～８のいずれか一項、または前記（１）に記載の半導体装置。

【００３６】

上述した配線材料の拡散は、前記導体膜（配線）が銅および銅合金のいずれかからなる場合に特に顕著となる。すなわち、上記請求項１～８のいずれか一項、または前記（１）に記載の発明は、上記構造を有する半導体装置に適用して特に有効である。

【００３７】

（３）前記ダメージ層の形成を、希ガスによるプラズマ処理によって行う請求項９～１１のいずれか一項に記載の半導体装置の製造方法。

【００３８】

（４）前記ダメージ層の形成を、電子線照射および紫外線照射のいずれかによって行う請求項９に記載の半導体装置の製造方法。

【００３９】

請求項９～１１のいずれか一項に記載の発明において、前記ダメージ層の形成を、希ガスによるプラズマ処理あるいは電子線照射あるいは紫外線照射によって行うようにすれば、非窒化性雰囲気においても好適にダメージ層を形成することができるようになる。

【００４０】

（５）前記ダメージ層のエッチングを、フッ酸（ＨＦ）によって行う請求項９に記載の半導体装置の製造方法。

【００４１】

請求項９～１１のいずれか一項に記載の発明において、前記ダメージ層のエッチングを、フッ酸（ＨＦ）によって行うことが特に有効である。

【００４２】

（６）前記トレンチ溝を形成する工程が、接続孔を形成する工程と、前記接続孔の上方に該接続孔よりも大きい断面幅を有する溝を形成する工程とを含む請求項９〜１１のいずれか一項、または前記（３）〜（５）に記載の半導体装置の製造方法。

【００４３】

このように、前記トレンチ溝を形成する工程として、配線を成形するための溝を形成する工程と、上層配線と下層配線とを接続するための接続孔を形成する工程とを含む、一般にデュアルダマシン法と呼ばれる製造方法についても、上記請求項９〜１１のいずれか一項、または前記（３）〜（５）に記載の発明は適用できる。

【００４４】

（７）前記導体膜として、銅および銅合金のいずれかを用いる請求項９〜１１のいずれか一項、または前記（３）〜（６）に記載の半導体装置の製造方法。

【００４５】

また、上記請求項９〜１１のいずれか一項、または前記（３）〜（６）に記載の半導体装置の製造方法は、前記導体膜として銅および銅合金のいずれかを用いる場合に特に有効となる。

【００４６】

（８）前記バリアメタル膜として、チタン（Ｔｉ）および窒化チタン（ＴｉＮ）およびタンタル（Ｔａ）および窒化タンタル（ＴａＮ）のいずれかを用いる前記（７）に記載の半導体装置の製造方法。

【００４７】

上記（７）に記載の半導体装置の製造方法においては、前記バリアメタル膜として、チタン（Ｔｉ）および窒化チタン（ＴｉＮ）およびタンタル（Ｔａ）および窒化タンタル（ＴａＮ）のいずれかを用いることで、前記導体膜とバリアメタル膜との選択的なエッチングをより容易に行うことができるようになる。

【発明の効果】

【００４８】

本発明によれば、半導体装置の配線の信頼性をより高めることができる。

【発明を実施するための最良の形態】

【００４９】

（第１の実施の形態）

図１に、本発明にかかる半導体装置についてその第１の実施の形態を示す。

【００５０】

この実施の形態にかかる半導体装置も、前述した従来の半導体装置と同様、隣接する配線間に生じる絶縁破壊を抑制してＴＤＤＢ寿命を改善することを意図している。ただし、この半導体装置では、図１に示すような構造とすることで、前述したレジストの失活についてもその好適な抑制を図るようにしている。

【００５１】

以下、同図１を参照して、この実施の形態にかかる半導体装置の構造について説明する。なお、図１はこの半導体装置の断面構造を模式的に示す断面図である。

【００５２】

図１に示すように、この半導体装置は、例えば酸化シリコンからなる絶縁膜１と、例えばＳｉＣＮ等の銅に対する拡散防止効果の高い絶縁膜からなる第１の層間絶縁膜２と、例えばＣＶＤ法を用いて形成された、メチル基を含むＳｉＯＣ（比誘電率k=2.0〜3.0）等の低誘電率材料（Ｌｏｗ－ｋ材料）からなる第２の層間絶縁膜３とが順次積層されて形成されている。なお、上記絶縁膜１は、例えばトランジスタ等の素子が形成されているシリコン等からなる基板（図示略）の上に形成されている。また、同絶縁膜１には、接続孔１ａが形成されており、この接続孔１ａ内には例えば銅等からなる接続孔配線１ｂが設けられている。

【００５３】

ここで、上記第１の層間絶縁膜２および第２の層間絶縁膜３には、上記接続孔配線１ｂ

に達するようなトレンチ溝３ａが形成されている。そして、該トレンチ溝３ａの内壁面（側壁面および底面）には、例えば窒化タンタル（ＴａＮ）等からなるバリアメタル膜４が形成されている。さらに、例えば銅からなる導体膜５が、上記トレンチ溝３ａに埋め込まれるかたちで上記バリアメタル膜４に積層されて形成されている。なお、上記導体膜５は、上記接続孔配線１ｂおよびバリアメタル膜４を介して上記基板に形成されたトランジスタのコンタクト電極等と電気的に接続されている。また、上記バリアメタル膜４は、上記導体膜５と層間絶縁膜との密着性を高めたり、あるいは上記導体膜５の拡散を抑制したりする機能を有している。またここで、上記第２の層間絶縁膜３は例えば「２５００Å～１００００Å」、上記バリアメタル膜４は例えば「２５０Å」の膜厚をもって形成されている。一方、上記導体膜５は、例えば膜厚「３０００Å」、幅「０．１８μｍ」で形成されている。

【００５４】

また、上記導体膜５は、その上面が、上記バリアメタル膜４との接触部において、上記第２の層間絶縁膜３の上面よりも下方に位置する態様で形成されている。こうした構造によれば、上記埋め込み配線に相当する導体膜５の上面と上記バリアメタル膜４の上面とが遠ざけられ、電流の流れ易い経路（リークパス）の実質的な経路を長くとることができるようになる。これにより、上記導体膜５の拡散に起因するリークパスの形成を抑制あるいは防止することができるようになり、ひいては隣接する配線間での絶縁破壊についてもこれを抑制することができるようになる。また、上記導体膜５の上面は、上記第２の層間絶縁膜３の上面とも遠ざけられるようになるため、上記導体膜５がバリアメタル膜４を突き抜けて拡散する場合であれ、上記導体膜５の拡散に起因するリークパスの形成を抑制あるいは防止することができるようになる。

【００５５】

さらにこの導体膜５は、その上面の両端部（バリアメタル膜４との接触部）の角が取られて、その上面がバリアメタル膜４との接触部に近づくほど低下する略円弧形状の断面形状をもつ態様で形成されている。これにより、配線となる上記導体膜５に電圧を印加した際の該導体膜５への電界の集中は緩和されるようになり、隣接する配線間での絶縁破壊についてもこれをより好適に抑制することができるようになっている。

【００５６】

また一方、上記第２の層間絶縁膜３は、その上面が、バリアメタル膜４の上端よりも下方に位置する態様で形成されている。そしてこれにより、上記リークパスの実質的な経路をさらに長くとることができるようになり、隣接する配線間での絶縁破壊に対する耐性のさらなる強化が図られる。また、上記第２の層間絶縁膜３の上層部には、ダメージ層ＤＬが形成されている。ここでいうダメージ層とは、上記第２の層間絶縁膜３の組成が変化した状態のことである。なお、ダメージ層ＤＬを含む上記第２の層間絶縁膜３とバリアメタル膜４との段差は、例えば「数ｎｍ～１００ｎｍ」程度、上記バリアメタル膜４と導体膜５との段差は例えば「数ｎｍ～５０ｎｍ」程度となっている。このようなダメージ層ＤＬが存在することによって、このダメージ層ＤＬの上に堆積される絶縁膜との密着性が向上するようになる。

【００５７】

次に、図２および図３を参照して、この実施の形態にかかる半導体装置の製造方法について説明する。なお、これら各図において、先の図１に示した要素と同一の要素には各々同一の符号を付して示しており、それら要素についての重複する説明は割愛する。

【００５８】

この製造に際しては、まず、図２（ａ）に示すように、上記絶縁膜１の上に、例えばプラズマＣＶＤ法等により、上記第１の層間絶縁膜２を成膜する。なおこの際、プラズマＣＶＤ法による成膜条件を、例えば処理圧力を「３．０Ｔｏｒｒ（３９９Ｐａ）」、高周波（ＲＦ）電力を「４７０Ｗ」、基板温度を「３５０℃」、処理ガス種をＴＭＳ（トリメチルシラン）、ＨｅおよびＮＨ$_3$とする。

【００５９】

さらにその上に、例えばプラズマＣＶＤ（化学気相成長）法により、上記第２の層間絶縁膜３を成膜する。なおこの際、上記プラズマＣＶＤ法による成膜条件を、例えば処理圧力を「４.０Ｔｏｒｒ（５３２Ｐａ）」、高周波（ＲＦ）電力を「６００Ｗ」、基板温度を「３５０℃」、処理ガス種をＴＭＳ（トリメチルシラン）およびO_2とする。

【００６０】

その後、上記第２の層間絶縁膜３の上面にレジストを塗布した上で、例えばフォトリソグラフィにより、トレンチ溝を形成すべく所望のパターンの開口部を形成する。次に、このレジストをマスクとして、例えばドライエッチング等による異方性エッチングを行い、図２（ｂ）に示されるような、上記第１の層間絶縁膜２および第２の層間絶縁膜３を貫通して絶縁膜１に達するようなトレンチ溝３ａを形成する。このトレンチ溝３ａは、上記接続孔配線１ｂに達するように形成する。この際、上記第１の層間絶縁膜２をエッチストッパとして用いることによって、トレンチ溝３ａの形成に際して、その深さ精度を向上させることができるようになる。なお、上記エッチングの条件は、例えば処理圧力を「５０ｍＴｏｒｒ（６．６５Ｐａ）」、高周波（ＲＦ）電力を「１３００Ｗ」、基板温度を「２０℃」、処理ガス種をCF_4およびCH_2F_2およびＡｒおよびN_2とする。

【００６１】

次に、図２（ｃ）に示すように、このトレンチ溝３ａの内壁面（側壁面および底面）を含めた基板表面に、例えばスパッタリングにより、上記バリアメタル膜４を成膜する。次いで、図２（ｄ）に示すように、上記バリアメタル膜４の表面に、例えばスパッタリングにより、銅等からなるシード層（図示略）を成膜した後、例えば電界メッキ法あるいは無電界メッキ法により、上記導体膜５を成膜する。その後、例えば温度「１５０℃」の窒素雰囲気中において、例えば３０分間の熱処理（アニール）を施す。これにより、上記導体膜５の埋込み性を向上させるようにしている。

【００６２】

次に、図３（ａ）に示すように、例えばＣＭＰ（化学的機械的研磨）等による研磨処理を施し、基板表面を平坦化するとともに、上記第２の層間絶縁膜３を露出させる。次いで、例えばアンモニア水溶液等によるアルカリ洗浄処理を施す。これにより、上記研磨処理の際に用いた研磨液（スラリ）を除去するようにしている。しかし、このアルカリ洗浄処理後においても、図３（ｂ）に示されるように、上記第２の層間絶縁膜３の表面には、例えば酸化銅あるいは銅あるいはタンタル等からなる汚染物質Ｃｏが残存することとなる。

【００６３】

次に、非窒化性雰囲気（窒素原子を含まない雰囲気）にてプラズマ処理を施す。なおこのプラズマ処理の条件は、例えば処理圧力を「６．０Ｔｏｒｒ（７９８Ｐａ）」、高周波（ＲＦ）電力を「２５０Ｗ」、基板温度を「３５０℃」、処理ガス種をアルゴン（Ａｒ）、処理ガス（Ａｒ）の流量を「１００ｓｃｃｍ（cm^3／分）」、処理時間を「９０秒」とする。そしてこのプラズマ処理によって、図３（ｃ）に示すように、上記第２の層間絶縁膜３の上層部にはダメージ層ＤＬが形成されることとなる。またこの実施の形態では、上記第２の層間絶縁膜３の材料としてＳｉＯＣを採用しているため、上記プラズマ処理によってＳｉＯＣの含有するメチル基は分解されて、上記ダメージ層ＤＬはフッ酸に可溶な酸化シリコンをより多く含有するかたちで形成されることとなる。またこの際、上記導体膜５の上面にもダメージ層（図示略）が形成されることとなる。

【００６４】

続いて、例えばシュウ酸等により、例えば常温で１５秒間の有機酸洗浄処理を施した後、例えばフッ酸（水：フッ酸＝１００：１）等により、例えば常温で１５秒間の酸洗浄処理を施す。これにより、図３（ｄ）に示すように、上記ダメージ層ＤＬの一部が選択的にエッチング除去されるとともに、上記第２の層間絶縁膜３の表面に残存していた汚染物質Ｃｏも除去されることとなる。なお、上記条件でプラズマ処理と洗浄を行った場合、上記ダメージ層ＤＬの「４ｎｍ」がエッチング除去される。これは上記プラズマ処理と洗浄処理条件次第で、「数ｎｍ～１００ｎｍ」がエッチング除去される。またこの際、前述したように上記ダメージ層ＤＬがフッ酸に可溶な酸化シリコンをより多く含有するかたちで形

成されていることによって、上記選択的なエッチングをより好適に行うことができるようになる。またここで、上記導体膜５の上面にも、上記プラズマ処理によりダメージ層が形成されている。そしてこのダメージ層が形成された部分では、銅原子同士の結合力が弱まっているため、エッチングに対する耐性が低下するようになる。また特に、この上面において応力の集中し易い角部（バリアメタル膜４との接触部）のエッチングに対する耐性が低下するようになるため、この部分に対するエッチングが特に促進されることとなる。そのため、上記導体膜５の上面の断面形状は、バリアメタル膜４との接触部に近づくほど低下する略円弧の形状になり、また上記導体膜５の上面が、上記バリアメタル膜４との接触部において上記第２の層間絶縁膜３の上面よりも下方に位置する態様で形成される。なお、上記フッ酸による酸洗浄処理に際しては、ブラシスクラブ洗浄を行わないものとする。これにより、上記ブラシスクラブ洗浄の最中にブラシに付いた汚染物質が上記第２の層間絶縁膜３の表面に再付着するおそれもなくなり、第２の層間絶縁膜３の表面の清浄度についてもこれをより高めることができるようになる。

【００６５】

このように、上記製造方法によれば、上記第２の層間絶縁膜３の上層部に形成されたダメージ層ＤＬを除去することで、上記第２の層間絶縁膜３の上に堆積している汚染物質Ｃｏ等を好適に除去することができるようになる。また、上記導体膜５の上層部に形成されたダメージ層を除去することで、導体膜５の上面を選択的にエッチング除去してその高さを第２の層間絶縁膜３の上面よりも下方に形成し、前述したような、隣接する配線間の絶縁破壊を好適に抑制することのできる半導体装置を製造することができるようにもなる。

【００６６】

図４は、導体膜５を成膜した後の各種の洗浄方法についてそれぞれ、第２の層間絶縁膜３上に汚染物質として残存する銅の量を検出した結果を示したものである。なお、同図４中のデータＣは、アンモニア水溶液によるアルカリ洗浄処理のみを行った場合に残存する銅の量を、またデータＢは、このアルカリ洗浄処理に加えてさらに、有機酸洗浄処理とフッ酸による酸洗浄処理とを行うようにした場合に残存する銅の量をそれぞれ示している。また、データＡは、本実施の形態で用いた洗浄方法、すなわち、データＢの各種洗浄処理に加えて、上記有機酸洗浄処理とフッ酸による酸洗浄処理に先立ちさらにプラズマ処理を行うようにした場合に残存する銅の量を示している。

【００６７】

さて、この図４中の各データによれば、アンモニア水溶液によるアルカリ洗浄処理（データＡ）に加えてさらに、有機酸洗浄処理と、フッ酸による酸洗浄処理とを行うことで、第２の層間絶縁膜３上に残存する銅の量は１０分の１程度まで低減することができる（データＢ）。しかし、この洗浄方法においてもまだ、上記銅の完全なる除去はなされておらず、少量の銅とバリアメタルに用いた物質（共に汚染物質）が第２の層間絶縁膜３上に残存することとなる。この点、本実施の形態の洗浄方法として前述したような、上記データＢの洗浄方法に加えてさらにプラズマ処理を行うような洗浄方法を用いることとすれば、データＡに示すように、第２の層間絶縁膜３上に付着した銅をほぼ完全に除去することができるようになる。

【００６８】

以下、図５～図８を参照して、この実施の形態にかかる半導体装置のＴＤＤＢ（時間依存性絶縁破壊）特性について詳述する。

【００６９】

まず、図５および図６に、上記ＴＤＤＢ特性を測定する際の測定態様を示す。なお、図５（ａ）は上記測定に用いる試料の平面構造を模式的に示す平面図、図５（ｂ）は図５（ａ）のＡ－Ａ線に沿った断面図、図６は上記測定を行う際の測定態様を模式的に示す側面図である。

【００７０】

図５（ａ）に示すように、この測定に用いられる試料ＴＥは、対向配置された櫛形形状の配線ＴＥ１およびＴＥ２により構成されている。そして、上記試料ＴＥを構成するこれ

ら櫛形形状の配線ＴＥ１と配線ＴＥ２との間に所定の電圧（電界）を印加するようにしている。より具体的には、図５（ｂ）に示すように、上記配線ＴＥ１およびＴＥ２は、先の図１に示した半導体装置（導体膜５）と同様の構造をもって形成されている。そして、これら配線ＴＥ１およびＴＥ２の上に、例えばＳｉＣＮ等からなる絶縁膜２０と、例えばＳｉＯＣ等からなる絶縁膜３０とを順次積層形成することで、上記試料ＴＥが形成されるようになる。なおここでは、上記配線ＴＥ１およびＴＥ２は、厚さ「３０００Å」、幅「０．５μｍ」、配線対向長「３ｃｍ」、配線間隔「０．１８μｍ」をもって形成されている。

【００７１】

そして図６に示すように、同一ウェハ内に２８個ある上記試料ＴＥを、電気的に接地されたヒータ付きのステージに乗せる。そして、上記試料ＴＥを加熱した状態で、ウェハ上にある２８点の測定ポイント（２８個の試料ＴＥ）について、プローバ（探針）により電圧を印加しながら電流値を検出して絶縁破壊が起こっているか否かを判定するようにしている。なお、この測定に際しては、配線ＴＥ１と配線ＴＥ２との間に印加する電圧を「１Ｖ～１００Ｖ」、試料温度を「１２５℃」としている。

【００７２】

次に、図７および図８を参照して、上述したような測定方法で測定したこの実施の形態にかかる半導体装置のＴＤＤＢ特性について詳述する。なおここでは、各測定ポイントのデータを、これら各データによる確率密度関数（正規分布曲線として表される関数）を積分して求められる数値、いわゆる累積度数（％表示）によって表している。例えば、全２８点の測定データのメディアン値は累積度数「５０％」、全２８点の測定データ中で２番目にＴＤＤＢ寿命の短かったデータは累積度数「６％」として示されている。

【００７３】

図７に、各種の洗浄方法を用いて製作された試料について、配線ＴＥ１とＴＥ２との間に印加する電圧（電界）とＴＤＤＢ寿命との関係をグラフとして示す。なお、同図７中のデータＤ２およびＤ４は先の図４に示したデータＡと同様の洗浄方法を用いて製作された試料、またデータＤ１およびＤ３は先の図４に示したデータＢと同様の洗浄方法を用いて製作された試料、またデータＤ５は先の図４に示したデータＣと同様の洗浄方法を用いて製作された試料についてそれぞれ測定したデータである。またここで、データＤ１およびＤ２は累積度数「６％」のデータについて上記電界とＴＤＤＢ寿命との関係を、またデータＤ３～Ｄ５は累積度数「５０％」のデータについて上記電界とＴＤＤＢ寿命との関係をそれぞれ表している。

【００７４】

このグラフによれば、本実施の形態のように、酸洗浄処理に先立ちプラズマ処理を行うようにした洗浄方法を用いて製作された試料（Ｄ２およびＤ４）の方が、上記プラズマ処理を行わない洗浄方法を用いて製作された試料（Ｄ１およびＤ３）よりもＴＤＤＢ寿命が長くなっている。また、こうしたプラズマ処理を行うことによるＴＤＤＢ寿命の改善は、累積度数「６％」のデータＤ１およびＤ２において特に顕著となっている。

【００７５】

図８に、各種の洗浄方法を用いて製作された試料について、累積度数と破壊時間（絶縁破壊するまでの時間）との関係をグラフとして示す。なお、同図８中のデータＤ１０は先の図４に示したデータＢと同様の洗浄方法を用いて製作された試料、またデータＤ２０は先の図４に示したデータＡと同様の洗浄方法を用いて製作された試料についてそれぞれ測定したデータである。

【００７６】

このグラフによれば、データＤ２０は、全てのデータが略一直線上に乗るようになっており、上記各測定ポイントについてその破壊時間のばらつきは小さくなっている。一方、データＤ１０では、累積度数が２０％を下回るデータにおいて破壊時間が急に短くなり、全測定ポイント（２８点）中に、特に破壊時間の短いポイントがより多く存在するようになっている。そして、このように１つの試料中において破壊時間の大幅に短い（絶縁破壊

に対する耐性が低い）箇所が多く存在することは、歩留まりの低下を招く一因となっている。このように、この実施の形態にかかる半導体装置の製造方法によれば、１つの試料中における破壊時間、すなわち絶縁破壊に対する耐性のばらつきを抑えることができる。そしてこれにより、歩留まりの向上が図られるようになる。

【００７７】

また、上記製造方法によれば、非窒化性雰囲気でダメージ層ＤＬを形成するようにしているため、上記第２の層間絶縁膜３および導体膜５の上層部には窒素原子を含有しないダメージ層が形成されることとなる。そのため、上層配線としての配線パターンを形成すべく、該ダメージ層の上にレジストを成膜して露光前にこのレジストの加熱処理（プリベーク）等を行った場合であれ、該レジスト中に窒素原子が取り込まれる可能性は低くなる。このため、前述したレジストの失活についてもこれを抑制することができるようになる。

【００７８】

以上説明したように、この実施の形態にかかる半導体装置によれば、以下のような優れた効果が得られるようになる。

【００７９】

（１）埋め込み配線となる導体膜５の上面が、上記バリアメタル膜４との接触部において該バリアメタル膜４の上面よりも下方に位置する態様で形成された構造とした。このような構造としたことで、図７および図８の測定結果からも明らかなように、隣接する配線間での絶縁破壊についてもこれを好適に抑制することができるようになる。

【００８０】

（２）上記導体膜５の上面が、上記バリアメタル膜４との接触部において、上記第２の層間絶縁膜３の上面よりも下方に位置する態様で形成された構造とした。このような構造としたことで、上記導体膜５がバリアメタル膜４を突き抜けて拡散する場合であれ、上記導体膜５に起因するリークパスの形成を抑制あるいは防止することができるようになる。

【００８１】

（３）上記第２の層間絶縁膜３の上面が、上記バリアメタル膜４との接触部において該バリアメタル膜４の上端よりも下方に位置する態様で形成された構造とした。こうした構造によれば、隣接する配線間での絶縁破壊についてもこれをより好適に抑制することができるようになる。

【００８２】

（４）上記導体膜５を、その上面が、上記バリアメタル膜４との接触部に近づくほど低下する略円弧形状の断面をもつ態様で形成された構造とした。このような構造としたことで、隣接する配線間での絶縁破壊に対する耐性のさらなる強化を図ることができるようになる。

【００８３】

（５）上記第２の層間絶縁膜３の上層部にダメージ層ＤＬがさらに形成される構造とした。このような構造によれば、図４のグラフからも明らかなように、上記ダメージ層ＤＬをエッチングすることで、その上に堆積していた汚染物質Ｃｏをより好適に除去することができるようになる。そしてこれにより、隣接する配線間での絶縁破壊を好適に抑制することができるようにもなる。

【００８４】

（６）また、その製造に際しては、まず、絶縁膜１の上に第１の層間絶縁膜２および第２の層間絶縁膜３を成膜し、これら層間絶縁膜２および３に上記絶縁膜１にまで達するトレンチ溝３ａを形成する。その後、上記トレンチ溝３ａの内壁面（側壁面および底面）にバリアメタル膜４を成膜する。次いで、上記トレンチ溝３ａを埋め込むかたちで、導体膜５を上記バリアメタル膜４に積層形成した後、上記導体膜５をＣＭＰにより除去して上記第２の層間絶縁膜３を露出させた。そしてさらに、非窒化性雰囲気で、上記露出させた第２の層間絶縁膜３の上層部および導体膜５の上層部にダメージ層ＤＬを形成した後、上記ダメージ層ＤＬの一部をエッチングにより除去するようにした。このような製造方法により、上層配線としての配線パターンを形成すべく、上記ダメージ層ＤＬの上にレジストを

成膜して露光前に該レジストの加熱処理（プリベーク）等を行った場合であれ、前述したレジストの失活をより好適に抑制することができるようになる。また一方、上記第２の層間絶縁膜３および導体膜５の上層部に形成されたダメージ層ＤＬを除去することで、上記第２の層間絶縁膜３の上に堆積している汚染物質Ｃｏ等を好適に除去することもできるようになる。

【００８５】

（７）また、上記ダメージ層ＤＬの形成を、アルゴン（Ａｒ）によるプラズマ処理によって行うようにしている。こうした製造方法を用いることで、非窒化性雰囲気においても好適にダメージ層を形成することができるようになる。

【００８６】

（８）また、上記第２の層間絶縁膜３としてＳｉＯＣを採用して、上記ダメージ層ＤＬのエッチングをフッ酸（ＨＦ）によって行った。これにより、上記第２の層間絶縁膜３中に形成したダメージ層ＤＬの選択的なエッチングをより好適に行うことができるようになる。

【００８７】

（第２の実施の形態）

図９に、本発明にかかる半導体装置についてその第２の実施の形態を示す。

【００８８】

この実施の形態にかかる半導体装置も、先の図１に示した半導体装置と同様、図９に示すような構造とすることで、前述したレジストの失活を抑制しつつ、隣接する配線間に生じる絶縁破壊を抑制してＴＤＤＢ寿命の改善を図るようにしている。ただし、この半導体装置では、例えば銅等からなる埋め込み配線が形成されている基板の上に、さらに配線層を積層させることで、多層配線構造としている。

【００８９】

以下、同図９を参照して、この実施の形態にかかる半導体装置の構造について説明する。なお、図９はこの半導体装置の断面構造を模式的に示す断面図である。

【００９０】

図９に示すように、この半導体装置は、例えば先の図１に示したような銅等からなる埋め込み配線が形成されている基板１１と、例えばＳｉＣＮ等の銅に対する拡散防止効果の高い絶縁膜からなる第３の層間絶縁膜１２と、例えばＳｉＯＣ等の低誘電率材料（Ｌｏｗ－ｋ材料）からなる第４の層間絶縁膜１３とが順次積層されて形成されている。

【００９１】

ここで、上記第３の層間絶縁膜１２および第４の層間絶縁膜１３には、例えば基板１１に形成された導体膜５に達するように形成された接続孔１３ａと、該接続孔よりも大きい断面幅を有して同接続孔の上方に形成された溝１３ｂとが形成されている。そして、これら接続孔１３ａおよび溝１３ｂから構成されるトレンチ溝の内壁面（側壁面および底面）には、例えば窒化タンタル（ＴａＮ）等からなるバリアメタル膜１４が形成されている。さらに、例えば銅からなる導体膜１５が、上記接続孔１３ａおよび溝１３ｂに埋め込まれるかたちで上記バリアメタル膜１４に積層されて形成されている。そしてこの導体膜１５は、配線に相当する部分１５ｂと、この配線に相当する部分１５ｂと下層配線（導体膜５）とを電気的に接続するための層間接続プラグに相当する部分１５ａとを有して形成されている。なお、上記バリアメタル膜１４は、上記導体膜１５と層間絶縁膜との密着性を高めたり、あるいは上記導体膜１５の拡散を抑制したりする機能を有している。またここで、上記第３の層間絶縁膜１２は例えば「５００Å～１０００Å」、上記第４の層間絶縁膜１３は例えば「２５００Å～１００００Å」、上記バリアメタル膜１４は例えば「２５０Å」の膜厚をもって形成されている。一方、上記導体膜１５は、配線に相当する部分１５ｂにおいて例えば膜厚「４０００Å」、幅「０．１８μｍ」で形成されており、層間接続プラグに相当する部分１５ａにおいて例えば膜厚「３０００Å」、幅「０．１６μｍ」で形成されている。

【００９２】

また、上記導体膜１５は、その上面が、上記バリアメタル膜１４との接触部において、上記第４の層間絶縁膜１３の上面よりも下方に位置する態様で形成されている。こうした構造によって、上記導体膜１５の拡散に起因するリークパスの形成を抑制あるいは防止することができるようになり、ひいては隣接する配線間での絶縁破壊についてもこれを抑制することができるようになることは前述した通りである。

【００９３】

さらにこの導体膜１５は、その上面の両端部（バリアメタル膜１４との接触部）の角が取られて、その上面がバリアメタル膜１４との接触部に近づくほど低下する略円弧形状の断面形状をもつ態様で形成されている。一方、上記第４の層間絶縁膜１３は、その上面が、バリアメタル膜１４の上端よりも下方に位置する態様で形成されている。そしてこうした構造により、隣接する配線間での絶縁破壊に対する耐性のさらなる強化が図られることも前述した通りである。

【００９４】

また、上記第４の層間絶縁膜１３の上層部には、ダメージ層ＤＬが形成されている。ここでいうダメージ層とは、上記第４の層間絶縁膜１３の組成が変化した状態のことである。なお、ダメージ層ＤＬを含む上記第４の層間絶縁膜１３とバリアメタル膜１４との段差は例えば「数ｎｍ～１００ｎｍ」程度、上記バリアメタル膜１４と導体膜１５との段差は例えば「数ｎｍ～５０ｎｍ」程度となっている。このようなダメージ層ＤＬが存在することによって、このダメージ層ＤＬの上に堆積される絶縁膜との密着性が向上するようになる。

【００９５】

次に、図１０および図１１を参照して、この実施の形態にかかる半導体装置の製造方法について説明する。なお、これら各図において、先の図９に示した要素と同一の要素には各々同一の符号を付して示しており、それら要素についての重複する説明は割愛する。またここでは、先の図１に示した半導体装置を上記基板１１（図９）として用いている。

【００９６】

この製造に際しては、まず、図１０（ａ）に示すように、上記基板１１の上に、例えばプラズマＣＶＤ法等により、上記第３の層間絶縁膜１２を成膜する。なお、この第３の層間絶縁膜１２の成膜条件は、例えば第１の実施の形態に示した第１の層間絶縁膜２の成膜条件と同様とする。

【００９７】

さらにその上に、図１０（ｂ）に示すように、例えばプラズマＣＶＤ（化学気相成長）法により、上記第４の層間絶縁膜１３を成膜する。なお、この第４の層間絶縁膜１３の成膜条件は、例えば第１の実施の形態に示した第２の層間絶縁膜３の成膜条件と同様とする。

【００９８】

その後、上記第４の層間絶縁膜１３の上面にレジストを塗布した上で、例えばフォトリソグラフィにより、接続孔を形成すべく所望のパターンの開口部を形成する。次に、このレジストをマスクとして、例えばドライエッチング等による異方性エッチングを行い、図１０（ｃ）に示されるような、上記第３の層間絶縁膜１２および第４の層間絶縁膜１３を貫通して基板１１に達する接続孔１３ａを形成する。この接続孔１３ａは、例えば基板１１に形成された導体膜５に達するように形成する。なおこの際、上記第３の層間絶縁膜１２をエッチストッパとして用いることによって、上記接続孔１３ａの形成に際して、その深さ精度を向上させることができるようになる。次に、また同様に、例えばドライエッチング等による異方性エッチングを行い、上記接続孔１３ａの上方に図１０（ｄ）に示されるような溝１３ｂを形成する。なおここで、上記接続孔１３ａおよび溝１３ｂのエッチング条件は、例えば第１の実施の形態に示したトレンチ溝３ａのエッチング条件と同様とする。

【００９９】

次に、図１１（ａ）に示すように、上記接続孔１３ａおよび溝１３ｂから構成されるト

レンチ溝の内壁面（側壁面および底面）を含めた基板表面に、例えばスパッタリングにより、上記バリアメタル膜１４を成膜する。次いで、図１１（ｂ）に示すように、上記バリアメタル膜１４の表面に、例えばスパッタリングにより、銅等からなるシード層（図示略）を成膜した後、例えば電界メッキ法あるいは無電界メッキ法により、上記導体膜１５を成膜する。その後、例えば温度「１５０℃」の窒素雰囲気中において、例えば３０分間の熱処理（アニール）を施す。これにより、上記導体膜１５の埋込み性を向上させるようにしている。

【０１００】

次に、図１１（ｃ）に示すように、例えばＣＭＰ（化学的機械的研磨）等による研磨処理を施し、基板表面を平坦化するとともに、上記第４の層間絶縁膜１３を露出させる。次いで、例えばアンモニア水溶液等によるアルカリ洗浄処理を施す。これにより、上記研磨処理の際に用いた研磨液（スラリ）を除去するようにしている。しかし、このアルカリ洗浄処理後においても、図１１（ｄ）に示されるように、上記第４の層間絶縁膜１３の表面には、例えば酸化銅あるいは銅あるいはタンタル等からなる汚染物質Ｃｏが残存することとなる。

【０１０１】

次に、非窒化性雰囲気（窒素原子を含まない雰囲気）にてプラズマ処理を施す。なおこのプラズマ処理の条件は、例えば第１の実施の形態に示したプラズマ処理の条件と同様とする。そしてこのプラズマ処理によって、図１１（ｅ）に示すように、上記第４の層間絶縁膜１３の上層部にはダメージ層ＤＬが形成されることとなる。またこの実施の形態では、上記第４の層間絶縁膜１３の材料としてＳｉＯＣを採用しているため、上記プラズマ処理によってＳｉＯＣの含有するメチル基は分解されて、上記ダメージ層ＤＬはフッ酸に可溶な酸化シリコンをより多く含有するかたちで形成されることとなる。またこの際、上記導体膜１５の上面にもダメージ層（図示略）が形成されることとなる。

【０１０２】

続いて、例えばシュウ酸等により、例えば常温で１５秒間の有機酸洗浄処理を施した後、例えばフッ酸（水：フッ酸＝１００：１）等により、例えば常温で１５秒間の酸洗浄処理を施す。これにより、図１１（ｆ）に示すように、上記ダメージ層ＤＬの一部が選択的にエッチング除去されるとともに、上記第４の層間絶縁膜１３の表面に残存していた汚染物質Ｃｏも共に除去されるようになる。また、この際も前述のように、上記導体膜１５の上面の断面形状は、バリアメタル膜１４との接触部に近づくほど低下する略円弧の形状になり、また上記導体膜１５の上面も、上記バリアメタル膜１４との接触部において上記第４の層間絶縁膜１３の上面よりも下方に位置する態様で形成されるようになる。なお、上記フッ酸による酸洗浄処理に際しては、ブラシスクラブ洗浄を行わないものとする。そのため、上記ブラシスクラブ洗浄の最中にブラシに付いた汚染物質が上記第４の層間絶縁膜１３の表面に再付着するおそれもなくなり、第４の層間絶縁膜１３の表面の清浄度についてもこれをより高めることができるようになる。

【０１０３】

こうした製造方法によっても、前述のように、上記第４の層間絶縁膜１３の上層部に形成されたダメージ層ＤＬを除去することによって、この第４の層間絶縁膜１３の上に堆積している汚染物質Ｃｏ等を除去することができるようになる。また、導体膜１５の上面を選択的にエッチング除去してその高さが第４の層間絶縁膜１３の上面よりも下方に位置するようにしたことで、隣接する配線間の絶縁破壊を抑制することのできる半導体装置を製造することができるようにもなることも前述した通りである。

【０１０４】

また、上記製造方法によれば、上層配線としての配線パターンを形成すべく、基板表面にレジストを成膜して露光前にこのレジストの加熱処理（プリベーク）等を行った場合であれ、レジストの失活を抑制することができるようになることも前述した。

【０１０５】

また、こうした構造を有する半導体装置をさらに積層させて、例えばＳｉＣＮ等からな

るキャップ膜１００ａと、例えばＴＥＯＳ（テトラエチルオルソシリケート）膜等の保護膜１００とを順次堆積させれば、図１２に示されるような多層配線構造を有する半導体装置を形成することもできる。

【０１０６】

以上説明したように、この第２の実施の形態にかかる半導体装置によっても、先の第１の実施の形態の前記（１）～（８）の効果と同様の効果もしくはそれに準じた効果を得ることができる。

【０１０７】

（他の実施の形態）

なお、上記各実施の形態は、以下の形態をもって実施することもできる。

【０１０８】

・上記第２の実施の形態では、接続孔１３ａおよび溝１３ｂの形成に際して、溝１３ｂの形成に先立って接続孔１３ａを形成するようにしたが、溝１３ｂを接続孔１３ａよりも先に形成するようにしてもよい。

【０１０９】

・上記各実施の形態では、隣接する配線（導体膜）間に形成される層間絶縁膜を第１の層間絶縁膜２および第２の層間絶縁膜３、あるいは第３の層間絶縁膜１２および第４の層間絶縁膜１３により構成される２層構造とした。しかし、層間絶縁膜の構造はこうした２層構造には限られず、単層構造であっても、また３層以上で構成される構造であってもよい。

【０１１０】

・上記各実施の形態では、第２の層間絶縁膜３あるいは第４の層間絶縁膜１３の材料としてＳｉＯＣを採用した。しかし、これら層間絶縁膜の材料としてＭＳＱ（メチルシルセスキオキサン）等のメチル基を含有する酸化シリコンを採用することとしても、前記（８）の効果と同様もしくはそれに準じた効果が得られる。また、これら層間絶縁膜の材料としては、例えばＳｉＯＦ等の酸化シリコン（比誘電率k　４）よりも誘電率の低い低誘電率材料（Ｌｏｗ－ｋ材料）や酸化シリコン等も適宜採用することができる。

【０１１１】

Ｌｏｗ－ｋ材料としては、ＳｉＯＣの他に、ＣＶＤ法を用いて形成されたＳｉＯＦ(k=3.5～3.8)、ベンゾシクロブテン（ＢＣＢ）（比誘電率k=2.5～2.7）や、ＳＯＤ（Spin-on Dielectrics）法によって形成されたＨＳＱ（ハイドロゲンシルセスキオキサン）（比誘電率k=2.3～3.1）、ＭＳＱ（メチルシルセスキオキサン）（比誘電率k=1.9～2.5）、ＨＭＳＱ（ハイドライド－メチルシルセスキオキサン）(比誘電率k≦2.2～2.5)、ポリイミド系ポリマー（比誘電率k=2.6～2.8）、アリレンエーテル系ポリマー（比誘電率k=2.2～2.8）、シクロブテン系ポリマー（たとえば、ジビニルシロキサン・ベンゾシクロブテン（ＶＤＳ－ＢＣＢ）（比誘電率k=2.2～2.6））、パーフロロシクロブテン（ＰＦＣＢ）（比誘電率k=2.2）などが挙げられる。

【０１１２】

図１に示した本発明の第１の実施の形態の断面構造を有する半導体装置と、図１４に示した従来構造の半導体装置について、第２の層間絶縁膜３に用いられる材料の比誘電率kを変えたときのＴＤＤＢ寿命をシミュレーションにより算出した。配線５および配線２５の寸法は、厚さ「３０００Å」、幅「０．５μｍ」、配線対向長「３ｃｍ」、配線間隔「０．１８μｍ」とした。隣接する配線に印加する電圧は、「３．６Ｖ」とし、試料温度を「１２５℃」とした。

【０１１３】

表１に第１の実施の形態の断面構造の半導体装置および従来構造の半導体装置について得られたＴＤＤＢ寿命を示す。表１において、ＴＤＤＢ寿命の単位はlog(sec)であり、この単位では信頼性試験合格の目安となる１０年は8.5(log(sec))である。

【０１１４】

【表１】

	TDDB寿命	
比誘電率k	第1の実施の形態の構造 (log(sec))	従来構造 (log(sec))
4.2	32.5	27.0
4.1	30.9	25.4
4.0	29.3	23.8
3.9	27.8	22.3
3.8	26.2	20.7
3.7	24.6	19.1
3.6	23.0	17.5
3.5	21.5	16.0
3.4	19.9	14.4
3.3	18.3	12.8
3.2	16.7	11.2
3.1	15.2	9.7
3.0	13.6	8.1
2.9	12.0	6.5
2.8	10.4	4.9
2.7	8.8	3.3
2.6	7.3	1.8
2.5	5.7	0.2
2.4	4.1	−1.4
2.3	2.5	−3.0

【０１１５】

従来構造では、ＴＤＤＢ寿命が１０年に達しなかった比誘電率k=2.7～3.0の範囲が、第１の実施の形態の構造に改良することにより、ＴＤＤＢ寿命が１０年以上に延長されることが確認された。比誘電率kが2.7～3.0の範囲の材料としては、ＢＣＢ、ＨＳＱ、ポリイミド系ポリマー、アリレンエーテル系ポリマーが挙げられる。

【０１１６】

・上記各実施の形態では、第１の層間絶縁膜２あるいは第３の層間絶縁膜１２の材料としてＳｉＣＮを採用した。しかし、これら層間絶縁膜の材料は任意であり、例えばＳｉＮやＳｉＣ等も適宜採用することができる。また、上記絶縁膜１および基板１１の材料も任意である。また、上記バリアメタル膜４およびバリアメタル膜１４の材料も任意であり、例えばＴｉあるいはＴｉＮあるいはＴａ等も適宜採用することができる。また、上記導体膜５および導体膜１５の材料も任意の導体材料を採用することができる。例えば銅合金あるいはアルミニウム等も適宜採用することができる。

【０１１７】

・上記各実施の形態では、上記第２の層間絶縁膜３あるいは第４の層間絶縁膜１３の上層部にダメージ層ＤＬが形成された構造とした。また、これら層間絶縁膜を、その上面が、バリアメタル膜との接触部において該バリアメタル膜の上端よりも下方に位置する態様で形成された構造とした。また、上記導体膜５あるいは導体膜１５を、その上面が、バリアメタル膜との接触部において、上記第２の層間絶縁膜３あるいは第４の層間絶縁膜１３の上面よりも下方に位置する態様で形成された構造とした。また、これら導体膜を、その上面が、バリアメタル膜との接触部に近づくほど低下する略円弧形状の断面をもつ態様で形成された構造とした。しかし、必ずしもこうした構造にする必要はない。要は、上記導体膜５あるいは導体膜１５を、その上面が、少なくともバリアメタル膜との接触部において該バリアメタル膜の上端よりも下方に位置する態様で形成された構造とすることで足り、例えば図１３（ａ）および（ｂ）に例示する構造等も適宜採用することができる。なお、図１３（ａ）は図１に対応する断面図、図１３（ｂ）は図９に対応する断面図である。なお、図１３（ａ）に示す半導体装置は、導体膜５を、その上面が、全面にわたってバリアメタル膜４の上端よりも下方に位置する態様で形成された構造としたものである。また一方、図１３（ｂ）に示す半導体装置は、上記溝１３ｂの下方に、該溝１３ｂを形成する際にエッチストッパ（中間エッチストッパ）として機能する層間絶縁膜１２ａが設けられたものである。また、この半導体装置の製造に際しては、例えば、上記第３の層間絶縁膜１２の上に、例えばＳｉＯＣ等からなる層間絶縁膜１３ｃと、例えばＳｉＣＮ等からなる層間絶縁膜１２ａと、上記第４の層間絶縁膜１３とを順次積層させた後、接続孔１３ａおよび溝１３ｂを形成するようにする。またこの他に、エッチストッパを２層構造にしたもの（ダブルエッチストッパ）等も適宜採用することができる。

【０１１８】

・上記各実施の形態では、上記導体膜５あるいは導体膜１５の成膜をメッキ法によって行ったが、これら導体膜の成膜方法は任意であり、例えばスパッタリングあるいはＣＶＤ法によって成膜するようにしてもよい。また、これら導体膜の成膜後の熱処理（アニール）は真空中で行うようにしてもよい。

【０１１９】

・上記各実施の形態では、上記ダメージ層のエッチングをフッ酸によって行ったが、このエッチング方法は任意である。例えばフッ素系のガスを用いたドライエッチング等によって上記エッチングを行うようにしてもよい。また、このエッチングに際しては、ダメージ層の一部のみではなく、ダメージ層全てをエッチング除去するようにしてもよい。

【０１２０】

・上記各実施の形態では、上記ダメージ層の形成をアルゴン（Ａｒ）によるプラズマ処理によって行ったが、上記ダメージ層の形成方法は、非窒化性雰囲気で行われる範囲で任意である。例えばアルゴン（Ａｒ）以外の希ガスを用いたプラズマ処理や電子線あるいは紫外線による照射等によって行うこともできる。

【０１２１】

・上記各実施の形態では、層間絶縁膜に形成されたトレンチ溝に対してバリアメタル膜と導体膜とが設けられた構造について言及したが、必ずしも層間絶縁膜にトレンチ溝が形成された構造には限られない。要は、トレンチ溝を有する絶縁膜と、上記トレンチ溝の内壁面に形成されたバリアメタル膜と、該バリアメタル膜を介して上記トレンチ溝に埋設されて形成されてなる導体膜とを有する半導体装置であれば、本発明を適用することはできる。

【図面の簡単な説明】

【０１２２】

【図１】この発明にかかる半導体装置の第１の実施の形態について、その断面構造を模式的に示す断面図。

【図２】（ａ）～（ｄ）は、同実施の形態にかかる半導体装置の製造方法についてその製造プロセスを模式的に示す断面図。

【図３】（ａ）～（ｄ）は、同実施の形態にかかる半導体装置の製造方法についてその製造プロセスを模式的に示す断面図。

【図４】同実施の形態にかかる半導体装置の製造方法と従来の半導体装置の製造方法とについて層間絶縁膜上に残存する銅の量を対比させて示すグラフ。

【図５】（ａ）はＴＤＤＢ特性を測定する際に用いる試料の平面構造を模式的に示す平面図、（ｂ）はＡ－Ａ線に沿った断面図。

【図６】上記測定を行う際の測定態様を模式的に示す側面図。

【図７】上記第１の実施の形態にかかる半導体装置と従来の半導体装置とのＴＤＤＢ特性を対比して示すグラフ。

【図８】同実施の形態にかかる半導体装置と従来の半導体装置とのＴＤＤＢ特性を対比して示すグラフ。

【図９】この発明にかかる半導体装置の第２の実施の形態について、その断面構造を模式的に示す断面図。

【図１０】（ａ）～（ｄ）は、同実施の形態にかかる半導体装置の製造方法についてその製造プロセスを模式的に示す断面図。

【図１１】（ａ）～（ｆ）は、同実施の形態にかかる半導体装置の製造方法についてその製造プロセスを模式的に示す断面図。

【図１２】同実施の形態にかかる半導体装置を多層配線化した場合の断面構造を模式的に示す断面図。

【図１３】（ａ）および（ｂ）は、上記各実施の形態にかかる半導体装置の変形例について、その断面構造を模式的に示す断面図。

【図１４】従来の半導体装置の一例についてその断面構造を模式的に示す断面図。

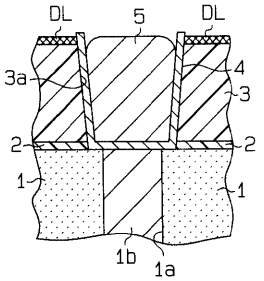
【図１５】従来の半導体装置の製造方法についてその製造プロセス例を模式的に示す断面図。

【符号の説明】

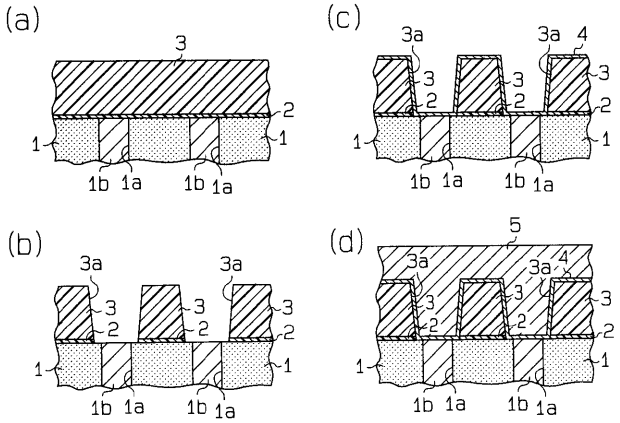
【０１２３】

１…絶縁膜、２…第１の層間絶縁膜、３…第２の層間絶縁膜、３ａ…トレンチ溝、１１…基板、１２…第３の層間絶縁膜、１２ａ、１３ｃ…層間絶縁膜、１３…第４の層間絶縁膜、１３ａ…接続孔、１３ｂ…溝、４、１４…バリアメタル膜、５、１５…導体膜、ＤＬ…ダメージ層。

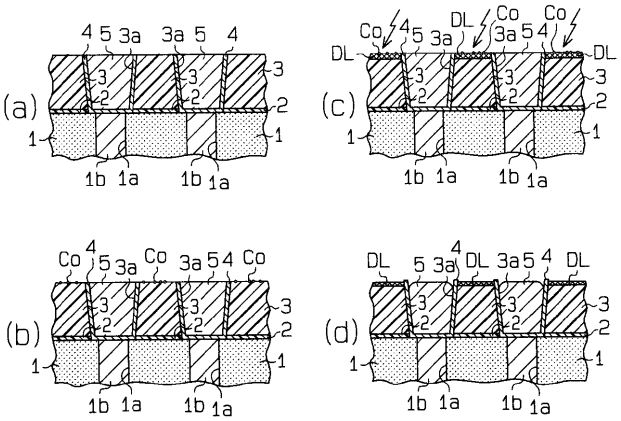
【図１】



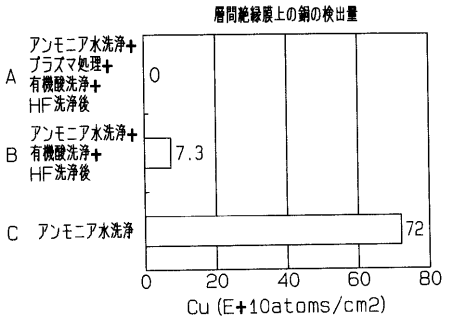
【図２】



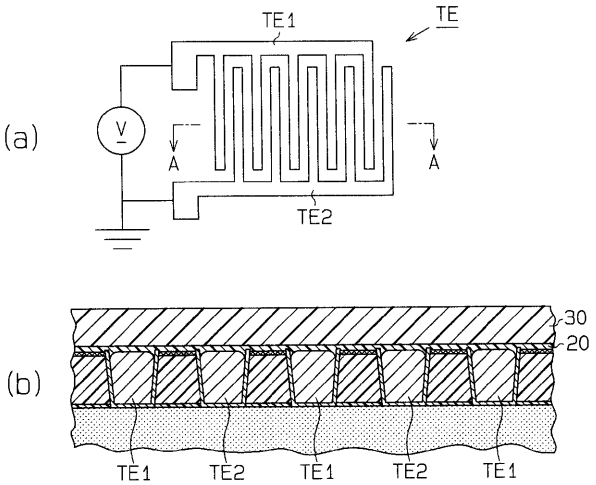
【図３】



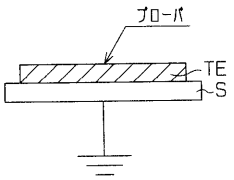
【図４】



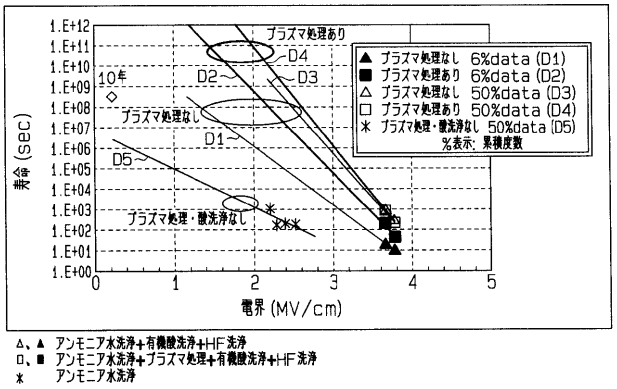
【図５】



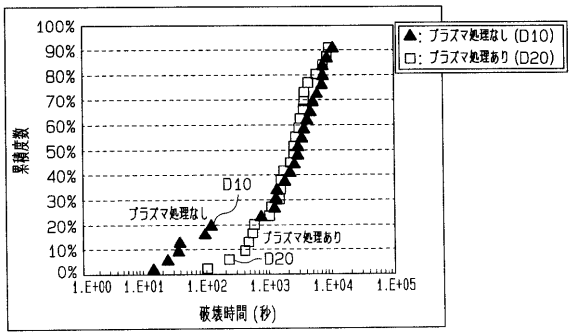
【図６】



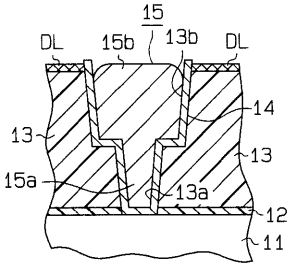
【図７】



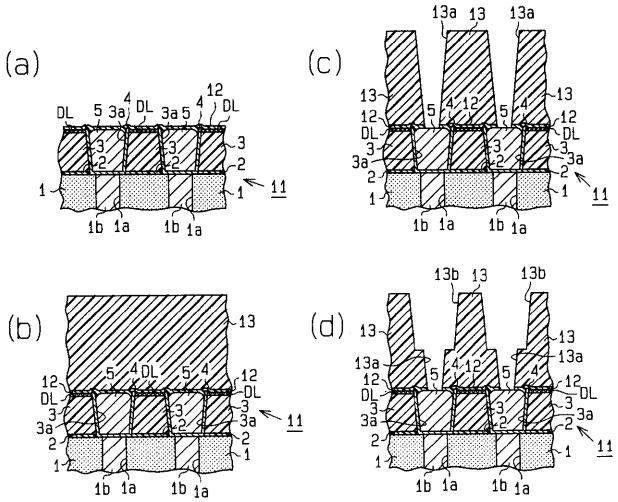
【図８】



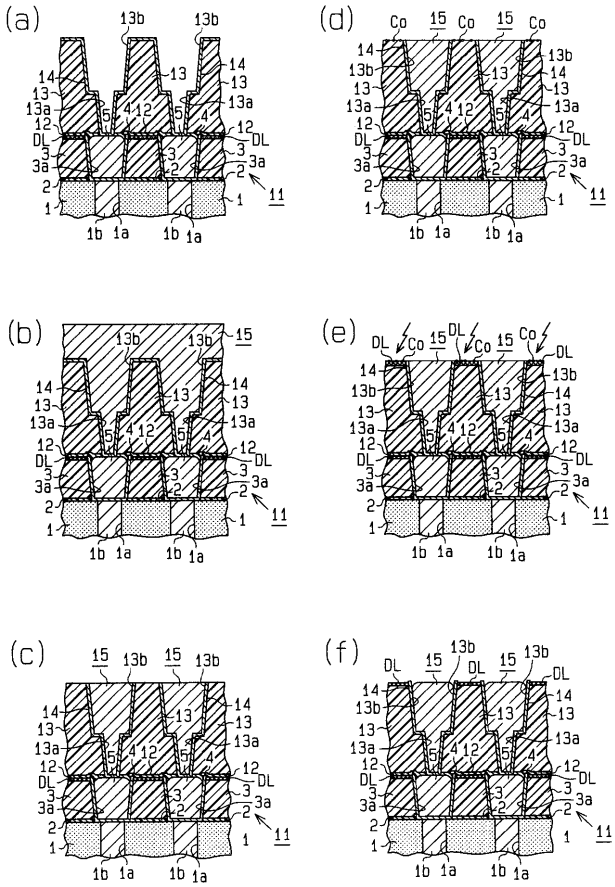
【図９】



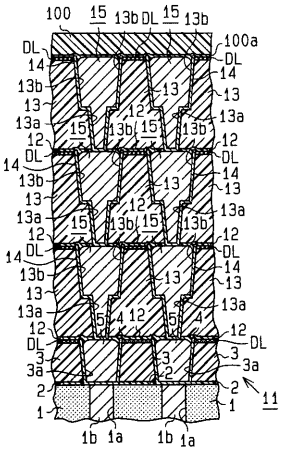
【図１０】



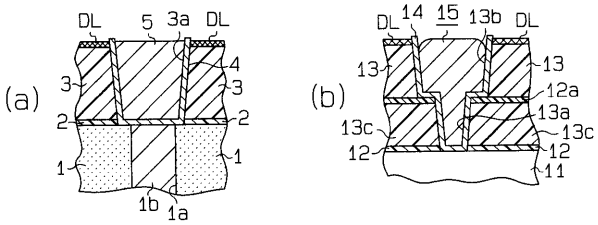
【図１１】



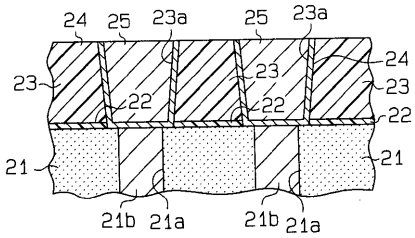
【図１２】



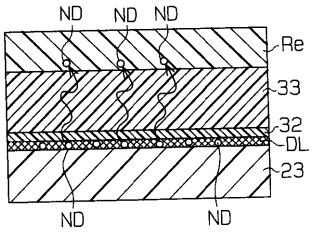
【図１３】



【図１４】



【図１５】



フロントページの続き

Ｆターム(参考)	5F033	HH08	HH11	HH12	HH18	HH21	HH32	HH33	JJ01	JJ08	JJ11
		JJ12	JJ18	JJ21	JJ32	JJ33	KK01	KK08	KK11	KK12	KK18
		KK21	KK32	KK33	MM01	MM02	MM12	MM13	MM17	NN06	NN07
		PP06	PP15	PP27	PP28	PP33	QQ00	QQ08	QQ09	QQ16	QQ19
		QQ25	QQ35	QQ48	QQ73	QQ85	QQ91	RR01	RR04	RR09	RR11
		RR21	RR22	RR23	RR24	RR25	SS15	TT02	WW09	XX00	XX24
		XX28									
	5F043	AA31	BB22	DD02	GG03						