

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7085975号

(P7085975)

(45)発行日 令和4年6月17日(2022.6.17)

(24)登録日 令和4年6月9日(2022.6.9)

(51)国際特許分類

F I

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/78 6 5 2 D

H 0 1 L 29/739 (2006.01)

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 5 A

H 0 1 L 29/78 6 5 2 M

H 0 1 L 29/78 6 5 2 C

請求項の数 7 (全17頁) 最終頁に続く

(21)出願番号 特願2018-235379(P2018-235379)

(22)出願日 平成30年12月17日(2018.12.17)

(65)公開番号 特開2020-98820(P2020-98820A)

(43)公開日 令和2年6月25日(2020.6.25)

審査請求日 令和2年12月24日(2020.12.24)

(73)特許権者 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目7番3号

(74)代理人 100088672

弁理士 吉竹 英俊

(74)代理人 100088845

弁理士 有田 貴弘

(72)発明者 原田 辰雄

東京都千代田区丸の内二丁目7番3号

三菱電機株式会社内

審査官 恩田 和彦

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1の導電型の第1の半導体層と、

前記第1の半導体層の表層に形成される、第2の導電型の第2の半導体層と、

前記第2の半導体層の表層に形成される、第1の導電型の第3の半導体層と、

前記第1の半導体層の上面から、前記第2の半導体層および前記第3の半導体層を貫通して前記第1の半導体層の内部にまで達して形成される、少なくとも1つの第1のトレンチと、

前記第1のトレンチの内壁に形成されるゲート絶縁膜と、

前記第1のトレンチにおける前記ゲート絶縁膜の内側に形成されるゲート電極と、

前記ゲート電極を覆って形成される層間絶縁膜と、

前記層間絶縁膜から露出する前記第1の半導体層の上面から、前記第3の半導体層を貫通して前記第2の半導体層の内部にまで達して形成される、少なくとも1つの第2のトレンチと、

前記第2のトレンチの底部に接触して形成される、第2の導電型の第4の半導体層と、

前記層間絶縁膜および前記第2のトレンチを覆って形成される電極層とを備え、

複数の前記第1のトレンチと、複数の前記第2のトレンチとを備え、前記第1のトレンチの数が、前記第2のトレンチの数よりも多く、2つの前記第1のトレンチに挟まれる領域であり、かつ、前記第2の半導体層と、前記

第 3 の半導体層と、前記第 4 の半導体層と、前記第 2 のトレンチとが形成される領域を第 1 のセル領域とし、

2 つの前記第 1 のトレンチに挟まれる領域であり、前記第 2 の半導体層と、前記第 3 の半導体層とが形成され、かつ、前記第 4 の半導体層と、前記第 2 のトレンチとが形成されない領域を第 2 のセル領域とし、

前記第 1 のセル領域と前記第 2 のセル領域とは、前記第 1 の半導体層の表層においてそれぞれ配列される、

半導体装置。

【請求項 2】

前記第 4 の半導体層の上面は、前記第 2 の半導体層の内部に位置する、
請求項 1 に記載の半導体装置。

10

【請求項 3】

前記第 2 のトレンチの底部が、前記第 3 の半導体層の下面よりも $0.8 \mu\text{m}$ 以上深く位置する、

請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記第 2 のトレンチの幅が、前記層間絶縁膜から露出する前記第 1 の半導体層の上面と前記電極層とが接触するコンタクトホール幅よりも狭い、
請求項 1 から請求項 3 のうちのいずれか 1 項に記載の半導体装置。

【請求項 5】

20

前記第 2 のトレンチの幅は、 50 nm 以上である、

請求項 1 から請求項 4 のうちのいずれか 1 項に記載の半導体装置。

【請求項 6】

前記第 2 の半導体層の下面に接触して形成される、第 1 の導電型の第 5 の半導体層をさらに備える、

請求項 1 から請求項 5 のうちのいずれか 1 項に記載の半導体装置。

【請求項 7】

前記第 1 のセル領域は、前記第 2 のセル領域に対して 2 つおきに配列される、
請求項 1 に記載の半導体装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本願明細書に開示される技術は、半導体装置に関するものである。

【背景技術】

【0002】

従来から、たとえば、特許文献 1 に例が示されるようなトレンチゲート構造を有する絶縁ゲート型バイポーラトランジスタ (insulated gate bipolar transistor、すなわち、IGBT) では、飽和電流を抑制して短絡耐量を向上させるために、しきい値電圧を上昇させる手法をとることが一般的である。

【先行技術文献】

40

【特許文献】

【0003】

【文献】特開 2001 - 250947 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記のように、従来の技術では飽和電流を抑制して短絡耐量を向上させるための対策がなされていたが、未だ十分ではなかった。

【0005】

本願明細書に開示される技術は、以上に記載されたような問題を鑑みてなされたものであ

50

り、半導体装置において飽和電流を抑制して短絡耐量を向上させるための技術を提供することを目的とするものである。

【課題を解決するための手段】

【0006】

本願明細書に開示される技術の第1の態様は、第1の導電型の第1の半導体層と、前記第1の半導体層の表層に形成される、第2の導電型の第2の半導体層と、前記第2の半導体層の表層に形成される、第1の導電型の第3の半導体層と、前記第1の半導体層の上面から、前記第2の半導体層および前記第3の半導体層を貫通して前記第1の半導体層の内部にまで達して形成される、少なくとも1つの第1のトレンチと、前記第1のトレンチの内壁に形成されるゲート絶縁膜と、前記第1のトレンチにおける前記ゲート絶縁膜の内側に形成されるゲート電極と、前記ゲート電極を覆って形成される層間絶縁膜と、前記層間絶縁膜から露出する前記第1の半導体層の上面から、前記第3の半導体層を貫通して前記第2の半導体層の内部にまで達して形成される、少なくとも1つの第2のトレンチと、前記第2のトレンチの底部に接触して形成される、第2の導電型の第4の半導体層と、前記層間絶縁膜および前記第2のトレンチを覆って形成される電極層とを備え、複数の前記第1のトレンチと、複数の前記第2のトレンチとを備え、前記第1のトレンチの数が、前記第2のトレンチの数よりも多く、2つの前記第1のトレンチに挟まれる領域であり、かつ、前記第2の半導体層と、前記第3の半導体層と、前記第4の半導体層と、前記第2のトレンチとが形成される領域を第1のセル領域とし、2つの前記第1のトレンチに挟まれる領域であり、前記第2の半導体層と、前記第3の半導体層とが形成され、かつ、前記第4の半導体層と、前記第2のトレンチとが形成されない領域を第2のセル領域とし、前記第1のセル領域と前記第2のセル領域とは、前記第1の半導体層の表層においてそれぞれ配列される。

10

20

【発明の効果】

【0007】

本願明細書に開示される技術の第1の態様によれば、飽和電流を抑制して短絡耐量を向上させることができる。

【0008】

また、本願明細書に開示される技術に関連する目的と、特徴と、局面と、利点とは、以下に示される詳細な説明と添付図面とによって、さらに明白となる。

30

【図面の簡単な説明】

【0009】

【図1】実施の形態に関する、半導体装置の構成の例を概略的に示す平面図である。

【図2】図1におけるA-A'断面における断面図である。

【図3】発明者が知っている半導体装置の構成の例を概略的に示す断面図である。

【図4】実施の形態に関する、半導体装置の構成の例を概略的に示す断面図である。

【図5】実施の形態に関する、半導体装置の構成の例を概略的に示す断面図である。

【図6】図3に例が示された半導体装置と、図4に例が示された半導体装置と、図5に例が示された半導体装置とにおいて、コレクタ電流とゲート電圧との間の依存性を示す特性を比較する図である。

40

【図7】図3に例が示された半導体装置、図4に例が示された半導体装置、および、図5に例が示された半導体装置それぞれにおける、定格電流での n^+ 型の半導体層の下面からのコンタクトトレンチの深さとターンオン損失比率との相関図である。

【図8】実施の形態に関する、半導体装置の構成の例を概略的に示す断面図である。

【図9】実施の形態に関する、半導体装置の他の構成の例を概略的に示す断面図である。

【図10】実施の形態に関する、半導体装置の他の構成の例を概略的に示す断面図である。

【図11】図5におけるXラインおよびYラインに沿う濃度プロファイルを示す図である。

【発明を実施するための形態】

【0010】

以下、添付される図面を参照しながら実施の形態について説明する。そして、それぞれの

50

実施の形態によって生じる効果の例については、すべての実施の形態の説明の後でまとめて記述する。

【0011】

なお、図面は概略的に示されるものであり、説明の便宜のため、適宜、構成の省略、または、構成の簡略化がなされるものである。また、異なる図面にそれぞれ示される構成などの大きさおよび位置の相互関係は、必ずしも正確に記載されるものではなく、適宜変更され得るものである。また、断面図ではない平面図などの図面においても、実施の形態の内容を理解することを容易にするために、ハッチングが付される場合がある。

【0012】

また、以下に示される説明では、同様の構成要素には同じ符号を付して図示し、それらの名称と機能とについても同様のものとする。したがって、それらについての詳細な説明を、重複を避けるために省略する場合がある。

【0013】

また、以下に記載される説明において、「上」、「下」、「左」、「右」、「側」、「底」、「表」または「裏」などの特定の位置と方向とを意味する用語が用いられる場合があっても、これらの用語は、実施の形態の内容を理解することを容易にするために便宜上用いられるものであり、実際に実施される際の方向とは関係しないものである。

【0014】

また、以下に記載される説明において、「...の上面」または「...の下面」と記載される場合、対象となる構成要素の上面自体に加えて、および、対象となる構成要素の上面に他の構成要素が形成された状態も含むものとする。すなわち、たとえば、「甲の上面に設けられる乙」と記載される場合、甲と乙との間に別の構成要素「丙」が介在することを妨げるものではない。

【0015】

また、以下に記載される説明において、「第1の」、または、「第2の」などの序数が用いられる場合があっても、これらの用語は、実施の形態の内容を理解することを容易にするために便宜上用いられるものであり、これらの序数によって生じ得る順序などに限定されるものではない。

【0016】

<第1の実施の形態>

以下、本実施の形態に関する半導体装置について説明する。

【0017】

<半導体装置の構成について>

図1は、本実施の形態に関する、半導体装置の構成の例を概略的に示す平面図である。また、図2は、図1におけるA-A'断面における断面図である。

【0018】

図1に例が示されるように、半導体装置は、複数配列されたセル領域30と、セル領域30が配列された領域の周辺部に配置されたゲートパッド18とを備えている。なお、セル領域30の構成については、後述する。

【0019】

図2に例が示されるように、半導体装置は、n型の半導体基板20を備える。n型の半導体基板20はSiからなり、かつ、互いに対向する第1の主面(図2における上面)と第2の主面(図2における下面)とを有する。

【0020】

n型の半導体基板20の上面側の表層には、p型の半導体層24(ベース層)が形成されている。また、p型の半導体層24の表層には、n⁺型の半導体層23(エミッタ層)が部分的に形成されている。n⁺型の半導体層23の不純物濃度は、n型の半導体基板20の不純物濃度よりも高い。

【0021】

また、n型の半導体基板20の上面から、n⁺型の半導体層23とp型の半導体層24と

10

20

30

40

50

を貫通してn型の半導体基板20の内部に達するトレンチ13が複数形成されている。また、トレンチ13の内壁には、ゲート絶縁膜14が形成されている。さらに、ゲート絶縁膜14によって囲まれるトレンチ13内の領域に、ゲート電極15が形成されている。

【0022】

また、ゲート電極15の上面を覆う層間絶縁膜16が形成されている。そして、隣接する層間絶縁膜16同士の間には、n⁺型の半導体層23よりも深く、かつ、p型の半導体層24の内部に達するがトレンチ13よりは浅いコンタクトトレンチ17が複数形成されている。

【0023】

また、コンタクトトレンチ17の底部に接触して、p⁺型の半導体層25（コンタクト層）が形成されている。p⁺型の半導体層25の不純物濃度は、p型の半導体層24の不純物濃度よりも高い。p⁺型の半導体層25（コンタクト層）の上面は、p型の半導体層24の内部に位置する。また、層間絶縁膜16間には、エミッタ電極用コンタクトホール19が形成されている。

10

【0024】

また、コンタクトトレンチ17の幅は、たとえば、50nm以上である。また、コンタクトトレンチ17の幅は、層間絶縁膜16から露出するn型の半導体基板20の上面とエミッタ電極10とが接触するエミッタ電極用コンタクトホール19の幅よりも狭い。

【0025】

また、n型の半導体基板20の上面には、複数のセル領域30が形成されている。それぞれのセル領域30は、n⁺型の半導体層23と、p型の半導体層24と、ゲート絶縁膜14と、ゲート電極15と、層間絶縁膜16と、コンタクトトレンチ17と、p⁺型の半導体層25とを有する領域である。

20

【0026】

また、複数のセル領域30を覆って、エミッタ電極10が形成されている。エミッタ電極10は、n⁺型の半導体層23、p型の半導体層24およびp⁺型の半導体層25に対し、コンタクトトレンチ17を介する形で接続されている。ここで、ゲート電極15は、層間絶縁膜16によりエミッタ電極10に対して絶縁されている。

【0027】

また、n型の半導体基板20の下面には、n⁺型のバッファ層21が形成されている。n⁺型のバッファ層21の不純物濃度は、n型の半導体基板20の不純物濃度よりも高い。また、n⁺型のバッファ層21の下面には、p型のコレクタ層22が形成されている。さらに、p型のコレクタ層22の下面には、コレクタ電極11が形成されている。

30

【0028】

次に、本実施の形態によって生じる効果について、比較例と比較しながら説明する。

【0029】

図3は、発明者が知っている半導体装置の構成の例を概略的に示す断面図である。また、図4は、本実施の形態に関する半導体装置の構成の例を概略的に示す断面図である。また、図5は、本実施の形態に関する半導体装置の構成の例を概略的に示す断面図である。

【0030】

図3に例が示されるように、図3における半導体装置は、n型の半導体基板20と、p型の半導体層24と、n⁺型の半導体層23と、トレンチ13と、ゲート絶縁膜14と、ゲート電極15と、層間絶縁膜16と、p型の半導体層24の表層に部分的に形成されたp⁺型の半導体層25Aと、エミッタ電極10と、n⁺型のバッファ層21と、p型のコレクタ層22と、コレクタ電極11とを備えている。p⁺型の半導体層25Aの不純物濃度は、p型の半導体層24の不純物濃度よりも高い。

40

【0031】

上記のように、図3における半導体装置には、コンタクトトレンチが形成されていない。

【0032】

また、図4に例が示されるように、図4における半導体装置は、n型の半導体基板20と

50

、p型の半導体層24と、n⁺型の半導体層23と、トレンチ13と、ゲート絶縁膜14と、ゲート電極15と、層間絶縁膜16と、隣接する層間絶縁膜16同士の間において、n⁺型の半導体層23よりも深く、かつ、p型の半導体層24の内部に達するがトレンチ13よりは浅く形成されたコンタクトトレンチ17Bと、コンタクトトレンチ17Bの底部に接触して形成された、p⁺型の半導体層25Bと、層間絶縁膜16およびコンタクトトレンチ17Bを覆って形成されたエミッタ電極10と、n⁺型のバッファ層21と、p型のコレクタ層22と、コレクタ電極11とを備えている。p⁺型の半導体層25Bの上面は、p型の半導体層24の上面に位置する。また、p⁺型の半導体層25Bの不純物濃度は、p型の半導体層24の不純物濃度よりも高い。

【0033】

10

なお、コンタクトトレンチ17Bは、コンタクトトレンチ17よりも浅いものとする。

【0034】

また、p型の半導体層24は、n⁺型の半導体層23とn型の半導体基板20とが繋がるnチャネルが形成される領域である。

【0035】

n⁺型の半導体層23は、コンタクトトレンチ17Bの有無およびコンタクトトレンチ17Bの深さとは無関係に配置される。また、p型の半導体層24も、コンタクトトレンチ17Bの有無およびコンタクトトレンチ17Bの深さとは無関係に形成される。

【0036】

また、図5に例が示されるように、図5における半導体装置は、n型の半導体基板20と、p型の半導体層24と、n⁺型の半導体層23と、トレンチ13と、ゲート絶縁膜14と、ゲート電極15と、層間絶縁膜16と、コンタクトトレンチ17と、p⁺型の半導体層25と、エミッタ電極10と、n⁺型のバッファ層21と、p型のコレクタ層22と、コレクタ電極11とを備えている。p⁺型の半導体層25の上面は、p型の半導体層24の内部に位置する。

20

【0037】

ここで、図11は、図5におけるXラインおよびYラインに沿う濃度プロファイルを示す図である。図11において、縦軸が不純物濃度[cm^{-3}]を示し、横軸が深さ[μm]を示す。

【0038】

30

図11において実線で示されるように、Xラインに沿う濃度プロファイルでは、X1とX2とで、濃度勾配が異なっている。これは、X1の深さにp⁺型の半導体層25が形成され、X2の深さにp型の半導体層24が形成されていることを示しており、p⁺型の半導体層25とp型の半導体層24との境界が濃度勾配の違いから明確となっている。

【0039】

また、図11において点線で示されるように、Yラインに沿う濃度プロファイルでは、Y1とY2とで、濃度勾配が異なっている。これは、Y1の深さにn⁺型の半導体層23が形成され、Y2の深さにp型の半導体層24が形成されていることを示しており、n⁺型の半導体層23とp型の半導体層24との境界が濃度勾配の違いから明確となっている。

【0040】

40

図3、図4および図5を比較すると、p⁺型の半導体層25（または、p⁺型の半導体層25A、p⁺型の半導体層25B）がn⁺型の半導体層23に影響を与えていることがわかる。

【0041】

具体的には、図3および図4に例が示されたように、IGBTがラッチアップ動作に入ることを防ぐためのp⁺型の半導体層25Aまたはp⁺型の半導体層25Bは、n⁺型の半導体層23の下面の抵抗を下げる効果を担っている。その反面、p⁺型の半導体層25Aまたはp⁺型の半導体層25Bにおける不純物がn⁺型の半導体層23に干渉することから、n⁺型の半導体層23の形成領域が安定しない。そうすると、チャネルの長さも安定しないことから、以下のような不具合を招くことがある。

50

【 0 0 4 2 】

I G B T のオン状態においては、コレクタ電極 1 1 に順バイアスが印加され、ゲート電極 1 5 に順バイアスが印加されると、ゲート絶縁膜 1 4 に接触している p 型の半導体層 2 4 に反転層が生じてチャネルが形成される。そして、当該チャネルを介して、コレクタ電極 1 1 からエミッタ電極 1 0 へ通電が始まる。

【 0 0 4 3 】

チャネルの長さが安定しない場合は、ゲート電極 1 5 へ低い順バイアスが印加された際の通電能力が悪化した状態、または、ゲート電極 1 5 へ高い順バイアスが印加された際の通電能力が過大な状態に陥りやすい。そのため、オン電圧の悪化または短絡耐量の低下などを招く。

10

【 0 0 4 4 】

一方で、図 5 に例が示された半導体装置では、p⁺型の半導体層 2 5 における不純物が n⁺型の半導体層 2 3 へ干渉することが抑制される。そのため、ゲート電極 1 5 へ低い順バイアスが印加された際の通電能力が悪化した状態には陥りにくい。

【 0 0 4 5 】

また、後述のように、ゲート電極 1 5 へ高い順バイアスが印加された際にも通電能力が抑えられることから、オン電圧を悪化させずに、短絡耐量の向上を図ることができる。

【 0 0 4 6 】

図 6 は、図 3 に例が示されたコンタクトトレンチが形成されていない半導体装置と、図 4 に例が示された浅いコンタクトトレンチ 1 7 B が形成された半導体装置と、図 5 に例が示されたコンタクトトレンチ 1 7 が形成された半導体装置とにおいて、コレクタ電流とゲート電圧との間の依存性を示す比較特性図である。図 6 において、縦軸はコレクタ電流 (I c) [A] を示し、横軸はゲート電圧 (V G) [V] を示す。

20

【 0 0 4 7 】

ここで、図 3 に例が示されたコンタクトトレンチが形成されていない半導体装置は、トレンチの深さを 0 μ m とし、図 6 においては太い実線で示す。

【 0 0 4 8 】

また、図 4 に例が示された浅いコンタクトトレンチ 1 7 B が形成された半導体装置は、トレンチの深さを、n⁺型の半導体層 2 3 の下面から 0 . 5 8 μ m、および、n⁺型の半導体層 2 3 の下面から 0 . 7 μ m の 2 種類とし、図 6 においてはそれぞれ 1 点鎖線、2 点鎖線で示す。

30

【 0 0 4 9 】

なお、n⁺型の半導体層 2 3 の下面の深さは、n⁺型の半導体層 2 3 のピーク濃度を示す深さとすることができる。

【 0 0 5 0 】

また、図 5 に例が示されたコンタクトトレンチ 1 7 が形成された半導体装置は、トレンチの深さを、n⁺型の半導体層 2 3 の下面から 0 . 8 0 μ m、および、n⁺型の半導体層 2 3 の下面から 0 . 9 3 μ m の 2 種類とし、図 6 においてはそれぞれ点線、細い実線で示す。

【 0 0 5 1 】

なお、図 6 は、図 3、図 4 および図 5 のそれぞれの半導体装置 (I G B T) において、定格電流 1 0 0 [A] 相当のチップサイズとした場合の特性を比較する図である。また、接合部温度 (ジャンクション温度、T j) [d e g] は、2 5 [d e g] とする。

40

【 0 0 5 2 】

また、図 6 において、ゲート電圧 (V G) は、ゲート電極 1 5 への順バイアスを表し、コレクタ電流 (I c) は、コレクタ電極 1 1 とエミッタ電極 1 0 とにかけて通電するコレクタ電流を表す。

【 0 0 5 3 】

図 6 に例が示されるように、図 3 に例が示されたコンタクトトレンチが形成されていない半導体装置、および、図 4 に例が示された浅いコンタクトトレンチ 1 7 B が形成された半導体装置と、図 5 に例が示されたコンタクトトレンチ 1 7 が形成された半導体装置とを比

50

較すると、ゲート電圧 (V_G) が $15 [V]$ の場合のコレクタ電流 (I_c) は、図 3 に例が示されたコンタクトトレンチが形成されていない半導体装置に比べて、図 4 に例が示された浅いコンタクトトレンチ 17B が形成された半導体装置、および、図 5 に例が示されたコンタクトトレンチ 17 が形成された半導体装置でそれぞれ低くなっている。

【0054】

すなわち、図 4 に例が示された浅いコンタクトトレンチ 17B が形成された半導体装置および図 5 に例が示されたコンタクトトレンチ 17 が形成された半導体装置によれば、短絡時に発生する単位時間当たりの発熱量を減少させることができる。そのため、短絡時の非破壊時間（すなわち、破壊が生じるまでにかかる時間）を延ばすことができ、短絡耐量が増加する。

10

【0055】

ここで、一般に、しきい値電圧を上昇させる方法によって飽和電流を抑制すると、スイッチング損失の増加を招く場合がある。

【0056】

トレンチゲート構造を有する IGBT は、 n^+ 型のエミッタ層 (n^+ 型の半導体層 23) の直下に意図しない寄生抵抗が存在している。IGBT が通電している場合に、電流はコレクタ電極からエミッタ電極へ流れているが、 n^+ 型のエミッタ層の直下を通じても電流が流れることになる。

【0057】

その際に、寄生抵抗を介して電流が流れることで、 n^+ 型のエミッタ層の両端（たとえば、図 5 の n^+ 型の半導体層 23 の下面における、トレンチ 13 側およびコンタクトトレンチ 17 側）に電位差が生じる。

20

【0058】

この電位差が、 n^+ 型のエミッタ層 (n^+ 型の半導体層 23) と p 型のベース層 (p 型の半導体層 24) との間のビルトインポテンシャルを超えると、IGBT がラッチアップ動作に入り、半導体装置の破壊に至る場合がある。

【0059】

これを解決するために、従来は、 p 型のベース層 (p 型の半導体層 24) の不純物濃度を高めるなどによってしきい値電圧を上昇させる手法が用いられてきた。そうすることによって、ラッチアップ動作は抑制される。

30

【0060】

しかしながら、当該手法によってしきい値電圧を上昇させると、スイッチング損失の増加を招く場合があった。

【0061】

これに対して、図 6 におけるコレクタ電流 (I_c) が定格電流の $100 [A]$ である場合を参照すると、図 5 に例が示されたコンタクトトレンチ 17 が形成された半導体装置のゲート電圧 (V_G) が、図 3 に例が示されたコンタクトトレンチが形成されていない半導体装置のゲート電圧 (V_G)、および、図 4 に例が示された浅いコンタクトトレンチ 17B が形成された半導体装置のゲート電圧 (V_G) 以下となっていることを確認することができる。

40

【0062】

すなわち、図 5 に例が示された構成によれば、コレクタ電流 (I_c) が定格電流の $100 [A]$ である場合に必要なゲート電圧 (V_G) は小さくなるため、半導体装置をオン状態としやすくなり、ターンオン損失（すなわち、スイッチング損失）を減少させることができる。

【0063】

図 7 は、図 3 に例が示されたコンタクトトレンチが形成されていない半導体装置 (IGBT)、図 4 に例が示された浅いコンタクトトレンチ 17B が形成された半導体装置 (IGBT)、および、図 5 に例が示されたコンタクトトレンチ 17 が形成された半導体装置 (IGBT) それぞれにおける、定格電流での n^+ 型の半導体層 23 の下面からのコンタク

50

トレンチの深さとターンオン損失比率との相関図である。図 7 において、縦軸はターンオン損失比率を示し、横軸はトレンチ深さ [μm] を示す。

【 0 0 6 4 】

ここで、図 3 に例が示されたコンタクトトレンチが形成されていない半導体装置は、トレンチの深さを $0\ \mu\text{m}$ とし、図 7 においては黒塗りの丸印で示す。

【 0 0 6 5 】

また、図 4 に例が示された浅いコンタクトトレンチ 17B が形成された半導体装置は、トレンチの深さを、 n^+ 型の半導体層 23 の下面から $0.58\ \mu\text{m}$ 、および、 n^+ 型の半導体層 23 の下面から $0.7\ \mu\text{m}$ の 2 種類とし、図 7 においてはそれぞれ黒塗りの四角印、黒塗りの三角印で示す。

10

【 0 0 6 6 】

また、図 5 に例が示されたコンタクトトレンチ 17 が形成された半導体装置は、トレンチの深さを、 n^+ 型の半導体層 23 の下面から $0.80\ \mu\text{m}$ 、および、 n^+ 型の半導体層 23 の下面から $0.93\ \mu\text{m}$ の 2 種類とし、図 7 においてはそれぞれ白抜きの丸印、白抜きの四角印で示す。

【 0 0 6 7 】

図 7 に例が示されるように、図 3 に例が示されたコンタクトトレンチが形成されていない半導体装置のターンオン損失（すなわち、スイッチング損失）を 1 とする場合、トレンチ深さが $0.8\ \mu\text{m}$ 以上である図 5 に例が示されたコンタクトトレンチ 17 が形成された半導体装置では、ターンオン損失（すなわち、スイッチング損失）が減少する傾向があることを確認することができる。

20

【 0 0 6 8 】

すなわち、図 6 においても説明されたように、図 5 に例が示された構成によれば、飽和電流を抑制して短絡耐量を向上させつつ、ターンオン損失（すなわち、スイッチング損失）を減少させることができる。

【 0 0 6 9 】

< 第 2 の実施の形態 >

本実施の形態に関する半導体装置について説明する。なお、以下の説明においては、以上に記載された実施の形態で説明された構成要素と同様の構成要素については同じ符号を付して図示し、その詳細な説明については適宜省略するものとする。

30

【 0 0 7 0 】

< 半導体装置の構成について >

図 8 は、本実施の形態に関する半導体装置の構成の例を概略的に示す断面図である。図 8 は、図 1 における A - A' 断面における断面図に対応する。

【 0 0 7 1 】

図 8 に例が示されるように、図 8 における半導体装置は、 n 型の半導体基板 20 と、 p 型の半導体層 24 と、 n^+ 型の半導体層 23 と、トレンチ 13 と、ゲート絶縁膜 14 と、ゲート電極 15 と、層間絶縁膜 16 と、コンタクトトレンチ 17 と、 p^+ 型の半導体層 25 と、エミッタ電極 10 と、 n^+ 型のバッファ層 21 と、 p 型のコレクタ層 22 と、コレクタ電極 11 と、 p 型の半導体層 24 の下面に接触して形成される n^+ 型の半導体層 26（キャリア蓄積層）とを備えている。 n^+ 型の半導体層 26 の不純物濃度は、 n 型の半導体基板 20 の不純物濃度よりも高い。

40

【 0 0 7 2 】

図 8 に例が示された半導体装置によれば、通電時に p 型のコレクタ層 22 から供給されるホールが n^+ 型の半導体層 26（キャリア蓄積層）に蓄積される。そのため、伝導率を下げてオン抵抗を低減することができる。

【 0 0 7 3 】

図 9 は、本実施の形態に関する半導体装置の他の構成の例を概略的に示す断面図である。図 9 は、図 1 における A - A' 断面における断面図に対応する。

【 0 0 7 4 】

50

図 9 に例が示されるように、図 9 における半導体装置は、 n 型の半導体基板 20 の表層において、セル領域 30 と、間引きセル領域 31 とが、トレンチ 13 を挟んで交互に形成されている。その他には、図 9 における半導体装置は、エミッタ電極 10 と、 n^+ 型のバッファ層 21 と、 p 型のコレクタ層 22 と、コレクタ電極 11 とを備えている。

【0075】

セル領域 30 においては、 n^+ 型の半導体層 23 と、 p 型の半導体層 24 と、ゲート絶縁膜 14 と、ゲート電極 15 と、層間絶縁膜 16 と、コンタクトトレンチ 17 と、 p^+ 型の半導体層 25 とが形成されている。

【0076】

一方で、間引きセル領域 31 においては、 n 型の半導体基板 20 の表層において p 型の半導体層 27 (キャリア蓄積層) が形成されている。なお、間引きセル領域 31 においては、コンタクトトレンチ 17 は形成されない。

10

【0077】

図 9 に例が示された半導体装置では、トレンチ 13 の数が、コンタクトトレンチ 17 の数よりも多い。

【0078】

図 9 に例が示された半導体装置によれば、通電時に p 型のコレクタ層 22 から供給されるホールが p 型の半導体層 27 (キャリア蓄積層) に蓄積される。そのため、伝導率を下げ、オン抵抗を低減することができる。

【0079】

20

図 10 は、本実施の形態に関する半導体装置の他の構成の例を概略的に示す断面図である。図 10 は、図 1 における A - A' 断面における断面図に対応する。

【0080】

図 10 に例が示されるように、図 10 における半導体装置は、 n 型の半導体基板 20 の表層において、セル領域 30 と、間引きセル領域 31 A とが、トレンチ 13 を挟んで交互に形成されている。ただし、図 10 における間引きセル領域 31 A は、トレンチ 13 間の領域を 2 つ分に跨って形成されている。その他には、図 10 における半導体装置は、エミッタ電極 10 と、 n^+ 型のバッファ層 21 と、 p 型のコレクタ層 22 と、コレクタ電極 11 とを備えている。

【0081】

30

セル領域 30 においては、 n^+ 型の半導体層 23 と、 p 型の半導体層 24 と、ゲート絶縁膜 14 と、ゲート電極 15 と、ゲート電極 15 の上面を覆う層間絶縁膜 16 A と、コンタクトトレンチ 17 と、 p^+ 型の半導体層 25 とが形成されている。

【0082】

一方で、間引きセル領域 31 A においては、 n^+ 型の半導体層 23 と、 p 型の半導体層 24 と、ゲート電極 15 の上面、 n^+ 型の半導体層 23 の上面および p 型の半導体層 24 の上面を覆う層間絶縁膜 16 A とが形成されているが、 p^+ 型の半導体層 25 およびコンタクトトレンチ 17 は形成されない。

【0083】

図 10 に例が示された半導体装置では、トレンチ 13 の数が、コンタクトトレンチ 17 の数よりも多い。

40

【0084】

図 10 に例が示された半導体装置によれば、通電時に p 型のコレクタ層 22 から供給されるホールがエミッタ電極用コンタクトホール 19 が設けられていない箇所、すなわち、間引きセル領域 31 A に蓄積される。そのため、伝導率を下げ、オン抵抗を低減することができる。

【0085】

< 以上に記載された実施の形態によって生じる効果について >

次に、以上に記載された実施の形態によって生じる効果の例を示す。なお、以下の説明においては、以上に記載された実施の形態に例が示された具体的な構成に基づいて当該効果

50

が記載されるが、同様の効果が生じる範囲で、本願明細書に例が示される他の具体的な構成と置き換えられてもよい。

【0086】

また、当該置き換えは、複数の実施の形態に跨ってなされてもよい。すなわち、異なる実施の形態において例が示されたそれぞれの構成が組み合わされて、同様の効果が生じる場合であってもよい。

【0087】

以上に記載された実施の形態によれば、半導体装置は、第1の導電型(n型)の第1の半導体層と、第2の導電型(p型)の第2の半導体層と、第1の導電型の第3の半導体層と、少なくとも1つの第1のトレンチと、ゲート絶縁膜14と、ゲート電極15と、層間絶縁膜16(または層間絶縁膜16A)と、少なくとも1つの第2のトレンチと、第2の導電型の第4の半導体層と、電極層とを備える。ここで、第1の半導体層は、たとえば、n型の半導体基板20に対応するものである。また、第2の半導体層は、たとえば、p型の半導体層24に対応するものである。また、第3の半導体層は、たとえば、n+型の半導体層23に対応するものである。また、第1のトレンチは、たとえば、トレンチ13に対応するものである。また、第2のトレンチは、たとえば、コンタクトトレンチ17およびコンタクトトレンチ17Bのうちのいずれか1つに対応するものである。また、第4の半導体層は、たとえば、p+型の半導体層25および半p+型の半導体層25Bのうちのいずれかに対応するものである。また、電極層は、たとえば、エミッタ電極10に対応するものである。p型の半導体層24は、n型の半導体基板20の表層に形成される。n+型の半導体層23は、p型の半導体層24の表層に形成される。トレンチ13は、n型の半導体基板20の上面から、p型の半導体層24およびn+型の半導体層23を貫通してn型の半導体基板20の内部にまで達して形成される。ゲート絶縁膜14は、トレンチ13の内壁に形成される。ゲート電極15は、トレンチ13におけるゲート絶縁膜14の内側に形成される。層間絶縁膜16は、ゲート電極15を覆って形成される。コンタクトトレンチ17Bは、層間絶縁膜16から露出するn型の半導体基板20の上面から、n+型の半導体層23を貫通してp型の半導体層24の内部にまで達して形成される。p+型の半導体層25Bは、コンタクトトレンチ17Bの底部に接触して形成される。エミッタ電極10は、層間絶縁膜16およびコンタクトトレンチ17Bを覆って形成される。

【0088】

このような構成によれば、飽和電流の抑制、すなわち、短絡時に発生する単位時間当たりの発熱量を減少させることによって、短絡耐量を向上させることができる。具体的には、コンタクトトレンチ17Bをn+型の半導体層23よりも深く形成することによって、n+型の半導体層23の直下に流れる電流を抑制するとともに、n+型の半導体層23とp型の半導体層24との間のビルトインポテンシャルを抑制することができる。それによって、ラッチアップ耐量の向上を果たすことができる。また、p+型の半導体層25Bをコンタクトトレンチ17Bの底部に形成することによって、しきい値電圧の過度な上昇を抑えることができる。

【0089】

なお、本願明細書に例が示される他の構成のうちの少なくとも1つを、以上に記載された構成に適宜追加した場合、すなわち、以上に記載された構成としては言及されなかった本願明細書に例が示される他の構成が適宜追加された場合であっても、同様の効果を生じさせることができる。

【0090】

また、以上に記載された実施の形態によれば、p+型の半導体層25の上面は、p型の半導体層24の内部に位置する。このような構成によれば、半導体装置をオン状態としやすくなり、ターンオン損失(すなわち、スイッチング損失)を減少させることができる。

【0091】

また、以上に記載された実施の形態によれば、コンタクトトレンチ17の底部が、n+型の半導体層23の下面よりも0.8μm以上深く位置する。このような構成によれば、半

10

20

30

40

50

導体装置をオン状態としやすくなり、ターンオン損失（すなわち、スイッチング損失）を減少させることができる。

【0092】

また、以上に記載された実施の形態によれば、コンタクトトレンチ17の幅が、層間絶縁膜16から露出するn型の半導体基板20の上面とエミッタ電極10とが接触するコンタクトホール19の幅よりも狭い。ここで、コンタクトホールは、たとえば、エミッタ電極用コンタクトホール19に対応するものである。このような構成によれば、チャンネルに与えるp⁺型の半導体層25またはp⁺型の半導体層25Bの影響を抑制することができるため、しきい値電圧の不要な上昇を抑えることができる。

【0093】

また、以上に記載された実施の形態によれば、コンタクトトレンチ17の幅は、50nm以上である。このような構成によれば、p⁺型の半導体層24の形成箇所を安定させることができるため、チャンネルが形成される長さを安定させることができる。よって、確実に、n⁺型の半導体層23とp型の半導体層24との間のビルトインポテンシャルを抑制することができる。

【0094】

また、以上に記載された実施の形態によれば、半導体装置は、p型の半導体層24の下面に接触して形成される、第1の導電型（n型）の第5の半導体層を備える。ここで、第5の半導体層は、たとえば、n⁺型の半導体層26に対応するものである。このような構成によれば、半導体装置の通電時にp型のコレクタ層22から供給されるホールを、n⁺型の半導体層26に蓄積することができるため、伝導率を下げオン抵抗を低減することができる。

【0095】

また、以上に記載された実施の形態によれば、半導体装置は、複数のトレンチ13と、複数のコンタクトトレンチ17とを備える。そして、トレンチ13の数が、コンタクトトレンチ17の数よりも多い。このような構成によれば、半導体装置の通電時にp型のコレクタ層22から供給されるホールがエミッタ電極用コンタクトホール19が設けられていない箇所に蓄積される。そのため、伝導率を下げオン抵抗を低減することができる。

【0096】

また、以上に記載された実施の形態によれば、2つのトレンチ13に挟まれる領域であり、かつ、p型の半導体層24と、n⁺型の半導体層23と、p⁺型の半導体層25と、コンタクトトレンチ17とが形成される領域を第1のセル領域とし、2つのトレンチ13に挟まれる領域であり、かつ、n型の半導体基板20の表層に形成される第2の導電型（p型）の第6の半導体層が形成される領域を第2のセル領域とする。ここで、第1のセル領域は、たとえば、セル領域30に対応するものである。また、第6の半導体層は、たとえば、p型の半導体層27に対応するものである。また、第2のセル領域は、たとえば、間引きセル領域31に対応するものである。そして、セル領域30と間引きセル領域31とは、n型の半導体基板20の表層においてそれぞれ配列される。このような構成によれば、半導体装置の通電時にp型のコレクタ層22から供給されるホールをp型の半導体層27に蓄積することによって、伝導率を下げオン抵抗を低減することができる。

【0097】

また、以上に記載された実施の形態によれば、セル領域30と間引きセル領域31とは、交互に配列される。このような構成によれば、半導体装置の通電時にp型のコレクタ層22から供給されるホールをp型の半導体層27に蓄積することによって、伝導率を下げオン抵抗を低減することができる。

【0098】

また、以上に記載された実施の形態によれば、2つのトレンチ13に挟まれる領域であり、かつ、p型の半導体層24と、n⁺型の半導体層23と、p⁺型の半導体層25と、コンタクトトレンチ17とが形成される領域をセル領域30とし、2つのトレンチ13に挟まれる領域であり、p型の半導体層24と、n⁺型の半導体層23とが形成され、かつ、

10

20

30

40

50

p⁺型の半導体層25と、コンタクトトレンチ17とが形成されない領域を第2のセル領域とする。ここで、第2のセル領域は、たとえば、間引きセル領域31Aに対応するものである。セル領域30と間引きセル領域31Aとは、n型の半導体基板20の表層においてそれぞれ配列される。このような構成によれば、半導体装置の通電時にp型のコレクタ層22から供給されるホールがエミッタ電極用コンタクトホール19が設けられていない箇所、すなわち、間引きセル領域31Aに蓄積される。そのため、伝導率を下げてオン抵抗を低減することができる。

【0099】

また、以上に記載された実施の形態によれば、セル領域30は、間引きセル領域31Aに対して2つおきに配列される。このような構成によれば、半導体装置の通電時にp型のコレクタ層22から供給されるホールがエミッタ電極用コンタクトホール19が設けられていない箇所、すなわち、間引きセル領域31Aに蓄積される。そのため、伝導率を下げてオン抵抗を低減することができる。

10

【0100】

<以上に記載された実施の形態における変形例について>

以上に記載された実施の形態では、それぞれの構成要素の材質、材料、寸法、形状、相対的配置関係または実施の条件などについても記載する場合があるが、これらはすべての局面においてひとつの例であって、本願明細書に記載されたものに限られることはないものとする。

【0101】

したがって、例が示されていない無数の変形例、および、均等物が、本願明細書に開示される技術の範囲内において想定される。たとえば、少なくとも1つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも1つの実施の形態における少なくとも1つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれるものとする。

20

【0102】

また、矛盾が生じない限り、以上に記載された実施の形態において「1つ」備えられるものとして記載された構成要素は、「1つ以上」備えられていてもよいものとする。

【0103】

さらに、以上に記載された実施の形態におけるそれぞれの構成要素は概念的な単位であって、本願明細書に開示される技術の範囲内には、1つの構成要素が複数の構造物から成る場合と、1つの構成要素がある構造物の一部に対応する場合と、さらには、複数の構成要素が1つの構造物に備えられる場合とを含むものとする。

30

【0104】

また、以上に記載された実施の形態におけるそれぞれの構成要素には、同一の機能を発揮する限り、他の構造または形状を有する構造物が含まれるものとする。

【0105】

また、本願明細書における説明は、本技術に関連するすべての目的のために参照され、いづれも、従来技術であると認めるものではない。

【0106】

また、以上に記載された実施の形態において、特に指定されずに材料名などが記載された場合は、矛盾が生じない限り、当該材料に他の添加物が含まれた、たとえば、合金などが含まれるものとする。

40

【0107】

また、以上に記載された実施の形態では、半導体装置の例としてIGBTが説明されたが、半導体装置の例が金属-酸化膜-半導体電界効果トランジスタ(metal-oxide-semiconductor field-effect transistor、すなわち、MOSFET)である場合も想定することができるものとする。

【符号の説明】

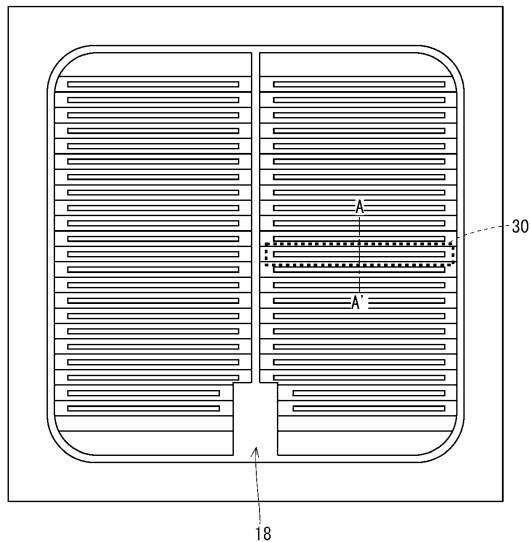
【0108】

50

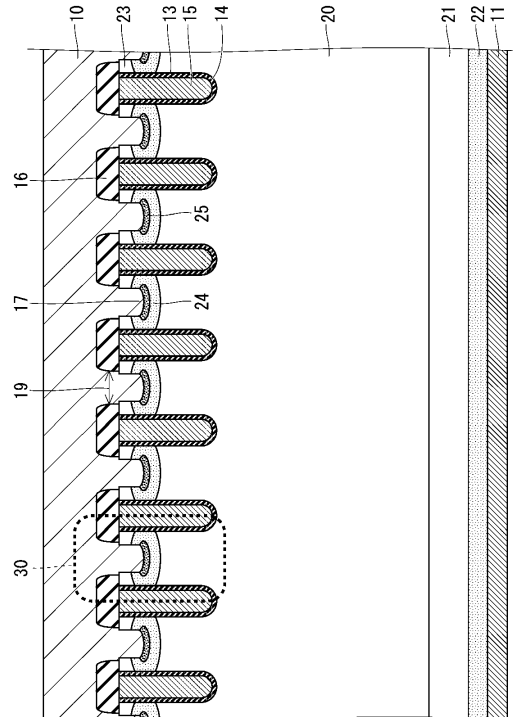
10 エミッタ電極、11 コレクタ電極、13 トレンチ、14 ゲート絶縁膜、15 ゲート電極、16, 16A 層間絶縁膜、17, 17B コンタクトトレンチ、18 ゲートパッド、19 エミッタ電極用コンタクトホール、20 n型の半導体基板、21 n+型のバッファ層、22 p型のコレクタ層、23, 26 n+型の半導体層、24, 27 p型の半導体層、25, 25A, 25B p+型の半導体層、30 セル領域、31, 31A 間引きセル領域。

【図面】

【図1】



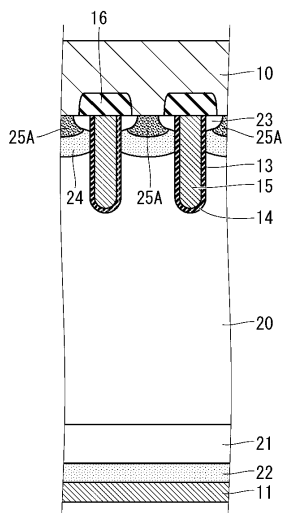
【図2】



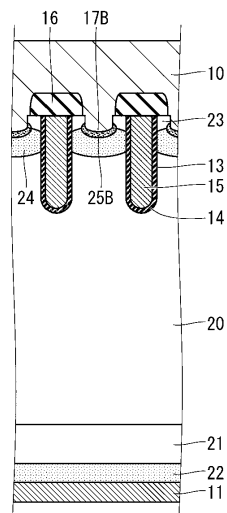
10

20

【図3】



【図4】

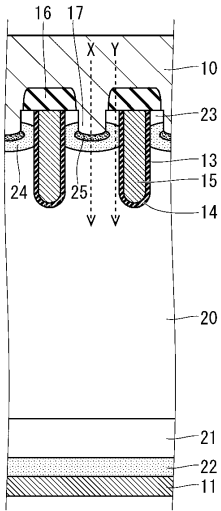


30

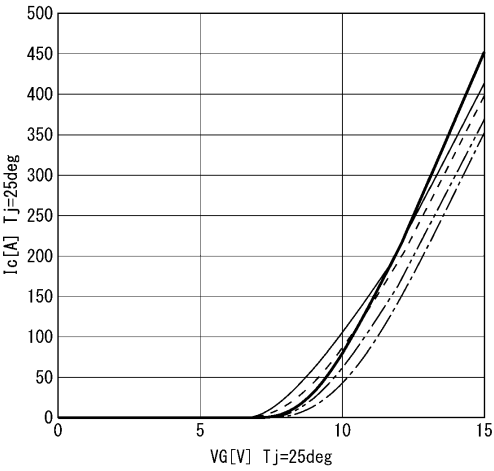
40

50

【図 5】

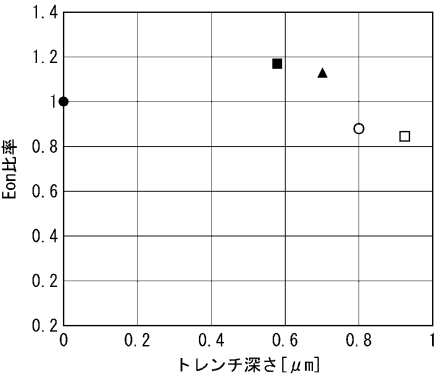


【図 6】

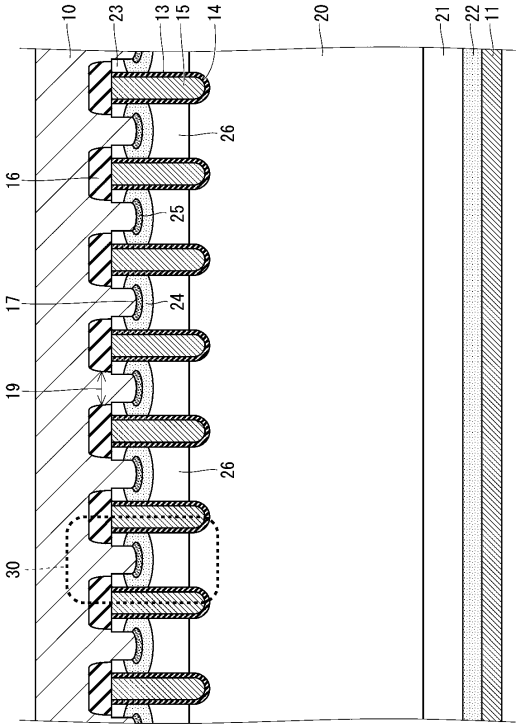


10

【図 7】



【図 8】



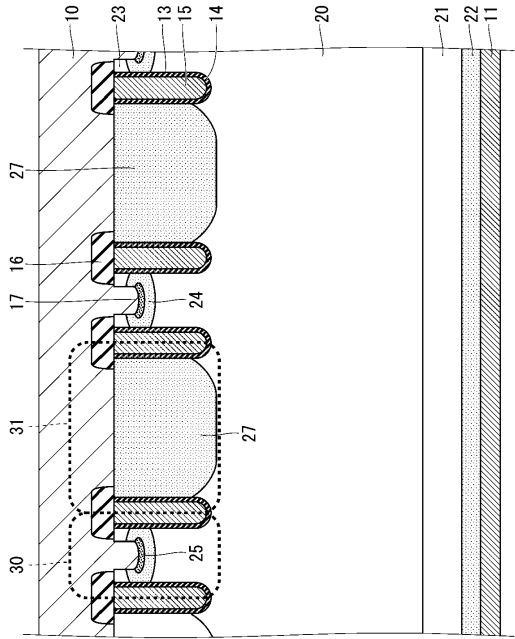
20

30

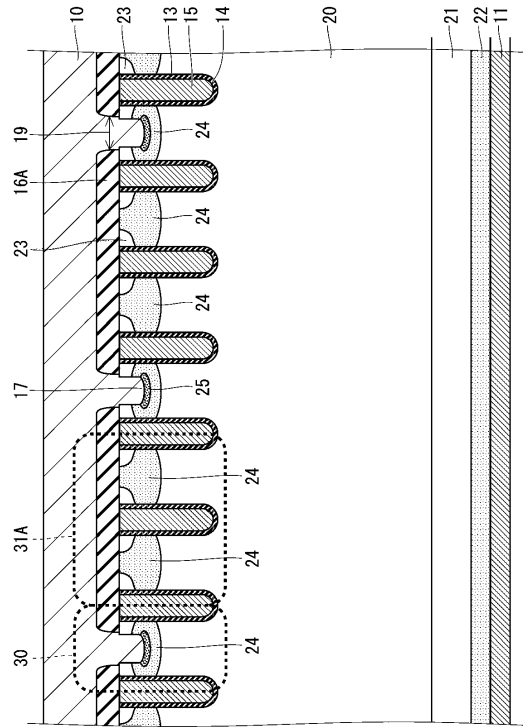
40

50

【図 9】



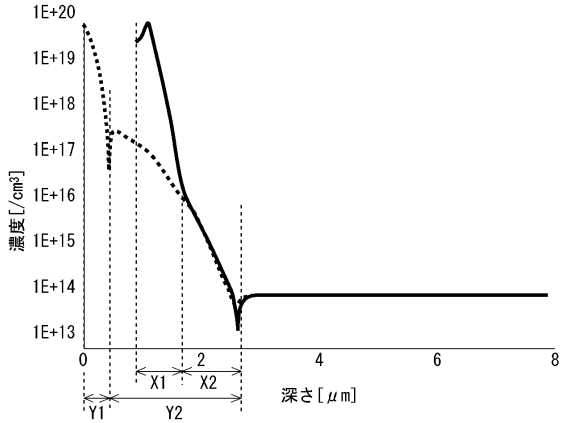
【図 10】



10

20

【図 11】



30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	29/78	6 5 5 G
H 0 1 L	29/78	6 5 2 Q
H 0 1 L	29/78	6 5 2 J

(56)参考文献

特開 2 0 1 5 - 0 6 5 4 2 0 (J P , A)

特開 2 0 1 8 - 1 1 0 1 6 6 (J P , A)

特開 2 0 1 3 - 0 8 4 8 9 9 (J P , A)

特開 2 0 1 8 - 1 8 6 2 3 3 (J P , A)

特開平 1 1 - 3 4 5 9 6 9 (J P , A)

特開 2 0 0 3 - 3 1 8 3 9 6 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 9 / 7 8

H 0 1 L 2 9 / 7 3 9