【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成19年1月25日(2007.1.25)

【公開番号】特開2000-40204(P2000-40204A)
【公開日】平成12年2月8日(2000.2.8)
【出願番号】特願平11-187212
【国際特許分類】
　Ｇ１１Ｂ　5/09　(2006.01)
【ＦＩ】
　Ｇ１１Ｂ　5/09　３１１Ｂ

【手続補正書】
【提出日】平成18年6月30日(2006.6.30)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
　磁気読取り／書込みシステム（１）の書込みドライバ回路（２０）において、第１の書込み信号と第２の書込み信号をそれぞれ受け取るための第１の入力端子（２１）と第２の入力端子（２２）であって、前記第１の書込み信号がハイのとき、前記第２の書込み信号がローであり、前記第１の書込み信号がローのとき、前記第２の書込み信号がハイであることからなる、第１の入力端子（２１）及び第２の入力端子（２２）と、
　互いに電気的に結合され、及び前記第１（２１）と第２（２２）の入力端子に電気的に結合された第１のトランジスタ（２５）と第２のトランジスタ（２７）であって、前記第１の書込み信号がハイで前記第２の書込み信号がローのとき、オンにされる第１のトランジスタ（２５）及び第２のトランジスタ（２７）と、
　互いに電気的に結合され、及び前記第１（２１）と第２（２２）の入力端子に電気的に結合された第３のトランジスタ（３２）と第４のトランジスタ（３４）であって、前記第２の書込み信号がハイで前記第１の書込み信号がローのとき、オンにされる第３のトランジスタ（３２）及び第４のトランジスタ（３４）と、
　第１の端子と第２の端子を有する誘導性素子（２９）であって、前記第１の書込み信号がハイで前記第２の書込み信号がローのときに、前記誘導性素子（２９）に、該誘導性素子（２９）の前記第１の端子から該誘導性素子（２９）の前記第２の端子の方向に電流が流れ、前記第１の書込み信号がローで前記第２の書込み信号がハイのときに、前記誘導性素子（２９）に、該誘導性素子（２９）の前記第２の端子から該誘導性素子（２９）の前記第１の端子の方向に電流が流れるように、前記誘導性素子（２９）の前記第１の端子が、前記第１（２５）と第４（３４）のトランジスタに結合され、前記誘導性素子（２９）の前記第２の端子が、前記第２（２７）と第３（３２）のトランジスタに結合されることからなる誘導性素子（２９）と、
　前記誘導性素子（２９）に並列に接続された減衰抵抗器（４５）と、
　前記書込みドライバ回路（２０）の同相モード出力電圧を変化させて、あらかじめ選択した値に設定できるようにするための可変同相モード回路構成要素（３０）
を備える、書込みドライバ回路（２０）。
【請求項２】
　前記第１（２５）及び第３（３２）のトランジスタが、該第１（２５）及び第３（３２）のトランジスタが抵抗器として機能するように、トライオード領域で動作するＰＭＯＳ

トランジスタであり、前記第２（２７）及び第４（３４）のトランジスタが、電流源として動作するＮＭＯＳトランジスタである、請求項１の書込みドライバ回路（２０）。
【請求項３】
前記可変同相モード回路構成要素（３０）が、第１の切換ロジック（５１、５２）を介して前記第１のトランジスタ（２５）に並列に電気的に結合された第５のトランジスタ（４３）と、前記第１の切換ロジック（５１、５２）を介して前記第３のトランジスタ（３２）に並列に電気的に結合された第６のトランジスタ（４４）とを備え、前記第５（４３）及び第６（４４）のトランジスタは、それらが抵抗器として機能するようにトライオード領域で動作し、前記第５（４３）及び第６（４４）のトランジスタを、前記第１の切換ロジック（５１、５２）によってオン・オフすることにより、前記同相モード回路構成要素（３０）の抵抗を変化させることができ、それによって前記書込みドライバ回路（２０）の同相モード出力電圧が変化する、請求項２の書込みドライバ回路（２０）。
【請求項４】
磁気読取り／書込みシステム（１）の書込みドライバ回路（６０）において、
第１の書込み信号と第２の書込み信号をそれぞれ受け取るための第１の入力端子（２１）と第２の入力端子（２２）であって、前記第１の書込み信号がハイのとき、前記第２の書込み信号がローであり、前記第１の書込み信号がローのとき、前記第２の書込み信号がハイであることからなる、第１の入力端子（２１）及び第２の入力端子（２２）と、
互いに電気的に結合され、及び前記第１（２１）と第２（２２）の入力端子に電気的に結合された第１のトランジスタ（２５）と第２のトランジスタ（２７）であって、前記第１の書込み信号がハイで前記第２の書込み信号がローのとき、オンにされる第１のトランジスタ（２５）及び第２のトランジスタ（２７）と、
互いに電気的に結合され、及び前記第１（２１）と第２（２２）の入力端子に電気的に結合された第３のトランジスタ（３２）と第４のトランジスタ（３４）であって、前記第２の書込み信号がハイで前記第１の書込み信号がローのとき、オンにされる第３のトランジスタ（３２）及び第４のトランジスタ（３４）と、
第１の端子と第２の端子を有する誘導性素子（２９）であって、前記第１の書込み信号がハイで前記第２の書込み信号がローのときに、前記誘導性素子（２９）に、該誘導性素子（２９）の前記第１の端子から該誘導性素子（２９）の前記第２の端子の方向に電流が流れ、前記第１の書込み信号がローで前記第２の書込み信号がハイのときに、前記誘導性素子（２９）に、該誘導性素子（２９）の前記第２の端子から該誘導性素子（２９）の前記第１の端子の方向に電流が流れるように、前記誘導性素子（２９）の前記第１の端子が、前記第１（２５）と第４（３４）のトランジスタに結合され、前記誘導性素子（２９）の前記第２の端子が、前記第２（２７）と第３（３２）のトランジスタに結合されることからなる誘導性素子（２９）と、
前記誘導性素子（２９）に並列に接続され、書込み電流のオーバーシュートと立上り時間を最適化するために、前記書込みドライバ回路（６０）の減衰抵抗を変化させることができる可変減衰抵抗回路構成要素（７０）
を備える、書込みドライバ回路（６０）。
【請求項５】
前記第１（２５）及び第３（３２）のトランジスタが、該第１（２５）及び第３（３２）のトランジスタが抵抗器として機能するように、トライオード領域で動作するＰＭＯＳトランジスタであり、前記第２（２７）及び第４（３４）のトランジスタが、電流源として動作するＮＭＯＳトランジスタである、請求項４の書込みドライバ回路（６０）。
【請求項６】
前記可変減衰抵抗回路構成要素（７０）が、第２の切換ロジック（７２）を介して、互いに並列に結合された複数のトランジスタ（６１、６２、６３）を備え、前記可変減衰抵抗回路（７０）のトランジスタ（６１、６２、６３）をオン・オフに切り換えることによって減衰抵抗を変化させることができ、それにより書込み電流の立ち上がり時間とオーバーシュートを変化させることからなる、請求項４または５の書込みドライバ回路（６０）

。
【請求項７】
磁気読取り／書込みシステム（１）の書込みドライバ回路（９０）であって、
第１の書込み信号と第２の書込み信号をそれぞれ受け取るための第１の入力端子（１０８）と第２の入力端子（１１１）と、
第２のトランジスタ（８５）に直列に接続されて第１のカスコード構成を構成する第１のトランジスタ（７５）を備え、前記第１の書込み信号がハイで前記第２の書込み信号がローのときに活性化されるように、前記第１（１０８）及び第２（１１１）の入力端子に電気的に結合された第１の電流源（７５、８５）と、
第４のトランジスタ（９１）に直列に接続されて第２のカスコード構成を構成する第３のトランジスタ（８３）を備え、前記第１の書込み信号がハイで前記第２の書込み信号がローのときに活性化されるように、前記第１（１０８）及び第２（１１１）の入力端子に電気的に結合された第２の電流源（８３、９１）と、
第６のトランジスタ（８６）に直列に接続されて第３のカスコード構成を構成する第５のトランジスタ（７７）を備え、前記第１の書込み信号がローで前記第２の書込み信号がハイのときに活性化されるように、前記第１（１０８）及び第２（１１１）の入力端子に電気的に結合された第３の電流源（７７、８６）と、
第８のトランジスタ（８８）に直列に接続されて第４のカスコード構成を構成する第７のトランジスタ（８１）を備え、前記第１の書込み信号がローで前記第２の書込み信号がハイのときに活性化されるように、前記第１（１０８）及び第２（１１１）の入力端子に電気的に結合された第４の電流源（８１、８８）と、
第１の端子と第２の端子を有する誘導性素子（２９）であって、該誘導性素子（２９）の前記第１の端子が、前記第１（７５、８５）及び第４（８１、８８）の電流源に接続され、前記誘導性素子（２９）の前記第２の端子が、前記第２（８３、９１）及び第３（７７、８６）の電流源に接続され、前記第１の書込み信号がハイで前記第２の書込み信号がローのときに、前記第１（７５、８８）及び第２（８３、９１）の電流源によって、電流が前記誘導性素子（２９）に、該誘導性素子（２９）の前記第１の端子から該誘導性素子（２９）の前記第２の端子の方向に流され、前記第１の書込み信号がローで前記第２の書込み信号がハイのときに、前記第３（７７、８６）及び第４（８１、８８）の電流源によって、前記誘導性素子（２９）に、該誘導性素子（２９）の前記第２の端子から該誘導性素子（２９）の前記第１の端子の方向に電流が流されることからなる誘導性素子（２９）を備える、書込みドライバ回路（９０）。
【請求項８】
前記書込みドライバ回路（９０）が、３．３ボルトＣＭＯＳプロセスを使用して製造された５ボルト書込みドライバ回路であり、カスコード構成の任意のトランジスタ（７５、８５、７７、８６、８１、８８、８３、９１）の両端の電圧降下が、約３．６ボルトを超えない、請求項７の書込みドライバ回路（９０）。
【請求項９】
書込みドライバ回路（９０）を製造する方法において、
ウェーハ上に第１の電流源（７５、８５）を製造するステップであって、前記第１の電流源（７５、８５）が、第１のカスコード構成を構成するために直列に接続された第１のトランジスタ（７５）と第２のトランジスタ（８５）を備え、前記書込みドライバ回路（９０）の第１の入力端子（１０８）で受け取った第１の書込み信号がハイで、前記書込みドライバ回路（９０）の第２の入力端子（１１１）で受け取った第２の書込み信号がローのときに、前記第１の電流源（７５、８５）が活性化されるように、前記第１の電流源（７５、８５）を前記書込みドライバ回路（９０）の前記第１及び第２の入力端子に電気的に結合することからなるステップと、
前記ウェーハ上に第２の電流源（８３、９１）を製造するステップであって、前記第２の電流源（８３、９１）が、第２のカスコード構成を構成するために直列に接続された第３のトランジスタ（８３）と第４のトランジスタ（９１）を備え、前記第１の書込み信号

がハイで、前記第２の書込み信号がローのときに、前記第２の電流源（８３、９１）が活性化されるように、前記第２の電流源（８３、９１）を前記第１（１０８）及び第２（１１１）の入力端子に電気的に結合することからなるステップと、

前記ウェーハ上に第３の電流源（７７、８６）を製造するステップであって、前記第３の電流源（７７、８６）が、第３のカスコード構成を構成するために直列に接続された第５のトランジスタ（７７）と第６のトランジスタ（８６）を備え、前記第１の書込み信号がローで、前記第２の書込み信号がハイのときに、前記第３の電流源（７７、８６）が活性化されるように、前記第３の電流源（７７、８６）を前記第１（１０８）及び第２（１１１）の入力端子に電気的に結合することからなるステップと、

前記ウェーハ上に第４の電流源（８１、８８）を製造するステップであって、前記第４の電流源（８１、８８）が、第４のカスコード構成を構成するように直列に接続された第７のトランジスタ（８１）と第８のトランジスタ（８８）を備え、前記第１の書込み信号がローで、前記第２の書込み信号がハイのときに、前記第４の電流源（８１、８８）が活性化されるように、前記第４の電流源（８１、８８）を前記第１（１０８）及び第２（１１１）の入力端子に電気的に結合することからなるステップ

を含む、書込みドライバ回路（９０）を製造する方法。

【請求項１０】

誘導性素子（２９）の第１の端子を前記第１（７５、８５）及び第４（８１、８８）の電流源に接続し、前記誘導性素子（２９）の第２の端子を前記第２（８３、９１）及び第３（７７、８６）の電流源に接続するステップをさらに含み、前記第１の書込み信号がハイで、前記第２の書込み信号がローのときに、前記第１（７５、８５）及び第２（８３、９１）の電流源によって、電流が前記誘導性素子（２９）を、該誘導性素子（２９）の前記第１の端子から該誘導性素子（２９）の前記第２の端子の方向に流され、前記第１の書込み信号がローで、前記第２の書込み信号がハイのときに、前記第３（７７、８６）及び第４（８１、８８）の電流源によって、電流が前記誘導性素子（２９）を、該誘導性素子（２９）の前記第２の端子から該誘導性素子（２９）の前記第１の端子の方向に流されることからなる請求項９の方法。