



(12) 发明专利

(10) 授权公告号 CN 101425040 B

(45) 授权公告日 2013. 01. 16

(21) 申请号 200810175135. 6

CN 1124378 A, 1996. 06. 12, 全文.

(22) 申请日 2008. 10. 30

审查员 郭从征

(30) 优先权数据

2007-281979 2007. 10. 30 JP

(73) 专利权人 川崎微电子股份有限公司

地址 日本千叶市

(72) 发明人 佐藤慎祐

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 孙志湧 安翔

(51) Int. Cl.

G06F 12/02 (2006. 01)

G06T 1/60 (2006. 01)

(56) 对比文件

US 5784698 A, 1998. 07. 21, 全文.

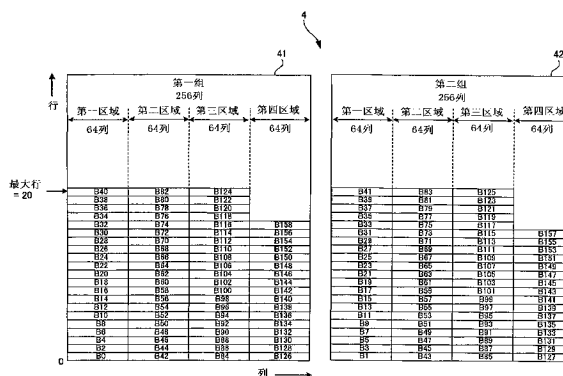
权利要求书 5 页 说明书 12 页 附图 8 页

(54) 发明名称

存储器的存取方法、存储控制电路和存储系
统

(57) 摘要

本发明涉及存储器的存取方法、存储控制电路和存储系统。通过沿列地址的方向布置块的两个或更多个完全列来在动态随机存取存储器的地址空间内设置存取区域,在所述完全列中存储单元的块布置在行地址的全部指定范围内。每一个块包括位于同一行地址和指定数量的连续列地址的存储单元。布置在存取区域中的块的总数量正好能够存储待存储的数据的字的数量。通过对布置在块的列的每一个中的块进行依序存取,来对块的两个或更多个完全列进行依序存取。因此,使动态随机存取存储器的刷新操作变得不必要。



1. 一种对在地址空间中布置有存储单元的动态随机存取存储器的存取方法,该方法包括:

通过沿列地址的方向布置块的两个或更多个完全列,来在所述地址空间内设置用于存储数据的存取区域,所述数据构成在帧周期内提供的运动图像的连续帧中的一个帧,其中

所述块的每一个包括位于同一行地址和指定数量的连续列地址处的多个所述存储单元;

块的所述完全列的每一个包括布置在行地址的整个指定范围内的第一数量的所述块;以及

通过对布置在块的所述列的每一个中的所述块进行依序存取,来在所述帧周期内对块的所述两个或更多个完全列进行依序存取,以在所述存储器中写入和存储数据或者读取先前存储在所述存储器中的数据,其中:

所述存储器是同步动态随机存取存储器,所述存储单元需要在刷新周期内被刷新,以及对位于所述行地址的每一个处的所述块中的一个块进行存取以刷新位于同一行地址处的所述块中的其他块中所包含的所述存储单元。

2. 根据权利要求1所述的方法,其中:

对块的所述两个或更多个完全列的所述布置进一步沿列地址的方向布置块的不完全列,块的所述不完全列包括布置在行地址的所述指定范围的一部分内的小于所述第一数量的所述块;以及

对块的所述两个或更多个完全列进行的所述依序存取进一步在所述帧周期内对块的所述不完全列进行依序存取。

3. 根据权利要求1或2所述的方法,其中:

所述地址空间被划分成n组,其中n是不小于2的整数;

执行对所述存取区域的所述设置,以使得在所述n组的每一个中沿列地址的方向布置块的所述两个或更多个完全列;以及

对布置在块的所述列的每一个中的所述块进行的所述依序存取包括在所述行地址的每一个处对布置在所述n组中的所述块进行依序存取。

4. 根据权利要求1或2所述的方法,其中行地址的所述指定范围小于所述地址空间的行地址的范围。

5. 根据权利要求1或2所述的方法,其中

所述数据由指定数量的字组成;以及

对所述存取区域的所述设置包括:当所述数据的字的所述指定数量改变时,改变行地址的所述指定范围,而不改变所述块中的每一个块的连续列地址的所述指定数量。

6. 一种对在被划分为n组的地址空间中布置有存储单元的动态随机存取存储器的存取方法,其中n是不小于2的整数,所述方法包括:

通过在所述n组的每一个中沿列地址的方向布置不小于两个的所需数量的块的完全列,来在所述地址空间内设置用于存储由指定数量的字组成的数据的存取区域,所述数据构成在帧周期内提供的运动图像的连续帧中的一个帧,其中

所述块的每一个包括位于同一行地址和指定数量的连续列地址处的多个所述存储单元;

块的所述完全列的每一个包括布置在行地址的整个指定范围内的第一数量的所述块；以及

行地址的所述指定范围通过以下步骤设置，i) 将存储所述指定数量的字所需的所述块的总数除以 n 和块的所述完全列的所需数量以获得商，以及 (ii) 设置行地址的所述指定范围以便行地址的所述指定范围包括等于所述商的整数部分的多个行地址；以及

通过对布置在块的所述列的每一个中的所述块进行依序存取，来在所述帧周期内对块的所述所需数量的完全列进行依序存取，以在所述存储器中写入和存储数据或者读取先前存储在所述存储器中的数据，其中：

对布置在块的所述列的每一个中的所述块进行的所述依序存取包括在所述行地址的每一个处对布置在 n 组中的所述块进行依序存取；以及

所述存储器是同步动态随机存取存储器，所述存储单元需要在刷新周期内被刷新，以及在所述组的每一个中，对位于所述行地址的每一个处的所述块中的一个块进行存取以刷新位于同一行地址处的所述块中的其他块中所包含的所述存储单元。

7. 根据权利要求 6 所述的方法，其中：

对块的所述两个或更多个完全列的所述布置进一步沿列地址的方向布置块的不完全列，块的所述不完全列包括布置在行地址的所述指定范围的一部分内的小于所述第一数量的所述块；以及

对块的所述两个或更多个完全列进行的所述依序存取进一步在所述帧周期内对块的所述不完全列进行依序存取。

8. 一种存储控制电路，用于控制在地址空间中布置有存储单元的动态随机存取存储器，所述电路包括：

存取区域设置单元，所述存取区域设置单元通过沿列地址的方向布置块的两个或更多个完全列，来在所述地址空间内设置用于存储数据的存取区域，所述数据构成在帧周期内提供的运动图像的连续帧中的一个帧，其中：

所述块的每一个包括位于同一行地址和指定数量的连续列地址处的多个所述存储单元；

块的所述完全列的每一个包括布置在行地址的整个指定范围内的第一数量的所述块；以及

存取控制单元，所述存取控制单元向所述存储器提供地址信号和存取控制信号，以便通过对布置在块的所述列的每一个中的所述块进行依序存取，来在所述帧周期内对块的所述两个或更多个完全列进行依序存取，以在所述存储器中写入和存储数据或者读取先前存储在所述存储器中的数据，其中：

所述存储器是同步动态随机存取存储器，所述存储单元需要在刷新周期内被刷新，以及对位于所述行地址的每一个处的所述块中的一个块进行存取以刷新位于同一行地址处的所述块中的其他块中所包含的所述存储单元。

9. 根据权利要求 8 所述的电路，其中：

所述存取区域设置单元进一步沿列地址的方向布置块的不完全列，块的所述不完全列包括布置在行地址的所述指定范围的一部分内的小于所述第一数量的所述块；以及

所述存取控制单元向所述存储器提供所述地址信号和所述存取控制信号，以便在所述

帧周期内对块的所述两个或更多个完全列和块的所述不完全列进行依序存取。

10. 根据权利要求 8 或 9 所述的电路, 其中:

所述存储器的所述地址空间被划分成 n 组, 其中 n 是不小于 2 的整数;

所述存取区域设置单元设置所述存取区域, 以使得在所述 n 组的每一个中沿列地址的方向布置块的所述两个或更多个完全列; 以及

所述存取控制单元向所述存储器提供所述地址信号和所述存取控制信号, 以便对布置在块的所述列的每一个中的所述块进行的所述依序存取包括在所述行地址的每一个处对布置在所述 n 组中的所述块进行依序存取。

11. 根据权利要求 8 或 9 所述的电路, 其中行地址的所述指定范围小于所述地址空间的行地址的范围。

12. 根据权利要求 8 或 9 所述的电路, 其中:

所述数据由指定数量的字组成; 以及

所述存取区域设置单元包括行地址范围设置单元, 所述行地址范围设置单元根据所述数据的字的所述指定数量来设置行地址的所述指定范围, 而不改变所述块中的每一个块的连续列地址的所述指定数量。

13. 根据权利要求 12 所述的电路, 其中所述行地址范围设置单元接收表示字的所述指定数量的数据尺寸信号。

14. 一种存储控制电路, 所述存储控制电路用于控制在被划分成 n 组的地址空间中布置有存储单元的动态随机存取存储器, 其中 n 是不小于 2 的整数, 所述电路包括:

存取区域设置单元, 所述存取区域设置单元通过在所述 n 组的每一个中沿列地址的方向布置不小于两个的所需数量的块的完全列, 来在所述地址空间内设置用于存储由指定数量的字组成的数据的存取区域, 所述数据构成在帧周期内提供的运动图像的连续帧中的一个帧, 其中:

所述块的每一个包括位于同一行地址和指定数量的连续列地址处的多个所述存储单元;

块的所述完全列的每一个包括布置在行地址的整个指定范围内的第一数量的所述块; 以及

所述存取区域设置单元通过以下步骤设置行地址的所述指定范围, i) 将存储所述指定数量的字所需的块的总数除以 n 和块的所述完全列的所需数量以获得商, 以及 (ii) 设置行地址的所述指定范围以便行地址的所述指定范围包括等于所述商的整数部分的多个行地址; 以及

存取控制单元, 所述存取控制单元向所述存储器提供地址信号和存取控制信号, 以便通过对布置在块的所述列的每一个中的所述块进行依序存取, 来在所述帧周期内对块的所述所需数量的完全列进行依序存取, 以在所述存储器中写入和存储数据或者读取先前存储在所述存储器中的数据, 其中:

所述存取控制单元向所述存储器提供所述地址信号和所述存取控制信号, 以便对布置在块的所述列的每一个中的所述块进行的所述依序存取包括在所述行地址的每一个处对布置在所述 n 组中的所述块进行依序存取; 以及

所述存储器是同步动态随机存取存储器, 所述存储单元需要在刷新周期内被刷新, 以

及在所述组的每一个中,对位于所述行地址的每一个处的所述块中的一个块进行存取以刷新位于同一行地址处的所述块中的其他块中所包含的所述存储单元。

15. 根据权利要求 14 所述的电路,其中:

所述存取区域设置单元进一步沿列地址的方向布置块的不完全列,块的所述不完全列包括布置在行地址的所述指定范围的一部分内的小于所述第一数量的所述块;以及

所述存取控制单元向所述存储器提供所述地址信号和所述存取控制信号,以便在所述帧周期内对块的所述两个或更多个完全列和块的所述不完全列进行依序存取。

16. 一种存储系统,包括:

在地址空间中布置有存储单元的同步动态随机存取存储器;

输入端,所述输入端在帧周期内接收构成运动图像的连续帧中的一个帧的数据;以及

存储控制电路,用于控制所述同步动态随机存取存储器,所述存储控制电路包括:

存取区域设置单元,所述存取区域设置单元通过沿列地址的方向布置块的两个或更多个完全列,来在所述地址空间内设置用于存储数据的存取区域,其中:

所述块的每一个包括位于同一行地址和指定数量的连续列地址处的多个所述存储单元;

块的所述完全列的每一个包括布置在行地址的整个指定范围内的第一数量的所述块;以及

存取控制单元,所述存取控制单元向所述存储器提供地址信号和存取控制信号,以便通过对布置在块的所述列的每一个中的所述块进行依序存取,来在所述帧周期内对块的所述两个或更多个完全列依序存取,以在所述存储器中写入和存储数据或者读取先前存储在所述存储器中的数据,其中:

所述存储单元需要在刷新周期内被刷新,以及对位于所述行地址的每一个处的所述块中的一个块进行存取以刷新位于同一行地址处的所述块中的其他块中所包含的所述存储单元。

17. 根据权利要求 16 所述的存储系统,其中:

所述存取区域设置单元进一步沿列地址的方向布置块的不完全列,块的所述不完全列包括布置在行地址的所述指定范围的一部分内的小于所述第一数量的所述块;以及

所述存取控制单元向所述存储器提供所述地址信号和所述存取控制信号,以便在所述帧周期内对块的所述两个或更多个完全列和块的所述不完全列进行依序存取。

18. 根据权利要求 16 或 17 所述的存储系统,其中:

所述地址空间被划分成 n 组,其中 n 是不小于 2 的整数;

所述存取区域设置单元设置所述存取区域,以使得在所述 n 组的每一个中沿列地址的方向布置块的所述两个或更多个完全列;以及

所述存取控制单元向所述存储器提供所述地址信号和所述存取控制信号,以便对布置在块的所述列的每一个中的所述块进行的所述依序存取包括在所述行地址的每一个处对布置在所述 n 组中的所述块进行依序存取。

19. 根据权利要求 16 或 17 所述的存储系统,其中行地址的所述指定范围小于所述地址空间的行地址的范围。

20. 根据权利要求 16 或 17 所述的存储系统,其中:

所述数据由指定数量的字组成 ; 以及

所述存取区域设置单元包括行地址范围设置单元, 所述行地址范围设置单元根据所述数据的字的所述指定数量来设置行地址的所述指定范围, 而不改变所述块中的每一个块的连续列地址的所述指定数量。

21. 根据权利要求 20 所述的存储系统, 其中所述行地址范围设置单元接收表示字的所述指定数量的数据尺寸信号。

22. 一种存储系统, 包括 :

在被划分为 n 组的地址空间中布置有存储单元的同步动态随机存取存储器, 其中 n 是不小于 2 的整数 ;

输入端, 所述输入端在帧周期内接收构成运动图像的连续帧中的一个帧的数据 ; 以及

存储控制电路, 用于控制所述同步动态随机存取存储器, 所述存储控制电路包括 :

存取区域设置单元, 所述存取区域设置单元通过在所述 n 组的每一个中沿列地址的方向布置不小于两个的所需数量的块的完全列, 来在所述地址空间内设置用于存储由指定数量的字组成的数据的存取区域, 其中 :

所述块的每一个包括位于同一行地址和指定数量的连续列地址处的多个所述存储单元 ;

块的所述完全列的每一个包括布置在行地址的整个指定范围内的第一数量的所述块 ; 以及

所述存取区域设置单元通过以下步骤设置行地址的所述指定范围, i) 将存储所述指定数量的字所需的所述块的总数除以 n 和块的所述完全列的所需数量以获得商, 以及 (ii) 设置行地址的所述指定范围以便行地址的所述指定范围包括等于所述商的整数部分的多个行地址 ; 以及

存取控制单元, 所述存取控制单元向所述存储器提供地址信号和存取控制信号, 以便通过对布置在块的所述列的每一个中的所述块进行依序存取, 来在所述帧周期内对块的所述所需数量的完全列依序存取, 以在所述存储器中写入和存储数据或者读取先前存储在所述存储器中的数据, 其中 :

所述存取控制单元向所述存储器提供所述地址信号和所述存取控制信号, 以便对布置在块的所述列的每一个中的所述块进行的所述依序存取包括在所述行地址的每一个处对布置在所述 n 组中的所述块进行依序存取 ; 以及

所述存储单元需要在刷新周期内被刷新, 以及在所述组的每一个中, 对位于所述行地址的每一个处的所述块中的一个块进行存取以刷新位于同一行地址处的所述块中的其他块中所包含的所述存储单元。

23. 根据权利要求 22 所述的存储系统, 其中 :

所述存取区域设置单元进一步沿列地址的方向布置块的不完全列, 块的所述不完全列包括布置在行地址的所述指定范围的一部分内的小于所述第一数量的所述块 ; 以及

所述存取控制单元向所述存储器提供所述地址信号和所述存取控制信号, 以便在所述帧周期内对块的所述两个或更多个完全列和块的所述不完全列进行依序存取。

存储器的存取方法、存储控制电路和存储系统

技术领域

[0001] 本发明涉及动态随机存取存储器的存取方法,以及使用该存取方法来控制随机存取存储器的存储控制电路。本发明还涉及包括存储器和存储控制电路的存储系统。

背景技术

[0002] 在常规图像处理电路中,构成帧的输入图像数据被临时存储在缓冲存储器中,然后从该缓冲存储器读取、处理和输出。

[0003] 为此,动态随机存取存储器(DRAM)由于其低成本通常被用作缓冲存储器。

[0004] DRAM 需要被周期地刷新以便维持存储在 DRAM 的存储单元中的数据。然而,对存储单元的其中之一进行存取具有等同于对所访问的单元和具有同一行地址的单元进行刷新的效果。

[0005] 日本专利特开 2003-68072(专利文献 1)描述了一种用于存取 DRAM 的技术。就是说,通过增加行地址来执行读/写。当行地址超过最大行地址时,增加列地址并且将行地址初始化至零,以便地址在帧周期期间被循环多次。因此 DRAM 的刷新循环变得不必要。

发明内容

[0006] 要解决的问题

[0007] 然而,当操作温度较高时,维持数据所需的刷新周期可能变得短于帧周期。在专利文献 1 描述的技术中,当图像数据的尺寸很大并且行地址在每一个帧周期内两次或更多次达到最大行地址时,该行地址中的每一个在每一个帧周期内被存取两次或更多次。然而,当图像数据的尺寸很小并且行地址在每一个帧周期期间仅达到最大行地址一次时,行地址中的一些在每一个帧周期期间仅被存取一次。具有在每一个帧周期期间仅被存取一次的行地址的单元不能通过仅对于写入/读取数据的存取来维持数据。所述单元需要在帧周期期间的刷新操作。

[0008] 此外,在专利文献 1 描述的技术中,由于利用同步动态随机存取存储器(SDRAM)的突发(burst)存取能力不适合于增加操作频率。就是说,通过利用突发存取能力,其中通过仅提供连续地址中的第一个来对位于连续列地址的多个存储单元进行依序存取,SDRAM 能够在高频下操作。然而,在专利文献 1 中描述的存储器存取技术中,通过增加行地址来位于同一列地址的多个存储单元进行依序存取。仅在行地址达到最大行地址之后增加列地址。结果是,不能利用 SDRAM 的突发存取能力。

[0009] 为了解决上述问题,本发明的示例性目的是提供存储器存取方法,该存储器存取方法使动态随机存取存储器的刷新操作不必要,同时能够增加操作频率。本发明的另一示例性目的是提供应用使刷新操作不必要的存储器存取方法的存储控制电路和存储系统。

[0010] 解决所述问题的方式

[0011] 为了解决上述问题,根据本发明的各种示例性实施例提供一种对在地址空间中布置有存储单元的动态随机存取存储器的存取方法。该方法包括:通过沿列地址的方向布置

块 (block) 的两个或更多个完全列和块的可选不完全列, 来在地址空间内设置用于存储由指定数量的字 (word) 组成的数据的存取区域; 以及通过对布置在块的列的每一个中的块进行依序存取, 来对块的两个或更多个完全列和块的可选不完全列进行依序存取, 以在存储器中写入和存储数据或者读取先前存储在存储器中的数据。块的每一个包括位于同一行地址和指定数量的连续列地址处的多个存储单元, 块的完全列的每一个包括布置在行地址的整个指定范围内的第一数量的块, 块的不完全列包括布置在行地址的指定范围的一部分内的小于所述第一数量的块, 以及布置在块的两个或更多个完全列中的块和布置在块的可选不完全列中的块的总数正好能够存储指定数量的字。此外, 该存储器是同步动态随机存取存储器, 存储单元需要在刷新周期内被刷新, 并且对位于行地址的每一个处的块的其中之一进行存取刷新位于同一行地址的块中的其他块中包含的存储单元。

[0012] 根据各种其他实施例, 地址空间可以被划分成 n 组, 其中 n 是不小于 2 的整数。可以执行对存取区域的设置, 以便在 n 组的每一个中沿列地址的方向布置块的两个或更多个完全列和块的可选不完全列, 其中块的总数是在 n 组中布置的块的数量之和。此外, 对布置在块的列的每一个中的块进行的依序存取可以包括在行地址的每一个处对布置在 n 组中的块进行依序存取。

[0013] 根据各种其他实施例, 行地址的指定范围可以小于地址空间的行地址的范围。

[0014] 根据其他各种实施例, 对存取区域的设置可以包括, 当数据的字的指定数量改变时, 改变行地址的指定范围, 而不改变块的每一个的连续列地址的指定数量。

[0015] 根据其他各种实施例, 数据可以构成在长于刷新周期的帧周期内提供的运动图像的连续帧的其中之一, 以及在帧周期期间可以对块的两个或更多个完全列和块的可选不完全列依序存取一次。

[0016] 为了解决上述问题, 根据本发明的各种示例性实施例提供一种对在被划分为 n 组的地址空间中布置有存储单元的动态随机存取存储器的存取方法, 其中 n 是不小于 2 的整数。该方法包括: 通过在 n 组的每一个中沿列地址的方向布置不小于 2 的所需数量的块的完全列和块可选不完全列, 来在地址空间中设置用于存储由指定数量的字组成的数据的存取区域; 以及通过对布置在块的列的每一个中的块进行依序存取, 来对块的所需数量的完全列和块的可选不完全列进行依序存取, 以在存储器中写入和存储数据或者读取先前存储在存储器中的数据。行地址的指定范围通过以下步骤设置, i) 将存储指定数量的字所需的块的总数除以 n 和块的完全列的所需数量以获得商, 以及 (ii) 设置行地址的指定范围以便行地址的指定范围包括等于所述商的整数部分的多个行地址。对布置在块的列的每一个中的块进行的依序存取包括在行地址的每一个处对布置在 n 组中的块进行依序存取。该存储器是同步动态随机存取存储器, 存储单元需要在刷新周期内被刷新, 并且对位于组的每一个中的行地址的每一个处的块的其中之一进行存取刷新位于同一组中的同一行地址处的其他块中包含的存储单元。

[0017] 为了解决上述问题, 根据本发明的各种示例性实施例提供一种存储控制电路, 用于控制在地址空间中布置有存储单元的动态随机存取存储器。该电路包括存取区域设置单元和存取控制单元, 该存取区域设置单元通过沿列地址的方向布置块的两个或更多个完全列和块的可选不完全列, 来在地址空间内设置用于存储由指定数量的字组成的数据的存取区域, 以及该存取控制单元向存储器提供地址信号和存取控制信号, 以便通过对布置在块

的列的每一个中的块进行依序存取来对块的两个或更多个完全列和块的可选不完全列进行依序存取,以在存储器中写入和存储数据或者读取先前存储在存储器中的数据。

[0018] 根据各种其他实施例,存储器的地址空间可以被划分成 n 组,其中 n 是不小于 2 的整数,以及存取区域设置单元可以设置存取区域,以便在 n 组的每一个中沿列地址的方向布置块的两个或更多个完全列和块的可选不完全列,其中块的总数是布置在 n 组中的块的数量的总和。存取控制单元可以向存储器提供地址信号和存取控制信号,以便对布置在块的列的每一个中的块进行的依序存取包括在行地址的每一个处对布置在 n 组中的的块进行依序存取。

[0019] 根据各种其他实施例,存取区域设置单元可以包括行地址范围设置单元,该行地址范围设置单元根据数据的字的指定数量来设置行地址的指定范围,而不改变块的每一个的连续列地址的指定数量。此外,行地址范围设置单元可以接收表示字的指定数量的数据尺寸信号。

[0020] 根据各种其他实施例,数据可以构成在长于刷新周期的帧周期内提供的运动图像的连续帧的其中之一,以及存取控制单元可以提供地址信号和存取控制信号,以便块的两个或更多个完全列和块的可选不完全列在帧周期内被存取一次。

[0021] 为了解决上述问题,根据本发明的各种示例性实施例提供一种存储控制电路,用于控制在被划分成 n 组的地址空间中布置有存储单元的动态随机存取存储器,其中 n 是不小于 2 的整数。该电路包括存取区域设置单元和存取控制单元,该存取区域设置单元通过在 n 组的每一个中沿列地址的方向布置不小于 2 的所需数量的块的完全列和块的可选不完全列,来在地址空间中设置用于存储由指定数量的字组成的数据的存取区域,以及该存取控制单元向存储器提供地址信号和存取控制信号,以便通过对布置在块的列的每一个中的块进行依序存取来对块的所需数量的完全列和块的可选不完全列进行依序存取,以在存储器中写入和存储数据或者读取先前存储在存储器中的数据。存取区域设置单元通过下述步骤来设置行地址的指定范围,i) 将存储指定数量的字所需的块的总数除以 n 和块的完全列的所需数量以获得商,以及(ii) 设置行地址的指定范围,以便行地址的指定范围包括等于所述商的整数部分的多个行地址。存取控制单元向存储器提供地址信号和存取控制信号,以便对布置在块的列的每一个中的块进行的所述依序存取包括在行地址的每一个处对布置在 n 组中的块进行依序存取。该存储器是同步动态随机存取存储器,存储单元需要在刷新周期内被刷新,以及对位于组的每一个中的行地址的每一个处的块的其中之一进行存取刷新位于同一组中的同一行地址处的其他块中包含的存储单元。

[0022] 为了解决上述问题,根据本发明的各种示例性实施例提供一种存储系统,该存储系统包括:在地址空间中布置有存储单元的同步动态随机存取存储器;输入端,该输入端在帧周期内接收构成运动图像的连续帧的其中之一数据;以及存储控制电路,用于控制该同步动态随机存取存储器。该存储控制电路包括存取区域设置单元和存取控制单元,该存取区域设置单元通过沿列地址的方向布置块的两个或更多个完全列和块的可选不完全列,来在地址空间中设置用于存储由指定数量的字组成的数据的存取区域,以及该存取控制单元向存储器提供地址信号和存取控制信号,以便通过对布置在块的列的每一个中的块进行依序存取,使得块的两个或更多个完全列和块的可选不完全列在帧周期期间被依序存取一次,以在存储器中写入和存储数据或者读取先前存储在存储器中的数据。

[0023] 为了解决上述问题,根据本发明的各种示例性实施例提供一种存储系统,该存储系统包括:在被划分成 n 组的地址空间中布置有存储单元的同步动态随机存取存储器,其中 n 是不小于 2 的整数;输入端,该输入端在帧周期内接收构成运动图像的连续帧的其中之一的数据;以及存储控制电路,用于控制同步动态随机存取存储器。该存储控制电路包括存取区域设置单元和存取控制单元,该存取区域设置单元通过在 n 组的每一个中沿列地址的方向布置不小于 2 的所需数量的块的完全列和块的可选不完全列,来在地址空间中设置用于存储由指定数量的字组成的数据的存取区域,以及该存取控制单元向存储器提供地址信号和存取控制信号,以便通过对布置在块的列的每一个中的块进行依序存取,使得块的所需数量的完全列和块的可选不完全列在帧周期内被依序存取一次,以在存储器中写入和存储数据或者读取先前存储在存储器中的数据。

[0024] 发明的效果

[0025] 本发明的各种示例性实施例使动态随机存取存储器的刷新操作不必要,同时能够增加操作频率。

附图说明

[0026] 图 1 是示出了示例性半导体电路的框图;

[0027] 图 2 是示出了示例性 SDRAM 控制电路的结构示意图;

[0028] 图 3 是示出了在 SDRAM 内的存取区域的示例性设置的示意图;

[0029] 图 4 是示出了示例性计数寄存器的内部结构的示意图;

[0030] 图 5 是解释第一计数寄存器的示例性升值计数(counting-up)操作的示意图;

[0031] 图 6 是示出了在 SDRAM 内的存取区域的另一示例性设置的示意图;

[0032] 图 7 是示出了示例性 SDRAM 控制电路的功能结构的示意图;

[0033] 图 8 是示出了 SDRAM 内的存取区域的又一示例性设置的示意图。

[0034] 参考附图标记

[0035] 1 半导体电路

[0036] 2 第一图像处理电路

[0037] 3 SDRAM 控制电路

[0038] 31 控制器

[0039] 31a 第一信号线

[0040] 31b 第二信号线

[0041] 31c 第三信号线

[0042] 311 最大行地址计算单元

[0043] 312 地址计数器单元

[0044] 3121 第一计数寄存器

[0045] 3122 第二计数寄存器

[0046] 3123 参考寄存器

[0047] 313 命令发生器单元

[0048] 32 写 FIFO

[0049] 33 读 FIFO

- [0050] 341 存取区域设置单元
- [0051] 342 存取控制单元
- [0052] 4 SDRAM
- [0053] 41 第一组
- [0054] 42 第二组
- [0055] 5 第二图像处理电路

具体实施方式

[0056] 现在将解释本发明的示例性实施例。

[0057] 图 1 是示例性半导体电路的框图。

[0058] 图 1 所示的示例性半导体电路 1 包括第一图像处理电路 2、SDRAM(同步动态随机存取存储器)控制电路 3、SDRAM 4 和第二图像处理电路 5。SDRAM 4 被用作帧存储器。半导体电路 1 可以被构造为在单一半导体衬底上集成所有这些块的单一半导体集成电路。半导体电路 1 还可以采用 SDRAM 4 和集成了除 SDRAM 4 外的所有块的独立半导体集成电路来构造。

[0059] 第一图像处理电路 2 执行诸如从外部器件输入的图像数据的色彩转换处理的处理,并将所处理的图像数据输出到 SDRAM 控制电路 3。

[0060] SDRAM 控制电路 3 执行对通过在 SDRAM 4 中的第一图像处理电路 2 处理的图像数据进行存储的控制。

[0061] SDRAM 4 存储构成运动图像的连续帧的其中之一的图像数据。在每一个帧周期中,在先前帧周期期间存储的图像数据从 SDRAM 4 读取,而当前帧的图像数据在 SDRAM 控制电路 3 的控制下被存储在 SDRAM 中。

[0062] 第二图像处理电路 5 将从外部器件输入的图像数据与从 SDRAM 4 读取的图像数据进行比较,并执行诸如轮廓增强的图像处理。然后,在到外部器件的处理之后第二图像处理电路 5 输出表示图像的图像数据(输出数据)。

[0063] 图 2 是示出了示例性 SDRAM 控制电路 3 的结构的示意图。图 2 所示的示例性 SDRAM 控制电路 3 包括控制器 31、写 FIFO(先入先出存储器)32、和读 FIFO 33。控制器 31 包括最大行地址计算单元 311、地址计数单元 312 和命令发生器单元 313。图 2 还示出了通过示例性 SDRAM 控制电路 3 控制的 SDRAM 4。因而,图 2 还示出了包括 SDRAM4 和 SDRAM 控制电路 3 的示例性存储系统。

[0064] 在实际操作中,如上所解释的,在同一帧周期期间,在 SDRAM 控制电路 3 的控制下,依序执行读取存储在 SDRAM 4 中的先前帧的图像数据和将当前帧的图像数据存储在 SDRAM 4 中。然而,在下面的段落中,将假设仅执行图像数据的写入来对 SDRAM 控制电路 3 的功能进行解释。

[0065] 图 3 是示出了在 SDRAM 内的存取区域的示例性设置的示意图。图 3 所示的示例性 SDRAM 4 具有通过在垂直方向的行地址和在水平方向的列地址限定的地址空间。在图 3 所示的示例性 SDRAM 4 中,地址空间被物理地划分为第一组 41 和第二组 42。每一个组被逻辑地划分为四个区域,每一个区域包括 64 个连续的列地址,即,第一区域包括列地址 0-63,第二区域包括列地址 64-127,第三区域包括列地址 128-191,以及第四区域包括列地

址 192-255。

[0066] 图 3 示出了通过在被划分为两组的地址空间内布置编号从 B0-B158 的 159 个块,来设置用于存储每一个帧的图像数据的存取区域的状态。行地址和列地址的范围限定每一个块。就是说,每一个块包括位于同一行地址和指定数量的连续列地址的多个存储单元。具体地说,在图 2 所示的示例中,每一个块包括位于在行地址和所划分区域的其中之一的 64 个连续列地址的存储单元。

[0067] 就是说,块的每一个包括能存储 64 个字的数据的许多个存储单元。换句话说,每一个块包括“在每一个字中的位数” $\times$ 64 个存储单元。每一个帧的图像数据包括正好能够利用 159 个块来存储的多个字。对块的每一个给出的数字 0-158 表示用于存储图像数据的存取 SDRAM 4 的次序,所述图像数据被划分为各包括 64 个字的 159 个块。

[0068] 例如,帧的图像数据的第一 64 个字被写入块 B0,该块 B0 位于第一组 41 的第一区域内的行地址 0。图像数据的下一 64 个字被写入块 B1,该块 B1 位于第二组 42 的第一区域内的行地址 0。图像数据的再下一 64 个字被写入块 B2,该块 B2 位于第一组 41 的第一区域内的行地址 1。图像数据的又一 64 个字被写入块 B3,该块 B3 位于第二组 42 的第一区域内的行地址 1。

[0069] 以这种方式,图像数据被连续写入被布置在第一区域中的块中,同时以从位于最低行地址的块到位于较高行地址的块的次序交替改变组。当完成在块 B41 中的写入时,下一 64 个字被写入块 B42,其中所述块 B41 位于第二组内的行地址 20,并且所述块 B42 位于第一组 41 的第二区域内。然后,图像数据以相同方式进一步被依序写入被布置在第一组和第二组的第二区域中的块中。

[0070] 如上所解释的,多个块被布置在两个组中,每一个块由行地址和 64 个列地址限定,并且每一个包括 64 个字的图像数据被依序写入多个块中。将参照图 2 和图 3 对写图像数据的方式进行进一步解释。注意,在 SDRAM 4 中需要具有预定周期的刷新操作,然而,在组中的行地址的块的写入或者读取和对在同一组中具有相同行地址的存储单元进行刷新具有相同效果。

[0071] 在图 2 所示的示例性 SDRAM 控制电路 3 中的控制器 31 具有第一信号线 31a、第二信号线 31b、和第三信号线 31c。表示帧的图像数据的尺寸的信号“帧尺寸”被输入到第一信号线 31a,所述信号“帧尺寸”通过未在图中示出的电路产生。表示开始读取图像数据的信号“读开始”,被输入到第二信号线 31b。表示开始写入图像信号的信号“写开始”被输入到第三信号线 31c。

[0072] 输入到第一信号线 31a 的信号被输入到最大行地址计算单元 311,其根据输入信号计算最大行地址。最大行地址限定其中设置存取区域的行地址的指定范围。图 3 示出了其中将行地址 20 设置为最大行地址并且行将地址 0-20 的范围设置为其中设置存取区域的行地址的指定范围的示例。这里,最大行地址 20 小于 SDRAM 4 的最大物理行地址。换句话说,行地址 0-20 的指定范围小于由图 3 中的矩形 41 或 42 来表示的地址空间的行地址的范围。

[0073] 在每一个组的第一到第三区域的每一个中提供块的完全列,其中将块布置在行地址的整个指定范围内。另外,在每一个组的第四区域提供块的不完全列,其中将块仅布置在行地址的指定范围的一部分内。

[0074] 根据以上解释的示例性存储器存取方法,在组的每一个中沿列地址的方向布置块的两个或更多个完全列。另外,除了块的该两个或更多个完全列外,也可以在组的每一个中布置块的不完全列。例如,在图 3 所示的示例中,在第一组 41 和第二组 42 的每一个中布置了块的三个完全列和块的不完全列。

[0075] 在示例性存储器存取方法中,沿列地址的方向布置块的两个或更多个完全列,以设置存取区域。因此,可以省去施加在 SDRAM 4 上的刷新操作。就是说,当对被划分为各具有 64 个字的多个块的图像数据进行写入时,布置在块的完全列中的块被依序存取。而且,通过对布置在块的完全列的每一个中的块进行依序存取,来依序存取块的两个或更多个完全列。

[0076] 结果是,即使在最糟的情况中,在指定范围内的行地址的每一个以短于帧周期的间隔被存取。因此,即使所需的刷新周期短于帧周期,在不执行刷新操作的条件下,也能维持存储在存取区域的存储单元中的数据。

[0077] 首先,通过增加行地址将图像数据依序存储在每一个组的第一区域中的块中。例如,在位于第二组 42 的第一区域中的最大行地址 20 的块 B41 中存储数据之后,数据的下一部分被存储在位于第一组 41 的第二区域中的行地址 0 的块 B42 中,然后,存储在位于在第二组 42 的第二区域中的行地址 0 处的块 B43 中。

[0078] 将图像数据存储在块 B42 中具有与对包括在块 B0 中的存储单元进行刷新相同的效果,其中在该块 B0 中已存储同一帧的图像数据。将图像数据存储在块 B42 中还具有与对包括在第三区域中的块 B84 和在第四区域中的块 B126 中的存储单元进行刷新相同的效果,其中在该块 B84 和 B126 中存储了先前帧的图像数据。同样,将图像数据存储在块 B43 中具有与对包括在块 B1 中的存储单元、和包括在第三区域的块 B85 中以及在第四区域中的块 B127 中的存储单元进行刷新相同的效果,其中在该块 B1 中已存储同一帧的图像数据,在该块 B85 和 B127 中存储了先前帧的图像数据。

[0079] 假设将图像数据存储在块 B0 到 B158 中需要等于帧周期的周期。然后,如图 3 所示,当块的四列被布置在每一个组中时,从将图像数据存储在块的第一列中的第一块 B0 中到将图像数据存储在块的下一列中的第一块 B42 中的间隔是约 $1/4$ 帧周期。从将图像数据存储在块 B 1 中到将图像数据存储在块 B43 中的间隔相同。块 B0 和 B1 以该间隔被有效刷新。在以下解释中,该间隔被标示为“间隔 A”。

[0080] 类似地,将图像数据存储在块 B44 到 B83 中与以相同间隔 A 对包括在块 B2 到 B41 中的每一个、块 B86 到 B125 中的每一个、以及块 B128 到 B158 中的每一个中的存储单元进行刷新具有相同效果。将图像数据存储在被布置在第三区域的块的完全列中的块 B84 到 B125 中与以相同间隔 A 对包括在块 B0 到 B83 中的每一个、和块 B128 到 B158 中的每一个中的存储单元进行刷新具有相同效果。

[0081] 此外,将图像数据存储在被布置在第四区域的块的不完全列中的块 B126 到 B158 中与以相同间隔 A 对包括在块 B0 到 B32 中的每一个、块 B42 到 B74 中的每一个、以及块 B84 到 B116 中的每一个中的存储单元进行刷新具有相同效果。

[0082] 对于在第一组的第一区域中的块 B34 到 B40、第二区域中的块 B76 到 B82,或者第三区域中的块 B118 到 B124 来说,在第四区域的块的不完全列中不存在具有相同行地址的对应块。因此,当将图像数据存储在被布置在第四区域中的块的不完全列中时,在第一组的

第一到第三区域中布置的这些块中包含的存储单元不被刷新。

[0083] 当图像数据在下一帧周期期间被写入到布置在第一区域中的同一行地址的块中时,在第四区域中未布置块的行地址被下次存取。因此,假设在构成存取区域的全部块中存储图像数据需要一帧周期,通过以最大为约 $2/4 = 1/2$ 帧周期的周期对相同行地址进行存取,来对在块的不完全列中未布置块的行地址处的块中包含的存储单元进行刷新。

[0084] 该周期仍短于帧周期。因此,即使用于维持数据所需的刷新周期变得短于帧周期,如果所需的刷新周期是在与帧周期可比的范围内,则也不需要执行刷新操作。对于在第二组的第一区域中的块 B33 到 B41、在第二区域中的块 B75 到 B83,和第三区域中的块 B117 到 B125 来说,这种情况是相同的。就是说,即使在最差的情况下,通过以帧周期的约 $1/2$ 的周期对同一行地址的存取,来刷新包括在这些块中的存储单元。因此,不需要刷新操作。

[0085] 表示在最大行地址计算单元 311 中计算的最大行地址的信号被发送到地址计数单元 312 和命令发生器单元 313。输入到第二信号线 31b 的表示开始读取图像数据以及向第二图像处理单元 5 发送读数据的信号“读开始”被发送到地址计数单元 312、命令发生器单元 313、和读 FIFO 33。输入到第三信号线 31c 的表示开始写入从第一图像处理电路 2 输入的图像数据的信号“写开始”被发送到地址计数单元 312、命令发生器单元 313、和写 FIFO 32。

[0086] 例如,如在日本专利特开 11-133917 中描述的,在此通过引用合并其全部内容,通过各个 FIFO 写入和读取数据使得 DRAM 能够用作帧存储器。

[0087] 未在图 2 中示出的表示帧的开始的垂直同步信号、和时钟信号,也被输入到地址计数单元 312。未在图 2 中示出的计数寄存器被提供在地址计数单元 312 中,所述计数寄存器对时钟信号的数量计数。地址计数单元 312 根据计数寄存器的计数值生成地址信号,并将所生成的地址信号发送给 SDRAM 4。

[0088] 参照计数寄存器的计数值,命令发生器单元 313 生成诸如组激活、写和读命令信号的存取命令信号,并将所生成的存取命令信号发送给 SDRAM 4。SDRAM 4 参照与地址信号同时接收的存取命令信号,确定从地址计数单元 312 接收的地址信号是否表示组地址、行地址或列地址。因此,由地址信号和存取命令信号指定的地址被存取。

[0089] 图 4 是示出了示例性计数寄存器的内部结构的示意图。图 4 的上部示出了提供在地址计数单元 312 中的第一计数寄存器 3121,以及对输入到地址计数单元 312 的时钟信号计数的第二计数寄存器 3122。图 4 的下部示出了这两个计数寄存器的计数值如何组合以生成 SDRAM 4 的组地址、行地址、和列地址。

[0090] 当地址计数单元 312 接收未在图 2 中示出的垂直同步信号,以及检测帧的开始,第一计数寄存器 3121 和第二计数寄存器 3122 被重设为零。之后,当“写开始”信号被接收时,第二计数寄存器 3122 开始对时钟信号计数。第二计数寄存器 3122 的计数值的低 6 位表示列地址的低 6 位 (0 到 63)。同时,第一计数寄存器 3121 的 2 位计数值表示列地址的高 2 位。列地址的高 2 位在 0 到 3 之间变化,并且表示第一区域到第四区域。

[0091] 高于低 6 位的第二计数寄存器的计数值的下一位表示组。第二计数寄存器的计数值的其余高 X 位表示行地址。

[0092] 图 5 是解释第一计数寄存器的示例性升值计数操作的示意图。如图 5 所示,除了第一计数寄存器 3121 和第二计数寄存器 3122 外,地址计数器 312 包括存储参考值的参考

值寄存器 3123。参考值寄存器的低 6 位存储值“111111”，而其下一高位存储“1”。参考值寄存器的更高位存储值“xxx0010100”，其表示通过最大行地址计算单元 311 计算的最大行地址 20。

[0093] 地址计数器 312 将第二计数寄存器 3122 的计数值和存储在参考值寄存器 3123 中的参考值依序进行比较。当这些值匹配时，地址计数器将第一计数寄存器 3121 的 2 位计数值增加 1，并将第二计数寄存器 3122 的计数值重设为零。

[0094] 再参照图 2，当外部信号“写开始”被输入时，图像数据通过写 FIFO 32 被写入 SDRAM 4。为了将数据写入 SDRAM 4，地址计数单元 312 生成地址信号并将所生成的地址信号发送给 SDRAM 4。因此，构成帧的图像数据在帧周期期间被写入图 3 所示的 159 个块中。

[0095] 实际上，在每一个块内的列地址中仅第一个被从地址计数单元 312 提供给 SDRAM 4。通过利用 SDRAM 4 的突发存取能力，在每一个块内的后续列地址被依序存取。因而，存储系统的操作频率可以得以增加。虽然如此，第二计数寄存器 3122 继续对时钟信号进行计数，同时对在块内的后续列地址进行存取，以便生成下一块的地址。

[0096] 如上所解释的，通过最大行地址计算单元 311 计算的最大行地址被存储在参考寄存器 3123 的高位中。地址计数单元 312 和命令发生器单元 313 生成地址信号和存取命令信号，并且将所生成的地址信号和存取命令信号发送到 SDRAM 4。因此，构成帧的图像数据被存储在 SDRAM 4 的地址空间内设置的存取区域中。

[0097] 实际上，如上所解释的，在同一帧周期内执行对构成先前帧的图像数据的读取和对构成当前帧的图像数据的写入。因此，在如上所解释的情况，即仅执行写的情况，以更高的频率对在行地址的指定范围内的行地址执行存取。

[0098] 然而，在从第一组 41 中的特定数量的块以及从在第二组 42 中的相应块读取之后的读/写序列内，可以应用相同块被再次存取以在其中写数据，以便使写 FIFO 32 和读 FIFO 33 的所需存储容量最小。例如，在存取特定数量的块以读取构成在先前帧内的行的图像数据之后，相同块被再次存取以写入构成在当前帧内的相应行的图像数据。在这种情况下，对行地址进行依序存取之间的最大间隔与如上所解释的情况大致相同。

[0099] 为了在每一个帧周期期间执行图像数据的读和写，实际上，提供各个第一计数寄存器 3121、第二计数寄存器 3122、参考寄存器 3123、以及比较器用来在地址计数单元 312 中生成读地址和写地址。

[0100] 如上所解释的，示例性 SDRAM 控制电路 3 利用 SDRAM 4 的特征，所述特征对位于组中的行地址的块进行存取提供与对在同一块中和在相同组中具有相同行地址的其他块中包含的存储单元进行刷新相同的效果。因此，通过对存取区域进行存取来进行写和/或读数据能够维持所存储的数据，而不需要执行刷新操作。

[0101] 就是说，根据要存储的图像数据的字的数量，来确定其中设置存取区域的行地址的指定范围。在组的每一个中沿列地址的方向布置块的两个或更多个完全列，其中块被布置在整个指定范围的行地址中。结果是，通过在存取区域中写数据或从存取区域中读数据，在指定范围内的行地址的每一个以短于帧周期的间隔被存取。

[0102] 更具体地说，在图 3 所示的示例中，通过在组的每一个中布置块的三个完全列和块的不完全列来设置存取区域。在这种情况下，当需要一帧周期来写入或读取构成帧的图像数据时，包括在块的不完全列中的块的每一个行地址以大约 1/4 帧周期的间隔被存取。

因此,在这些行地址的块中的存储单元以约 $1/4$ 的帧周期间隔被有效地刷新。即使在最糟的情况下,对没有包括在块的不完全列中的块的每一个行地址的存取的间隔约是 $1/2$ 帧周期。因而,在这些行地址的块中的存储单元以短于约 $1/2$ 帧周期的间隔被有效刷新。

[0103] 实际上,需要准备周期来对在不同行中的 SDRAM 4 的存储单元进行存取。因此,如果图像数据被写入在同一组的块中,同时增加行地址,则在依序存取之间需要等待,并且需要较长的总周期来存储全部数据。因此,示例性 SDRAM 控制电路 3 将块布置在两组中,并且通过对在不同组中布置的块进行交替存取来写入数据。

[0104] 就是说,在将一部分数据写入在第一组 41 中的特定行地址的块中之后,将下一部分数据写入在第二组 42 中的同一行地址的块中。在将数据写入在第二组 42 的特定行地址的块中时,从该特定行地址以行地址的顺序的高一位的行地址被激活从而对在第一组中的块进行存取不需要等待。在从 SDRAM 4 读数据时也应用相同顺序。

[0105] 为了无等待地对在不同组中的块进行交替存取,在对在组的其中之一中的块进行存取时,命令发生器单元 313 生成组激活命令,并将所生成的命令发送给 SDRAM 4。同时,地址计数单元 312 生成指定下一个将被存取的块的地址信号,并将所生成的地址信号发送给 SDRAM4。地址计数单元 312 根据第二计数寄存器 3122 的计数值生成地址信号。然而,由于计数寄存器的计数值对应于现在正在进行存取的块内的地址,因此需要调整地址。

[0106] 例如,在日本专利特开 2000-315386 中公开了对被划分为多组的 SDRAM 的存取,其全部内容通过引用合并于此。优选使用具有被划分为多组的地址空间的 SDRAM,从而在依序存取之间不需要等待。因此,读或存储数据的总周期能够被缩短。然而,对于本发明来说,使用具有被划分为多组的地址空间的 SDRAM 不是必需的。

[0107] 图 6 是示出了在 SDRAM 内存取区域的另一示例性设置的示意图。图 6 示出了在两组的每一个中布置块的两个完全列和块的不完全列的示例。在每一个块内的列地址的数量是 64,其与图 3 所示的情况相同。存储构成帧的图像数据所需的块的数量是 159 (块 0 到 158),而行地址的指定范围被设置为 0 到 38。就是说,最大行地址被设置为 38。

[0108] 行地址的指定范围被设置为使得在两组的每一个中布置块的两个完全列。具体地说,存储构成帧的图像数据所需的块数量 (159) 除以组的数量 (2),并再除以将要布置在每一个组中的块的完全列的数量 (2)。最大行地址可以被设置为商的整数部分 (39) 减去 1。在 0 到最大行地址之间的行地址可以被设置为行地址的指定范围,所述行地址包括等于商 (39) 的多个行地址。

[0109] 行地址的指定范围可以从在地址空间内的不同行地址设置以使得行地址的指定范围包括等于最大行地址加 1 (即,所述商的整数部分) 的多个行地址。

[0110] 在图 6 所示的示例性块中,在第三区域中布置块的不完全列。然而,布置在块的不完全列中的块的数量远小于布置在块的完全列中的块的数量。因此,当需要一个帧周期来对全部存取区域进行存取时,对在行地址的指定范围内的每一个行地址进行存取的间隔大约是二分之一帧周期,所述行地址的指定范围包括未布置在块的不完全列中的块的行地址。因此,不需要刷新操作。

[0111] 当块的不完全列包括布置在行地址的几乎整个指定范围内的块时,对未布置在块的不完全列中的块的行地址进行存取的最大间隔约是 $2/3$ 帧周期。存取间隔仍短于帧周期。因此,当刷新周期比帧周期短且与帧周期可比时不需要刷新操作。

[0112] 在图 6 所示的示例性块结构中,行地址的指定范围被设置为 0 到最大行地址,其是在块的完全列的每一个中的块的数量减 1。在这种情况下,最大行地址可以通过以下步骤设置:i) 将存储构成帧的数据所需的块的总数量除以组的数量,以及除以将要布置在所述每一个组中的块的完全列的数量;以及 ii) 将商的整数部分减去 1。结果是,可以使对在行地址的指定范围内的行地址的每一个进行存取的最大间隔短于帧周期。

[0113] 如果刷新周期远短于帧周期,可以设置例如如图 3 所示的存取区域。就是说,将要布置在每一个组中的块的完全列的数量增加,并且行地址的指定范围相应缩小。

[0114] 根据各种示例性实施例,根据在将要存储的数据中包含的字的数量、组的数量和要布置在所述每一个组中的块的完全列的数量,可以计算最大行地址。在参考寄存器 3123 的高位中存储所计算的最大行地址可以设置存取区域。可以在外部计算最大行地址,并将其输入到参考寄存器 3123。因此,在控制器 31 中不提供最大行地址计算单元 311 的情况下,也能够设置存取区域。

[0115] 如图 2 所示,根据示例性实施例的控制器 31 可以包括三个物理单元,即最大行地址计算单元 311、地址计数单元 312 和命令发生器单元 313。如上所解释的,控制器 31 生成适合于诸如图 3 和 6 所示的存取区域的结构地址信号和存取命令信号,并将所生成的地址信号和存取命令信号发送给 SDRAM 4。换句话说,控制器 31 设置 SDRAM 4 的存取区域,并生成和发送适合于在 SDRAM 4 中设置的存取区域的地址信号和存取命令信号。

[0116] 因此,如图 7 所示,可以认为控制器 31 包括两个功能单元,即存取区域设置单元 341 和存取控制单元 342,所述存取区域设置单元 341 设置在 SDRAM 4 的地址空间中的存取区域,所述存取控制单元 342 生成地址信号和存取命令信号。就是说,图 7 是示出了示例性 SDRAM 控制电路 3 的功能结构的示意图。根据示例性实施例,如图 4 所示的第一和第二计数寄存器 3121 和 3122 的地址和计数值之间的对应,和在参考寄存器 3123 中存储的最大行地址设置存取区域。

[0117] 具体地,用于表示列地址的低位的第二计数寄存器 3122 的低位的数量确定在块内的列地址的数量。用于表示组地址的第二计数寄存器 3122 的位的数量确定块的列被布置在其中的组的数量。通过最大行地址计算单元 311 计算的并存储在参考寄存器 3123 中的最大行地址确定在块被布置在其中的行地址的指定范围。最后,在要存储的数据中包含的字的数量和块内的列地址的数量、组的数量、以及行地址的指定范围之间的关系确定布置在每一个组中的块的完全列的数量和布置在块的不完全列内的块的数量。

[0118] 因此,在图 2 所示的三个单元 311 到 313 中,地址计数单元 312 和最大行地址计算单元 311 可以被认为组成存取区域设置单元 341。另一方面,地址计数单元 312 和命令发生器单元 313 可以被认为组成存取控制单元 342。

[0119] 图 8 是示出了在 SDRAM 内的存取区域的又一示例性设置的示意图。

[0120] 在图 8 所示的示例性实施例中,在构成帧的数据中的字的数量大于图 3 和图 6 中所示的示例性实施例中的字的数量。当在要存储在存储器中的数据中的字的数量改变时,优选通过改变块的布置来设置存取区域,而不需要改变能够存储在块中的字的数量,或在块内的列地址的数量。就是说,优选根据存储数据所需的块的数量的改变来改变行地址的指定范围。

[0121] 实际上,图 8 示出了其中当在每一个块中的列地址的数量是 64 时需要 164 个块来

存储构成帧的图像数据的示例性实施例,所述列地址的数目与图 3 和 6 中所示的实施例中的相同。为了在两个组的每一个中布置块的至少两个完全列,将最大行地址设置为 40,或者将行地址的范围设置为 0 到 40。就是说,与图 6 所示的示例性实施例相同,将块的所需数量 (164) 除以组的数量 (2) 和将要布置在每一个组中的块的完全列的数量 (2)。将商的整数部分 (41) 减去 1 设置为最大行地址。

[0122] 在图 8 所示的示例性实施例中,块的两个完全列并且没有块的不完全列被布置在组的每一个中。在该示例性实施例中,存取的间隔与在图 6 中所示的示例性实施例的间隔基本相同。就是说,当需要帧周期对全部存取区域存取时,对在行地址的指定范围内的每一个行地址的存取间隔约是 $1/2$ 帧周期。结果是,不需要刷新操作。

[0123] 此外,在图 8 所示的示例性实施例中,即使改变要存储在 SDRAM 中的数据的字的数量,在每一个块中的列地址的数量也不改变。因此,仅改变存储在参考寄存器 3123 的高位中的表示最大行地址的值使得能够使用相同控制器 31。

[0124] 至此,已经参照特定示例对根据本发明的示例性存储器存取方法、示例性存储控制电路和示例性存储系统进行了详细解释。然而,显然,本发明不限于以上所述的特定示例。本发明可以接受在本发明的精神内的各种改进和修改。

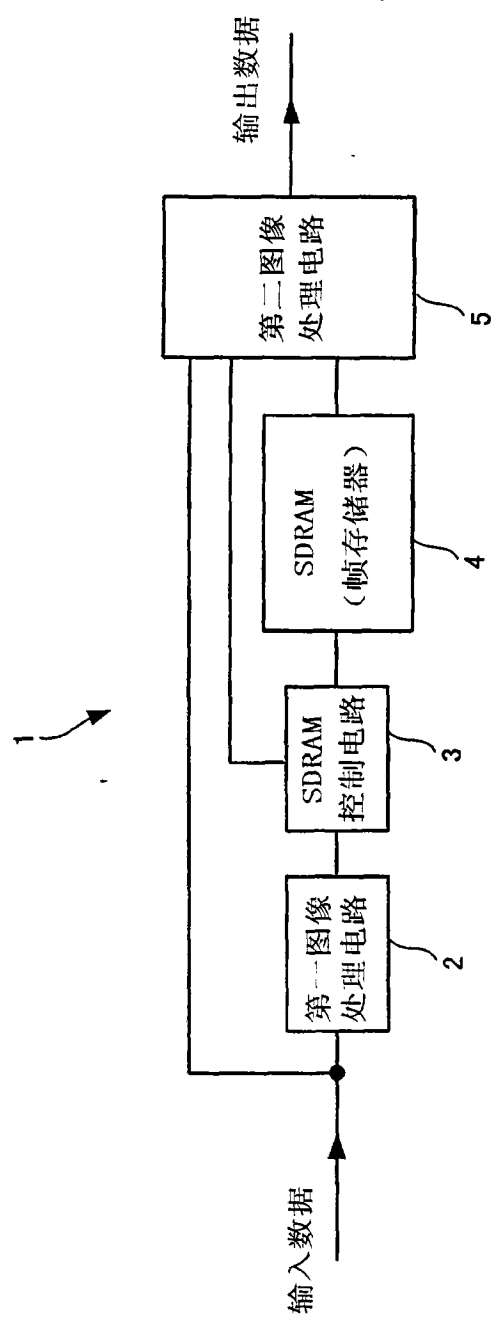


图1

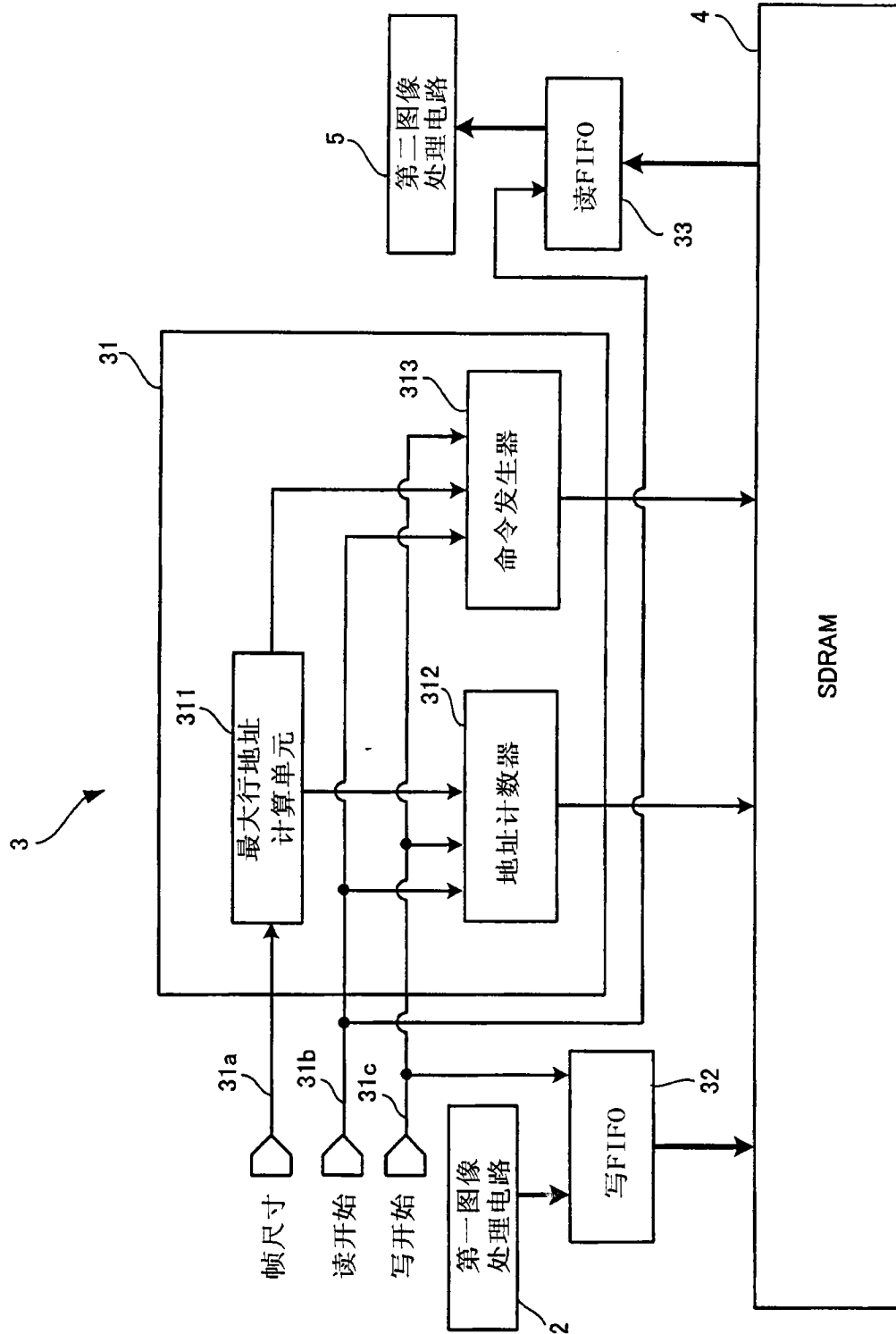
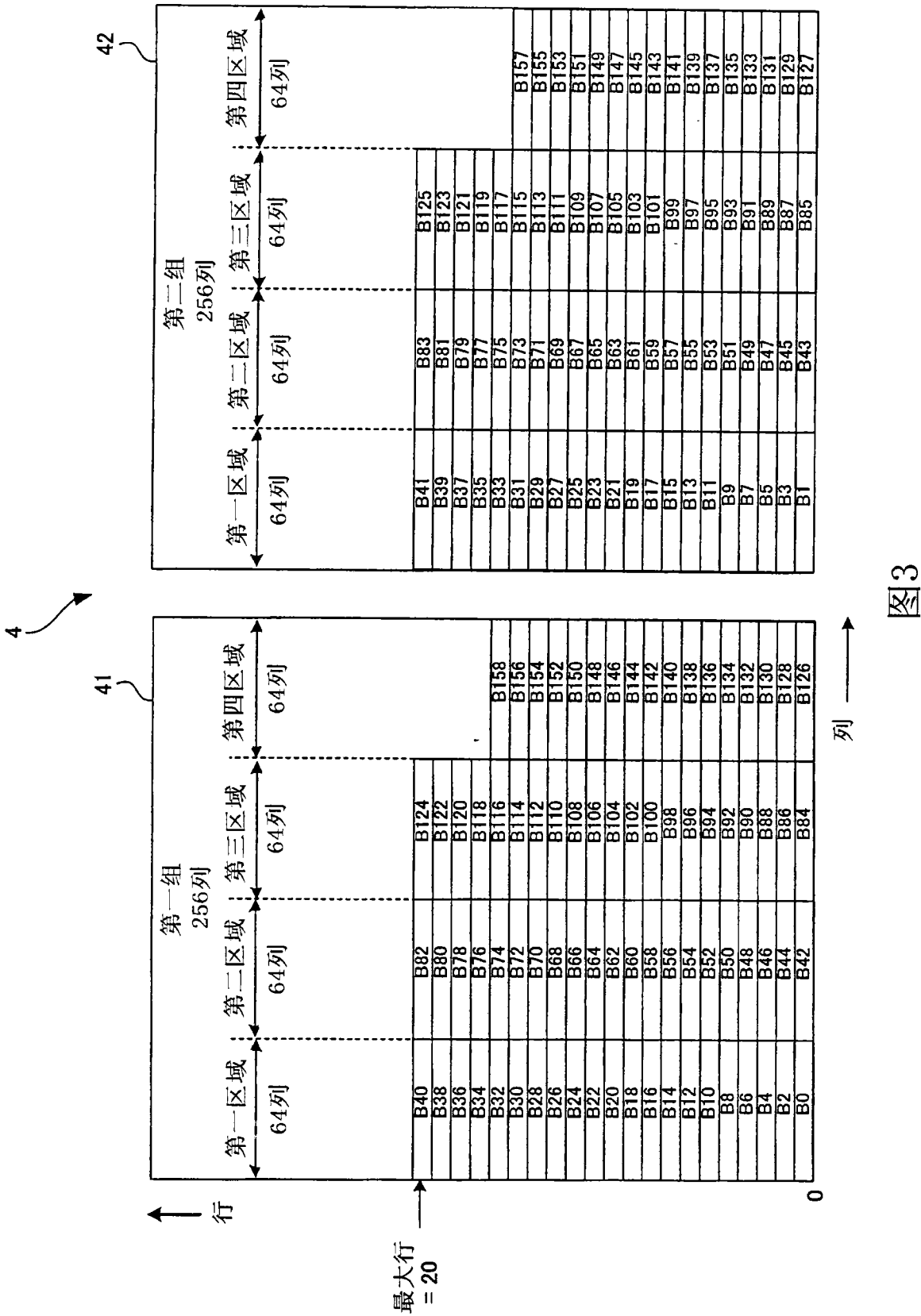


图2



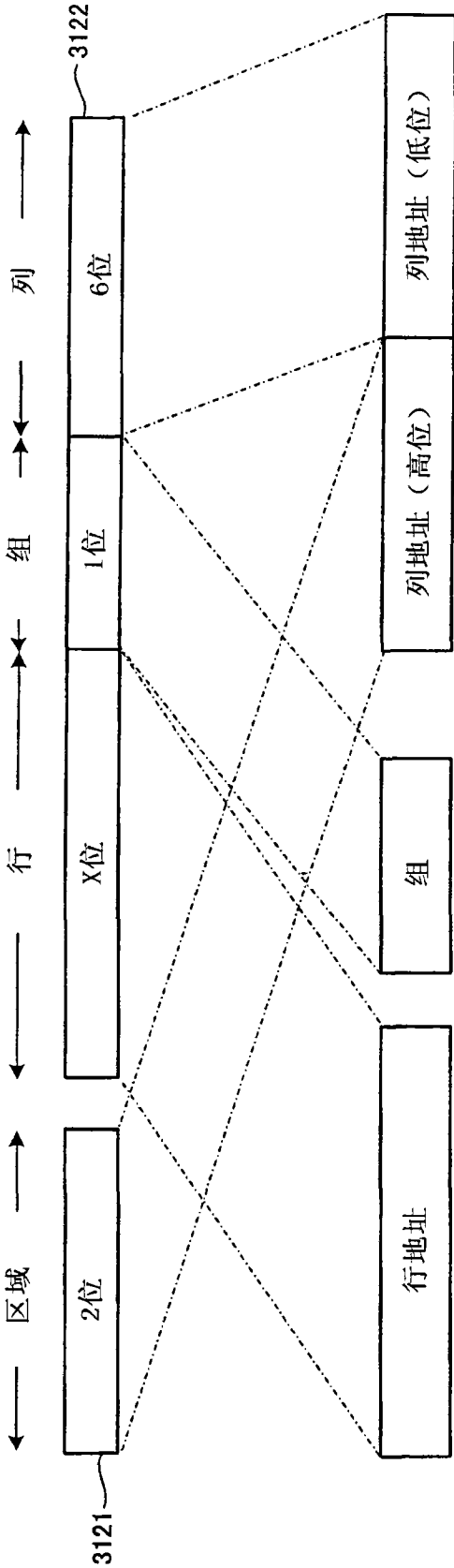


图4

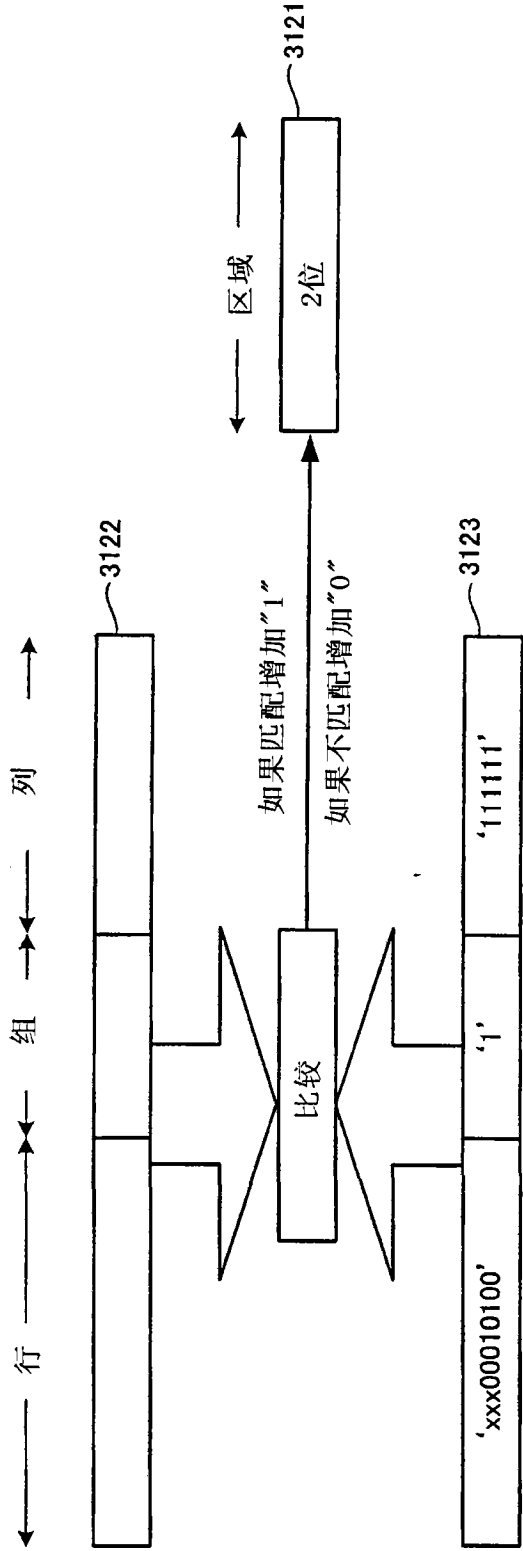


图5

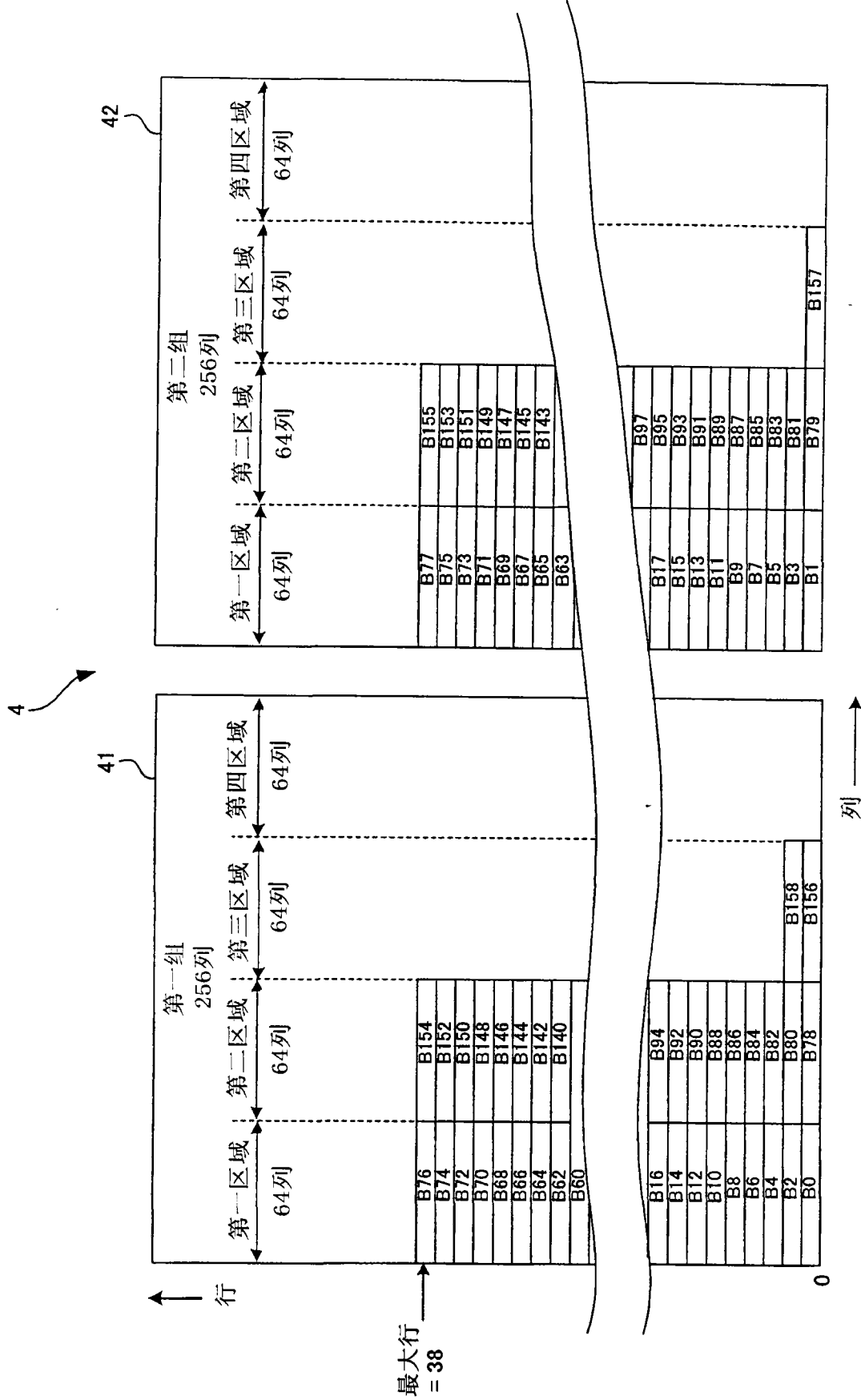


图6

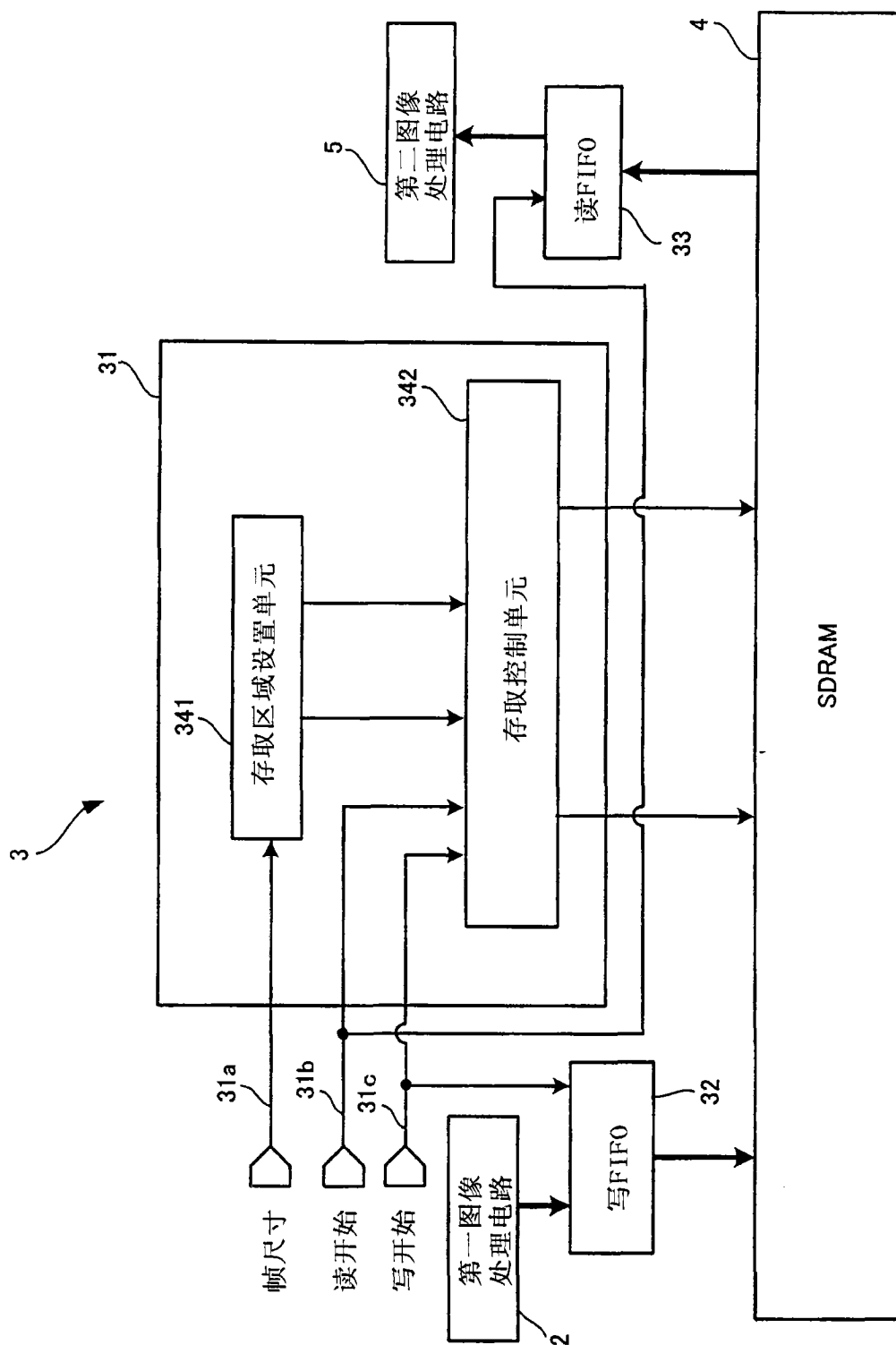


图7

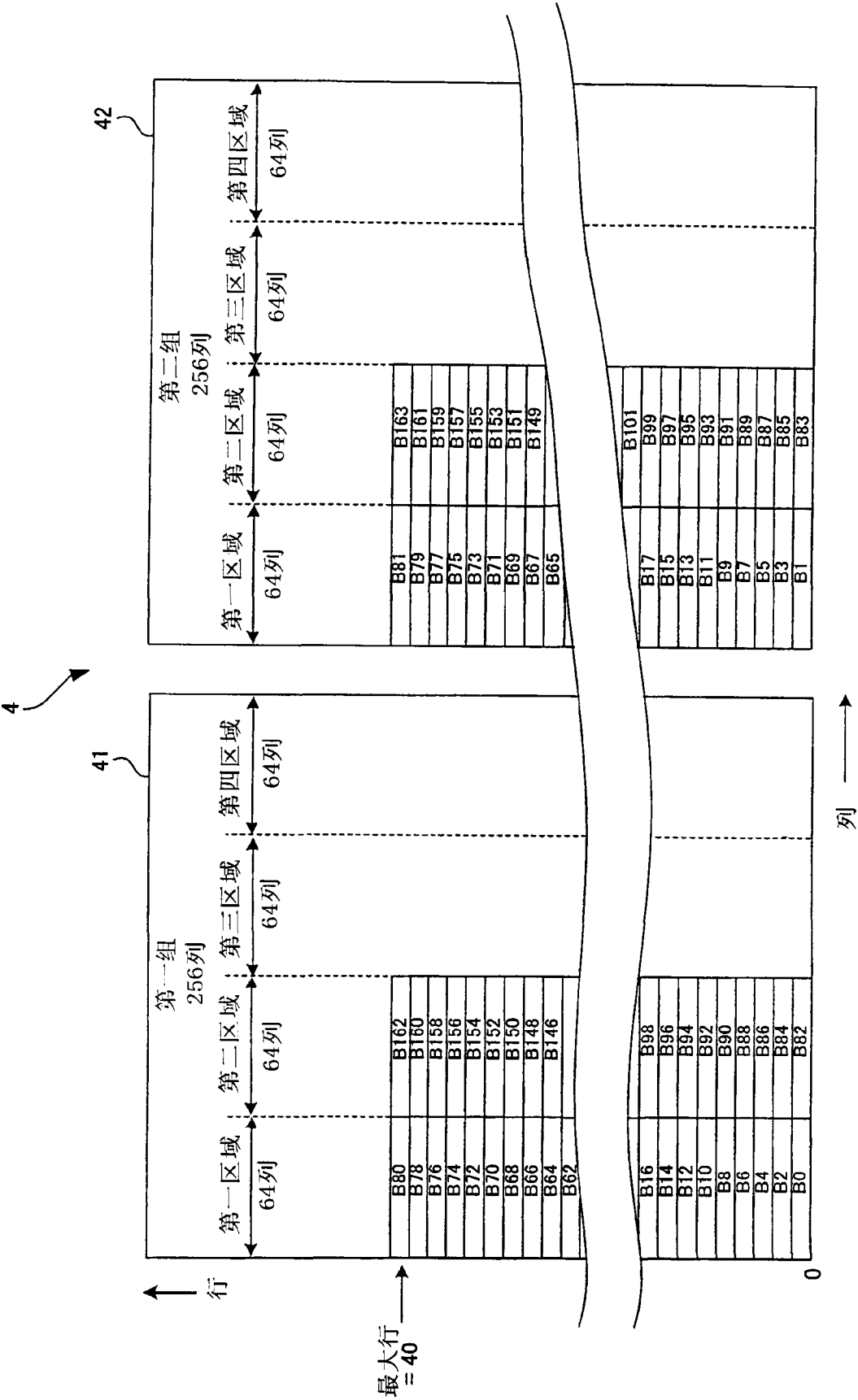


图8