

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3555772号

(P3555772)

(45) 発行日 平成16年8月18日(2004.8.18)

(24) 登録日 平成16年5月21日(2004.5.21)

(51) Int. Cl.⁷

H02H 7/00

F I

H02H 7/00

D

請求項の数 1 (全 9 頁)

<p>(21) 出願番号 特願平5-181511 (22) 出願日 平成5年7月22日(1993.7.22) (65) 公開番号 特開平7-39066 (43) 公開日 平成7年2月7日(1995.2.7) 審査請求日 平成12年6月30日(2000.6.30)</p> <p>前置審査</p>	<p>(73) 特許権者 000237592 富士通テン株式会社 兵庫県神戸市兵庫区御所通1丁目2番28号</p> <p>(74) 代理人 100096080 弁理士 井内 龍二</p> <p>(72) 発明者 酒井 直樹 兵庫県神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社内</p> <p>審査官 西山 昇</p> <p>(56) 参考文献 実開平02-107224 (JP, U) 特開昭61-004975 (JP, A) 特開昭59-079862 (JP, A) 最終頁に続く</p>
---	--

(54) 【発明の名称】 負荷異常検知回路

(57) 【特許請求の範囲】

【請求項1】

駆動素子の出力側が負荷駆動端子を介してソレノイド等の負荷の一端に接続され、該負荷の他端は電源電圧に接続され、
前記駆動素子の入力側に該駆動素子の駆動信号と前記負荷の異常チェック時にのみ入力されるチェック入力信号とを切り換え、前記駆動信号が入力されると、
前記駆動素子に前記負荷が作動する大きさの駆動電流を流し、前記チェック入力信号が入力されると、前記駆動素子に前記負荷が作動しない大きさの駆動電流を流す切り換え手段が接続され、
前記負荷駆動端子には、前記チェック入力信号により前記端子の電圧をモニタするための基準電圧を切り換えて、前記端子の電圧をモニタし、前記負荷の正常・異常を判定するためのモニタ回路が接続され、
前記チェック入力信号のオン時間が前記駆動信号のオン時間よりも短く設定されていることを特徴とする負荷異常検知回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は負荷異常検知回路に関し、より詳細には、ソレノイド等の大電流容量負荷がショート破壊しているかどうかを検知するための負荷異常検知回路に関する。

【0002】

10

20

【従来の技術】

図4に基づいて従来の技術を説明する。図4は従来の負荷異常検知回路40を概略的に示したブロック図である。負荷異常検知回路40において41はパワ-MOS電界効果トランジスタ(以下、トランジスタ41と記す)を示している。トランジスタ41のゲートには駆動信号が入力されるようになっており、ソ-スは接地され、ドレインは負荷駆動端子43に接続されている。負荷駆動端子43はソレノイド44の一端に接続されており、ソレノイド44の他端は電源電圧に接続されている。また、負荷駆動端子43にはインバータ42a等で構成されたモニタ回路42が接続されており、モニタ回路42からはマイクロコンピュータ(図示せず)等にモニタ信号が出力されるようになっている。

【0003】

上記の如く構成された負荷異常検知回路40において、ソレノイド44が正常であれば、駆動信号が入力されたときにモニタ回路42からハイレベルが出力され、ソレノイド44がショート破壊していれば、モニタ回路42からロ-レベルが出力されるようになっている。

【0004】

[ソレノイド44が正常である場合]

トランジスタ41に駆動信号が入力されるとトランジスタ41がオンする。ソレノイド44が正常であれば、電源電圧はソレノイド44の負荷抵抗値とトランジスタ41とのオン抵抗値に応じて分圧され、電源電圧の大部分はソレノイド44に印加される。したがって、負荷駆動端子43の電位はロ-レベルになり、モニタ回路42からはハイレベルが出力され、マイクロコンピュータ(図示せず)にソレノイド44が正常状態にあることが伝達される。

【0005】

[ソレノイド44がショート破壊している場合]

トランジスタ41に駆動信号が入力されるとトランジスタ41がオンする。この時、ソレノイド44がショート破壊していると、トランジスタ41のオン抵抗値がショート破壊しているソレノイド44の(負荷)抵抗値よりも大きくなり、電源電圧の大部分がトランジスタ41の両端に印加される。これにより、モニタ回路42からはロ-レベルがマイクロコンピュータ(図示せず)に出力される。そして、モニタ回路42からロ-レベルが所定時間以上(例えば、20ms以上)継続して出力された場合に、ソレノイド44がショート破壊していると検知される。

【0006】

【発明が解決しようとする課題】

上記したように従来の負荷異常検知回路40においては、トランジスタ41に駆動信号が入力されてから所定時間以上継続してモニタ回路42からロ-レベルが出力された場合に、ソレノイド44がショート破壊していると検知される。しかしその場合には、以下に示す課題がある。

【0007】

負荷異常検知回路40の場合ソレノイド44がショート破壊していると、駆動信号を加えた時にトランジスタ41には過電流(例えば、20~30Aの電流)が流れる。したがって、従来の技術のように、通常の駆動信号を入力してモニタ回路42から所定時間以上ロ-レベルが出力されているかどうかでソレノイド44がショート破壊しているかどうかを検知する場合は、前記所定時間、トランジスタ41に20~30Aの過電流が流れ続けることになる。該過電流が流れ続けると、トランジスタ41にダメージを与え、場合によってはトランジスタ41が破壊されてしまうおそれがある。

【0008】

また、トランジスタ41のゲ-ト・ソ-ス間の電圧 V_{GS} は、前記所定時間、20~30Aの過電流が流れてもトランジスタ41の安全動作領域を超えないように、例えば4V程度に設定されるが、負荷異常検知回路40の場合、駆動信号のオン・オフはマイクロコンピュータ(図示せず)により制御されているので、マイクロコンピュータ(図示せず)が

10

20

30

40

50

誤動作した場合などには V_{GS} が5Vに設定されてしまう可能性がある。もし、 V_{GS} が5Vに設定された場合には、さらに大きな過電流が流れ、さらに短い時間でトランジスタ41が破壊されてしまうおそれがある。

【0009】

また、上記から解るように負荷異常検知回路40の場合、負荷駆動素子であるトランジスタ41を不飽和な領域で使用しているため、ソレノイド44がショート破壊した場合に前記所定時間過電流が流れてもトランジスタ41の安全動作領域を超えないように、使用する素子の特性に応じてゲート・ソース間の電圧 V_{GS} 、すなわち駆動信号レベルを選別しなければならないという煩わしさがある。

【0010】

本発明は上記課題に鑑みなされたものであり、使用される負荷駆動素子の種類・特性にかかわらず、また負荷駆動素子を破壊することなく負荷がショート破壊しているかどうかを検知することができる負荷異常検知回路を提供することを目的としている。

【0011】

【課題を解決するための手段】

上記目的を達成するために本発明に係る負荷異常検知回路は、駆動素子の出力側が負荷駆動端子を介してソレノイド等の負荷の一端に接続され、該負荷の他端は電源電圧に接続され、前記駆動素子の入力側に該駆動素子の駆動信号と前記負荷の異常チェック時にのみ入力されるチェック入力信号とを切り換え、前記駆動信号が入力されると、前記駆動素子に前記負荷が作動する大きさの駆動電流を流し、前記チェック入力信号が入力されると、前記駆動素子に前記負荷が作動しない大きさの駆動電流を流す切り換え手段が接続され、前記負荷駆動端子には、前記チェック入力信号により前記端子の電圧をモニタするための基準電圧を切り換えて、前記端子の電圧をモニタし、前記負荷の正常・異常を判定するためのモニタ回路が接続され、前記チェック入力信号のオン時間が前記駆動信号のオン時間よりも短く設定されていることを特徴としている。

【0012】

【作用】

図2に上記構成に係る負荷異常検知回路の基本回路構成を示す。図2に示した負荷異常検知回路は負荷駆動素子としてパイポラ型トランジスタ21（以下、トランジスタ21と記す）を用いた場合を示している。

【0013】

図2に示した基本回路において、駆動信号およびチェック入力信号はマイクロコンピュータ（図示せず）により制御されており、切り換えスイッチ23および切り換えスイッチ22bは、通常時（駆動時）は前記チェック入力信号によりA側に接続され、負荷44の異常チェック時はB側に接続される。

【0014】

〔駆動時〕

バッファ24を介して駆動信号が入力されると、トランジスタ21に電流 I_1 が流れ、トランジスタ21がオンする。トランジスタ21がオンすると、電源電圧 V_B が負荷44の負荷抵抗値とトランジスタ21のオン抵抗値との抵抗値に応じて分圧されてトランジスタ21のコレクタとエミッタ間、すなわち、負荷駆動端子43とアース間に印加される。トランジスタ21のコレクタとエミッタ間に印加される電圧 V_0 はモニタ回路22を構成するコンパレタ22aのプラス端子に入力され、コンパレタ22aのマイナス端子に入力される駆動時における基準電圧 V_1 と比較される。そして該比較の結果、前記電圧 V_0 が基準電圧 V_1 よりも小さければ、コンパレタ22aからマイクロコンピュータ（図示せず）に負荷44が駆動されてオンした状態（正常状態）にあることが伝達される。

【0015】

トランジスタ21のベース電流（駆動電流）と負荷電流 I_0 とは図3(a)に示した関係にある。図3(a)から解るように前記ベース電流が増加すると共に負荷電流 I_0 も

10

20

30

40

50

増加する。また、前記ベース電流が所定値 (I_3) 以上の大きさを負荷電流 I_0 が所定値 (I_{03}) 以上流れなければ負荷 44 がオンされないようになっている。また、前記ベース電流と前記電圧 V_0 との関係は、図 3 (b) に示した右下りの曲線 f_1 になる。したがって、基準電圧 V_1 は前記ベース電流が前記所定値 I_3 流れたときにトランジスタ 31 のコレクタ・エミッタ間に印加される電圧 V_{03} に設定される。

【0016】

[異常チェック時]

バッファ 25 を介してチェック信号が入力されると、切り換えスイッチ 23 および切り換えスイッチ 22b が B 側に接続される。そして、電源 V_3 からトランジスタ 21 に対してベース電流 I_2 が微小時間供給され、負荷電流 I_0 として負荷 44 が作動しない程度の小さな電流 I_{02} (図 3 (a) 参照) が流される。例えば、通常の駆動信号のオン時間が数ミリ sec であるとする、前記微小時間は数マイクロ sec 程度に設定される。

10

【0017】

前記電流 I_2 が供給されてトランジスタ 21 がオンすると、トランジスタ 21 のコレクタ・エミッタ間には、電源電圧 V_B が負荷 44 の負荷抵抗値とトランジスタ 21 の内部抵抗値 (オン抵抗値) にしたがって分割されて印加される。そして上記駆動時と同様に前記コレクタ・エミッタ間に印加される電圧と基準電圧 V_2 とが比較され、該電圧が基準電圧 V_2 よりも大きければ負荷 44 がショート破壊していることがコンパレータ 22a からマイクロコンピュータ (図示せず) に伝達される。

【0018】

もし負荷 44 がショート破壊していれば、トランジスタ 21 のベース電流とコレクタ・エミッタ間の電圧 V_0 との関係は図 3 (b) に示した曲線 f_2 になる。したがって、異常チェック時における基準電圧 V_2 は、トランジスタ 21 に I_2 なるベース電流を供給した時に、トランジスタ 21 のコレクタ・エミッタ間に、負荷 44 がショート破壊していれば印加されるであろう電圧 V_{01} と負荷が正常であれば印加されるであろう電圧 V_{02} との間の値をとるように設定される。すなわち、 $V_{02} < V_2 < V_{01}$ である。なお、図 3 (b) においてグラフ f_3 は、負荷 44 と負荷駆動端子 43 とを接続するラインが断線した場合のコレクタ・エミッタ間の電圧 V_0 と駆動電流との関係を示している。

20

【0019】

【実施例】

以下、本発明にかかる負荷異常検知回路の実施例を図面に基づいて説明する。図 1 は実施例にかかる負荷異常検知回路 10 を概略的に示した回路構成図である。

負荷異常検知回路 10 は切り換え回路 13、負荷駆動素子であるトランジスタ 21、モニタ回路 22 等を含んで構成されている。トランジスタ 21 は負荷駆動端子 43 を介して負荷 44 の一端に接続され、負荷 44 の他端は電源電圧 V_B に接続されている。

30

【0020】

切り換え回路 13 はトランジスタ Q_1 、トランジスタ Q_2 、ダイオード D_1 、抵抗 R_1 、抵抗 R_2 、抵抗 R_3 、抵抗 R_4 等を含んで構成されている。トランジスタ Q_1 のベースにはマイクロコンピュータ (図示せず) から駆動信号が入力されるようになっており、エミッタは抵抗 R_1 を介して電源電圧 V_B に接続され、コレクタはトランジスタ 21 のベースに接続されると共に、抵抗 R_3 およびサージ吸収用のダイオード D_1 を介してトランジスタ 21 のコレクタにも接続されている。トランジスタ Q_2 のベースにはマイクロコンピュータ (図示せず) からチェック信号が入力されるようになっており、トランジスタ Q_2 のエミッタは抵抗 R_2 を介して電源電圧 V_B に接続され、コレクタはトランジスタ 21 のベースに接続されている。なお、抵抗 R_1 と抵抗 R_2 とは、 $R_1 < R_2$ の関係に設定されており、チェック信号が入力された時にトランジスタ 21 に流れるベース電流が駆動信号が入力された時に流れるベース電流よりも大きくなるように設定されている。

40

【0021】

50

トランジスタ 2 1 のエミッタは接地され、ベ - ス・エミッタ間には抵抗 R_4 が介装されており、コレクタは負荷駆動端子 4 3 に接続されている。負荷駆動端子 4 3 はモニタ回路 2 2 に接続されており、モニタ回路 2 2 は基準電圧切り換え回路 1 2 b、コンパレ - タ 2 2 a、抵抗 R_5 、抵抗 R_6 等を含んで構成され、コンパレ - タ 2 2 a からはモニタ信号がマイクロコンピュータ（図示せず）に出力されるようになっている。負荷駆動端子 4 3 は抵抗 R_5 の一端に接続され、抵抗 R_5 の他端はコンパレ - タ 2 2 a のプラス側の入力端子に接続されると共に、抵抗 R_6 を介して接地されている。

【 0 0 2 2 】

基準電圧切り換え回路 1 2 b はトランジスタ Q_3 、抵抗 R_7 、抵抗 R_8 、抵抗 R_9 等を含んで構成されている。トランジスタ Q_3 のベ - スには前記チェック信号が入力されるようになっており、エミッタは電源電圧 V_B に接続され、コレクタは抵抗 R_9 の一端に接続されている。抵抗 R_9 の他端はコンパレ - タ 2 2 a のマイナス側の入力端子に接続され、また、抵抗 R_7 を介して電源電圧 V_B に接続されると共に、抵抗 R_8 を介して接地されている。

【 0 0 2 3 】

上記の如く構成された負荷異常検知回路 1 0 の動作を図 1 および図 3 に基づいて説明する。

[負荷駆動時]

チェック信号が入力されない時、すなわち負荷駆動時にはトランジスタ Q_2 およびトランジスタ Q_3 がオフする。トランジスタ Q_3 がオフすると、コンパレ - タ 2 2 a のマイナス側の入力端子には、負荷駆動時の基準電圧 V_1 として電源電圧 V_B が抵抗 R_7 と抵抗 R_8 とで分圧されて入力される。すなわち、 $V_1 = V_B \cdot R_8 / (R_7 + R_8)$ に設定される。

【 0 0 2 4 】

トランジスタ Q_1 に駆動信号が入力されると、トランジスタ Q_1 がオンする。トランジスタ Q_1 がオンすると電源電圧 V_B から抵抗 R_1 、トランジスタ Q_1 、抵抗 R_4 を介して電流が流れ、トランジスタ 2 1 がオンする。この時トランジスタ 2 1 に流れるベ - ス電流は、抵抗 R_1 により図 3 (a) に示した電流 I_1 のように負荷作動電流域に入る大きさに設定されている。トランジスタ 2 1 がオンすると電源電圧 V_B から負荷 4 4 およびトランジスタ 2 1 を通って負荷 4 4 をオンさせるのに十分な負荷電流 I_0 (図 3 (a) で説明すると、 I_{03} 以上の負荷電流 I_0) が流れる。該負荷電流 I_0 が流れると、トランジスタ 2 1 のコレクタ・エミッタ間には、負荷 4 4 の負荷抵抗値とトランジスタ 2 1 のオン抵抗値との比に応じて電源電圧 V_B が分割されて印加される（この電圧を V_{0D} とする）。該電圧 V_{0D} は抵抗 R_5 を介してコンパレ - タ 2 2 a のプラス側の入力端子に入力され、マイナス側に入力される前記基準電圧 V_1 と比較される。そして該比較の結果、図 3 (b) のグラフに示したように前記電圧 V_{0D} が前記基準電圧 V_1 よりも小さければ、コンパレ - タ 2 2 a からマイクロコンピュータ（図示せず）に対して、負荷 4 4 がオンした状態にあることが伝達される。

【 0 0 2 5 】

[異常チェック時]

チェック信号が入力されると、トランジスタ Q_2 およびトランジスタ Q_3 がオンする。トランジスタ Q_3 がオンすると、コンパレ - タ 2 2 a のマイナス側の入力端子には、チェック信号入力時の基準電圧 V_2 として抵抗 R_7 および抵抗 R_9 の並列合成抵抗である抵抗 R_{79} と抵抗 R_8 とで電源電圧 V_B が分割されて入力される。すなわち、 $V_2 = V_B \cdot R_{79} / (R_{79} + R_8)$ であり、 $V_2 > V_1$ となる（図 3 (b) 参照）。ただし、 $R_{79} = R_7 \cdot R_9 / (R_7 + R_9)$ である。

【 0 0 2 6 】

一方、トランジスタ Q_2 がオンすると電源電圧 V_B から抵抗 R_2 、トランジスタ Q_2 、抵抗 R_4 を通って電流が流れ、トランジスタ 2 1 がオンする。この時、トランジスタ 2 1 に流れるベ - ス電流は、抵抗 R_2 により図 3 (a) に示した電流 I_2 のよう

10

20

30

40

50

に負荷が作動しない電流域に入る大きさに設定されている。

【0027】

チェック信号は駆動信号に比べると非常に短い時間しか入力されない。例えば、駆動信号のオン時間が数ミリsecであるとするとチェック信号のオン時間は数マイクロsecである。もし負荷44がショート破壊していれば、トランジスタ21がオンすると同時にトランジスタ21のコレクタ・エミッタ間には、電源電圧 V_B をショート破壊時における負荷44の抵抗値とトランジスタ21のオン抵抗値との比に応じて分割した電圧 V_{05} が印加される。該電圧 V_{05} はコンパレタ22aのプラス側の入力端子に入力され、マイナス側の端子に入力される基準電圧 V_2 と比較される。該比較の結果、前記電圧 V_{05} が基準電圧 V_2 よりも大きければ(図3(b)参照)、コンパレタ22aからマイクロコンピュータ(図示せず)に対して負荷44がショート破壊した状態であると伝達される。そして該伝達情報を受信したマイクロコンピュータ(図示せず)により駆動信号の出力がオフされる。

10

【0028】

以上説明したように実施例に係る負荷異常検知回路10にあっては、負荷44が作動しない程度の小さな電流 I_{03} を微小時間流して負荷44がショート破壊しているかどうかを検知するので、負荷駆動素子であるトランジスタ21にダメージを与えたり、トランジスタ21を破壊してしまったりすることを防止することができる。

【0029】

なお、上記実施例においてコンパレタをもう一個追加し、その基準電圧を図3(b)に示した V_{02} と V_{04} との間に設定すれば、負荷44と負荷駆動端子43とを接続するラインが断線しているかどうかを検出することができる。

20

【0030】

また、上記実施例では負荷駆動素子としてバイポーラ型のトランジスタ21を用いる場合を示したが、別の実施例では負荷駆動素子としてパワ-MOSFETを用いてもよい。その場合には、負荷異常検知回路10の構成のうちトランジスタ21を前記パワ-MOSFETに替えるだけでよい。すなわち、負荷異常検知回路10は負荷駆動素子として用いられる素子の種類および特性にかかわらず共通に使用することができる負荷異常検知回路である。

【0031】

30

【発明の効果】

以上詳述したように本発明に係る負荷異常検知回路にあっては、負荷が作動しない程度の小さな電流を微小時間流して負荷がショート破壊しているかどうかを検知するので、過電流を流すことなく前記負荷がショート破壊しているかどうかを検知することができ、負荷駆動素子を破壊したり、負荷駆動素子にダメージを与えたりすることをなくすることができる。また、本発明に係る負荷駆動検知回路は使用される負荷駆動素子の特性・種類にかかわらず、いずれの負荷駆動素子にも共通に用いることができる。

【図面の簡単な説明】

【図1】本発明に係る負荷異常検知回路の実施例を概略的に示した回路構成図である。

【図2】「作用」を説明するために用いた図であり、本発明に係る負荷異常検知回路を示した基本構成図である。

40

【図3】(a)図は負荷電流 I_0 と負荷駆動トランジスタに流れるベース電流との関係を概略的に示したグラフであり、(b)図は負荷駆動トランジスタのコレクタ・エミッタ間電圧 V_0 と負荷駆動素子に流れるベース電流(駆動電流)との関係を概略的に示したグラフである。

【図4】従来の負荷異常検知回路を概略的に示したブロック図である。

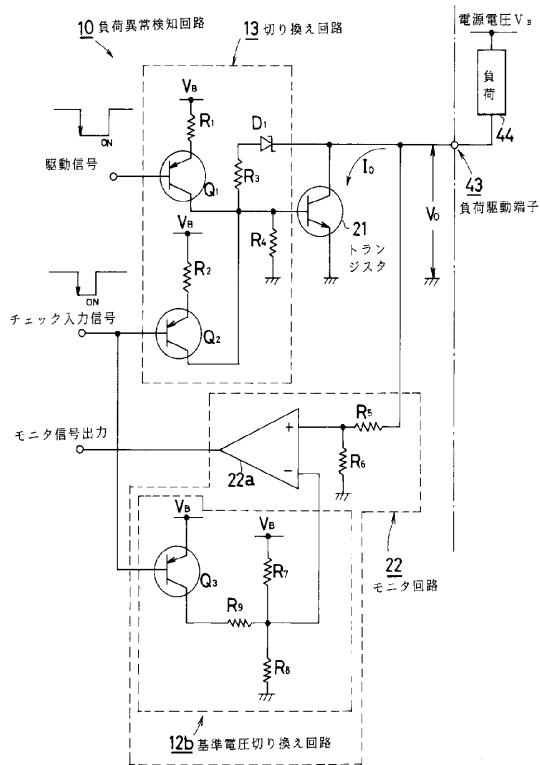
【符号の説明】

- 10 負荷異常検知回路
- 13 切り換え回路(切り換え手段)
- 21 トランジスタ(駆動素子)

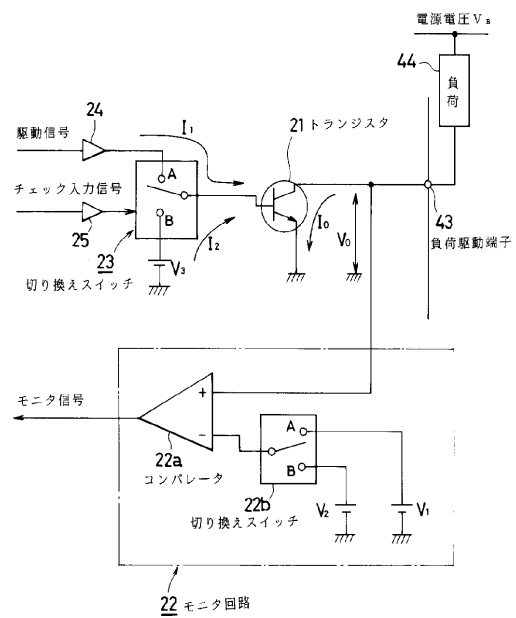
50

- 2 2 モニタ回路
- 2 3 切り換えスイッチ (切り換え手段)
- 4 3 負荷駆動端子
- 4 4 負荷

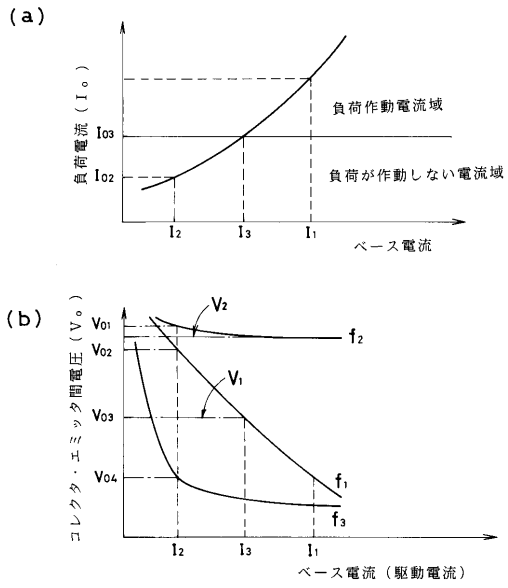
【図1】



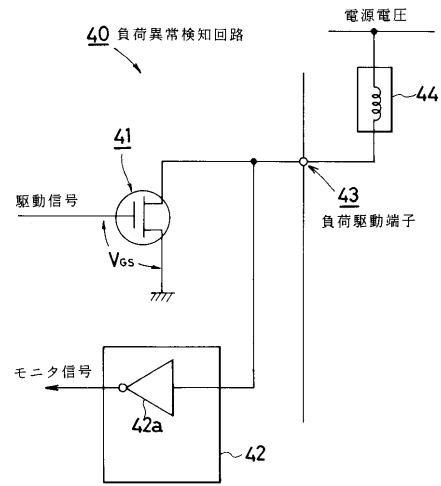
【図2】



【 図 3 】



【 図 4 】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H02H 7/00 - 7/20

G01R 31/02