



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I559552 B

(45)公告日：中華民國 105 (2016) 年 11 月 21 日

(21)申請案號：099124933

(22)申請日：中華民國 99 (2010) 年 07 月 28 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2009/07/31 日本

2009-180156

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；津吹將志 TSUBUKU, MASASHI (JP)；秋
元健吾 AKIMOTO, KENGO (JP)；細羽美雪 HOSOB, MIYUKI (JP)；坂田淳一
郎 SAKATA, JUNICHIRO (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2003-323132A

JP 2007-123861A

審查人員：黃本立

申請專利範圍項數：15 項 圖式數：35 共 158 頁

(54)名稱

半導體裝置和其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

本發明的一個實施例的目的之一在於提供一種具有能夠充分降低寄生電容的結構的半導體裝置。另外，本發明的一個實施例的目的之一在於實現用於驅動電路的薄膜電晶體的工作速度的高速化。在氧化物絕緣層接觸於氧化物半導體層中的通道形成區的底閘型薄膜電晶體中，藉由將源極電極層及汲極電極層形成為不重疊於閘極電極層，可以拉開源極電極層及汲極電極層與閘極電極層之間的距離，而實現寄生電容的降低。

A semiconductor device having a structure which enables sufficient reduction in parasitic capacitance is provided. In addition, the operation speed of thin film transistors in a driver circuit is improved. In a bottom-gate thin film transistor in which an oxide insulating layer is in contact with a channel formation region in an oxide semiconductor layer, a source electrode layer and a drain electrode layer are formed in such a manner that they do not overlap with a gate electrode layer. Thus, the distance between the gate electrode layer and the source electrode layer and between the gate electrode layer and the drain electrode layer are increased; accordingly, parasitic capacitance can be reduced.

指定代表圖：

150 · · · 薄膜電晶體

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099124933

H01L 29/786 (2006.01)

※申請日：099 年 07 月 28 日

※IPC 分類：H01L 2/336 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置和其製造方法

Semiconductor device and manufacturing method thereof

二、中文發明摘要：

本發明的一個實施例的目的之一在於提供一種具有能夠充分降低寄生電容的結構的半導體裝置。另外，本發明的一個實施例的目的之一在於實現用於驅動電路的薄膜電晶體的工作速度的高速化。在氧化物絕緣層接觸於氧化物半導體層中的通道形成區的底閘型薄膜電晶體中，藉由將源極電極層及汲極電極層形成爲不重疊於閘極電極層，可以拉開源極電極層及汲極電極層與閘極電極層之間的距離，而實現寄生電容的降低。

三、英文發明摘要：

A semiconductor device having a structure which enables sufficient reduction in parasitic capacitance is provided. In addition, the operation speed of thin film transistors in a driver circuit is improved. In a bottom-gate thin film transistor in which an oxide insulating layer is in contact with a channel formation region in an oxide semiconductor layer, a source electrode layer and a drain electrode layer are formed in such a manner that they do not overlap with a gate electrode layer. Thus, the distance between the gate electrode layer and the source electrode layer and between the gate electrode layer and the drain electrode layer are increased; accordingly, parasitic capacitance can be reduced.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

100：基板

102：閘極絕緣層

102a：第一閘極絕緣層

102b：第二閘極絕緣層

107：氧化物絕緣層

107a：氧化物絕緣層

107b：氧化物絕緣層

108：保護絕緣層

111：閘極電極層

113a：高電阻源極區

113b：高電阻汲極區

115a：源極電極層

115b：汲極電極層

134a：通道形成區

134b：第一區域

134c：第二區域

150：薄膜電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種使用氧化物半導體的半導體裝置及其製造方法。

另外，本發明說明中的半導體裝置指的是能夠藉由利用半導體特性工作的所有裝置，因此電光裝置、半導體電路及電子設備都是半導體裝置。

【先前技術】

近年來，一種利用形成在具有絕緣表面的基板上的半導體薄膜（厚度大約為幾 nm 至幾百 nm）來製造薄膜電晶體（TFT）的技術備受矚目。薄膜電晶體被廣泛地應用於如 IC 及電光裝置之類的電子裝置，尤其是對作為影像顯示裝置的切換元件的 TFT 的開發日益火熱。金屬氧化物的種類繁多且用途廣。氧化銦作為較普遍的材料被用於液晶顯示器等所需要的透明電極材料。

在金屬氧化物中存在呈現半導體特性的金屬氧化物。作為呈現半導體特性的金屬氧化物，例如可以舉出氧化鎢、氧化錫、氧化銦、氧化鋅等，並且已知一種將這種呈現半導體特性的金屬氧化物用作通道形成區的薄膜電晶體（專利文獻 1 及專利文獻 2）。

[專利文獻 1]

日本專利申請公開第 2007-123861 號公報

日本專利申請公開第 2007-96055 號公報

當在絕緣表面上製造薄膜電晶體時，閘極電極和其電位與該閘極電極不同的源極電極之間設置有閘極絕緣層，該閘極絕緣層成為電介質而形成電容。該電容也被稱為寄生電容，其有可能導致信號波形產生畸變。此外，當寄生電容較大時，有可能導致信號的傳達變慢。

另外，寄生電容的增加會引起在薄膜電晶體截止時流過的漏電流的增加，並使耗電量增大。

【發明內容】

本發明的一個實施例的目的之一在於提供一種具有能夠充分降低寄生電容的結構的半導體裝置。

另外，當在絕緣表面上形成驅動電路時，較佳的用於驅動電路的薄膜電晶體的工作速度較快。

本發明的一個實施例的目的之一在於實現用於驅動電路的薄膜電晶體的工作速度的高速化。

在底閘型薄膜電晶體中，將源極電極層及汲極電極層形成為不重疊於閘極電極層。

在底閘型薄膜電晶體中，接觸於氧化物半導體層的重疊於閘極電極層的區域地形成氧化物絕緣層。由此，在氧化物半導體層的接觸於該氧化物絕緣層的區域中選擇性地形成通道形成區。

在底閘型薄膜電晶體中，藉由將源極電極層及汲極電極層形成為不重疊於閘極電極層，可以拉開源極電極層及汲極電極層與閘極電極層之間的距離，而實現寄生電容的

降低。由此，源極電極層與汲極電極層之間的距離也變大，但是，因為可以在氧化物半導體層的接觸於氧化物絕緣層的區域中選擇性地形成通道形成區，所以可以在通道長度短的狀態下降低薄膜電晶體的寄生電容。

藉由降低薄膜電晶體的寄生電容，可以降低信號波形的失真和信號傳達的延遲，可以抑制漏電流和耗電量的增加。另外，藉由縮短通道長度，可以實現薄膜電晶體的高速工作。另外，藉由使用工作速度快的薄膜電晶體，提高電路的整合度。

本發明說明所公開的本發明一個實施例是一種半導體裝置，包括：絕緣表面上的閘極電極層；所述閘極電極層上的閘極絕緣層；所述閘極絕緣層上的源極電極層及汲極電極層；所述閘極絕緣層和所述源極電極層及所述汲極電極層的一部分上的氧化物半導體層；所述氧化物半導體層上的氧化物絕緣層；以及所述氧化物絕緣層和所述氧化物半導體層上的保護絕緣層，其中，所述氧化物半導體層具有所述閘極電極層上的通道形成區，所述源極電極層及所述汲極電極層不重疊於所述閘極電極層，所述源極電極層及所述汲極電極層的側面接觸於所述氧化物半導體層的一部分，所述氧化物絕緣層接觸於所述氧化物半導體層中的所述通道形成區，並且，所述保護絕緣層接觸於所述氧化物半導體層的一部分。

藉由採用上述結構，實現至少一個上述目的。

另外，實現上述結構的本發明的一個實施例是一種半

導體裝置的製造方法，包括如下步驟：在絕緣表面上形成閘極電極層；在所述閘極電極層上形成閘極絕緣層；以不重疊於所述閘極電極層的方式在所述閘極絕緣層上形成源極電極層及汲極電極層；在所述閘極絕緣層上形成重疊於所述閘極電極層和所述源極電極層及所述汲極電極層的一部分的氧化物半導體層；進行用來使所述氧化物半導體層脫水化或脫氫化的加熱處理；在進行所述加熱處理之後，在所述氧化物半導體層、所述源極電極層及所述汲極電極層上不接觸於大氣地形成氧化物絕緣層，該氧化物絕緣層接觸於所述氧化物半導體層的第一區域；以及在所述氧化物半導體層和所述氧化物絕緣層上接觸於所述氧化物半導體層的第二區域及第三區域地形成保護絕緣層。

另外，較佳的將氧化物絕緣層設置為覆蓋氧化物半導體層的通道長度方向上的兩端部。另外，較佳的將氧化物絕緣層設置為覆蓋源極電極層及汲極電極層的通道長度方向上的外側端部。另外，氧化物絕緣層較佳為氧化矽膜、氧化鋁膜或氮化鋁膜。另外，保護絕緣層較佳的為氮化矽膜或氮化鋁膜。另外，通道形成區的通道長度方向上的寬度較佳的小於閘極電極層的通道長度方向上的寬度。

另外，源極電極層及汲極電極層也可以為以從 Al、Cr、Cu、Ta、Ti、Mo 和 W 中選出的元素為主要成分的膜或與它們的合金膜組合了的疊層膜。另外，源極電極層及汲極電極層也可以為氧化銮、氧化銮氧化錫合金、氧化銮氧化鋅合金或氧化鋅。

另外，作為本發明說明中使用的氧化物半導體，形成由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的薄膜，並製造將該薄膜用作氧化物半導體層的薄膜電晶體。另外，M表示從Ga、Fe、Ni、Mn和Co中選擇的一種金屬元素或多種金屬元素。例如，作為M，除了有包含Ga的情況以外，還有包含Ga和Ni或Ga和Fe等包含Ga以外的上述金屬元素的情況。此外，在上述氧化物半導體中，除了作為M而包含的金屬元素之外，有時還包含作為雜質元素的Fe、Ni等其他過渡金屬元素或該過渡金屬的氧化物。在本發明說明中，在具有由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的結構的氧化物半導體層中，將具有作為M包含Ga的結構的氧化物半導體稱為In-Ga-Zn-O類氧化物半導體，並且將其薄膜稱為In-Ga-Zn-O類非單晶膜。

另外，作為用於氧化物半導體層的金屬氧化物，除了可以使用上述材料之外，還可以使用In-Sn-Zn-O類、In-Al-Zn-O類、Sn-Ga-Zn-O類、Al-Ga-Zn-O類、Sn-Al-Zn-O類、In-Zn-O類、Sn-Zn-O類、Al-Zn-O類、In-O類、Sn-O類、Zn-O類的金屬氧化物。另外，由上述金屬氧化物構成的氧化物半導體層還可以含有氧化矽。

當在氮或稀有氣體（氬、氦等）等惰性氣體氣圍下進行加熱處理時，氧化物半導體層也可以說藉由加熱處理變成氧缺乏型而被低電阻化，即被N型化（N⁻化等），然後，藉由形成與氧化物半導體層接觸的氧化物絕緣膜，來使氧化物半導體層變成氧過剩狀態而被高電阻化，即被I型

化。由此，可以製造並提供具有電特性好且可靠性高的薄膜電晶體的半導體裝置。

作為上述加熱處理，藉由在氮或稀有氣體（氬、氦等）等惰性氣體氣圍下以 400°C 以上且低於基板的應變點的溫度，較佳的是以 420°C 以上且 570°C 以下的溫度進行加熱處理。藉由進行該加熱處理，使氧化物半導體脫水化或脫氫化，而減少氧化物半導體層所含有的水分等的雜質。

用於進行上述脫水化或脫氫化的熱處理條件是：即使在將溫度升至 450°C 的條件下利用TDS對該進行了脫水化或脫氫化之後的氧化物半導體層進行測定，水的兩個峰值，至少出現在 300°C 附近的一個峰值也不被檢測出。所以，即使在將溫度升至 450°C 的條件下利用TDS對使用進行了脫水化或脫氫化的氧化物半導體層的薄膜電晶體進行測定時，至少出現在 300°C 附近的水的峰值也不被檢測出。

作為加熱後的冷卻，重要的是：藉由使用進行了脫水化或脫氫化的同一爐以不使氧化物半導體層暴露於大氣的方式進行冷卻，從而使水或氫不再混入到氧化物半導體層中。藉由進行脫水化或脫氫化，使氧化物半導體層的電阻降低，即在將其N型化（ N^{-} 等）之後使其電阻增大而使其成為I型的氧化物半導體層。藉由使用該氧化物半導體層製造薄膜電晶體，可以使薄膜電晶體的臨界值電壓值為正，從而實現所謂常關閉型的切換元件。作為半導體裝置（顯示裝置），較佳的以薄膜電晶體的閘極電壓為儘量近於 0V 的正的臨界值電壓的條件形成通道。注意，當薄膜電晶

體的臨界值電壓值為負時，容易成為所謂常開啓型，也就是說即使閘極電壓為0V，在源極電極和汲極電極之間也有電流流過。在主動矩陣型的顯示裝置中，構成電路的薄膜電晶體的電特性十分重要，該電特性決定顯示裝置的性能。尤其是，在薄膜電晶體的電特性之中臨界值電壓（ V_{th} ）很重要。即使在場效應遷移率高的情況下，當臨界值電壓值高或臨界值電壓值為負時，電路的控制比較困難。在薄膜電晶體的臨界值電壓值高並且臨界值電壓的絕對值大的情況下，當驅動電壓低時TFT不能起到開關功能而有可能導致負載。在是n通道型的薄膜電晶體的情況下，較佳的是當對閘極電壓施加正的電壓時初次形成通道並產生汲極電流的電晶體。不提高驅動電壓就不能形成通道的電晶體和即使在負的電壓狀態下也能形成通道並產生汲極電流的電晶體不適合用作用於電路的薄膜電晶體。

另外，也可以先將升溫時的氣體轉換成與此不同的氣體再進行加熱後的冷卻。例如，使用與進行了脫水化或脫氫化的相同的爐而在不接觸大氣的情況下，使爐中充滿高純度的氧氣體或 N_2O 氣體、超乾燥空氣（露點為 $-40^{\circ}C$ 以下，較佳的為 $-60^{\circ}C$ 以下）來進行冷卻。

在藉由進行脫水化或脫氫化的加熱處理使膜中所含有的水分減少之後，在不含有水分的氣圍（露點為 $-40^{\circ}C$ 以下，較佳的為 $-60^{\circ}C$ 以下）下進行緩冷（或冷卻）。藉由使用該氧化物半導體膜，可以在提高薄膜電晶體的電特性的同時實現具有高的量產性和高的性能的薄膜電晶體。

在本發明說明中，將在氮或稀有氣體（氬、氦等）等惰性氣體氣圍下的加熱處理稱為用於脫水化或脫氫化的加熱處理。在本發明說明中，為了方便起見，不僅將藉由該加熱處理使 H_2 脫離稱為脫氫化，而且將包括H、OH等的脫離也稱為脫水化或脫氫化。

當在氮或稀有氣體（氬、氦等）等惰性氣體氣圍下進行加熱處理時，氧化物半導體層藉由加熱處理變成氧缺乏型而被低電阻化，即被N型化（N⁺化等）。

另外，形成與汲極電極層重疊的氧缺乏型高電阻汲極區（也稱為HRD（High Resistance Drain）區域）。此外，還形成與源極電極層重疊的氧缺乏型高電阻源極區（也稱為HRS（High Resistance Source）區域）。

明確而言，高電阻汲極區的載子濃度在 $1 \times 10^{18}/\text{cm}^3$ 以上的範圍內，並且高電阻汲極區是載子濃度至少高於通道形成區的載子濃度（小於 $1 \times 10^{18}/\text{cm}^3$ ）的區域。另外，本發明說明的載子濃度指的是在室溫下藉由霍爾效應測量而求出的載子濃度的值。

並且，藉由至少使被進行了脫水化或脫氫化的氧化物半導體層的一部分處於氧過剩狀態，來使其電阻增大，即被I型化，而形成通道形成區。另外，至於使被進行了脫水化或脫氫化的氧化物半導體層變為氧過剩狀態的處理，可以藉由以下處理來實現：利用濺射法的氧化物絕緣膜的成膜，該氧化物絕緣膜接觸於被進行了脫水化或脫氫化的氧化物半導體層；形成氧化物絕緣膜之後的加熱處理；在

含有氧的氣圍下的加熱處理；在惰性氣體氣圍下加熱之後在氧氣圍下的冷卻處理；使用超乾燥空氣（露點為 -40°C 以下，較佳的為 -60°C 以下）的冷卻處理；等等。

另外，爲了將被進行了脫水化或脫氫化的氧化物半導體層的至少一部分（與閘極電極層重疊的部分）用作通道形成區，藉由選擇性地使其成爲氧過剩狀態，可以使其電阻增大，即被I型化。

由此，可以製作並提供具有電特性良好且可靠性高的薄膜電晶體的半導體裝置。

另外，藉由在與汲極電極層重疊的氧化物半導體層中形成高電阻汲極區，可以提高形成驅動電路時的可靠性。明確而言，藉由形成高電阻汲極區，可以形成如下結構：從汲極電極層至高電阻汲極區、通道形成區，導電性能夠階梯性地變化。所以，當將汲極電極層連接到提供高電源電位VDD的佈線來使薄膜電晶體工作時，即使閘極電極層與汲極電極層之間被施加高電場，由於高電阻汲極區成爲緩衝區而不被施加局部性的高電場，所以可以提高電晶體的耐壓性。

另外，藉由在與汲極電極層（以及源極電極層）重疊的氧化物半導體層中形成高電阻汲極區，可以降低形成驅動電路時的通道形成區中的洩漏電流。明確而言，藉由形成高電阻汲極區，在汲極電極層和源極電極層之間流過的電晶體的洩漏電流依次流過汲極電極層、汲極電極層一側的高電阻汲極區、通道形成區、源極電極層一側的高電阻

源極區及源極電極層。此時在通道形成區中，可以將從汲極電極層一側的低電阻區流向通道區的洩漏電流集中在當電晶體處於截止狀態時成為高電阻的閘極絕緣層與通道形成區的介面附近，而可以降低背通道部（遠離閘極電極層的通道形成區的表面的一部分）的洩漏電流。

另外，作為具有驅動電路的顯示裝置，除了液晶顯示裝置之外還可以舉出使用發光元件的發光顯示裝置或使用電泳顯示元件的也稱為電子紙的顯示裝置。

在使用發光元件的發光顯示裝置中，像素部具有多個薄膜電晶體，並且在像素部還具有將某個薄膜電晶體的閘極電極和其他的電晶體的源極佈線或汲極佈線連接在一起的部分。另外，在使用發光元件的發光顯示裝置的驅動電路中具有將薄膜電晶體的閘極電極與該薄膜電晶體的源極佈線或汲極佈線連接在一起的部分。

另外，因為薄膜電晶體容易被靜電等損壞，所以較佳的相對於閘極線或源極線，將用於保護像素部的薄膜電晶體的保護電路設置在同一基板上。保護電路較佳的由使用氧化物半導體層的非線形元件構成。

藉由使用上述結構，可以提供寄生電容被充分地降低，通道長度較短，並且能夠進行高速工作的半導體裝置。

【實施方式】

以下，關於本發明的實施例模式將參照附圖給予詳細的說明。但是，所屬技術領域的普通技術人員可以很容易

地理解一個事實，就是本發明不侷限於以下說明，其方式和詳細內容可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施例模式所記載的內容中。注意，在本發明說明中的附圖中，有時使用相同的附圖標記來表示相同的部分或具有相同功能的部分，而省略其說明。

實施例模式 1

在本實施例模式中，參照圖 1A 和圖 1B 說明半導體裝置結構的一個實施例。圖 1A 是薄膜電晶體 150 的平面圖，並且圖 1B 是沿圖 1A 的線 A1-A2 的截面圖。薄膜電晶體 150 具有被稱為底接觸型（也稱為反共面型（*inverted coplanar*）電晶體）的底閘結構之一的結構。

如圖 1A 和圖 1B 所示，薄膜電晶體 150 包括：具有絕緣表面的基板 100 上的閘極電極層 111；閘極電極層 111 上的閘極絕緣層 102；閘極絕緣層 102 上的源極電極層 115a 及汲極電極層 115b；閘極絕緣層 102 及閘極電極層 111 上的氧化物半導體層 113；氧化物半導體層 113 上的氧化物絕緣層 107；以及氧化物絕緣層 107 和氧化物半導體層 113 上的保護絕緣層 108。這裏，源極電極層 115a 及汲極電極層 115b 設置為不重疊於閘極電極層 111，並且源極電極層 115a 及汲極電極層 115b 的側面部的至少一部分接觸於氧化物半導體層 113 的一部分。氧化物半導體層 113 具有閘極電極層 111 上的通道形成區 134a。氧化物絕緣層 107a 接觸於氧化

物半導體層 113 的通道形成區 134a。保護絕緣層 108 接觸於氧化物半導體層 113 的一部分。另外，在氧化物絕緣層 107 中，將接觸於氧化物半導體層 113 的通道形成區 134a 的區域稱為氧化物絕緣層 107a，並將其他區域稱為氧化物絕緣層 107b。

像這樣，在底接觸型薄膜電晶體 150 中，藉由將源極電極層 115a 及汲極電極層 115b 設置為不重疊於閘極電極層 111，可以拉開源極電極層 115a 及汲極電極層 115b 與閘極電極層 111 之間的距離，而可以實現寄生電容的降低。

因此，在薄膜電晶體 150 中，可以降低由寄生電容的增加導致的信號波形的失真和信號傳達的延遲，並可以抑制漏電流和耗電量的增高。

氧化物絕緣層 107a 隔著閘極絕緣層 102 重疊於閘極電極層 111 的氧化物半導體層的區域被稱為通道形成區。因此，薄膜電晶體 150 的通道長度 L 與氧化物絕緣層 107a 的通道長度方向上的寬度相同。另外，薄膜電晶體 150 的通道長度 L 是指氧化物半導體層與氧化物絕緣層 107a 的介面的長度，即在圖 1B 所示的截面圖中作為氧化物絕緣層 107a 示出的梯形的底邊的長度。

通道形成區 134a 是氧化物半導體層 113 處於氧過剩的狀態並被高電阻化（I 型化）了的區域，其載子濃度低於 $1 \times 10^{18} / \text{cm}^3$ 。

這裏，通道形成區 134a 的通道長度方向上的寬度較佳的小於閘極電極層 111 的通道長度方向上的寬度。由此，

可以縮短通道長度，可以實現薄膜電晶體 150 的高速工作，並且可以實現低耗電量化。尤其是，當在驅動電路中形成薄膜電晶體 150 時，被要求快的工作速度，因此是更佳的。

另外，如圖 1A 和圖 1B 所示，氧化物半導體層 113 具有夾有通道形成區 134a 的高電阻源極區 113a 及高電阻汲極區 113b。高電阻源極區 113a 及高電阻汲極區 113b 形成在氧化物半導體層 113 中的不接觸於氧化物絕緣層 107 的區域中，即接觸於保護絕緣層 108 的區域中。另外，氧化物半導體層 113 在高電阻源極區 113a 中接觸於源極電極層 115a，而在高電阻汲極區 113b 中接觸於汲極電極層 115b。

另外，高電阻源極區 113a 及高電阻汲極區 113b 是氧化物半導體層 113 處於氧缺乏的狀態並被低電阻化（N 型化、N⁻型化）了的區域，其載子濃度為 $1 \times 10^{18} / \text{cm}^3$ 以上。

藉由在氧化物半導體層 113 中形成通道形成區 134a、高電阻源極區 113a 及高電阻汲極區 113b，可以實現通道形成區 134a 中的漏電流的降低。

另外，藉由在薄膜電晶體 150 中設置高電阻源極區 113a 及高電阻汲極區 113b，即使被施加高電場，由於高電阻源極區 113a 或高電阻汲極區 113b 成為緩衝物而不被施加局部性的高電場，所以可以提高薄膜電晶體 150 的耐壓性。

另外，如圖 1A 和圖 1B 所示，氧化物半導體層 113 在通道長度方向上的兩端部具有第一區域 134b 及第二區域 134c

。第一區域134b及第二區域134c形成在氧化物半導體層113中的接觸於氧化物絕緣層107b的區域中。與通道形成區134a同樣，第一區域134b及第二區域134c是處於氧過剩的狀態並被高電阻化（I型化）了的區域。由此，當在其附近配置有電位元不同的佈線或氧化物半導體層時，可以實現漏電流的降低和寄生電容的降低。尤其是在驅動電路中，爲了高整合化而較佳的以窄的間隔配置多個佈線和多個氧化物半導體層，藉由設置第一區域134b及第二區域134c來降低漏電流和寄生電容是有效的。

另外，雖然在圖1A中將第一區域134b及第二區域134c形成於通道長度方向上的兩端部，但是本發明不侷限於此，也可以在氧化物半導體層113的邊緣部形成第一區域134b及第二區域134c。

作爲氧化物半導體層113，可以使用In-Ga-Zn-O類非單晶膜、In-Sn-Zn-O類、In-Al-Zn-O類、Sn-Ga-Zn-O類、Al-Ga-Zn-O類、Sn-Al-Zn-O類、In-Zn-O類、Sn-Zn-O類、Al-Zn-O類、In-O類、Sn-O類、Zn-O類的氧化物半導體膜。另外，在使用濺射法形成膜時，較佳的使用含有2wt.%以上且10wt.%以下的SiO₂的靶來形成膜，並使氧化物半導體膜含有阻礙晶化的SiO_x（X>0），來抑制晶化。另外，氧化物半導體層的厚度較佳的爲2nm以上且200nm以下。

氧化物半導體較佳的是含有In的氧化物半導體，更佳的是含有In及Ga的氧化物半導體。爲了使氧化物半導體層爲I型（本徵），脫水化或脫氫化是有效的。

作為源極電極層 115a 及汲極電極層 115b，可以使用金屬導電膜。作為金屬導電膜的材料，較佳的使用選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素、以上述元素為成分的合金、組合上述元素的合金等。例如，較佳的採用在鈦層上層疊有鋁層且在該鋁層上層疊有鈦層的三層的疊層結構或在鉬層上層疊有鋁層且在該鋁層上層疊有鉬層的三層的疊層結構。當然，作為金屬導電膜，也可以採用單層結構、兩層結構或四層以上的疊層結構。藉由作為源極電極層 115a 及汲極電極層 115b 使用金屬導電膜，可以進行佈線的低電阻化。

另外，藉由作為源極電極層 115a 及汲極電極層 115b 使用鈦等金屬導電膜，也可以從高電阻源極區 113a 及高電阻汲極區 113b 抽出氧來在源極電極層 115a 及汲極電極層 115b 與高電阻源極區 113a 及高電阻汲極區 113b 的介面形成其載子濃度高於高電阻源極區 113a 及高電阻汲極區 113b 的區域。

另外，作為源極電極層 115a 及汲極電極層 115b，也可以使用對可見光具有透光性的導電膜。作為對可見光具有透光性的導電膜的材料，例如，可以使用 In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、In-Sn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的金屬氧化物，尤其是，較佳的使用氧化銦、氧化銦氧化錫合金、氧化銦氧化鋅合金或氧化鋅。另外，在使用濺射法形成膜時，較佳的使用含有

2wt.%以上且10wt.%以下的 SiO_2 的靶來形成膜，並使對可見光具有透光性的導電膜含有阻礙晶化的 SiO_x ($x>0$)，來抑制品化。另外，源極電極層115a及汲極電極層115b的厚度較佳的為50nm以上且300nm以下。藉由作為源極電極層115a及汲極電極層115b使用對可見光具有透光性的導電膜，可以在將薄膜電晶體150用於像素部時提高孔徑比。

另外，作為用於源極電極層115a及汲極電極層115b的金屬導電膜或對可見光具有透光性的導電膜，較佳的使用在加工氧化物半導體層113時選擇性地殘留的材料。

在本發明說明中，對可見光具有透光性的膜是指其厚度對可見光的透過率為75%至100%的膜，當該膜是具有導電性的膜時也將其稱為透明的導電膜。另外，也可以使用對可見光半透明的導電膜作為用作閘極電極層、源極電極層、汲極電極層、像素電極層或其他的电極層或其他的佈線層的金屬氧化物。對可見光半透明是指其對可見光的透過率為50%至75%。

另外，與源極電極層115a及汲極電極層115b同樣，閘極電極層111也可以使用金屬導電膜或對可見光具有透光性的導電膜。

較佳地是，氧化物絕緣層107至少具有1nm以上的厚度，並使用氧化矽膜或氧化鋁膜。氧化物絕緣層107適當地使用不使水、氫等的雜質混入到氧化物絕緣膜的方法如濺射法等而形成。因為藉由設置氧化物絕緣層107來將氧化物絕緣層107中的氧供給給氧化物半導體層113，所以可以

在氧化物半導體層 113 的與氧化物絕緣層 107a 接觸的區域中選擇性地形成通道形成區 134a，而在氧化物半導體層 113 的與氧化物絕緣層 107b 接觸的區域中選擇性地形成第一區域 134b 及第一區域 134c。像這樣，藉由對氧化物絕緣層 107a 進行構圖，可以決定通道形成區 134a 的通道長度方向上的寬度，由此容易縮短通道長度。藉由縮短通道長度，可以實現薄膜電晶體 150 的高速工作，並可以實現低耗電量化。尤其是，當在驅動電路中形成薄膜電晶體 150 時，被要求快的工作速度，因此是更佳的。

另外，在圖 1B 中，覆蓋氧化物半導體層 113 的通道長度方向上的兩端部地設置有氧化物絕緣層 107b，但是本發明不侷限於此，也可以在氧化物半導體層 113 的邊緣部形成第一區域 134b 和第二區域 134c。

另外，較佳覆蓋源極電極層 115a 及汲極電極層 115b 的通道長度方向上的外側端部地設置氧化物絕緣層 107b。由此，在將薄膜電晶體 150 用於驅動電路等進行整合化時，也因在保護絕緣層 108 上的佈線與源極電極層 115a 及汲極電極層 115b 之間形成有氧化物絕緣層 107b 和保護絕緣層 108 而可以抑制寄生電容和漏電流的產生。

保護絕緣層 108 使用不包含水分、氫離子、 OH^- 等雜質且阻擋該雜質從外部侵入的無機絕緣膜。例如，較佳的使用氮化矽膜、氮化鋁膜、氮氧化矽膜、氧氮化鋁膜等。

如圖 1B 所示，閘極絕緣層 102 較佳的為第一閘極絕緣層 102a 和第一閘極絕緣層 102a 上的第二閘極絕緣層 102b 的

疊層。第一閘極絕緣層 102a 的厚度較佳的為 50nm 以上且 200nm 以下，較佳的使用氮化矽膜或氮氧化矽膜。第二閘極絕緣層 102b 的厚度較佳的為 50nm 以上且 300nm 以下，較佳的使用氧化矽膜或氧化鋁膜。

但是，閘極絕緣層的結構不侷限於此。圖 7A 至 7C 示出設置有與圖 1B 所示的閘極絕緣層不同的閘極絕緣層的薄膜電晶體。另外，在圖 7A 至 7C 中，使用同一附圖標記表示與圖 1B 相同的部分。如圖 7A 所示，也可以採用使用厚度為 50nm 以上且 300nm 以下的氧化矽膜或氧化鋁膜的閘極絕緣層 112 的單層結構。另外，如圖 7B 所示，也可以採用使用厚度為 50nm 以上且 200nm 以下的氮化矽膜或氮氧化矽膜的閘極絕緣層 122 的單層結構。像這樣，藉由以單層形成閘極絕緣層，可以實現薄膜電晶體 150 的製程的簡化。

另外，如圖 7C 所示，閘極絕緣層 132 也可以層疊有：使用厚度為 50nm 以上且 300nm 以下的氧化矽膜或氧化鋁膜的第一閘極絕緣層 132a；以及第一閘極絕緣層 132a 上的使用厚度為 50nm 以上且 200nm 以下的氮化矽膜或氮氧化矽膜的第二閘極絕緣層 132b。在圖 7B 或圖 7C 所示的薄膜電晶體中，在氧化物半導體層 113 中形成有夾在由氮化物構成的保護絕緣層 108 與由氮化物構成的閘極絕緣層 122 或第二閘極絕緣層 132b 之間的第三區域 113c 及第四區域 113d。氧化物半導體層的第三區域 113c 形成在通道形成區 134a 和高電阻源極區 113a 之間，而氧化物半導體層 113 的第四區域 113d 形成在通道形成區 134a 和高電阻汲極區 113b 之間。第

三區域 113c 及第四區域 113d 可以實現截止電流的降低。

如上所述，閘極絕緣層 102 具有 100nm 以上且 500nm 以下的厚度，並可以為氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜或氧化鋁膜的單層或疊層。

如上所述，在底閘型薄膜電晶體中，藉由將源極電極層及汲極電極層形成為不重疊於閘極電極層，拉開源極電極層及汲極電極層與閘極電極層之間的距離，並且設置通道長度短的通道形成區，可以提供充分地降低了寄生電容，其通道長度短，並且能夠進行高速工作的半導體裝置。

另外，本實施例模式所示的結構可以適當地組合其他實施例模式所示的結構來使用。

實施例模式 2

參照圖 2A 至圖 2E 說明實施例模式 1 所示的半導體裝置的製造方法的一個模式。

首先，在具有絕緣表面的基板 100 上形成對可見光具有透光性的導電膜或金屬導電膜之後，使用第一光微影步驟形成閘極電極層 111。另外，也可以使用噴墨法形成抗蝕劑掩罩。因為在使用噴墨法形成抗蝕劑掩罩時不使用光掩罩，所以可以降低製造成本。

對可以應用於具有絕緣表面的基板 100 的基板沒有大的限制，但是至少需要具有能夠耐受後面的加熱處理的耐熱性。例如，作為具有絕緣表面的基板 100，可以使用玻璃基板。

另外，在後面的加熱處理的溫度高時，作為玻璃基板，較佳的使用應變點為 730°C 以上的基板。另外，作為玻璃基板，例如使用鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃等的玻璃材料。另外，藉由使其包含的氧化鋇（ BaO ）的量大於其包含的硼酸，可以獲得更實用的耐熱玻璃。因此，較佳的使用包含其量大於 B_2O_3 的 BaO 的玻璃基板。

另外，也可以使用陶瓷基板、石英基板、藍寶石基板等的由絕緣體構成的基板代替上述玻璃基板。除了上述以外，還可以使用晶化玻璃等。

可在基板100與閘極電極層111之間設置用作基底膜的絕緣膜。基底膜具有防止來自基板100的雜質元素的擴散的功能，而且可使用從氮化矽膜、氧化矽膜、氮氧化矽膜或氧氮化矽膜中選出的一層膜或由多個膜構成的疊層結構形成該基底膜。

閘極電極層111的材料可以使用與實施例模式1的源極電極層115a及汲極電極層115b的材料相同的材料。在 50nm 以上且 300nm 以下的範圍內適當地選擇閘極電極層111的厚度。

這裏，在使用透光導電膜時，其成膜方法使用濺射法、真空蒸鍍法（電子束蒸鍍法）、電弧放電離子電鍍法、噴射法。另外，在使用濺射法形成膜時，較佳的使用含有 $2\text{wt.}\%$ 以上且 $10\text{wt.}\%$ 以下的 SiO_2 的靶來形成膜，而使透光導電膜含有阻礙晶化的 SiO_x （ $x>0$ ），來抑制在後面進行

用來脫水化或脫氫化的加熱處理時發生的晶化。

接著，在閘極電極層 111 上形成閘極絕緣層 102。

藉由使用電漿 CVD 法或濺射法等並使用氧化矽層、氮化矽層、氧氮化矽層或氮氧化矽層的單層或疊層，可以形成閘極絕緣層 102。例如，作為成膜氣體可以使用 SiH_4 、氧和氮藉由電漿 CVD 法形成氧氮化矽層。閘極絕緣層 102 的厚度為 100nm 以上且 500nm 以下，在閘極絕緣層 102 為疊層時，例如，使用厚度為 50nm 以上且 200nm 以下的第一閘極絕緣層 102a 和第一閘極絕緣層 102a 上的厚度 5nm 以上且 300nm 以下的第二閘極絕緣層 102b 的疊層。

在本實施例模式中，使用電漿 CVD 法由作為氮化矽膜的厚度為 100nm 的第一閘極絕緣層 102a 和作為氧化矽膜的厚度為 100nm 的第二閘極絕緣層 102b 的疊層形成閘極絕緣層 102。

接著，在第二閘極絕緣層 102b 上形成金屬導電膜或對可見光具有透光性的導電膜，然後，藉由進行第二光微影步驟，形成源極電極層 115a 及汲極電極層 115b（參照圖 2A）。這裏，將源極電極層 115a 及汲極電極層 115b 形成為不重疊於閘極電極層 111。源極電極層 115a 及汲極電極層 115b 的材料可以使用與實施例模式 1 的源極電極層 115a 及汲極電極層 115b 的材料相同的材料。

這裏，在使用透光導電膜時，其成膜方法使用濺射法、真空蒸鍍法（電子束蒸鍍法）、電弧放電離子電鍍法、噴射法。在 50nm 以上且 300nm 以下的範圍內適當地選擇源

極電極層 115a 及汲極電極層 115b 的厚度。另外，在使用濺射法形成膜時，較佳的使用含有 2wt.% 以上且 10wt.% 以下的 SiO_2 的靶來形成膜，並使透光導電膜含有阻礙晶化的 SiO_x ($x > 0$)，來抑制在後面進行用來脫水化或脫氫化的加熱處理時發生的晶化。

另外，也可以使用噴墨法形成用來形成源極電極層 115a 及汲極電極層 115b 的抗蝕劑掩罩。因為在使用噴墨法形成抗蝕劑掩罩時不使用光掩罩，所以可以降低製造成本。

接著，在第二閘極絕緣層 102b、源極電極層 115a 及汲極電極層 115b 上形成厚度為 2nm 以上且 200nm 以下的氧化物半導體膜 130（參照圖 2B）。為了即使在形成氧化物半導體膜 130 之後進行用來脫水化或脫氫化的加熱處理也使氧化物半導體層處於非晶狀態，較佳將氧化物半導體膜 130 形成為其厚度薄，即 50nm 以下。藉由減薄氧化物半導體層的厚度，可以抑制在形成氧化物半導體層之後進行加熱處理時的晶化。

另外，較佳的是，在使用濺射法形成氧化物半導體層 130 之前，進行引入氬氣體來產生電漿的反濺射，以去除附著到第二閘極絕緣層 102b 表面的在膜形成期間發生的粉狀物質（也稱為微粒、塵埃）。反濺射是指使用 RF 電源在氬氣圍下對基板施加電壓來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氦、氧等代替氬氣圍。

作為氧化物半導體膜 130，使用 In-Ga-Zn-O 類非單晶膜、In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的氧化物半導體膜。在本實施例模式中，使用 In-Ga-Zn-O 類氧化物半導體靶並藉由濺射法形成氧化物半導體膜 130。另外，可以在稀有氣體（典型為氬）氣圍中、氧氣圍中或稀有氣體（典型為氬）和氧氣圍中使用濺射法形成氧化物半導體膜 130。另外，在使用濺射法時，較佳的使用含有 2wt.% 以上且 10wt.% 以下的 SiO_2 的靶來形成膜，而使氧化物半導體膜含有阻礙晶化的 SiO_x ($x > 0$)，來抑制在後面進行用來脫水化或脫氫化的加熱處理時發生的晶化。

這裏，在如下條件下形成膜：使用包含 In、Ga 和 Zn 的氧化物半導體靶 ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1 [\text{mol}\%]$ ， $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5 [\text{at}\%]$)；基板和靶之間的距離為 100mm；壓力為 0.2Pa；直流 (DC) 電源為 0.5kW；在氬和氧 (氬 : 氧 = 30sccm : 20sccm，氧流量比率為 40%) 氣圍中形成膜。另外，藉由使用脈衝直流 (DC) 電源，可以減輕塵屑且膜厚度分佈也變均勻，所以是較佳的。將 In-Ga-Zn-O 類非單晶膜的厚度設定為 5nm 至 200nm。在本實施例模式中，作為氧化物半導體膜，使用 In-Ga-Zn-O 類氧化物半導體靶藉由濺射法形成厚度為 20nm 的 In-Ga-Zn-O 類非單晶膜。

濺射法包括如下方法：作為濺射電源使用高頻電源的

RF濺射法、DC濺射法以及以脈衝方式施加偏壓的脈衝DC濺射法。RF濺射法主要用於形成絕緣膜，而DC濺射法主要用於形成金屬膜。

另外，也有可以設置材料不同的多個靶的多元濺射裝置。多元濺射裝置既可以在同一處理室中層疊形成不同的材料膜，又可以在同一處理室中同時對多種材料進行放電而形成膜。

另外，也有使用磁控管濺射法的濺射裝置和使用ECR濺射法的濺射裝置：在使用磁控管濺射法的濺射裝置中，在處理室內部具備磁鐵機構；而在使用ECR濺射法的濺射裝置中，不使用輝光放電而利用使用微波產生的電漿。

此外，作為利用濺射法的成膜方法，還有在膜形成期間使靶物質和濺射氣體成分起化學反應來形成它們的化合物薄膜的反應濺射法（reactive sputtering method）、在膜形成期間也對基板施加電壓的偏壓濺射法。

接著，藉由進行第三光微影步驟，將氧化物半導體膜130加工為島狀氧化物半導體層。另外，在蝕刻氧化物半導體層時，在不去除源極電極層115a及汲極電極層115b的條件下適當地調整各材料及蝕刻條件，以便得到重疊於源極電極層115a及汲極電極層115b的氧化物半導體層。另外，藉由使用噴墨法，也可以形成用來形成島狀氧化物半導體層的抗蝕劑掩罩。在使用噴墨法形成抗蝕劑掩罩時，不使用光掩罩，因此可以降低製造成本。

接著，進行氧化物半導體層的脫水化或脫氫化。進行

脫水化或脫氫化的第一加熱處理的溫度為 400°C 以上且低於基板的應變點，較佳的為 425°C 以上且低於基板的應變點。另外，只要加熱處理的溫度為 425°C 以上，熱處理時間就可以為1小時以下，但是，當加熱處理的溫度為 425°C 以下時，加熱處理時間為比1小時長。這裏，將基板引入到加熱處理裝置之一的電爐，在氮氣圍中對氧化物半導體層進行加熱處理，然後，不接觸於大氣地防止水或氫再次混入到氧化物半導體層，來得到氧化物半導體層113（參照圖2C）。在本實施例模式中，從進行氧化物半導體層113的脫水化或脫氫化的加熱溫度T到足以不使水再次混入的溫度，使用同一爐，明確地說，直到比加熱溫度T低 100°C 以上為止在氮氣圍中緩冷。另外，本發明不侷限於氮氣圍，在氮、氬、氫等的稀有氣體氣圍中進行脫水化或脫氫化。

另外，在第一加熱處理中，較佳的在氮或氮、氬、氫等的稀有氣體中不含有水、氫等。或者，將引入到加熱處理裝置的氮或氮、氬、氫等的稀有氣體的純度設定為6N（99.9999%）以上，較佳的為7N（99.99999%）以上（即，雜質濃度為1ppm以下，較佳的為0.1ppm以下）。

另外，隨第一加熱處理的條件或氧化物半導體層的材料，有時晶化而成為微晶膜或多晶膜。

另外，也可以對被加工為島狀氧化物半導體層之前的氧化物半導體膜130進行氧化物半導體層的第一加熱處理。在此情況下，在進行第一加熱處理後，從加熱裝置取出

基板，來進行光微影步驟。

另外，也可以在形成氧化物半導體膜130之前，在惰性氣圍（氮或氦、氖、氬等）中，在氧氣圍中進行加熱處理（400°C以上且低於基板的應變點），來得到去除了在層中含有的氫及水等雜質的第二閘極絕緣層102b。

接著，在第二閘極絕緣層102b、源極電極層115a及汲極電極層115b、氧化物半導體層113上使用濺射法形成氧化物絕緣膜，然後，進行第四光微影步驟來形成抗蝕劑掩罩，並且選擇性地進行蝕刻來形成氧化物絕緣層107a及107b，然後去除抗蝕劑掩罩。在這個步驟中，在氧化物半導體層113中形成接觸於氧化物絕緣層107的區域，從而，在氧化物半導體層113的該區域中，隔著閘極絕緣層102重疊於閘極電極層111且重疊於氧化物絕緣層107a的區域成為通道形成區。另外，也形成重疊於覆蓋氧化物半導體層113的通道長度方向的兩端部的氧化物絕緣層107b的區域。另外，在選擇性地蝕刻氧化物絕緣膜時，有時氧化物半導體層113的一部分的厚度減薄。

氧化物絕緣膜的厚度至少為1nm以上，並且適當地使用濺射法等不使水、氫等雜質混入到氧化物絕緣膜的方法形成氧化物絕緣膜。在本實施例模式中，使用濺射法形成厚度為300nm的氧化矽膜作為氧化物絕緣膜。膜形成期間的基板溫度只要為室溫以上且300°C以下，即可，在本實施例模式中，採用室溫。可以在稀有氣體（典型為氬）氣圍、氧氣圍，或者稀有氣體（典型為氬）和氧氣圍中使用

濺射法形成氧化矽膜。另外，作為靶，可以使用氧化矽靶或矽靶。例如，使用矽靶在氧和氮氣圍中藉由濺射法形成氧化矽。接觸於氧化物半導體層地形成的氧化物絕緣膜使用不包含水分、氫離子、 OH^- 等雜質且阻擋該雜質從外部侵入的無機絕緣膜，典型為氧化矽膜、氮氧化矽膜、氧化鋁膜或氧氮化鋁膜等。

接著，在惰性氣體氣圍中或氮氣氣圍中進行第二加熱處理（較佳的為 200°C 以上且 400°C 以下，例如， 250°C 以上且 350°C 以下）（參照圖2D）。例如，在氮氣圍下以 250°C 進行一個小時的第二加熱處理。藉由進行第二加熱處理，在重疊於氧化物絕緣層107b的氧化物半導體層113的通道長度方向上的兩端部和重疊於氧化物絕緣層107a的氧化物半導體層113的一部分接觸於氧化物絕緣層的狀態下加熱。另外，藉由進行第二加熱處理，不重疊於氧化物絕緣層107a和氧化物絕緣層107b的氧化物半導體層113的一部分在露出的狀態下被加熱。藉由在氧化物半導體層113露出的狀態下在氮或惰性氣體氣圍中進行加熱處理，可以對在氧化物半導體層113中露出的高電阻化（I型化）了的區域進行低電阻化。另外，氧化物絕緣層107a設置為接觸於氧化物半導體層113的成為通道形成區的區域上，並被用作通道保護層。

如圖2D所示，因氧化物絕緣層107中的氧被供給到氧化物半導體層113而引起氧過剩狀態，以在氧化物半導體層113的接觸於氧化物絕緣層107a的區域中選擇性地形成

通道形成區 134a。與此同樣，在氧化物半導體層 113 的接觸於氧化物絕緣層 107b 的區域中形成第一區域 134b 及第二區域 134c。另外，此時，在氧化物半導體層 113 露出的區域中以自對準地形成高電阻源極區 113a 及高電阻汲極區 113b。

像這樣，藉由對氧化物絕緣層 107a 進行構圖，可以決定通道形成區 134a 的通道長度方向的寬度，由此容易縮短通道長度。藉由縮短通道長度，可以實現薄膜電晶體 150 的高速工作，並可以實現低耗電量化。尤其是，當在驅動電路中形成薄膜電晶體 150 時，被要求快的工作速度，因此是更佳的。

接著，在氧化物絕緣層 107a、氧化物絕緣層 107b、高電阻源極區 113a 及高電阻汲極區 113b 上形成保護絕緣層 108（參照圖 2E）。在本實施例模式中，使用 RF 濺射法形成氮化矽膜。因為 RF 濺射法的量產性高，所以較佳用作保護絕緣層 108 的成膜方法。保護絕緣層 108 使用不包含水分、氫離子、 OH^- 等雜質且阻擋該雜質從外部侵入的無機絕緣膜，使用氮化矽膜、氮化鋁膜、氮氧化矽膜、氧氮化鋁膜等。

藉由上述步驟，可以形成薄膜電晶體 150，該薄膜電晶體 150 包括：具有絕緣表面的基板 100 上的閘極電極層 111；閘極電極層 111 上的閘極絕緣層 102；閘極絕緣層 102 上的源極電極層 115a 及汲極電極層 115b；閘極絕緣層 102 和閘極電極層 111 上的氧化物半導體層 113；氧化物半導體

層 113 上的氧化物絕緣層 107；以及氧化物絕緣層 107 和氧化物半導體層 113 上的保護絕緣層 108。

根據上述步驟，在底閘型薄膜電晶體中，藉由將源極電極層及汲極電極層形成爲不重疊於閘極電極層，拉開源極電極層及汲極電極層與閘極電極層之間的距離，並且設置通道長度短的通道形成區，可以提供充分地降低了寄生電容，通道長度短，並且能夠進行高速工作的半導體裝置。

另外，本實施例模式所示的結構可以適當地組合其他實施例模式所示的結構來使用。

實施例模式 3

在本實施例模式中示出使用實施例模式 1 所示的薄膜電晶體在同一基板上形成像素部和驅動電路來製造主動矩陣型液晶顯示裝置的一個例子。

圖 3 示出主動矩陣基板的截面結構的一個例子。

在實施例模式中圖示出像素部的薄膜電晶體、驅動電路的薄膜電晶體、儲存電容器、閘極佈線、源極佈線的端子部而進行說明。電容器、閘極佈線、源極佈線的端子部直到保護絕緣層 203 的成膜爲止可以藉由與實施例模式 2 所示的製程相同的步驟形成，可以在不增加光掩罩個數和步驟數的條件下製造電容器、閘極佈線、源極佈線的端子部。另外，在像素部的成爲顯示區域的部分中閘極佈線、源極佈線及電容佈線層都由具有透光性的導電膜形成，以實

現高孔徑比。

在圖3中，與像素電極層227電連接的薄膜電晶體220是設置在像素部的底接觸型薄膜電晶體，而在本實施例模式中使用與實施例模式1的薄膜電晶體150相同的結構。薄膜電晶體220包括：具有絕緣表面的基板200上的閘極電極層211；第一閘極絕緣層202a；第二閘極絕緣層202b；至少具有通道形成區213a、高電阻源極區214a及高電阻汲極區214b的氧化物半導體層；源極電極層215a；以及汲極電極層215b。另外，薄膜電晶體220還設置有接觸於通道形成區213a的氧化物絕緣層216a。但是，閘極電極層211、源極電極層215a及汲極電極層215b由透光導電膜形成。

這裏，藉由將源極電極層215a及汲極電極層215b形成為不重疊於閘極電極層211，拉開源極電極層215a及汲極電極層215b與閘極電極層211之間的距離，由此可以實現寄生電容和漏電流的降低。

另外，重疊於氧化物絕緣層216b的氧化物半導體層的第一區域213b及第二區域213c與通道形成區213a同樣處於氧過剩的狀態，還起到降低漏電流和寄生電容的作用。

覆蓋像素部的薄膜電晶體、驅動電路的薄膜電晶體和儲存電容器上地設置有保護絕緣層203。作為保護絕緣層203，使用無機絕緣膜，使用氮化矽膜、氮化鋁膜、氮氧化矽膜、氧氮化鋁膜等。在本實施例模式中，使用氮化矽膜。

在保護絕緣層203上設置有平坦化絕緣層204。作為平

平坦化絕緣層 204，可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯、聚醯胺、環氧樹脂等具有耐熱性的有機材料。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷基樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜，來形成平坦化絕緣層 204。在本實施例模式中，作為平坦化絕緣層 204，使用感光樹脂材料，省略形成抗蝕劑掩罩的步驟。

注意，矽氧烷類樹脂相當於以矽氧烷類材料為起始材料而形成的包含 Si-O-Si 鍵的樹脂。矽氧烷類樹脂可以包括有機基團（例如烷基或芳基）或氟基團作為取代基。另外，有機基可以具有氟基團。

對於平坦化絕緣層 204 的形成方法沒有特別的限制，而可以根據其材料利用：濺射法、SOG 法、旋塗法、浸漬法、噴塗法、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）等的方法、刮片、輥塗機、幕塗機、刮刀塗佈機等的設備。

在重疊於像素部的薄膜電晶體和儲存電容器的平坦化絕緣層 204 上設置有像素電極層 227。像素電極層 227 由透光導電膜構成。作為透光導電膜的材料，使用氧化銦（ In_2O_3 ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡稱為 ITO）等利用濺射法、真空蒸鍍法等形成。作為透光導電膜的其他材料，也可以使用含有氮的 Al-Zn-O 類非單晶膜，即 Al-Zn-O-N 類非單晶膜、含有氮的 Zn-O-N 類非單晶膜、含有

氮的 Sn-Zn-O-N 類非單晶膜。另外，Al-Zn-O-N 類非單晶膜的鋅的組成比 (at.%) 為 47at.% 以下，該鋅的組成比 (at.%) 大於非單晶膜中的鋁的組成比 (at.%)，並且非單晶膜中的鋁的組成比 (at.%) 大於非單晶膜中的氮的組成比 (at.%)。使用鹽酸類的溶液進行對這些材料的蝕刻處理。然而，由於對 ITO 的蝕刻特別容易產生殘渣，因此也可以使用氧化銦氧化鋅合金 ($\text{In}_2\text{O}_3\text{-ZnO}$)，以便改善蝕刻加工性。

另外，以 at.% 為透光導電膜的組成比的單位，對它使用電子探針微分析儀 (EPMA: Electron Probe X-ray MicroAnalyzer) 進行分析來評價。

另外，在由感光樹脂構成的平坦化絕緣層 204 中使用光微影步驟形成孔並蝕刻在孔中露出的保護絕緣層 203 和氧化物絕緣層 216b，以便形成用來連接像素電極層 227 和汲極電極層 215b 的接觸孔。當在平坦化絕緣層 204 上形成抗蝕劑掩罩時，也蝕刻平坦化絕緣層 204。此時，也可以使用噴墨法形成抗蝕劑掩罩。因為在使用噴墨法形成抗蝕劑掩罩時不使用光掩罩，所以可以降低製造成本。另外，也可以在形成氧化物絕緣層 216a 及氧化物絕緣層 216b 時對氧化物絕緣層 216b 的對應於接觸孔的位置預先進行蝕刻。

再者，在形成透光導電膜之後進行光微影步驟以形成抗蝕劑掩罩。藉由蝕刻去除不需要的部分，從而形成像素電極層 227。另外，從實施例模式 2 所示的薄膜電晶體的製造方法到像素電極層的形成，只要一共使用六個光掩罩就

可以。

接著，由與薄膜電晶體 220 的閘極電極層 211 相同的具有透光性的材料形成且以相同步驟形成的電容佈線層 230 隔著成為電介質的第一閘極絕緣層 202a 及第二閘極絕緣層 202b 重疊於電容電極 231，以形成儲存電容器。另外，電容電極 231 由與薄膜電晶體 220 的源極電極層 215a 或汲極電極層 215b 相同的具有透光性的材料且以相同步驟形成。因此，因為薄膜電晶體 220 具有透光性且每個儲存電容器也具有透光性，所以可以提高顯示裝置的孔徑比。

從提高孔徑比的觀點而言，儲存電容器具有透光性是很重要的。尤其是因為在 10 英寸以下的小型液晶顯示面板中增加閘極佈線的數量等來實現顯示圖像的高清晰化，所以即使像素尺寸實現微細化也可以實現高孔徑比。另外，藉由薄膜電晶體 220 及儲存電容器的結構部件使用具有透光性的膜來實現廣視角，因此即使將一個像素分割為多個子像素也可以實現高孔徑比。即，即使配置高密度的薄膜電晶體群也可以確保大孔徑比，從而可以確保充分的顯示區域的面積。例如，當在一個像素內具有 2 至 4 個子像素及儲存電容器時，因為薄膜電晶體具有透光性且各儲存電容器也具有透光性，所以可以提高孔徑比。

另外，儲存電容器設置在像素電極層 227 的下方，並且電容電極 231 電連接到像素電極層 227。

雖然在圖 3 中示出使用電容電極 231 及電容佈線層 230 形成儲存電容器的例子，但是對形成儲存電容器的結構沒

有特別的限制。例如，也可以不設置電容佈線層而使像素電極層隔著平坦化絕緣層、保護絕緣層及閘極絕緣層重疊於相鄰的像素的閘極佈線，以形成儲存電容器。

另外，例如，也可以使用圖6A和圖6B所示的結構的儲存電容器。由於除了儲存電容器的結構不同的點之外，圖6A與圖3相同，因此使用相同的附圖標記表示相同的部分而省略相同部分的詳細說明。另外，圖6A示出像素部的薄膜電晶體220和儲存電容器的截面結構。

圖6A是將氧化物絕緣層236、保護絕緣層203及平坦化絕緣層204用作電介質，並使用像素電極層227和與該像素電極層227重疊的電容佈線層250形成儲存電容器的例子。由於採用與像素部的薄膜電晶體220的源極電極層相同的具有透光性的材料及步驟形成電容佈線層250，因此不與薄膜電晶體220的源極佈線層重疊地進行佈局。

圖6A所示的儲存電容器的一對電極和電介質具有透光性，而使整個儲存電容器具有透光性。

另外，圖6B示出與圖6A不同的儲存電容器的結構的例子。因為圖6B的儲存電容器以外的結構也與圖3同樣，所以使用同樣的附圖標記顯示同樣的部分，而省略同樣的部分的詳細說明。

圖6B示出以第一閘極絕緣層202a及第二閘極絕緣層202b作為電介質並以電容佈線層230、重疊於該電容佈線層230的氧化物半導體層252和電容電極231的疊層形成儲存電容器的例子。另外，氧化物半導體層252接觸層疊在

電容電極 231 上，並被用作儲存電容器的一方電極。另外，氧化物半導體層 252 使用與薄膜電晶體 220 的氧化物半導體層同樣的具有透光性的材料和同樣的步驟而形成。另外，電容電極 231 使用與薄膜電晶體 220 的源極電極層或汲極電極層同樣的具有透光性的材料和同樣的步驟而形成。另外，因為電容佈線層 230 使用與薄膜電晶體 220 的閘極電極層同樣的具有透光性的材料和同樣的步驟而形成，所以以不重疊於薄膜電晶體 220 的閘極佈線層的方式進行佈局。

另外，電容電極 231 電連接於像素電極層 227。

圖 6B 所示的儲存電容器的一對電極和電介質也具有透光性，而使整個儲存電容器具有透光性。

圖 6A 和 6B 所示的儲存電容器具有透光性，並且，即使在使像素尺寸微細化以便藉由增加閘極佈線的個數等來實現顯示圖像的高清晰化的情況下，也可以獲得充分的電容，並且，可以實現高孔徑比。

另外，薄膜電晶體 270 是設置在驅動電路中的底接觸型薄膜電晶體，其通道長度 L 比薄膜電晶體 220 短，以實現工作速度的高速化。較佳的將設置在驅動電路中的底接觸型薄膜電晶體的通道長度 L 設定為 $0.1\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下。

薄膜電晶體 270 包括：具有絕緣表面的基板 200 上的閘極電極層 271；第一閘極絕緣層 202a；第二閘極絕緣層 202b；至少具有通道形成區 273a、高電阻源極區 274a 及高電阻汲極區 274b 的氧化物半導體層；源極電極層 275a；以及汲極電極層 275b。另外，薄膜電晶體 270 還設置有接觸

於通道形成區 273a 的氧化物絕緣層 276a。藉由對氧化物絕緣層 276a 進行構圖，可以決定通道形成區 273a 的通道長度方向的寬度，由此容易縮短通道長度。藉由縮短通道長度，可以實現薄膜電晶體 270 的高速工作，並可以實現低耗電量化。尤其是，因為將設置在驅動電路中的薄膜電晶體 270 用於被要求快的工作速度的驅動電路，所以較佳的縮短通道長度。

這裏，藉由將源極電極層 275a 及汲極電極層 275b 形成爲不重疊於閘極電極層 271，拉開源極電極層 275a 及汲極電極層 275b 與閘極電極層 271 之間的距離，由此可以實現寄生電容和漏電流的降低。

另外，與氧化物絕緣層 276b 重疊的氧化物半導體層的第一區域 273b、第二區域 273c 處於與通道形成區 273a 相同的氧過剩狀態，並也發揮降低漏電流或降低寄生電容的功能。

另外，薄膜電晶體 270 的閘極電極層 271 的通道長度方向上的寬度大於薄膜電晶體 220 的閘極電極層 211 的通道長度方向上的寬度。藉由採用這種結構，可以在閘極電極層 271 中流過比像素部的薄膜電晶體 220 的閘極電極層 211 大的電流。

另外，當液晶顯示面板的尺寸超過 10 英寸而採用 60 英寸、120 英寸時，具有透光性的佈線的佈線電阻有可能成爲難題，因此較佳的佈線的一部分採用金屬佈線來降低佈線電阻。例如，源極電極層 275a 及汲極電極層 275b 採用由

Ti等的金屬導電膜構成的佈線。因為形成金屬佈線，所以與實施例模式1相比掩罩的數目增加一個。

藉由作為源極電極層275a及汲極電極層275b使用鈦等金屬導電膜，也可以從高電阻源極區274a及高電阻汲極區274b抽出氧來在源極電極層275a及汲極電極層275b與高電阻源極區274a及高電阻汲極區274b的介面形成其載子濃度高於高電阻源極區274a及高電阻汲極區274b的區域。

另外，驅動電路的薄膜電晶體270也可以為將導電層277設置在氧化物半導體層的上方的四端子型電晶體。另外，驅動電路的薄膜電晶體270的閘極電極層271也可以電連接於設置在氧化物半導體層上方的導電層277。在此情況下，與用來電連接薄膜電晶體220的汲極電極層215b和像素電極層227的接觸孔同樣，選擇性地蝕刻平坦化絕緣層204、保護絕緣層203、氧化物絕緣層276b、第一閘極絕緣層202a及第二閘極絕緣層202b，來形成接觸孔。藉由該接觸孔電連接導電層277和驅動電路的薄膜電晶體270的閘極電極層271。

另外，根據像素密度設置多個閘極佈線、源極佈線及電容佈線層。此外，在端子部，排列地配置多個具有與閘極佈線相同的電位的第一端子電極、多個具有與源極佈線相同的電位的第二端子電極、多個具有與電容佈線層相同的電位的第三端子電極等。各端子電極的數量可以是任意的，實施者適當地決定各端子的數量，即可。

在本實施例模式中，作為平坦化絕緣層204，使用感

光樹脂材料，省略形成抗蝕劑掩罩的步驟。因此，可以在不使用抗蝕劑掩罩的條件下採用平坦化絕緣層204不存在於端子部的結構。

在端子部，可以使用與像素電極層227相同的具有透光性的材料形成具有與閘極佈線相同的電位的第一端子電極。第一端子電極藉由到達閘極佈線的接觸孔與閘極佈線電連接。與用來使薄膜電晶體220的汲極電極層215b和像素電極層227電連接的接觸孔同樣，對保護絕緣層203、氧化物絕緣層276b、第一閘極絕緣層202a及第二閘極絕緣層202b選擇性地進行蝕刻形成到達閘極佈線的接觸孔。

此外，可以使用與像素電極層227相同的具有透光性的材料形成端子部的具有與源極佈線256相同的電位的第二端子電極257。第二端子電極257藉由到達源極佈線256的接觸孔與源極佈線電連接。源極佈線是金屬佈線，並且使用與薄膜電晶體270的源極電極層275a相同的材料及步驟形成，且具有相同的電位。

另外，使用與像素電極層227相同的具有透光性的材料形成具有與電容佈線層230相同的電位的第三端子電極。此外，可以使用與用來使電容電極231和像素電極層227電連接的接觸孔相同的光掩罩及步驟形成到達電容佈線層230的接觸孔。

此外，當製造主動矩陣型液晶顯示裝置時，在主動矩陣基板和設置有對置電極的對置基板之間設置液晶層來固定主動矩陣基板和對置基板。另外，將與設置在對置基板

上的對置電極電連接的共同電極設置在主動矩陣基板上，並且在端子部設置與共同電極電連接的第四端子電極。該第四端子電極是用來將共同電極設定為固定電位例如 GND、0V 等的端子。可以使用與像素電極層 227 相同的具有透光性的材料形成第四端子電極。

此外，由於薄膜電晶體因靜電等容易損壞，因此較佳的在與像素部或驅動電路同一基板上設置保護電路。較佳採用使用氧化物半導體層的非線性元件構成保護電路。例如，保護電路配置在像素部與掃描線輸入端子及信號線輸入端子之間。在本實施例模式中採用如下結構，即配置多個保護電路來防止掃描線、信號線及電容匯流排因靜電等而被施加浪湧電壓，使得像素電晶體等受到損壞。由此，在保護電路被施加浪湧電壓時，將電荷釋放到共同佈線等。此外，保護電路由對掃描線並列配置的非線性元件構成。非線性元件由如二極體那樣的雙端子元件或如電晶體那樣的三端子元件構成。例如，也可以藉由與像素部的薄膜電晶體 220 相同的步驟形成非線性元件，例如，藉由使閘極端子及汲極端子連接，可以使非線性元件具有與二極體相同的特性。

另外，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合來使用。

實施例模式 4

此外，本實施例模式示出設置在與薄膜電晶體同一基

板上的端子部的結構的一個例子。另外，實施例模式3示出源極佈線的端子部的一個例子，但是本實施例模式圖示具有與實施例模式3不同的結構的源極佈線的端子部和閘極佈線的端子部。另外，在圖4A1及圖4A2和圖4B1及圖4B2中，使用與圖3相同的附圖標記說明相同的部分。

圖4A1和圖4A2分別圖示閘極佈線端子部的截面圖及俯視圖。圖4A1相當於沿著圖4A2中的線C1-C2的截面圖。在圖4A1中，形成在保護絕緣層203上的透明導電層225是用作輸入端子的連接用端子電極。另外，在圖4A1中，在端子部由與閘極佈線相同的材料形成的第一端子221和由與源極佈線相同的材料形成的連接電極層223隔著第一閘極絕緣層202a及第二閘極絕緣層202b重疊且由透明導電層225導通。此外，在採用圖3所示的結構時，第一端子221可以使用金屬佈線材料。

此外，圖4B1及圖4B2分別示出與圖3所示的源極佈線端子部不同的源極佈線端子部的截面圖及俯視圖。另外，圖4B1相當於沿著圖4B2中的線C3-C4的截面圖。在圖4B1中，形成在氧化物絕緣層266上的透明導電層225是用作輸入端子的連接用端子電極。另外，在圖4B1中，在端子部由與閘極佈線相同的材料形成的電極層226隔著第一閘極絕緣層202a及第二閘極絕緣層202b重疊於與源極佈線電連接的第二端子222的下方。電極層226不與第二端子222電連接，並且藉由將電極層226設定為與第二端子222不同的電位例如浮動狀態、GND、0V等，可以形成用來防止雜波

的電容器或用來防止靜電的電容器。此外，第二端子222藉由形成在保護絕緣層203和氧化物絕緣層266中的接觸孔電連接於透明導電層225。另外，在採用圖3所示的結構時，第二端子222可以使用金屬佈線材料。

根據像素密度設置多個閘極佈線、源極佈線及電容佈線。此外，在端子部，排列地配置多個具有與閘極佈線相同的電位的第一端子、多個具有與源極佈線相同的電位的第二端子、多個具有與電容佈線相同的電位的第三端子等。各端子的數量可以是任意的，實施者適當地決定各端子的數量，即可。

另外，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合來使用。

實施例模式5

在此示出一種例子，其中在將液晶層密封在第一基板和第二基板之間的液晶顯示裝置中，將用來使與設置在第二基板上的對置電極電連接的共同連接部形成在第一基板上。另外，在第一基板形成有用作切換元件的薄膜電晶體，而藉由使共同連接部的製程與像素部的切換元件的製程共同化，不使步驟為複雜地形成。

共同連接部配置在與用來黏合第一基板和第二基板的密封材料重疊的位置，且藉由包含在密封材料中的導電粒子與對置電極電連接。或者，在不與密封材料重疊的部分（但是，不包括像素部）設置共同連接部，並以與共同連

接部重疊的方式與密封材料分開設置包含導電粒子的膏劑，而與對置電極電連接。

圖 5A 示出將薄膜電晶體和共同連接部製造在同一基板上的半導體裝置的截面結構圖。

在圖 5A 中，與像素電極層 227 電連接的薄膜電晶體 220 是設置在像素部的底接觸型薄膜電晶體，並且在本實施例模式中，該薄膜電晶體採用與實施例模式 1 的薄膜電晶體 150 相同的結構。

此外，圖 5B 是示出共同連接部的俯視圖的一個例子的圖，並且沿該圖中的虛線 C5-C6 的截面相當於圖 5A 的共同連接部的截面。另外，在圖 5B 中，使用與圖 5A 同一附圖標記說明與圖 5A 同一部分。

共同電位線 205 設置在閘極絕緣層 202b 上而採用與薄膜電晶體 220 的源極電極層及汲極電極層相同的材料及步驟製造。

此外，共同電位線 205 由氧化物絕緣層 266 和保護絕緣層 203 覆蓋，並且保護絕緣層 203 和氧化物絕緣層 266 在與共同電位線 205 重疊的位置具有多個開口部。該開口部藉由與連接薄膜電晶體 220 的汲極電極層和像素電極層 227 的接觸孔相同的步驟製造。

注意，由於在此面積的尺寸大不一樣，因此將它們區分稱為像素部的接觸孔和共同連接部的開口部。另外，在圖 5A 中，像素部和共同連接部不是使用相同的縮尺來圖示的，例如共同連接部的虛線 C5-C6 的長度為 500 μm 左右，

而薄膜電晶體的寬度小於 $50\mu\text{m}$ ，從而在實際上，共同連接部的面積尺寸比薄膜電晶體大10倍以上，但是爲了容易理解，在圖5A中分別改變像素部和共同連接部的縮尺而進行圖示。

另外，共同電極層206設置在共同電位線205、保護絕緣層203和氧化物絕緣層266上，並使用與像素部的像素電極層227相同的材料及步驟而製造。

如此，與像素部的切換元件的製程共同地進行共同連接部的製程。

並且，使用密封材料固定設置有像素部和共同連接部的第一基板和具有對置電極的第二基板。

當使密封材料包含導電粒子時，對一對基板進行位置對準以使密封材料和共同連接部重疊。例如，在小型的液晶面板中，在像素部的對角等上與密封材料重疊地配置兩個共同連接部。另外，在大型的液晶面板中，與密封材料重疊地配置四個以上的共同連接部。

另外，共同電極層206是與包含在密封材料中的導電粒子接觸的電極，並與第二基板的對置電極電連接。

當使用液晶注入法時，在使用密封材料固定一對基板之後，將液晶注入到一對基板之間。另外，當使用液晶滴落法時，在第二基板或第一基板上塗畫密封材料，在滴落液晶之後，在減壓下對一對基板進行貼合。

另外，在本實施例模式中，雖然示出與對置電極電連接的共同連接部的例子，但是沒有特別的限制，而可以應

用於與其他的佈線連接的連接部或與外部連接端子等連接的連接部。

另外，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合來使用。

實施例模式 6

在本實施例模式中，以下說明在同一基板上至少製造驅動電路的一部分和配置在像素部的薄膜電晶體的例子。

根據實施例模式 1 至實施例模式 5 形成配置在像素部的薄膜電晶體。此外，因為實施例模式 1 至實施例模式 5 所示的薄膜電晶體是 n 通道型 TFT，所以將驅動電路中的可以由 n 通道型 TFT 構成的驅動電路的一部分形成在與像素部的薄膜電晶體同一基板上。

圖 12A 示出主動矩陣型顯示裝置的方塊圖的一個例子。在顯示裝置的基板 5300 上包括：像素部 5301；第一掃描線驅動電路 5302；第二掃描線驅動電路 5303；信號線驅動電路 5304。在像素部 5301 中從信號線驅動電路 5304 延伸設置多個信號線，並且從第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303 延伸設置多個掃描線。此外，在掃描線與信號線的每個交叉區將具有顯示元件的像素設置為矩陣形狀。另外，顯示裝置的基板 5300 藉由 FPC（撓性印刷電路）等連接部連接於時序控制電路 5305（也稱為控制器、控制 IC）。

在圖 12A 中，在與像素部 5301 相同的基板 5300 上形成

第一掃描線驅動電路5302、第二掃描線驅動電路5303、信號線驅動電路5304。由此，減少在外部設置的驅動電路等的構件的數量，所以可以實現成本的降低。另外，可以減少因將在基板5300外部設置驅動電路時的佈線延伸而發生的連接部的連接數量，因此可以提高可靠性或良率。

另外，時序控制電路5305對第一掃描線驅動電路5302作為一個例子供應第一掃描線驅動電路用啓動信號（GSP1）、掃描線驅動電路用時鐘信號（GCLK1）。此外，時序控制電路5305對第二掃描線驅動電路5303作為一個例子供應第二掃描線驅動電路用啓動信號（GSP2）（也稱為起始脈衝）、掃描線驅動電路用時鐘信號（GCLK2）。對信號線驅動電路5304供應信號線驅動電路用啓動信號（SSP）、信號線驅動電路用時鐘信號（SCLK）、視頻信號用資料（DATA）（也簡單地稱為視頻信號）及鎖存信號（LAT）。另外，各時鐘信號既可為其週期錯開的多個時鐘信號，又可為與使時鐘信號反轉的信號（CLKB）一起供給的時鐘信號。另外，可以省略第一掃描線驅動電路5302和第二掃描線驅動電路5303中的一方。

圖12B示出在與像素部5301相同的基板5300上形成驅動頻率低的電路（例如，第一掃描線驅動電路5302、第二掃描線驅動電路5303），在與像素部5301不同的基板上形成信號線驅動電路5304的結構。藉由該結構，可以由其場效應遷移率與使用單晶半導體的電晶體相比小的薄膜電晶體構成形成在基板5300上的驅動電路。從而，可以實現顯

示裝置的大型化、成本的降低或良率的提高等。

另外，實施例模式1至實施例模式5所示的薄膜電晶體是n通道型TFT。圖13A和圖13B示出由n通道型TFT構成的信號線驅動電路的結構、工作的一個例子而說明。

信號線驅動電路具有移位暫存器5601及開關電路5602。開關電路5602具有開關電路5602_1至5602_N（N是自然數）的多個電路。開關電路5602_1至5602_N分別具有薄膜電晶體5603_1至5603_k（k是自然數）的多個電晶體。對薄膜電晶體5603_1至5603_k是N通道型TFT的例子進行說明。

以開關電路5602_1為例子對信號線驅動電路的連接關係進行說明。薄膜電晶體5603_1至5603_k的第一端子分別連接到佈線5604_1至5604_k。薄膜電晶體5603_1至5603_k的第二端子分別連接到信號線S1至Sk。薄膜電晶體5603_1至5603_k的閘極連接到佈線5605_1。

移位暫存器5601具有對佈線5605_1至5605_N依次輸出H位準（也稱為H信號、高電源電位位準）的信號，並依次選擇開關電路5602_1至5602_N的功能。

開關電路5602_1具有控制佈線5604_1至5604_k與信號線S1至Sk的導通狀態（第一端子和第二端子之間的導通）的功能，即控制是否將佈線5604_1至5604_k的電位供應到信號線S1至Sk的功能。像這樣，開關電路5602_1具有作為選擇器的功能。另外，薄膜電晶體5603_1至5603_k分別具有控制佈線5604_1至5604_k與信號線S1至Sk的導通狀態的

功能，即將佈線 5604_1 至 5604_k 的電位供應到信號線 S1 至 Sk 的功能。像這樣，薄膜電晶體 5603_1 至 5603_k 分別具有作為開關的功能。

另外，對佈線 5604_1 至 5604_k 分別輸入視頻信號用資料（DATA）。在很多情況下，視頻信號用資料（DATA）是根據圖像資訊或視頻信號的模擬信號。

接著，參照圖 13B 的時序圖說明圖 13A 的信號線驅動電路的工作。圖 13B 示出信號 Sout_1 至 Sout_N 及信號 Vdata_1 至 Vdata_k 的一個例子。信號 Sout_1 至 Sout_N 分別是移位暫存器 5601 的輸出信號的一個例子，並且信號 Vdata_1 至 Vdata_k 分別是輸入到佈線 5604_1 至 5604_k 的信號的一個例子。另外，信號線驅動電路的一個工作期間對應於顯示裝置中的一個閘極選擇期間。作為一個例子，一個閘極選擇期間被分割為期間 T1 至期間 TN。期間 T1 至期間 TN 分別是用來對屬於被選擇的行的像素寫入視頻信號用資料（DATA）的期間。

另外，有時為了清楚地示出，誇大在本實施例模式的附圖等中示出的各結構的信號波形的失真等。因此，該信號波形的失真等不必侷限於附圖中的比例。

在期間 T1 至期間 TN 中，移位暫存器 5601 將 H 位準的信號依次輸出到佈線 5605_1 至 5605_N。例如，在期間 T1 中，移位暫存器 5601 將高位準的信號輸出到佈線 5605_1。然後，薄膜電晶體 5603_1 至 5603_k 導通，所以佈線 5604_1 至 5604_k 和信號線 S1 至 Sk 成為導通狀態。此時，對佈線

5604_1至5604_k輸入Data (S1) 至Data (Sk) 。 Data (S1) 至Data (Sk) 分別藉由薄膜電晶體5603_1至5603_k寫入到屬於被選擇的行的像素中的第一列至第k列像素。藉由上述步驟，在期間T1至TN中，對屬於被選擇的列的像素的每k列按順序寫入視頻信號用資料 (DATA) 。

如上所述，藉由對每多個行的像素寫入視頻信號用資料 (DATA) ，可以減少視頻信號用資料 (DATA) 的數量或佈線的數量。因此，可以減少與外部電路的連接數量。此外，藉由對每多個行的像素寫入視頻信號用資料 (DATA) ，可以延長寫入時間，因此可以防止視頻信號用資料 (DATA) 的寫入不足。

另外，作為移位暫存器5601及開關電路5602，可以使用由實施例模式1至實施例模式5所示的薄膜電晶體構成的電路。此時，移位暫存器5601所具有的所有電晶體的極性可以僅由N通道型和P通道型中的一個極性構成。

此外，參照圖14A至14D和圖15A和圖15B說明用於掃描線驅動電路和/或信號線驅動電路的一部分的移位暫存器的一個實施例

掃描線驅動電路具有移位暫存器。此外，有時也可以具有位準移動器、緩衝器等。在掃描線驅動電路中，藉由對移位暫存器輸入時鐘信號 (CLK) 及起始脈衝信號 (SP) ，產生選擇信號。所產生的選擇信號在緩衝器中被緩衝放大，並供應到對應的掃描線。掃描線連接到一行的像素的電晶體的閘極電極。而且，由於需要將一行的像素的電

晶體同時導通，因此使用能夠產生大電流的緩衝器。

移位暫存器具有第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N (N 是 3 以上的自然數) (參照圖 14A)。對圖 14A 所示的移位暫存器的第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N 從第一佈線 11 供應第一時鐘信號 CK1，從第二佈線 12 供應第二時鐘信號 CK2，從第三佈線 13 供應第三時鐘信號 CK3，從第四佈線 14 供應第四時鐘信號 CK4。另外，對第一脈衝輸出電路 10_1 輸入來自第五佈線 15 的起始脈衝 SP1 (第一起始脈衝)。此外，對第二級以後的第 n 脈衝輸出電路 10_n (n 是 2 以上且 N 以下的自然數) 輸入來自前一級的脈衝輸出電路的信號 (稱為前級信號 OUT (n-1)) (n 是 2 以上且 N 以下的自然數)。另外，對第一脈衝輸出電路 10_1 輸入來自後二級的第三脈衝輸出電路 10_3 的信號。同樣地，對第二級以後的第 n 脈衝輸出電路 10_n 輸入來自後二級的第 (n+2) 脈衝輸出電路 10_(n+2) 的信號 (後級信號 OUT (n+2))。從而，從各級的脈衝輸出電路輸出用來輸入到後級及 / 或前二級的脈衝輸出電路的第一輸出信號 (OUT (1) (SR) 至 OUT (N) (SR))、電輸入到其他電路等的第二輸出信號 (OUT (1) 至 OUT (N))。另外，如圖 14A 所示，由於不對移位暫存器的最後級的兩個級輸入後級信號 OUT (n+2)，所以作為一個例子，採用另行分別輸入第二起始脈衝 SP2、第三起始脈衝 SP3 的結構即可。

另外，時鐘信號 (CK) 是以一定間隔反復 H 位準和 L

位準（也稱為 L 信號、低電源電位位準）的信號。在此，第一時鐘信號（CK1）至第四時鐘信號（CK4）依次遲延 $1/4$ 週期。在本實施例模式中，利用第一時鐘信號（CK1）至第四時鐘信號（CK4）而進行脈衝輸出電路的驅動的的控制等。注意，時鐘信號根據所輸入的驅動電路有時稱為 GCK、SCK，在此使用 CK 而說明。

第一輸入端子 21、第二輸入端子 22 及第三輸入端子 23 電連接到第一佈線 11 至第四佈線 14 中的任一個。例如，在圖 14A 中，在第一脈衝輸出電路 10_1 中，第一輸入端子 21 電連接到第一佈線 11，第二輸入端子 22 電連接到第二佈線 12，並且第三輸入端子 23 電連接到第三佈線 13。此外，在第二脈衝輸出電路 10_2 中，第一輸入端子 21 電連接到第二佈線 12，第二輸入端子 22 電連接到第三佈線 13，並且第三輸入端子 23 電連接到第四佈線 14。

第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N 分別包括第一輸入端子 21、第二輸入端子 22、第三輸入端子 23、第四輸入端子 24、第五輸入端子 25、第一輸出端子 26、第二輸出端子 27（參照圖 14B）。在第一脈衝輸出電路 10_1 中，對第一輸入端子 21 輸入第一時鐘信號 CK1，對第二輸入端子 22 輸入第二時鐘信號 CK2，對第三輸入端子 23 輸入第三時鐘信號 CK3，對第四輸入端子 24 輸入起始脈衝，對第五輸入端子 25 輸入後級信號 OUT（3），從第一輸入端子 26 輸出第一輸出信號 OUT（1）（SR），從第二輸出端子 27 輸出第二輸出信號 OUT（1）。

另外，第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N 除了可以使用三端子的薄膜電晶體（也稱為 TFT，即 Thin Film Transistor）以外還可以使用四端子的薄膜電晶體。圖 14C 示出上述實施例模式所說明的四個端子的薄膜電晶體 28 的標誌。圖 14C 所示的薄膜電晶體 28 的標誌表示上述實施例模式 1 所說明的四個端子的薄膜電晶體，以下在附圖等中使用該標誌。另外，在本發明說明中，在薄膜電晶體隔著半導體層具有兩個閘極電極時，也將半導體層下方的閘極電極稱為下方閘極電極，並將半導體層上方的閘極電極稱為上方閘極電極。薄膜電晶體 28 是根據輸入到下方閘極電極的第一控制信號 G1 及輸入到上方閘極電極的第二控制信號 G2 能夠進行 In 端子和 Out 端子之間的電控制的元件。

在將氧化物半導體用於薄膜電晶體的包括通道形成區的半導體層時，其臨界值電壓有時依製程而沿負一側或正一側偏移。因此，將氧化物半導體用於包括通道形成區的半導體層的薄膜電晶體較佳的採用能夠控制臨界值電壓的結構。藉由在薄膜電晶體 28 的通道形成區的上下隔著閘極絕緣膜設置閘極電極，並控制上方及 / 或下方閘極電極的電位，可以將圖 14C 所示的薄膜電晶體 28 的臨界值電壓控制為所希望的數值。

接著，參照圖 14D 說明圖 14B 所示的脈衝輸出電路的具體的電路結構的一個例子。

圖 14D 所示的脈衝輸出電路具有第一電晶體 31 至第十

三電晶體 43。此外，除了上述第一輸入端子 21 至第五輸入端子 25 以及第一輸出端子 26、第二輸出端子 27 以外，從被供應第一高電源電位 V_{DD} 的電源線 51、被供應第二高電源電位 V_{CC} 的電源線 52、被供應低電源電位 V_{SS} 的電源線 53 對第一電晶體 31 至第十三電晶體 43 供應信號或電源電位。在此，圖 14D 中的各電源線的電源電位的大小關係為第一電源電位 V_{DD} 是第二電源電位 V_{CC} 以上的電位，並且第二電源電位 V_{CC} 是大於第三電源電位 V_{SS} 的電位。此外，第一時鐘信號（CK1）至第四時鐘信號（CK4）是以一定間隔反復 H 位準和 L 位準的信號，並且當 H 位準時電位為 V_{DD} ，並且當 L 位準時電位為 V_{SS} 。另外，藉由使電源線 51 的電位 V_{DD} 高於電源線 52 的第二電源電位 V_{CC} ，不影響到工作，而可以將施加到電晶體的閘極電極的電位抑制得低，並降低電晶體的臨界值的偏移，而可以抑制劣化。另外，如圖 14D 所示，在第一電晶體 31 至第十三電晶體 43 中，第一電晶體 31、第六電晶體 36 至第九電晶體 39 較佳的使用圖 14C 所示的四個端子的薄膜電晶體 28。第一電晶體 31、第六電晶體 36 至第九電晶體 39 是被要求以閘極電極的控制信號改變連接於成為源極和汲極的電極中的一方的節點的電位的電晶體，並是因爲回應輸入到閘極電極的控制信號的速度快（導通電流的上升陡峭）而可以進一步降低脈衝輸出電路的誤動的電晶體。因此，藉由使用圖 14C 所示的四個端子的薄膜電晶體 28，可以控制臨界值電壓，並可以得到進一步減低了誤動的脈衝輸出電路。另外，在圖 14D 中

，雖然第一控制信號 G1 及第二控制信號 G2 為相同的控制信號，但是也可以輸入不同的控制信號。

在圖 14D 的第一電晶體 31 中，第一端子電連接到電源線 51，第二端子電連接到第九電晶體 39 的第一端子，閘極電極（下方閘極電極及上方閘極電極）電連接到第四輸入端子 24。在第二電晶體 32 中，第一端子電連接到電源線 53，第二端子電連接到第九電晶體 39 的第一端子，閘極電極電連接到第四電晶體 34 的閘極電極。在第三電晶體 33 中，第一端子電連接到第一輸入端子 21，第二端子電連接到第一輸出端子 26。在第四電晶體 34 中，第一端子電連接到電源線 53，第二端子電連接到第一輸出端子 26。在第五電晶體 35 中，第一端子電連接到電源線 53，第二端子電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，閘極電極電連接到第四輸入端子 24。在第六電晶體 36 中，第一端子電連接到電源線 52，第二端子電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，閘極電極（下方閘極電極及上方閘極電極）電連接到第五輸入端子 25。在第七電晶體 37 中，第一端子電連接到電源線 52，第二端子電連接到第八電晶體 38 的第二端子，閘極電極（下方閘極電極及上方閘極電極）電連接到第三輸入端子 23。在第八電晶體 38 中，第一端子電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，閘極電極（下方閘極電極及上方閘極電極）電連接到第二輸入端子 22。在第九電晶體 39 中，第一端子電連接到第一電晶體 31 的第二端子及第

二電晶體 32 的第二端子，第二端子電連接到第三電晶體 33 的閘極電極及第十電晶體 40 的閘極電極，閘極電極（下方閘極電極及上方閘極電極）電連接到電源線 52。在第十電晶體 40 中，第一端子電連接到第一輸入端子 21，第二端子電連接到第二輸出端子 27，閘極電極電連接到第九電晶體 39 的第二端子。在第十一電晶體 41 中，第一端子電連接到電源線 53，第二端子電連接到第二輸出端子 27，閘極電極電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極。在第十二電晶體 42 中，第一端子電連接到電源線 53，第二端子電連接到第二輸出端子 27，閘極電極電連接到第七電晶體 37 的閘極電極（下方閘極電極及上方閘極電極）。在第十三電晶體 43 中，第一端子電連接到電源線 53，第二端子電連接到第一輸出端子 26，閘極電極電連接到第七電晶體 37 的閘極電極（下方閘極電極及上方閘極電極）。

在圖 14D 中，以第三電晶體 33 的閘極電極、第十電晶體 40 的閘極電極以及第九電晶體 39 的第二端子的連接部分為節點 A。此外，以第二電晶體 32 的閘極電極、第四電晶體 34 的閘極電極、第五電晶體 35 的第二端子、第六電晶體 36 的第二端子、第八電晶體 38 的第一端子以及第十一電晶體 41 的閘極電極的連接部分為節點 B。

圖 15A 示出在將圖 14D 所示的脈衝輸出電路應用於第一脈衝輸出電路 10_1 時輸入到第一輸入端子 21 至第五輸入端子 25 的信號或者從第一輸出端子 26 和第二輸出端子 27 輸

出的信號。

明確地說，將第一時鐘信號 CK1 輸入到第一輸入端子 21，將第二時鐘信號 CK1 輸入到第二輸入端子 22，將第三時鐘信號 CK3 輸入到第三輸入端子 23，將起始脈衝輸入到第四輸入端子 24，將後級信號 OUT (3) 輸入到第五輸入端子 25，從第一輸出端子 26 輸出第一輸出信號 OUT (1) (SR)，並且從第二輸出端子 27 輸出第二輸出信號 OUT (1)。

此外，薄膜電晶體是指包括閘極、汲極以及源極的至少具有三個端子的元件。另外，薄膜電晶體具有在重疊於閘極的區域中形成有通道形成區的半導體，並能夠藉由控制閘極的電位來控制藉由通道形成區流過汲極和源極之間的電流。在此，因為源極和汲極根據薄膜電晶體的結構或工作條件等而改變，因此很難限定哪個是源極哪個是汲極。因此，有時不將用作源極及汲極的區域稱為源極或汲極。在此情況下，作為一個例子，有時將它們分別記為第一端子和第二端子。

另外，在圖 14D 和圖 15A 中，也可以另外設置用來藉由使節點 A 處於浮動狀態來進行升壓工作的電容元件。另外，也可以另外設置將一方電極電連接到節點 B 以保持節點 B 的電位的電容元件。

在此，圖 15B 示出具有圖 15A 所示的多個脈衝輸出電路的移位暫存器的時序圖。此外，在移位暫存器是掃描線驅動電路時，圖 15B 中的期間 61 相當於垂直回掃期間（

vertical retrace period)，並且期間 62 相當於閘極選擇期間。

此外，如圖 15A 所示，藉由設置其閘極被施加第二電源電位 VCC 的第九電晶體 39，在升壓工作的前後，有如下優點。

在沒有其閘極電極被施加第二電源電位 VCC 的第九電晶體 39 時，由升壓工作而使節點 A 的電位上升，第一電晶體 31 的第二端子的源極的電位上升，而使其電位大於第一電源電位 VDD。然後，第一電晶體 31 的源極轉換為第一端子一側，即電源線 51 一側。由此，在第一電晶體 31 中，閘極和源極之間、閘極和汲極之間都被施加較大的偏壓所以它們受到較大的壓力，這會導致電晶體的劣化。於是，藉由設置將其閘極電極被施加第二電源電位 VCC 的第九電晶體 39，即使由升壓工作而使節點 A 的電位上升，也可以不產生第一電晶體 31 的第二端子的電位的上升。換言之，藉由設置第九電晶體 39，可以使對第一電晶體 31 的閘極和源極之間施加的負偏壓值變小。由此，由於藉由採用本實施例模式的電路結構，可以使施加到第一電晶體 31 的閘極和源極之間的負偏壓也變小，所以可以抑制因壓力而導致的第一電晶體 31 的劣化。

此外，關於設置第九電晶體 39 的部分，採用在第一電晶體 31 的第二端子和第三電晶體 33 的閘極之間藉由第一端子和第二端子連接而設置第九電晶體 39 的結構即可。另外，在具有多個本實施例模式的脈衝輸出電路的移位暫存器

中，與掃描線驅動電路相比級數多的信號線驅動電路也可以省略第九電晶體 39，而具有減少電晶體的數量的優點。

另外，藉由作為第一電晶體 31 至第十三電晶體 43 的半導體層使用氧化物半導體，可以降低薄膜電晶體的截止電流，並提高導通電流及場效應遷移率，並且降低劣化的程度，所以可以減少電路內的誤動。此外，與使用非晶矽的電晶體相比，使用氧化物半導體的電晶體因其閘極電極被施加高電位而劣化的程度小。由此，即使對供應第二電源電位 V_{CC} 的電源線供應第一電源電位 V_{DD} 也可以得到相同的工作，並可以減少引導電路之間的電源線的數量，所以可以實現電路的小型化。

另外，對第七電晶體 37 的閘極電極（下方閘極電極及上方閘極電極）藉由第三輸入端子 23 供應的時鐘信號、對第八電晶體 38 的閘極電極（下方閘極電極及上方閘極電極）藉由第二輸入端子 22 供應的時鐘信號即使以成為對第七電晶體 37 的閘極電極（下方閘極電極及上方閘極電極）藉由第二輸入端子 22 供應的時鐘信號、對第八電晶體 38 的閘極電極（下方閘極電極及上方閘極電極）藉由第三輸入端子 23 供應的時鐘信號的方式替換接線關係也具有同樣的作用。此外，在圖 15A 所示的移位暫存器中，藉由從第七電晶體 37 及第八電晶體 38 都處於導通的狀態變化到第七電晶體 37 截止且第八電晶體 38 導通的狀態，然後處於第七電晶體 37 截止且第八電晶體 38 截止的狀態，而由第二輸入端子 22 及第三輸入端子 23 的電位降低所產生的節點 B 的電位的

降低發生兩次，該節點B的電位的降低起因於第七電晶體37的閘極電極的電位的降低及第八電晶體38的閘極電極的電位的降低。另一方面，在圖15A所示的移位暫存器中，藉由從第七電晶體37及第八電晶體38都處於導通的狀態變化到第七電晶體37導通且第八電晶體38截止的狀態，然後成為第七電晶體37截止且第八電晶體38截止的狀態，而由第二輸入端子22及第三輸入端子23的電位的降低而產生的節點B的電位的降低僅發生一次，該節點B的電位的降低起因於第八電晶體38的閘極電極的電位的降低。由此，較佳的採用對第七電晶體37的閘極電極（下方閘極電極及上方閘極電極）藉由第三輸入端子供應時鐘信號CK3，並且對第八電晶體38的閘極電極（下方閘極電極及上方閘極電極）藉由第二輸入端子供應時鐘信號CK2的接線關係。這是因為可以使節點B的電位的變動次數變小來降低雜波的緣故。

像這樣，藉由採用在將第一輸出端子26及第二輸出端子27的電位保持為L位準的期間中，對節點B定期供應H位準的信號的結構，可以抑制脈衝輸出電路的誤動。

另外，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合來使用。

實施例模式7

藉由製造薄膜電晶體並將該薄膜電晶體用於像素部及驅動電路，可以製造具有顯示功能的半導體裝置（也稱為

顯示裝置)。此外，可以在與像素部同一基板上一體地形成使用薄膜電晶體的驅動電路的一部分或整體，而形成系統型面板（system-on-panel）。

顯示裝置包括顯示元件。作為顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。在發光元件的範疇內包括利用電流或電壓控制亮度的元件，明確而言，包括無機EL（Electro Luminescence：電致發光）元件、有機EL元件等。此外，也可以使用電子墨水等的其對比度因電作用而變化的顯示媒體。

此外，顯示裝置包括密封有顯示元件的面板和在該面板中安裝有包括控制器的IC等的模組。再者，相當於製造該顯示裝置的過程中的顯示元件完成之前的一個實施例的元件基板在多個像素的每一個中分別具備用來將電流供應到顯示元件的單元。明確而言，元件基板既可以處於只形成有顯示元件的像素電極的狀態，又可以處於形成成為像素電極的導電膜之後且藉由蝕刻形成像素電極之前的狀態，可以是任何狀態。

注意，本發明說明中的顯示裝置是指圖像顯示裝置、顯示裝置或光源（包括照明裝置）。另外，顯示裝置還包括：安裝有連接器諸如FPC（Flexible Printed Circuit：撓性印刷電路）、TAB（Tape Automated Bonding：載帶自動接合）帶或TCP（Tape Carrier Package：載帶封裝）的模組；在TAB帶或TCP的端部上設置有印刷線路板的模組

；藉由COG（Chip On Glass：玻璃上晶片）方式將IC（積體電路）直接安裝到顯示元件上的模組。

參照圖8A1、圖8A2以及圖8B說明相當於半導體裝置的一個實施例的液晶顯示面板的外觀及截面。圖8A1、圖8A2是一種面板的平面圖，其中利用密封材料4005將薄膜電晶體4010、4011及液晶元件4013密封在第一基板4001和第二基板4006之間。圖8B相當於沿著圖8A1、圖8A1及8A2的M-N的截面圖。

以圍繞設置在第一基板4001上的像素部4002和掃描線驅動電路4004的方式設置有密封材料4005。此外，在像素部4002和掃描線驅動電路4004上設置有第二基板4006。因此，像素部4002和掃描線驅動電路4004與液晶層4008一起由第一基板4001、密封材料4005和第二基板4006密封。此外，在與由第一基板4001上的密封材料4005圍繞的區域不同的區域中安裝有信號線驅動電路4003，該信號線驅動電路4003使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上。

注意，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用COG方法、線結合方法或TAB方法等。圖8A1是藉由COG方法安裝信號線驅動電路4003的例子，並且圖8A2是藉由TAB方法安裝信號線驅動電路4003的例子。

此外，設置在第一基板4001上的像素部4002和掃描線驅動電路4004包括多個薄膜電晶體。在圖8B中例示像素部

4002所包括的薄膜電晶體4010和掃描線驅動電路4004所包括的薄膜電晶體4011。在薄膜電晶體4010、4011上設置有絕緣層4041a、絕緣層4041b、絕緣層4042a、絕緣層4042b、絕緣層4020和絕緣層4021。

可以將實施例模式1至實施例模式5所示的包括氧化物半導體層的可靠性高的薄膜電晶體用於薄膜電晶體4010、4011。較佳地是，作為驅動電路用薄膜電晶體4011，可以使用實施例模式3所示的薄膜電晶體270，作為像素用薄膜電晶體4010，可以使用薄膜電晶體220。在本實施例模式中，薄膜電晶體4010、4011是n通道型薄膜電晶體。

在絕緣層4021上，在重疊於驅動電路用薄膜電晶體4011的氧化物半導體層的通道形成區的位置設置有導電層4040。藉由將導電層4040設置在重疊於氧化物半導體層的通道形成區的位置，可以降低BT試驗前後的薄膜電晶體4011的臨界值電壓的變化量。另外，導電層4040的電位既可與薄膜電晶體4011的閘極電極層相同又可不同，並且還可以將導電層4040用作第二閘極電極層。另外，導電層4040的電位可以為GND、0V或浮動狀態。

此外，液晶元件4013所具有的像素電極層4030與薄膜電晶體4010電連接。而且，液晶元件4013的對置電極層4031形成在第二基板4006上。像素電極層4030、對置電極層4031和液晶層4008重疊的部分相當於液晶元件4013。另外，像素電極層4030、對置電極層4031分別設置有用作對準膜的絕緣層4032、4033，並隔著絕緣層4032、4033夾有

液晶層 4008。

另外，作為第一基板 4001、第二基板 4006，可以使用透光基板，可以使用玻璃、陶瓷、塑膠。作為塑膠，可以使用 FRP (Fiberglass-Reinforced Plastics: 玻璃纖維強化塑膠) 板、PVF (聚氟乙烯) 薄膜、聚酯薄膜或丙烯酸樹脂薄膜。

此外，間隔物 4035 為藉由對絕緣膜選擇性地進行蝕刻而得到的柱狀間隔物，並且它是為控制像素電極層 4030 和對置電極層 4031 之間的距離 (單元間隙 (cell gap)) 而設置的。另外，還可以使用球狀間隔物。另外，對置電極層 4031 電連接到設置在與薄膜電晶體 4010 同一基板上的共同電位線。可以使用共同連接部並藉由配置在一對基板之間的導電粒子電連接對置電極層 4031 和共同電位線。此外，將導電粒子包含在密封材料 4005 中。

另外，還可以使用不使用對準膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽甾相液晶的溫度上升時即將從膽甾相轉變到各向同性相之前出現的相。由於藍相出現在較窄的溫度範圍內，所以為了改善溫度範圍而將混合有 5wt.% 以上的手性試劑的液晶組成物用於液晶層 4008。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度快，即為 1msec 以下，並且它具有光學各向同性，所以不需要對準處理，從而視角依賴性低。

另外，除了可以應用於透過型液晶顯示裝置之外，還可以應用於半透過型液晶顯示裝置。

另外，雖然示出在基板的外側（可見一側）設置偏光片，並且在內側依次設置著色層（濾色片）、用於顯示元件的電極層的液晶顯示裝置的例子，但是也可以在基板的內側設置偏光片。另外，偏光片和著色層的疊層結構也不侷限於本實施例模式的結構，根據偏光片和著色層的材料或製程條件適當地設定即可。另外，還可以在顯示部以外的區域中設置用作黑色矩陣（black matrix）的遮光膜。

在薄膜電晶體4011中，形成有用作通道保護層的絕緣層4041a和覆蓋氧化物半導體層的疊層的邊緣部（包括側面）的絕緣層4041b。與此同樣，在薄膜電晶體4010中，形成有用作通道保護層的絕緣層4042a和覆蓋氧化物半導體層的疊層的邊緣部（包括側面）的絕緣層4042b。

覆蓋氧化物半導體層的疊層的邊緣部（包括側面）的氧化物絕緣層，即絕緣層4041b和絕緣層4042b可以拉開閘極電極層和形成在其上方或周圍的佈線層（源極佈線層、電容佈線層等）的距離，來可以實現寄生電容的降低。只要使用與實施例模式1至實施例模式5所示的氧化物絕緣層107a和氧化物絕緣層107a同樣的材料和方法形成絕緣層4041a、絕緣層4041b、絕緣層4042a和絕緣層4042b，既可。另外，薄膜電晶體由用作平坦化絕緣膜的絕緣層4021覆蓋，以降低薄膜電晶體的表面凹凸。這裏，作為絕緣層4041a、絕緣層4041b、絕緣層4042a和絕緣層4042b，使用實施例模式2藉由濺射法形成氧化矽膜。

另外，在絕緣層4041a、絕緣層4041b、絕緣層4042a

和絕緣層4042b上形成有絕緣層4020。只要使用與實施例模式3所示的保護絕緣層203同樣的材料和方法形成絕緣層4020，既可。這裏，作為絕緣層4020，藉由RF濺射法或PCVD法形成氮化矽膜。

另外，形成作為平坦化絕緣膜的絕緣層4021。作為絕緣層4021，只要使用與實施例模式3所示的平坦化絕緣層204同樣的材料和方法形成，即可，可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂、聚醯胺、環氧樹脂等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜來形成絕緣層4021。

在本實施例模式中，也可以採用由氮化物絕緣膜包圍像素部的多個薄膜電晶體的結構。只要使用氮化物絕緣膜作為絕緣層4020和閘極絕緣層，以至少包圍主動矩陣基板的像素部的邊緣的方式設置絕緣層4020和閘極絕緣層接觸的區域，即可。根據該製程，可以防止來自外部的水分的侵入。另外，在完成作為半導體裝置，例如顯示裝置的裝置之後也可以在較長期間防止來自外部的水分的侵入，可以提高裝置的長期可靠性。

另外，矽氧烷類樹脂相當於以矽氧烷類材料為起始材料而形成的包含Si-O-Si鍵的樹脂。作為矽氧烷類樹脂的取代基，可以使用有機基（例如烷基、芳基）。另外，有機

基也可以具有氟基團。

對絕緣層 4021 的形成方法沒有特別的限制，可以根據其材料利用如下方法及設備：濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）等的方法；刮片、輥塗機、幕塗機、刮刀塗佈機等的設備。藉由兼作絕緣層 4021 的焙燒步驟和對半導體層的退火，可以高效地製造半導體裝置。

作為像素電極層 4030、對置電極層 4031，可以使用具有透光性的導電材料諸如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（以下表示為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。

此外，可以使用包含導電高分子（也稱為導電聚合物）的導電組成物形成像素電極層 4030、對置電極層 4031。使用導電組成物形成的像素電極的薄層電阻較佳為 $10000\Omega/\square$ 以下，並且其波長為 550nm 時的透光率較佳為 70% 以上。另外，導電組成物所包含的導電高分子的電阻率較佳的為 $0.1\Omega\cdot\text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的兩種以上的共聚物等。

另外，供應到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或像素部 4002 的各種信號及電位是從

FPC4018供應的。

連接端子電極4015由與液晶元件4013所具有的像素電極層4030相同的導電膜形成，並且端子電極4016由與薄膜電晶體4011的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極4015藉由各向異性導電膜4019電連接到FPC4018所具有的端子。

此外，雖然在圖8A1、8A2以及8B中示出另行形成信號線驅動電路4003並將它安裝在第一基板4001上的例子，但是不侷限於該結構。既可以另行形成掃描線驅動電路而安裝，又可以另行僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

圖17示出使用藉由本發明說明所公開的製造方法製造的TFT基板2600來構成液晶顯示模組作為半導體裝置的一個例子。

圖17是液晶顯示模組的一個例子，利用密封材料2602固定TFT基板2600和對置基板2601，並在其間設置包括TFT等的像素部2603、包括液晶層的顯示元件2604、著色層2605來形成顯示區。在進行彩色顯示時需要著色層2605，並且當採用RGB方式時，對應於各像素地設置有分別對應於紅色、綠色、藍色的各顏色的著色層。在TFT基板2600和對置基板2601的外側配置有偏光片2606、偏光片2607、擴散板2613。光源由冷陰極管2610和反射板2611構成，電路基板2612利用撓性線路板2609與TFT基板2600的

佈線電路部2608連接，並且其中組裝有控制電路、電源電路等的外部電路。此外，也可以以在偏光片和液晶層之間具有相位差板的狀態層疊。

作為液晶顯示模組，可以採用TN（扭曲向列：Twisted Nematic）模式、IPS（平面內轉換：In-Plane-Switching）模式、FFS（邊緣電場轉換：Fringe Field Switching）模式、MVA（多象限垂直對準：Multi-domain Vertical Alignment）模式、PVA（垂直對準構型：Patterned Vertical Alignment）模式、ASM（軸對稱排列微胞：Axially Symmetric aligned Micro-cell）模式、OCB（光學補償彎曲：Optical Compensated Birefringence）模式、FLC（鐵電性液晶：Ferroelectric Liquid Crystal）模式、AFLC（反鐵電性液晶：AntiFerroelectric Liquid Crystal）模式等。

藉由上述步驟，可以製造作為半導體裝置的可靠性高的液晶顯示面板。

另外，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合而使用。

實施例模式8

作為半導體裝置的一個實施例，示出電子紙的例子。

可以將半導體裝置用於利用與切換元件電連接的元件來驅動電子墨水的電子紙。電子紙也被稱為電泳顯示裝置（電泳顯示器），並具有如下優點：與紙相同的易讀性；

耗電量比其他的顯示裝置低；可以形成爲薄且輕的形狀。

作爲電泳顯示器，可以考慮各種方式。在電泳顯示器中，在溶劑或溶質中分散有多個包含具有正電荷的第一粒子和具有負電荷的第二粒子的微囊，並且藉由對微囊施加電場來使微囊中的粒子向彼此相反的方向移動，以僅顯示集合在一側的粒子的顏色。另外，第一粒子或第二粒子包含染料，並且在沒有電場時不移動。此外，第一粒子和第二粒子的顏色不同（包含無色）。

像這樣，電泳顯示器是利用所謂的介電電泳效應的顯示器，在該介電電泳效應中，介電常數高的物質移動到高電場區。

在溶劑中分散有上述微囊的溶液稱爲電子墨水，該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用濾色片或具有色素的粒子來進行彩色顯示。

此外，藉由在主動矩陣基板上適當地設置多個上述微囊以使微囊夾在兩個電極之間，而完成主動矩陣型顯示裝置，並且藉由對微囊施加電場可以進行顯示。例如，可以使用根據實施例模式1至實施例模式5的薄膜電晶體而得到的主動矩陣基板。

此外，作爲微囊中的第一粒子及第二粒子，使用選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、磁泳材料的其中之一者或這些材料的組合材料即可。

在圖 16 中，作為半導體裝置的例子示出主動矩陣型電子紙。用於半導體裝置的薄膜電晶體 581 可以與實施例模式 1 至實施例模式 5 所示的薄膜電晶體同樣地製造，並且該薄膜電晶體 581 是包括氧化物半導體層的可靠性高的薄膜電晶體。此外，也可以將實施例模式 1 至實施例模式 5 所示的薄膜電晶體用於本實施例模式所示的薄膜電晶體 581。

圖 16 的電子紙是採用旋轉球顯示（twisting ball display）方式的顯示裝置的例子。旋轉球顯示方式是指一種方法，其中將分別著色為白色和黑色的球形粒子配置在用於顯示元件的電極層的第一電極層和第二電極層之間，並使第一電極層和第二電極層產生電位差來控制球形粒子的方向，以進行顯示。

形成在基板 580 上的薄膜電晶體 581 是底閘結構的薄膜電晶體，並且由與氧化物半導體層接觸的絕緣膜 583 覆蓋。薄膜電晶體 581 的源極電極層或汲極電極層在形成於絕緣層 585 等中的開口中接觸於第一電極層 587，並且薄膜電晶體 581 與第一電極層 587 電連接。在第一電極層 587 和形成在基板 596 上的第二電極層 588 之間設置有球形粒子 589，該球形粒子 589 具有黑色區 590a、白色區 590b，並且黑色區 590a、白色區 590b 的周圍包括充滿了液體的空洞 594，並且球形粒子 589 的周圍充滿有樹脂等的填料 595（參照圖 16）。第一電極層 587 相當於像素電極，第二電極層 588 相當於共同電極。第二電極層 588 電連接到設置在與薄膜電晶體 581 同一基板上的共同電位線。可以使用共同連接

部來藉由配置在一對基板之間的導電粒子電連接第二電極層588和共同電位線。

此外，還可以使用電泳元件代替使用旋轉球的元件。使用直徑為 $10\mu\text{m}$ 至 $200\mu\text{m}$ 左右的微囊，該微囊中封入有透明液體、帶正電的白色微粒和帶負電的黑色微粒。在設置在第一電極層和第二電極層之間的微囊中，當由第一電極層和第二電極層施加電場時，白色微粒和黑色微粒向相反方向移動，從而可以顯示白色或黑色。應用該原理的顯示元件就是電泳顯示元件，一般地稱為電子紙。電泳顯示元件具有比液晶顯示元件高的反射率，因而不需要輔助燈。此外，耗電量低，並且在昏暗的地方也能夠辨認顯示部。另外，即使不向顯示部供應電源，也能夠保持顯示過一次的圖像。因此，即使使具有顯示功能的半導體裝置（簡單地稱為顯示裝置，或稱為具備顯示裝置的半導體裝置）離開電源，也能夠保存顯示過的圖像。

藉由上述步驟，可以製造作為半導體裝置的可靠性高的電子紙。

另外，本實施例模式所示的結構可以與其他實施例模式所示的結構適當地組合而使用。

實施例模式9

作為半導體裝置，示出發光顯示裝置的例子。在此，示出利用電致發光的發光元件作為顯示裝置所具有的顯示元件。根據其發光材料是有機化合物還是無機化合物對利

用電致發光的發光元件進行區別，一般前者稱為有機EL元件，而後者稱為無機EL元件。

在有機EL元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別植入到包含發光有機化合物的層，以電流流過。而且，藉由這些載子（電子和電洞）重新結合，發光有機化合物形成激發態，並且當該激發態恢復到基態時獲得發光。根據該機理，這種發光元件被稱為電流激發型的發光元件。

無機EL元件根據其元件結構分類為分散型無機EL元件和薄膜型無機EL元件。分散型無機EL元件包括在黏合劑中分散有發光材料的粒子的發光層，並且其發光機理是利用施主能級和受主能級的施主-受主重新結合型發光。薄膜型無機EL元件具有利用電介質層夾持發光層並還利用電極夾持該夾有發光層的電介質層的結構，並且其發光機理是利用金屬離子的內殼層電子躍遷的定域型發光。另外，在此，使用有機EL元件作為發光元件而進行說明。

圖10是示出可以使用數字時間灰度級驅動的像素結構的一個例子作為半導體裝置的例子的圖。

說明可以使用數位時間灰度級驅動的像素的結構以及像素的工作。在此示出在一個像素中使用兩個n通道型電晶體的例子，在該n通道型電晶體中將氧化物半導體層用於通道形成區。

像素6400包括開關電晶體6401、發光元件驅動電晶體6402、發光元件6404以及電容元件6403。在開關電晶體

6401中，閘極與掃描線6406連接，第一電極（源極電極和汲極電極中的一方）與信號線6405連接，並且第二電極（源極電極和汲極電極中的另一方）與發光元件驅動電晶體6402的閘極連接。在發光元件驅動電晶體6402中，閘極藉由電容元件6403與電源線6407連接，第一電極與電源線6407連接，第二電極與發光元件6404的第一電極（像素電極）連接。發光元件6404的第二電極相當於共同電極6408。共同電極6408與形成在同一基板上的共同電位線電連接。

另外，將發光元件6404的第二電極（共同電極6408）設定為低電源電位。另外，低電源電位是指以電源線6407所設定的高電源電位為基準滿足低電源電位<高電源電位的電位，作為低電源電位例如可以設定為GND、0V等。將該高電源電位與低電源電位的電位差施加到發光元件6404上，而使電流流過發光元件6404以使發光元件6404發光，從而以使高電源電位與低電源電位的電位差成為發光元件6404的正向臨界值電壓以上的方式分別設定每個電位。

另外，還可以使用發光元件驅動電晶體6402的閘極電容代替電容元件6403而省略電容元件6403。至於發光元件驅動電晶體6402的閘極電容，也可以在通道區域與閘極電極之間形成有電容。

在此，當採用電壓輸入電壓驅動方式時，對發光元件驅動電晶體6402的閘極輸入足以使發光元件驅動電晶體6402處於導通或截止的兩種狀態的視頻信號。即，使發光

元件驅動電晶體 6402 在線性區域中工作。由於使發光元件驅動電晶體 6402 在線性區域中工作，所以將比電源線 6407 的電壓高的電壓施加到發光元件驅動電晶體 6402 的閘極。另外，對信號線 6405 施加（電源線電壓 + 發光元件驅動電晶體 6402 的 V_{th} ）以上的電壓。

另外，當進行類比灰度級驅動而代替數位時間灰度級驅動時，藉由使信號的輸入不同，可以使用與圖 10 相同的像素結構。

當進行類比灰度級驅動時，對發光元件驅動電晶體 6402 的閘極施加發光元件 6404 的正向電壓 + 發光元件驅動電晶體 6402 的 V_{th} 以上的電壓。發光元件 6404 的正向電壓是指當設定為所希望的亮度時的電壓，至少大於正向臨界值電壓。另外，藉由輸入使發光元件驅動電晶體 6402 在飽和區域中工作的視頻信號，可以使電流流過發光元件 6404。為了使發光元件驅動電晶體 6402 在飽和區域中工作，將電源線 6407 的電位設定為高於發光元件驅動電晶體 6402 的閘極電位。藉由將視頻信號設定為類比方式，可以使與視頻信號對應的電流流過發光元件 6404，而進行類比灰度級驅動。

此外，圖 10 所示的像素結構不侷限於此。例如，也可以還對圖 10 所示的像素追加開關、電阻元件、電容元件、電晶體或邏輯電路等。

接著，參照圖 11A 至 11C 說明發光元件的結構。在此，以發光元件驅動 TFT 是 n 型的情況為例子來說明像素的截面

結構。用於圖 11A、11B和 11C的半導體裝置的發光元件驅動 TFT7001、7011、7021可以與實施例模式 1至實施例模式 5所示的配置在像素中的薄膜電晶體同樣地製造，並且發光元件驅動 TFT7001、7011、7021是包括氧化物半導體層的可靠性高的薄膜電晶體。此外，也可以將實施例模式 1至實施例模式 5所示的配置在像素中的薄膜電晶體用作 TFT7001、7011、7021。

爲了得到發光，發光元件的陽極或陰極的至少一方是透明即可。而且，在基板上形成薄膜電晶體及發光元件，並且發光元件有如下結構，即從與基板相反的面得到發光的頂部發射、從基板一側的面得到發光的底部發射以及從基板一側及與基板相反的面得到發光的雙面發射結構。像素結構可以應用於任何發射結構的發光元件。

使用圖 11A說明頂部發射結構的發光元件。

在圖 11A中示出當發光元件驅動 TFT7001是 n型，並且從發光元件 7002發射的光穿過陽極 7005一側時的像素的截面圖。在圖 11A中，發光元件 7002的陰極 7003與發光元件驅動 TFT7001電連接，在陰極 7003上按順序層疊有發光層 7004、陽極 7005。作爲陰極 7003，只要是功函數小且反射光的導電膜，就可以使用各種材料。例如，較佳的採用 Ca、Al、MgAg、AlLi等。而且，發光層 7004可以由單層或多個層的疊層構成。當發光層 7004由多個層構成時，在陰極 7003上按順序層疊電子植入層、電子傳輸層、發光層、電洞傳輸層、電洞植入層。注意，不需要設置上述的所有

層。使用透光導電材料形成陽極 7005，也可以使用透光導電膜，例如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（以下稱為 ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。

另外，在陰極 7003 和與此相鄰的陰極 7008 之間以覆蓋它們的端部的方式設置有分隔壁 7009。分隔壁 7009 使用聚醯亞胺、丙烯酸樹脂、聚醯胺、環氧樹脂等的有機樹脂膜、無機絕緣膜或聚矽氧烷來形成。特別較佳的是，以如下條件形成分隔壁 7009：使用感光樹脂材料，使分隔壁 7009 的側面成為具有連續曲率的傾斜面。在使用感光樹脂材料作為分隔壁 7009 時，可以省略形成抗蝕劑掩罩的步驟。

使用陰極 7003 及陽極 7005 夾有發光層 7004 的區域相當於發光元件 7002。在圖 11A 所示的像素中，從發光元件 7002 發射的光如箭頭所示那樣發射到陽極 7005 一側。

接著，使用圖 11B 說明底部發射結構的發光元件。圖 11B 示出在發光元件驅動 TFT 7011 是 n 型，並且從發光元件 7012 發射的光向陰極 7013 一側發射的情況下的像素的截面圖。在圖 11B 中，在與發光元件驅動 TFT 7011 電連接的具有透光性的導電膜 7017 上形成有發光元件 7012 的陰極 7013，並且在陰極 7013 上按順序層疊有發光層 7014、陽極 7015。另外，當陽極 7015 具有透光性時，也可以覆蓋陽極上地形成有用來反射光或進行遮光的遮罩膜 7016。與圖 11A 的情況同樣地，作為陰極 7013，只要是功函數小的導電材料

，就可以使用各種材料。但是，將其厚度設定為透過光的程度（較佳的為5nm至30nm左右）。例如，也可以將膜厚度為20nm的鋁膜用作陰極7013。而且，與圖11A同樣地，發光層7014可以由單層或多個層的疊層構成。陽極7015不需要透過光，但是可以與圖11A同樣地使用具有透光性的導電材料形成。並且，雖然作為遮罩膜7016例如可以使用反射光的金屬等，但是不侷限於金屬膜。例如，也可以使用添加有黑色的顏料的樹脂等。

另外，在導電膜7017和與此相鄰的導電膜7018之間以覆蓋它們的端部的方式設置有分隔壁7019。分隔壁7019使用聚醯亞胺、丙烯酸樹脂、聚醯胺、環氧樹脂等的有機樹脂膜、無機絕緣膜或聚矽氧烷來形成。特別較佳的是，以如下條件形成分隔壁7019：使用感光樹脂材料，使分隔壁7019的側面成為具有連續曲率的傾斜面。在使用感光樹脂材料作為分隔壁7019時，可以省略形成抗蝕劑掩罩的步驟。

由陰極7013及陽極7015夾有發光層7014的區域相當於發光元件7012。在圖11B所示的像素中，從發光元件7012發射的光如箭頭所示那樣向陰極7013一側發射。

接著，使用圖11C說明雙面發射結構的發光元件。在圖11C中，在與發光元件驅動TFT7021電連接的具有透光性的導電膜7027上形成有發光元件7022的陰極7023，並且在陰極7023上按順序層疊有發光層7024、陽極7025。與圖11A的情況同樣地，作為陰極7023，只要是功函數小的導

電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度。例如，可以將膜厚度為20nm的Al用作陰極7023。而且，與圖11A同樣地，發光層7024可以由單層或多個層的疊層構成。陽極7025可以與圖11A同樣地使用透光導電材料形成。

另外，在導電膜7027和與此相鄰的導電膜7028之間以覆蓋它們的端部的方式設置有分隔壁7029。分隔壁7029使用聚醯亞胺、丙烯酸樹脂、聚醯胺、環氧樹脂等的有機樹脂膜、無機絕緣膜或聚矽氧烷來形成。特別較佳的是，以如下條件形成分隔壁7029：使用感光樹脂材料，使分隔壁7029的側面成為具有連續曲率的傾斜面。在使用感光樹脂材料作為分隔壁7029時，可以省略形成抗蝕劑掩罩的步驟。

陰極7023、發光層7024和陽極7025重疊的部分相當於發光元件7022。在圖11C所示的像素中，從發光元件7022發射的光如箭頭所示那樣向陽極7025一側和陰極7023一側這兩側發射。

注意，雖然在此描述了有機EL元件作為發光元件，但是也可以設置無機EL元件作為發光元件。

注意，雖然在此示出了控制發光元件的驅動的薄膜電晶體（發光元件驅動TFT）與發光元件電連接的例子，但是也可以採用在發光元件驅動TFT和發光元件之間連接有電流控制TFT的結構。

注意，半導體裝置不侷限於圖11A至圖11C所示的結構

而可以根據本發明說明所公開的技術思想進行各種變形。

接著，參照圖9A和9B說明相當於半導體裝置的一個實施例的發光顯示面板（也稱為發光面板）的外觀及截面。圖9A是一種面板的平面圖，其中利用密封材料在第一基板與第二基板之間密封形成在第一基板上的薄膜電晶體及發光元件。圖9B相當於沿著圖9A的H-I的截面圖。

以圍繞設置在第一基板4501上的像素部4502、信號線驅動電路4503a、4503b及掃描線驅動電路4504a、4504b的方式設置有密封材料4505。此外，在像素部4502、信號線驅動電路4503a、4503b及掃描線驅動電路4504a、4504b上設置有第二基板4506。因此，像素部4502、信號線驅動電路4503a、4503b以及掃描線驅動電路4504a、4504b與填料4507一起由第一基板4501、密封材料4505和第二基板4506密封。像這樣，為了不暴露於空氣，較佳的使用高氣密性且少漏氣的保護薄膜（貼合薄膜、紫外線固化樹脂薄膜等）、覆蓋材料進行封裝（密封）。

此外，設置在第一基板4501上的像素部4502、信號線驅動電路4503a、4503b及掃描線驅動電路4504a、4504b包括多個薄膜電晶體。在圖9B中例示包括在像素部4502中的薄膜電晶體4510和包括在信號線驅動電路4503a中的薄膜電晶體4509。

可以將實施例模式1至實施例模式5所示的包括氧化物半導體層的可靠性高的薄膜電晶體用於薄膜電晶體4509、4510。較佳地是，作為驅動電路用薄膜電晶體4509，可以

使用實施例模式3所示的薄膜電晶體270，作為像素用薄膜電晶體4510，可以使用實施例模式3所示的薄膜電晶體220。在本實施例模式中，薄膜電晶體4509、4510是n通道型薄膜電晶體。

在絕緣層4544上，在重疊於驅動電路用薄膜電晶體4509的氧化物半導體層的通道形成區的位置設置有導電層4540。藉由將導電層4540設置在重疊於氧化物半導體層的通道形成區的位置，可以降低BT試驗前後的薄膜電晶體4509的臨界值電壓的變化量。另外，導電層4540的電位既可與薄膜電晶體4509的閘極電極層相同又可不同，還可以用作第二閘極電極層。另外，導電層4540的電位可以為GND、0V或浮動狀態。

在薄膜電晶體4509中，形成有用作通道保護層的絕緣層4541a和覆蓋氧化物半導體層的疊層的邊緣部（包括側面）的絕緣層4541b。與此同樣，在薄膜電晶體4510中，形成有用作通道保護層的絕緣層4542a和覆蓋氧化物半導體層的疊層的邊緣部（包括側面）的絕緣層4542b。

覆蓋氧化物半導體層的疊層的邊緣部（包括側面）的氧化物絕緣層，即絕緣層4541b和絕緣層4542b可以拉開閘極電極層和形成在其上方或周圍的佈線層（源極佈線層、電容佈線層等）的距離，來可以實現寄生電容的降低。只要使用與實施例模式1至5所示的氧化物絕緣層107a和氧化物絕緣層107b同樣的材料和方法形成絕緣層4541a、絕緣層4541b、絕緣層4542a和絕緣層4542b，即可。另外，薄

膜電晶體由用作平坦化絕緣膜的絕緣層4543覆蓋，以降低薄膜電晶體的表面凹凸。這裏，作為絕緣層4541a、絕緣層4541b、絕緣層4542a和絕緣層4542b，使用實施例模式1藉由濺射法形成氧化矽膜。

另外，在絕緣層4541a、絕緣層4541b、絕緣層4542a和絕緣層4542b上形成有絕緣層4543。只要使用與實施例模式1所示的保護絕緣層108同樣的材料和方法形成絕緣層4543，即可。這裏，作為絕緣層4543，藉由RF濺射法形成氮化矽膜。

另外，形成絕緣層4544作為平坦化絕緣膜。只要使用與實施例模式3所示的平坦化絕緣層204同樣的材料和方法形成絕緣層4544，即可。這裏，作為絕緣層4544，使用丙烯酸樹脂。

在本實施例模式中，也可以採用由氮化物絕緣膜包圍像素部的多個薄膜電晶體的結構。只要使用氮化物絕緣膜作為絕緣層4543和閘極絕緣層，以至少包圍主動矩陣基板的像素部的邊緣的方式設置絕緣層4543和閘極絕緣層接觸的區域，即可。根據該製程，可以防止來自外部的水分的侵入。另外，在完成作為半導體裝置，例如顯示裝置的裝置之後也可以在較長期間防止來自外部的水分的侵入，可以提高裝置的長期可靠性。

此外，附圖標記4511相當於發光元件，發光元件4511所具有的作為像素電極的第一電極層4517與薄膜電晶體4510的源極電極層或汲極電極層電連接。注意，雖然發光

元件 4511 的結構是第一電極層 4517、電場發光層 4512、第二電極層 4513 的疊層結構，但是不侷限於所示出的結構。可以根據從發光元件 4511 得到的光的方向等適當地改變發光元件 4511 的結構。

使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷形成分隔壁 4520。特別較佳的是，使用感光材料，在第一電極層 4517 上形成開口部，以將該開口部的側壁形成為具有連續的曲率的傾斜面。

電場發光層 4512 既可以由單層構成，又可以由多個層的疊層構成。

也可以在第二電極層 4513 及分隔壁 4520 上形成保護膜，以防止氧、氫、水分、二氧化碳等侵入到發光元件 4511 中。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

另外，供應到信號線驅動電路 4503a、4503b、掃描線驅動電路 4504a、4504b 或像素部 4502 的各種信號及電位是從 FPC4518a、4518b 供應的。

連接端子電極 4515 由與發光元件 4511 所具有的第一電極層 4517 相同的導電膜形成，並且端子電極 4516 由與薄膜電晶體 4509 所具有的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4515 藉由各向異性導電膜 4519 電連接到 FPC4518a 所具有的端子。

位於從發光元件 4511 的發光的方向上的第二基板需要

具有透光性。在此情況下，使用如玻璃板、塑膠板、聚酯薄膜或丙烯酸樹脂薄膜等的具有透光性的材料。

此外，作為填充 4507，除了氮或氬等的惰性氣體之外，還可以使用紫外線固化樹脂或熱固化樹脂。可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）或 EVA（乙烯和醋酸乙烯酯的共聚物）。例如，作為填充料使用氮即可。

另外，若有需要，也可以在發光元件的發射面上適當地設置諸如偏光片、圓偏光片（包括橢圓偏光片）、相位差板（ $\lambda/4$ 片、 $\lambda/2$ 片）、濾色片等的光學薄膜。另外，也可以在偏光片或圓偏光片上設置抗反射膜。例如，可以進行抗眩光處理，該處理是能夠利用表面的凹凸來擴散反射光而降低眩光的處理。

信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 也可以作為在另行準備的基板上由單晶半導體膜或多晶半導體膜形成的驅動電路而安裝。此外，也可以另行僅形成信號線驅動電路或其一部分、或者掃描線驅動電路或其一部分而安裝。據此，不侷限於圖 9A 和 9B 的結構。

藉由上述步驟，可以製造作為半導體裝置的可靠性高的發光顯示裝置（顯示面板）。

另外，本實施例模式所示的結構可以適當地組合其他實施例模式所示的結構來使用。

實施例模式 10

本發明說明所公開的半導體裝置可以用於電子紙。電子紙可以用於顯示資訊的所有領域的電子設備。例如，可以將電子紙用於電子書閱讀器、海報、電車等的交通工具的車廂廣告、信用卡等的各種卡片中的顯示等。圖 18 示出電子設備的一個例子。

另外，圖 18 示出電子書閱讀器 2700 的一個例子。例如，電子書閱讀器 2700 由兩個框體，即框體 2701 及框體 2703 構成。框體 2701 及框體 2703 由軸部 2711 形成為一體，並且可以以該軸部 2711 為軸進行開閉動作。藉由該結構，可以進行如紙的書籍那樣的動作。

框體 2701 組裝有顯示部 2705，並且框體 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連續畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如可以在右邊的顯示部（圖 18 中的顯示部 2705）中顯示文章，並且在左邊的顯示部（圖 18 中的顯示部 2707）中顯示圖像。

此外，在圖 18 中示出框體 2701 具備操作部等的例子。例如，在框體 2701 中具備電源 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。另外，也可以採用在與框體的顯示部同一面上具備鍵盤、定位裝置等的結構。另外，也可以採用在框體的背面或側面具備外部連接端子（耳機端子、USB 端子或可以與 AC 適配器及 USB 電纜等各種電纜連接的端子等）、記錄媒體插入部等的結構。再者

，電子書閱讀器2700也可以具有電子詞典的功能。

此外，電子書閱讀器2700也可以採用以無線方式收發資訊的結構。還可以採用以無線方式從電子書籍伺服器購買所希望的書籍資料等並下載的結構。

另外，本實施例模式所示的結構可以適當地組合其他實施例模式所示的結構來使用。

實施例模式11

本發明說明所公開的半導體裝置可以應用於各種電子設備（也包括遊戲機）。作為電子設備，例如可以舉出：電視裝置（也稱為電視或電視接收機）；用於電腦等的監視器；數位相機；數位攝像機；數位相框；行動電話機（也稱為行動電話、行動電話裝置）；可攜式遊戲機；可攜式資訊終端；聲音再現裝置；彈珠機等大型遊戲機等。

圖19A示出電視裝置9600的一個例子。在電視裝置9600中，框體9601組裝有顯示部9603。利用顯示部9603可以顯示影像。此外，在此示出利用支架9605支撐框體9601的結構。

可以藉由利用框體9601所具備的操作開關、另行提供的遙控操作機9610進行電視裝置9600的操作。藉由利用遙控操作機9610所具備的操作鍵9609，可以進行頻道及音量的操作，並可以對在顯示部9603上顯示的影像進行操作。此外，也可以採用在遙控操作機9610中設置顯示從該遙控操作機9610輸出的資訊的顯示部9607的結構。

另外，電視裝置 9600 採用具備接收機、數據機等的結構。藉由利用接收機可以接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

圖 19B 示出數位相框 9700 的一個例子。例如，在數位相框 9700 中，框體 9701 組裝有顯示部 9703。顯示部 9703 可以顯示各種圖像，例如藉由顯示使用數位相機等拍攝的圖像資料，可以發揮與一般的相框同樣的功能。

另外，數位相框 9700 採用具備操作部、外部連接端子（USB 端子、可以與 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。這種結構也可以組裝到與顯示部相同面上，但是藉由將它設置在側面或背面上來提高設計性，所以是較佳的。例如，可以對數位相框的記錄媒體插入部插入儲存有由數位相機拍攝的圖像資料的記憶體並提取圖像資料，然後可以將所提取的圖像資料顯示於顯示部 9703。

此外，數位相框 9700 也可以採用以無線的方式收發資訊的結構。也可以採用以無線的方式提取所希望的圖像資料並進行顯示的結構。

圖 20A 示出一種可攜式遊戲機，它由框體 9881 和框體 9891 的兩個框體構成，並且藉由連接部 9893 可以開閉地連接。框體 9881 安裝有顯示部 9882，並且框體 9891 安裝有顯示部 9883。另外，圖 20A 所示的可攜式遊戲機還具備揚聲

器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入單元（操作鍵 9885、連接端子 9887、感測器 9888（包括測定如下因素的功能：力量、位移、位置、速度、加速度、角速度、旋轉數、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）以及麥克風 9889）等。當然，可攜式遊戲機的結構不侷限於上述結構，只要採用至少具備本發明說明所公開的半導體裝置的結構即可，並且可以採用適當地設置有其他附屬設備的結構。圖 20A 所示的可攜式遊戲機具有如下功能：讀出儲存在記錄媒體中的程式或資料並將它顯示在顯示部上；以及藉由與其他可攜式遊戲機進行無線通信而實現資訊共用。另外，圖 20A 所示的可攜式遊戲機所具有的功能不侷限於此，而可以具有各種各樣的功能。

圖 20B 示出大型遊戲機的一種的投幣機 9900 的一個例子。在投幣機 9900 的框體 9901 中安裝有顯示部 9903。另外，投幣機 9900 還具備如起動手柄、停止開關等的操作單元、投幣口、揚聲器等。當然，投幣機 9900 的結構不侷限於此，只要採用至少具備本發明說明所公開的半導體裝置的結構即可。因此，可以採用適當地設置有其他附屬設備的結構。

圖 21A 是示出可攜式電腦的一個例子的立體圖。

在圖 21A 所示的可攜式電腦中，當將連接上部框體 9301 與下部框體 9302 的鉸鏈裝置設置為關閉狀態時，可以使具

有顯示部 9303 的上部框體 9301 與具有鍵盤 9304 的下部框體 9302 處於重疊狀態，而便於攜帶，並且，當使用者利用鍵盤進行輸入時，將鉸鏈裝置設置為打開狀態，而可以看著顯示部 9303 進行輸入操作。

另外，下部框體 9302 除了鍵盤 9304 之外還包括進行輸入操作的定位裝置 9306。另外，當顯示部 9303 為觸屏輸入面板時，可以藉由觸摸顯示部的一部分來進行輸入操作。另外，下部框體 9302 還包括 CPU、硬碟等的計算功能部。此外，下部框體 9302 還具有用來插入其他的裝置，例如符合 USB 的通信標準的通信電纜的外部連接埠 9305。

在上部框體 9301 中還具有藉由滑動到上部框體 9301 內部而可以收納的顯示部 9307，因此可以實現寬顯示畫面。另外，使用者可以調節可以收納的顯示部 9307 的畫面的方向。另外，當可以收納的顯示部 9307 為觸屏輸入面板時，藉由觸摸可以收納的顯示部的一部分來可以進行輸入操作。

顯示部 9303 或可以收納的顯示部 9307 使用如液晶顯示面板、有機發光元件或無機發光元件等的發光顯示面板等的影像顯示裝置。

另外，圖 21A 的可攜式電腦安裝有接收機等，而可以接收電視廣播並將影像顯示於顯示部 9303 或顯示部 9307。另外，使用者可以在連接上部框體 9301 與下部框體 9302 的鉸鏈裝置處於關閉狀態的狀態下藉由滑動顯示部 9307 而使其整個面露出並調整畫面角度來觀看電視廣播。此時，不

將鉸鏈裝置設置為打開狀態來使顯示部 9303 進行顯示，而僅啟動只顯示電視廣播的電路，所以可以將耗電量控制為最少，這對於電池容量有限的可攜式電腦而言是十分有利的。

另外，圖 21B 是示出像手錶一樣能夠戴在使用者的手臂上的行動電話的一個例子的立體圖。

該移動電話包括：至少包括具有電話功能的通信裝置及電池的主體；用來將主體戴在手臂上的帶部 9204；調節帶部與手臂的固定狀態的調節部 9205；顯示部 9201；揚聲器 9207；以及麥克風 9208。

另外，主體具有操作開關 9203。除了按一下電源輸入開關、顯示轉換開關、攝像開始指示開關以外，還按一下按鈕，就可以啟動網路用程式等，可以對應於各種功能。

藉由用手指或輸入筆等觸碰顯示部 9201；操作操作開關 9203；或者對麥克風 9208 輸入聲音來進行該移動電話的輸入操作。另外，在圖 21B 中，示出顯示在顯示部 9201 上的顯示鈕 9202，藉由用手指等觸碰該顯示鈕 9202 來可以進行輸入。

另外，主體具有相機部 9206，該相機部 9206 具有將藉由攝影透鏡成像的物體圖像轉換為電子視頻信號的攝影單元。另外，也可以不特別設置相機部。

另外，圖 21B 所示的行動電話安裝有電視廣播的接收機等，而可以接收電視廣播並將影像顯示於顯示部 9201，並且它還具有記憶體等的儲存裝置等，而可以將電視廣播

錄像到記憶體中。此外，圖21B所示的行動電話還可以具有能夠收集GPS等的位置資訊的功能。

顯示部9201使用如液晶顯示面板、有機發光元件或無機發光元件等的發光顯示面板等的影像顯示裝置。由於圖21B所示的行動電話為小型且重量輕，所以其電池容量有限，從而較佳的將能夠使用低耗電量進行驅動的面板用作用於顯示部9201的顯示裝置。

另外，雖然在圖21B中示出戴在“手臂”上的方式的電子裝置，但是不侷限於此，只要是具有能夠攜帶的形狀的即可。

另外，本實施例模式所示的結構可以適當地組合其他實施例模式所示的結構來使用。

實施例模式12

在本實施例模式中，使用圖22至圖35說明具有實施例模式1至實施例模式5所示的薄膜電晶體的顯示裝置的例子作為半導體裝置的一個實施例。在本實施例模式中，使用圖22至圖35說明使用液晶元件作為顯示元件的液晶顯示裝置的例子。用於圖22至圖35的液晶顯示裝置的TFT628、629可以應用實施例模式1至實施例模式5所示的薄膜電晶體，其是可以以實施例模式1至實施例模式5所示的步驟同樣製造的電特性及可靠性高的薄膜電晶體。TFT628及TFT629是將氧化物半導體膜用作通道形成區的反交錯薄膜電晶體。

首先，示出VA（垂直對準）型液晶顯示裝置。VA型液晶顯示裝置是指控制液晶面板的液晶分子的排列的方式之一種。VA型液晶顯示裝置是當不被施加電壓時液晶分子朝向垂直於面板表面的方向的方式。在本實施例模式中，尤其設法將像素（pixel）分割為幾個區域（子像素），分別使分子倒向不同的方向。上述方法稱為多象限（multi-domain）化或多象限設計。在以下的說明中，說明採用多象限設計的液晶顯示裝置。

圖23及圖24分別示出像素電極及對置電極。注意，圖23是形成有像素電極的基板一側的俯視圖，而圖22示出對應於圖23中的線E-F的截面結構。此外，圖24是形成有對置電極的基板一側的俯視圖。在以下的說明中，參照上述附圖進行說明。

圖22示出層疊形成有TFT628、與其連接的像素電極層624以及儲存電容器630的基板600和形成有對置電極層640等的對置基板601並注入有液晶的狀態。

在對置基板601上形成有彩色膜636和對置電極層640，並且在對置電極層640上形成有突起644。在像素電極層624上形成對準膜648，在對置電極層640上也同樣地形成對準膜646。在基板600和對置基板601之間形成有液晶層650。

在基板600上形成TFT628、與其連接的像素電極層624以及儲存電容器630。像素電極層624在接觸孔623中連接到佈線618，該接觸孔623貫通覆蓋TFT628、佈線616以及

儲存電容器 630 的絕緣膜 620 和覆蓋絕緣膜 620 的絕緣膜 621 和覆蓋絕緣膜 621 的第三絕緣膜 622。適當地使用實施例模式 1 至實施例模式 5 所示的薄膜電晶體作為 TFT628。此外，儲存電容器 630 由第一電容佈線 604、第一閘極絕緣膜 606a 及第二閘極絕緣膜 606b 和第二電容佈線 617 構成，該第一電容佈線 604 在形成 TFT628 的閘極佈線 602 的同時形成，而該第二電容佈線 617 在形成佈線 616、618 的同時形成。

藉由重疊像素電極層 624、液晶層 650 以及對置電極層 640，形成液晶元件。

圖 23 示出基板 600 上的平面結構。使用實施例模式 3 所示的材料形成像素電極層 624。在像素電極層 624 中設置槽縫 625。槽縫 625 用來控制液晶的對準。

圖 23 所示的 TFT629 和與其連接的像素電極層 626 及儲存電容器 631 分別可以與 TFT628、像素電極層 624 及儲存電容器 630 同樣地形成。TFT628 和 TFT629 都與佈線 616 連接。其液晶顯示面板的像素由像素電極層 624 和像素電極層 626 構成。像素電極層 624 和像素電極層 626 是子像素。

圖 24 示出對置基板一側的平面結構。對置電極層 640 較佳的使用與像素電極層 624 同樣的材料形成。在對置電極層 640 上形成有控制液晶的對準的突起 644。此外，在圖 24 中，以虛線表示形成在基板 600 上的像素電極層 624 及像素電極層 626，並且示出對置電極層 640 和像素電極層 624 及像素電極層 626 重疊而配置的樣子。

圖 25 示出該像素結構的等效電路。TFT628 和 TFT629

都連接到閘極佈線 602、佈線 616。在此情況下，藉由使電容佈線 604和電容佈線 605的電位為不同，可以使液晶元件 651的工作和液晶元件 652的工作為不同。就是說，藉由分別控制電容佈線 604和電容佈線 605的電位，精密地控制液晶的對準來擴大視角。

當對設置有槽縫 625的像素電極層 624施加電壓時，在槽縫 625附近產生電場應變（傾斜電場）。藉由將該槽縫 625和對置基板 601一側的突起 644配置為相互咬合，有效地產生傾斜電場而控制液晶的對準。由此，在每個部分中使液晶對準的方向為不同。就是說，進行多象限化來擴大液晶面板的視角。

接著，對於與上述不同的 VA 型液晶顯示裝置，參照圖 26至圖 29進行說明。

圖 26和圖 27示出 VA 型液晶顯示面板的像素結構。圖 27是基板 600的俯視圖，而圖 26示出對應於圖 27所示的截斷線 Y-Z 的截面結構。

在其像素結構中，一個像素包括多個像素電極，並且每個像素電極與 TFT 連接。每個 TFT 構成為由不同的閘極信號驅動。就是說，在多象限設計的像素中具有獨立地控制施加到各個像素電極的信號的結構。

像素電極層 624在分別穿過絕緣膜 620、絕緣膜 621和絕緣膜 622的接觸孔 623中藉由佈線 618連接到 TFT 628。此外，像素電極層 626在分別穿過絕緣膜 620、絕緣膜 621和絕緣膜 622的接觸孔 627中藉由佈線 619連接到 TFT 629。

TFT628的閘極佈線602和TFT629的閘極佈線603彼此分離，以可以接收不同的閘極信號。另一方面，TFT628和TFT629共同使用用作資料線的佈線616。TFT628和TFT629可以適當地使用實施例模式1至實施例模式5所示的薄膜電晶體。另外，在閘極佈線602、閘極佈線603和電容佈線690上形成有第一閘極絕緣膜606a和第二閘極絕緣膜606b。

像素電極層624和像素電極層626的形狀不同，並且由槽縫625分離。像素電極層626以圍繞擴展為V字形的像素電極層624的外側的方式形成。藉由由TFT628和TFT629使施加到像素電極層624和像素電極層626的電壓的時序為不同，控制液晶的對準。圖29示出該像素結構的等效電路。TFT628與閘極佈線602連接，而TFT629與閘極佈線603連接。另外，TFT628和TFT629都連接到佈線616。藉由將不同的閘極信號提供到閘極佈線602和閘極佈線603，可以使液晶元件651和液晶元件652的工作不同。就是說，藉由分別控制TFT628和TFT629的工作，可以精密地控制液晶元件651和液晶元件652的液晶的對準來擴大視角。

在對置基板601上形成有彩色膜636和對置電極層640。此外，在彩色膜636和對置電極層640之間形成平坦化膜637，以防止液晶的對準無序。圖28示出對置基板一側的結構。對置電極層640是不同的像素之間共同使用的電極，其中形成有槽縫641。藉由將該槽縫641和像素電極層624及像素電極層626一側的槽縫625配置為互相咬合，可

以有效地產生傾斜電場而控制液晶的對準。由此，可以在每個部分中使液晶對準的方向為不同，以擴大視角。另外，在圖 28 中，以虛線表示形成在基板 600 上的像素電極層 624 及像素電極層 626，而示出對置電極層 640 和像素電極層 624 及像素電極層 626 重疊而配置的樣子。

在像素電極層 624 及像素電極層 626 上形成有對準膜 648，在對置電極層 640 上也同樣形成有對準膜 646。在基板 600 和對置基板 601 之間形成有液晶層 650。另外，藉由重疊像素電極層 624、液晶層 650 以及對置電極層 640，形成第一液晶元件。此外，藉由重疊像素電極層 626、液晶層 650 以及對置電極層 640，形成第二液晶元件。另外，參照圖 26 至圖 29 進行了說明的顯示面板的像素結構採用一個像素中設置有第一液晶元件和第二液晶元件的多象限結構。

接著，示出水平電場方式的液晶顯示裝置。水平電場方式是藉由對於單元內的液晶分子在水平方向上施加電場驅動液晶來進行灰度級表現的方式。藉由該方式，可以將視角擴大為大約 180 度。在以下的說明中，說明採用水平電場方式的液晶顯示裝置。

圖 30 示出重疊形成有電極層 607、TFT 628 和與其連接的像素電極層 624 的基板 600 和對置基板 601 並注入有液晶的狀態。對置基板 601 形成有彩色膜 636、平坦化膜 637 等。另外，對置電極不設置在對置基板 601 一側。另外，在基板 600 和對置基板 601 之間形成有液晶層 650，其中間夾

有對準膜 646 及對準膜 648。

在基板 600 上形成電極層 607、連接到電極層 607 的電容佈線 604 以及 TFT628。可以在形成 TFT628 的閘極佈線 602 的同時形成電容佈線 604。作為 TFT628，可以應用實施例模式 1 至實施例模式 5 所示的薄膜電晶體。電極層 607 可以使用與實施例模式 3 所示的像素電極層 227 相同的材料。此外，電極層 607 以大致區分為像素形狀的形狀而形成。注意，在電極層 607 及電容佈線 604 上形成第一閘極絕緣膜 606a 及第二閘極絕緣膜 606b。

TFT628 的佈線 616、佈線 618 形成在第一閘極絕緣膜 606a 及第二閘極絕緣膜 606b 上。佈線 616 是在液晶面板中傳送視頻信號的資料線，且是在一個方向上延伸的佈線，同時，還與 TFT628 的源極區或汲極區連接而成為源極及汲極中的一方電極。佈線 618 是成為源極及汲極中的另一方電極且與像素電極層 624 連接的佈線。

在佈線 616、佈線 618 上形成絕緣膜 620 及絕緣膜 621。此外，在絕緣膜 620 上形成像素電極層 624，該像素電極層 624 在形成在絕緣膜 620 及絕緣膜 621 中的接觸孔中與佈線 618 連接。像素電極層 624 使用與實施例模式 3 所示的像素電極層 227 同樣的材料形成。

藉由上述方法，在基板 600 上形成 TFT628 和與其連接的像素電極層 624。注意，儲存電容器形成在電極層 607 和像素電極層 624 之間。

圖 31 是示出像素電極的結構的俯視圖。圖 30 示出對應

於圖31所示的截斷線O-P的截面結構。在像素電極層624中，設置槽縫625。槽縫625用來控制液晶的對準。在此情況下，在電極層607和像素電極層624之間產生電場。電極層607和像素電極層624之間形成有第一閘極絕緣膜606a及第二閘極絕緣膜606b，但是第一閘極絕緣膜606a及第二閘極絕緣膜606b的厚度為50nm至200nm，與厚度為2 μ m至10 μ m的液晶層相比充分薄，因此實際上在與基板600平行的方向（水平方向）上產生電場。由該電場控制液晶的對準。藉由利用該大致平行於基板的方向的電場使液晶分子在水平方向上旋轉。在此情況下，由於液晶分子在任何狀態下都處於水平狀態，所以因觀看角度的對比度等的影響很少，從而擴大視角。此外，因為電極層607和像素電極層624都是透光電極，所以可以提高孔徑比。

接著，說明水平電場方式的液晶顯示裝置的其他例子。

圖32和圖33示出IPS型液晶顯示裝置的像素結構。圖33是俯視圖，而圖32示出對應於圖33所示的截斷線V-W的截面結構。在以下的說明中，參照上述兩個附圖進行說明。

圖32示出重疊形成有TFT628和與其連接的像素電極層624的基板600和對置基板601並注入有液晶的狀態。對置基板601形成有彩色膜636、平坦化膜637等。另外，對置電極不設置在對置基板601一側。在基板600和對置基板601之間形成有液晶層650，其中間夾有對準膜646及對準

膜 648。

在基板 600 上形成共同電位線 609 以及 TFT628。可以在形成 TFT628 的閘極佈線 602 的同時形成共同電位線 609。作為 TFT628，可以應用實施例模式 1 至實施例模式 5 所示的薄膜電晶體。

TFT628 的佈線 616、佈線 618 形成在第一閘極絕緣膜 606a 及第二閘極絕緣膜 606b 上。佈線 616 是在液晶面板中傳送視頻信號的資料線，且是在一個方向上延伸的佈線，同時，還與 TFT628 的源極區或汲極區連接而成為源極及汲極中的一方電極。佈線 618 是成為源極及汲極中的另一方電極且與像素電極層 624 連接的佈線。

在佈線 616、佈線 618 上形成絕緣膜 620 及絕緣膜 621。此外，在絕緣膜 620 及絕緣膜 621 上形成像素電極層 624，該像素電極層 624 藉由形成在絕緣膜 620 及絕緣膜 621 中的接觸孔 623 與佈線 618 連接。像素電極層 624 使用與實施例模式 3 所示的像素電極層 227 同樣的材料形成。注意，如圖 33 所示，像素電極層 624 被形成為與在形成共同電位線 609 的同時形成的梳形電極之間產生水平電場。像素電極層 624 的梳齒部和在形成共同電位線 609 的同時形成的梳形電極互相咬合。

當施加到像素電極層 624 的電位與共同電位線 609 的電位之間產生電場時，由該電場控制液晶的對準。藉由利用該大致平行於基板的方向的電場使液晶分子在水準方向上旋轉。在此情況下，由於液晶分子在任何狀態下都處於水

平狀態，所以因觀看角度的對比度等的影響很少，從而擴大視角。

像這樣，在基板600上形成TFT628以及與其連接的像素電極層624。儲存電容器藉由在共同電位線609和電容電極615之間設置第一閘極絕緣膜606a及第二閘極絕緣膜606b而形成。電容電極615和像素電極層624藉由接觸孔633相互連接。

接著，示出TN型的液晶顯示裝置的方式。

圖34和圖35示出TN型液晶顯示裝置的像素結構。圖35是俯視圖，而圖34示出對應於圖35所示的截斷線K-L的截面結構。在以下的說明中，參照上述兩個附圖進行說明。

像素電極層624藉由形成在絕緣膜620及621中的接觸孔623和佈線618與TFT628連接。用作資料線的佈線616與TFT628連接。作為TFT628，可以應用實施例模式1至實施例模式5所示的TFT的任何一種。

像素電極層624使用實施例模式3所示的像素電極層227形成。可以在形成TFT628的閘極佈線602的同時形成電容佈線604。在閘極佈線602和電容佈線604上形成有第一閘極絕緣膜606a及第二閘極絕緣膜606b。儲存電容器藉由在電容佈線604和電容電極615之間設置第一閘極絕緣膜606a及第二閘極絕緣膜606b而形成。電容電極615和像素電極層624藉由接觸孔633相互連接。

在對置基板601上形成有彩色膜636、對置電極層640。此外，在彩色膜636和對置電極層640之間形成平坦化膜

637，以防止液晶的對準無序。在像素電極層624和對置電極層640之間形成有液晶層650，其中間夾有對準膜648及對準膜646。

藉由重疊像素電極層624、液晶層650以及對置電極層640，形成液晶元件。

此外，彩色膜636也可以形成在基板600一側。此外，在基板600的與形成有薄膜電晶體的面相反的面上貼附偏光片，或者在對置基板601的與形成有對置電極層640的面相反的面上貼附偏光片。

如上所述那樣，藉由使用將源極電極層及汲極電極層形成爲不重疊於閘極電極層而充分地降低了寄生電容的底閘型薄膜電晶體，可以提供可靠性高的液晶顯示裝置。

另外，本實施例模式所示的結構可以適當地組合其他實施例模式所示的結構而使用。

【圖式簡單說明】

在附圖中：

圖1A和1B是示出本發明的一個實施例的平面圖及截面圖；

圖2A至2E是示出本發明的一個實施例的步驟的截面圖；

圖3是示出本發明的一個實施例的截面圖；

圖4A1及4A2和圖4B1及4B2是示出本發明的一個實施例的平面圖及截面圖；

圖 5A 和 5B 是示出本發明的一個實施例的平面圖及截面圖；

圖 6A 和 6B 是示出本發明的一個實施例的截面圖；

圖 7A 至 7C 是示出本發明的一個實施例的截面圖；

圖 8A1 及 8A2 和圖 8B 是說明半導體裝置的圖；

圖 9A 和 9B 是說明半導體裝置的圖；

圖 10 是說明半導體裝置的像素等效電路的圖；

圖 11A 至 11C 是說明半導體裝置的圖；

圖 12A 和 12B 是說明半導體裝置的方塊圖；

圖 13A 和 13B 分別是說明信號線驅動電路的結構的圖和說明其工作的時序圖；

圖 14A 至 14D 是示出移位暫存器的結構的電路圖；

圖 15A 和 15B 分別是說明移位暫存器的結構的圖和說明其工作的時序圖；

圖 16 是說明半導體裝置的圖；

圖 17 是說明半導體裝置的圖；

圖 18 是示出電子書閱讀器的一個例子的外觀圖；

圖 19A 和 19B 是示出電視裝置及數位相框的例子的外觀圖；

圖 20A 和 20B 是示出遊戲機的例子外觀圖；

圖 21A 和 21B 是示出可攜式電腦及行動電話機的一個例子的外觀圖；

圖 22 是說明半導體裝置的圖；

圖 23 是說明半導體裝置的圖；

圖 24 是說明半導體裝置的圖；

圖 25 是說明半導體裝置的圖；

圖 26 是說明半導體裝置的圖；

圖 27 是說明半導體裝置的圖；

圖 28 是說明半導體裝置的圖；

圖 29 是說明半導體裝置的圖；

圖 30 是說明半導體裝置的圖；

圖 31 是說明半導體裝置的圖；

圖 32 是說明半導體裝置的圖；

圖 33 是說明半導體裝置的圖；

圖 34 是說明半導體裝置的圖；以及

圖 35 是說明半導體裝置的圖。

【主要元件符號說明】

10：脈衝輸出電路

11：佈線

12：佈線

13：佈線

14：佈線

15：佈線

21：輸入端子

22：輸入端子

23：輸入端子

24：輸入端子

25：輸入端子

26：輸出端子

27：輸出端子

28：薄膜電晶體

31：電晶體

32：電晶體

33：電晶體

34：電晶體

35：電晶體

36：電晶體

37：電晶體

38：電晶體

39：電晶體

40：電晶體

41：電晶體

42：電晶體

43：電晶體

51：電源線

52：電源線

53：電源線

61：期間

62：期間

100：基板

102：閘極絕緣層

102a：第一閘極絕緣層

102b：第二閘極絕緣層

107：氧化物絕緣層

107a：氧化物絕緣層

107b：氧化物絕緣層

108：保護絕緣層

111：閘極電極層

112：閘極絕緣層

113：氧化物半導體層

113a：高電阻源極區

113b：高電阻汲極區

113c：第三區域

113d：第四區域

115a：源極電極層

115b：汲極電極層

122：閘極絕緣層

130：氧化物半導體膜

132：閘極絕緣層

132a：第一閘極絕緣層

132b：第二閘極絕緣層

134a：通道形成區

134b：第一區域

134c：第二區域

150：薄膜電晶體

200 : 基 板
 202a : 閘 極 絕 緣 層
 202b : 閘 極 絕 緣 層
 203 : 保 護 絕 緣 層
 204 : 平 坦 化 絕 緣 層
 205 : 共 同 電 位 線
 206 : 共 同 電 極 層
 211 : 閘 極 電 極 層
 213 : 通 道 形 成 區
 213a : 通 道 形 成 區
 213b : 第 一 區 域
 213c : 第 二 區 域
 214a : 高 電 阻 源 極 區
 214b : 高 電 阻 汲 極 區
 215a : 源 極 電 極 層
 215b : 汲 極 電 極 層
 216a : 氧 化 物 絕 緣 層
 216b : 氧 化 物 絕 緣 層
 220 : 薄 膜 電 晶 體
 221 : 端 子
 222 : 端 子
 223 : 連 接 電 極 層
 225 : 透 明 導 電 層
 226 : 電 極 層

227：像素電極層
 230：電容佈線層
 231：電容電極
 236：氧化物絕緣層
 250：電容佈線層
 252：氧化物半導體層
 256：源極佈線
 257：端子電極
 266：氧化物絕緣層
 270：薄膜電晶體
 271：閘極電極層
 273a：通道形成區
 273b：第一區域
 273c：第二區域
 274a：高電阻源極區
 274b：高電阻汲極區
 275a：源極電極層
 275b：汲極電極層
 276a：氧化物絕緣層
 276b：氧化物絕緣層
 277：導電層
 581：薄膜電晶體
 580：基板
 583：絕緣膜

585：絕緣層
587：電極層
588：電極層
589：球形粒子
590a：黑色區
590b：白色區
594：空洞
595：填料
596：基板
600：基板
601：對置基板
602：閘極佈線
603：閘極佈線
604：電容佈線
605：電容佈線
606a：閘極絕緣膜
606b：閘極絕緣膜
607：電極層
609：共同電位線
615：電容電極
616：佈線
617：電容佈線
618：佈線
619：佈線

620：絕緣膜
 621：絕緣膜
 622：絕緣膜
 623：接觸孔
 624：像素電極層
 625：槽縫
 626：像素電極層
 627：接觸孔
 628：TFT
 629：TFT
 630：儲存電容器
 631：儲存電容器
 633：接觸孔
 636：彩色膜
 637：平坦化膜
 640：對置電極層
 641：槽縫
 644：突起
 646：對準膜
 648：對準膜
 650：液晶層
 651：液晶元件
 652：液晶元件
 690：電容佈線

2600：TFT基板
2601：對置基板
2602：密封材料
2603：像素部
2604：顯示元件
2605：著色層
2606：偏光片
2607：偏光片
2608：佈線電路部
2609：撓性線路板
2610：冷陰極管
2611：反射板
2612：電路基板
2613：擴散板
2700：電子書閱讀器
2701：框體
2703：框體
2705：顯示部
2707：顯示部
2711：軸部
2721：電源
2723：操作鍵
2725：揚聲器
4001：基板

- 4002：像素部
- 4003：信號線驅動電路
- 4004：掃描線驅動電路
- 4005：密封材料
- 4006：第二基板
- 4008：液晶層
- 4010：薄膜電晶體
- 4011：薄膜電晶體
- 4013：液晶元件
- 4015：連接端子電極
- 4016：端子電極
- 4018：FPC
- 4019：各向異性導電膜
- 4020：絕緣層
- 4021：絕緣層
- 4030：像素電極層
- 4031：對置電極層
- 4032：絕緣層
- 4040：導電層
- 4041a：絕緣層
- 4041b：絕緣層
- 4042a：絕緣層
- 4042b：絕緣層
- 4503a：信號線驅動電路

4504a：掃描線驅動電路

4518a：FPC

4541a：絕緣層

4541b：絕緣層

4542a：絕緣層

4542b：絕緣層

4501：基板

4502：像素部

4505：密封材料

4506：基板

4507：填料

4509：薄膜電晶體

4510：薄膜電晶體

4511：發光元件

4512：電場發光層

4513：電極層

4515：連接端子電極

4516：端子電極

4517：電極層

4519：各向異性導電膜

4520：分隔壁

4540：導電層

4543：絕緣層

4544：絕緣層

- 5300：基板
- 5301：像素部
- 5302：第一掃描線驅動電路
- 5303：第二掃描線驅動電路
- 5304：信號線驅動電路
- 5305：時序控制電路
- 5601：移位暫存器
- 5602：開關電路
- 5603：薄膜電晶體
- 5604：佈線
- 5605：佈線
- 6400：像素
- 6401：開關電晶體
- 6402：驅動電晶體
- 6403：電容元件
- 6404：發光元件
- 6405：信號線
- 6406：掃描線
- 6407：電源線
- 6408：共同電極
- 7001：TFT
- 7002：發光元件
- 7003：陰極
- 7004：發光層

7005 : 陽 極
7008 : 陰 極
7009 : 分 隔 壁
7011 : 驅 動 TFT
7012 : 發 光 元 件
7013 : 陰 極
7014 : 發 光 層
7015 : 陽 極
7016 : 遮 罩 膜
7017 : 導 電 膜
7018 : 導 電 膜
7019 : 分 隔 壁
7021 : 驅 動 TFT
7022 : 發 光 元 件
7023 : 陰 極
7024 : 發 光 層
7025 : 陽 極
7027 : 導 電 膜
7028 : 導 電 膜
7029 : 分 隔 壁
9201 : 顯 示 部
9202 : 顯 示 鈕
9203 : 操 作 開 關
9205 : 調 節 部

9206：相機部

9207：揚聲器

9208：麥克風

9301：上部框體

9302：下部框體

9303：顯示部

9304：鍵盤

9305：外部連接埠

9306：定位裝置

9307：顯示部

9600：電視裝置

9601：框體

9603：顯示部

9605：支架

9607：顯示部

9609：操作鍵

9610：遙控操作機

9700：數位相框

9701：框體

9703：顯示部

9881：框體

9882：顯示部

9883：顯示部

9884：揚聲器部

9885：輸入單元（操作鍵）

9886：記錄媒體插入部

9887：連接端子

9888：感測器

9889：麥克風

9890：LED燈

9891：框體

9893：連接部

9900：投幣機

9901：框體

9903：顯示部

七、申請專利範圍：

1. 一種半導體裝置，包含：

絕緣表面上的閘極電極層；

該閘極電極層上的閘極絕緣層；

該閘極絕緣層上的源極電極層及汲極電極層；

該閘極絕緣層上並重疊於該源極電極層及該汲極電極層的上表面的一部分的氧化物半導體層；以及

該氧化物半導體層上的氧化物絕緣層，

其中，該氧化物半導體層包括該閘極電極層上的通道形成區，

其中，該源極電極層及該汲極電極層不重疊於該閘極電極層，

其中，該源極電極層及該汲極電極層的側面接觸於該氧化物半導體層的一部分，

其中，該氧化物絕緣層接觸於該氧化物半導體層中的該通道形成區，以及

其中，該氧化物絕緣層具有開口以曝露該氧化物半導體層的一部分。

2. 一種半導體裝置，包含：

絕緣表面上的閘極電極層；

該閘極電極層上的閘極絕緣層；

該閘極絕緣層上的源極電極層及汲極電極層；

該閘極絕緣層和該源極電極層及該汲極電極層的一部分上的氧化物半導體層；

該氧化物半導體層上的氧化物絕緣層；以及

該氧化物絕緣層和該氧化物半導體層上的保護絕緣層，

其中，該氧化物半導體層具有該閘極電極層上的通道形成區，

其中，該源極電極層及該汲極電極層不重疊於該閘極電極層，

其中，該源極電極層及該汲極電極層的側面接觸於該氧化物半導體層的一部分，

其中，該氧化物絕緣層接觸於該氧化物半導體層中的該通道形成區，

其中，該保護絕緣層接觸於該氧化物半導體層的上表面的一部分，以及

其中，該氧化物絕緣層具有開口以曝露該氧化物半導體層的一部分。

3.一種半導體裝置，包含：

絕緣表面上的閘極電極層；

該閘極電極層上的閘極絕緣層；

該閘極絕緣層上的源極電極層及汲極電極層；

該閘極絕緣層上的氧化物半導體層以和該源極電極層及該汲極電極層接觸；

該氧化物半導體層上的氧化物絕緣層；以及

該氧化物絕緣層和該氧化物半導體層上的保護絕緣層，

其中，該氧化物半導體層具有該閘極電極層上的通道形成區，

其中，該源極電極層及該汲極電極層不重疊於該閘極電極層，

其中，該氧化物絕緣層接觸於該氧化物半導體層中的該通道形成區，以及

其中，該氧化物絕緣層具有開口以曝露該氧化物半導體層的一部分。

4.如申請專利範圍第1至3項中任一項的半導體裝置，
其中該氧化物絕緣層覆蓋該氧化物半導體層在通道長度方向上的兩端。

5.如申請專利範圍第1至3項中任一項的半導體裝置，
其中該氧化物絕緣層覆蓋該源極電極層及該汲極電極層在通道長度方向上的外側端部。

6.如申請專利範圍第1至3項中任一項的半導體裝置，
其中該源極電極層及該汲極電極層分別包含以從Al、Cr、Cu、Ta、Ti、Mo和W中選出的元素為主要成分的膜或包含該膜的疊層構造。

7.如申請專利範圍第1至3項中任一項的半導體裝置，
其中該源極電極層及該汲極電極層分別包含氧化銮、氧化銮氧化錫合金、氧化銮氧化鋅合金、或氧化鋅。

8.如申請專利範圍第1至3項中任一項的半導體裝置，
其中該通道形成區在通道長度方向上的寬度小於該閘極電極層在通道長度方向上的寬度。

9.如申請專利範圍第1至3項中任一項的半導體裝置，
其中該氧化物絕緣層包括氧化矽膜、氧化鋁膜、或氧化鋁膜。

10.如申請專利範圍第2或3項的半導體裝置，
其中該保護絕緣層包括氮化矽膜或氮化鋁膜。

11.一種半導體裝置的製造方法，包含：

在絕緣表面上形成閘極電極層；

在該閘極電極層上形成閘極絕緣層；

以源極電極層及汲極電極層不重疊於該閘極電極層的方式在該閘極絕緣層上形成該源極電極層及該汲極電極層；

在該閘極絕緣層上形成氧化物半導體層，該氧化物半導體層重疊於該閘極電極層和該源極電極層及該汲極電極層的一部分；

進行用來使該氧化物半導體層脫水化或脫氫化的加熱處理；

在進行該加熱處理之後，在該氧化物半導體層、該源極電極層及該汲極電極層上不接觸於大氣地形成氧化物絕緣層，該氧化物絕緣層接觸於該氧化物半導體層的第一區域；以及

在該氧化物半導體層和該氧化物絕緣層上形成保護絕緣層，該保護絕緣層接觸於該氧化物半導體層的第二區域及第三區域。

12.如申請專利範圍第11項的半導體裝置的製造方法，

其中在該第一區域中的重疊於該閘極電極層的區域中形成通道形成區。

13.如申請專利範圍第12項的半導體裝置的製造方法，其中以該通道形成區在通道長度方向上的寬度小於該閘極電極層在通道長度方向上的寬度的方式形成該氧化物絕緣層。

14.如申請專利範圍第11項的半導體裝置的製造方法，其中該源極電極層及該汲極電極層分別使用以從Al、Cr、Cu、Ta、Ti、Mo和W中選出的元素為主要成分的膜或包含該膜的疊層構造而形成。

15.如申請專利範圍第11項的半導體裝置的製造方法，其中該源極電極層及該汲極電極層分別包含氧化銦、氧化銦氧化錫合金、氧化銦氧化鋅合金、或氧化鋅。

圖 1A

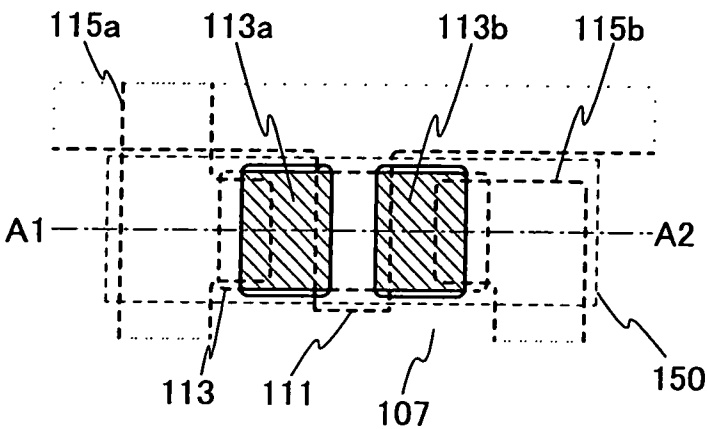


圖 1B

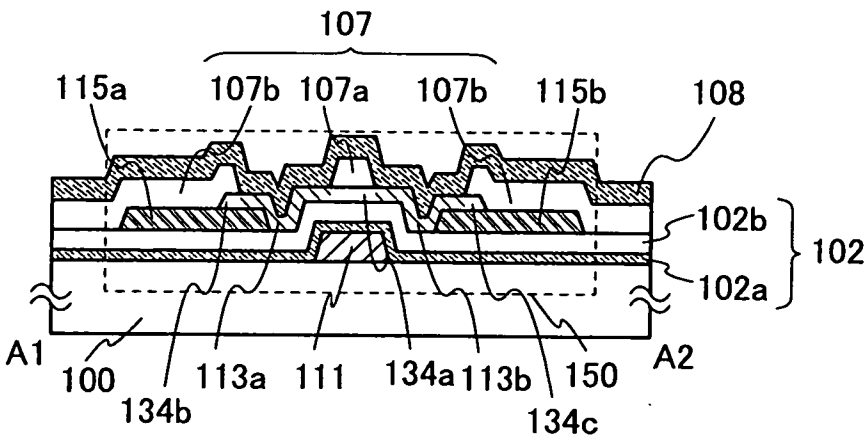


圖 2A

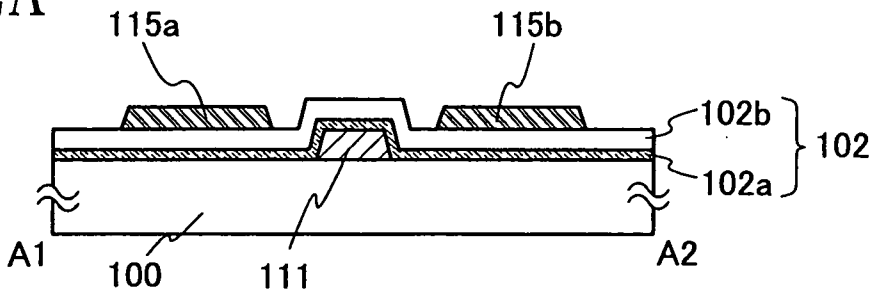


圖 2B

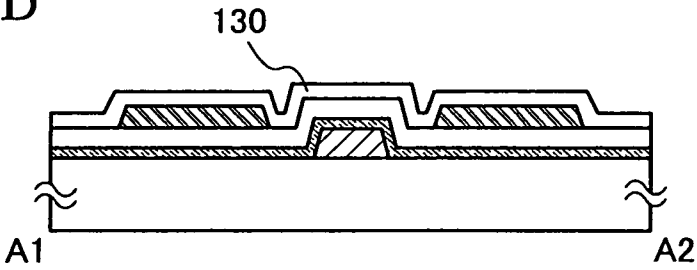


圖 2C

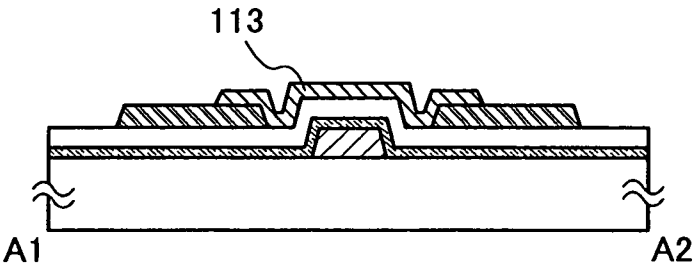


圖 2D

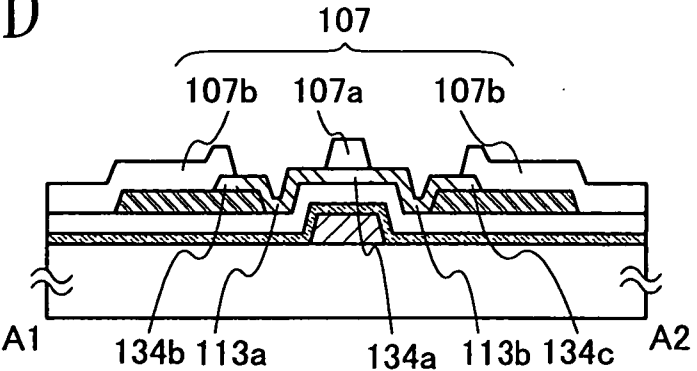


圖 2E

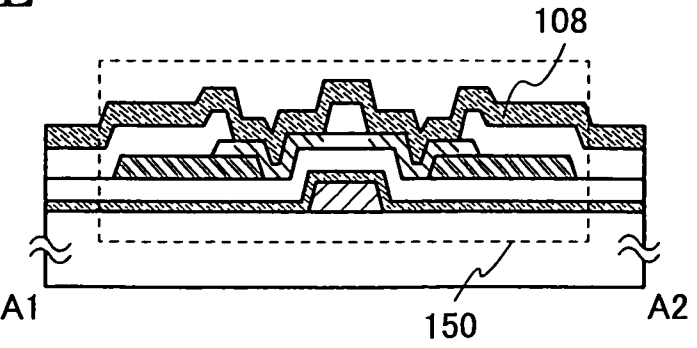


圖3

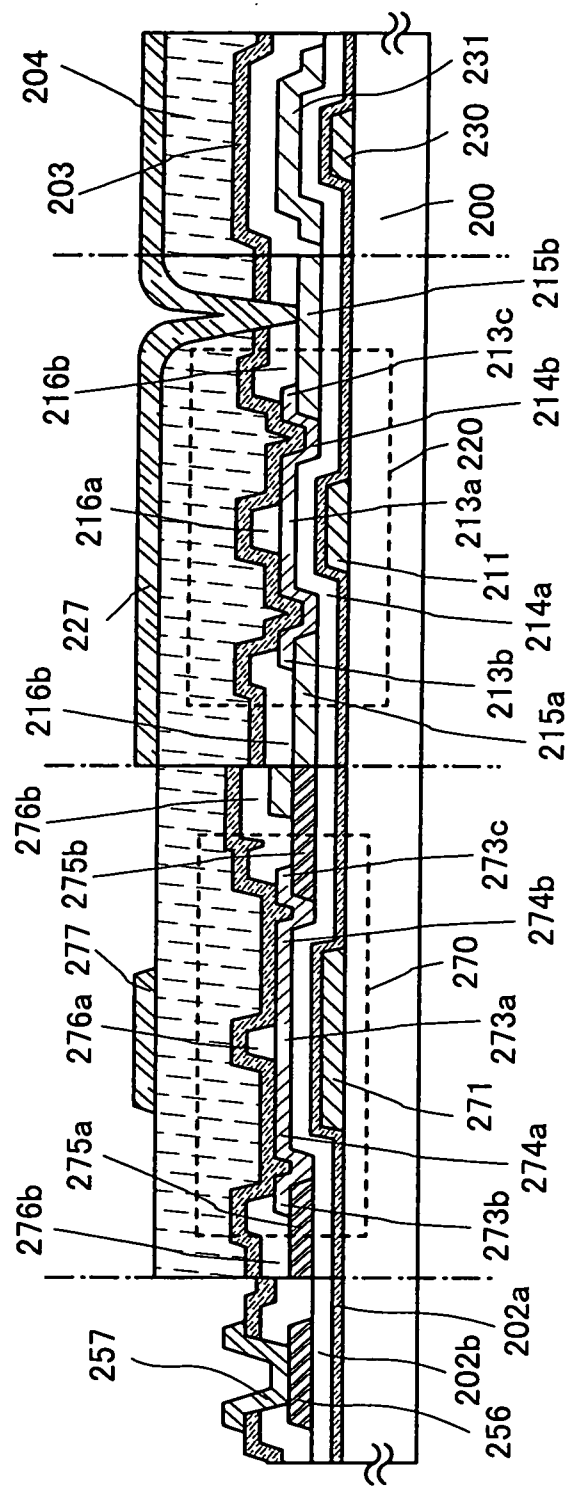


圖 4A1

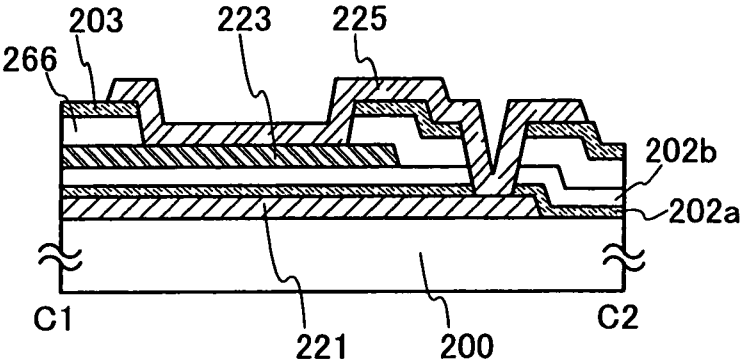


圖 4A2

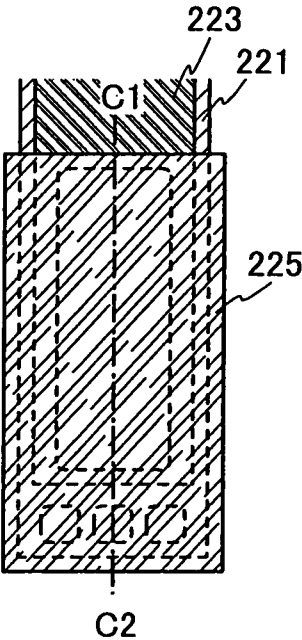


圖 4B1

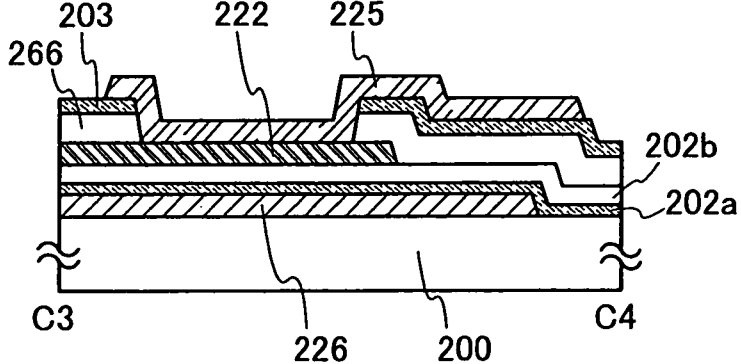


圖 4B2

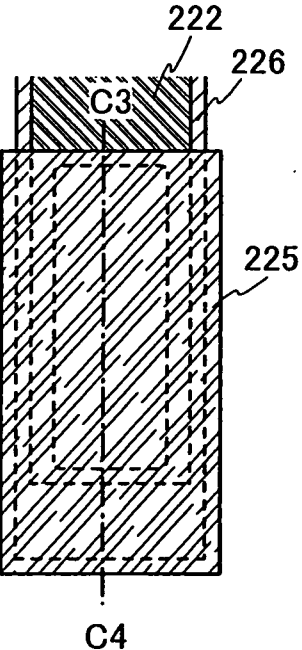


圖5A

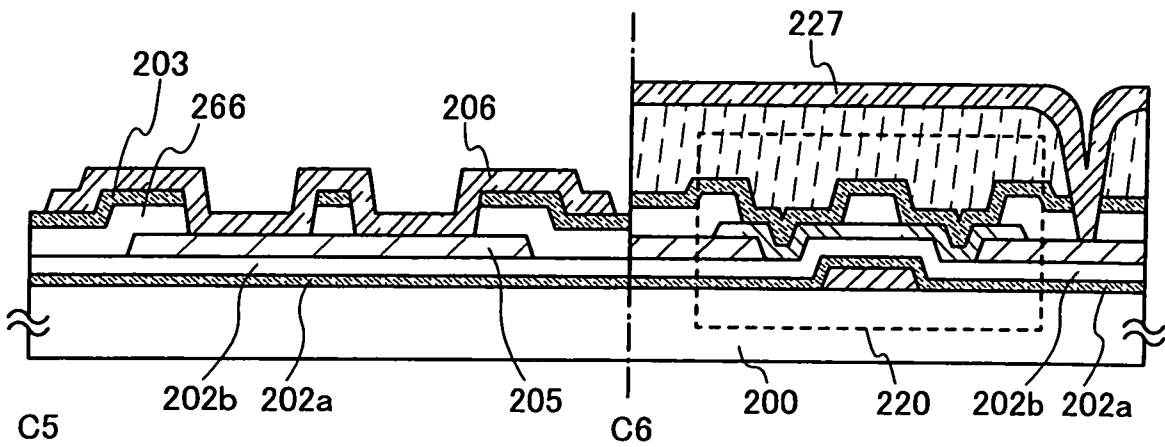


圖5B

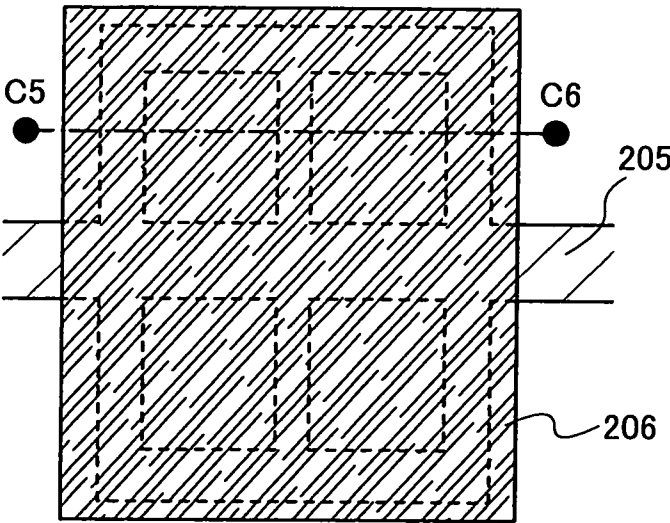


圖 6A

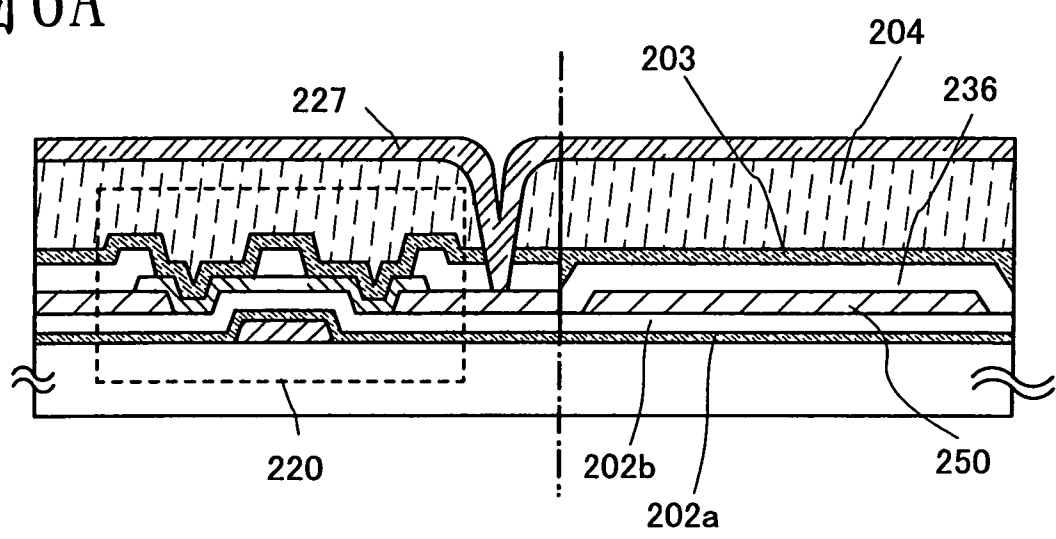


圖 6B

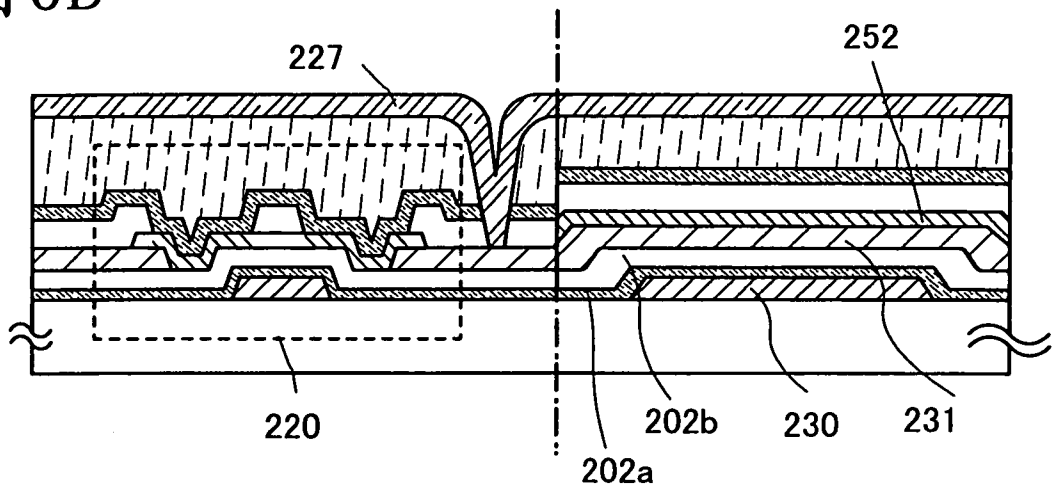


圖 7A

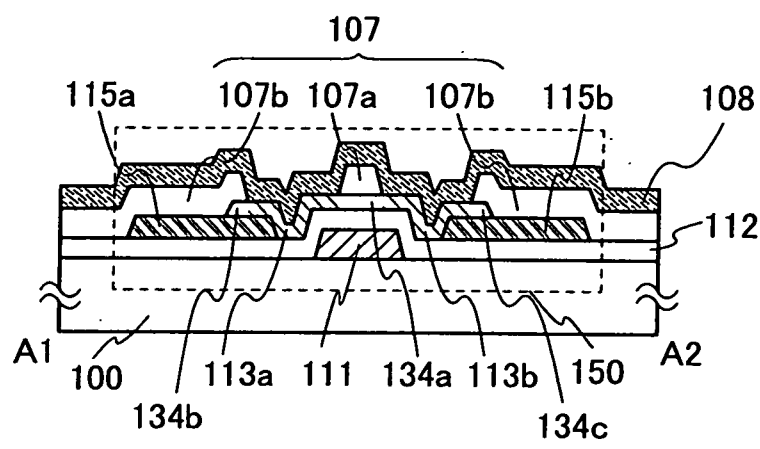


圖 7B

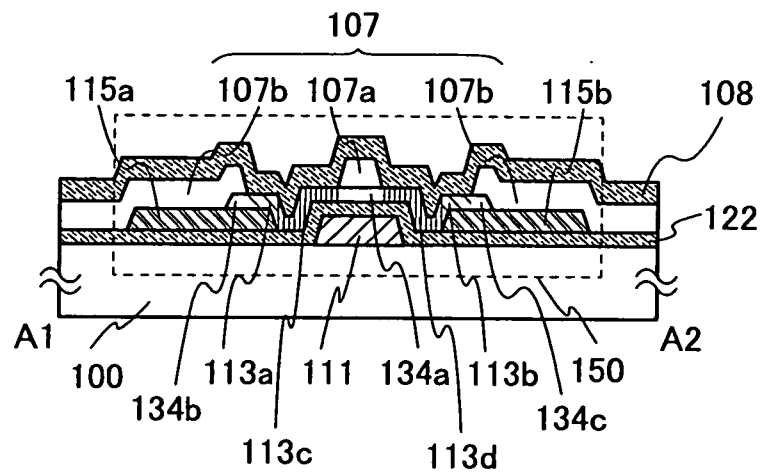


圖 7C

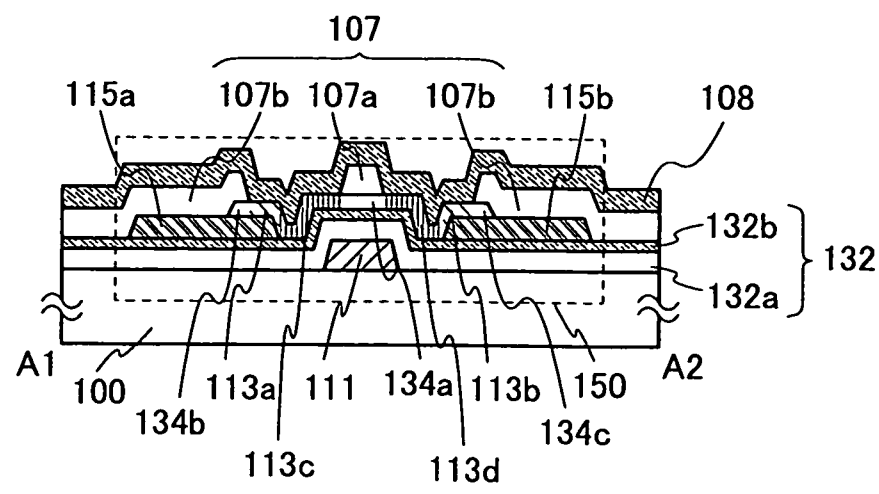


圖8A1

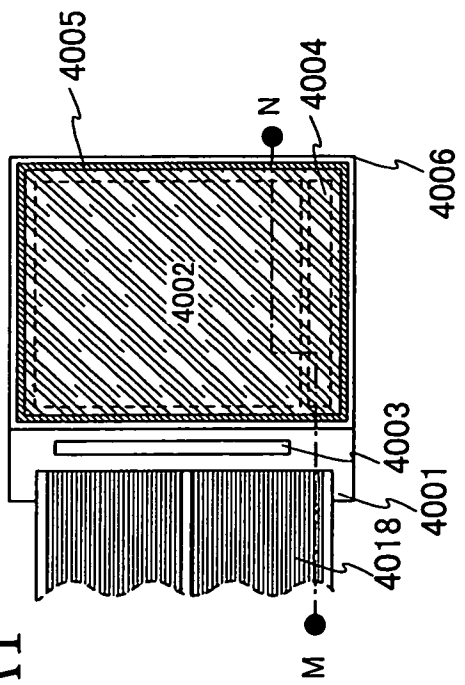


圖8A2

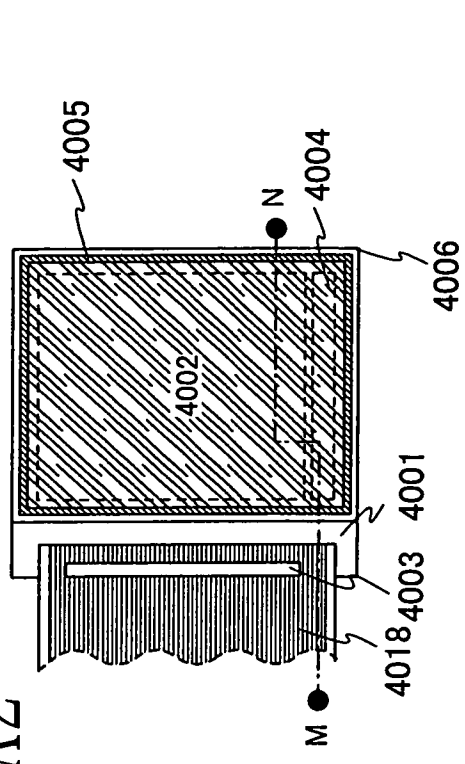


圖8B

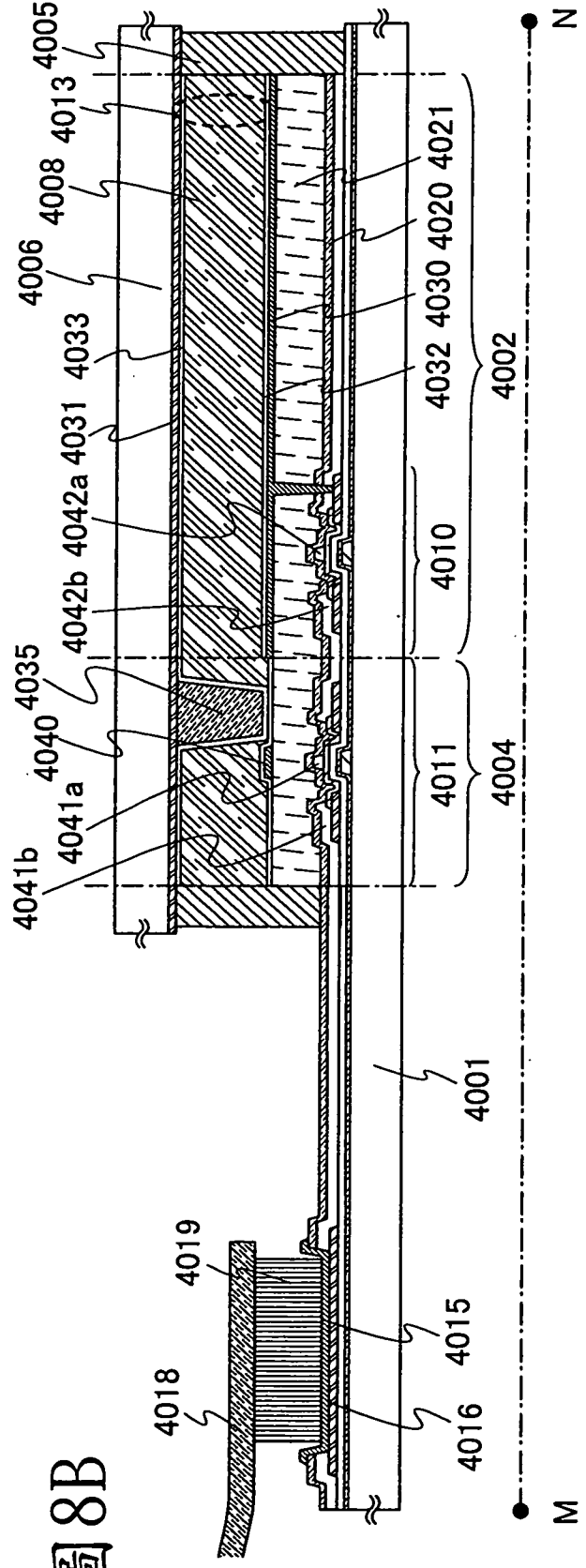


圖 9A

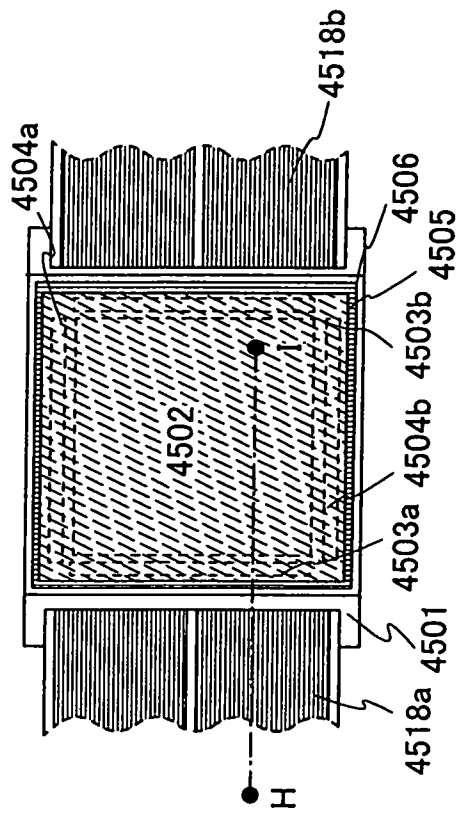
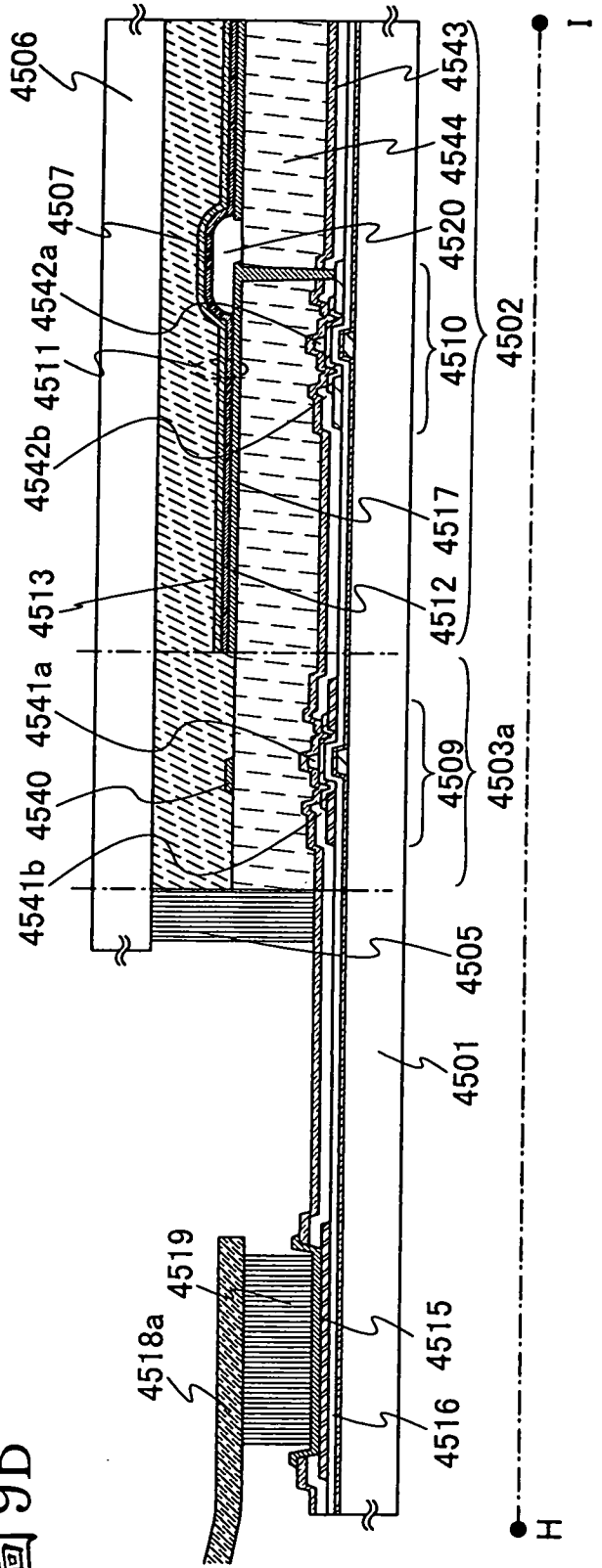


圖 9B



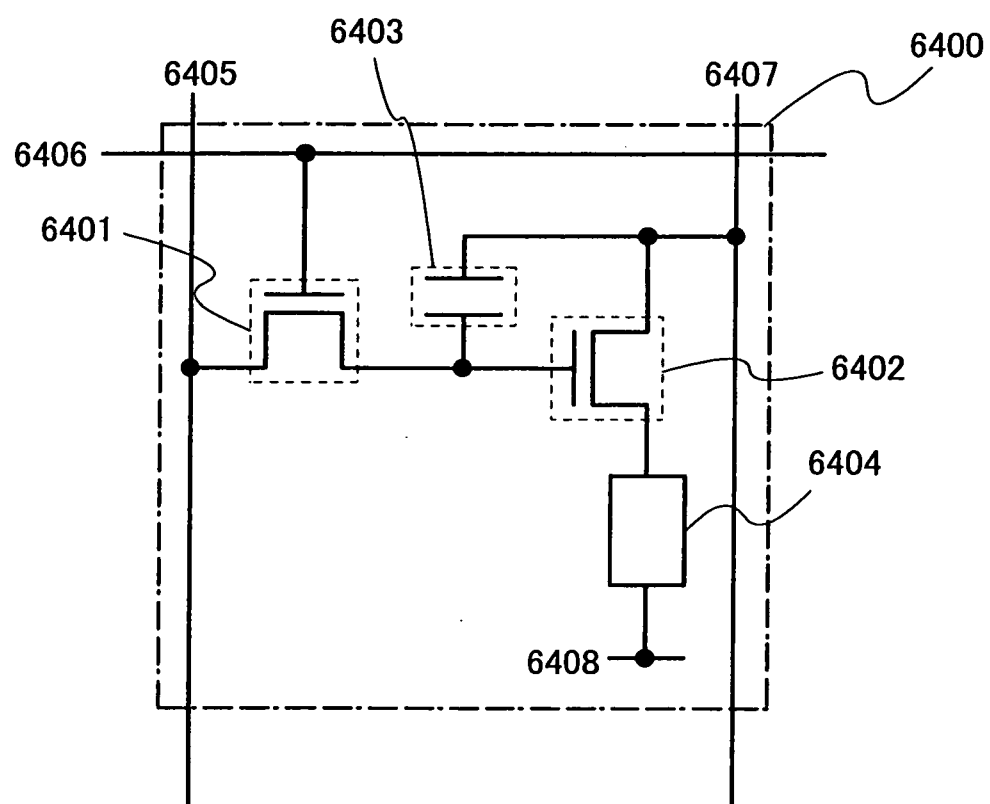


圖 11A

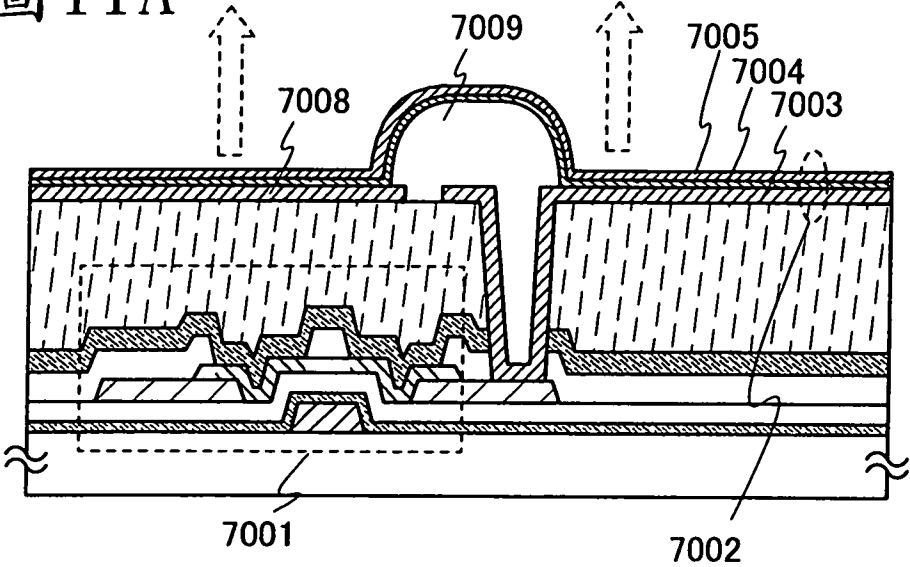


圖 11B

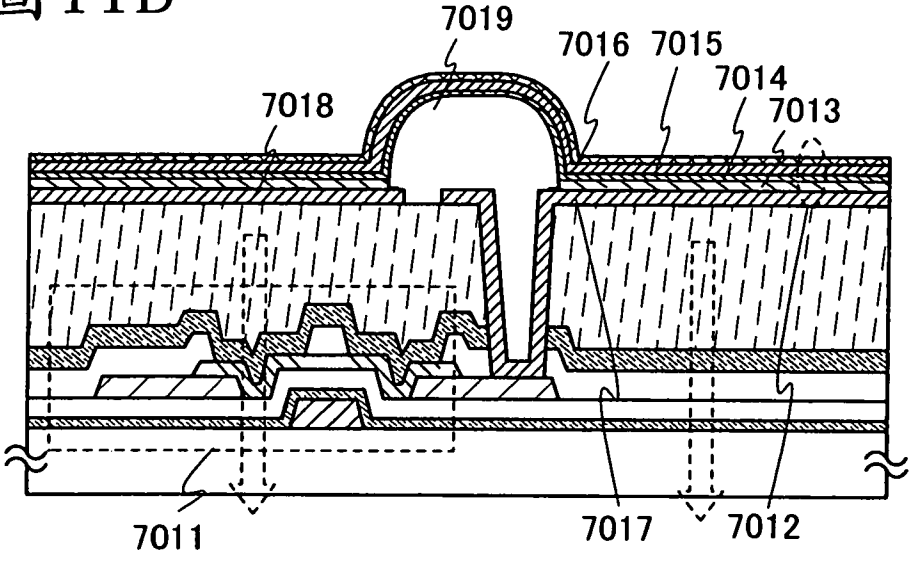


圖 11C

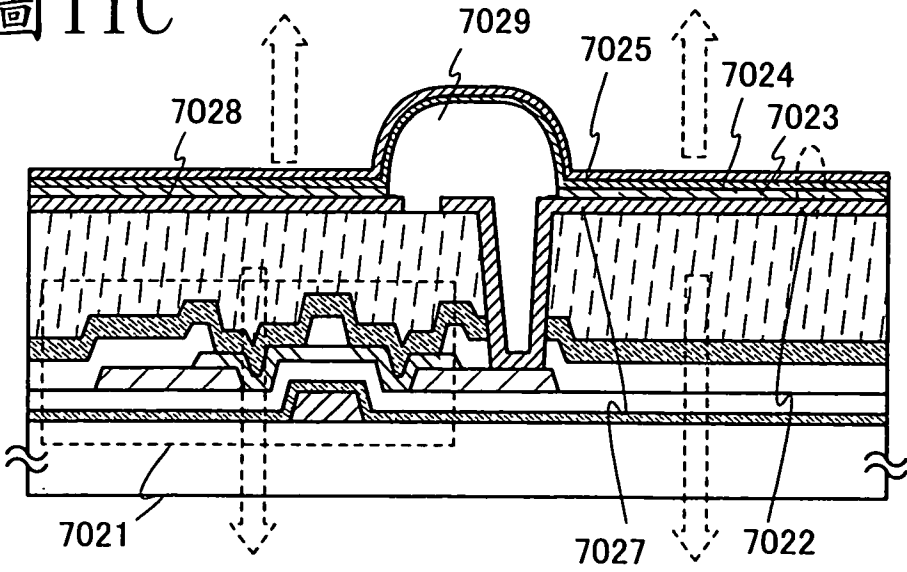


圖 12A

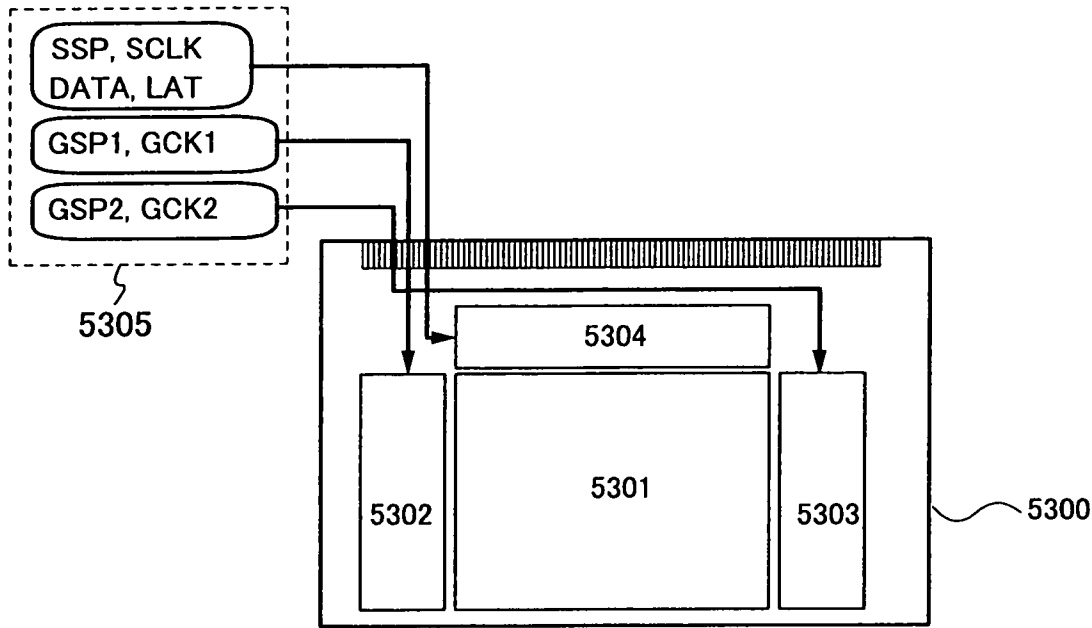


圖 12B

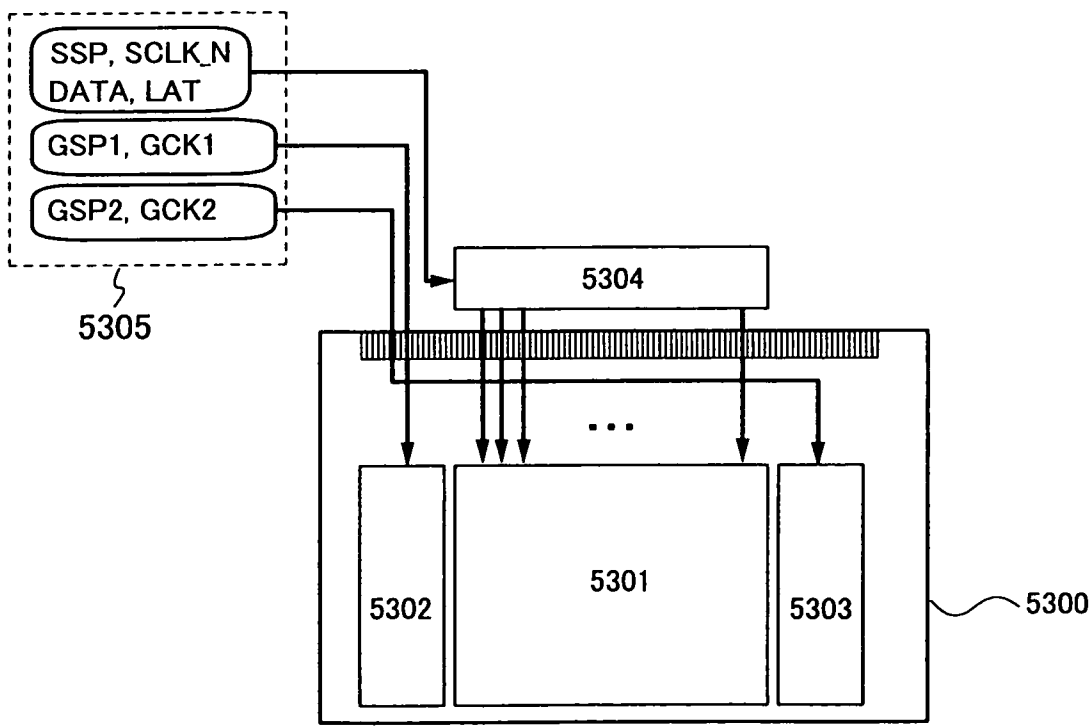


圖 13A

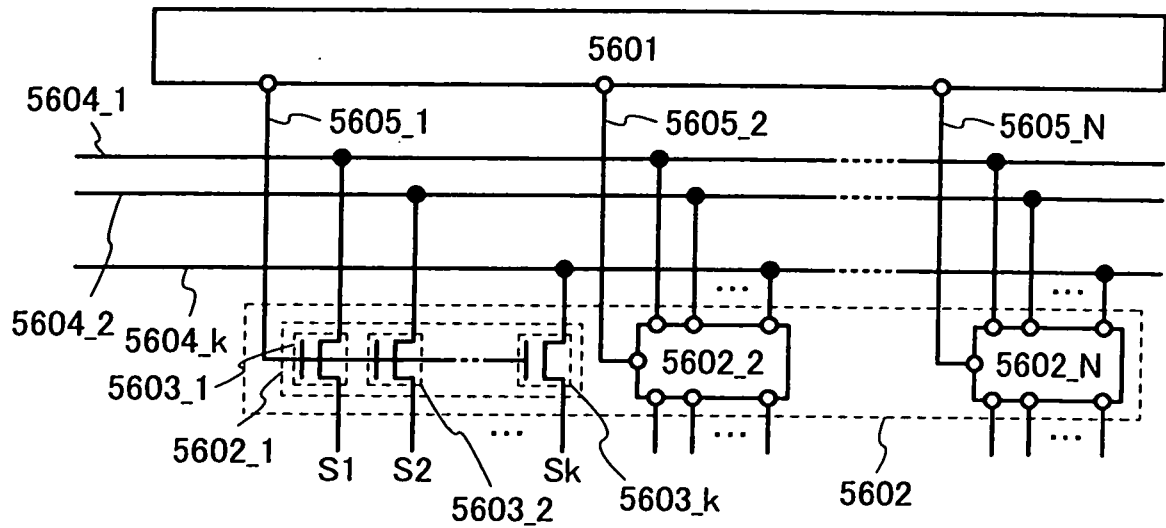


圖 13B

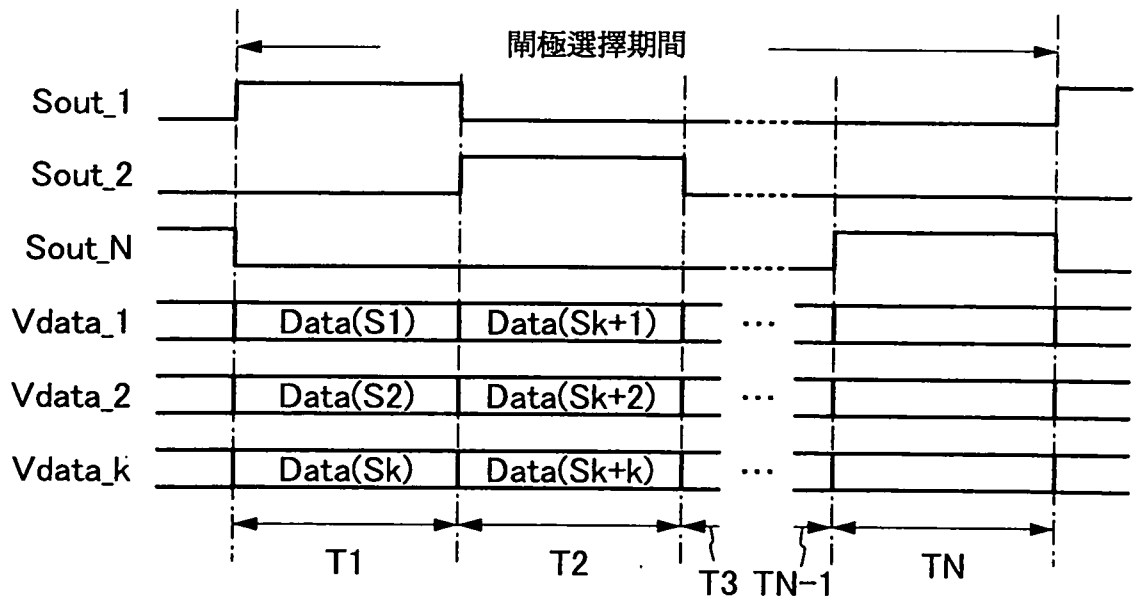


圖 14A

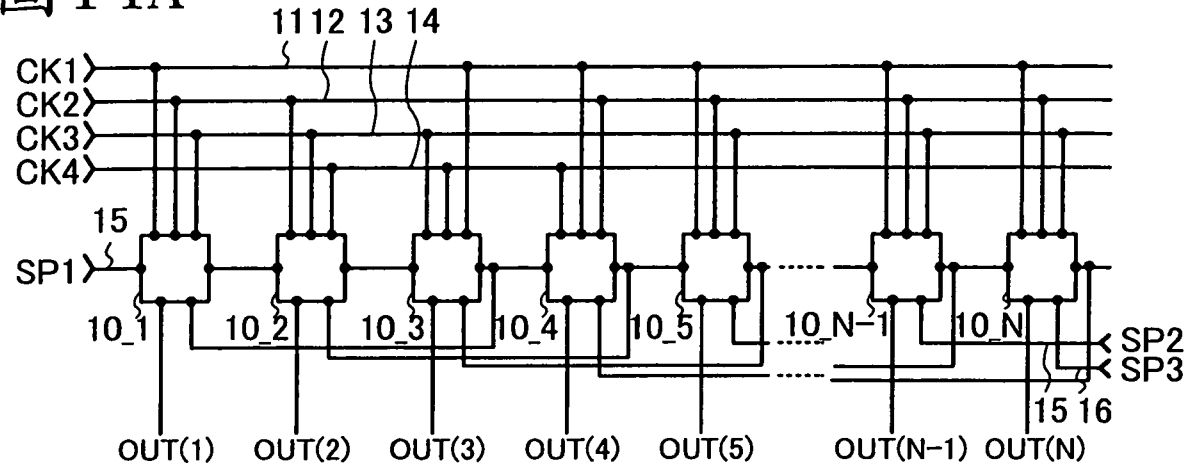


圖 14B

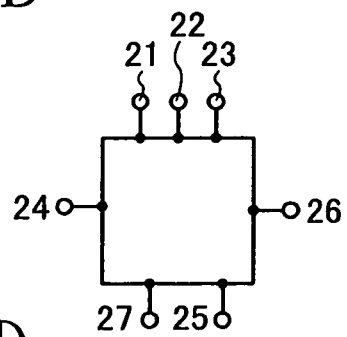


圖 14C

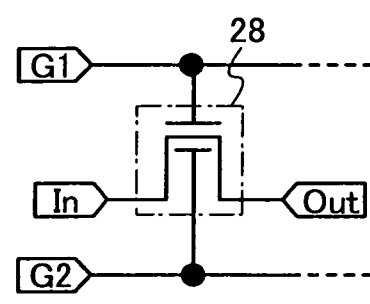


圖 14D

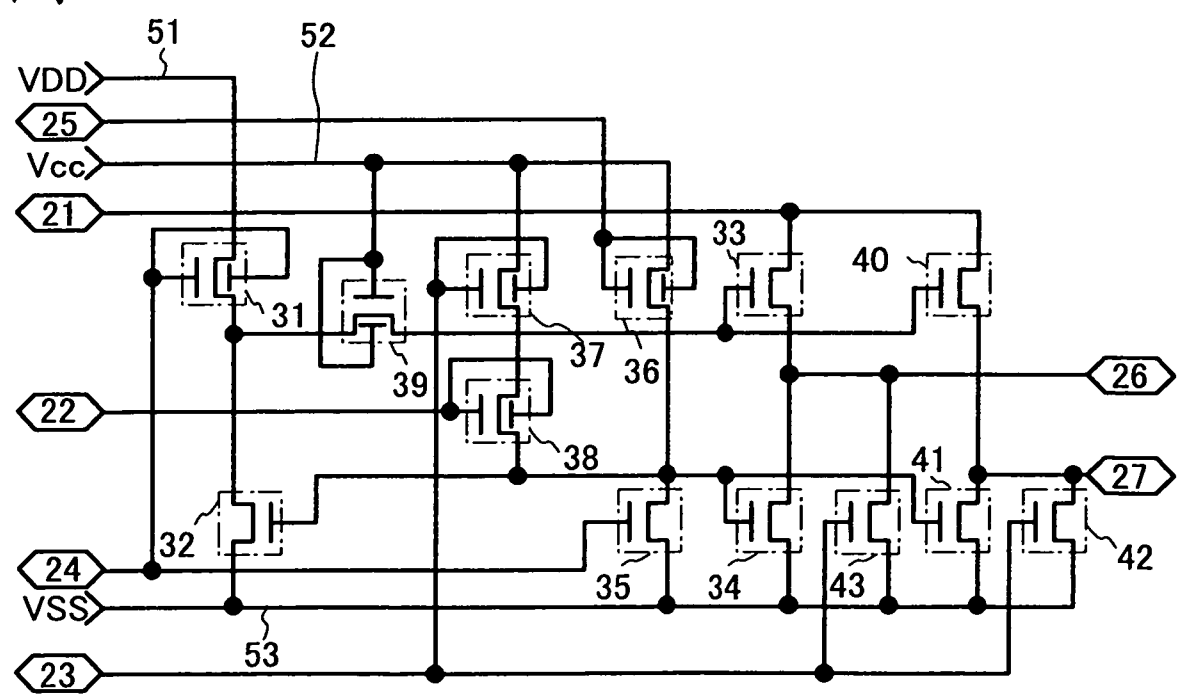


圖 15A

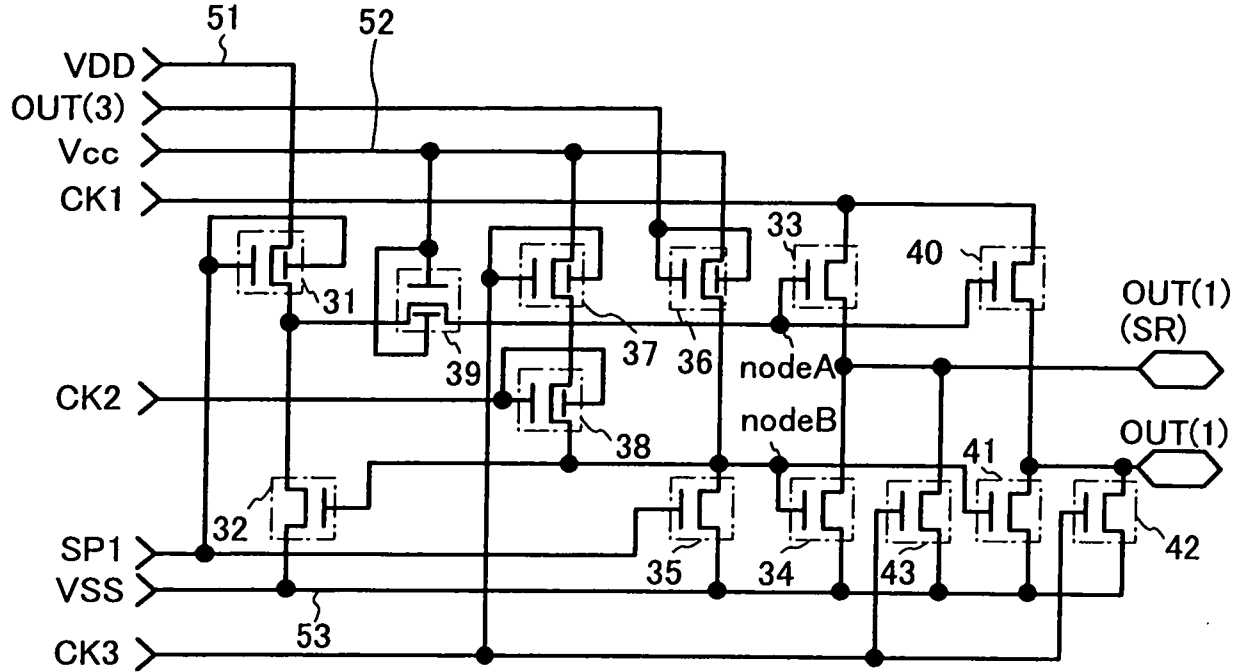


圖 15B

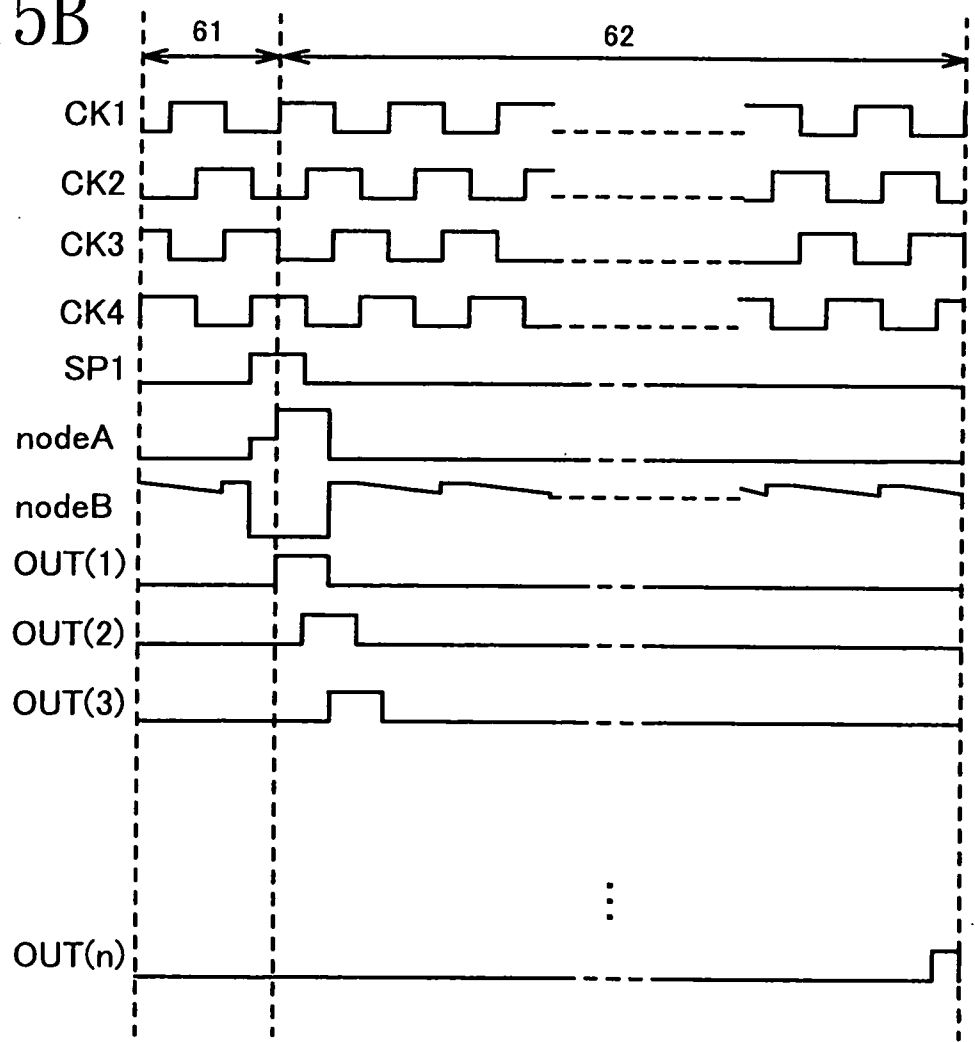


圖17

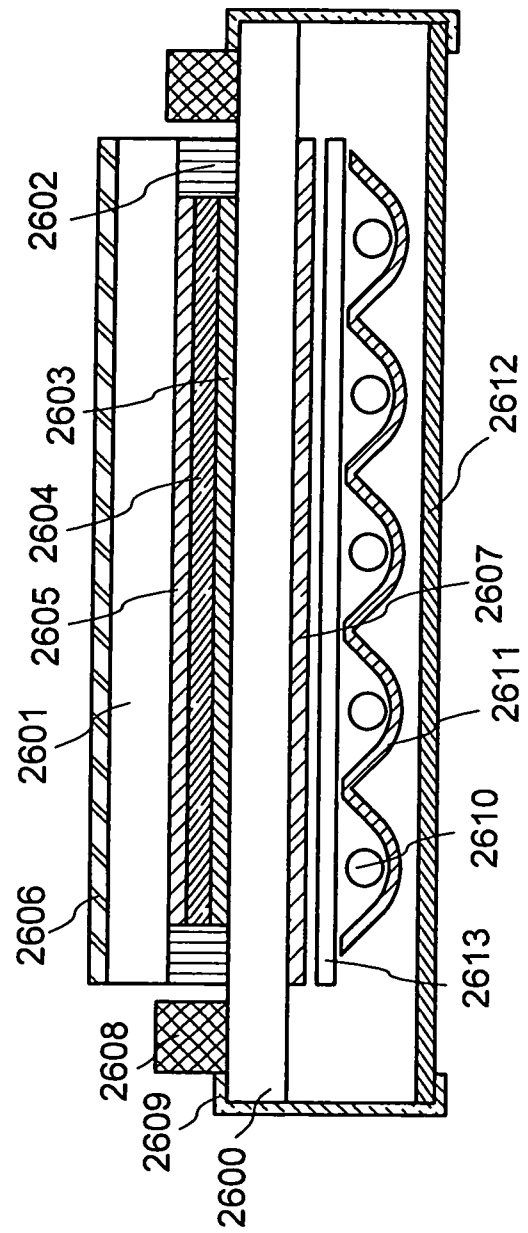


圖18

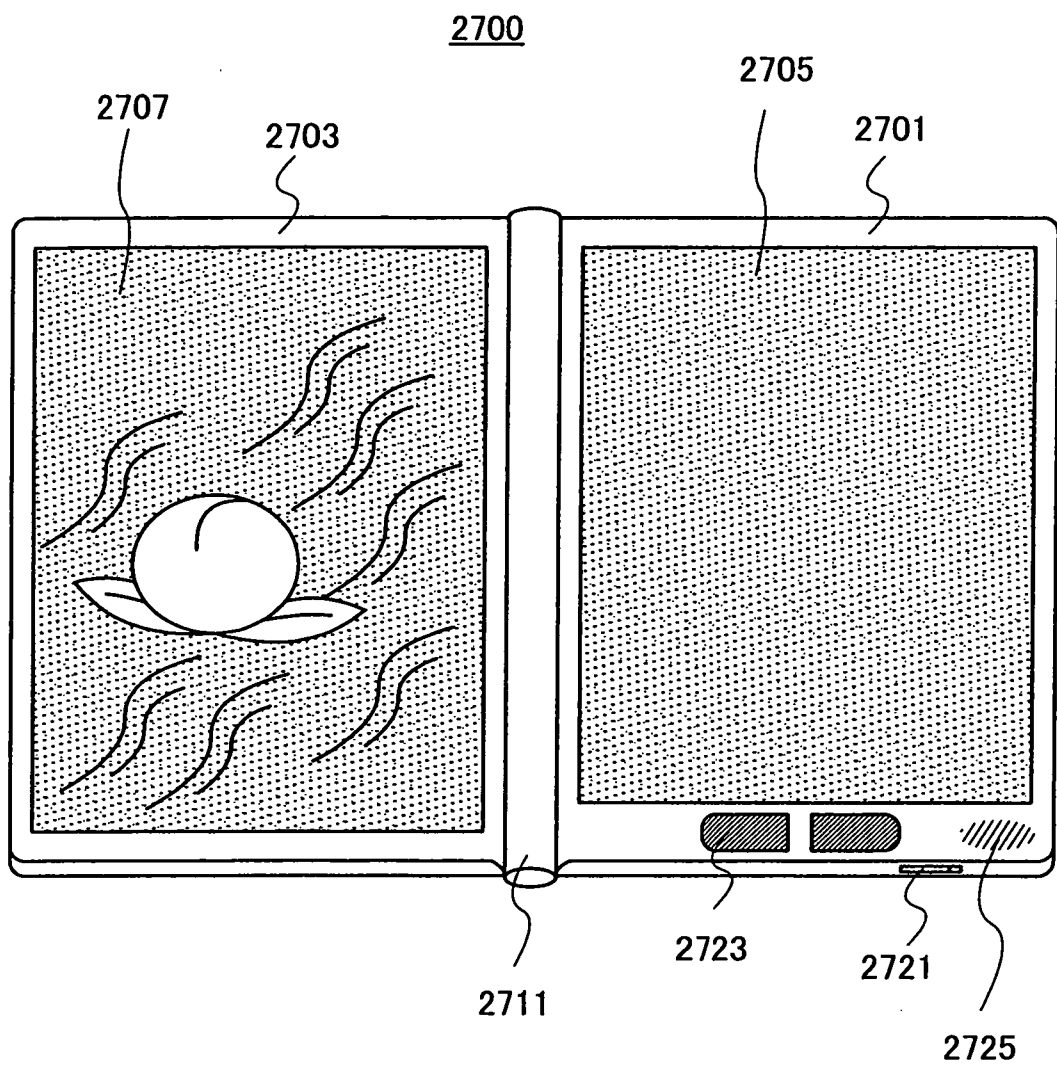


圖 19A

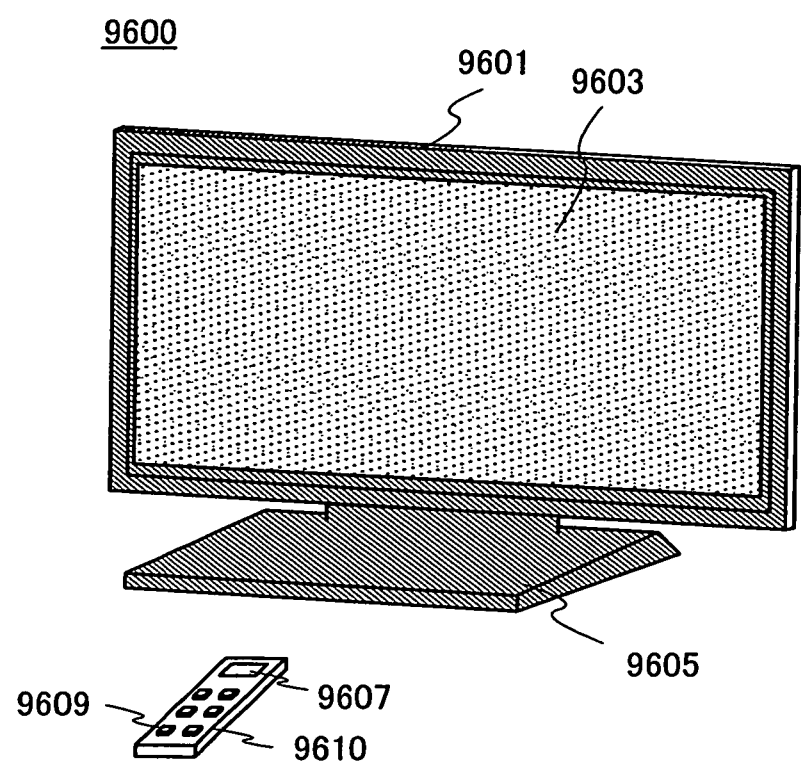


圖 19B

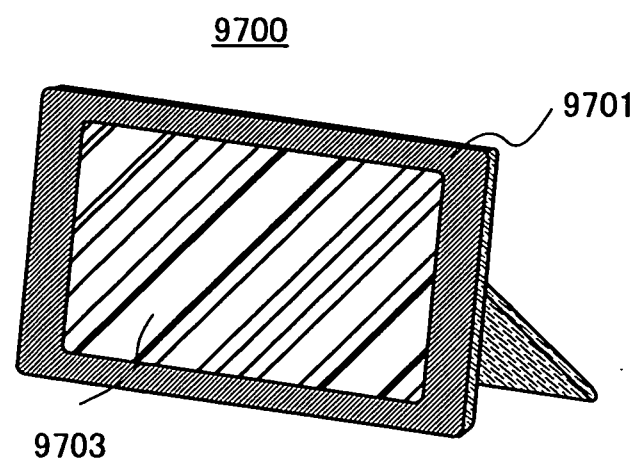


圖 20A

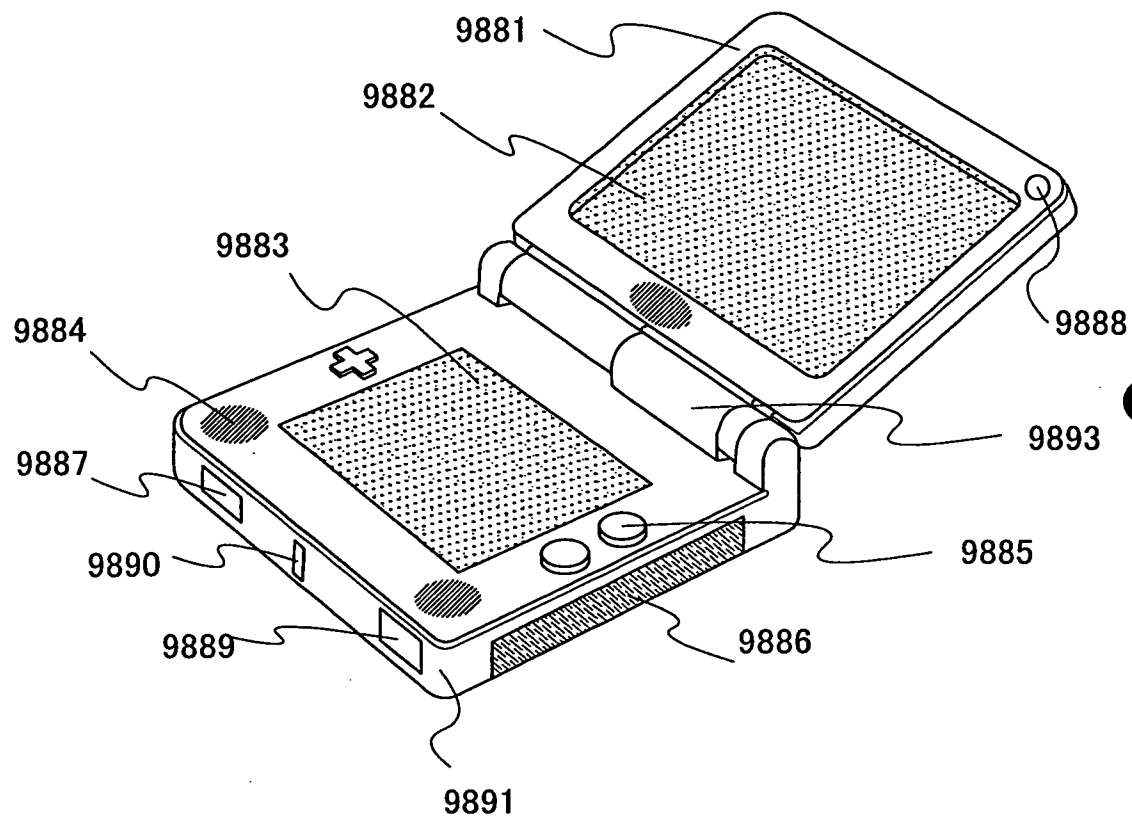


圖 20B

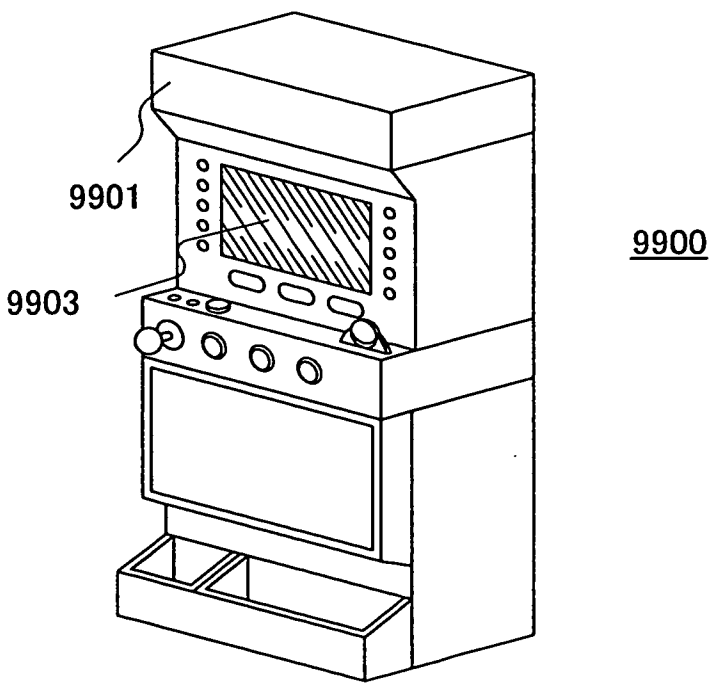


圖 21A

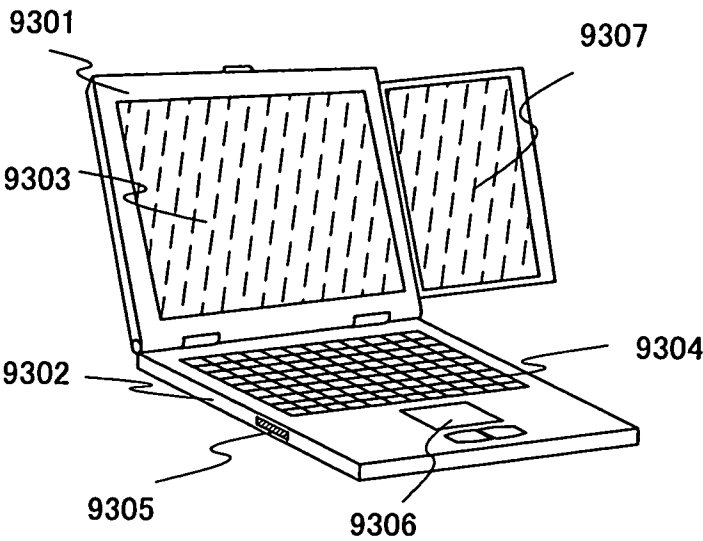


圖 21B

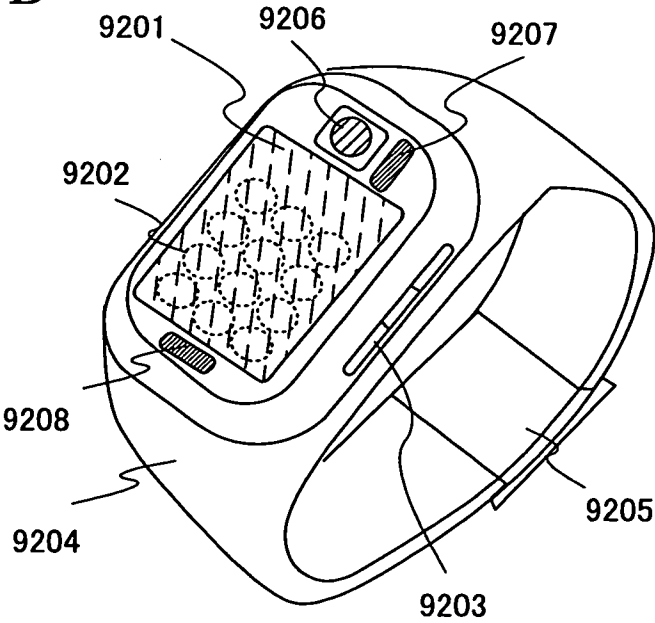


圖22

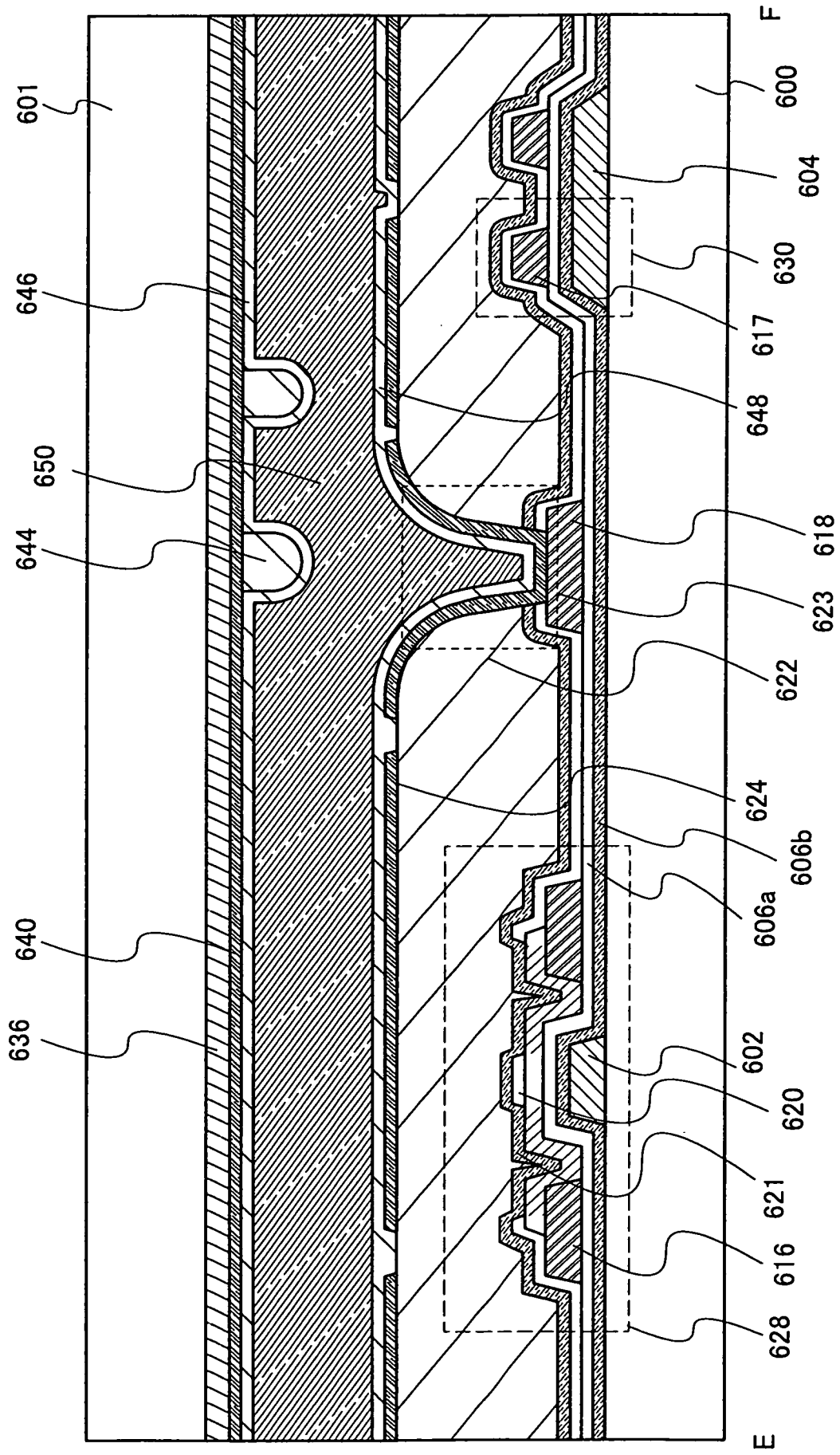


圖 23

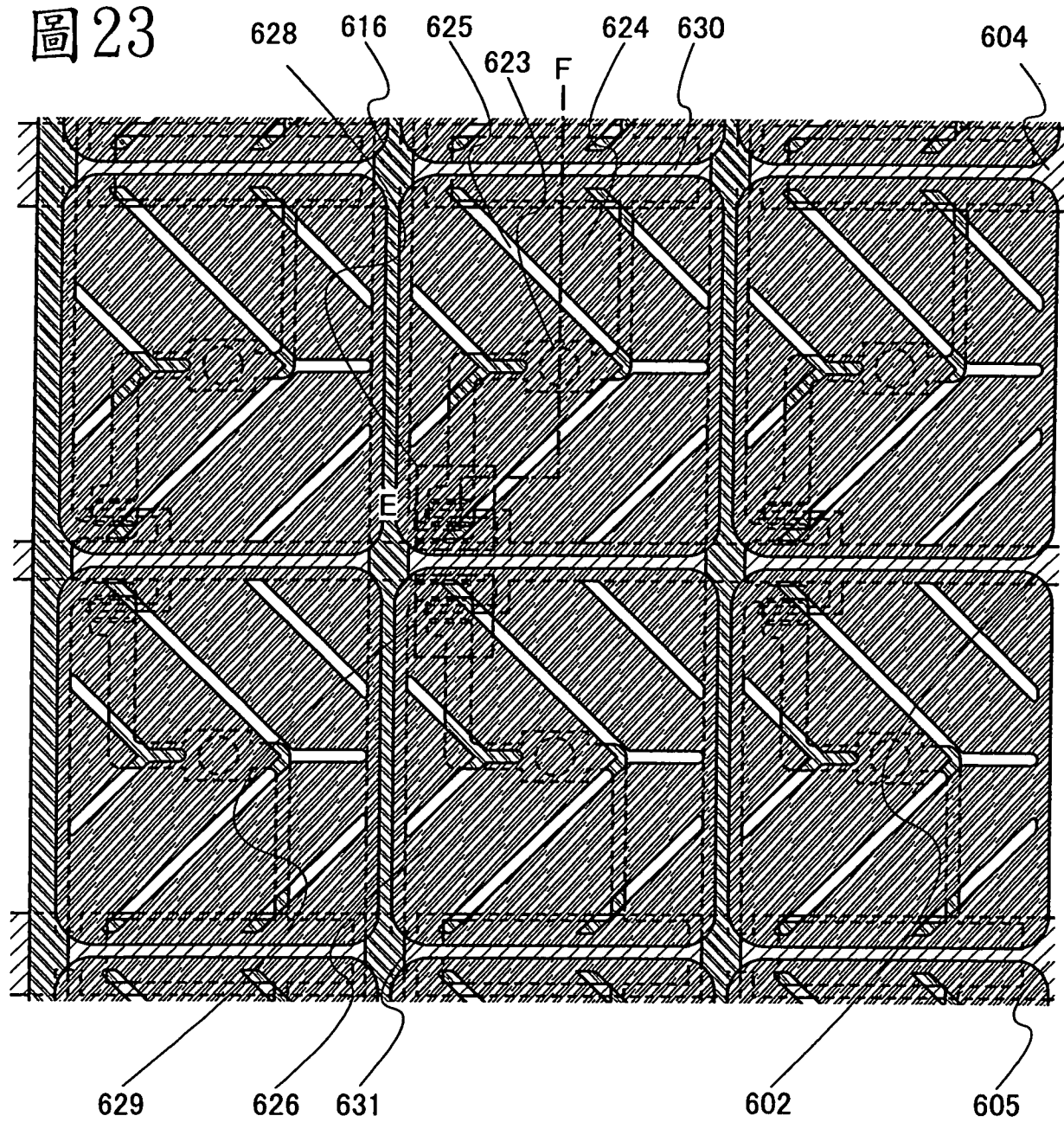


圖 24

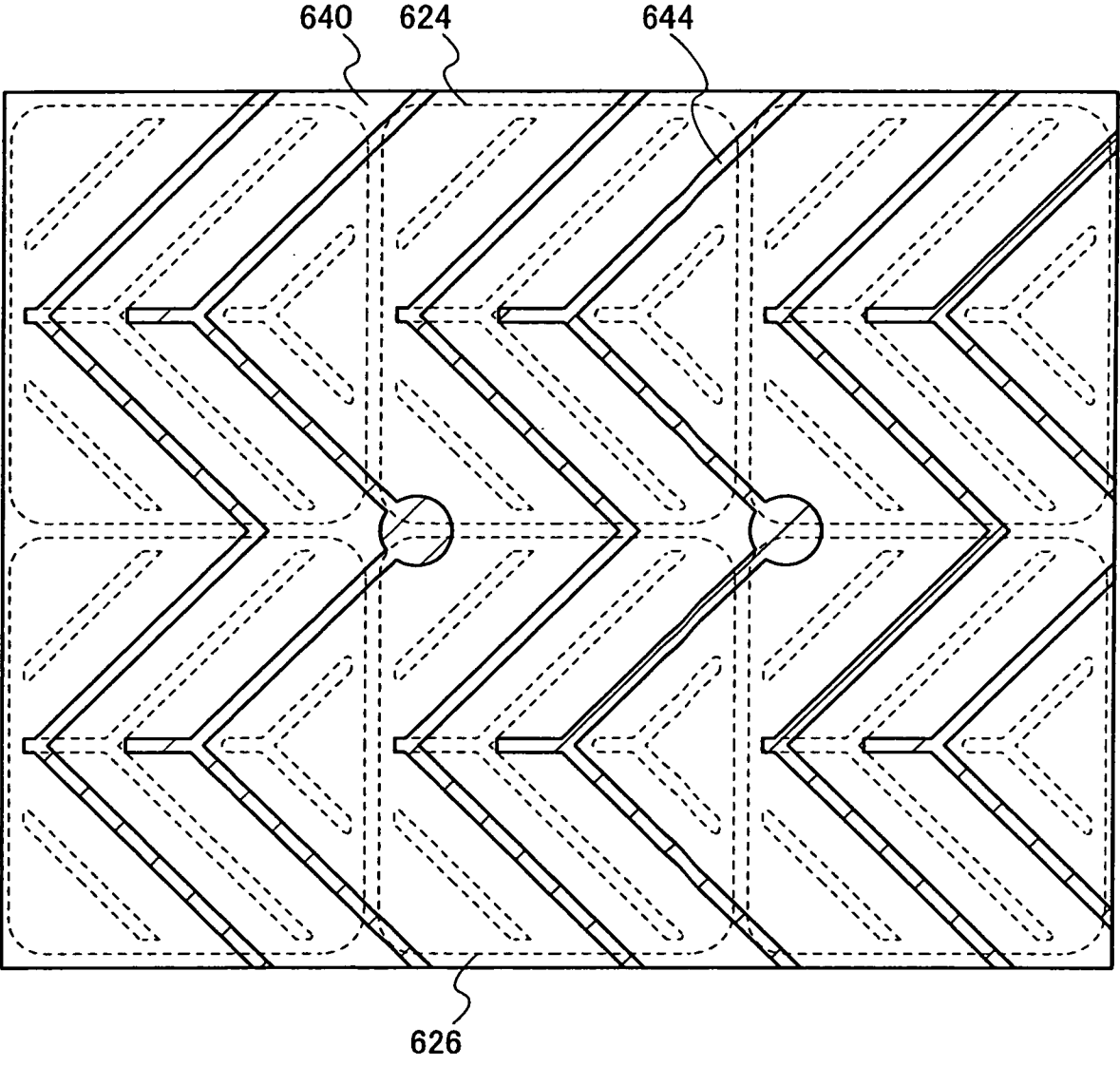


圖 25

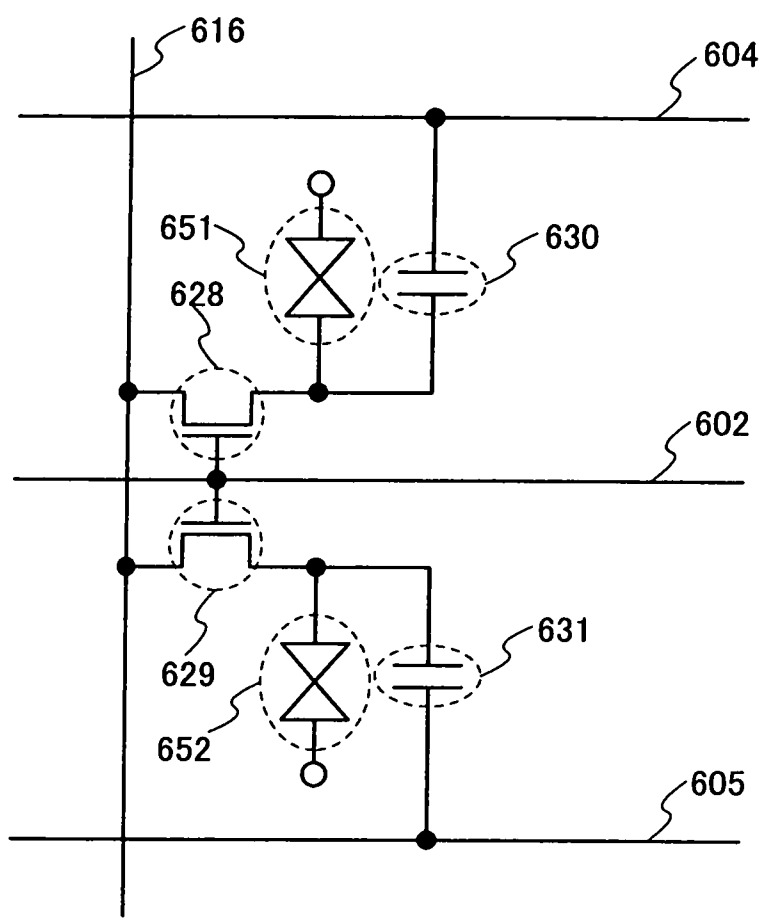


圖26

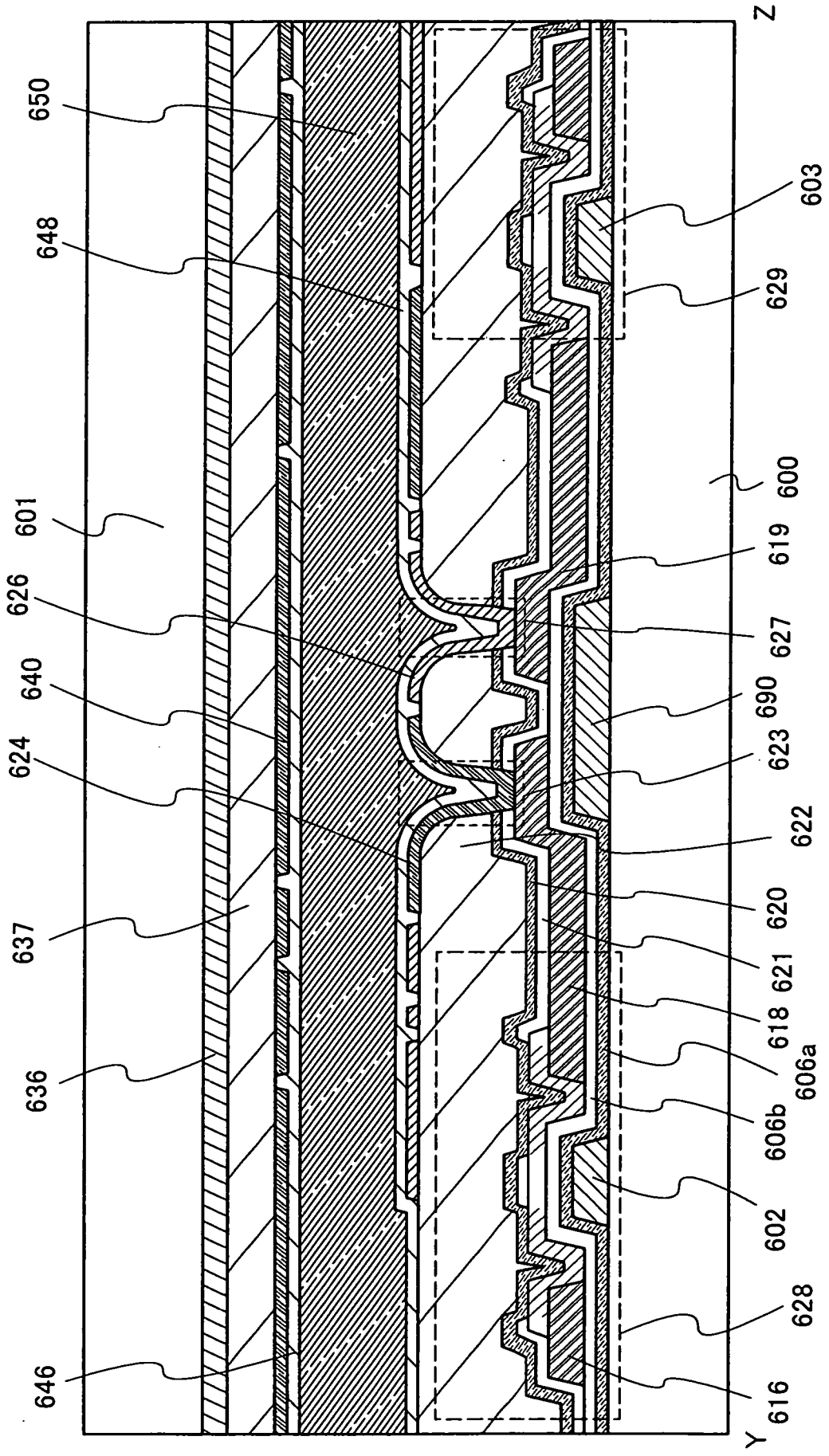


圖27

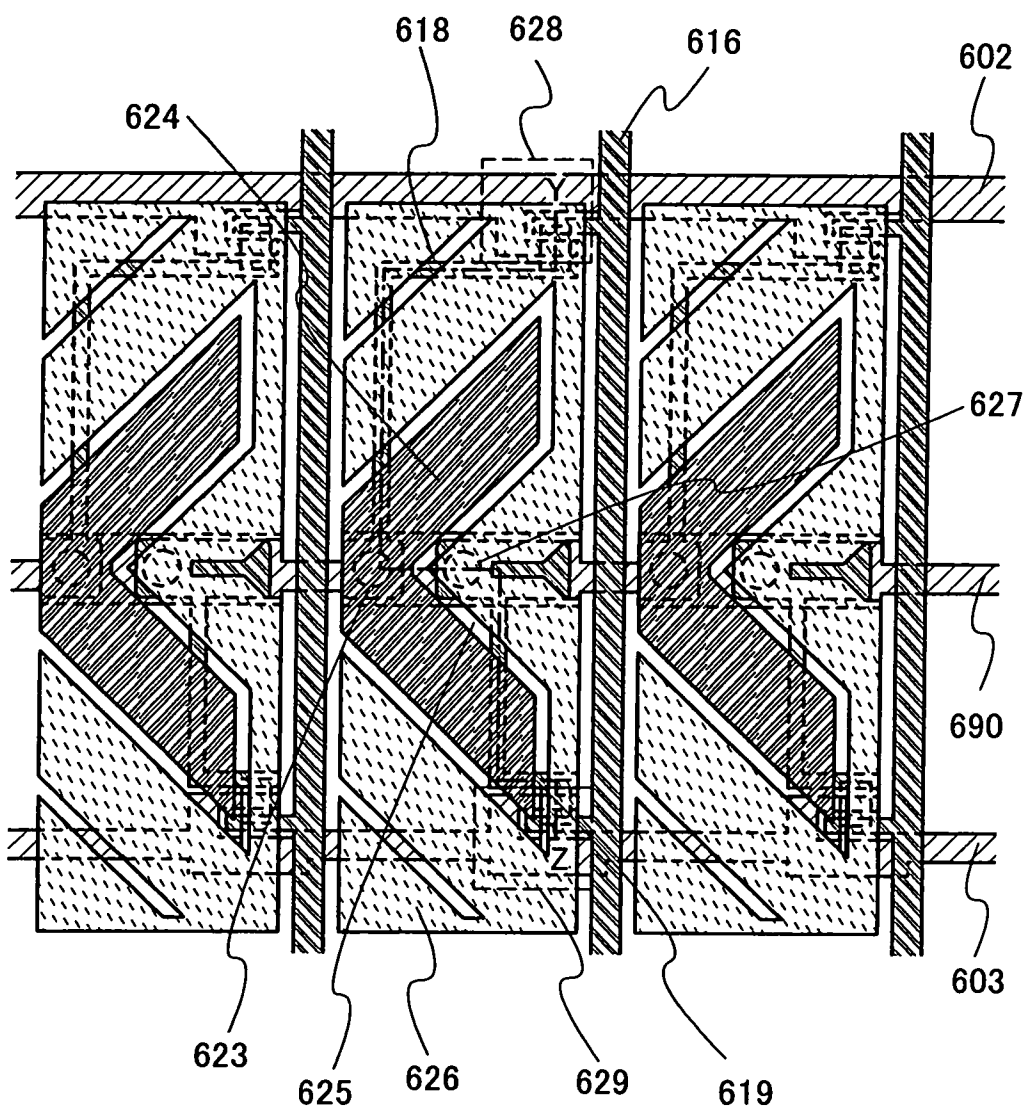


圖 28

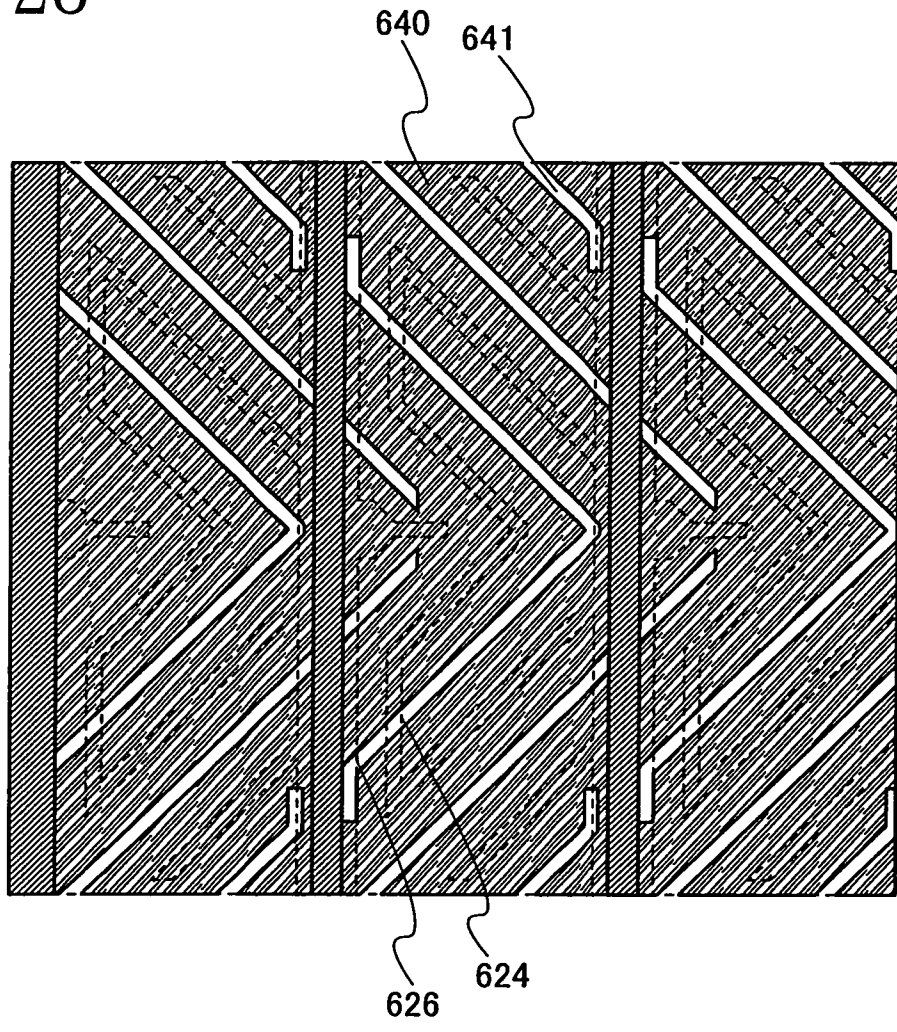


圖 29

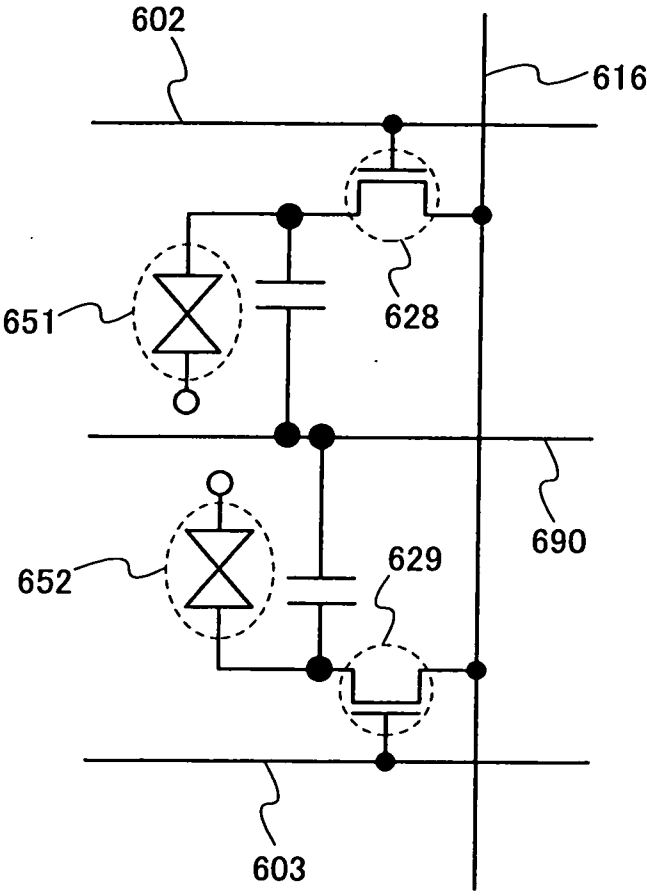


圖30

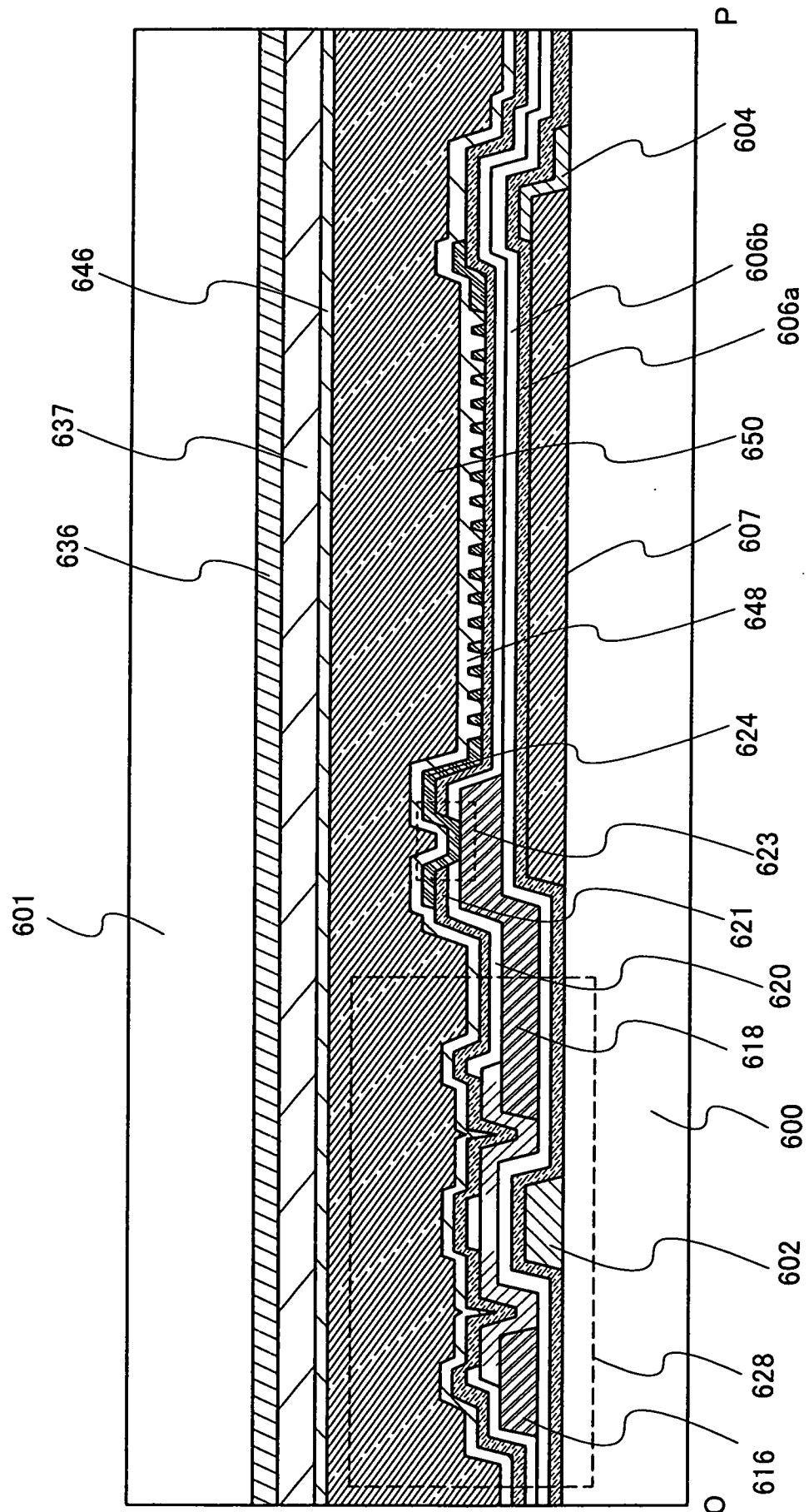


圖 31

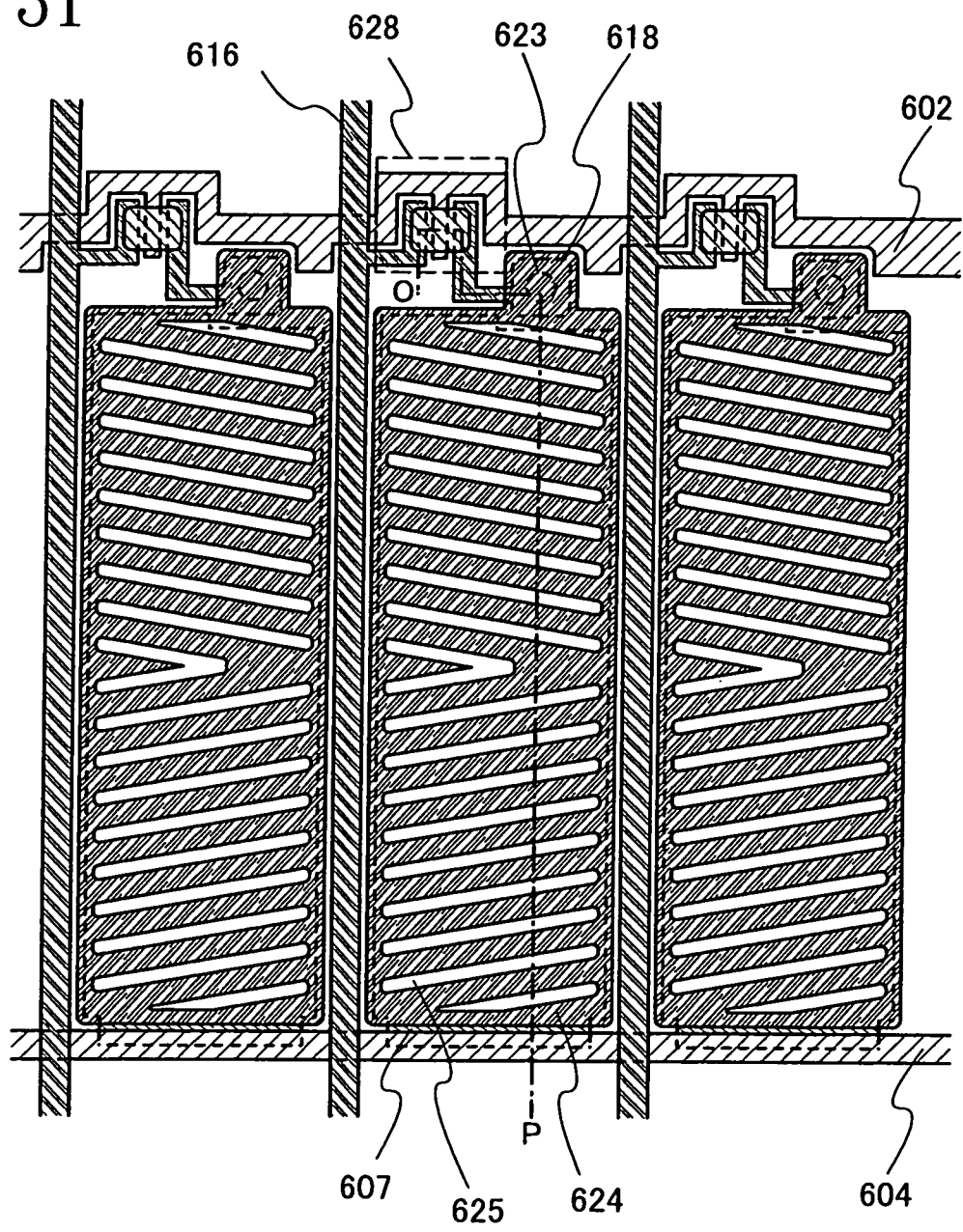


圖32

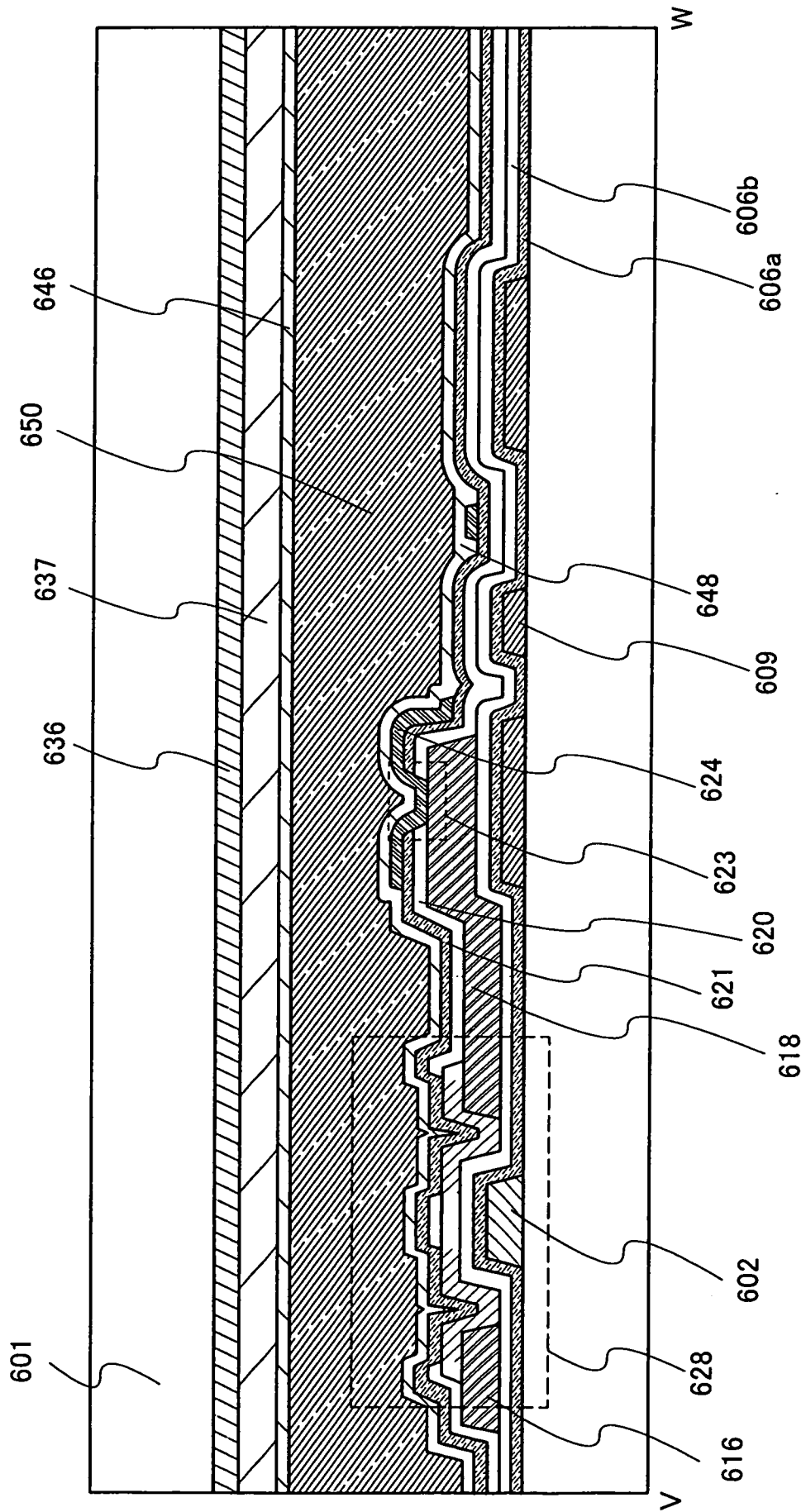


圖 33

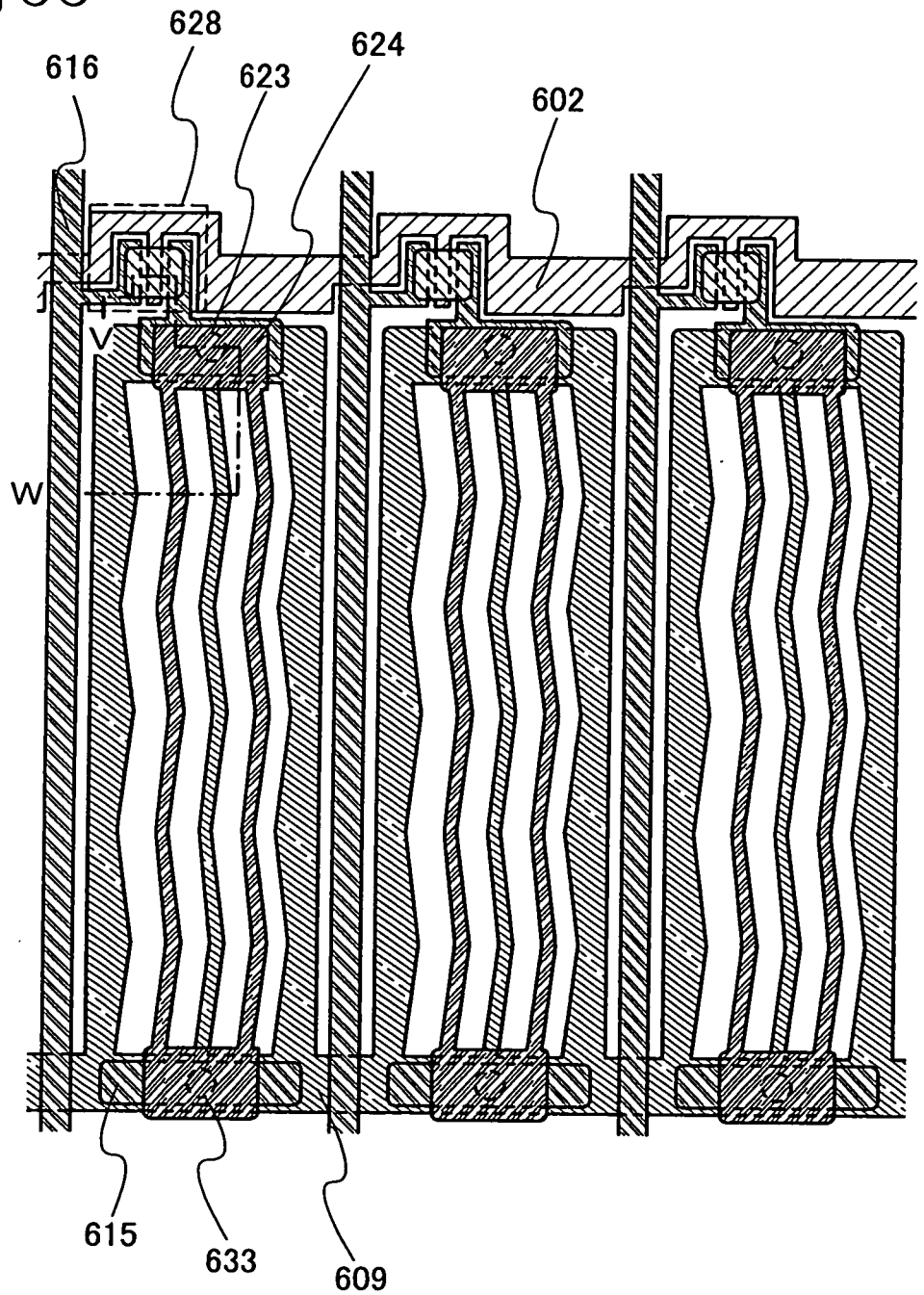


圖34

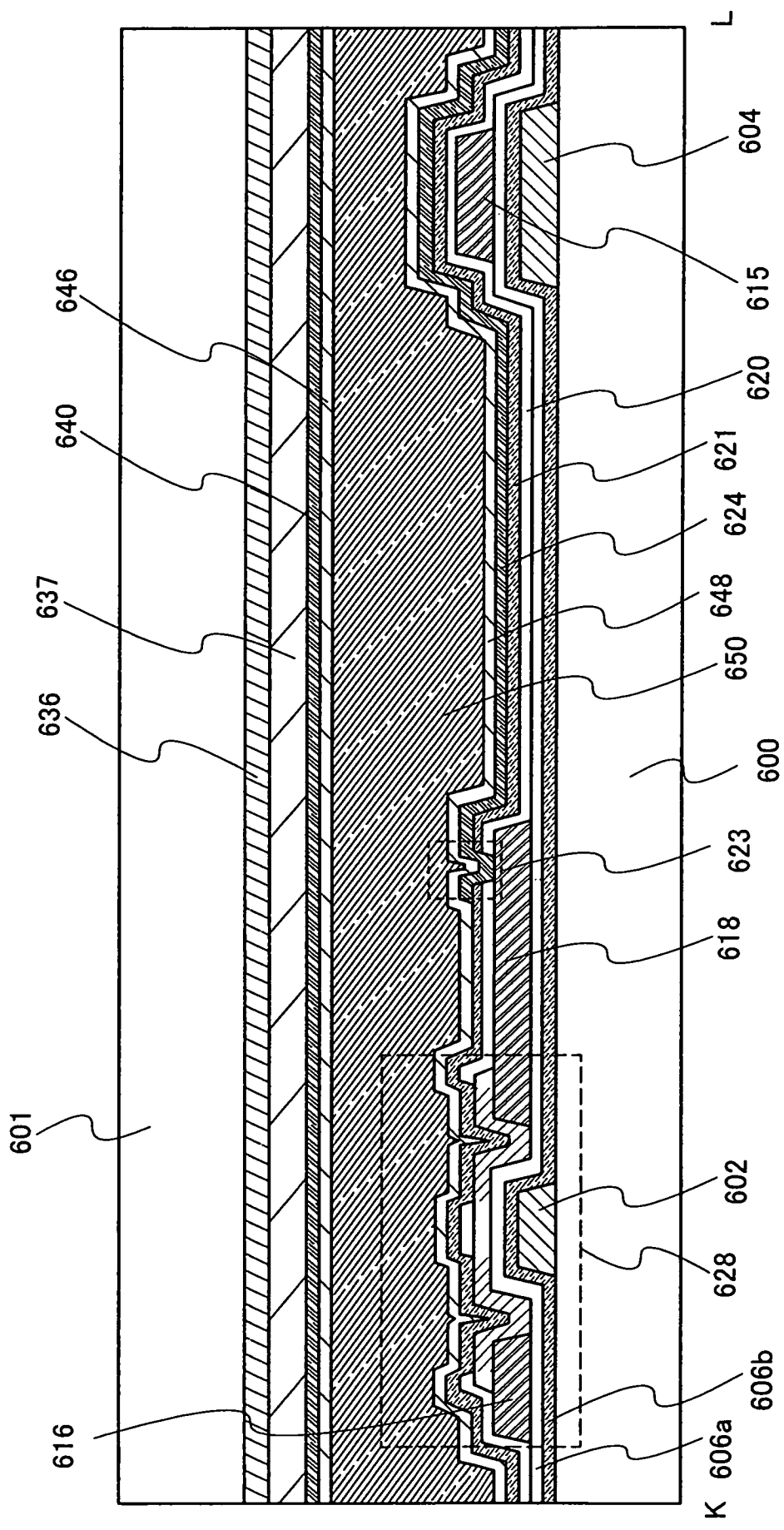


圖 35

