

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/335 (2006.01)

H01L 29/772 (2006.01)



# [12] 发明专利说明书

专利号 ZL 01135799.1

[45] 授权公告日 2009年8月19日

[11] 授权公告号 CN 100530567C

[22] 申请日 2001.10.18 [21] 申请号 01135799.1

[30] 优先权

[32] 2000.10.18 [33] US [31] 09/691.353

[73] 专利权人 国际商业机器公司

地址 美国纽约州

[72] 发明人 詹姆斯·W·阿基森

保罗·D·阿格尼洛

阿恩·W·巴兰坦

拉马·迪瓦卡鲁尼 埃林·C·琼斯

爱德华·J·诺瓦克

杰德·H·兰金

[56] 参考文献

US5612230A 1997.3.18

US5466621A 1995.11.14

US5675164A 1997.10.7

US6118161A 2000.9.12

US6118161A1 2000.9.12

US5545586A 1996.8.13

JP-11-251579A 1999.9.17

US4996574 1991.2.26

审查员 郭强

[74] 专利代理机构 北京市柳沈律师事务所

代理人 黄小临 王志森

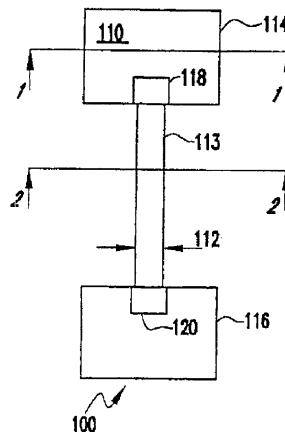
权利要求书2页 说明书11页 附图10页

[54] 发明名称

形成双栅极场效应晶体管的方法

[57] 摘要

本发明公开了通过形成外延生长沟道而制造一种双栅极硅绝缘体(SOI) MOSFET, 该沟道伴随有镶嵌(damascene)栅极。该双栅极 MOSFET 以窄沟道为特征, 该沟道增加了每布图宽度的电流驱动, 并提供了低的外部电导率。



1. 一种形成双栅极场效应晶体管的方法，包括：  
在基板上形成一氧化物层；  
在所述氧化物层上形成一硅层，所述硅层具有第一侧表面和第二侧表面；  
在所述硅层的第一侧表面上外延生长一蚀刻终止层；  
在所述第一蚀刻终止层上外延生长一沟道，所述沟道具有远离所述硅层第一侧表面的一第一侧壁和邻近所述硅层第一侧表面的一第二侧壁；  
去除所述硅层，然后去除所述蚀刻终止层，以便暴露所述沟道的第二侧壁；  
形成源极和漏极，其中源极和漏极的一侧表面接触外延生长的所述沟道的相对端部表面；以及  
形成栅极，其中栅极邻近外延生长的所述沟道的第一侧壁和第二侧壁并与它们绝缘。
2. 根据权利要求1所述的方法，其中进一步包括：  
用氧化物填充物填充围绕所述沟道的区域以及在源极和漏极之间的区域；  
刻蚀氧化物填充物的一部分以形成定义栅极的区域，其中定义栅极的区域位于源极和漏极之间的中部；以及  
沉积材料以形成栅极。
3. 根据权利要求2所述的方法，其特征在于，还包括步骤：  
刻蚀栅极和源极之间的氧化物填充物以显露所述沟道；以及  
刻蚀栅极和漏极之间的氧化物填充物以显露所述沟道。
4. 根据权利要求3所述的方法，其特征在于，还包括在所述沟道上形成氧化物的步骤。
5. 根据权利要求4所述的方法，其特征在于，所述氧化物为二氧化硅。
6. 根据权利要求3所述的方法，其特征在于，还包括步骤：  
对外延生长的所述沟道在栅极和源极间的部分进行注入；以及  
对外延生长的所述沟道在栅极和漏极间的部分进行注入。
7. 根据权利要求5所述的方法，其特征在于，注入步骤在相对于垂直

---

于外延生长的所述沟道顶表面的矢量的10至45度的范围内。

8. 根据权利要求6所述的方法,其特征在于,注入以相互间隔90度连续地进行。

9. 根据权利要求1所述的方法,其特征在于,还包括在栅极、源极和漏极上形成接触部的步骤。

10. 根据权利要求1所述的方法,其特征在于,栅极材料为多晶硅。

## 形成双栅极场效应晶体管的方法

### 技术领域

本发明主要涉及制备双栅极金属氧化物半导体场效应晶体管(MOSFET)，更具体地，涉及制备具有较薄外延生长沟道的双栅极MOSFET。

### 背景技术

场效应晶体管(FET)的结构可以包括单个栅极(单沟道)或一对栅极，双栅极的形式具有使更短的沟道并因而生产更快的器件成为可能的优点。当栅极长度缩减至50nm以下时，FET的比例率(scaling)受到栅控制的有限深度的限制。研究表明，将栅极设置在FET沟道的多个侧部将导致涉及短沟道特性和截止电流特性的改良的FET性能。假设硅足够薄以至于被完全耗尽，那么将栅极设置在FET沟道的多个侧部上就比标准FET更加紧密地限制电场和电荷，在标准FET中，电场无约束地深深穿进有效无限大硅基板中。完全耗尽型双栅极结构的可能的约束使得具有20-30nm的栅长度的改良的短沟道效应和器件成为可能。反向诱导沟道(inversion induced channel)将在硅的两个侧部上形成，且可能越过整个沟道，此沟道可以增加饱和电流。其它所报道的优点包括接近理想的亚域值斜率、增加的饱和电流以及减小的短沟道和漂移体效应。要求主要是5-50nm范围内的薄扩散区和低至20-100nm的栅长度，栅长度优选地为扩散长度的2至4倍。

已经提出了许多水平双栅极FET结构，尤其是SOI(硅绝缘体)双栅极FET结构。除传统的顶部栅极外，这些结构通常要求形成在薄的硅主体之下的底部栅极。因为顶部和底部栅极必须对齐至一超出当前光刻设备与方法的精度以外的公差，且因为自对准技术受到顶部和底部栅极间的层的阻碍，所以这种结构的制造是困难的。

在菲利普洪森(Hon Sum Philip)等人在IEDM97-427, IEEE1997中的“具

有 25nm 厚硅沟道的自对准(顶部和底部)双栅极 MOSFET (Self-Aligned (Top and Bottom) Double-Gate MOSFET with a 25 nm Thick Silicon Channel)”中，双栅极 MOSFET 被认为是缩减至 20-30nm 栅极长度的极限的补偿型金属氧化物半导体(CMOS)的最有前途的候选者。假设硅沟道厚度可以减小至 10-25nm 且栅氧化物的厚度减小至 2-3nm，精确蒙特卡洛器件模拟和分析计算预示了缩减至 20-30nm 栅极长度器件性能的连续改善。然而，因为失准将导致额外的栅极对源极/漏极的重叠电容和电流驱动损耗，所以顶部和底部的对准对于高性能非常关键。

下述专利涉及 FET，具体地涉及双栅极 FET。

褚(Chu)等人的标题为“垂直双栅极场效应晶体管(Vertical Double-Gate Field Effect Transistor)”的美国专利第 5,780,327 号描述了垂直双栅极场效应晶体管，它包括排列在主体或 SOI 基板上的堆垛(stack)内的外延沟道层和漏极层。利用不同的氧化速率将栅氧化物热生长在堆垛的侧部上，以使输入电容的问题减至最小。栅极围绕在堆垛一端的周围，而接触部形成在第二端。掩埋在堆垛第二端内的刻蚀终止层使得接触部可以直接制造到沟道层上。

索罗门(Solomon)等人的标题为“制造具有侧壁源极-漏极接触部的单和双栅极场效应晶体管的方法(Method for Making Single and Double Gate Field Effect Transistors with Sidewall Source-Drain Contacts)”的美国专利第 5,773,331 号描述了用于制造具有侧壁漏极接触部的单栅极和双栅极场效应晶体管的方法。相对于下面的支撑结构抬升 FET 沟道，并且源极和栅极区形成为沟道的组成部分。

特沃瑞(Tiwari)等人的标题为“具有超窄沟道的自对准双栅极 MOSFET(Self-Aligned Dural Gate MOSFET with an Ultranarrow Channel)”的美国专利第 5,757,038 号涉及通过自对准工艺形成的具有充分一致宽度的超薄沟道的自对准双栅极 FET。在不同的材料之间利用选择性刻蚀或受控氧化，以形成在源极和漏极区间延伸的垂直沟道，它具有从 2.5nm 到 100nm 范围内的厚度。

梅耶(Mayer)等人的标题为“硅绝缘体栅极全环绕 MOSFET 的制造方法(Silicon-on-Insulator Gate-All-Around MOSFET Fabrication Methods)”的美国专利第 5,580,802 号描述了 SOI 栅极全环绕(GAA)MOSFET，该 MOSFET 包

括被顶部栅极包围的源极、沟道和漏极，此顶部栅极还用于其它的掩埋结构，并且在形成在 SOI 晶片的源极、沟道和漏极半导体层上的底部栅极电介质上形成。

哥图(Gotou)等人的标题为“具有薄膜 SOI 结构的 MOSFET(MOSFET Having a Thin Film SOI Structure)”的美国专利第 5,308,999 号描述了具有薄膜 SOI 结构的 MOSFET，其中通过在 SOI 层的沟道区的顶表面和两个侧表面上形成栅电极，并通过将栅电极部分地延伸至沟道区底部下方内使得栅电极不完全连接，而使具有 SOI 结构的 MIS(金属绝缘材料半导体) FET 的击穿电压得以提高。

褚(Chu)等人的标题为“垂直双栅极场效应晶体管(Vertical Double-Gate Field Effect Transistor)”的美国专利第 5,689,127 号描述了垂直双栅极 FET，该 FET 包括在主体或 SOI 基板上排列的源极层、外延沟道层和漏极层。使用不同的氧化速率在堆垛的侧部上热生长栅氧化物，以将输入电容的问题减至最小。栅极围绕在堆垛一端周围，同时接触部形成在第二端上。掩埋在堆垛第二端内的刻蚀终止层使接触部可以直接形成在沟道层上。

目前，光刻定义的栅极是最简单的，但却有许多缺点。首先，栅极的定义可能在扩散区的侧部上留下多晶硅隔离衬(spacer)，或可能在扩散区的侧部上产生一所需的斜面，因而导致较差的品质和/或较难控制的器件。其次，多晶硅的斜面固有地导致难于形成硅化物栅极，这导致较慢的器件特性。最后，多晶硅的台阶高度引起光刻定义的难题，因为在 50nm 的设计规则技术中，我们希望台阶大约为 100nm-200nm 的大小。

制造双栅极 FET 的关键困难是实现薄扩散的硅化作用或具有可接受的接触电阻的多晶硅，这使得两个栅极没有失准的环绕栅极的制造和窄扩散区(优选地，比栅极长度小 2-4 倍)的制造成为可能。

用于制造双栅极晶体管的其它技术包括光刻定义具有高台阶高度的栅极(见史拉斯基(Shirasaki)的题为“增加源极和漏极区之间电导率的 MIS 晶体管结构(MIS Transistor Structure for Increasing Conductance between Source and Drain Reigions)”的美国专利第 4,996,574 号)、形成提供“空气桥(air bridge)”硅结构的选择性外延生长(见 1997 年国际电子器件会议(IEDM)第 427 页洪森菲利普王(Hon-Sum Philip Wong)的文章)，以及形成具有垂直载流子传输的环绕栅(见 1988 年 IEDM 第 222 页 H. 特卡托(H. Takato)的文章)。

总之，先前的制造方案取决于光刻定义的硅沟道，以及耗时且受限的横向外延生长。然而，在上述方法中，光刻定义的沟道不能以足够小的公差形成，甚至可用的公差也不能得以充分维持以支撑接近优选的双栅极晶体管的特性。另外，即使能够严格控制硅的厚度，使用横向电流的具有横向定义的 FET 宽度的技术也难于对准顶部和底部栅极。

假设沟道宽度可以制造得足够小，詹姆斯·W·埃迪克松(James W. Adkisson)，约翰·A·布拉赫塔(John A. Bracchitta)，约翰·J·埃利丝-莫娜甘(John J. Ellis-Monaghan)，杰罗姆·B·拉斯基(Jerome B. Lasky)，克拉克·D·彼得森(Kirk D. Peterson)和杰德·H·兰金(Jed H Rankin)的在 2000 年 3 月 16 日提交且在上文结合作为参考的标题为“双平板栅极 SOI MOSFET 结构(Double Planar Gated SOI MOSFET Structure)”的美国专利申请第 09/526,857 号描述了形成双栅极晶体管的方法。

## 发明内容

因此，本发明的一个目的是提供具有较薄外延生长沟道的双栅极晶体管。

本发明提供了一种形成双栅极场效应晶体管的方法，包括：在基板上形成一氧化物层；在所述氧化物层上形成一硅层，所述硅层具有第一侧表面和第二侧表面；在所述硅层的第一侧表面上外延生长一蚀刻终止层；在所述第一蚀刻终止层上外延生长一沟道，所述沟道具有远离所述硅层第一侧表面的一第一侧壁和邻近所述硅层第一侧表面的一第二侧壁；去除所述硅层，然后去除所述蚀刻终止层，以便暴露所述沟道的第二侧壁；形成源极和漏极，其中源极和漏极的一侧表面接触外延生长的所述沟道的相对端部表面；以及形成栅极，其中栅极邻近外延生长的所述沟道的第一侧壁和第二侧壁并与它们绝缘。

本发明提供一种形成场效应晶体管(FET)的方法，包括：提供基板；在基板上形成层，该层具有暴露的与基板垂直的两个相对的垂直侧面；在暴露的该两个相对的垂直侧面上分别形成一外延沟道，该沟道具有与所述侧面相对的第一侧壁和与所述侧面相邻的第二侧壁；去除在该层的一第一垂直侧面上的一沟道，然后去除该层，以暴露第二垂直侧面上的沟道的第二

侧壁；在去除沟道的位置形成一第二沟道；形成与第一沟道端部联接的源极和漏极区；以及形成栅极，它邻近所述沟道的至少一个侧壁。

本发明还提供一种场效应晶体管(FET)，包括：基板；基板内的源极区和漏极区，每个所述源极区和漏极区具有顶部、底部和至少两个侧扩散表面，源极和漏极区被外延生长的沟道区隔开，该外延生长的沟道区具有顶部、底部和与扩散表面的相应面大致共面的侧沟道表面，所述外延生长的沟道区沿栅极方向与所述基板垂直；栅极，它邻近顶部和侧沟道表面，且与顶部和侧沟道表面电绝缘；以及包括平坦顶表面的栅极，该平坦顶表面具有用以接收用于控制场效应晶体管的栅控制电压的接触部。

本发明还提供一种形成双栅极场效应晶体管(FET)的方法，包括：在基板上形成第一和第二外延生长沟道；刻蚀硅层中的区域以形成源极和漏极，其中源极和漏极的一侧表面接触第一和第二外延生长沟道的相对端部表面；以及形成栅极，其中栅极邻近第一和第二外延生长沟道的顶表面和两个侧表面以及基板的顶表面并与它们绝缘。

根据本发明，提供一种形成场效应晶体管(FET)晶体管的方法，包括在基板上形成硅层的步骤。其次，在硅层的侧表面上形成外延沟道，因而显露沟道的一个侧壁。然后除去硅层，因而显露外延沟道的第二侧壁。然后形成与外延沟道端部联接的源极和漏极区。最后，在外延沟道上方形成栅极。

本发明试图利用用于生长外延区的已知技术提供非常薄的扩散区以形成非常薄的沟道，且具有在沟道厚度上提供比光刻定义的沟道更小的公差的优势，该光刻定义的沟道可以通过选择性刻蚀来保持，且由于薄限制层的出现，外延生长也不会复杂。

## 附图说明

从以下结合附图的本发明优选实施例的详细说明中，前述及其它目的、特征和优点将得以更好地理解，其中：

图 1A 是示出硅线的器件的顶视图；

图 1B 是沿图 1A 所示的线 1-1 剖开的横截面图；

图 1C 是沿图 1A 所示的线 2-2 剖开的横截面图；



图 2A 是示出图 1A 的基板在刻蚀终止层和沟道层外延生长之后的视图;

图 2B 是沿图 2A 所示的线 1-1 剖开的横截面图;

图 2C 是沿图 2A 所示的线 2-2 剖开的横截面图;

图 3A 是示出图 2A 具有用于去除硅线的掩膜开口的视图;

图 3B 是沿图 3A 所示的线 2-2 剖开的横截面图;

图 4A 是示出图 3A 在去除硅线和刻蚀终止层的所有残留部分之后的视图;

图 4B 是沿图 4A 所示的线 2-2 剖开的横截面图;

图 5 是图 4A 的器件在形成第二沟道之后的视图;

图 6 是沿图 5 所示的线 2-2 剖开的示意性横截面图;

图 7 是示出图 6 的基板在浅槽隔离(STI)填充和抛光之后的视图;

图 8A 是沿图 11B 所示的线 2-2 剖开的在涂覆多晶硅导体(PC)抗蚀剂掩膜并刻蚀之后的示意性横截面图;

图 8B 是沿图 11B 所示的线 2-2 剖开的在涂覆 PC 抗蚀剂掩膜之后的示意性横截面;

图 9A 是示出图 8A 的基板在栅极电介质生长或沉积和栅极导体沉积之后的视图;

图 9B 是示出图 8B 的基板在 PC 抗蚀剂掩膜去除之后的视图;

图 10A 示出图 9A 的基板中 STI 和隔离注入物的去除;

图 10B 示出图 9B 的基板中的附加注入物;

图 11A 是示出图 10A 的成品器件在接触部前的视图;

图 11B 是示出成品器件的顶视图; 以及

图 12 说明去除因过多刻蚀导致的有缺陷材料的技术。

### 具体实施方式

现在参照图 1A, 其示出了起始硅绝缘体(SOI)基板 100 的顶视图。如分别与图 1A 中所示的截面 1-1 和 2-2 对应的图 1B 和 1C 所示, 基板 100 包括主体基板 106、掩埋氧化物(BOX)层 108 和活化层 110。图 1B 和 1C 还示出了活化层 110 上的氧化物缓冲膜(pad film)102 和氮化物缓冲膜 104。本领域

的技术人员将意识到优选的是具有设置在氮化物缓冲膜 104 顶部上的氧化物缓冲膜 102。缓冲氧化物 102 使用标准氧化技术生长，且典型地将在 3 至 14nm 的范围内，优选为 8nm。缓冲膜 104 设置在缓冲氧化物 102 上。优选的是氮化物膜被用作缓冲膜 104，虽然也可使用其它材料。氮化物(上)缓冲膜 104 一般在 30 至 120nm 的范围之间，优选为 80nm，且定义用于浅槽隔离(STI)成型的刻蚀区域。

构图活化器件层 110 以形成硅沟道将形成在其上的边缘 112。用于形成将要成为沟道区的活化层 110 的宽度 113 不是关键的，然而它必须足够宽以用于掩蔽并且足够窄以限制过度刻蚀，因而提供了适当的实用的制造公差。优选的是在此阶段根据本领域技术人员所公知的传统加工技术形成硅区域，此区域将成为源极 114 和漏极 116 区域和接触区域 118、120。

在刻蚀终止层 202 的外延生长和沟道 204 后续的外延生长之后，图 2A、2B 和 2C 分别相应于图 1A、1B 和 1C。优选的是刻蚀终止层包括 Si(0.3)Ge(0.7)，且外延生长沟道包括硅或具有锗和/或碳的硅合金。通过将应变添加到沟道和/或改变穿过沟道的导带和价带以改变器件的阈值或提高载流子输运，硅与其它IV族元素的合金(尤其是锗和碳)也可用于优化 FET 的特性。对于本领域的技术人员显而易见的是，在形成刻蚀终止层 202 和沟道 204 前，使用适当的清洁工艺以去除氧化物缓冲膜 104 下方的硅 110 的一部分。被去除的硅的宽度应当大致等于刻蚀终止层 202 和沟道 204 的总宽度。

虽然选择性沉积是优选的，但是如果刻蚀过度了，可以要求刻蚀终止层 202 和沟道 204 的非选择性外延沉积。优选的是，层 202 的厚度大约是 5nm。刻蚀将极其依赖于外延生长的细节。尤其是使用选择性外延生长，当抵达开口边缘时，刻蚀可以改变外延区域的厚度。因为相对于生长高度沟道凸出得非常薄，所以沟道将受到影响的区域可能较小。引发位错前的允许厚度对 Ge 的百分率是敏感的，并随 Ge 百分率的增加迅速减小(见 Phys. Stat. Sol. (a)杂志 1996 年第 155 卷第 141 页 A·菲谢尔(A. Fischer)和 H·库勒(H. Kuhne)的“应变层结构的临界剂量(Critical Dose for Strained Layer Configuration)”)。然后，沟道 204 外延生长，优选地在 5-50nm 范围之间。

沟道 204 的底部和顶部可以有缺陷。尤其当外延层薄时，该区域可能极小且对器件的形成可能不重要。然而，如果需要去除这些区域，则可采

用两种工艺以小的但可容忍的器件宽度控制的下降为代价来进行。具体地说,可以沉积与图 3B 隔离衬 302 的相似的隔离衬,但刻蚀得更低以显露外延区域的顶部。在形成此隔离衬之后,在隔离衬的下部刻蚀掩埋氧化物,如图 12 的左侧上所示。另一种方案是,可以使用薄的复合物隔离衬。在此情况中,各向同性地刻蚀隔离衬的底部以显露底部和底部区。隔离衬(过度刻蚀)的高度由需要抵达隔离衬底部的外延区的下部凹槽(undercut)确定,如图 12 右侧上所示。在刻蚀缺陷区后,在执行后续加工步骤前,相对于外延区域和掩埋氧化物选择性地去除隔离衬。应当注意,也可以在图 4B 所示的隔离衬去除后执行上述过程,上述过程的隔离衬在进一步加工前被除去。

在附加的加工步骤之后,图 3A 和 3B 分别对应于图 2A 和 2C,如下所述。如图 3B 所示,使用为本领域技术人员众所周知的适当的技术和材料形成隔离衬 302,以保护沟道 204 不被侵蚀。

然后,涂覆和沉积掩膜,使得图 3A 所示的掩膜开口 304 设置为用于去除掩膜开口 304 内硅层 110 和刻蚀终止层 202 的显露部分。优选的是,将掩膜 304 排列得尽可能靠近沟道 204。然后使用各向异性刻蚀方法来刻蚀掩膜开口 304 内暴露的硅 110。

然后刻蚀掩膜开口 304 内暴露的硅 110。因为在此刻蚀过程中不是所有的硅 110 被去除,所以硅层 110 也被横向刻蚀,在刻蚀终止层 202 上终止(见 1988 年 10 月《IEEE 国际硅绝缘体(SOI)会议论文集(Proc. IEEE International Silicon on Insulator (SOI) Conference)》第 145-146 页 K·D·赫伯特(K. D. Hobart), F·J·库伯(F. J. Kub), M·E·特维戈(M. E. Twigg), G·G·杰尼耿(G. G. Jernigan), P·E·汤普森(P. E. Thompson)的“超切口:用于具有超薄(<5nm)硅膜的 SOI 基板的制造的简单技术(Ultra-cut: a Simple Technique for the Fabrication of SOI Substrates with Ultra-Thin (<5nm) Silicon Films)”。KOH 可以用作刻蚀剂,它对 Si:Si(0.3)Ge(0.7)具有大约 20:1 的选择性,然而公开了 NH<sub>4</sub>OH 对 25%Ge 膜具有比 100:1 更好的选择性(见《电化学学会学报(J. Electrochem. Soc.)》1997 年 3 月第 144 卷第 3 期第 L37 页 G·王(G. Wang)等人的“使用 NH<sub>4</sub>OH 溶液的 Si 对 Si(1-x)G(x)的高选择性化学刻蚀(Highly Selective Chemical Etching of Si vs. Si(1-x)G(x) Using NH<sub>4</sub>OH Solution)”)。

因而,由于具有约 70nm 的重叠和约 20nm 的边缘公差,故所希望厚度为约 85nm。假设 20%的过度刻蚀,将需要 100nm 的刻蚀。于是,当 KOH

用作刻蚀剂时，最差情况的 SiGe 侵蚀将是约 5nm，且当  $\text{NH}_4\text{OH}$  用作刻蚀剂时，为约 1nm。

接着，对刻蚀终止层 202 进行选择性刻蚀至沟道 204。对于 70% 的 Ge 膜， $\text{HF}:\text{H}_2\text{O}_2:\text{CH}_3\text{COOH}$  的选择性为约 1000:1。假设 10nm 的刻蚀，则因而 Si 侵蚀可忽略。对于 50% 的 Ge 膜， $\text{HNO}_3:\text{H}_2\text{O}:\text{HF}(40:20:5)$  的选择性为约 25:1。有效的 HF 稀释液为约 12:1。氧化物的侵蚀将是显著的，但根据本领域技术人员所公知的传统加工步骤则是可控的。 $\text{HNO}_3:\text{H}_2\text{O}:\text{HF}$  的刻蚀速率为约 40nm/min，建议非常短的曝光且为了控制可能允许进一步的稀释。(见 1992 年《电化学学会学报(J. Electrochem. Soc.)》第 139 卷第 10 期第 2943

页 D.J.戈德贝(D. J. Godbey)等人的“使用  $\text{HNO}_3$  和 HF 的  $\text{Si}(1-x)\text{Ge}(x)$  从  $\langle 100 \rangle$  硅上的选择性去除(Selective Removal of  $\text{Si}(1-x)\text{Ge}(x)$  from Si Using  $\text{HNO}_3$  and HF)”)如果需要，可以根据本领域技术人员所公知的传统加工步骤除去隔离衬 302。

在活化层 110 和刻蚀终止层 202 的刻蚀后，图 4A 和 4B 分别对应图 3A 和 3B。如果需要，可以根据本领域技术人员所公知的传统加工步骤涂覆修整掩膜以去除不需要的翼片 402。图 5 示出第二沟道 502 形成后的图 4A 的器件，如同本领域技术人员将容易认识到的那样，该沟道可以通过使用与对第一沟道 204 的先前描述相同工艺步骤形成。

在形成第一沟道 204 和第二沟道 502 区域后，完成双栅极晶体管所需的最终加工步骤的第一序列将描述如下。

现在参照图 6，图 5 中的沟道 204 和 502 与可用于形成另一栅极结构的附加沟道 602 一起得以显示。于是，本领域技术人员应当理解，除所示沟道 204、502 和 602 外，基板 100 可以包括多个沟道。此处，基板 100 因而包括主体基板 106、BOX 层 108 和沟道 204、502 和 602。

于是，在图 7 中，提供了标准 STI 填充物 702，优选地是约 300 至 500nm 厚的二氧化硅层。然而，本领域技术人员所公知的其它适宜材料也可用作牺牲膜。优选的是通过抛光使 STI 表面平坦化。

图 8A 是图 11B 的沿 1-1 截面的示意性横截面图。图 8A 是示意性的，因为多晶硅导体(PC)抗蚀剂 802 和 STI 填充物 702 在图 8A 中的制造过程中出现，却未出现在图 11B 的对应区 141 中。在 STI 填充物 702 的所选区域

上设置PC抗蚀剂掩膜802后,相对于缓冲膜104选择性刻蚀STI填充物702并往下至BOX层108。优选的但不是必须的是,刻蚀也可以相对于BOX层108是选择性的。然后,相对于STI填充层702和BOX层108选择性地去除缓冲膜104。图9A和10A示出了,如果需要,缓冲层104可以留下以使得薄栅极电介质904仅在沟道204、502和602的侧壁上。优选的是,在每次刻蚀中约为10:1的选择度,这可用具现有技术水平的刻蚀完成。如果需要,可以可选择地在此点引入阱注入。这些注入物将使用高角度注入完成,优选地在10至45度的范围内,每次注入相互之间旋转约90度以充分掺杂扩散区的侧壁。为了避免比侧部更多地掺杂扩散区的表面层,注入可以在去除PC抗蚀剂802暴露区内的缓冲膜104之前进行。

图8B是图11B所示截面2-2的示意性横截面图。图8B示意性的,因为PC抗蚀剂掩膜802和STI填充物702在图8B中的制造过程中出现,却未示出在图11B中源极114、漏极116和栅极902之间的区域内。图8B于是示出制造过程中PC掩膜802的选择性设置。这可以利用使用优选地包括光致抗蚀剂或硬掩膜的PC掩膜的标准构图光刻技术完成。

图9A示出了栅极电介质904(例如 $\text{SiO}_2$ )生长和栅极导体902沉积之后的图8A的基板。应当被理解的是氮氧化物、氮化物/氧化物的复合物、金属氧化物(例如 $\text{Al}_2\text{O}_3$ 、 $\text{ZrSiO}_4$ 、 $\text{TiO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{ZrO}_2$ 等)、钙钛矿(例如 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 $\text{La}_2\text{O}_3$ )及它们的混合物也可用作电介质。在每个沟道204、502和602上的栅极电介质的生长可以是根据传统方法的标准炉或单晶片室氧化。如果需要,氮化物(如 $\text{N}_2\text{O}$ 、 $\text{NO}$ 或 $\text{N}_2$ 杂质)可以在氧化之前、之中或之后引入。在每个沟道204、502和602上的栅极电介质的沉积可以通过例如化学气相沉积(CVD)或本领域技术人员公知的其它技术来完成。

在刻蚀后,沉积栅极902。栅极导体的沉积可以使用传统CVD或直接溅射技术完成。应当理解的是,可以使用非多晶硅的栅极导体。例如,可以使用SiGe混合物、高熔点金属(例如W)、金属(例如Ir、Al、Ru、Pt)和TiN。总体上,可以使用能抛光的并具有高电导率和合理逸出功的任何材料替代多晶硅。在沉积后,根据传统技术抛光栅极902。

图9B示出了PC抗蚀剂掩膜802去除后的图8B。根据传统技术清洁STI表面904。

图10A和10B示出了用以在去除STI填充物702后形成图9A的

MOSFET 器件的附加注入。相对于垂直于晶片表面的矢量，以大角度完成注入，优选地在 7 至 45 度范围内。四次注入，每次绕晶片表面的法向矢量相互间旋转大约 90 度，以均匀地充分掺杂扩散区的侧壁。在扩散区顶部的缓冲氧化物层 102 可被用于避免过强地掺杂扩散区的表面。在此情况中，将在注入后但在最终注入完成前去除缓冲膜 104，该最终注入将接在隔离衬 146 沉积后。

图 11A 示出了根据传统步骤形成硅化物层 1102 后图 10A 的器件。在形成栅极 902 后，还根据传统步骤，形成隔离衬 1104 并退火扩散区，并且沉积极其相似的电介质填充层 1106，然后将其抛光至栅极导体的顶部。优选的是，电介质填充物 1106 是跟随有掺杂玻璃的氮化物层。因为较高的长径比，填充物特性要求快速热 CVD 或使用高密度等离子体强化 CVD 技术的自溅射沉积。典型地，电介质玻璃包括磷和/或硼，但它也可以不掺杂。

图 11B 示出完成的器件的顶部视图。源极 114 和漏极 116 的区域通过注入形成。加入接触部 1106、1108 和 1110，并且根据传统步骤进行引线后端(BEOL)加工。

再参照图 8A，第二序列包括去除缓冲氧化物 102 和缓冲氮化物 104 膜的步骤。如果需要，可以形成一次性隔离衬，如果有缺陷，沟道 204、502 和 602 的顶部内可刻蚀。如图 9A 所示，生长栅极氧化物，并优选地用上述相同材料中的材料沉积栅极 902 且刻蚀以形成栅极。

虽然本发明以其优选实施例的形式已经得以描述，但是本领域的技术人员将认识到，本发明可以在所附权利要求的实质和范围内进行多种变型。

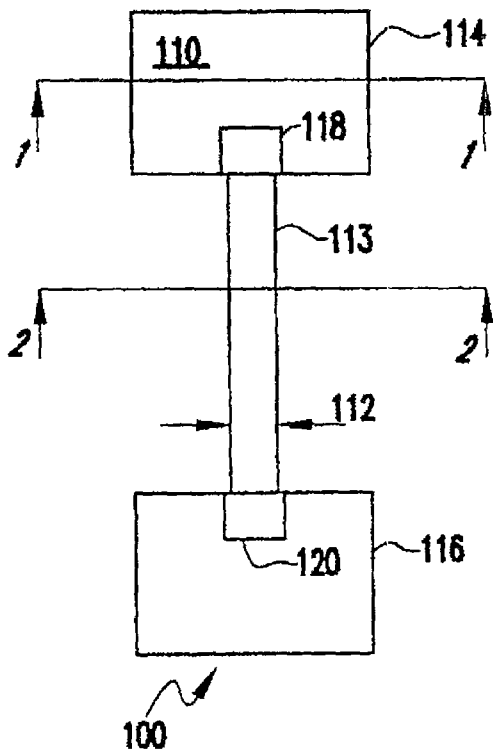


图 1A

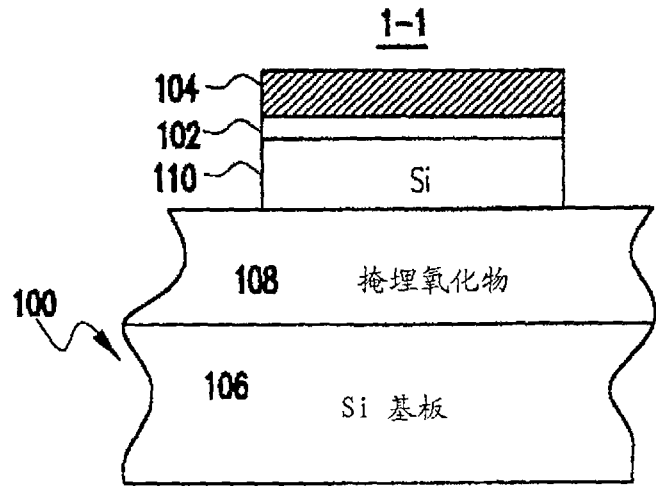


图 1B

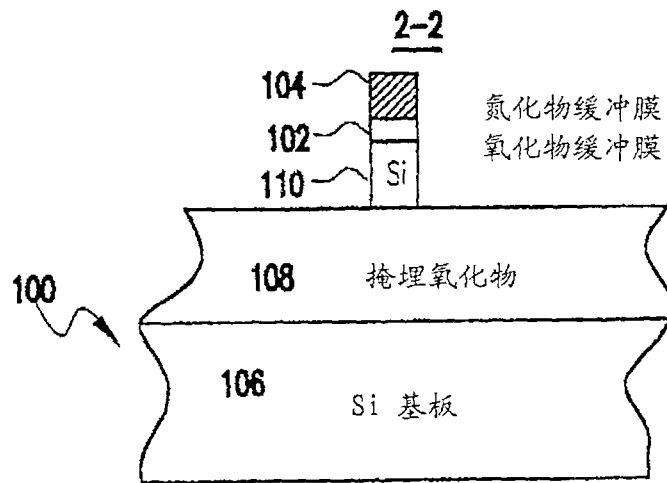


图 1C

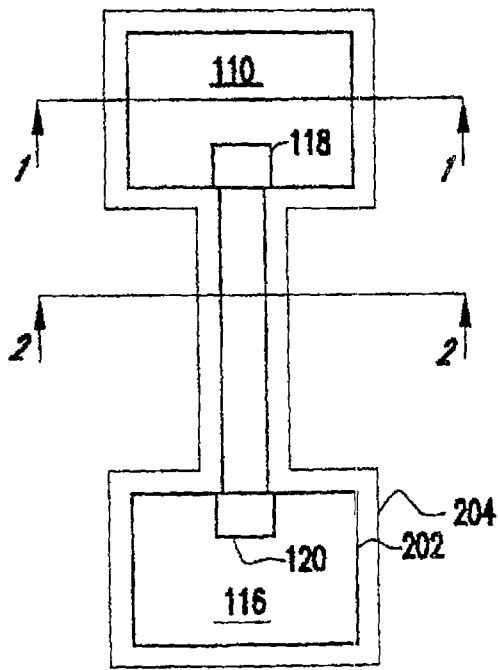


图 2A

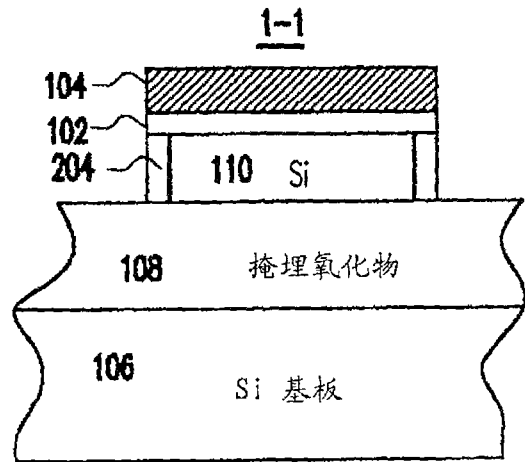


图 2B

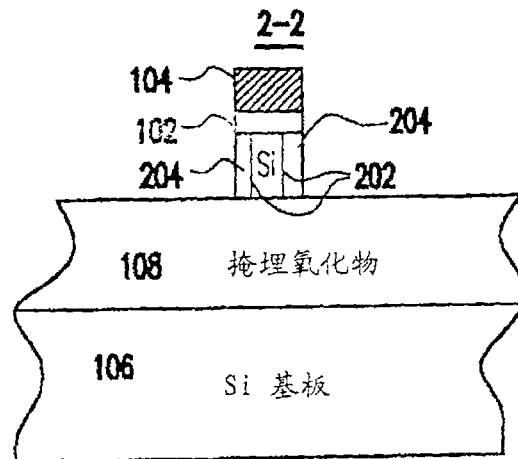


图 2C



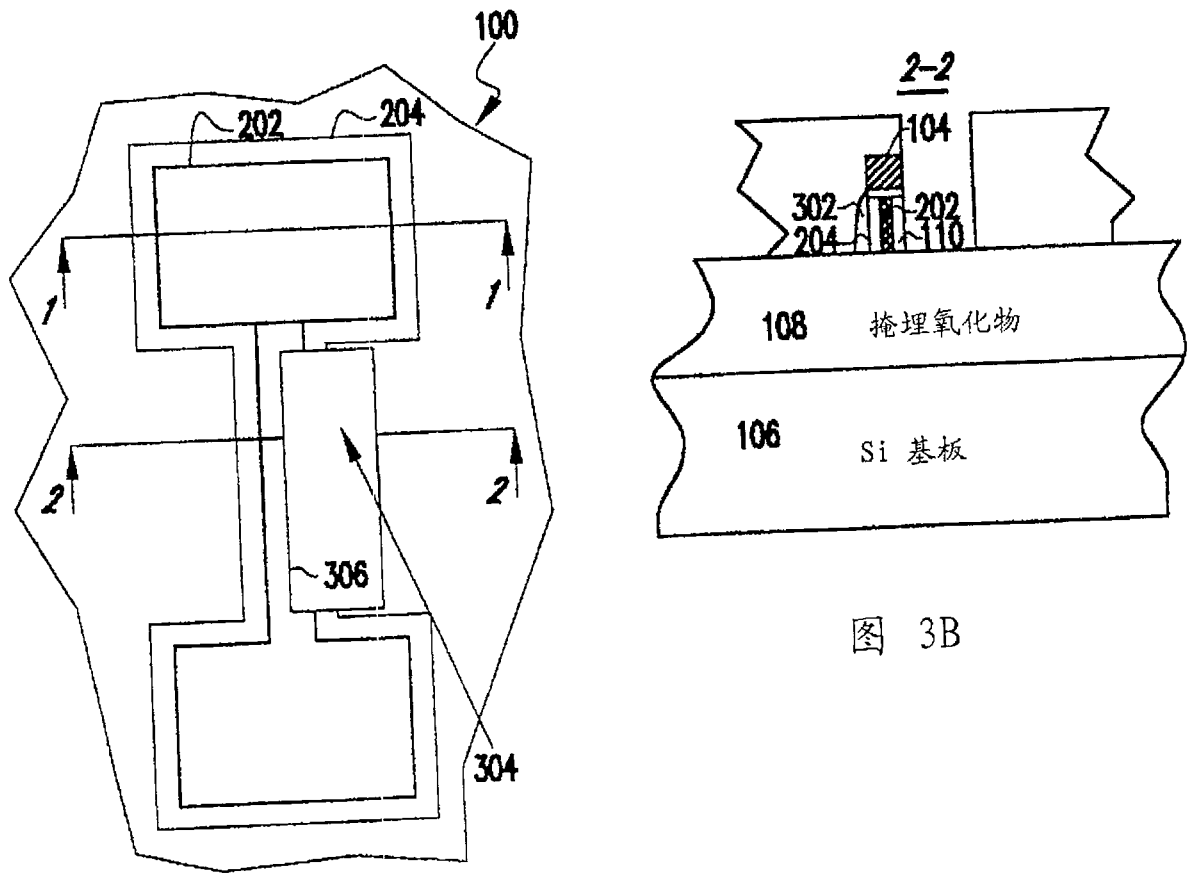


图 3A

图 3B

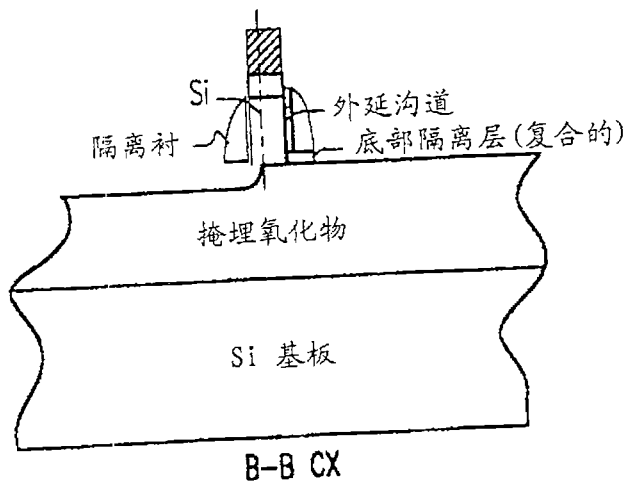


图 12

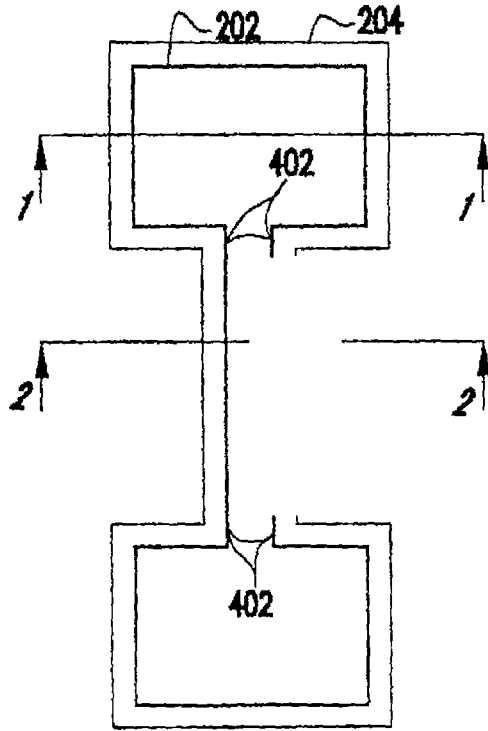


图 4A

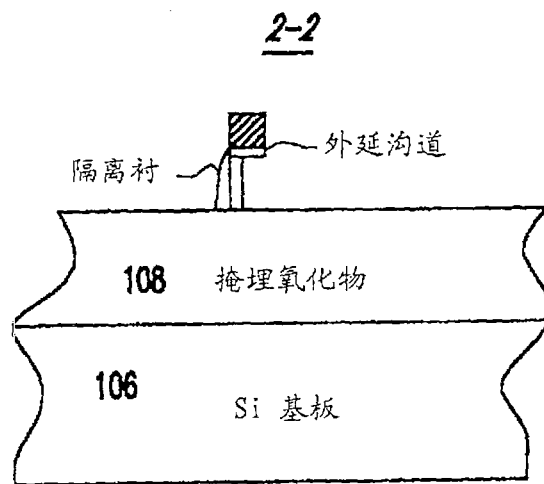


图 4B

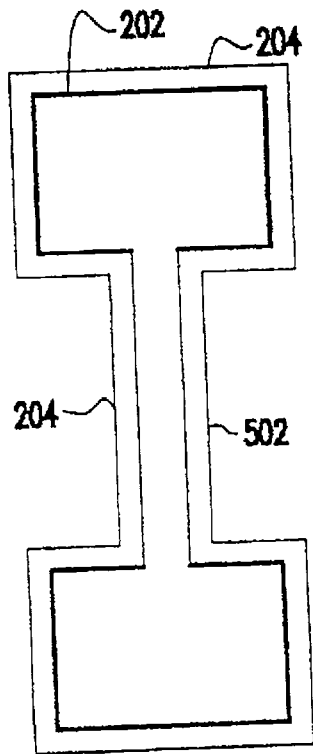


图 5

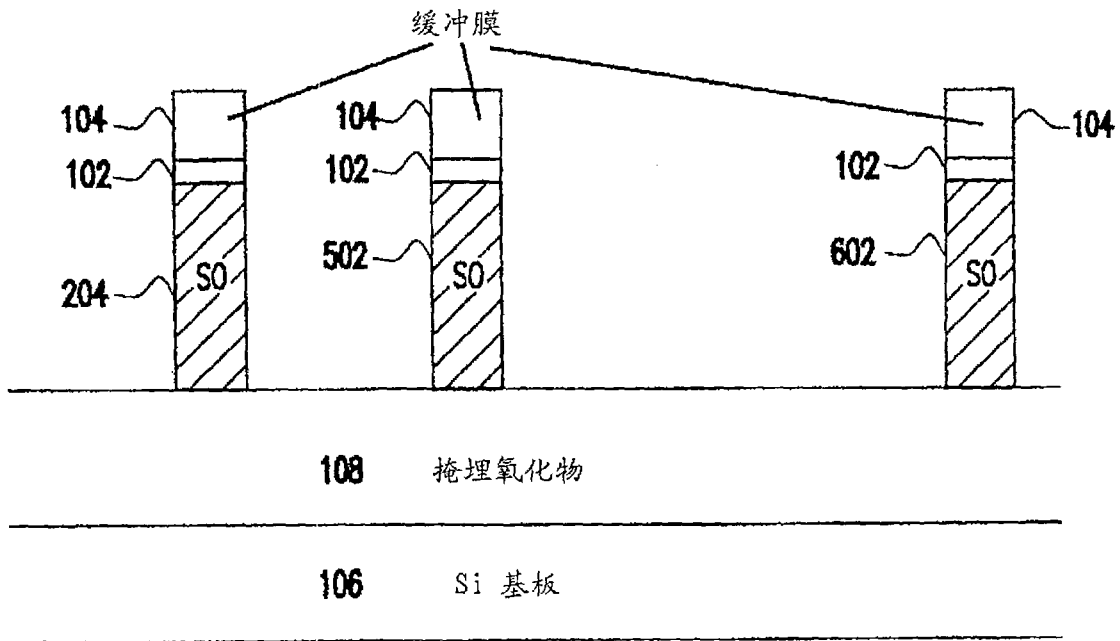


图 6

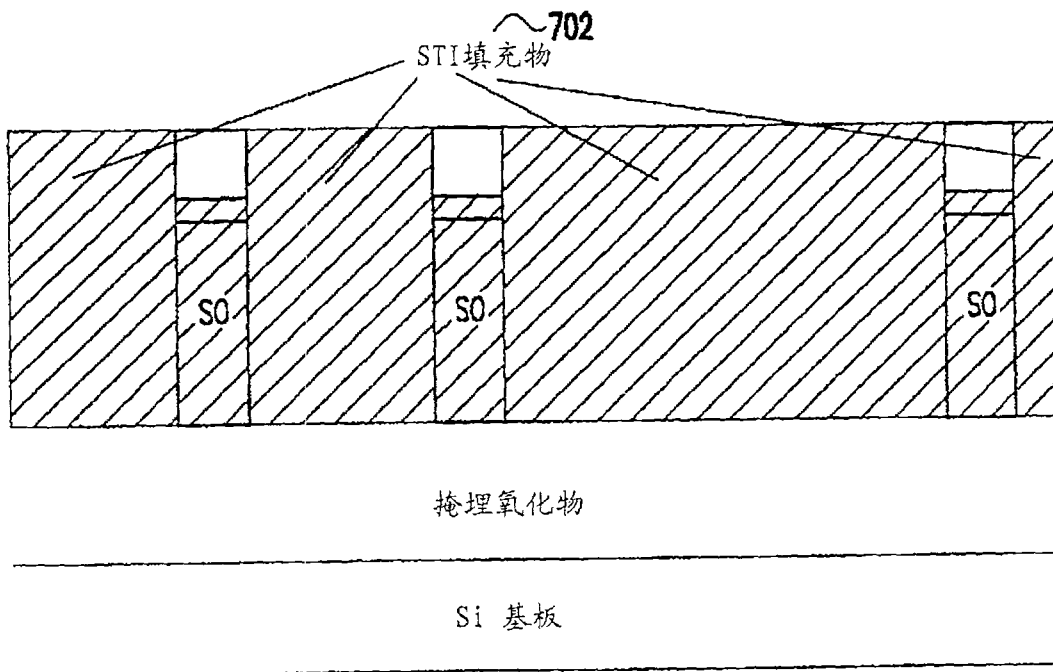


图 7

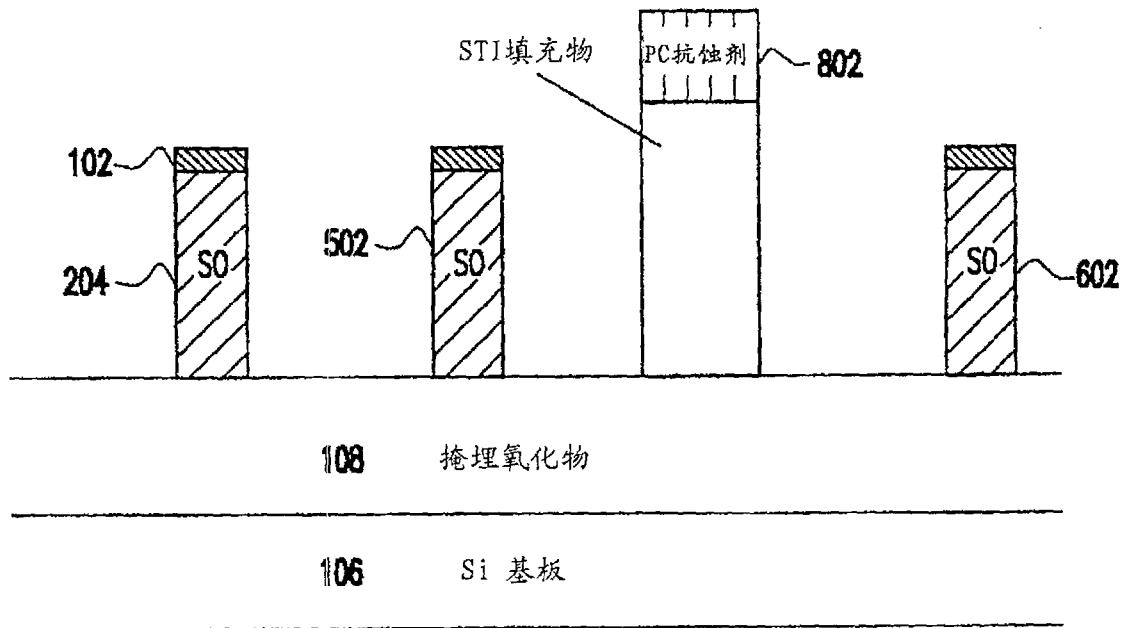


图 8A

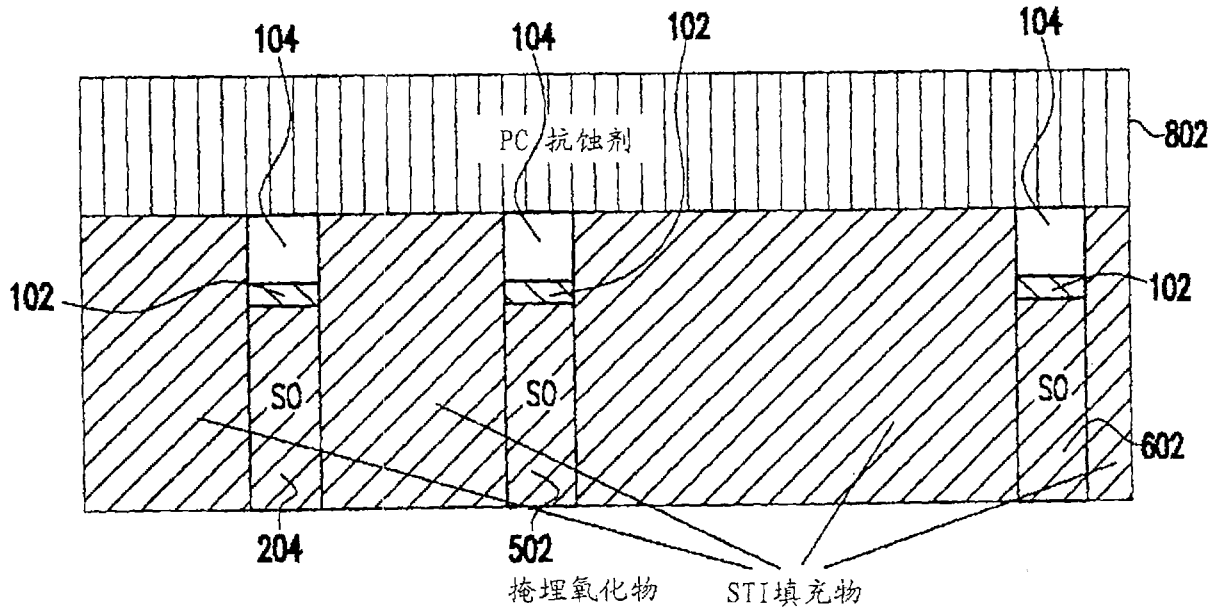


图 8B

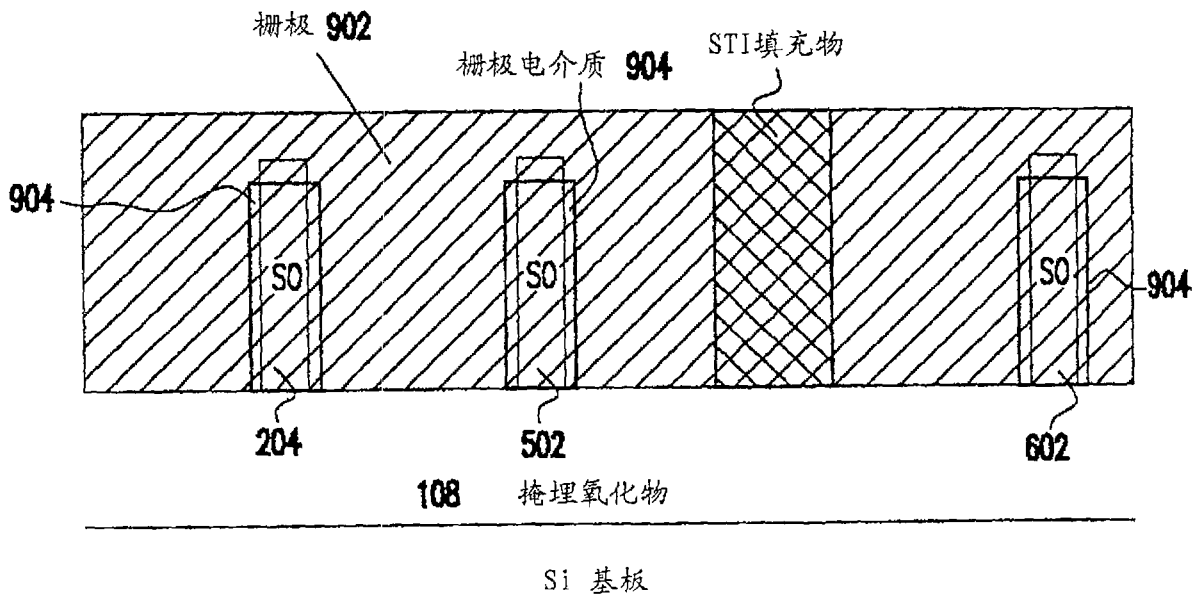


图 9A

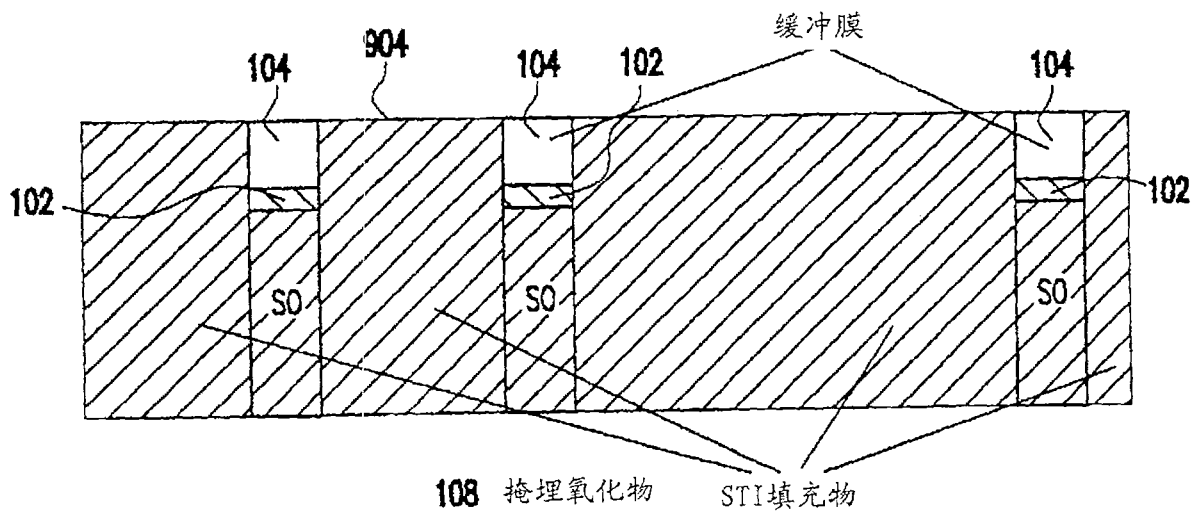


图 9B

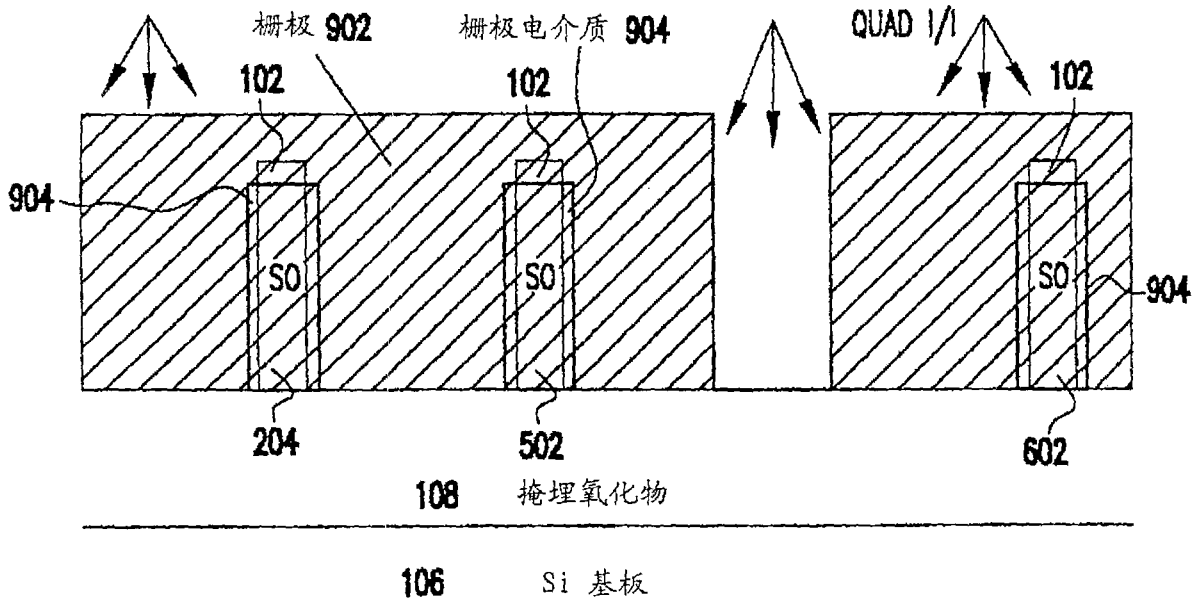


图 10A

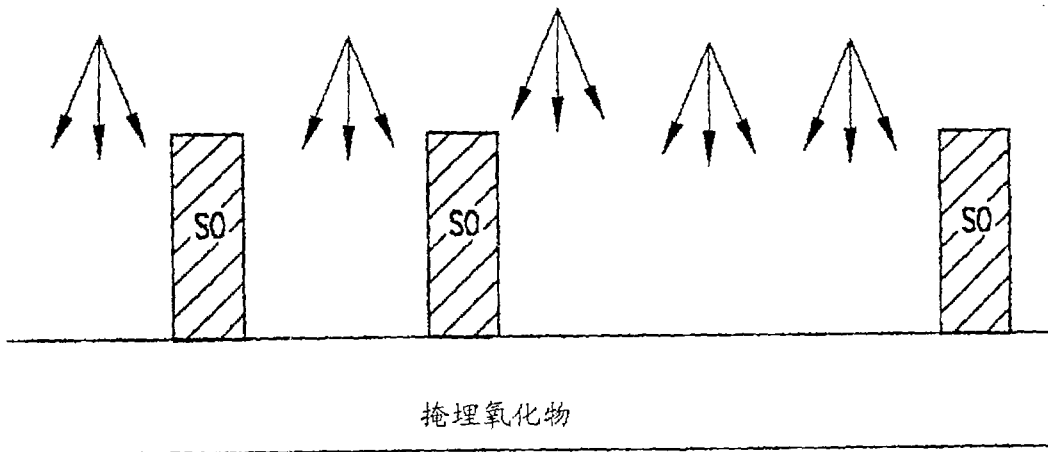


图 10B

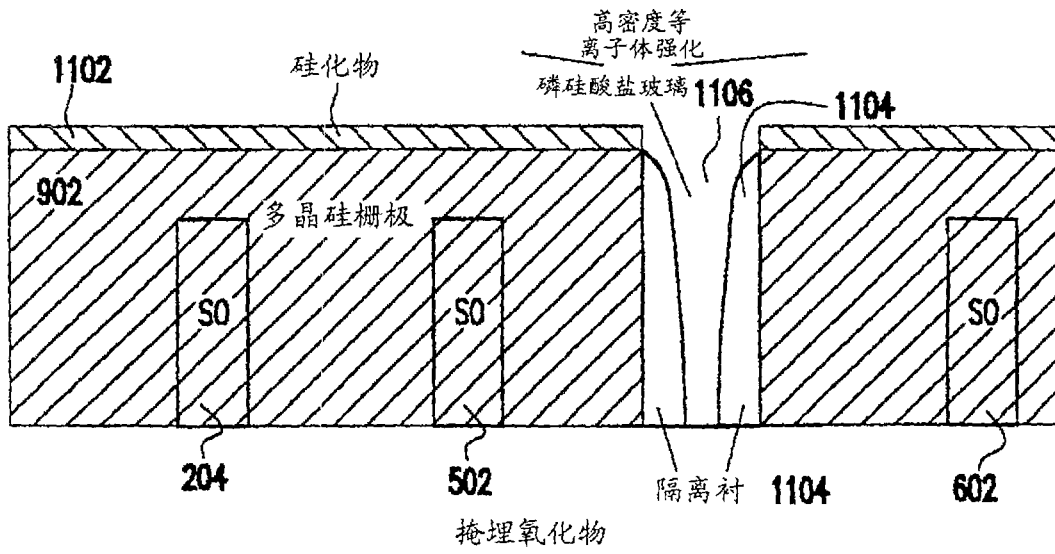


图 11A

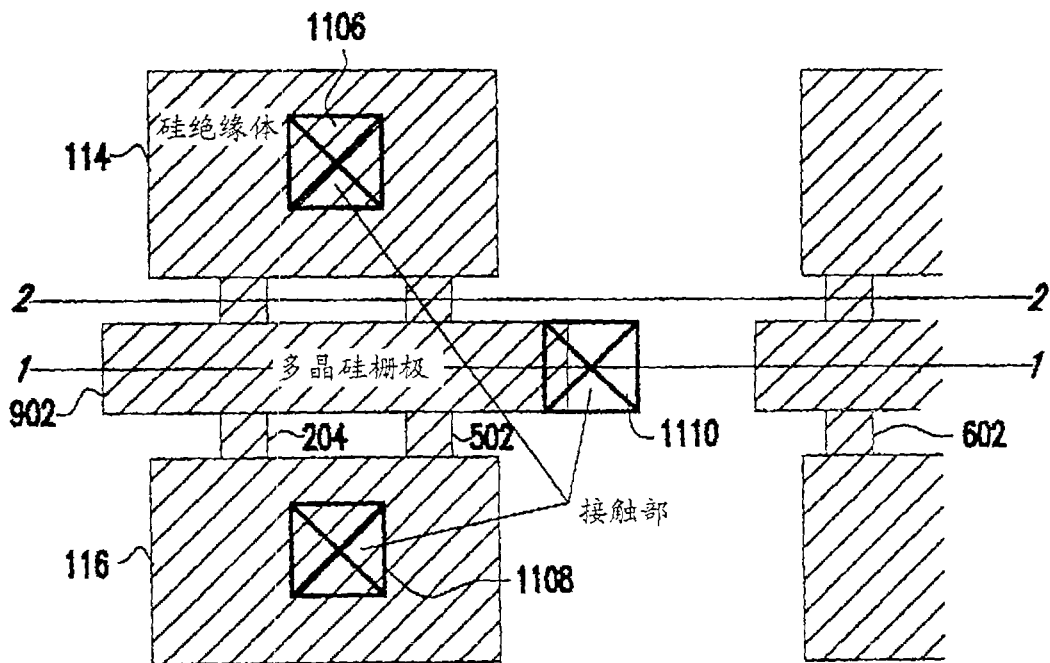


图 11B