

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H03K 19/003

H03K 17/16



[12] 发 明 专 利 说 明 书

专利号 ZL 01808215.7

[45] 授权公告日 2005 年 10 月 12 日

[11] 授权公告号 CN 1223089C

[22] 申请日 2001.3.2 [21] 申请号 01808215.7

[30] 优先权

[32] 2000. 3. 20 [33] US [31] 09/528,857

[86] 国际申请 PCT/US2001/006759 2001.3.2

[87] 国际公布 WO2001/071915 英 2001.9.27

[85] 进入国家阶段日期 2002.10.17

[71] 专利权人 摩托罗拉公司

地址 美国伊利诺斯

[72] 发明人 杰弗里·B·霍尔 佩德罗·奥瓦勒

德聪·T·特兰

审查员 丛 森

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

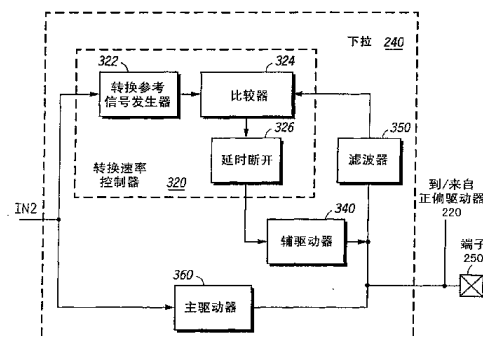
代理人 李德山

权利要求书 2 页 说明书 12 页 附图 8 页

[54] 发明名称 负载电容补偿缓冲器,其设备及方法

[57] 摘要

响应输入信号, 激活主驱动器(360)来驱动输出信号。响应该输入信号产生一个参考信号。输出信号与参考信号作比较。当输出信号比参考信号滞后一个预定值时, 辅助驱动器(340)被激活。



1. 一种包括相应于在驱动器电路输入端收到的输入信号驱动输出端子上的输出信号的驱动器电路的设备，该驱动器电路包括：

与驱动器电路输入端和所述输出端子相连的主驱动器；

耦接为接收所述输入信号和所述输出信号的转换速率控制电路，其中，该转换速率控制电路还包括：与所述驱动器电路输入端相连的转换参考发生器；一个比较器，该比较器耦接到所述转换参考发生器和所述驱动器电路的所述输出端子，用以提供一个接通延迟，以延迟辅驱动器的激活直到主驱动器被激活之后；及

与所述转换速率控制电路和所述输出端子耦接的辅驱动器，其中，所述转换速率控制电路控制所述辅驱动器的激活。

2. 如权利要求1所述的设备，其中，所述转换速率控制电路还包括：断开延迟电路，耦接到所述比较器的输出，并连接到所述辅驱动器，用以延迟所述辅驱动器的停用。

3. 如权利要求1所述的设备，其中，所述比较器比较所述参考信号的电压与所述输出信号的电压，响应与所述输出信号的电压相差至少一个阈值电压的参考信号的电压，所述比较器激活所述辅驱动器。

4. 如权利要求1所述的设备，其中，所述转换速率控制电路控制所述辅驱动器将输出信号的转换增大到某个程度，该程度取决于所述输出信号的电压和所述参考信号的电压之间的电压差的大小。

5. 一种包含一系列驱动器电路的集成电路，各驱动器电路包括：主驱动器；

电压变化测量电路，耦接为根据参考信号提供控制信号，该控制信号取决于所述主驱动器的输出的电压随时间的变化，其中所述参考信号是响应所述驱动器电路的输入信号而生成的；及

辅驱动器，耦接到所述电压变化测量电路和所述主驱动器，该辅驱动器根据所述控制信号被激活，其中，控制所述辅驱动器以增强所述主驱动器，增强的程度取决于所述主驱动器的电压相对于时间的变

化。

6. 一种用辅驱动能力在需要时驱动输出信号的方法,该方法包括:
响应输入信号的接收,激活主驱动器去驱动输出信号;
响应该输入信号的接收生成参考信号;
比较该输出信号和该参考信号;及
如果该输出信号的电压比该参考信号的电压滞后一个电压阈值,
则激活辅驱动器,以及

在激活辅驱动器时增强辅驱动器的输出信号的转换,输出信号的转换被增强的量取决于输出信号的电压和参考信号的电压之间的电压差。

7. 一种包括相应于在驱动器电路输入端收到的输入信号驱动输出端子上的输出信号的驱动器电路的设备,该驱动器电路包括:

与驱动器电路输入端和所述输出端子相连的主驱动器;
耦接为接收所述输入信号和所述输出信号的转换速率控制电路;
及

与所述转换速率控制电路和所述输出端子耦接的辅驱动器,其中,
所述转换速率控制电路控制所述辅驱动器的激活;

其中:

主、辅驱动器之一耦接为接收所述输入信号,主、辅驱动器中的另一个耦接为接收延迟的输入信号;并且

所述转换速率控制电路包括反馈延迟电路,后者耦接为响应所述输出信号提供使所述辅驱动器停用的反馈信号。

负载电容补偿缓冲器，其设备及方法

技术领域

本发明总体上涉及输出缓冲器，特别是负载电容补偿输出缓冲器。

背景技术

众所周知，在半导体工业中要通过控制信号的转换速率来限制信号的瞬时效应。未经调节的缓冲器的转换速率依负载电容而变。使用驱动器输出的反馈路径控制驱动器输入，并使用诸如蛇形栅极 (snaked gates) 之类的布图技术，可以控制转换速率的负载依赖性。瞬时效应，比如传输线效应反射、节点间串扰和过冲/振荡效应，可以通过利用反馈来控制各输出节点的转换速率而减小。

例如，转换速率可以通过在控制电压和输出级的输出信号间连接一个电容器来控制。电容器用来提供缓和输出瞬变电流必需的反馈。与这种电路的输出级相关的一个缺点是在克服前置驱动器的驱动电流时需要大电容来驱动一个输出上拉和/或下拉栅极 (output pull-up and/or pull-down gates)。为了确保前置驱动器的驱动电流能够不受过程变化影响地被平衡，可使用一般需要特殊加工的精密串联电阻。

另一种转换速率控制的实现是使用开关差动放大器来比较输出信号和一个偏置 (Pulling) 参考电容器的一个端子的晶体管产生的信号。这个实施方案使用单个驱动器，其输出依赖于这个驱动器的输出信号和与参考电容器相关的信号之间的关系。因为每个差动对的放大器的一个引线会直接驱动上拉或下拉驱动器 (pull-up or pull-down driver) 的末级输出晶体管，通常需要大的开关放大器 (switched amplifier)，而大开关放大器的缺点是速度慢。

常规的转换速率控制器在达到预先设定的电压对时间的微分值 (dV/dt) 时对信号转换作出响应，从而对 dV/dt 作出限制。然而，尽

管这种转换速率控制器一般是通过控制 dV/dt 来影响转换速率，它对直接控制电流对时间的微分值 (dI/dt) 却几乎不起作用。一般，不同负载的 dI/dt 波形的初始成分基本上相同，且为在常规转换速率控制器响应 dV/dt 时就已经产生的脉冲的形式。这样，尽管 dV/dt 可用常规方法控制，而 dI/dt 中的初始脉冲却基本不受影响，因为 dI/dt 的增加先于 dV/dt 大小的增加。

初始 dI/dt 成分的相似性表明它们实际上是独立于负载的，不像 dV/dt 是与负载相关的。在缓冲器的一次信号转换过程中，一个相对较大的负载（例如在一个实施例中为 30pF）的 dV/dt 波形一般是平滑地从零 V/S 变化到最大值然后又回到零，而一个相对较小的负载（例如在一个实施例中为 5pF）的 dV/dt 波形的幅度一般会更加急剧地增加，因为电容小。相比较而言， dI/dt 初值主要是输出晶体管电流驱动和输出晶体管控制电压通过接通阈值时的速率的函数。对集成电路上的一组常规驱动器中的每一个而言，在信号转换期间， dI/dt 值一般在基本上同一瞬时达到峰值，其幅度与负载基本上无关。这样，当一组驱动器同时被接通时，产生的总的 dI/dt 初值就是各个驱动器的 dI/dt 初值的和。这个总的 dI/dt 通常是产生电磁干扰 (EMI) 和其他不受欢迎的瞬时效应的关键因素。

现有技术还有需要在半导体上用特殊工艺制造驱动器等其他缺点。例如，根据所需晶体管尺寸，需要双重多工艺 (double poly processes) 或者需要能提供精密电阻的工艺。

因此，需要有负载电容输出缓冲器来控制基线过程中的 dV/dt 和 dI/dt 。

附图说明

参见附图可以更好地理解本发明的下述实施例，附图中：

图 1 用示意图和方框图说明本发明一个驱动器的一部分的具体实施例。

图 2 用方框图说明本发明的一个驱动器。

图 3 用方框图详细说明图 2 中驱动器的一部分。

图 4 用示意图和方框图详细说明图 2 和图 3 的一部分。

图 5、6 和 8 用曲线图说明本发明一个实施例的电压、电流和电流对时间的微分的曲线。

图 7 用流程图说明本发明的一个方法。

图 9 用方框图说明本发明驱动器的另一个实施例。

具体实施方式

以下试图详细描述本发明的至少一个实施例，但该实施例不得视为对本发明的限制。相反，有无数种变化可能落入本发明的由权利要求限定的范围。

激励主驱动器来驱动输出信号以响应输入信号。响应该输入信号生成参考信号。将该输出信号与参考信号作比较。当输出信号落后于参考信号一个预定量时，辅助驱动器就会被激活。

在一个实施例中，设备，比如集成电路、微处理器、无线通讯设备、计算机系统等，含有驱动输出信号到输出端子的驱动电路。输出信号对应于在驱动电路输入端接收的输入信号。驱动器电路含有主、辅驱动器和转换速率控制电路。主驱动器与驱动器电路的输入和输出端子连接。转换速率控制电路与驱动器电路输入端连接。辅驱动器与转换速率控制电路和输出端子连接。转换速率控制电路控制对辅驱动器的激励。例如，转换速率控制电路可以含有在激活主驱动器后激活辅驱动器的电路（进一步的例子是，基于参考信号和输出信号的比较，其中，参考信号和输出信号相比至少相差一个信号幅度和/或时滞阈值）。转换速率控制电路还可以含有将输出信号的转换增强到一定程度的电路，该程度取决于输出信号和参考信号的差的大小。转换速率控制电路还可以含有确定（例如提前或延迟）辅驱动器的去激励时间的电路。

另一个实施例中，设备含有主、辅驱动器和电压变化测量电路。连接该电压变化测量电路连接是为了提供取决于主驱动器输出的电压对时间的变化的控制信号。辅驱动器连到该电压变化测量电路和主驱

动器，辅驱动器是否激活依赖于控制信号。

另一个实施例中，需要时用辅驱动能力驱动输出信号的方法包括如下步骤：响应对输入信号的接收，激活主驱动器而驱动输出信号；响应对该输入信号的接收而生成参考信号；比较所述输出信号和参考信号；如果输出信号比参考信号滞后一个时滞阈值，则激活辅驱动器。

在另一个实施例中，利用条件辅驱动能力驱动输出信号的方法包括下列步骤：响应主驱动器对输入信号的接收，启动对输出信号的转换的驱动；响应于输出信号，由辅驱动器增强对输出信号的转换的驱动。

图2为本发明的含有负载电容补偿缓冲器205的系统201。该系统201可以是分立缓冲器元件，微处理器的一部分或者是含有缓冲器的计算机系统的一部分。图示的缓冲器205的实施例含有前置驱动器210和230、上拉驱动器（pull-up driver）220、下拉驱动器（pull-down driver）240和端子250。

当启用缓冲器205输出到端子250时，前置驱动器210和230将被设置来接收公共信号或类似信号（未示出），分别向节点211和231提供信号IN1和IN2。上拉驱动器220接收信号IN1，该驱动器220接下来驱动端子250。下拉驱动器240会接收信号IN2，接着驱动端子250。

前置驱动器210和230用来调节公共信号，使之能达到分别由驱动器220和240利用的要求。这种前置驱动器调节包括定时控制，以保证上拉驱动器220和下拉驱动器240不被同时激活，以及信号IN1和IN2的电压和电流的调节，以保证与驱动电路220和240内部组件的正确耦合。

上拉驱动器220在上拉转换过程中控制端子250处的信号的转换速率（ dV/dt ）和 dI/dt 。上拉驱动器220含有主驱动器和辅驱动器。主驱动器提供相对于端子250处的负载具有相对稳定的峰值的初始 dI/dt 。辅驱动器提供幅度的峰值相对于主驱动器的 dI/dt 峰值延迟的初始 dI/dt （例如图6中波形的正值部分），然而，辅驱动器的初始

dI/dt 峰值可能会根据端子 250 上的负载电容而变化。下拉驱动器 240 以相似的方式提供主、辅驱动器。

通过提供作为例如每个上拉驱动器 220 和下拉驱动器 240 的一部分的多个驱动器时，初始 dI/dt 值基于电容性负载在时间上分散开，且 dI/dt 的大小随负载而变。因此，各个缓冲器的初始 dI/dt 峰值就减小了。当集成电路上的数个 I/O 驱动器同时打开时，集成电路总的初始 dI/dt 值与常规电路总的初始 dI/dt 值相比也减小。

图 3 图示了图 2 中的下拉驱动器 240 的更详细的视图。下拉驱动器 240 含有转换速率控制器 320、可选择的过滤器 350、辅驱动器 340 及主驱动器 360。另外，图 3 图示了由下拉驱动器 240 驱动的端子 250。本领域的技术人员可以认识到可以存在一个对应的拥有与图 3 所示及此处所述类似和/或互补的元件和功能的上拉驱动器 220。

端子 250 由主驱动器 360 及辅驱动器 340 驱动。主驱动器 360 接收来自前置驱动器的信号 IN 2。作为响应，主驱动器 360 驱动端子 250。转换速率控制器 320 接收信号 IN 2 和代表输出端子 250 的信号。基于这两个信号，转换速率控制器 320 向辅驱动器 340 提供控制信号，后者又驱动端子 250。调节供转换速率控制器 320 使用的输出信号的可过滤器 350 接收端子 250 处的信号。

除控制主驱动器 360 外，信号 IN 2 还用于产生转换参考信号，后者是主驱动器 360 产生的输出信号的理想表示。由主驱动器 360 产生的输出信号的理想表示是指基于信号 IN 2（该信号也控制控制主驱动器 360）由转换参考信号发生器 322 产生的随时间变化的参考信号。另外，该表示之所以被认为是理想的，是因为它与负载变化无关。基于转换参考信号和来自输出端子 250 的信号，转换速率控制器 320 控制是否激活辅驱动器。

一般地，如果输出信号电压滞后某个预先确定的差值或者可以是固定值的 Δ 值，辅驱动器就会被激活。如果这样，就表明端子 250 的输出信号的转换速率可以得到额外的驱动。因此，转换速率控制器 320 产生一个控制信号来驱动辅驱动器的栅极，从而增强主驱动器 360。

除了转换参考信号发生器 322, 转换速率控制器 320 还含有一个延时断开部件 326 和一个比较器 324。比较器 324 从端子 250 接收可以被可选过滤器 350 过滤的输出信号的表示和来自转换参考信号发生器 322 的转换参考信号。当来自端子 250 的信号是一个电压阈值或者高于转换参考信号的电压时, 一个控制信号就通过延时断开部件 326 驱动辅驱动器。延时断开部件 326 在比较器停止驱动后扩展或者保持辅驱动器的所述控制信号。

转换参考信号发生器 322 和比较器 324 的组合与转换参考信号相比延迟了控制信号的产生。在一种实施方式中, 延迟是与比较器 326 相关的阈值电压的结果。在另一个实施方式中, 例如由转换参考信号发生器在比较器 324 之前产生延时。产生的延时量决定了在主、辅输出驱动器初始 dI/dt 峰值间存在多少时间间隔。这有助于通过主、辅输出晶体管的组合源降低总的 dI/dt 值。

图 5 图示了对于各种电容值, 端子 250 的电压和辅驱动器 340 上的控制信号电压的曲线图。特别的, 曲线 520 代表了端子 250 处当负载分别是 5pF、20pF、35pF 和 50pF 时的电压。曲线 510 表示对各种负载电容, 驱动辅驱动器 340 的栅极的信号电压。曲线 510 表明, 对较低的电容负载, 辅驱动器 340 的栅极并没有象在较高的电容负载时那样饱和。一旦辅驱动器的栅极开始转换, 曲线 520 代表的端子电压就被辅驱动器改变。从图 5 中可以看出, 520 那组中的每条曲线的斜率基本上是接近的, 这表明转换速率相近。

图 6 图示了代表端子 250 处的信号的 dI/dt 的曲线, 这些 dI/dt 曲线与图 5 的曲线 520 是相联系的 (注意, 产生图 6 的电流曲线包含在图 8 中, 在此不再详述)。曲线 610 在 615 处有一个基本上相同的 dI/dt 值, 它是主驱动器 360 的初始 dI/dt 。主驱动器的该初始 dI/dt 并不随电容负载显著变化。然而, 与辅驱动器 340 相联系的初始 dI/dt 成分随着电容负载而变化。

辅驱动器的初始 dI/dt 相对于主驱动器的 dI/dt 成分有偏移 (大约 1ns)。这是转换参考信号发生器 322 和比较器 324 引起的延迟。辅驱

动器的初始 dI/dt 值取决于端子 250 处的负载电容。例如, 对一个 50pF 的负载, 辅驱动器 340 产生的初始 dI/dt 分量的观测值约为 28MA/s(兆安/秒); 对 35pF 的负载, 可归因于辅驱动器 340 的初始 dI/dt 分量的观测值约为 20MA/s; 对 20pF 的负载, 辅驱动器 340 的初始 dI/dt 分量的观测值约为 18MA/s; 对 5pF 的负载, 辅驱动器 340 的初始 dI/dt 分量的观测值与主驱动器 360 产生的分量相比是可以忽略的。

延迟辅驱动器电流的产生是有好处的, 因为这使与驱动器 240 相联系的总的 dI/dt 分布到较长的时间段中, 从而降低了 dI/dt 的大小。另外, 允许辅驱动器初始 dI/dt 随电容变化也防止了过激励 (overdriving)。这就比一些常规设计有优势, 常规设计用基于最大期望负载和最大允许传播延迟的 dI/dt 特征值驱动所有输出端子。此等设计不能限制与 dI/dt 相关的 EMI。

图 4 更详细地描述了图 3 方框图的一个具体实施例。具体地, 图 4 含有具体说明图 3 中的一个具体实施例的电路和方框图元件。图 7 描述了一个与此处描述的电路的功能相关的方法的流程图。

在工作时, 换向电平移动器 410 和前置驱动器 405 收到所述信号 IN (参见图 7 中的步骤 710)。图 2 中的前置驱动器 230 与图 4 中的前置驱动器 405 是类似的。电平移动器 410 是可选部件, 一般用于在核心正电源电压和一个不同的 (一般是更高的) 与驱动器 240 (IO-VDD) 相联系的正电源电压之间提供一个接口。在这个实施例中, 电平移动器用于确保 p 型 MOSFET 424 能被完全截止。前置驱动器 405 之输出驱动作为主驱动器的 n 型晶体管 460 的控制极 (见图 7 的步骤 720) 和作为转换参考信号发生器 422 的 n 型晶体管 420 的控制极。这样, 晶体管 420 就用作晶体管 460 的电流镜 (current mirror)。

在图 4 描述的实施例中, 转换参考信号发生器 422 与图三中的转换参考信号发生器 322 类似。转换参考信号发生器 422 含有一个镜像 (mirror) 主驱动器晶体管 460 的 n 型晶体管 420、一个 p 型晶体管和一个电容器 430。镜像晶体管 420 有一个与前置驱动器 405 相连的控制电极、一个第一电流电极和一个与参考电压 V_{ss} 电压相连的第二

电流电极。p 型晶体管 424 有一个与下拉驱动器 240 (IO-VDD) 的固定参考电压相连的第一电流电极，与晶体管 420 的第一电流电极相连的第二电流电极及一个与反向电平移动器 410 相连的控制电极。电容器 430 含有一个与 IO-VDD 相连的第一电极，还有一个与晶体管 420 的第一电极相连的第二电极。

在工作时，转换参考信号发生器 422 的晶体管 420 提供反射 (mirror) 主驱动器 460 的电流 (见图 7 中的步骤 730)。在一个实施例中，晶体管 420 大约是主驱动器 460 的选通脉冲宽度的十分之一。这个反射电流在电极 425 处产生一个随时间变化的信号。

来自电极 425 的信号被提供给晶体管 429 的控制电极，该晶体管 429 作为转换参考信号发生器 422 从所述电极 425 输出的信号和端子 250 的信号的比较器。晶体管 429 有一个第一电流电极与端子 250 相连，还有一个第二电流电极提供控制信号。

延时断开部件 426 与图 3 中的延时断开部件 326 相似，含有电容器 427 和电阻元件 428。该电容器 427 有一个第一电极与晶体管 429 的第二电流电极相连，还有一个第二电极与 Vss 相连。所述电阻元件 428 有一个第一电极与电容器 427 的第一电极相连，另有一个第二电极与 Vss 相连。在工作中，延时断开部件 426 的电容器 427 在比较晶体管 429 接通时充电。结果是在晶体管 429 截止后辅驱动器 440 的控制电极会被驱动一段预定的时间。

晶体管 440 与图 3 中的辅驱动器 340 相似。晶体管 440 有一个第一电流电极与端子 250 相连，一个第二电流电极与 Vss 相连及一个控制电极与电容器 427 的第一节点相连。运行时，晶体管 429 作为一个电压差测量电路，判断端子 250 的电压和转换参考信号在节点 425 处的电压之间的电压差 δ 值何时大于预定的 Δ 值。在图示的具体实施例中， Δ 值等于晶体管 429 的阈值电压 (见图 7 的步骤 740)。因此，当 δ 值大于阈值电压 Δ 时，晶体管 429 导通，导致辅驱动器 440 有效驱动端子 250 (见图 7 的步骤 750)。基于晶体管 429 的阈值电压，晶体管 429 的输出信号相对于在其栅极收到的转换参考信号被延迟。一

旦激活,晶体管 429 就增强输出信号的电流驱动(见图 7 的步骤 760)。

注意,电阻元件 428 一般是选作有源装置。通过使用有源装置,过程、温度和电压的变化可以降到最小,因为可以选择有源器件,使之总体上跟踪与辅驱动器 440 相关联的变化。结果,可以对各种过程和工作条件维持相对一致的电流性能。另外,元件 428 使用有源器件,使制造高精度的电阻器的特殊工艺不再是必需的了。

图 9 图示了本发明的另一实施例,其中用到了多个辅驱动器 940 和 941。这种实施方式使得 EMI 和 dI/dt 的其它效应可以得到进一步的控制和消除。例如,通过进一步延迟驱动器电流的生成,使得与驱动器相关联的总的 dI/dt 分布到更长的时间段上,从而减小 dI/dt 的值。

图 1 图示了本发明的另一个实施例,其中,响应输入信号而激活主驱动器去驱动输出信号,响应该输入信号的相似但有相移(例如延迟)的信号而激活辅驱动器去驱动所述输出信号。尽管辅驱动器在该实施例中接收的是延时信号,但在另外的实施例中,主驱动器也可以接收延时信号。当输出信号上升到预定阈值时,辅驱动器又回到非激活状态。在图 1 的实施例中,IO-VDD 和核心 VDD (core VDD) 基本上是相同的正电源电压。

在工作中,前置驱动器 1010 收到所述信号。前置驱动器 1010 的输出驱动主下拉驱动器 1030 的控制电极。延时电路 1050 产生 IN2D,它是表示相对于 IN 延迟预定时间间隔的 IN 信号的信号。IN2D 信号接下来被辅前置驱动器 1020 接收。辅前置驱动器 1020 的输出驱动辅下拉驱动器 1040 的控制电极。图 4 中的前置驱动器 405 与图 1 的前置驱动器 1010 是相似的。图 4 的主下拉驱动器 460 和图 1 的主下拉驱动器 1030 是相似的。图 4 中的转换参考信号发生器 422 和比较器 429 在本实施例中由图 1 中的延时部分 1050 和前置驱动器 1020 的 p 型晶体管取代。图 4 中的延时断开部分 426 在本实施例中由图 1 中的反相器 1070 和前置驱动器 1020 的 n 型晶体管取代。

在该实施例中,反相器 1070 的输入端接收来自端子 1090 的可选过滤器 1060 过滤的输出信号的表示信号 (representation)。在

这个例子中，这样确定反相器 1070 中的 n 型和 p 型晶体管的规格，使反相器 1070 的断路点 (trip point) 是一个低于 VDD 的 p-MOSFET 阈值。这样，当输出端子 1090 被拉到低于 VDD 的阈值或更高时，反相器 1070 的输出使得辅前置驱动器 1020 恢复非激活状态，后者又使辅下拉驱动器 1040 恢复非激活状态。

在主下拉驱动器 1030 开始拉动 (pulling) 输出端子 1090 后，辅下拉驱动器 1040 的关断引起某种总反馈延迟。为方便起见，把这种总反馈延迟分为第一延迟和第二延迟。第一延迟系可归因于输出端子 1090 被拉到低于 VDD 的阈值的输出转换延迟。第二延迟是通过反相器 1070 和辅前置驱动器 1020 的信号传播延迟。在一个实施例中，输出转换延迟与通过反相器 1070 和辅前置驱动器 1020 的传播延迟是基本相当的。这样，辅下拉驱动器 1040 的工作时间 (duty time) 基本上随所述输出转换延迟而变化，后者又基于端子 1090 上的负载而变化。

本领域的普通技术人员可以对本发明轻易加以变化。例如，本领域的普通技术人员很容易修改图 3 中的电路，以提供类似于讨论过的下拉驱动器的上拉驱动器。

另外，电阻和电容元件可以是有源器件。而且，也可使用不同于已在此描述过的晶体管（无论是双极的还是场效应的等）实施本发明的其他实施例。此外，尽管本发明的描述使用的是有控制电极和电流电极的晶体管，也可以使用其他术语，比如控制和电流端子、电流处理端子 (current handling terminals)、电流节点等。而且，尽管本发明的描述使用的是场效应晶体管 (FETs)，但应注意绝缘栅 FETs (IGFETs) 通常称为 MOSFET 器件 (Metal-Oxide-Semiconductor Field Effect Transistor (金属氧化物半导体场效应晶体管) 的首字母缩写)，尽管栅极材料可以是多晶硅或是除金属外的其它材料，电介质可以是氮氧化合物、氮化物或除氧化物外的其它材料。除非上下文表明有此限制，使用如 MOSFET 这样的惯用术语不得仅从字面上理解为具有氧化物电介质的金属栅极 FET。

因为上述详细的描述只是举例，当说到 “一个实施例” 时，是

指一个举例的实施例。相应地，在上下文中使用词语“一个”时，并非指有且仅有一个实施例有所描述的特征。相反，有许多其他的实施例可以（而且通常是确实）有这个举例的“一个实施例”的所描述的特征。按此使用方式，当针对一个实施例描述本发明时，它仅仅是本发明许许多多可行的实施例之一。

尽管上文详细说明了说明书中词语“一个实施例”的使用，本领域的技术人员可以理解，如果权利要求中的某要素为特定数目，应在权利要求中明示，否则不存在这样的限制。例如，在权利要求中，当一个权利要求要素被描述成有“一个”（one）特征，其目的是说该要素限于所描述的一个特征而且仅有一个该特征。此外，当权利要求中的某要素描述成包括某（不定冠词 a，中文中通常不译出来）特征时，并不是说限于且仅限于一项所描述的特征。相反，举例来说，权利要求包括某特征应理解为有关设备或方法包括一个或多个所述特征。也就是说，由于有关设备或方法包括某特征，该权利要求指的是不管这个设备或方法是否包括另一相同的特征。申请人在此将权利要求中某特征前的不定冠词“a”用作非限定性的，这与过去被许多法院采纳的解释相同，尽管可以找到与此相反的在先判例法。类似的，当权利要求中的某要素被描述成包括或含有某一前面提过的特征（如：“该（所述）”特征）时，那不是说该要素有且仅有一项所描述的特征。此外，权利要求中诸如“至少一个”和“一个或多个”的引导语的使用不应理解为用不定冠词“a”和“an”引导另一权利要求要素就将任何包含该权利要求要素的权利要求限定为仅包含一个该要素的发明。即使在同一权利要求中包含引导语“至少一个”和“一个或多个”和不定冠词“a”和“an”时，也应作上述理解。同样，这也适用于定冠词。

以上描述旨在描述至少一个本发明的实施例。以上描述并非在限定本发明的范围。相反，本发明的范围描述在下面的权利要求中。这样，尽管图示和描述的是本发明的特定实施例，基于以上的说明，对本领域的熟练技术人员来说，显然可以使用不脱离本发明范围的各种

修改、替换结构和等同物。从而，权利要求的范围涵盖了一切落在本发明范围和精神实质之内的变化、修改等。此外，应理解，本发明仅由所附权利要求限定。以上说明并非想穷尽本发明的所有实施例。除非另有明述，在此展示的例子均是非限定性和非排它的例子，无论“非限定性”、“非排它的”之类的术语是否针对每个例子进行了表述。尽管尽量列出了一些举例的实施例及其变化，在权利要求所定义的本发明的范围内仍有其他的实施例及其变化。

图1

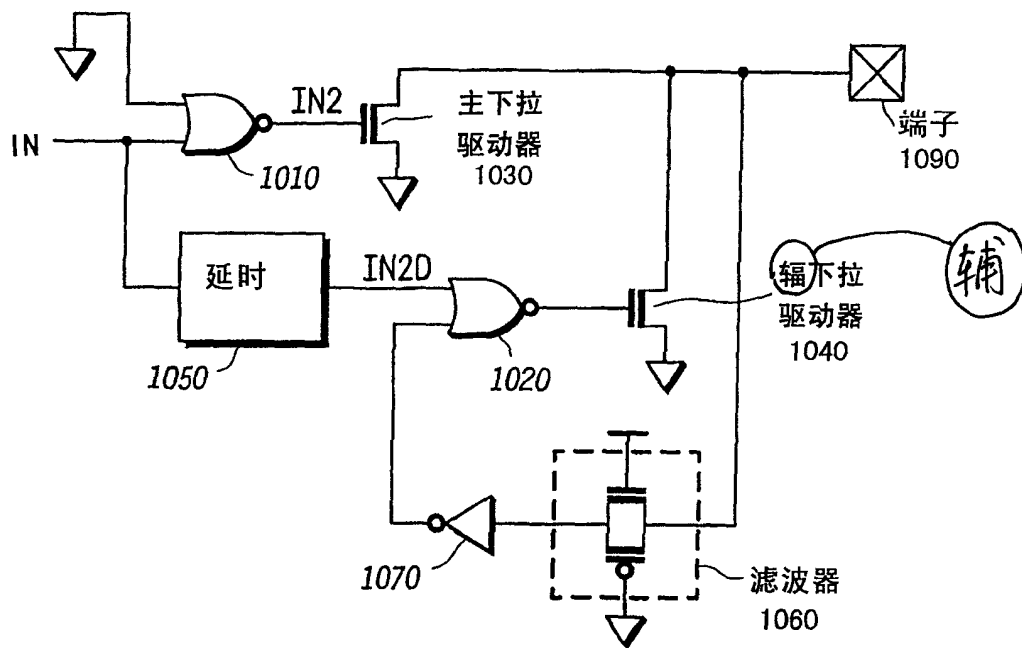


图2

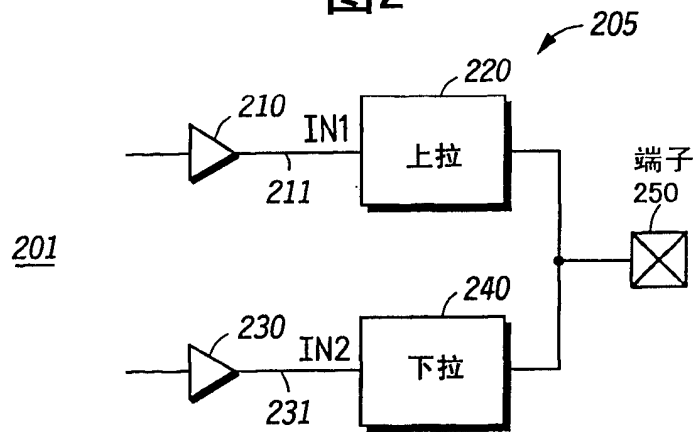
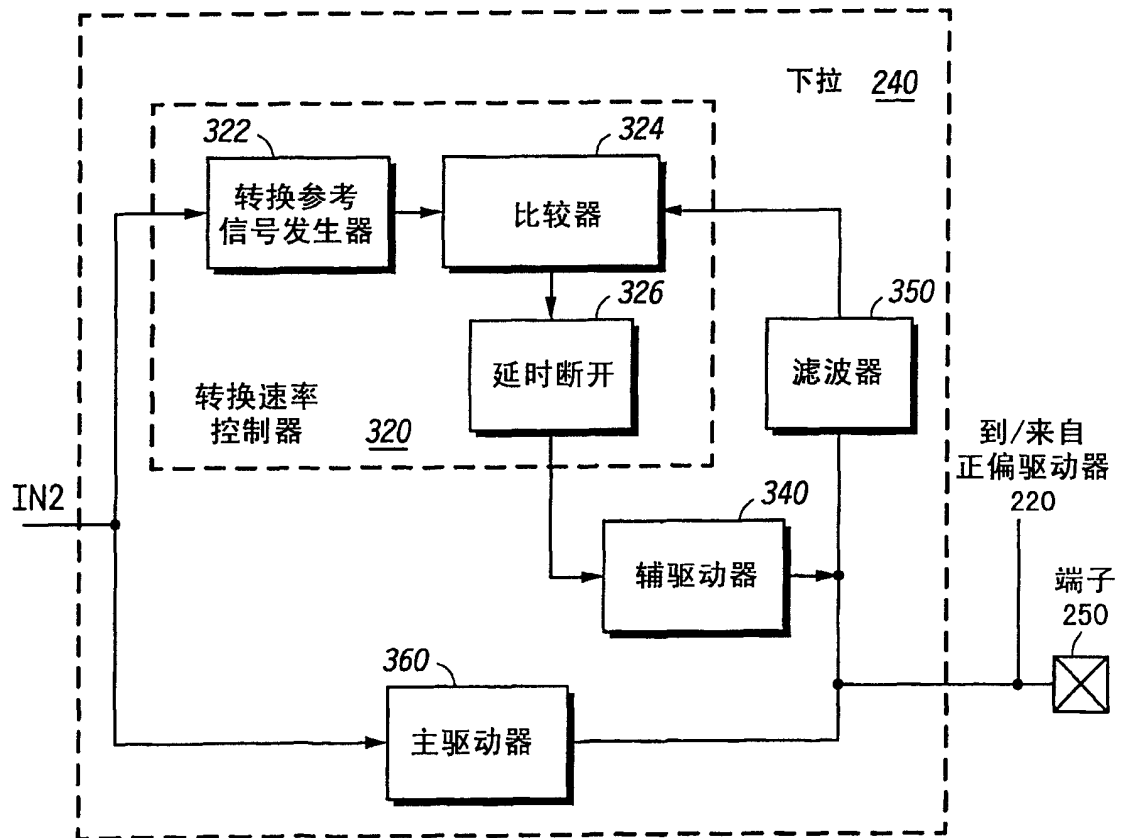
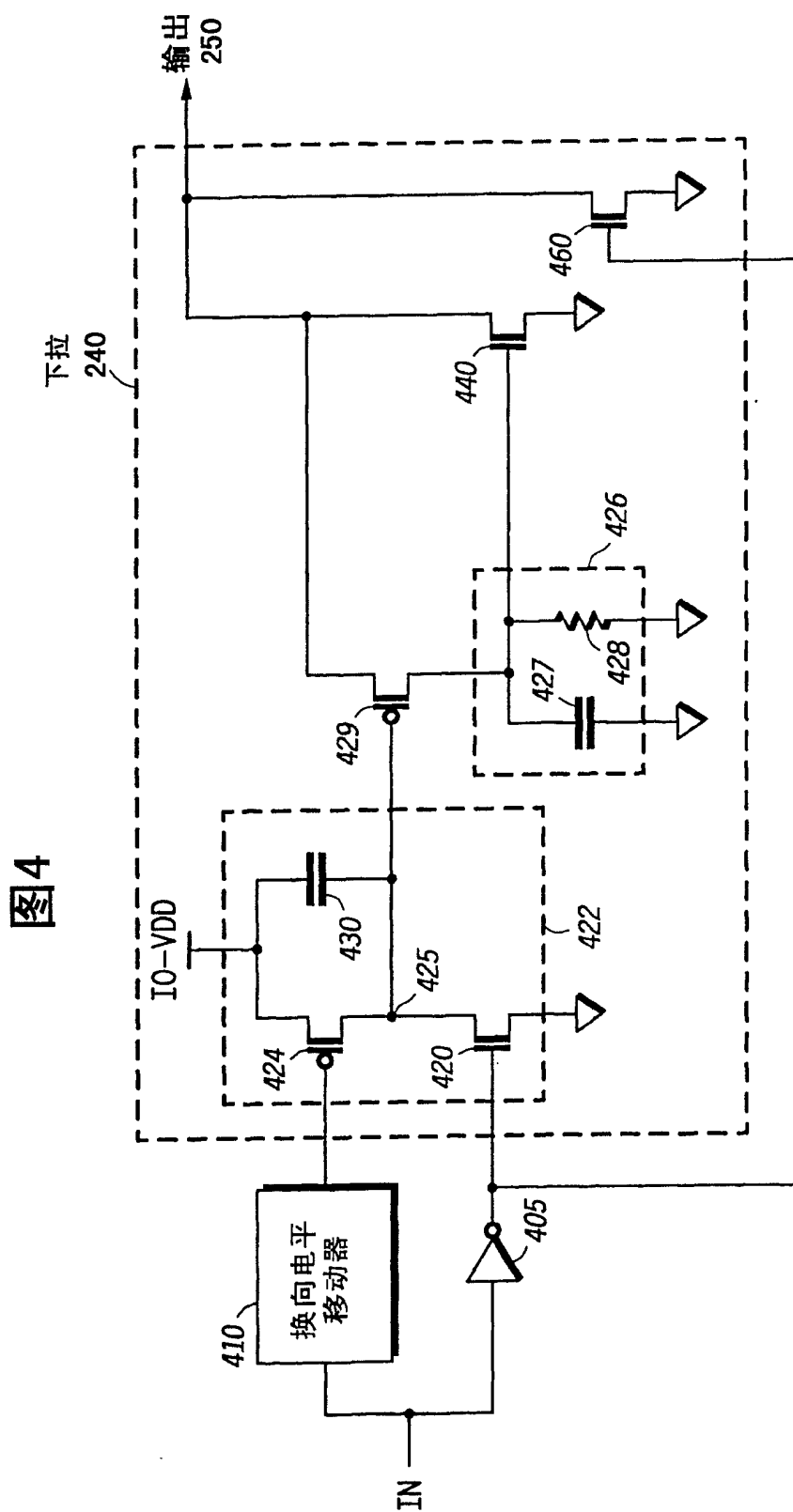
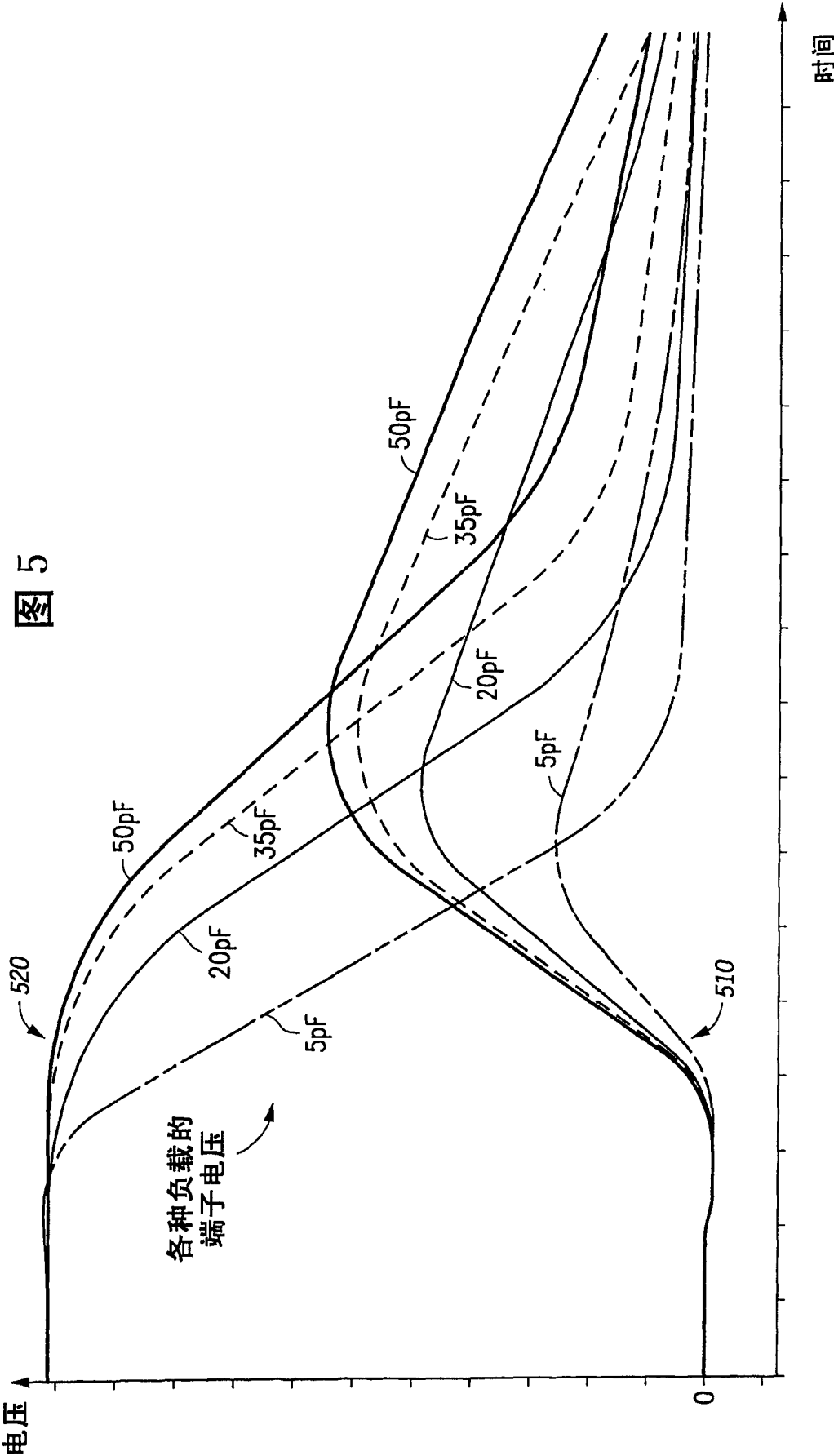


图3







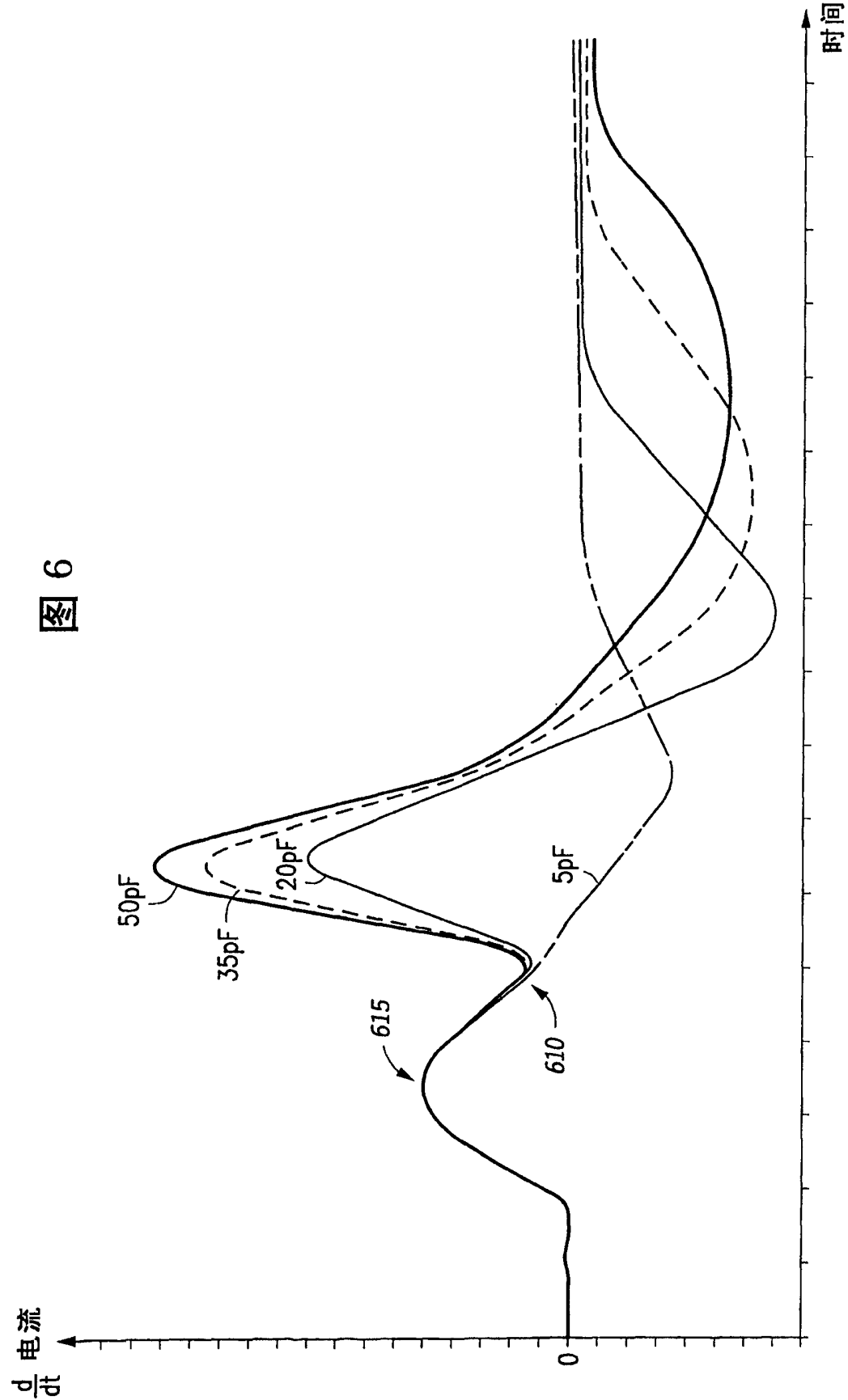
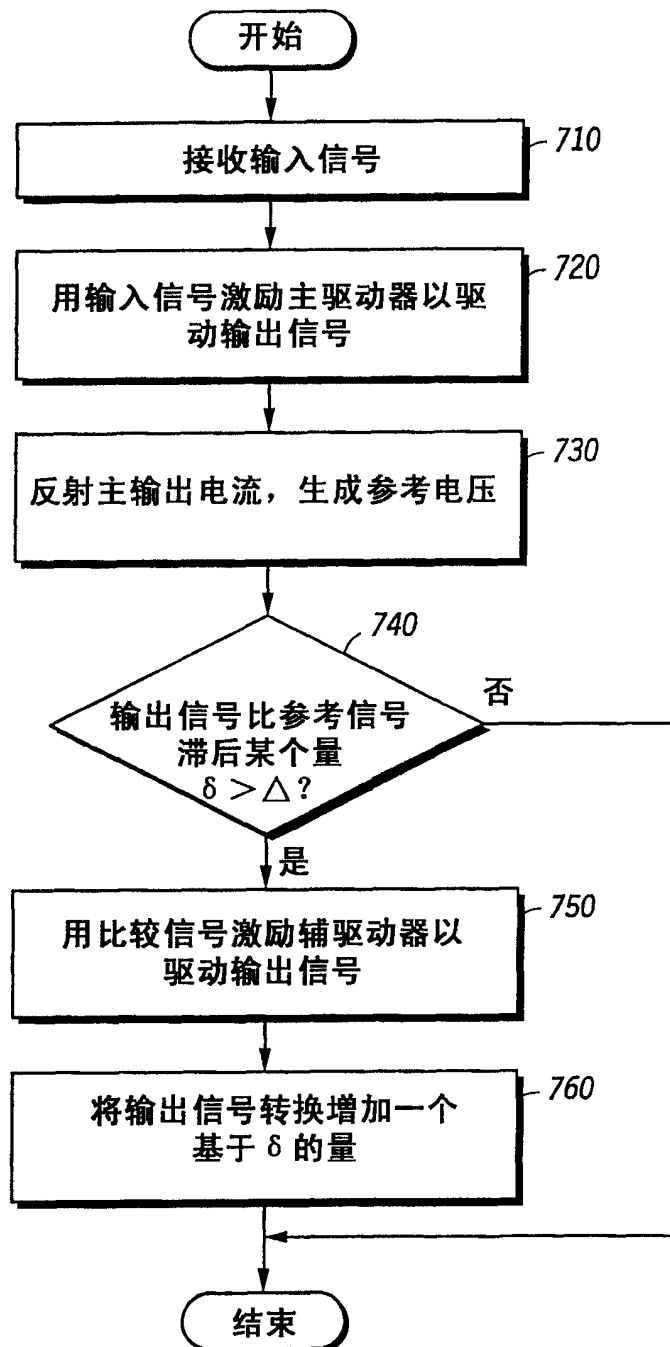


图 6

图 7



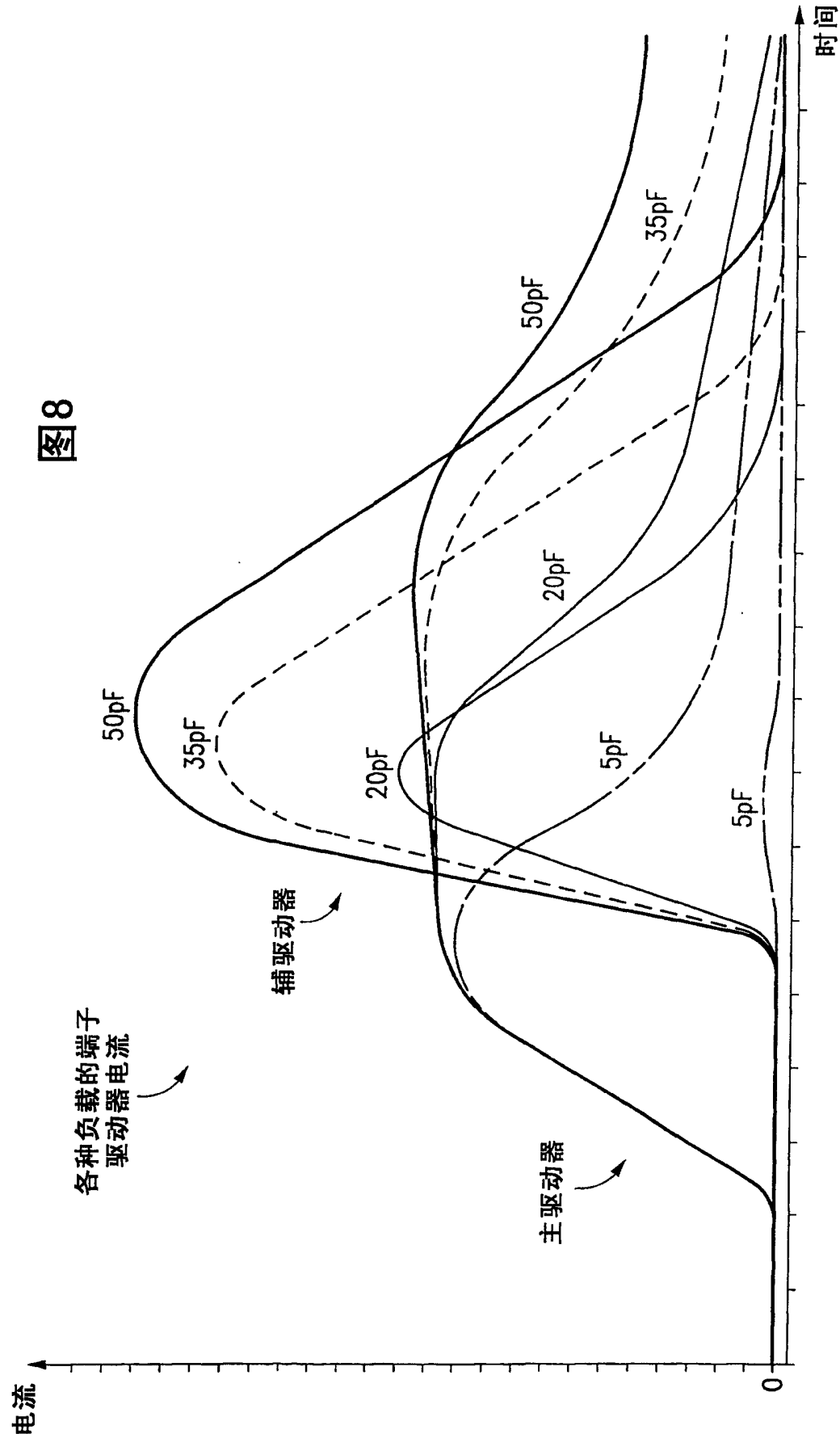


图 9

