

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/02 (2006.01)

H01L 29/66 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200780031570.5

[43] 公开日 2009年8月12日

[11] 公开号 CN 101506940A

[22] 申请日 2007.7.19

[21] 申请号 200780031570.5

[30] 优先权

[32] 2006.8.25 [33] US [31] 11/510,547

[86] 国际申请 PCT/US2007/073837 2007.7.19

[87] 国际公布 WO2008/024572 英 2008.2.28

[85] 进入国家阶段日期 2009.2.24

[71] 申请人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 E·D·德弗莱萨特

R·W·拜尔德

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所
代理人 申发振

权利要求书4页 说明书21页 附图9页

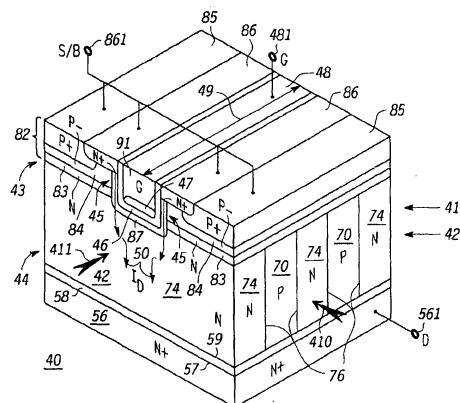
[54] 发明名称

超结沟槽器件及方法

[57] 摘要

本发明提供了半导体结构及方法，用于采用超结结构(41)和具有嵌入的控制栅(48)的上覆的沟槽(90)的半导体器件(40)。该方法包括，形成(52-6、52-9)交错的具有不同导电类型和不同迁移率的第一(70)和第二(74)半导体材料的第一(70-1、70-2、70-3、70-4等)和第二(74-1、74-2、74-3等)间隔区域，使得在第一实施例中，对于相同的载流子类型，第二半导体材料(74)具有比第一半导体材料(70)更高的迁移率，以及设置(52-14)上覆的第三半导体材料(82)，其中沟槽(90、91)形成有侧壁(913)，在该侧壁上有第四半导体材料(87)，第四半导体材料(87)具有比第三材料(82)更高的迁移率，适于承载在从源极区(86)经过沟槽(91)中第四(87)半导体材料与器件漂移空间(42)中第二半导体材料(74)至漏极(56)之间的电流(50)。

在另一实施例中，第一(70)和第三(82)半导体材料为弛豫材料，而第二(74)和第四(87)半导体材料为应变半导体材料。



1. 一种用于形成采用超结结构的沟槽型半导体器件的方法，包括以下步骤：

以任意顺序，

形成具有第一导电类型和第一晶格常数的第一半导体材料的第一间隔区域；

形成与第一间隔区域交错的并且具有不同的第二导电类型和不同的第二晶格常数的第二半导体材料的第二间隔区域，使得第二区域中的第二半导体材料相对于第一区域中的第一半导体材料是应变的并且其间存在一个或多个 PN 结；以及

设置基本弛豫的半导体材料的另一区域，该另一区域与交错的第一和第二间隔区域接触并具有外表面；

在该另一区域中形成从所述外表面延伸基本到交错的第一和第二间隔区域的沟槽；

至少在所述沟槽的侧壁上设置应变半导体材料；

在所述应变半导体材料上方形成栅极电介质；

设置栅极，该栅极与所述栅极电介质接触，由此与所述应变半导体材料分开；以及

设置一个或多个源极区域，所述源极区域与所述应变半导体材料连通并通过所述应变半导体材料的一部分而与交错的第一和第二间隔区域分开。

2. 如权利要求 1 所述的方法，还包括在形成步骤之前的以下步骤：

设置具有主表面的预定晶格常数的衬底；以及

在该主表面上形成具有紧靠该主表面的内表面和远离该内表面的外表面的渐变半导体层，该渐变半导体层被配置为接受第一间隔区域并在所述外表面处具有与第一晶格常数基本匹配的晶格常数，使得形成在外表面的第一部分上的第一区域的第一半导体材料基本是弛

豫的。

3. 如权利要求 2 所述的方法，其中所述外表面处的晶格常数与第二晶格常数不同，使得形成在所述外表面的第二部分上的第二区域的第二材料是应变的。

4. 如权利要求 1 所述的方法，其中第一半导体材料包括 SiGe 而第二半导体材料包括 Si 以及低于 5% 的 Ge。

5. 如权利要求 4 所述的方法，其中第一半导体材料包括的 Si:Ge 的比例在约 60:40 至 95:05 的范围内。

6. 如权利要求 5 所述的方法，其中第一半导体材料包括的 Si:Ge 的比例在约 70:30 至 90:10 的范围内。

7. 如权利要求 6 所述的方法，其中第一半导体材料包括的 Si:Ge 的比例在约 80:20 至 85:15 的范围内。

8. 一种用于形成半导体器件的方法，包括以下步骤：

设置具有外表面的衬底；

在所述外表面上形成具有第一导电类型和第一迁移率的第一间隔半导体区域；

在所述外表面上形成具有第二相反导电类型和更高的第二迁移率的第二半导体区域，该第二半导体区域与第一间隔半导体区域交错从而形成超结结构；

在该超结结构上方形成具有第三迁移率的第三半导体的第一导电类型体区，该第一导电类型体区与所述超结结构连通并具有外表面；

设置从该外表面延伸通过体区从而与所述超结结构连通的沟槽；
以及

至少在沟槽侧壁上形成具有比第三迁移率更高的第四迁移率的第四半导体区域。

9. 如权利要求 8 所述的方法，还包括形成与第四半导体区域接触的栅极电介质的步骤。

10. 如权利要求 9 所述的方法，还包括在所述沟槽内形成通过所

述栅极电介质与第四半导体材料分开的栅极的步骤。

11. 如权利要求 10 所述的方法，还包括以下步骤：在形成所述体区后的任何时间，在所述体区内设置一个或多个源极区域，该源极区域与第四半导体区域接触并且通过第四半导体区域的一部分而与所述超结结构分开。

12. 一种半导体器件，包括：

超结结构，具有相反导电类型以及第一和第二迁移率的第一和第二半导体材料的交错区域，其中第一和第二半导体材料通过基本平行的 PN 结分开并且通过基本垂直于 PN 结的衬底区域在第一端处终止，其中所述超结结构具有与第一端隔开的第二端，且其中对于相同的载流子类型第二迁移率比第一迁移率高；

第三迁移率的第三半导体材料的体区，耦合到第二端并具有与第二端相对的外表面；

沟槽，具有从外表面延伸至少到第二端的侧壁；以及

至少在所述侧壁上的第四材料，对于相同的载流子类型具有比第三迁移率更高的第四迁移率并且与超结结构连通。

13. 如权利要求 12 所述的器件，其中第一半导体材料为弛豫半导体材料并且第二半导体材料为应变半导体材料。

14. 如权利要求 13 所述的器件，其中第三半导体材料为弛豫半导体材料并且第四半导体材料为应变半导体材料。

15. 如权利要求 14 所述的器件，其中第一和第三半导体材料包括 SiGe，第二和第四材料基本为硅且包括小于 5% 的 Ge。

16. 如权利要求 15 所述的器件，其中第一和第三半导体材料包括 Si:Ge，比例为 X 份的 Si 比 Y 份的 Ge，其中 X:Y 的比例在 60:40 至 95:05 的范围内。

17. 如权利要求 16 所述的器件，其中 Si:Ge 的比例在 70:30 至 90:10 的范围内。

18. 如权利要求 12 所述的器件，其中所述衬底包括第一基本为硅的区域，并具有位于第一基本为硅的区域与超结结构之间的变化成

分的 Si:Ge 过渡层。

19. 如权利要求 18 所述的器件，其中所述过渡层具有基本为硅的紧邻第一基本为硅的区域的成分以及基本与第一半导体材料的成分匹配的紧邻超结结构的成分。

20. 如权利要求 12 所述的器件，还包括至少在所述沟槽的侧壁上的第四材料上的第一电介质材料，以及在沟槽底部中的每单位面积的电容比第一电介质低的第二电介质材料。

超结沟槽器件及方法

技术领域

本发明一般涉及半导体结构，并且更加特别地涉及引入了超结的沟槽型半导体结构。

背景技术

超结结构已经为本领域所熟知，并且在例如以下文献中被描述：Fujihira 的 “Theory of Semiconductor Superjunction Devices”，*Jpn J. Appl. Phys.*, Vol. 36 (1997), pp. 6254-6262; Fujihira 和 Miyasaka 的 “Simulated Superior Performance of Semiconductor Superjunction Devices”，*Proc. of 1998 Symposium on Power Semiconductor Devices & ICs, Kyoto, Japan*, pp. 423-426; Strollo 和 Napoli 的 “Optimal ON-Resistance Versus Breakdown Voltage Tradeoff in Superjunction Power Devices. A Novel Analytical Model”，*IEEE Transactions on Electron Devices*, Vo. 48, No. 9, September 2001, pp. 2161-2167; 以及 Gerald Deboy 的 “The Superjunction Principle as Enabling Technology for Advanced Power Solutions”，*IEEE ISIE 2005, June 20-23, 2005, Dubrovnik, Croatia*, pages 469-472。在其最简单的形式中，超结结构采用了大量交替排列的 P 和 N 掺杂的半导体层或区域，条件是这些层的掺杂是电荷平衡的，或 $N_a \cdot W_a = N_d \cdot W_d$ ，其中 N_a 和 N_d 为 P 层和 N 层的掺杂浓度，而 W_a 和 W_d 为这些相同层的宽度。流经该超结结构的电流对于大部分是平行于 P-N 结平面的。超结结构经常用于高电压（以及高功率）半导体（SC）器件，用于获得相对高的击穿电压同时最小化串联导通电阻。超结结构促进了这种性能的期望的组合。超结器件也可以在公开市场上买到，例如，由奥地利 Villach 的 Infineon 生产的 CoolMOS™ 系列器件。

在沟槽型功率器件中应用超结结构已为人所知。图 1 示出了在沟槽型沟道 23 与漏极 29 之间的漂移空间 22 中采用超结结构 21 的现有技术的 N 沟道沟槽型金属氧化物半导体（沟槽 MOS）器件 20。器件 20 包括 N+衬底（例如，漏极）29，其上已形成有超结结构 21，超结结构 21 包括多个平行的垂直排列的例如硅的 N 型区 25 和 P 型区 26，中间形成了 PN 结 27。超结结构 21 的下部 28 与衬底 29 接触，其与电触点 291 一同形成沟槽 MOS 器件 20 的漏极。P 型体区 32 位于包含超结结构 21 的漂移空间 22 的上方。沟槽 31 从上表面 39 延伸通过体区 32 到达超结结构 21 的上部 35。沟槽 31 被内衬有栅极电介质（例如， SiO_2 ）36。栅极电介质 36 内的沟槽 31 的内部利用具有栅极触点 381 的栅极（例如，掺杂多晶硅）38 填充。具有源极触点 341 的 N+源极区域 34 形成在沟槽 31 的两侧上的 P 型体区 32 内，通过栅极电介质 36 与栅极 38 隔离。在适当偏置时，源极-漏极电流 30（简称“ I_D ”）从源极触点 341 和源极 34 流经 P 型体区 32 中基本垂直的沟道 23 至由超结结构 21 的 N 型区 25 形成的漂移空间 22 中，到达漏极区域 29 和漏极触点 291。沟槽 31、栅极 38 和源极 34 的长度尺寸 37 基本垂直于超结结构 21 的平行 N 区和 P 区 25、26 以及中间 PN 结 27 的平面。

虽然图 1 所示的结构是有益的，但仍期望改善其性能。因此，存在对能够提供改善性能的改进器件结构及制造方法的需要。期望提供沟槽和超结型半导体器件，其在提供例如改善的载流子迁移率的同时仍能够使用传统的加工设备和工艺试剂制造。另外，期望提供一种改进的器件结构及制造方法，其可以用于多种半导体材料。另外，通过后面详细描述和所附权利要求，结合附图和前述技术领域和背景技术，将使本发明其它期望的特征和性能变得清晰易懂。

附图说明

在下文中将结合下面的附图对本发明进行描述，附图中相同的附图标记表示相同的元件，并且

图 1 为采用传统超结结构的现有技术沟槽型半导体器件的简化示意透视图；

图 2 为根据本发明第一实施例的采用超结结构的沟槽型半导体器件的简化示意透视图；

图 3 至图 17 为在制造的不同阶段，根据本发明其它实施例的采用超结结构的沟槽型半导体器件的简化示意截面图；

图 18 至图 19 为示出根据本发明的再其它实施例的用于形成图 2 至图 17 所示结构的方法的简化流程图。

具体实施方式

下面的详细描述仅为示例性质，并不意图限制本发明或本发明的应用和使用。另外，不应受到前面的技术领域、背景技术、发明内容或以下详细描述中的任何表述或暗含的理论的限制。

为了图示的简化和清晰，附图示出了构造的总体形式，并且可能略去对公知特征和技术的描述和细节从而避免对本发明造成不必要的混淆。另外，附图中的元件不必按照比例绘出。例如，某些附图中某些元件或区域的尺寸可以相对于相同或其它附图中的其它元件或区域放大从而帮助改善对本发明实施例的理解。

若存在，在说明书和权利要求中，术语“第一”、“第二”、“第三”、“第四”等可以用于在相似的元件之间进行区别而不一定用于描述特定的序列或时间顺序。应理解，被这样使用的术语在适当的环境下是可以相互交换的，使得在此所述的本发明实施例，例如，能够按照与所示不同或与在此所描述的不同的顺序应用。另外，术语“包含”、“包括”、“具有”及其任何变化意图覆盖非排它性的包括，使得包含一系列要素的工艺、方法、物品或设备不必限于那些要素，而是可以包括没有被明确列出的或对于该工艺、方法、物品或设备所固有的其它要素。若存在，说明书和权利要求中的术语“左”、“右”、“内”、“外”、“前”、“后”、“向上”、“向下”、“顶”、“底”、“上”、“下”、“上方”、“下方”等是用于描述相对位

置而非必须用于描述空间中的固定位置。应理解，在此描述的本发明的实施例可以，例如，按照与所示不同或在此所描述的以外的取向来使用。在此使用的术语“耦合”被定义为以电学或非电学方式直接或间接连接。

为便于说明而非意图是限制性的，本发明是针对使用 Si 和 Ge 作为示例性半导体材料所形成的超结结构来进行描述的，但本发明不仅仅限于此种材料组合。在此教导的原理适用于可以在器件有源区中被组合以产生具有改善的迁移率的区域的不同晶格常数和/或带隙的各种半导体材料。其它合适的半导体材料组合的非限制性实例为 GaN 和 Si、SiGe 和 GaAs、GaAs 和 Ge、Si 和 $\text{Si}_{1-y}\text{C}_y$ 、SiC 和 AlN、SiC 和 BP、InGaN 和 GaN、以及其它各种类型的 IV、III-V 和 II-VI 化合物及其混合物和有机半导体。因此，虽然 Si 和 Ge 被确定为获得在此所述的改善性能的一对合适的半导体材料，但是本发明不限于此。

图 2 为根据本发明实施例的在漂移空间 42 中采用超结结构 41 的沟槽型半导体器件 40 的简化示意透视图。为便于说明，对 N 沟道沟槽型金属氧化物半导体（沟槽 MOS）半导体器件进行描述。器件 40 在沟槽型沟道 45 与衬底漏极 56 之间的漂移空间 42 中采用超结结构 41。器件 40 包括例如硅的 N+衬底（例如，漏极）56，其上形成有变化成分的过渡或缓冲层 58，如结合图 3 所详细描述。超结结构 41 包括具有中间 PN 结 76 的多个平行的垂直排列的 P 型区 70 和 N 型区 74。超结结构 41 的下部 44 与缓冲层 58 接触，该缓冲层 58 又与衬底 56 接触，该衬底 56 与电触点 561 一同形成沟槽 MOS 器件 40 的漏极。图 2 的器件 40 的超结结构 41 与图 1 的器件 20 的超结结构 21 的区别在于 P 型区 70 和 N 型区 74 由不同材料制成，选择材料使得漂移空间 42 中通过超结 41 的主要载流子的迁移率比对超结结构 41 使用同质材料（对 N 区和 P 区采用不同掺杂）所获得的迁移率更高。在用于构造 N 沟道器件的优选实施例中，P 型区 70 由弛豫 SiGe 形成而 N 型区 74 由应变 Si 形成，如例如结合图 3 至图 10 所描述的。应变 Si 具有如现有技术的超结结构 21 中典型发现的普通弛豫硅的约两倍的

电子迁移率。由于对于这样的器件的 $R_{DS\text{ON}}$ 与漂移空间 42 中的电子迁移率成反比，使器件 42 中的主要载流子迁移率翻倍将明显降低器件的 $R_{DS\text{ON}}$ ，这非常有益。

基本位于超结结构 41 上方的区域 82 包括与超结结构 41 的上部 43 接触的 N 区 83 和从 N 区 83 延伸至器件 40 上表面 88 的 P 型体区 84。沟槽 91 从上表面 88 延伸通过体区 84 并且通过 N 区 83 至超结结构 41 的上部 43。在可替代实施例中，沟槽 91 从上表面 88 只延伸通过体区 84，与 N 区 83 接触。沟槽 91 的侧壁 89 由具有比体区 84 的材料更高迁移率的材料 87 形成。例如且不意图是限制性的，体区 84 合适地由弛豫 SiGe 形成并且材料 87 合适地为应变硅。按此方式，器件 40 的沟道 45 优选地形成在较高迁移率材料 87 中，并且器件的导通电阻与现有技术器件 20 相比进一步降低。沟槽 91 被内衬有与图 1 的栅极电介质 36 类似的栅极电介质（例如， SiO_2 ）46。栅极电介质 46 内的沟槽 91 的内部利用具有栅极触点 481 的栅极（例如，掺杂多晶硅）48 填充。具有源极触点 861 的 N+源极区 86 以与图 1 的源极区 34 相同的方式被形成在沟槽 91 的两侧上的 P 型体区 84 中，通过栅极电介质 46 与栅极 48 隔离。在适当偏置时，源极-漏极电流 50（简称为“ I_D ”）从源极触点 861 和源极区 86 流经 P 型体区 84 的沟槽侧壁 89 上较高迁移率材料 87 中的基本垂直的沟道 45 到由超结结构 41 的 N 型区 74 形成的漂移空间 42，至漏极区 56 和漏极触点 561。沟槽 91、栅极 48、源极区 86 和体接触区 85 的长度尺寸 49 基本垂直于超结结构 41 的平行的 N 区和 P 区 70、74 以及中间 PN 结 76 的平面。体接触区 85 合适地但非必须地耦合到源极区 86 和源极触点 861。结合下面的图 3 至图 18 将更充分地理解图 2 中所示结构。

图 3 至图 17 为根据本发明其它实施例的采用超结结构的沟槽型半导体器件在制造的不同阶段 52-3 至 52-17 的简化示意截面图。分别在图 3 至图 10 中示出的制造阶段 52-3 至 52-10 示出了用于形成图 2 的器件 40 的漂移空间 42 中超结结构 41 的实施例，并且为基本沿图 2 中方向 410 观察的视图。图 11 至图 17 的制造阶段 52-11 至 52-17 示

出了用于形成与超结结构 41 结合的图 2 的器件 40 的沟槽部分 82 的其它实施例，并且为基本沿图 2 的方向 411 观察的视图。在优选实施例中，方向 410 和 411 基本正交但是这并不是必须的。然而，为便于说明，在下文中假设方向 410 和 411 基本正交但这并不意图是限制性的。

现在参考示出制造阶段 52-3 的图 3，图 3 的结构 54-3 包括合适地约 0.05 至 0.5mm 厚的衬底 56，其上表面 57 上形成具有上表面 59 的缓冲层 58。衬底 56 和缓冲层 58 的 N 或 P 掺杂之间的选择将取决于所要制造的器件的特定类型。例如，在 N 沟道沟槽 MOS 器件的情况下，诸如在此以实例形式所示出的，衬底 56 期望为 N+。对于绝缘栅极双极晶体管 (IGBT) 类型的器件，衬底 56 期望为 P+。对于 P 沟道沟槽 MOS 器件，衬底 56 期望为 P+。本领域技术人员将理解，如何根据期望制造的器件类型选择衬底 56 的掺杂类型，并且在此以实例形式对衬底 56 使用 N+ 并不意图是限制性的。缓冲层 58 根据衬底 56 的导电类型合适地例如 N 型或 P 型，并且优选为厚度 55 为约 1 至 5 微米的渐变 SiGe。为便于说明，关于图 3 至图 18，假设在形成 N 沟道沟槽 MOS 器件中所使用的层 58 和衬底 56 都是 N 型的，但这并不是必须的。化学汽相沉积 (CVD)、低压化学汽相沉积 (LPCVD) 以及分子束外延 (MBE) 为用于形成层 58 的公知方法。LPCVD 是优选的。缓冲层 58 的目的是为了提供从具有第一晶格常数的合适衬底材料 (例如硅) 的半导体 (SC) 衬底 56 到在后续步骤中被施加从而提供迁移率改善的期望区域的具有不同晶格常数的另一半导体 (SC) 材料的过渡区域。在 Si 和 SiGe 混合物的情况下，当衬底 56 为硅时，层 58 期望是从表面 57 处的基本纯 Si (例如，100% 的 Si) 渐变到表面 59 处的 X% 的 Si 与 Y% 的 Ge 的混合物，其中表面 59 处 X:Y 的比例可以在约 60:40 至 95:05 的范围内，更加合适地为约 70:30 至 90:10 且优选地约 80:20。

在示出了制造阶段 52-4 和所得结构 54-4 的图 4 中，在表面 59 上施加了具有厚度 61 的基本均匀的耐热掩模层 60。厚度 61 能够被用于确定超结结构 41 的在源极-漏极电流 50 (见图 2) 的传导方向上的

(垂直)范围。在约 2 至 50 微米范围内的厚度 61 是适用的, 确切的范围依赖于目标击穿电压。本领域技术人员将理解, 如何选择最适于其特定设计目标的厚度范围。二氧化硅为适用于掩模层 60 的材料非限制性实例, 其它一般性的耐热惰性材料也可使用。用于掩模层 60 的其它适用材料的非限制性实例为低温硅氧化物 (LTO)、通过正硅酸乙酯 (PETEOS) 的等离子体增强反应形成的氧化物、硅氮化物、其组合等。例如光致抗蚀剂的蚀刻掩模 62 被施加在层 60 上方并且被图形化以提供宽度 63-1、63-2、63-3 等 (合称为宽度 63) 的受保护区域 62-1、62-2、62-3 等, 这些受保护区域被宽度 65-1、65-2 等 (合称为宽度 65) 的开口 64-1、64-2、64-3、64-4 等 (合称为开口 64) 分开。宽度 63 的蚀刻掩模 62 的受保护区域和宽度 65 的开口 64 将决定最终的超结结构 41 的平行的、相反掺杂的层的厚度 (宽度)。

现在参考示出了制造阶段 52-5 和所得结构 54-5 的图 5, 使用掩模 62 蚀刻层 60 从而提供被对应于开口 64 的空间 (space) 66-1、66-2、66-3、66-4 等分开的间隔的 (spaced-apart) 区域 60-1、60-2、60-3 等, 对应于受保护区域 62-1、62-2、62-3 等。过渡层 58 的表面 59 的区域 59-1、59-2、59-3 等在空间 66-1、66-2、66-3、66-4 等 (合称为 66) 中暴露。过渡层 58 的表面 59 的区域 59-5、59-6、59-7 等仍然被层 60 的部分 60-1、60-2、60-3 等覆盖。

现在参考示出了制造阶段 52-6 和所得结构 54-6 的图 6, 第一半导体材料 70 被外延生长或沉积在过渡层 58 的表面 59 的暴露区域 59-1、59-2、59-3、59-4 等上, 期望但非必须, 厚度 71 等于或大于层 60 的厚度 61。化学汽相沉积 (CVD)、低压化学汽相沉积 (LPCVD)、以及大气压化学汽相沉积 (APCVD) 为用于形成材料 70 的公知方法。LPCVD 是优选的。对于 N 沟道器件, 弛豫 SiGe 是用于第一半导体材料 70 的合适材料的非限制性实例。半导体材料 70 形成在过渡层 58 的表面 59 上。在 SiGe 的情况下, 材料 70 期望为 X% 的 Si 与 Y% 的 Ge 的混合物, 其中 X:Y 可以在约 60:40 至 95:05 的范围内, 更加合适地为约 70:30 至 90:10, 且优选地为约 80:20, 基本对应于缓冲层 58

的表面 59 处的混合物成分。举例来说，假设衬底 56 为单晶硅，表面 57 具有例如[100]的取向，则期望层 58 在成分上从表面 57 处的基本 100%的 Si 渐变至表面 59 处的层 70 的期望 SiGe 成分比。这确保了当基本相同成分的 SiGe 材料 70 生长在表面 59 的表面区域 59-1、59-2、59-3、59-4 等上时，所得的 SiGe 区域 70-1、70-2、70-3、70-4 等将基本没应变，即，为“弛豫的”。根据期望的器件功能，期望在沉积期间对 SC 材料 70 进行掺杂。在图 6 至图 11 中所示的实例中，根据目标击穿电压，期望对 SC 材料 70 进行 P 掺杂的浓度可以为约 $1E15$ 至 $1E19$ 。在图 7 的制造阶段 52-7 中，将图 6 的结构 54-6 平坦化，使得去除区域 70 高出掩模 60 的上表面 67 的超出部分 70'（若有的话）。化学机械抛光（CMP）是公知的合适的技术。得到了图 7 所示的结构 54-7。本领域技术人员将理解，厚度 71 超过掩模层 60 的厚度 61 并非必须，因为即使厚度 71 小于厚度 61，结构 54-7 也可以在平坦化步骤 52-7 期间通过去除掩模层 60 的任何超出材料来获得。

在图 8 所示的制造阶段 52-8 中，蚀刻图 7 的结构 54-7 从而基本去除掩模层 60 的剩余部分 60-1、60-2、60-3 等，由此在空间（即，沟槽）66-1、66-2、66-3 等（合称为沟槽 66）中暴露过渡层 58 的表面 59 的预先受保护的区域 59-5、59-6、59-7 等。优选去除掩模 60 的剩余部分而不明显损伤材料 70 的选择性蚀刻。得到具有沟槽 66 的结构 54-8。在图 9 的制造阶段 52-9 中，在沟槽 66 中沉积第二半导体（SC）材料 74，由此形成位于 SC 区域 70-1、70-2、70-3、70-4 等之间的 SC 区域 74-1、74-2、74-3 等。层 74 期望被外延生长在过渡层 58 的表面 59 的暴露区域 59-5、59-6、59-7 等上，期望但非必要，厚度 75 等于或大于层 60 的厚度 61。化学汽相沉积（CVD）、低压化学汽相沉积（LPCVD）以及大气压化学汽相沉积（APCVD）为用于形成材料 74 的公知方法。LPCVD 是优选的。在图 10 的制造阶段 52-10 中，期望按照与结合图 7 所述基本相同的方式使结构 54-9 平坦化。得到结构 54-10。

结合第一（例如，“弛豫”）半导体（例如，SiGe）材料 70，

非弛豫（例如，“应变”）硅为用于第二 SC 材料 74 的合适 SC 材料的非限制性实例，但这并不意图是限制性的。例如作为因其不同成分而具有不同晶格常数的结果，合适的是，SC 材料 74 相对于 SC 材料 70 是应变的。因此，SC 材料 70 和 74 在成分和/或晶体结构上应具有充分的不同，使得区域 74-1、74-2、74-3 等相对于区域 70-1、70-2、70-3、70-4 等是应变的。假设材料 70 为 P 型，则材料 74 应为 N 型，反之亦然，即无论第一 SC 材料 70 的掺杂如何，第二 SC 材料 74 应是相反导电类型的，以便提供包括图 10 的交错区域 70、74 的改进的超结结构 41。为方便描述，区域 70-1、70-2、70-3、70-4 等在图 6 至图 11 中标为 P 型，区域 74-1、74-2、74-3 等标为 N 型，但这并不意图是限制性的，所示掺杂类型可以互换。另外，虽然在此关于材料 70 和 74 分别使用了术语“第一”SC 材料和“第二”SC 材料，但这仅是出于识别不同材料或区域的目的而并非是指它们必须按照任何特定顺序来被施加。本领域技术人员基于在此的教导将理解，超结结构 41 的材料 70 和 74 和所得的交错区域 70-1、70-2、70-3、70-4 等和 74-1、74-2、74-3 等可以按任何顺序形成。通过相对于过渡层 58 的表面 59 调整材料 70、74 的成分，这两种材料中的任何一种材料可以设置为弛豫或应变的，且任何一种材料可以是 P 型或 N 型的。类似的，根据期望形成的器件的类型，层 58 可以是 P 型或 N 型或本征的。

换言之，超结结构 41 的意图为器件 40 的漂移空间 42 的主要电流承载部分的那些部分应由具有比从其它同质的超结结构（例如，所有半导体材料相同仅 N 区和 P 区掺杂不同）所获得的迁移率更高的迁移率的材料形成。根据本发明的上述实施例，利用应变半导体材料可以得到迁移率增大的优势，通过在承载电流的漂移空间区域（例如对于 N 沟道器件的区域 74）中设置应变半导体材料，这被合适地实现。例如，与 N 型沟槽 MOS 器件相关的超结结构 41 的 P 型区 70 的非应变 SiGe 相比，通过在 N 沟道沟槽 MOS 器件的超结结构 41 的 N 型区 74 中使用应变 Si，可以获得约为二倍的电子迁移率的改善。再换言之，通过对超结结构 41 的 N 区和 P 区使用不同成分的材料使得漂移空间

42 中主要电流承载材料 (N 或者 P) 具有比使用同质但不同掺杂的半导体材料所获得的迁移率更高的迁移率, 本发明提供了一种包括改善性能的超结结构 41 的沟槽型半导体器件。根据应变材料处于拉伸还是压缩的状态, 应变材料通常表现出对一种类型载流子的提高的迁移率和对相反类型载流子的降低的迁移率。如结合前述实例所说明的, 应设置引起拉伸或压缩的材料组合使得对电子的迁移率提高发生在用于 N 型器件的超结结构的 N 型漂移区域中, 而对于空穴的迁移率提高发生在用于 P 型器件的超结结构的 P 型漂移区域中。虽然使用应变半导体来获得迁移率提高是合适的, 但是这样的迁移率提高也可以通过在超结结构的主要电流承载漂移空间中使用其它更高迁移率材料来获得。因此, 对于 N 沟道器件, 更高迁移率材料应该被用于超结结构的 N 型区, 而对于 P 沟道器件, 更高迁移率材料应该被用于超结结构的 P 型区。因此, 可以使用应变或非应变材料, 只要在其中出现主要电流传导的超结漂移空间部分中载流子迁移率被增大。

图 11 至图 17 的制造阶段 52-11 至 52-17 示出了用于形成结合超结结构 41 的图 2 的器件 40 的沟槽部分 82 的其它实施例, 且为基本沿图 2 和图 10 中的方向 411 观察的视图。图 11 至图 18 为根据本发明的所述的其它实施例, 在制造的不同阶段 52-11 至 52-17 沟槽 MOS 半导体结构 54-11 至 54-17 的简化示意截面图。为便于说明, 图 11 至图 17 示出了 N 沟道器件, 但这仅是为了举例而不意图是限制性的。本领域技术人员将理解, 通过互换各种杂质类型, 也可根据本发明的其它实施例制造 P 沟道器件。其它类型的器件, 例如但不限于 IGBT 器件, 也可以使用在此教导的原理制造。现在参考图 11 的制造阶段 52-11, 结构 54-11 包括图 10 的结构 54-10, 其上表面 412 上形成了柱形的外延生长的掩模 80。具有上表面 801、厚度 802 和宽度 803 的外延生长掩模柱 80 合适地被形成在超结结构 41 的上表面 412 上。二氧化硅是对于外延生长掩模柱 80 的合适的材料的非限制性实例, 但也可以使用适于经得住后续工艺步骤的其它通常的耐热材料。SiN、LTO 和 TEOS 为其它合适材料的非限制性实例。因此, 关于外延生长掩模

柱 80 的词“氧化物”的使用仅是为了便于识别而不意图是限制性的，并且应该理解为包括上述的其它可替代物。柱 80 合适地但非必须地通过沉积氧化物层、遮挡期望柱 80 在其中的部分并且蚀刻掉氧化物层的其余部分而形成。化学汽相沉积 (CVD) 或低压化学汽相沉积 (LPCVD) 或等离子体增强化学汽相沉积 (PECVD) 为用于形成外延生长掩模柱 80 的合适技术的实例，但并不排除其它形成技术。LPCVD 是优选的。期望使用优先基本垂直于表面 412 蚀刻的各向异性蚀刻工艺而非各向同性蚀刻，从而在表面 412 上留下基本均匀宽度 803 和高度 802 的柱 80。还期望选择性的蚀刻外延生长掩模柱 80 从而保留下面的半导体表面 412 基本不受影响。得到结构 54-11。

现在参考图 12 的制造阶段 52-12，弛豫半导体的沟槽部分 82 沉积在超结结构 41 的表面 412 上，至期望超过厚度或高度 802 的厚度 821。部分 82 合适地由与区域 70 相同的材料形成。根据所期望的特定器件结构，部分 82 可以是 N 型或 P 型。这样的掺杂不明显影响晶格常数和带隙。部分 82 期望包括初始的（例如，磷掺杂）N 区 83，其约 0.05 至 0.15 微米厚，优选约 0.1 微米厚，且适用的掺杂密度为每 cm^3 约 $5\text{E}15$ 至 $1\text{E}17$ （取决于所期望的击穿电压），接着是足够厚度使得厚度 821 等于或超过厚度 802 的（例如，硼掺杂）P 型体区 84。区域 84 具有约每 cm^3 $1\text{E}17$ 至 $1\text{E}18$ 的适用掺杂密度，且优选约每 cm^3 $2\text{E}17$ 至 $5\text{E}17$ ，但根据期望用于体形成的特定器件特性，更低或更高的掺杂密度也可以使用。部分 82 可以在形成期间原位掺杂或者在形成后使用传统掺杂技术掺杂。根据形成的器件的类型和是否期望渐变或均匀掺杂，这两种安排都适用。本领域技术人员将理解，如何根据他们打算制造的器件的特定类型为部分 82 选择合适的掺杂密度和分布。期望体区 84 与漂移区域 70 的材料相同，从而确保在漂移与体区之间没有会产生电泄露的晶体位错。选择性外延沉积是形成部分 82 的优选方式。选择性外延沉积合适地使用二氯硅烷或三氯硅烷通过 LPCVD、RPCVD 或 APCVD 来进行。还可以使用 UHV-CVD。通过使用 GeH_4 气体混合物改善选择性。在部分 82 的厚度 821 超过柱高

802 时可以发生一些外延横向过度生长 (ELO)。得到结构 54-12。

根据对于沟槽部分 82 的材料的上表面 821 所获得的平坦度, 沟槽部分 82 可以在沉积后保持现状的 (as-is) 使用或者其可以被生长至比厚度 802 更大的厚度并被研磨 (lap) 回到厚度 823, 如制造阶段 52-13 所示, 使得区域 84 具有厚度 841 而上表面 842 基本与外延掩模柱 80 的表面 801 共面。或者, 若沟槽部分 82 不如厚度 802 一般厚, 柱 80 可以被研磨使得表面 842 和 801 (研磨后) 基本共面。上述任何一种安排都是适用的。本领域技术人员无需过多实验就将能确定, 这样的向回研磨步骤是否需要。化学机械抛光 (CMP) 是公知的合适的平坦化技术的一个实例。也可以使用其它技术。随后去除外延生长掩模柱 80, 例如通过选择性蚀刻, 由此建立空腔或沟槽 90。得到结构 54-13。由于柱 80 是例如硅氧化物的, 所以其可以被选择性蚀刻而不影响相邻的半导体区域 83、84。因此, 避免了沟槽 90 内壁的非晶化。

在制造步骤 52-14 中, 围绕沟槽 90 的相邻区域 83、84 的半导体材料期望但非必须地被轻微蚀刻以便圆化沟槽 90 的角从而避免在去除柱 80 会留下的任何锐利的角处的并且可能降低最终器件的维持电压的高电场集中。结果, 获得了宽度 910 略大于柱 80 的宽度 803 且深度 911 略大于柱 80 的高度 802 的改良沟槽 91, 如图 14 的结构 54-14 中所示。本领域技术人员将理解如何进行这样的蚀刻以便产生对于他们的特定器件应用其所期望的角圆化的量。湿法蚀刻是用于这样的角圆化的合适技术, 其中蚀刻剂取决于所使用的特定半导体材料。对于在此描述的示例性的 SiGe 材料, 缓冲氢氟酸、过氧化氢和乙酸为合适的蚀刻剂混合物。作为角圆化蚀刻的结果, 沟槽 91 的底部 912 一般稍微延伸到区域或层 83 与超结结构 41 之间的界面 412 下方。随后沉积较高迁移率材料 87 从而至少在侧壁 913 上为沟槽 91 的内壁形成内衬。得到了结构 54-14。

如之前所述, 与用于体区 84 的 SiGe 混合物结合, 应变硅适合用于材料 87。至少在侧面 913 上, 材料 87 被合适地沉积在沟槽 91 内至厚度 871。其还可以被沉积在沟槽 91 的底面 912 上和结构 54-13 的层

或区域 84 的外表面 842 上，但这不是必须的。安排材料 87 通过使用与区域 84 的材料不同成分且因此不同晶格常数的材料来产生应变。若是这样，材料 87 在表面 842 上的部分可以稍后被去除，但这不是必须的。厚度 871 在约 30 至 100 纳米的范围内是有益的，优选为约 50 纳米。材料 87 可以是本征的，在这种情况下，将倾向于具有它所沉积于其上的材料的掺杂类型，或者可以在形成期间或之后进行掺杂。沟槽 91 中材料 87 的掺杂对于控制阈值电压和确定所得器件是增强还是耗尽模式器件特别合适。汽相外延或分子束外延是用于应变半导体材料 87 的合适沉积技术的实例。优选 LPCVD。硅（掺杂或未掺杂）是用于相对于体区 84 的弛豫 SiGe 半导体材料将具有应变的材料 87 的合适半导体（SC）的非限制性实例。根据期望所得器件的类型，材料 87 可以是 N 型或 P 型。对于 N 沟道沟槽 MOS 器件，材料 87 优选为 N 型且掺杂密度在约每 cm^3 $1\text{E}16$ 的范围是有益的，更加合适地是具有与漂移区 70 相类似的值，这取决于应用所需的击穿电压。得到了结构 54-14。虽然将材料 87 描述为应变材料，但这仅是获得比弛豫材料的体区 84 更高迁移率材料的一种方式。材料 87 可以是提供比在体区 84 中引起的沟道中通常会遇到的更高的迁移率的任何材料。因此，对于材料 87 使用应变半导体是合适但不是必须的，只要对于将在沟道 45 中流动的载流子类型而言材料 87 具有比体区 84 的材料更高迁移率（例如，见图 2）。

图 15 的制造阶段 52-15、图 16 的 52-16、以及图 17 的 52-17 示出了图 14 的结构 54-14 如何可以用于形成与图 1 的器件 20 相比具有改善性能的图 2 的 N 沟道沟槽 MOS 器件 40。作为沟槽 91 内衬的示例性材料 87 标示为“N(s)”，其意味着沟槽 91 内的材料 87 期望由在被外延沉积于区域 83、84 的弛豫材料（例如，SiGe）上时成为应变性的材料（例如，Si）形成。区域 83、84 与材料 87 之间的晶格失配在被外延生长于沟槽 91 中的期间产生了材料 87 中的应变。P(r)区域 84 作为 P-体区，与图 1 中的 P-体区 32 类似，从表面 842 延伸至 N(r)区域 83 中。P+体触点 85 合适地形成为从表面 842 延伸至 P(r)区域 84

中，以降低与 P-体区 84 的接触电阻，而 N+源极区域 86 与图 1 的区域 34 类似，形成为从表面 842 延伸至 P(r)区域 84 中并且与较高迁移率（例如，应变）材料 87 接触。栅极电介质 46 与图 1 的栅极电介质 36 类似，合适地形成在 N(s)层 78 在侧壁 913 和沟槽 91 的底部 912 上的部分上。沟道区 45 与图 1 的沟道区 23 类似，位于材料 87 在源极区域 86 与 N 型区 83 之间的部分中。栅极 48 形成在栅极电介质 46 上靠近沟槽 91 中的沟道区域 45，与图 1 的栅极 38 类似。离子注入是用于形成具有杂质的区域 85、86 的合适技术的非限制性实例，其中每平方厘米约 $1E15$ 至 $4E15$ 的杂质剂量适用于体接触区域 85，每平方厘米约 $2E15$ 至 $5E15$ 的杂质剂量适用于源极区域 86，但也可使用更低或更高的掺杂。约 200 至 600 埃厚度的热生长或沉积硅氧化物合适地用作栅极电介质 46。掺杂的多晶硅适合用于栅极 48，但也可以使用其它导体。例如 AlSiCu 的栅极触点 98（见图 17）设置在栅极 48 上。设置例如 AlSiCu 的源极-体触点 95 与源极区 86 和体接触区 85 电连通。漏极触点 96 设置在衬底 56 上。设置源极、漏极和栅极连接件 861、481 和 561 分别与源极、栅极和漏极触点 95、98 和 96 电连通。

器件 40（也就是器件结构 54-17）与器件 20 的区别在于，在沟道区域 45 中存在较高迁移率（例如，应变）半导体材料 87 以及其上形成有应变材料 87 的弛豫半导体材料 83、84，以及存在与器件 40 的漂移空间 42 中的超结结构 41 中的弛豫半导体材料 70 相接触的较高迁移率（例如，应变）的半导体材料区 74。当器件 40 适当偏置时，电流 50 从源极 86 流经较高迁移率（例如，应变）材料 87 中的沟道 45 并流经载流子漂移空间的区域 74 的较高迁移率（例如，应变）材料，流经过渡或缓冲层 58，到达作为改善的沟槽 MOS 器件 40 漏极的衬底 56。 $R_{DS\ ON}$ 包括与图 1 的电流 30 类似的图 2 的电流 50 流经的各个器件区域的组合电阻。因为沟槽 91 中材料 87 内的沟道区 45 和超结结构 41 的漂移空间区域 74 中的载流子迁移率比现有技术器件 20 的相对区域中的载流子迁移率高，所以降低了 $R_{DS\ ON}$ 。对于相同

的器件几何形状（例如，栅极面积、栅极电介质厚度等）， Q_{gd} 基本相同，但品质因数（figure of merit） $(FOM) = R_{DS(ON)} * Q_{gd}$ 得到改善。 FOM 可以通过在沟槽 91 底部中包括更厚的电介质区域 47，由此进一步将栅极 48 与超结结构 41 和漏极 56 去耦来进一步得到改善。这提供了通过进一步降低 Q_{gd} 来对 FOM 的额外改善。区域 47 也可以由具有比栅极电介质 46 更低介电常数的材料制成，因此，再进一步降低 Q_{gd} 。在其它相同的情况下，品质因数越低，器件可以工作的越快。

图 14 所示的结构 54-14 优选通过制造阶段 52-11 至 52-14 所示的制造顺序获得。这具有以下优点：无需各向异性半导体蚀刻，避免了其中意图沉积较高迁移率材料 87 且在其中要形成器件沟道的沟槽表面的非晶化的风险。另外，沟槽 90 的深度可以更加仔细的控制，因为这是由柱 80 的厚度或高度 802 决定的，结合任何向回研磨（back-lap）步骤，这提供了合适的蚀刻和/或研磨停止点。与此相比，蚀刻深度通常仅由蚀刻时间确定的仅蚀刻沟槽 90 对蚀刻深度的控制更加不精确。然而，沟槽 90 也可以按其它方式形成。例如，图 13 所示的结构 54-13 可以无需外延生长掩模柱 80 而形成，即，层 83、84 仅沉积或生长在表面 412 上而无需包括外延生长掩模柱 80。随后，蚀刻沟槽 90 到层 83、84 的表面 842 中，由此产生图 13 的结构 54-13。从这点开始，进行如前所述的制造阶段 52-14 至 52-17。如先前所述，这样的工艺易于在沟槽 90 的 RIE 期间产生沟槽侧壁的不期望的非晶化。然而，若使用相对温和的各向同性蚀刻步骤去除 RIE 损伤的侧壁材料以获得制造阶段 52-14 中的结构 54-14，则可以在未受 RIE 影响的新表面上沉积较高迁移率（例如，应变）半导体材料 87 并且避免非晶化的负面影响。通过此途径，制造阶段 52-14 中包括的基本各向同性的蚀刻步骤不仅应去除足够的用于角圆化的材料还应去除足以去除任何 RIE 蚀刻损坏的材料，哪个大取哪个。这两种方式都适用。

制造阶段 52-12 至 52-17 所示的制造顺序示出在沟槽 91 中沉积材料 87 后设置体接触区 85 和源极区 86。虽然这是优选的，但非必须。体接触区 85 和源极 86 可以例如通过形成体区 84 时向图 13 的结构

54-13 中离子注入(或其它掺杂技术)形成,接下来进行制造阶段 52-14 至 52-17 的剩余步骤或在其它制造阶段。另外,虽然在沟槽区 82 生长期间使用原位掺杂以提供体区 84 较为便利,但这也非必须。沟槽区 82 可以由单一导电类型(例如, N 型)形成并随后通过向例如阶段 52-13 的基本平坦化的结构 54-13 中离子注入或其它掺杂方式形成(例如, P 型)体区 84。这两种安排都适用。

图 18 至图 19 为根据本发明的再其它实施例,示出用于形成图 3 至图 17 中所示结构的方法 100 和 200 的简化流程图。现在参考图 18, 方法 100 从开始 102 和最初的设置衬底步骤 104 开始,例如,具有或不具有缓冲层 58 的衬底 56。单晶硅为合适衬底材料的非限制性实例,也可使用其它材料。非限制性实例为 SiC、Ge、GaAs、GaN、AlN、InN、BP、InP 等。如上所述, SiGe 为用于缓冲层 58 的合适材料的实例,但是也可使用例如上面所列出的那些其它材料。在包含可以按任何顺序进行的子步骤 107、108 的步骤 106 中,形成间隔、交错的第一和第二半导体区域(例如,区域 70、74),其具有例如弛豫和应变的晶格特征。在子步骤 107 中,第一掺杂类型(N 或 P)的第一间隔(例如,弛豫)半导体(简称“SC”)区域形成在衬底上。在子步骤 108 中,与第一掺杂类型相反的第二掺杂类型的第二间隔(例如,应变)半导体(SC)区域与第一间隔区域交错地形成,从而形成超结结构。第一和第二交错 SC 区域可以按任何顺序形成,即,第一(例如,弛豫)SC 区域可以被第一个形成,而第二(例如,应变)SC 区域可以被第二个形成。这是图 3 至图 10 中所示的顺序,但这不是必须的。或者,第二(例如,应变)间隔 SC 区域可以被第一个形成,而第一(例如,弛豫)间隔 SC 区域可以被第二个形成,与第二区域交错。两种安排都适用。这提供了图 10 的超结结构 54-10。在随后的步骤 110 中,例如基本弛豫的半导体(SC)的另一区域(例如,区域 83、84)形成在超结结构上方,并且具有外表面(例如,表面 842)。步骤 112 中,形成从外表面延伸通过另一区域而基本到达超结结构的沟槽。如上所述,根据用于形成沟槽的特定工艺,可以可选地使用各

向同性蚀刻来对此沟槽的角圆化和/或消除沟槽形成导致的任何非晶表面材料。步骤 114 中，相对于沟槽通过其的体区，将至少沟槽的侧壁内衬以例如应变半导体 (SC) 材料 (例如，材料 87)，并与超结结构连通。随后，步骤 116 中，在例如应变 SC 材料上方形成栅极电介质，沟槽的剩余部分期望以栅极材料填充，以及在另一区域中设置源极区和体接触区，使得源极区电耦合到例如应变 SC 材料并且与超结结构隔开，从而使得电流经过源极区与超结结构提供的漂移空间之间的例如应变 SC 材料。方法 100 随后进入结束 118，然而，本领域技术人员将理解，也可以进行各种后加工步骤来设置到各种器件区域的电极或电触点、表面钝化、封装等。这些后加工步骤为本领域公知的。

现在参考图 19，方法 200 从开始 202 和最初的设置衬底步骤 204 开始，例如，设置具有或不具有缓冲层 58 的衬底 56。单晶硅为合适衬底材料的非限制性实例，但也可使用其它材料。非限制性实例为 SiC、Ge、GaAs、GaN、AlN、InN、BP、InP 等。如上所述，SiGe 为用于缓冲层 58 的合适材料的实例，但例如上面所列出的那些中的一种或多种的其它材料也可使用。在包含可以按任何顺序进行的子步骤 207、208 的步骤 206 中，形成间隔、交错的第一和第二半导体区域 (例如，区域 70、74)，其具有第一和第二迁移率。在子步骤 207 中，在衬底上形成具有第一掺杂类型 (N 或 P) 和第一迁移率的第一间隔半导体 (简称为“SC”) 区域 (例如，区域 70)。在子步骤 208 中，形成具有与第一掺杂类型相反的第二掺杂类型且对于相同载流子具有更高第二迁移率的第二间隔半导体 (SC) 区域 (例如，区域 74) 与第一间隔区域交错，从而形成超结结构。第一和第二交错 SC 区域可以按任何顺序形成，即，第一 (例如，弛豫) SC 区域可以被第一个形成，而第二 (例如，应变) SC 区域可以被第二个形成。这是图 3 至图 10 中所示的顺序，但这不是必须的。或者，第二较高迁移率的间隔的 SC 区域可以被第一个形成，而第一 (较低) 迁移率的第一间隔 SC 区域可以被第二个形成，与第二区域交错。两种安排都可以。

这提供了图 10 的超结结构 54-10。在随后的步骤 210 中，在超结结构上方形成具有第三迁移率的第三 SC 的体区，与超结结构连通并具有外表面（例如，表面 842）。步骤 212 中，形成从外表面延伸通过体区与超结结构连通的沟槽（例如，沟槽 90、91）。第一和第三 SC 区域可以由基本相同的材料形成，但这不是必须的，只要它们具有比与之相对的第二和第四 SC 材料或区域更高的迁移率。如上所述，根据用于形成沟槽的特定工艺，可以可选地使用各向同性蚀刻来对此沟槽的角圆化和/或消除沟槽形成导致的任何非晶表面材料。步骤 214 中，将至少沟槽侧壁内衬以具有比沟槽通过其中的体区的第三迁移率更高的第四迁移率的第四半导体（SC）材料。随后，步骤 216 中，在第四 SC 材料上方形成栅极电介质，沟槽的剩余部分期望以栅极材料填充，该栅极材料通过栅极电介质而与沟槽侧壁绝缘，以及设置源极区和体接触区，使得源极区电耦合到第四 SC 材料并且与超结结构分开，从而使得电流经过源极区与超结结构提供的漂移空间之间的第四 SC 材料。方法 200 随后进入结束 218，然而，本领域技术人员将理解，也可以进行各种后加工步骤来设置到各种器件区域的电极或电触点、表面钝化、封装等。这些后加工步骤为本领域公知的。如上所述，源极区和体接触区可以在体区形成后在方法 200 的任何阶段形成。

根据第一实施例，提供一种用于形成采用超结结构的沟槽型半导体器件的方法，包括以下步骤：以任意顺序，形成具有第一导电类型和第一晶格常数的第一半导体材料的第一间隔区域；形成与第一间隔区域交错的具有第二不同导电类型和第二不同晶格常数的第二半导体材料的第二间隔区域，使得第二区域中的第二半导体材料相对于第一区域中的第一半导体材料是应变的并且其间存在一个或多个 PN 结；以及设置基本弛豫的半导体材料的另一区域，该另一区域与第一和第二间隔交错区域接触并具有外表面；在该另一区域中形成从外表面延伸基本到第一和第二间隔交错区域的沟槽；在沟槽的至少侧壁上设置应变半导体材料；在应变半导体材料上方形成栅极电介质；设置与栅极电介质接触的栅极，由此该栅极与应变半导体材料分开；以及

设置一个或多个源极区域，该源极区域与应变半导体材料连通并通过应变半导体材料的一部分而与第一和第二间隔交错区域分开。在另一实施例中，该方法还包括在形成步骤之前设置具有主表面的预定晶格常数的衬底；以及主表面上设置具有紧靠主表面的内表面和远离内表面的外表面的渐变半导体层，该渐变半导体层被配置为接受第一间隔区域并在外表面处具有与第一晶格常数基本匹配的晶格常数，使得形成在外表面的第一部分上的第一区域的第一半导体材料基本是弛豫的。在又一实施例中，外表面处的晶格常数与第二晶格常数不同，使得形成在外表面的第二部分上的第二区域的第二材料是应变的。在又一实施例中，第一半导体材料包括 SiGe 而第二半导体材料包括 Si 以及低于 5% 的 Ge。在又一实施例中，第一半导体材料包括的 Si:Ge 比例在约 60:40 至 95:05 的范围内。在再又一实施例中，第一半导体材料包括 Si:Ge 的比例在约 70:30 至 90:10 的范围内。在再又一实施例中，第一半导体材料包括的 Si:Ge 比例在约 80:20 至 85:15 的范围内。

在第二实施例中，提供一种用于形成半导体器件的方法，包括以下步骤：设置具有外表面的衬底；在外表面上形成具有第一导电类型和第一迁移率的第一间隔半导体区域；在外表面上形成具有第二相反导电类型和更高的第二迁移率的第二半导体区域，该第二半导体区域与第一间隔半导体区域交错，从而形成超结结构；在超结结构上方形成具有第三迁移率的第三半导体的第一导电类型体区，该第一导电类型体区与超结结构连通并具有外表面；设置从外表面延伸通过体区从而与超结结构连通的沟槽；以及至少在沟槽侧壁上形成具有比第三迁移率更高的第四迁移率的第四半导体区域。在另一实施例中，该方法还包括形成与第四半导体区域接触的栅极电介质。在又一实施例中，该方法包括在沟槽内形成栅极，该栅极通过栅极电介质与第四半导体材料分开。在又一实施例中，该方法还包括形成体区后的任何时间，在体区内设置一个或多个源极区域，该源极区域与第四半导体区域接触并且通过第四半导体区域的一部分与超结结构分开。

在第三实施例中，提供一种半导体器件，包括：具有相反导电类型以及第一和第二迁移率的第一和第二半导体材料的交错区域的超结结构，其中第一和第二半导体材料通过基本平行的 PN 结分开并且通过基本垂直于 PN 结的衬底区域在第一端处终止，其中超结结构具有与第一端分开的第二端且其中对于相同的载流子类型第二迁移率比第一迁移率高；第三迁移率的第三半导体材料的体区，耦合到第二端并具有与第二端相对的外表面；沟槽，具有从外表面延伸至至少第二端的侧壁；以及至少在侧壁上的对于相同的载流子类型具有比第三迁移率更高的第四迁移率并且与超结结构连通的第四材料。在另一实施例中，第一半导体材料为弛豫半导体材料并且第二半导体材料为应变半导体材料。在又一实施例中，第三半导体材料为弛豫半导体材料并且第四半导体材料为应变半导体材料。在又一实施例中，第一和第三半导体材料包括 SiGe，第二和第四半导体材料基本为硅且包括小于 5% 的 Ge。在再一实施例中，第一和第三半导体材料包括 Si:Ge，比例为 X 份的 Si 比 Y 份的 Ge，其中 X:Y 的比例在 60:40 至 95:05 的范围内。在再另一实施例中，Si:Ge 的比例在 70:30 至 90:10 的范围内。在再又一实施例中，衬底包括第一基本为硅的区域，并具有位于第一基本为硅的区域与超结结构之间的变化成分的 Si:Ge 过渡层。在再还一实施例中，过渡具有基本为硅的紧邻第一基本为硅的区域的成分以及基本与第一半导体材料的成分匹配的紧邻超结结构的成分。在又另一实施例中，该器件还包括至少在沟槽侧壁上的第四材料上的第一电介质材料，以及在沟槽底部中的每单位面积的电容比第一电介质低的第二电介质材料。

虽然已经在前面的详细描述中展示了至少一个示例性实施例，但是应当明白，尤其对于器件类型和材料和步骤顺序的选择存在多种变化。上述发明特别适用于形成沟槽 MOS 器件，但本领域技术人员将理解，基于在此的描述，其它类型的器件也可以使用在此描述的原理制造。例如但并不意图是限制性的，本发明可用于制造二极管、BJT、IGBT 和晶闸管器件以及在此所描述的那些器件。另外，虽然提出 Si

和 SiGe 作为用于组合来产生在此所述的相邻的弛豫（较低迁移率）和应变（较高迁移率）半导体区域的合适材料的实例，但是这仅是为了举例而非意图是限制性的。以下为可以用于组合来实现超结和沟槽配置中类似的较低迁移率区域和较高迁移率区域的其它合适半导体材料的非限制性列表，具体包括：GaN 和 Si、InGaN 和 GaN、InAsP 和 InP、SiC 和 AlN、SiC 和 BP、SiGe 和 GaAs、GaAs 和 Ge、Si 和 $Si_{1-y}C_y$ 等。同样应当明白，示例性实施例仅是实例，而不意图以任何方式限制本发明的范围、应用或配置。另外，上述详细描述将为本领域技术人员提供实现示例性实施例的合适的途径。应理解，在不脱离如所附权利要求及其等同物所阐述的本发明的范围的情况下，可以对元件的功能和安排进行各种改变。

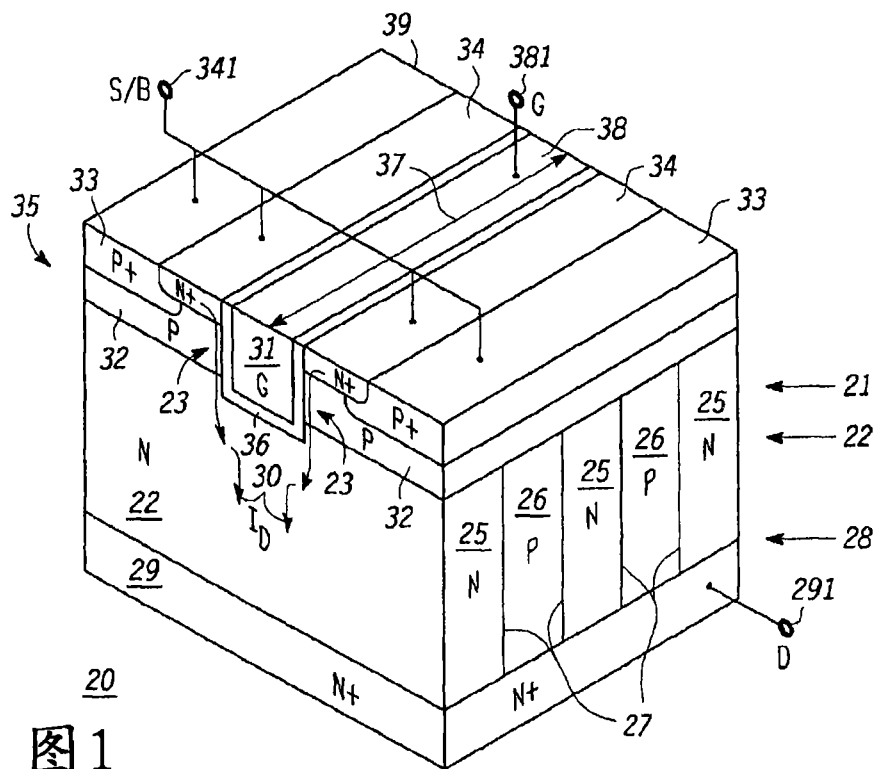


图1
现有技术

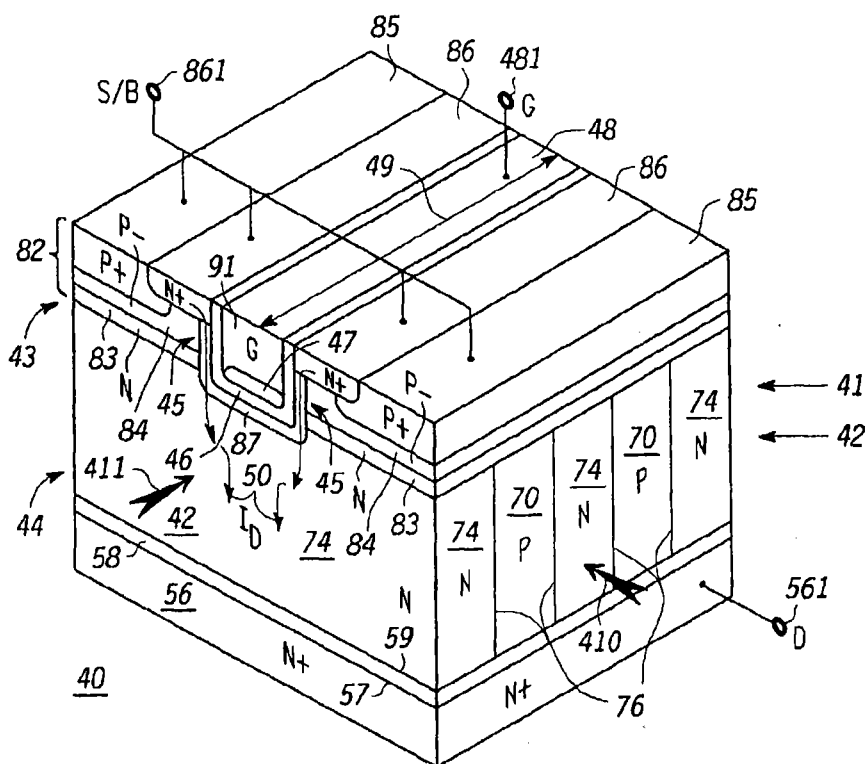


图2

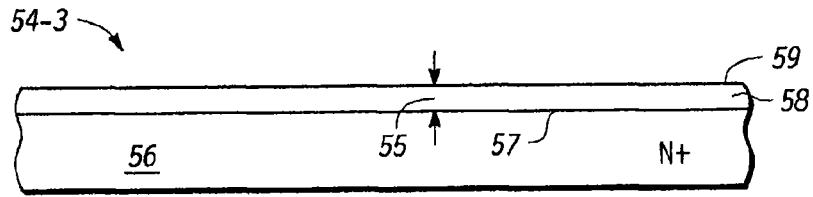


图3 52-3

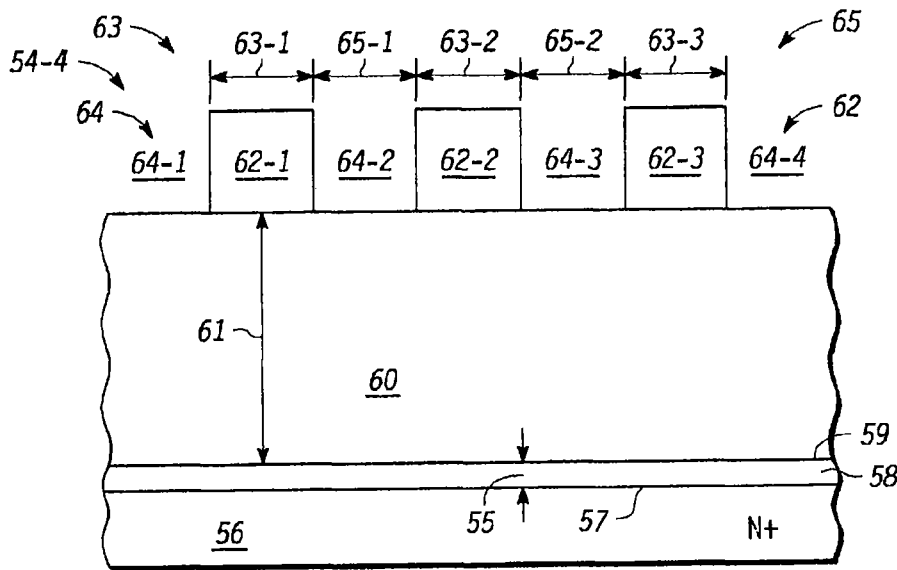


图4 52-4

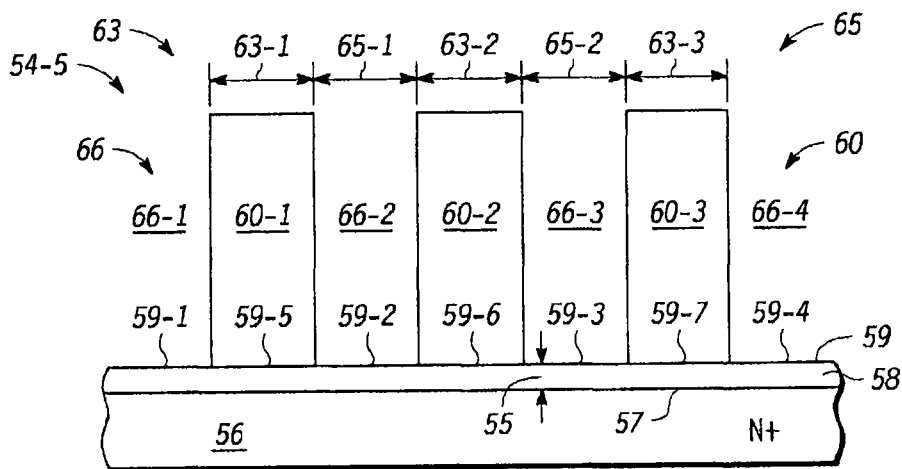


图5 52-5

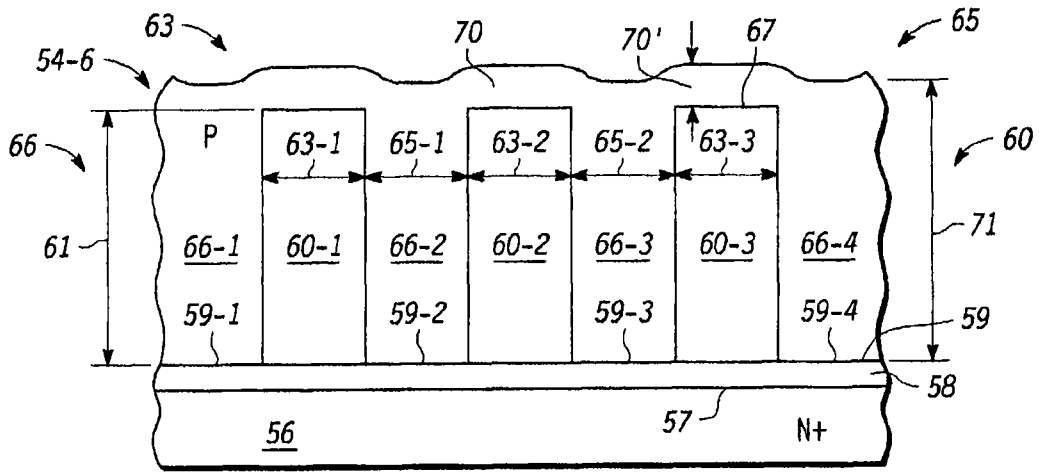


图6 52-6

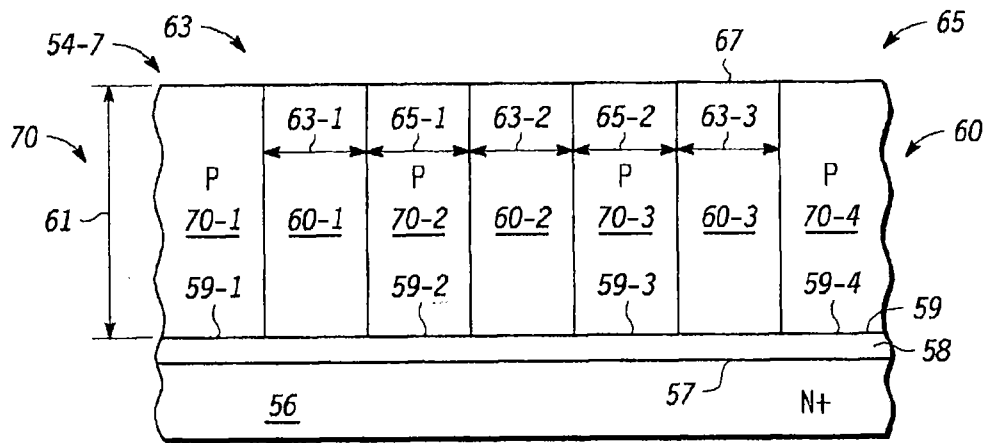


图7 52-7

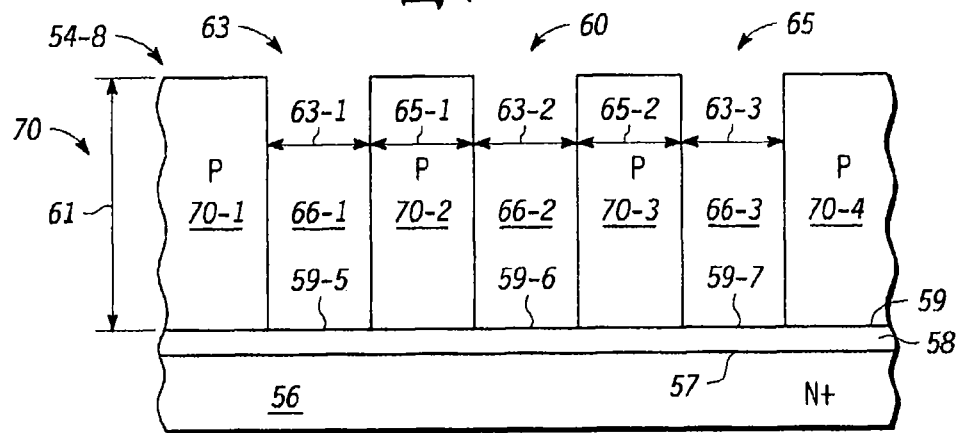


图8 52-8

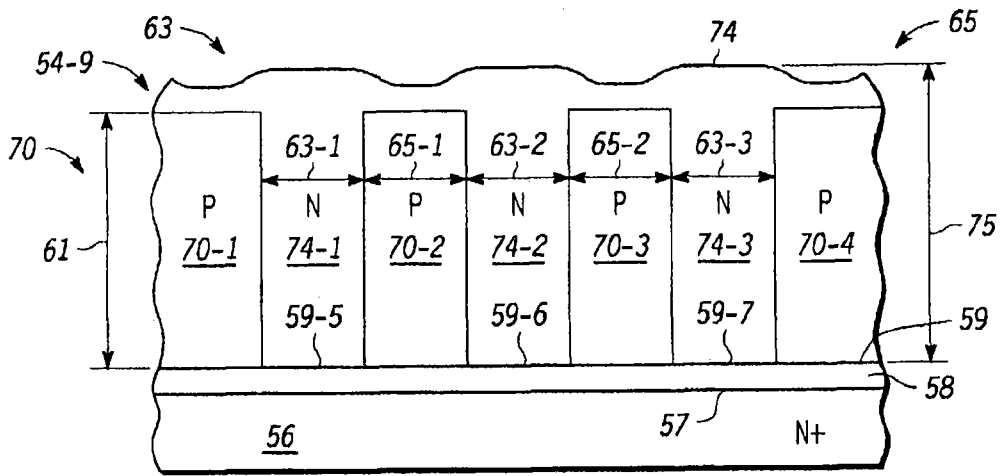


图 9

52-9

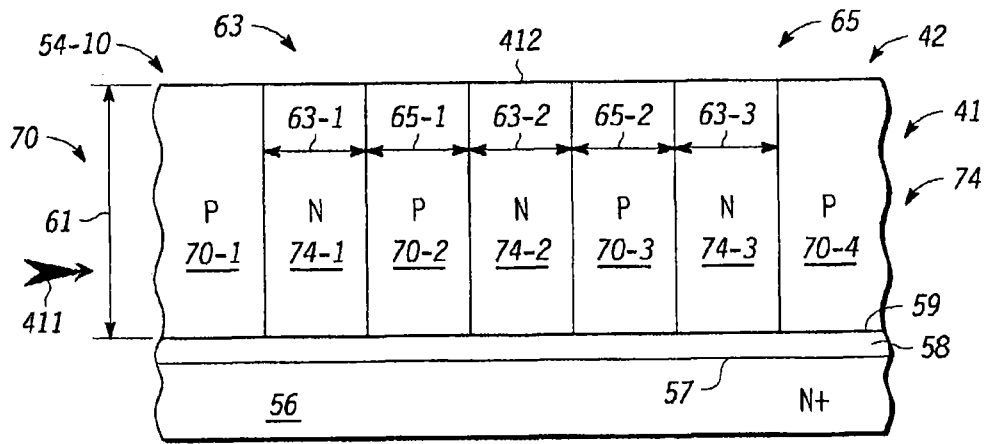


图 10

52-10

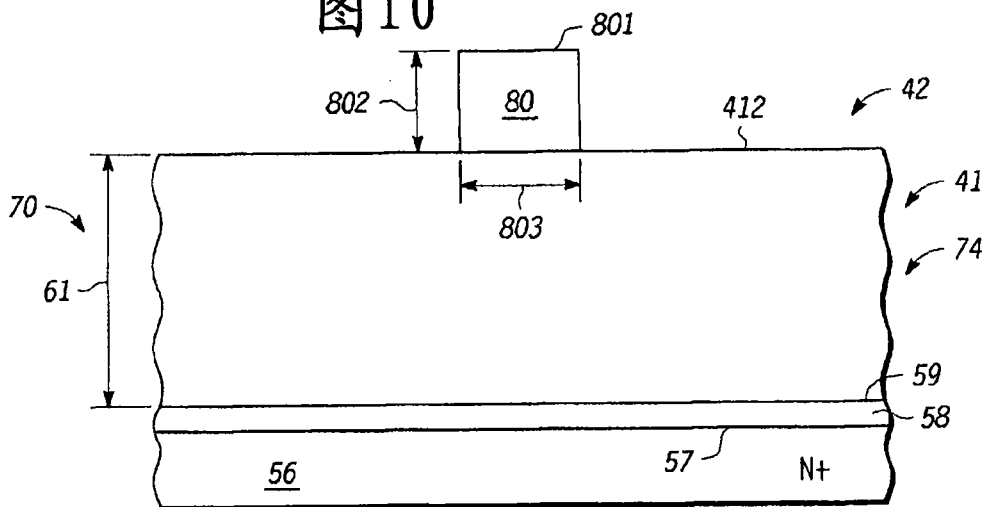


图 11

52-11

54-11

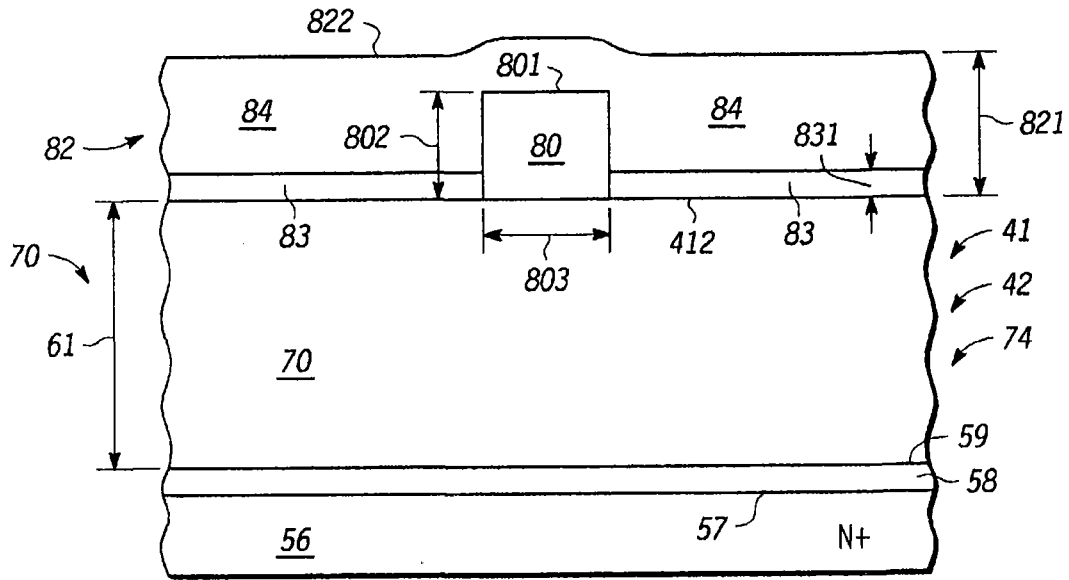


图 12

52-12

54-12

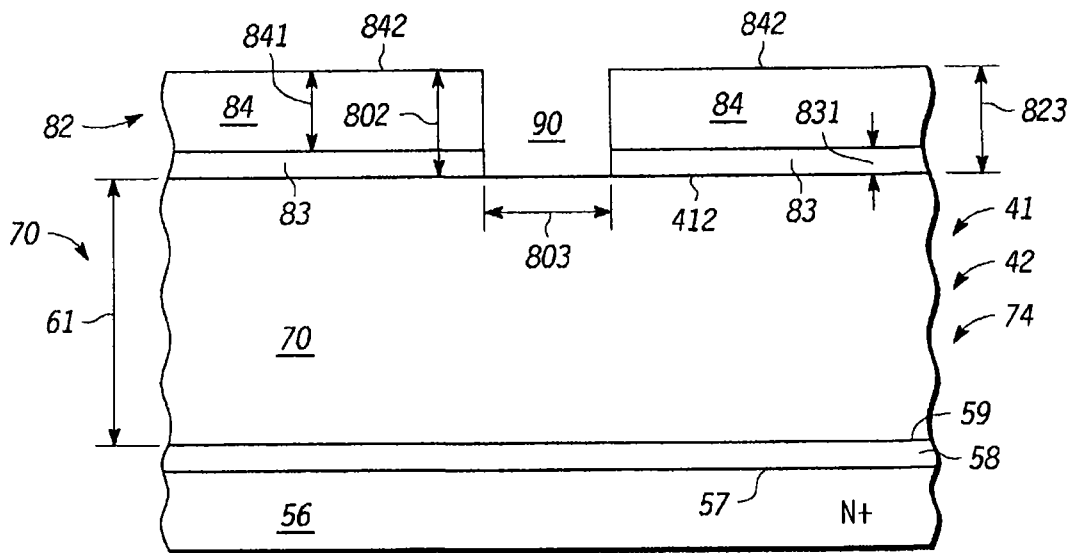


图 13

52-13

54-13

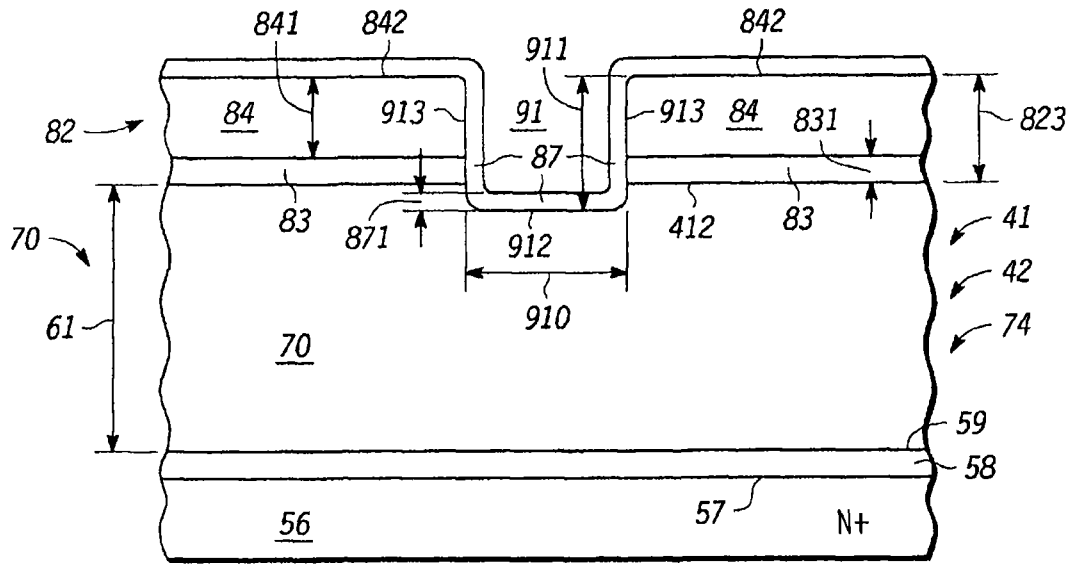


图 14

52-14

54-14

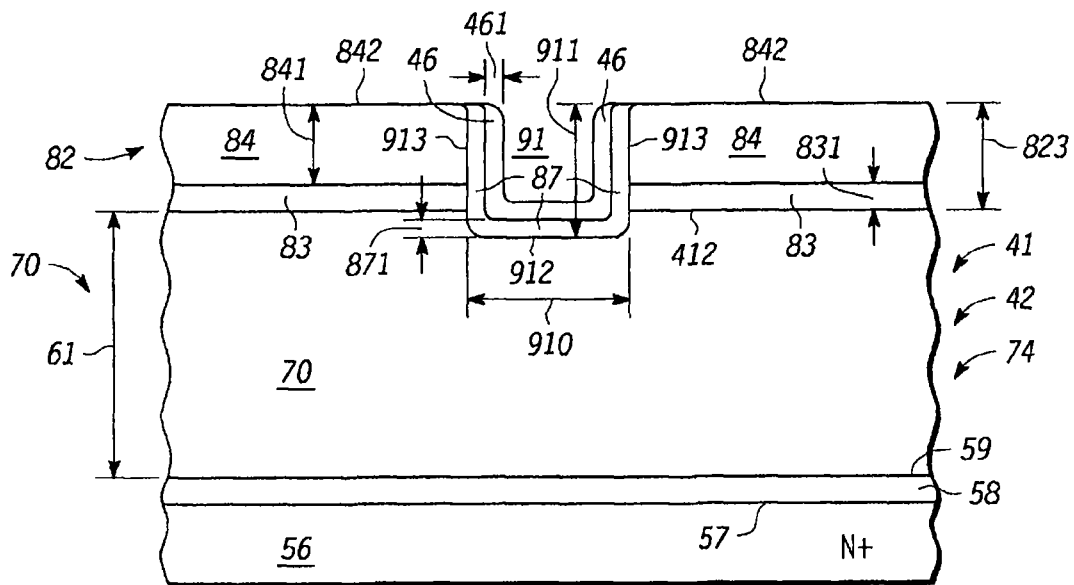


图 15

52-15

54-15

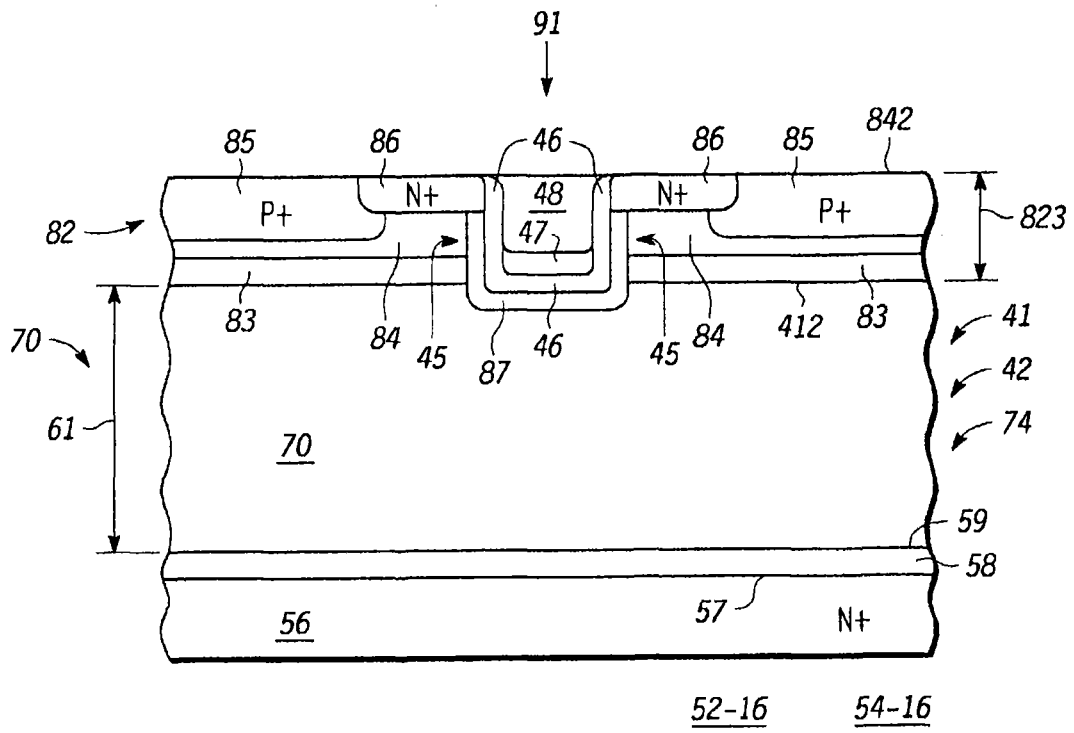


图 16

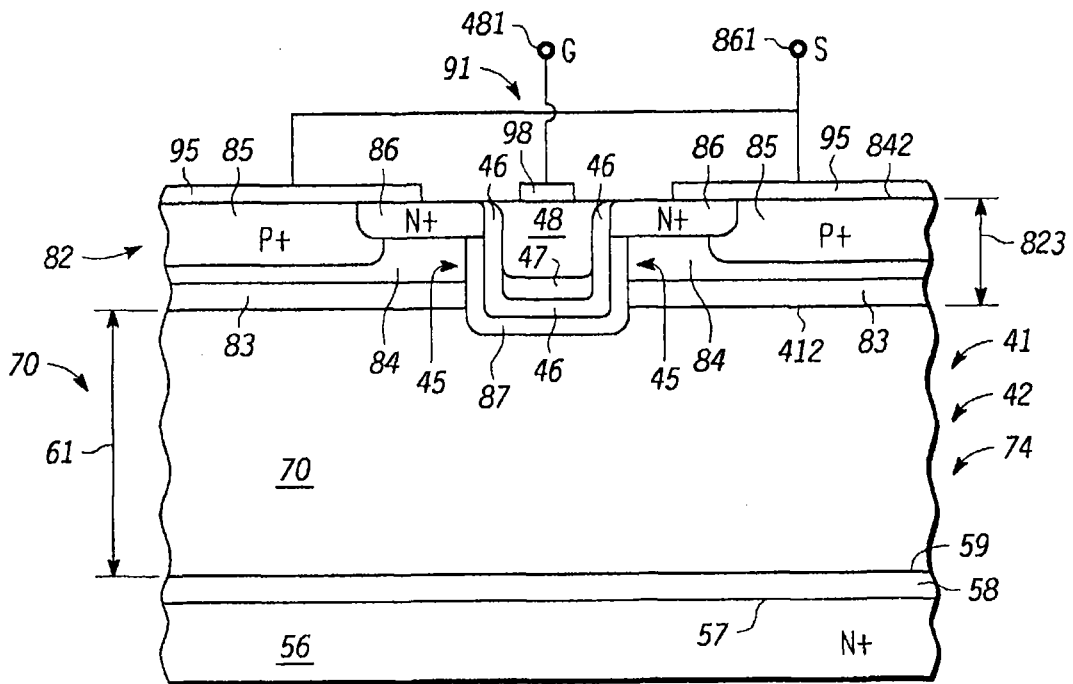


图 17

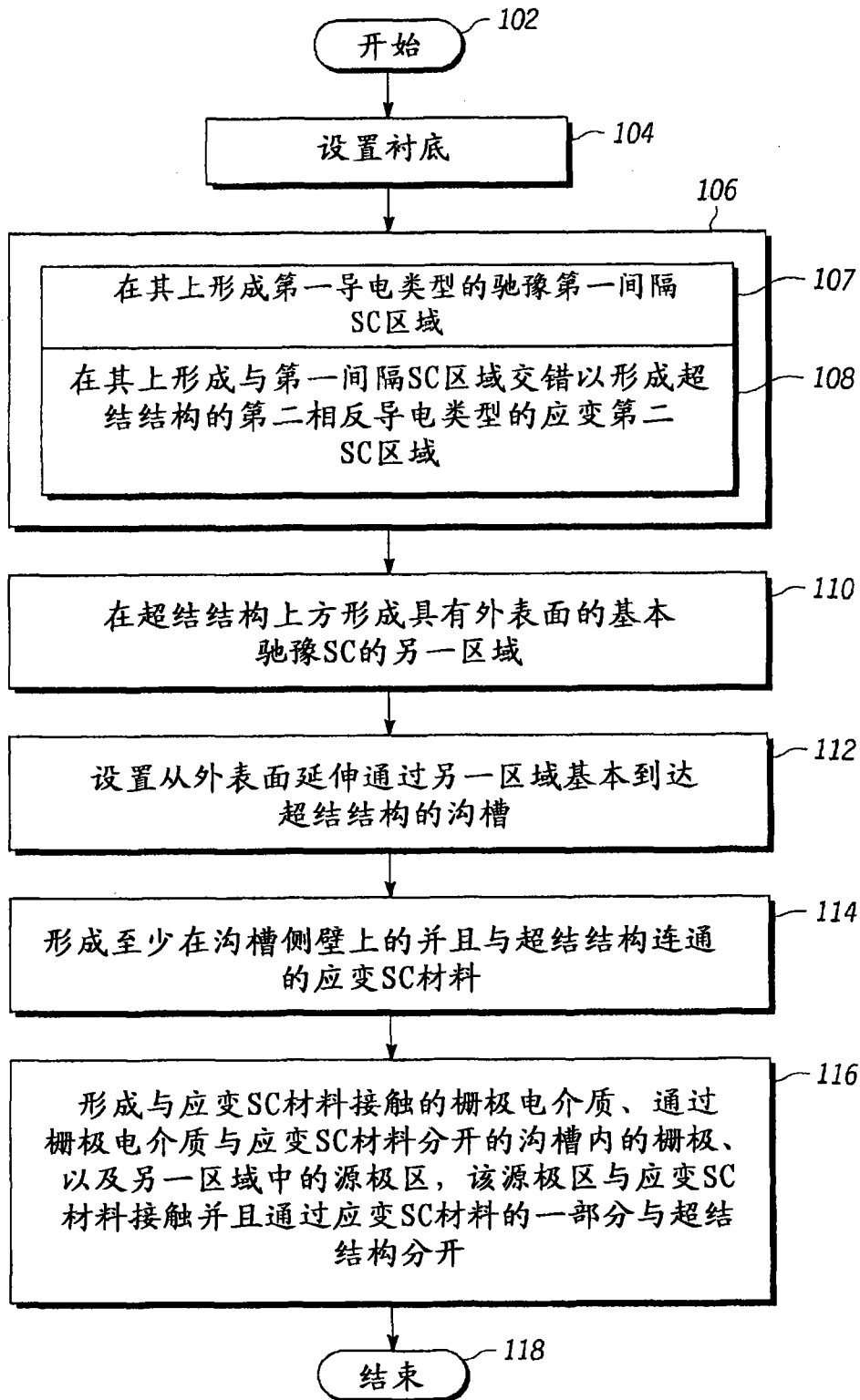


图 18

100

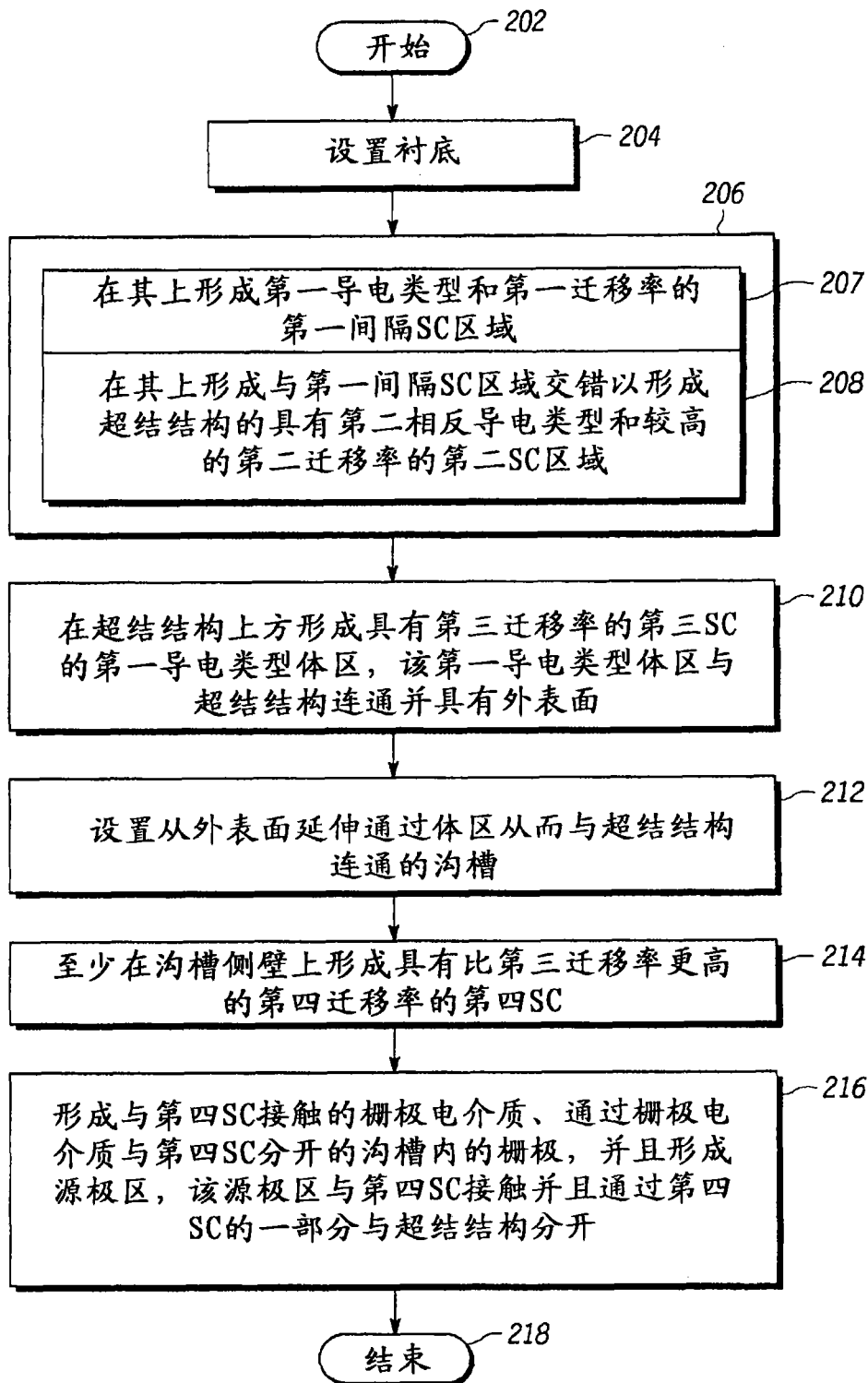


图 19

200