

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-30001
(P2013-30001A)

(43) 公開日 平成25年2月7日(2013.2.7)

(51) Int.Cl.			F I	テーマコード (参考)	
G06F	12/00	(2006.01)	G06F 12/00	550E	5B060
G11C	11/403	(2006.01)	G11C 11/34	363M	5M024
G11C	11/4093	(2006.01)	G11C 11/34	354Q	
G11C	11/4076	(2006.01)	G11C 11/34	354C	
G06F	13/16	(2006.01)	G06F 13/16	510E	

審査請求 未請求 請求項の数 23 O L (全 54 頁)

(21) 出願番号 特願2011-165714 (P2011-165714)
(22) 出願日 平成23年7月28日 (2011.7.28)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100115738
弁理士 鷲頭 光宏
(74) 代理人 100121681
弁理士 緒方 和文
(74) 代理人 100130982
弁理士 黒瀬 泰之
(74) 代理人 100127199
弁理士 三谷 拓也
(72) 発明者 藤澤 宏樹
東京都中央区八重洲二丁目2番1号 エル
ピーダメモリ株式会社内
Fターム(参考) 5B060 MB06

最終頁に続く

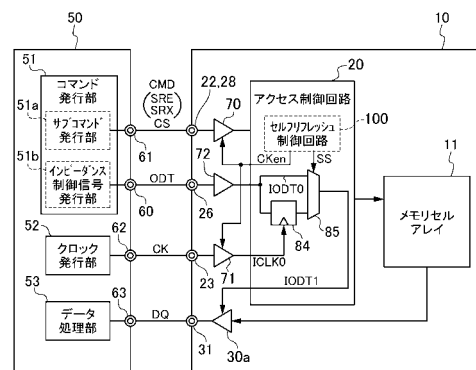
(54) 【発明の名称】 情報処理システム

(57) 【要約】

【課題】セルフリフレッシュモードにエントリしている期間中においてもデータ端子のインピーダンス制御を可能とする。

【解決手段】例えば、コントローラ50は、半導体装置10に対してセルフリフレッシュコマンドSREを発行することによってセルフリフレッシュモードにエントリさせる。半導体装置10は、インピーダンス制御信号ODTを受信する入力バッファ回路72をセルフリフレッシュモード中においても常時活性化させるとともに、セルフリフレッシュモード中においては、内部クロック信号ICLK0に同期してインピーダンス制御信号IODT0をラッチするラッチ回路84をバイパスさせる。これにより、外部クロック信号CKを使用することなく、セルフリフレッシュモード中におけるインピーダンス制御信号ODTの入力が可能となる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

記憶データを保持するメモリセルアレイと、前記記憶データが外部へ出力されるデータ端子と、を有し、前記記憶データのリフレッシュをそれぞれ実行するセルフリフレッシュモード及びオートリフレッシュモードを備えた少なくとも一つの半導体装置と、

前記セルフリフレッシュモードにエントリさせるセルフリフレッシュコマンドと、前記セルフリフレッシュモードからイグジットさせるセルフリフレッシュイグジットコマンドと、前記オートリフレッシュモードにエントリさせるオートリフレッシュコマンドと、前記データ端子のインピーダンスを制御するインピーダンス制御コマンドと、を前記半導体装置に発行するコントローラと、備え、

前記コントローラは、少なくとも前記セルフリフレッシュモードの期間に前記インピーダンス制御コマンドを発行し、

前記半導体装置は、前記インピーダンス制御コマンドに応答して、前記データ端子のインピーダンスを制御する、ことを特徴とする情報処理システム。

10

【請求項 2】

前記コントローラは、更に、

所定の周波数を有する外部同期信号を前記半導体装置へ発行し、

前記セルフリフレッシュモードの期間に、前記インピーダンス制御コマンドを前記外部同期信号とは非同期に発行し、

前記半導体装置は、前記セルフリフレッシュモードの期間に前記外部同期信号とは非同期に前記データ端子のインピーダンスを制御する、請求項 1 に記載の情報処理システム。

20

【請求項 3】

前記コントローラは、前記セルフリフレッシュモード以外の期間に、前記インピーダンス制御コマンドを前記外部同期信号に同期させて発行し、

前記半導体装置は、前記セルフリフレッシュモード以外の期間に、前記外部同期信号に同期して前記データ端子のインピーダンスを制御する請求項 2 に記載の情報処理システム。

【請求項 4】

情報処理システムは、更に、第 1 及び第 2 の動作モードを備え、

30

前記コントローラは、

前記第 1 の動作モードにおいては、前記セルフリフレッシュモードの期間に前記インピーダンス制御コマンドを発行せず、

前記第 2 の動作モードにおいては、前記セルフリフレッシュモードの期間に前記インピーダンス制御コマンドを発行し、

前記半導体装置は、

前記第 1 の動作モードにおいては、前記セルフリフレッシュモードの期間は、前記インピーダンス制御コマンドにかかわらず前記データ端子のインピーダンスを変化させず、

前記第 2 の動作モードにおいては、前記セルフリフレッシュモードの期間に前記インピーダンス制御コマンドに응答して、前記データ端子のインピーダンスを制御する、請求項 1 乃至 3 のいずれか一項に記載の情報処理システム。

40

【請求項 5】

前記コントローラは、更に、所定の周波数を有する外部同期信号を、少なくとも前記セルフリフレッシュモードの期間に連続的に、前記半導体装置へ発行し、

前記半導体装置は、更に、

前記外部同期信号に基づいて位相制御された内部同期信号を生成する D L L 回路を備え、

前記半導体装置は、前記セルフリフレッシュモードの期間に、前記 D L L 回路を間欠的に活性化させる、請求項 1 乃至 4 のいずれか一項に記載の情報処理システム。

【請求項 6】

50

前記半導体装置は、更に、前記外部同期信号が供給される第1の入力バッファ回路を備え、

前記DLL回路は、前記第1の入力バッファ回路に供給された前記外部同期信号に基づいて位相制御された前記内部同期信号を生成し、

前記半導体装置は、前記セルフリフレッシュモードの期間に前記DLL回路に連動して前記第1の入力バッファ回路を間欠的に活性化させる、請求項5に記載の情報処理システム。

【請求項7】

前記コントローラは、更に、所定の周波数を有する外部同期信号を前記半導体装置へ発行し、

前記半導体装置は、更に、

前記外部同期信号に基づいて位相制御された内部同期信号を生成するDLL回路と、

前記内部同期信号に同期して前記データ端子から外部へ出力する出力バッファ回路と、を備え、

前記第2の動作モードにおいては、前記セルフリフレッシュイグジットコマンドに応答して、前記DLL回路が有する遅延量に関連する保持情報をリセットしない、請求項4に記載の情報処理システム。

【請求項8】

前記コントローラは、

前記第1の動作モードにおいては、前記セルフリフレッシュモードの少なくとも一部の期間に前記外部同期信号を停止し或いはその周波数を変更し、

前記第2の動作モードにおいては、前記セルフリフレッシュモードの期間に前記外部同期信号を停止せずに同一の周波数で発行し続け、

前記半導体装置は、

前記第1の動作モードにおいては、前記セルフリフレッシュモードの期間において前記DLL回路を非活性とし、前記セルフリフレッシュイグジットコマンドに応答して前記DLL回路の前記保持情報をリセットして前記DLL回路を活性化させ、

前記第2の動作モードにおいては、前記セルフリフレッシュモードの期間において前記DLL回路を間欠的に活性化させ、前記セルフリフレッシュイグジットコマンドに応答して前記DLL回路の前記保持情報をリセットしない、請求項7に記載の情報処理システム

【請求項9】

前記コントローラは、更に、

前記データ端子から前記記憶データを出力させる第2のコマンドを、前記半導体装置に発行し、

前記第2のコマンドが最も早く発行できる時間として、

前記第1の動作モードにおいては、前記セルフリフレッシュイグジットコマンドを発行した後の第1の時間に、前記第2のコマンドを発行し、

前記第2の動作モードにおいては、前記セルフリフレッシュイグジットコマンドを発行した後の前記第1の時間よりも早い第2の時間に、前記第2のコマンドを発行する、請求項8に記載の情報処理システム。

【請求項10】

前記半導体装置は、

前記オートリフレッシュコマンドに応答して前記メモリセルアレイに含まれるn個のメモリセルの記憶データをリフレッシュし、

前記セルフリフレッシュモードにエントリしている期間に、外部とは非同期な第1の周期毎にアドレスを変えて前記n個よりも少ないm個のメモリセルの記憶データをリフレッシュする、請求項1乃至9のいずれか一項に記載の情報処理システム。

【請求項11】

前記コントローラは、更に、前記半導体装置を第1又は第2の動作モードに設定し、

10

20

30

40

50

前記半導体装置は、

前記第1の動作モードに設定されている場合には、前記セルフリフレッシュモードの期間に、前記第1の周期よりも長く外部とは非同期な第2の周期毎に前記n個のメモリセルの記憶データをリフレッシュし、

前記第2の動作モードに設定されている場合には、前記セルフリフレッシュモードの期間において、前記第1の周期毎にアドレスを変えて前記m個のメモリセルをリフレッシュする、請求項10に記載の情報処理システム。

【請求項12】

前記コントローラは、更に、所定の周波数を有する外部同期信号を前記半導体装置へ発行し、

10

前記半導体装置は、更に、

前記外部同期信号に基づいて位相制御された内部同期信号を生成するDLL回路と、を備え、

前記半導体装置は、

前記セルフリフレッシュイグジットコマンドに応答して、前記DLL回路を活性化させ、これにより前記DLL回路が有する遅延量に関連する保持情報を更新する、請求項1乃至7のいずれか一項に記載の情報処理システム。

【請求項13】

前記コントローラは、更に、

前記メモリセルアレイへのアクセスを行う第1のコマンド、パワーダウンコマンド、及びパワーダウンイグジットコマンドを、それぞれ前記半導体装置へ発行し、

20

前記第1のコマンドが最も早く発行できる時間として、

前記パワーダウンイグジットコマンドを発行した後の第3の時間に、前記第1のコマンドを発行し、

前記セルフリフレッシュイグジットコマンドを発行した後の第4の時間に、前記第1のコマンドを発行し、

前記第3及び第4の時間は、同一の時間長であり、

前記半導体装置は、

前記第1のコマンドに応答して、前記記憶セルをアクセスし、

前記パワーダウンコマンドに応答して、パワーダウンモードにエントリし、前記記憶データのリフレッシュを行わず、前記半導体装置をパワーダウンし、

30

前記パワーダウンイグジットコマンドに応答して、前記パワーダウンモードを解除する、請求項1乃至4のいずれか一項に記載の情報処理システム。

【請求項14】

前記コントローラは、更に、

所定の周波数を有する外部同期信号を前記半導体装置に発行し、

前記セルフリフレッシュモードの少なくとも一部の期間に前記外部同期信号を停止し或いはその周波数を変更する、請求項1乃至4のいずれか一項に記載の情報処理システム。

【請求項15】

前記半導体装置は、更に、

40

前記外部同期信号が供給される第1の入力バッファ回路と、

前記第1の入力バッファ回路に供給された外部同期信号に基づいて位相制御された内部同期信号を生成するDLL回路と、を備え、

前記半導体装置は、前記セルフリフレッシュモードの期間に前記第1の入力バッファ回路を非活性化する、請求項14に記載の情報処理システム。

【請求項16】

前記半導体装置は、更に、前記インピーダンス制御コマンドが外部から供給される第2の入力バッファ回路を備え、

前記半導体装置は、前記セルフリフレッシュモードの期間に前記第2の入力バッファ回路を活性化させる、請求項1乃至15のいずれか一項に記載の情報処理システム。

50

【請求項 17】

前記コントローラは、更に、モードレジスタ設定コマンドを前記半導体装置に発行し、
前記半導体装置は、前記モードレジスタ設定コマンドによって前記第1又は第2の動作モードに設定される、請求項4又は8に記載の情報処理システム。

【請求項 18】

前記コントローラは、前記セルフリフレッシュコマンドと共に付加信号を前記半導体装置に発行し、

前記半導体装置は、前記付加信号によって前記第1又は第2の動作モードに設定される、請求項4又は8に記載の情報処理システム。

【請求項 19】

前記コントローラは、更に、所定の周波数を有する外部同期信号を前記半導体装置へ発行し、

前記少なくとも一つの半導体装置は、第1及び第2の半導体装置を含み、

前記コントローラは、前記外部同期信号を前記第1及び第2の半導体装置に共通に供給する、請求項2乃至18のいずれか一項に記載の情報処理システム。

【請求項 20】

前記コントローラは、更に、所定の周波数を有する外部同期信号を前記半導体装置へ発行し、

前記半導体装置は、更に、

前記外部同期信号が外部から供給されるクロック端子と、

前記外部同期信号が有効か否かを示すクロックイネーブル信号が外部から供給されるクロックイネーブル端子と、

前記記憶データを外部に出力するデータ端子と、

前記データ端子のインピーダンスを制御するインピーダンス制御コマンドが外部から供給されるODT端子と、

前記半導体装置を選択するチップ選択信号が外部から供給されるチップ選択端子と、を備え、

前記少なくとも一つの半導体装置は第1及び第2の半導体装置を含み、

前記第1及び第2の半導体装置がそれぞれ備える前記クロック端子は、互いに共通に接続され、

前記第1及び第2の半導体装置がそれぞれ備える前記データ端子は、互いに共通に接続され、

前記第1及び第2の半導体装置がそれぞれ備える前記クロックイネーブル端子は、互いに電氣的に独立し、

前記第1及び第2の半導体装置がそれぞれ備える前記ODT端子は、互いに電氣的に独立し、

前記第1及び第2の半導体装置がそれぞれ備える前記チップ選択端子は、互いに電氣的に独立し、

前記コントローラは、

前記外部同期信号を前記第1及び第2の半導体装置に共通に供給し、

互いに異なる制御の第1及び第2の前記クロックイネーブル信号、互いに異なる制御の第1及び第2の前記インピーダンス制御コマンド、及び互いに異なる制御の第1及び第2の前記チップ選択信号を、それぞれ前記第1及び第2の半導体装置に分離して供給する、請求項1乃至19のいずれか一項に記載の情報処理システム。

【請求項 21】

前記コントローラは、更に、所定の周波数を有する外部同期信号を前記半導体装置へ発行し、

前記半導体装置は、更に、

前記外部同期信号が外部から供給されるクロック端子と、

前記外部同期信号が有効か否かを示すクロックイネーブル信号が外部から供給されるク

10

20

30

40

50

ロックイネーブル端子と、

前記記憶データを外部に出力するデータ端子と、

前記データ端子のインピーダンスを制御するインピーダンス制御コマンドが外部から供給されるODT端子と、

前記半導体装置を選択するチップ選択信号が外部から供給されるチップ選択端子と、を備え、

前記少なくとも一つの半導体装置は第1及び第2の半導体装置を含み、

前記第1及び第2の半導体装置がそれぞれ備える前記データ端子は、互いに共通に接続され、

前記第1及び第2の半導体装置がそれぞれ備える前記クロック端子は、互いに電氣的に独立し、

前記第1及び第2の半導体装置がそれぞれ備える前記クロックイネーブル端子は、互いに電氣的に独立し、

前記第1及び第2の半導体装置がそれぞれ備える前記ODT端子は、互いに電氣的に独立し、

前記第1及び第2の半導体装置がそれぞれ備える前記チップ選択端子は、互いに電氣的に独立し、

前記コントローラは、

互いに異なる制御の第1及び第2の前記外部同期信号、互いに異なる制御の第1及び第2の前記クロックイネーブル信号、互いに異なる制御の第1及び第2の前記インピーダンス制御コマンド、及び互いに異なる制御の第1及び第2の前記チップ選択信号を、それぞれ前記第1及び第2の半導体装置に分離して供給する、請求項1乃至19のいずれか一項に記載の情報処理システム。

【請求項22】

前記コントローラは、

前記セルフリフレッシュイグジットコマンドを前記クロックイネーブル信号で定義する、請求項20又は21に記載の情報処理システム。

【請求項23】

前記第1及び第2の半導体装置は、それぞれ異なるモジュール基板に搭載される、請求項20乃至22のいずれか一項に記載の情報処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は情報処理システム及びその制御方法に関し、特に、セルフリフレッシュモードを備えた半導体装置を含む情報処理システム及びその制御方法に関する。また、本発明はコントローラの制御方法に関し、特に、セルフリフレッシュモードを備えた半導体装置を制御するコントローラ及びその制御方法に関する。

【背景技術】

【0002】

D R A M (Dynamic Random Access Memory) においてはセルフリフレッシュモードと呼ばれる動作モードが用意されている。セルフリフレッシュモードとは、D R A M の内部で記憶セルが有する記憶データのリフレッシュを外部とは非同期に周期的に実行する一種のスタンバイモードである。コントローラは、半導体装置がセルフリフレッシュモードにエンタリしている期間においては、コントローラは半導体装置へ供給する多くの外部クロック信号やコマンド信号などの外部信号の発行を全て停止することができる。また、セルフリフレッシュモードにエンタリしている期間においては、D R A M に設けられた外部から供給される信号を受信するクロックレシーバなどの入力初段回路が非活性化されるとともに、D L L (Delay Locked Loop) 回路などの回路ブロックの動作も停止される。このため、セルフリフレッシュモードにエンタリすると、システム全体として消費電力が非常に少なくなる。しかも、D R A M の内部ではリフレッシュ動作が周期的に実行されるため、

10

20

30

40

50

記憶データが消失することもない。

【0003】

一方、DRAMにはODT (On Die Termination) と呼ばれる機能が設けられていることがある。ODT機能とは、DRAMに設けられたデータ端子を終端抵抗器として利用することができる機能である。ODT機能を備えたDRAMを使用すれば、半導体装置の外側に外付けの終端抵抗器を用いることなく、リードデータ及びライトデータの信号品質を高めることが可能となる。例えば、ODT機能は、コントローラからインピーダンス制御信号を発行することによって、動的に制御される。

【0004】

しかしながら、インピーダンス制御信号は、外部クロック信号に同期してDRAMの内部に取り込まれる信号であるため、クロックレシーバなどの入力初段回路が非活性化されるセルフリフレッシュモードにエントリしている期間中には使用できないという問題があった。ここで、特許文献1には、セルフリフレッシュモードにエントリしている期間中においても外部クロック信号を受信し続けるDRAMが記載されている。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2001-332086号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0006】

コントローラは、セルフリフレッシュモードにエントリすると、ODT機能が利用できない。これは2つの半導体装置のデータ端子が互いに接続されているとき、一方の半導体装置をセルフリフレッシュモードに設定すると、他方の半導体装置にリードまたライトが実行できない。よって、コントローラは、ODT機能が利用できるパワーダウンモードにエントリせざるを得ないが、パワーダウンモードはセルフリフレッシュよりも消費電力が大きい。

【0007】

また、特許文献1に記載されたDRAMでは、セルフリフレッシュモードにエントリしている期間中におけるインピーダンス制御信号の取り扱いについては不明である。しかも、特許文献1に記載されたDRAMでは、クロックレシーバを常時活性化させているため、セルフリフレッシュモードにエントリしてもクロックレシーバによる消費電力が削減できない。

30

【0008】

このような問題はDRAMに限らず、ODT機能またはセルフリフレッシュモードを備えた全ての半導体装置において生じる問題である。例えば、高周波の動作が要求される不揮発性メモリ及びそのコントローラ、並びにシステムにおいても同様な問題である。また、セルデータのリテンション問題を有する不揮発性メモリセルを一部に有する半導体装置においても同様な問題である。

【課題を解決するための手段】

40

【0009】

本発明による半導体装置は、所定の周波数を有する外部同期信号が外部から供給される第1の入力バッファ回路と、前記第1の入力バッファ回路に供給された前記外部同期信号に基づいて、位相制御された内部同期信号を生成するDLL回路と、記憶データのリフレッシュが必要な複数のメモリセルを有するメモリセルアレイと、前記メモリセルアレイから読み出された記憶データを、前記内部同期信号に同期してデータ端子から外部へ出力する出力バッファ回路と、前記データ端子のインピーダンスを制御するインピーダンス制御信号が、外部から供給される第2の入力バッファ回路と、アクセス制御回路と、を備え、前記アクセス制御回路は、セルフリフレッシュコマンドに応答して前記記憶データのリフレッシュを実行するセルフリフレッシュモードにエントリし、オートリフレッシュコマン

50

ドに対応して、前記記憶データのリフレッシュを実行し、セルフリフレッシュイグジットコマンドに回答して前記セルフリフレッシュモードからイグジットし、前記セルフリフレッシュモードの期間に前記インピーダンス制御信号が発行されたことに回答して、前記データ端子のインピーダンスを制御する、ことを特徴とする。

【0010】

本発明によるコントローラは、記憶セルに記憶された記憶データのリフレッシュを実行するセルフリフレッシュモードを有する少なくとも一つの半導体装置に対し、複数のコマンドを発行するコマンド発行部と、前記半導体装置に設けられたデータ端子を介して送受信される前記記憶データを処理するデータ処理部と、を備え、前記コマンド発行部は、前記データ端子のインピーダンスを制御するインピーダンス制御コマンドを発行するインピーダンス制御コマンド発行部と、前記セルフリフレッシュモードにエントリするセルフリフレッシュコマンド、前記セルフリフレッシュモードからイグジットするセルフリフレッシュイグジットコマンド、及び前記記憶データのリフレッシュを実行するオートリフレッシュコマンドを発行するサブコマンド発行部と、を含み、前記インピーダンス制御コマンド発行部は、前記セルフリフレッシュモードの期間に前記インピーダンス制御コマンドを発行し、これにより前記データ端子のインピーダンスを制御する、ことを特徴とする。

10

【0011】

本発明による情報処理システムは、記憶データを保持するメモリセルアレイと、前記記憶データが外部へ出力されるデータ端子と、を有し、前記記憶データのリフレッシュをそれぞれ実行するセルフリフレッシュモード及びオートリフレッシュモードを備えた少なくとも一つの半導体装置と、前記セルフリフレッシュモードにエントリさせるセルフリフレッシュコマンドと、前記セルフリフレッシュモードからイグジットさせるセルフリフレッシュイグジットコマンドと、前記オートリフレッシュモードにエントリさせるオートリフレッシュコマンドと、前記データ端子のインピーダンスを制御するインピーダンス制御コマンドと、を前記半導体装置に発行するコントローラと、を備え、前記コントローラは、少なくとも前記セルフリフレッシュモードの期間に前記インピーダンス制御コマンドを発行し、前記半導体装置は、前記インピーダンス制御コマンドに回答して、前記データ端子のインピーダンスを制御する、ことを特徴とする。

20

【0012】

本発明による情報処理システムの制御方法は、コントローラは、セルフリフレッシュコマンド及びセルフリフレッシュイグジットコマンド、オートリフレッシュコマンド、並びにインピーダンス制御コマンドを、それぞれ半導体装置へ発行し、前記半導体装置は、前記セルフリフレッシュコマンドに対応して、メモリセルアレイが含む記憶セルに記憶された記憶データのリフレッシュを実行するセルフリフレッシュモードにエントリし、前記セルフリフレッシュイグジットコマンドに対応して、前記セルフリフレッシュモードからイグジットし、前記オートリフレッシュコマンドに対応して、前記記憶データのリフレッシュを実行し、前記インピーダンス制御コマンドに対応して、前記記憶データを外部へ出力するデータ端子のインピーダンスを制御し、前記コントローラは、少なくとも前記セルフリフレッシュモードの期間に前記インピーダンス制御コマンドを発行する、ことを特徴とする。

30

40

【0013】

本発明によるコントローラの制御方法は、記憶セルに記憶された記憶データのリフレッシュを実行するセルフリフレッシュモードを有する半導体装置に対し、前記セルフリフレッシュモードにエントリさせるセルフリフレッシュコマンドを発行し、前記セルフリフレッシュモードからイグジットさせるセルフリフレッシュイグジットコマンドを発行し、前記記憶データのリフレッシュを実行するオートリフレッシュコマンドを発行し、少なくとも前記セルフリフレッシュモードの期間に、前記記憶データを前記半導体装置の外部へ出力させるデータ端子のインピーダンスを制御するインピーダンス制御コマンドを発行する、ことを特徴とする。

【発明の効果】

50

【 0 0 1 4 】

本発明によれば、少なくとも、セルフリフレッシュモードにエントリしている期間中であってインピーダンス制御信号に応答したデータ端子のインピーダンス制御が可能となる。

【 図面の簡単な説明 】

【 0 0 1 5 】

【 図 1 】本発明の原理を説明するための模式図である。

【 図 2 】本発明の好ましい実施形態による半導体装置 1 0 の全体構成を示すブロック図である。

【 図 3 】第 1 の実施形態によるアクセス制御回路 2 0 に含まれる主要な回路ブロックを示すブロック図である。 10

【 図 4 】コマンド信号 C M D 及びクロックイネーブル信号 C K E によって示されるコマンドの一覧表である。

【 図 5 】O D T ラッチ回路 8 2 の回路図である。

【 図 6 】図 3 に示すセルフリフレッシュ制御回路 1 0 0 の主要な回路図である。

【 図 7 】D L L 回路 2 0 0 の構成を示すブロック図である。

【 図 8 】第 1 の実施形態によるアクセス制御回路 2 0 の動作を説明するためのタイミング図である。

【 図 9 】第 1 の実施形態によるアクセス制御回路 2 0 の動作を説明するための別のタイミング図である。 20

【 図 1 0 】アクセス制御回路 2 0 に含まれる主要な回路ブロックを示す他のブロック図であり、D R A M の規格に準拠した第 1 の動作モードで動作する場合を示している。

【 図 1 1 】第 1 の動作モードにおけるアクセス制御回路 2 0 の動作を説明するためのタイミング図である。

【 図 1 2 】第 2 の実施形態によるアクセス制御回路 2 0 a に含まれる主要な回路ブロックを示すブロック図である。

【 図 1 3 】(a) はオートリフレッシュカウンタ 9 1 の回路図であり、(b) はセルフリフレッシュカウンタ 9 2 の回路図である。

【 図 1 4 】第 2 の実施形態によるアクセス制御回路 2 0 a の動作を説明するためのタイミング図である。 30

【 図 1 5 】第 3 の実施形態によるアクセス制御回路 2 0 b に含まれる主要な回路ブロックを示すブロック図である。

【 図 1 6 】図 1 5 に示すセルフリフレッシュ制御回路 1 0 0 b の主要な回路図である。

【 図 1 7 】第 3 の実施形態によるアクセス制御回路 2 0 b の動作を説明するためのタイミング図である。

【 図 1 8 】第 4 の実施形態によるアクセス制御回路に含まれるセルフリフレッシュ制御回路 1 0 0 c の主要な回路図である。

【 図 1 9 】第 4 の実施形態によるアクセス制御回路の動作を説明するためのタイミング図である。

【 図 2 0 】第 4 の実施形態による効果を説明するためのタイミング図である。 40

【 図 2 1 】第 4 の実施形態によるアクセス制御回路の動作を説明するための別のタイミング図である。

【 図 2 2 】情報処理システムの第 1 の実施形態のブロック図である。

【 図 2 3 】情報処理システムの第 2 の実施形態のブロック図である。

【 図 2 4 】2 つの半導体装置 1 0 a , 1 0 b を 1 つのパッケージに搭載したデュアルダイパッケージ D D P の構造を説明するための模式的な断面図である。

【 図 2 5 】デュアルダイパッケージ D D P に設けられた外部端子 3 0 3 のレイアウトの一例を示す模式的な平面図である。

【 図 2 6 】情報処理システムの第 3 の実施形態のブロック図である。

【 図 2 7 】各ランクにおけるインピーダンス制御を説明するための表であり、(a) は D 50

I M M 4 0 1 に対してライト動作を行う場合、(b) は D I M M 4 0 2 に対してライト動作を行う場合、(c) は D I M M 4 0 1 に対してリード動作を行う場合、(d) は D I M M 4 0 2 に対してリード動作を行う場合を示している。

【発明を実施するための形態】

【 0 0 1 6 】

本発明の課題を解決する技術思想(コンセプト)の代表的な一例は、以下に示される。但し、本願の請求内容はこの技術思想に限られず、本願の請求項に記載の内容であることは言うまでもない。すなわち、本発明は、コントローラはセルフリフレッシュモード中においてもデータ端子のインピーダンスを制御するインピーダンス制御信号を発行し、半導体装置はインピーダンス制御信号を受信する入力バッファ回路をセルフリフレッシュモード中においても常時活性化させる。例えば、セルフリフレッシュモード中においては、クロック信号に同期してインピーダンス制御信号をラッチするラッチ回路をバイパスすることを技術思想とする。これにより、クロック信号を使用することなく、セルフリフレッシュモード中におけるインピーダンス制御信号の入力が可能となる。つまり、本発明は、オートリフレッシュコマンドを実行中(オートリフレッシュモード)にデータ端子のインピーダンスが制御できることに加え、セルフリフレッシュモード中においてもデータ端子のインピーダンスが制御できる。尚、オートリフレッシュと本願のセルフリフレッシュは、ともに記憶データのリフレッシュを実行する点で同じであるが、消費電力やリフレッシュ中のインタフェースの様子が異なる。セルフリフレッシュの消費電流は、オートリフレッシュの消費電流よりも少ない。コントローラは、セルフリフレッシュ時の多くの期間において同期信号である外部クロック信号(メモリバスのシステムクロックであり、外部同期信号とも言う)を停止するからである。また、半導体装置においては、セルフリフレッシュ時の方が、外部と通信する複数のクロックバッファ(入力バッファ回路)の数を、より多く非活性にすることが可能となり、リフレッシュに関連しない半導体装置の内部回路のパワー制御を最も小さくすることができる。インタフェースの視点においては、例えばデータを出力するデータ端子のインピーダンス制御が異なり、セルフリフレッシュ時は外部クロック信号に非同期でインピーダンス制御を行い、オートリフレッシュ時は外部クロック信号に同期してインピーダンス制御を行う。よって、セルフリフレッシュ時の消費電流は、オートリフレッシュの消費電流よりも、少なくとも外部クロック信号を受信するクロックレシーバの消費電力分だけ少ない。

【 0 0 1 7 】

図 1 は、本発明の原理を説明するための模式図である。

【 0 0 1 8 】

図 1 には、1 個のコントローラ 5 0 と 1 個の半導体装置 1 0 からなる情報処理システムが示されている。半導体装置 1 0 には、コマンド端子 2 2、クロック端子 2 3、インピーダンス制御端子 2 6 及びデータ端子 3 1 が設けられており、これらの端子はコントローラ 5 0 に設けられたコマンド端子 6 1、クロック端子 6 2、インピーダンス制御端子 6 0 及びデータ端子 6 3 にそれぞれ接続されている。コマンド端子 2 2 は、後述するチップ選択端子 2 8 を含む。コントローラ 5 0 には、コマンド C M D を発行するコマンド発行部 5 1、外部クロック信号 C K を発行するクロック発行部 5 2 及び記憶データ D Q を処理するデータ処理部 5 3 が含まれている。コマンド端子 2 2 は、不図示の複数の制御ピンで構成され、対応する複数の制御信号の論理の組み合わせによって後述する複数のコマンド(例えば、第 1 及び第 2 のコマンド)が定義される。コマンド発行部 5 1 には、サブコマンド発行部 5 1 a 及びインピーダンス制御信号発行部 5 1 b が含まれる。サブコマンド発行部 5 1 a は、コマンド端子 6 1 から出力する各種コマンドを生成する回路ブロックであり、インピーダンス制御信号発行部 5 1 b は、インピーダンス制御端子 6 0 から出力するインピーダンス制御信号 O D T を生成する回路ブロックである。本発明においては、所定の周波数を有する外部クロック信号を「同期信号」または「外部同期信号」と呼ぶことがある。コントローラ 5 0 は 1 チップ構成である必要はなく、例えば、クロック発行部 5 2 と他の部分が別チップで構成されていても構わない。

【 0 0 1 9 】

コントローラ 5 0 から発行されるコマンド C M D としては、ロウ系コマンド、カラム系コマンドの他に、セルフリフレッシュモードにエントリするセルフリフレッシュコマンド S R E、セルフリフレッシュモードからイグジットするセルフリフレッシュイグジットコマンド S R X などが含まれる。

【 0 0 2 0 】

ロウ系コマンドとは、アクセス制御回路 2 0 が、ロウアドレスに基づいてメモリセルアレイ 1 1 へのアクセスを行うコマンドであり、アクティブコマンド A C T やオートリフレッシュコマンド R E F などが該当する。本発明においてはこれらの種のコマンドを「第 1 のコマンド」と呼ぶことがある。一方、カラム系コマンドとは、アクセス制御回路 2 0 が、カラムアドレスに基づいてデータ端子の状態を制御するコマンドであり、リードコマンド R D やライトコマンド W T などが該当する。後述する図 2 に示される様に、リードコマンド R D が発行されると、アンプ回路 1 5 のデータは、データ端子 3 1 を介して外部へ出力される。ライトコマンド W T が発行されると、外部から供給されたデータは、データ端子 3 1 を介してアンプ回路 1 5 へ供給される。また、カラムアドレスとは無関係であるが、アクセス制御回路 2 0 が、データ端子 3 1 のインピーダンスを制御するインピーダンス制御信号 O D T についてもカラム系コマンドに属する。これらのうち、リードコマンド及びインピーダンス制御信号は、内部クロック信号 I C L K 1 に同期してデータ端子の状態を制御するコマンドであり、本発明においてはこれらの種のコマンドを「第 2 のコマンド」と呼ぶことがある。

【 0 0 2 1 】

半導体装置 1 0 は、記憶データを保持するメモリセルアレイ 1 1 と、メモリセルアレイ 1 1 から読み出された記憶データを内部クロック信号 I C L K 1 に同期して出力する出力バッファ回路 3 0 a と、メモリセルアレイ 1 1 へのアクセスを行うアクセス制御回路 2 0 とを含む。アクセス制御回路 2 0 には、セルフリフレッシュ制御回路 1 0 0、ラッチ回路 8 4 及びセクタ 8 5 が含まれる。セルフリフレッシュ制御回路 1 0 0 は、セルフリフレッシュモードにエントリしている期間中にイネーブル信号 C K e n を非活性化させることによって、入力バッファ回路 7 0、7 1 を非活性状態とする。入力バッファ回路 7 0 はコマンド信号 C M D が入力されるバッファ回路であり、入力バッファ回路 7 1 は外部クロック信号 C K が入力されるバッファ回路である。本発明においては、入力バッファ回路 7 1 を「第 1 の入力バッファ回路」と呼ぶことがある。一方、インピーダンス制御信号 O D T が入力される入力バッファ回路 7 2 はセルフリフレッシュモードにエントリしても非活性化されず、活性状態に保たれる。本発明においては、入力バッファ回路 7 2 を「第 2 の入力バッファ回路」と呼ぶことがある。

【 0 0 2 2 】

入力バッファ回路 7 2 によって取り込まれたインピーダンス制御信号 I O D T 0 は、ラッチ回路 8 4 及びセクタ 8 5 に供給される。ラッチ回路 8 4 は、入力バッファ回路 7 1 によって取り込まれた内部クロック信号 I C L K 0 に同期して、インピーダンス制御信号 I O D T 0 をラッチする回路である。セクタ 8 5 は、ラッチ回路 8 4 にラッチされたインピーダンス制御信号 I O D T 0 とラッチ回路 8 4 をバイパスしたインピーダンス制御信号 I O D T 0 のいずれか一方を選択する回路である。その選択はセルフリフレッシュ制御回路 1 0 0 から出力されるセルフステート信号 S S によって定められる。セルフステート信号 S S は、セルフリフレッシュモードにエントリしている期間中に活性化する信号であり、これが活性状態である場合、セクタ 8 5 はラッチ回路 8 4 をバイパスしたインピーダンス制御信号 I O D T 0 を選択する。逆に、セルフステート信号 S S が非活性状態である場合、セクタ 8 5 はラッチ回路 8 4 にラッチされたインピーダンス制御信号 I O D T 0 を選択する。

【 0 0 2 3 】

セクタ 8 5 から出力されるインピーダンス制御信号 I O D T 1 は、出力バッファ回路 3 0 a に供給される。これにより、出力バッファ回路 3 0 a は、インピーダンス制御信号

I O D T 1に基づいてデータ端子31のインピーダンスを変化させる。その結果、セルフリフレッシュモードにエントリしていない期間にインピーダンス制御信号O D Tが発行された場合、データ端子31のインピーダンスは外部クロック信号C Kに同期して変化する。これに対し、セルフリフレッシュモードにエントリしている期間にインピーダンス制御信号O D Tが発行された場合、データ端子31のインピーダンスは外部クロック信号C Kとは非同期して変化する。このため、セルフリフレッシュモード中にコントローラ50から外部クロック信号C Kを発行することなく、データ端子31のインピーダンス制御を実行することが可能となる。

【0024】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

10

【0025】

図2は、本発明の好ましい実施形態による半導体装置10の全体構成を示すブロック図である。

【0026】

本実施形態による半導体装置10はD R A Mであり、図2に示すようにメモリセルアレイ11を備えている。半導体装置10は、主にN型チャネルのトランジスタ及びP型チャネルのトランジスタで形成される。メモリセルアレイ11には、互いに交差する複数のワード線W Lと複数のビット線B Lが設けられており、その交点にメモリセルM Cが配置されている。ワード線W Lの選択はロウデコーダ12によって行われ、ビット線B Lの選択はカラムデコーダ13によって行われる。ビット線B Lは、センス回路14内の対応するセンスアンプS Aにそれぞれ接続されており、カラムデコーダ13により選択されたビット線B Lは、センスアンプS Aを介してアンプ回路15に接続される。後述するように、メモリセルアレイ11は8つのバンクに分かれている。

20

【0027】

ロウデコーダ12、カラムデコーダ13、センス回路14及びアンプ回路15の動作は、アクセス制御回路20によって制御される。アクセス制御回路20には、アドレス信号A D D、コマンド信号C M D、外部クロック信号C K、C K B、クロックイネーブル信号C K E、インピーダンス制御信号O D T及びチップ選択信号C Sが供給される。これらの信号は、それぞれ対応する端子21~26, 28を介して外部から入力される。外部クロック信号C K、C K Bは、互いに相補の同期信号である。チップ選択信号C Sは、コントローラ50が、半導体装置(アクセス制御回路20)を選択する信号である。アクセス制御回路20は、これらの信号に基づいて、ロウデコーダ12、カラムデコーダ13、センス回路14、アンプ回路15及びデータ入出力回路30を制御する。

30

【0028】

具体的には、コマンド信号C M DがアクティブコマンドA C Tである場合、アドレス信号A D Dはロウデコーダ12に供給される。これに应答して、ロウデコーダ12はアドレス信号A D Dが示すワード線W Lを選択し、これにより対応するメモリセルM Cがそれぞれビット線B Lに接続される。その後、アクセス制御回路20は、所定のタイミングでセンス回路14を活性化させる。この動作を「記憶データのアクセス」と呼ぶことがあり、この動作を実行させるためのコマンドを「第1のコマンド」と呼ぶことがある。

40

【0029】

コマンド信号C M DがリードコマンドR D又はライトコマンドW Tである場合、アドレス信号A D Dはカラムデコーダ13に供給される。これに应答して、カラムデコーダ13はアドレス信号A D Dが示すビット線B Lをアンプ回路15に接続する。これにより、リード動作時においては、センスアンプS Aを介してメモリセルアレイ11から読み出されたリードデータD Qがアンプ回路15及びデータ入出力回路30を介してデータ端子31から外部に出力される。また、ライト動作時においては、データ端子31及びデータ入出力回路30を介して外部から供給されたライトデータD Qが、アンプ回路15及びセンスアンプS Aを介してメモリセルM Cに書き込まれる。この動作を「記憶データの出力」と

50

呼ぶことがあり、この動作を実行させるためのコマンドを「第2のコマンド」と呼ぶことがある。

【0030】

また、コマンド信号CMDがオートリフレッシュコマンドREFである場合、アクセス制御回路20は図示しないリフレッシュカウンタのカウント値(リフレッシュアドレス)をロウデコーダ12に供給する。これに应答して、ロウデコーダ12はリフレッシュアドレスが示すワード線WLを選択し、これにより当該ワード線WLに接続された複数のメモリセルMCがセンスアンプSAによってリフレッシュされる。この動作を「記憶データのアクセス」と呼ぶことがあり、この動作を実行させるためのコマンドを「第1のコマンド」と呼ぶことがある。

10

【0031】

さらに、コマンド信号CMDがセルフリフレッシュコマンドSREである場合、アクセス制御回路20に含まれるセルフリフレッシュ制御回路100が起動し、セルフリフレッシュモードにエントリする。そして、コマンド信号CMDがセルフリフレッシュイグジットコマンドSRXである場合、セルフリフレッシュモードからイグジットする。

【0032】

図2に示すように、アクセス制御回路20にはDLL回路200が含まれている。DLL回路200は、外部クロック信号CK,CKBを受け、これに基づいて位相制御された内部クロック信号ICK1を生成する回路である。DLL回路200は、外部クロック信号CK,CKBを遅延する遅延回路(図7の符号210)、前記遅延回路の遅延量を調整する遅延調整回路(図7の符号220及び250)、前記遅延回路の出力である内部クロック信号ICK1と外部クロック信号CK,CKBとの位相を比較し、該比較結果を前記遅延回路に供給する位相比較回路(図7の符号240)を含む。内部クロック信号ICK1はデータ入出力回路30に含まれる出力バッファ回路30aに供給され、これにより、メモリセルアレイ11から読み出されたリードデータDQが内部クロック信号ICK1に同期してデータ端子31から出力される。また、データ入出力回路30にはインピーダンス制御信号IODT1も供給される。インピーダンス制御信号IODT1が活性化すると、出力バッファ回路30aが所定の状態となり、これによりデータ端子31が所定のインピーダンスに制御される。この動作を「データ端子のインピーダンスを制御する」と呼ぶことがあり、この動作を実行させるためのコマンドを「第2のコマンド」と呼ぶことがある。

20

30

【0033】

尚、セルフリフレッシュモードにエントリすると、DLL回路200が非活性化され、消費電力が削減される。DLL回路200が非活性化されると、それまで保持していた更新情報は破棄される。コントローラが、セルフリフレッシュモード中に外部クロック信号CKの周波数を変更する場合、DLL回路200は、セルフリフレッシュイグジットコマンドSRXの発行に連動して従前の更新情報を参照しないコールドスタートすることが好ましいからである。なお、DLL回路200は、複数回の更新によってロックされた状態となる。更新情報及びロックについては、後述する。更に、セルフリフレッシュモードにエントリしている期間においては、コントローラ50に含まれるクロック発行部52は、原則として外部クロック信号CKの発行を停止する。停止とは、外部クロック信号CKがハイまたはローの状態を維持して振幅しない、またはハイインピーダンスであることを示す。そして、セルフリフレッシュイグジットコマンドSRXが発行されるとDLL回路200が一時的に活性化され、外部クロック信号CKと半導体装置内の内部クロック信号ICK1の位相状態の更新が行われる。このときDLL回路200のリセットは行わず更新情報は保持される。したがって、従前の状態が更新されるのみ(従前の更新値を元に次の更新値が決定される)である。このため、セルフリフレッシュイグジットコマンドSRXの発行に应答してDLL回路200を活性化した後、DLL回路200がロック(外部クロック信号CKと半導体装置内の内部クロック信号ICK1の位相が、ほぼマッチングした状態)するのに要する時間は非常に短時間である。DLL回路200が活性化され

40

50

ている期間においては、コントローラ 50 に含まれるクロック発行部 52 から外部クロック信号 CK が発行される。つまり、DLL 回路 200 が活性化する期間のみに対応して、クロック発行部 52 から外部クロック信号 CK が発行される。

【0034】

これら各回路ブロックは、それぞれ所定の内部電圧を動作電源として使用する。これら内部電源は、図 2 に示す電源回路 40 によって生成される。電源回路 40 は、電源端子 41, 42 を介してそれぞれ供給される外部電位 VDD 及び接地電位 VSS を受け、これらに基づいて内部電圧 VPP, VPERI, VARY などを生成する。内部電位 VPP は外部電位 VDD を昇圧することによって生成され、内部電位 VPERI, VARY は外部電位 VDD を降圧することによって生成される。電源回路 40 は、負電圧（不図示）も生成する。

10

【0035】

内部電圧 VPP は、主にロウデコーダ 12 において用いられる電圧である。ロウデコーダ 12 は、アドレス信号 ADD に基づき選択したワード線 WL を VPP レベルに駆動し、これによりメモリセル MC に含まれるセルトランジスタを導通させる。内部電圧 VARY は、主にセンス回路 14 において用いられる電圧である。センス回路 14 が活性化すると、ビット線対の一方を VARY レベル、他方を VSS レベルに駆動することにより、読み出されたリードデータの増幅を行う。内部電圧 VPERI は、アクセス制御回路 20 などの大部分の周辺回路の動作電圧として用いられる。これら周辺回路の動作電圧として外部電圧 VDD よりも電圧の低い内部電圧 VPERI を用いることにより、半導体装置 10 の低消費電力化が図られている。

20

【0036】

図 3 は、アクセス制御回路 20 に含まれる主要な回路ブロックを示すブロック図であり、本発明の第 1 の実施形態を示している。

【0037】

図 3 に示すように、アクセス制御回路 20 には入力バッファ回路 71 ~ 73 が含まれている。入力バッファ回路 71 は、外部クロック信号 CK, CKB を受けて内部クロック信号 ICLK0 を生成する回路であり、本発明においては「第 1 の入力バッファ回路」と呼ぶことがある。入力バッファ回路 72 は、インピーダンス制御信号 ODT を受けてインピーダンス制御信号 IODT0 を生成する回路であり、本発明においては「第 2 の入力バッファ回路」と呼ぶことがある。入力バッファ回路 73 は、クロックイネーブル信号 CKE を受けてクロックイネーブル信号 CKE0 を生成する回路であり、本発明においては「第 3 の入力バッファ回路」と呼ぶことがある。入力バッファ回路 71 は、イネーブル信号 Cken によって活性化又は非活性化される。入力バッファ回路 71 は、イネーブル信号 Cken がハイで活性化される。これに対し、入力バッファ回路 72, 73 については常時活性化される。これは、本実施形態ではセルフリフレッシュモードにエントリしている期間中においてもインピーダンス制御信号 ODT が発行されるため、入力バッファ回路 72 を活性化させておく必要があるからである。また、セルフリフレッシュイグジットコマンド SRX がクロックイネーブル信号 CKE によって示されるため、セルフリフレッシュモード中においても入力バッファ回路 73 を活性化させておく必要があるからである。尚、セルフリフレッシュコマンド SRE は、コマンド端子 22 から入力されるコマンド CMD と、クロックイネーブル端子 25 から入力されるクロックイネーブル信号 CKE によって示される。

30

40

【0038】

図 4 は、コマンド信号 CMD 及びクロックイネーブル信号 CKE によって示されるコマンドの一覧表である。

【0039】

図 4 に示すように、各コマンドは、コマンド信号 CMD の組み合わせとクロックイネーブル信号 CKE の論理レベルによって表現される。図 4 において「H」と表記されているのはハイレベル、「L」と表記されているのはローレベルであり、「-」と表記されてい

50

るのはドントケアである。また、「CSB」と表記されているのはチップ選択信号であり、「RASB」と表記されているのはロウアドレスストロブ信号であり、「CASB」と表記されているのはカラムアドレスストロブ信号であり、「WEB」と表記されているのはライトイネーブル信号である。これらの信号CSB, RASB, CASB, WEBは、コマンド信号CMDを構成する信号である。

【0040】

具体的には、クロックイネーブル信号CKEをハイレベル(H)に保持したまま、CSB, RASB, CASBをローレベル(L)とし、WEBをハイレベル(H)とすれば、オートリフレッシュコマンドREFとして取り扱われる。また、CSB, RASB, CASBをローレベル(L)とし、WEBをハイレベル(H)とした状態で、クロックイネーブル信号CKEをハイレベル(H)からローレベル(L)に変化させれば、セルフリフレッシュコマンドSREとして取り扱われる。さらに、CSBをローレベル(L)とし、RASB, CASB, WEBをハイレベル(H)とした状態で、クロックイネーブル信号CKEをハイレベル(H)からローレベル(L)に変化させれば、パワーダウンコマンドPDEとして取り扱われる。そして、CSBをハイレベル(H)とした状態で、クロックイネーブル信号CKEをローレベル(L)からハイレベル(H)に変化させれば、セルフリフレッシュイグジットコマンドSRX又はパワーダウンイグジットコマンドPDXとして取り扱われる。

10

【0041】

入力バッファ回路71から出力される内部クロック信号ICK0は、DLL回路200に供給される。DLL回路200は、内部クロック信号ICK0に基づき位相制御された内部クロック信号ICK1を生成する回路である。その詳細については後述するが、DLL回路200の動作状態としては、第1の活性状態、第2の活性状態及び非活性状態がある。

20

【0042】

第1の活性状態とは、遅延回路、遅延調整回路及び位相比較回路が活性状態であり、よって位相制御された内部クロック信号ICK1を生成し続ける動作状態であり、リードコマンド及びインピーダンス制御信号ODTが発行された場合にこの動作状態となる。したがって、第1の活性状態において生成された内部クロック信号ICK1は、図2に示した出力バッファ回路30aに供給される。一方、第2の活性状態とは、位相制御された内部クロック信号ICK1を所定時間毎に生成する動作状態であり、所定時間毎に遅延回路、遅延調整回路及び位相比較回路が活性化される。所定時間毎に内部クロック信号ICK1と外部クロック信号CK, CKBとの位相を確認することによって、温度や電圧の変化による位相のずれを解消するための更新動作である。詳細には、遅延調整回路が遅延回路に供給する遅延量の情報を所定時間毎に更新する動作である。したがって、第2の活性状態において生成された内部クロック信号ICK1は、図2に示した出力バッファ回路30aに供給する必要はない。そして、非活性状態とは内部クロック信号ICK1を生成しない状態である。但し、遅延調整回路に含まれる更新情報を保持するカウンタ回路220の情報は保持される。

30

【0043】

入力バッファ回路72から供給されるインピーダンス制御信号IODT0は、ODTラッチ回路82にラッチされる。ODTラッチ回路82は、インピーダンス制御信号IODT0に基づいてインピーダンス制御信号IODT1を生成する回路である。インピーダンス制御信号IODT1は、図2に示すデータ入出力回路30に供給される。

40

【0044】

図5は、ODTラッチ回路82の回路図である。

【0045】

図5に示すように、ODTラッチ回路82は、ラッチ回路84及びセレクタ85からなる。ラッチ回路84は、内部クロック信号ICK0に同期してインピーダンス制御信号IODT0をラッチする回路である。また、セレクタ85は、ラッチ回路84の出力とイ

50

ンピーダンス制御信号 I O D T 0 のいずれか一方を選択する回路であり、その選択はセルフステート信号 S S に基づいて行われる。具体的には、セルフステート信号 S S がローレベルであればラッチ回路 8 4 の出力を選択し、セルフステート信号 S S がハイレベルであればインピーダンス制御信号 I O D T 0 を選択する。このことは、セルフリフレッシュモードにエントリしていない期間中においてはラッチ回路 8 4 の出力がインピーダンス制御信号 I O D T 1 として用いられ、セルフリフレッシュモードにエントリしている期間中においてはインピーダンス制御信号 I O D T 0 がそのままインピーダンス制御信号 I O D T 1 として用いられることを意味する。

【 0 0 4 6 】

入力バッファ回路 7 3 から出力されるクロックイネーブル信号 I C K E 0 は、C K E ラッチ回路 8 3 にラッチされる。C K E ラッチ回路 8 3 は、内部クロック信号 I C L K 0 に同期してクロックイネーブル信号 I C K E 0 をラッチする回路であり、その出力であるクロックイネーブル信号 I C K E 1 は、セルフリフレッシュ制御回路 1 0 0 に供給される。

10

【 0 0 4 7 】

セルフリフレッシュ制御回路 1 0 0 は、クロックイネーブル信号 I C K E 0 , I C K E 1 及びリフレッシュコマンド R E F C O M を受け、各種内部信号を生成する回路ブロックである。リフレッシュコマンド R E F C O M は、コマンド信号 C M D が含むオートリフレッシュコマンド R E F 及びセルフリフレッシュコマンド S R E に共通するコマンドである。リフレッシュコマンド R E F C O M とは、オートリフレッシュコマンド R E F 又はセルフリフレッシュコマンド S R E が投入された場合に活性化する信号である。セルフリフレッシュ制御回路 1 0 0 が生成する内部信号は、オートリフレッシュ信号 A R E F 0、セルフリフレッシュ信号 S R E F 0、イネーブル信号 C K e n、セルフステート信号 S S 及びリセット信号 R S T である。セルフリフレッシュ制御回路 1 0 0 の具体的な回路構成については後述する。

20

【 0 0 4 8 】

図 3 に示すように、オートリフレッシュ信号 A R E F 0 及びセルフリフレッシュ信号 S R E F 0 は、O R ゲート回路 G 1 に供給され、その出力であるリフレッシュ信号 R E F 1 はリフレッシュカウンタ 9 0 に供給される。リフレッシュカウンタ 9 0 は、リフレッシュ信号 R E F 1 及びアイドル信号 I D L E の複数回のトグルにตอบสนองして 8 本のリフレッシュ信号 R E F 2 < 7 : 0 > を互いに少しずつずらしてそれぞれ時系列に 8 回連続的に生成する回路である。本実施形態ではメモリセルアレイ 1 1 が 8 つのバンクに分かれており、リフレッシュ信号 R E F 2 < 7 : 0 > は、それぞれ対応するバンク < 7 : 0 > のリフレッシュ信号として用いられる。つまり、一回のリフレッシュ信号 R E F 1 にตอบสนองしてアイドル信号 I D L E が 7 回トグルし、よって 8 本のリフレッシュ信号 R E F 2 < 7 : 0 > のそれぞれが 8 回連続的に生成され、従って 6 4 本のワード線が選択される。

30

【 0 0 4 9 】

リフレッシュ信号 R E F 2 < 7 : 0 > は、ロウコントロール回路 9 5 に供給される。ロウコントロール回路 9 5 にはリフレッシュアドレスを記憶するアドレスカウンタが含まれており、リフレッシュ信号 R E F 2 < 7 : 0 > のそれぞれが活性化すると、対応するバンク < 7 : 0 > にアクティブ信号 A C T < 7 : 0 > とともにリフレッシュアドレスを出力する。アクティブ信号 A C T < 7 : 0 > がそれぞれ活性化すると、対応するバンク < 7 : 0 > においては、リフレッシュアドレスが示すワード線に対してアクセスが行われる。その後、バンク < 7 : 0 > からそれぞれ遅延アクティブ信号 A C T _ D < 7 : 0 > がロウコントロール回路 9 5 にフィードバックされることにより、次のリフレッシュアドレスが供給される。ロウコントロール回路 9 5 は、遅延アクティブ信号 A C T _ D < 7 : 0 > を受けてアイドル信号 I D L E をリフレッシュカウンタ 9 0 へ出力する。リフレッシュカウンタ 9 0 は、アイドル信号 I D L E に対応してリフレッシュカウンタ 9 0 をカウントアップし、再度 8 本のリフレッシュ信号 R E F 2 < 7 : 0 > を互いに少しずつずらして生成する。各バンク < 7 : 0 > のリフレッシュは、スタガ動作によって実行される。このルーチンを 8 回繰り返す。このような動作を所定回数 (例えば 8 回) 繰り返すことにより、各バン

40

50

ク<7:0>のそれぞれにおいて8本のワード線が時系列に選択されることになる。これにより、合計64本のワード線に繋がるメモリセルMCに対するリフレッシュ動作が完了する。つまり、一回のリフレッシュ信号REF1の活性に対応して、64回の内部リフレッシュが時系列に実行される。

【0050】

図6は、セルフリフレッシュ制御回路100の主要な回路図である。

【0051】

図6に示すように、セルフリフレッシュ制御回路100は、SRラッチ回路L1とオシレータ150を備えている。したがって、リフレッシュ動作の実行タイミングは外部クロック信号CKとは非同期となる。よって、セルフリフレッシュイグジットコマンドSRXの発行と非同期なリフレッシュ動作が重なったとき、後者が優先される。SRラッチ回路L1は、セットノードS及びリセットノードRを備えており、各ノードにローレベルの信号が入力されるとセット又はリセットされる。

【0052】

具体的に説明すると、SRラッチ回路L1のセットノードSには、クロックイネーブル信号ICKE1の反転信号とリフレッシュコマンドREFCOMの否定論理積を取った信号が入力される。一方、SRラッチ回路L1のリセットノードRには、クロックイネーブル信号ICKE0の反転信号が入力される。これにより、SRラッチ回路L1は、クロックイネーブル信号ICKE1がローレベル、且つ、リフレッシュコマンドREFCOMがハイレベルになるとセットされ、クロックイネーブル信号ICKE0がハイレベルになるとリセットされる。クロックイネーブル信号ICKE1がローレベル、且つ、リフレッシュコマンドREFCOMがハイレベルになるのは、セルフリフレッシュコマンドSREが発行された場合であり、クロックイネーブル信号ICKE0がハイレベルになるのはセルフリフレッシュイグジットコマンドSRXが発行された場合である。したがって、SRラッチ回路L1は、セルフリフレッシュコマンドSREが発行されるとセットされ、セルフリフレッシュイグジットコマンドSRXが発行されるとリセットされることになる。

【0053】

SRラッチ回路L1の出力であるセルフステート信号SSは、反転されてイネーブル信号CKenとして用いられる。したがって、イネーブル信号CKenは、ラッチ回路L1がセットされるとローレベルとなり、ラッチ回路L1がリセットされるハイレベルに活性化される。

【0054】

セルフステート信号SSは、オシレータ150にも供給される。オシレータ150はSRラッチ回路L1がセットされると起動し、周期的にセルフリフレッシュ信号SREF0を生成する。セルフリフレッシュ信号SREF0の生成タイミングは、外部クロック信号CKとは非同期である。セルフリフレッシュ信号SREF0は、図3に示すリフレッシュカウンタ90に供給される。また、クロックイネーブル信号ICKE1がハイレベル、且つ、リフレッシュコマンドREFCOMがハイレベルになるのは、オートリフレッシュコマンドREFが発行された場合であり、クロックイネーブル信号ICKE1とリフレッシュコマンドREFCOMの論理積を取った信号は、オートリフレッシュ信号AREF0として用いられる。オートリフレッシュ信号AREF0は、図3に示すリフレッシュカウンタ90に供給される。

【0055】

セルフステート信号SSは、ワンショットパルス生成回路OP1にも供給される。ワンショットパルス生成回路OP1は、セルフステート信号SSがハイレベルからローレベルに変化したことに応答してリセット信号RSTを活性化させる。したがって、セルフリフレッシュイグジットコマンドSRXが発行される度に、DLL回路200がリセットされた後に活性化されることになる。

【0056】

図7は、DLL回路200の構成を示すブロック図である。

10

20

30

40

50

【 0 0 5 7 】

図 7 に示すように、D L L 回路 2 0 0 は、内部クロック信号 I C L K 0 を遅延させることによって内部クロック信号 I C L K 1 を生成するディレイライン 2 1 0 を備えている。ディレイライン 2 1 0 は、カウンタ回路 2 2 0 のカウント値 C O U N T に応じた遅延を内部クロック信号 I C L K 0 に与えることによって、内部クロック信号 I C L K 1 を生成する回路である。

【 0 0 5 8 】

内部クロック信号 I C L K 1 は、図 2 に示した出力バッファ回路 3 0 a に供給されるとともに、レプリカバッファ回路 2 3 0 にも供給される。レプリカバッファ回路 2 3 0 は、内部クロック信号 I C L K 1 に基づいてレプリカである内部クロック信号 R C L K を生成する回路であり、出力バッファ回路 3 0 a と同一の特性を有している。出力バッファ回路 3 0 a は内部クロック信号 I C L K 1 に同期してリードデータ D Q を出力するものであることから、レプリカバッファ回路 2 3 0 から出力される内部クロック信号 R C L K は、リードデータ D Q と正確に同期する。D R A M においては、リードデータ D Q が外部クロック信号 C K , C K B に対して正確に同期している必要があり、両者の位相にずれが生じている場合にはこれを検出し、補正する必要がある。かかる検出は、位相比較回路 2 4 0 によって行われ、その結果を D L L 制御回路 2 5 0 を介してカウンタ回路 2 2 0 にフィードバックすることによって位相のずれが補正される。

【 0 0 5 9 】

位相比較回路 2 4 0 は、内部クロック信号 I C L K 0 と内部クロック信号 R C L K の位相を比較し、その結果に基づいて位相判定信号 P D を生成する回路である。ここで、内部クロック信号 I C L K 0 は外部クロック信号 C K , C K B とタイミングが一致する信号であり、内部クロック信号 R C L K はリードデータ D Q とタイミングが一致する信号であることから、位相比較回路 2 4 0 は、外部クロック信号 C K , C K B とリードデータ D Q の位相を間接的に比較していることになる。比較の結果、内部クロック信号 R C L K が内部クロック信号 I C L K 0 に対して遅れていれば、位相判定信号 P D を一方の論理レベル（例えばローレベル）とする。これに应答して D L L 制御回路 2 5 0 はカウンタ回路 2 2 0 をカウントダウンし、これによりディレイライン 2 1 0 の遅延量を減少させる。逆に、内部クロック信号 R C L K が内部クロック信号 I C L K 0 に対して進んでいれば、位相判定信号 P D を他方の論理レベル（例えばハイレベル）とする。これに应答して D L L 制御回路 2 5 0 はカウンタ回路 2 2 0 をカウントアップし、これによりディレイライン 2 1 0 の遅延量を増大させる。このような動作を周期的に繰り返すことにより、内部クロック信号 I C L K 0 と内部クロック信号 R C L K の位相を一致させれば、結果的に、リードデータ D Q と外部クロック信号 C K , C K B の位相が一致することになる。

【 0 0 6 0 】

D L L 制御回路 2 5 0 の動作は、リード信号 R D 、更新開始信号 S T 及びリセット信号 R S T によって制御される。リード信号 R D はリードコマンドが発行された場合に活性化される信号であり、これが活性化している期間においては、D L L 制御回路 2 5 0 はカウンタ回路 2 2 0 の更新動作を継続する。これは、上述した第 1 の活性状態に相当し、位相制御された内部クロック信号 I C L K 1 が連続的に生成される。これに対し、更新開始信号 S T はセルフリフレッシュモードにエントリしていない期間において周期的に活性化される信号であり、これが活性化すると D L L 制御回路 2 5 0 は、カウンタ回路 2 2 0 の更新動作を一定期間又は一定回数実行する。これは、上述した第 2 の活性状態に相当し、温度や電圧の変化による位相のずれを解消するために実行される。カウンタ回路 2 2 0 の更新動作を一定期間又は一定回数実行し、これにより内部クロック信号 I C L K 1 が所望の位相に達した後は、D L L 制御回路 2 5 0 は更新終了信号 E N D を発生させる。このとき、カウンタ回路 2 2 0 はリセットせず、更新終了信号 E N D の発生時のカウント値を保持したまま非活性状態に遷移する。したがって、更新開始信号 S T を定期的に行えば、リード信号 R D が発生した場合に位相制御された内部クロック信号 I C L K 1 を速やかに生成することが可能となる。

10

20

30

40

50

【 0 0 6 1 】

リセット信号 R S T は、D L L 回路 2 0 0 の全体を初期化する場合に活性化する信号であり、図 6 に示したセルフリフレッシュ制御回路 1 0 0 によって生成される。リセット信号 R S T が活性化すると、カウンタ回路 2 2 0 のカウント値は初期値にリセットされ、その後、位相制御された内部クロック信号 I C L K 1 が生成されるまで D L L 回路 2 0 0 が活性化される。つまり、従前の更新情報は、電氣的に破棄される。したがって、一旦リセット信号 R S T が活性化すると、位相制御された内部クロック信号 I C L K 1 の出力が可能となるまでにある程度の時間が必要となる。リセット信号 R S T は、半導体装置 1 0 の内部で自動生成されるとともに、コントローラ 5 0 からリセットコマンドが発行された場合にも活性化される。

10

【 0 0 6 2 】

以上が第 1 の実施形態によるアクセス制御回路 2 0 の回路構成である。次に、第 1 の実施形態によるアクセス制御回路 2 0 の動作について説明する。

【 0 0 6 3 】

図 8 は、第 1 の実施形態によるアクセス制御回路 2 0 の動作を説明するためのタイミング図である。

【 0 0 6 4 】

図 8 に示す例では、時刻 t_{11} にオートリフレッシュコマンド R E F が発行され、時刻 t_{12} にセルフリフレッシュコマンド S R E が発行され、時刻 t_{15} にセルフリフレッシュイグジットコマンド S R X が発行され、時刻 t_{16} にパワーダウンコマンド P D E が発行されている。したがって、時刻 $t_{12} \sim t_{15}$ の期間は、半導体装置 1 0 がセルフリフレッシュモードにエントリしている期間であり、時刻 t_{16} 以降の期間は、半導体装置 1 0 がパワーダウンモードにエントリしている期間である。

20

【 0 0 6 5 】

セルフリフレッシュモードにエントリしていない期間においては、図 6 に示した S R ラッチ回路 L 1 がリセットされているため、イネーブル信号 C K e n はハイレベルに固定されている。このため、図 3 に示した入力バッファ回路 7 1 は活性状態であり、外部クロック信号 C K , C K B の入力がコントローラ 5 0 から可能となる。また、セルフステート信号 S S がローレベルであることから、O D T ラッチ回路 8 2 からは、ラッチ回路 8 4 によってラッチされたインピーダンス制御信号 I O D T 1 が出力される。つまり、インピーダンス制御信号 I O D T 0 は、O D T ラッチ回路 8 2 において内部クロック信号 I C L K 0 に同期してラッチされ、ラッチされた信号であるインピーダンス制御信号 I O D T 1 が出力バッファ回路 3 0 a に供給される。このため、インピーダンス制御信号 O D T は、外部クロック信号 C K の立ち上がりエッジに同期して入力する必要がある。したがって、外部クロック信号 C K の立ち上がりエッジからセットアップマージン及びホールドマージンを確保した期間においてインピーダンス制御信号 O D T の入力が有効となり、その他の期間においては無効となる。図 8 においては、インピーダンス制御信号 O D T の入力が無効となる期間（ドントケア）をハッチングで表示している。

30

【 0 0 6 6 】

まず、時刻 t_{11} にオートリフレッシュコマンド R E F が発行されると、オートリフレッシュ信号 A R E F 0 が活性化する。これに応答して、リフレッシュカウンタ 9 0 は、各バンクに対してリフレッシュ信号 R E F 2 < 7 : 0 > を 8 回生成し、ロウコントロール回路 9 5 は各バンクに対してアクティブ信号 A C T < 7 : 0 > を 8 回供給する。リフレッシュアドレスについてはロウコントロール回路 9 5 の内部でインクリメントされ、これにより 8 回のアクティブ信号 A C T < 7 : 0 > に同期して異なる 8 本のワード線が次々と選択される。その結果、合計で 6 4 本のワード線が選択される。これら 6 4 本のワード線を選択するためには、リフレッシュ期間 $t_{R F C}$ を要する。したがって、オートリフレッシュコマンド R E F を発行した後、リフレッシュ期間 $t_{R F C}$ が経過するまでは、コントローラ 5 0 による他のコマンドの発行が禁止される。

40

【 0 0 6 7 】

50

次に、時刻 t_{12} においてセルフリフレッシュコマンド SRE が発行されると、図 6 に示した SR ラッチ回路 $L1$ がセットされ、セルフステート信号 SS がハイレベルに変化し、イネーブル信号 $CKen$ がローレベルに変化する。これにより、図 3 に示した入力バッファ回路 71 が非活性化され、消費電力が削減される。尚、コントローラ 50 のクロック発行部 52 は、時刻 t_{12} から時刻 t_{15} の一部の期間において、それまで供給し続けていた外部クロック信号 CK の供給を、セルフリフレッシュコマンド SRE の発行に関連して停止してもよい。システムの低消費電力化が図れる。

【0068】

セルフリフレッシュモードにエントリすると、オシレータ 150 から周期的にリフレッシュ信号 $SREF0$ が出力される。リフレッシュ信号 $SREF0$ が活性化すると、リフレッシュカウンタ 90 は、オートリフレッシュ信号 $AREF0$ が活性化した場合と同じ動作を行う。つまり合計で 64 本のワード線が次々と選択される。

10

【0069】

また、セルフリフレッシュモードにエントリすると、セルフステート信号 SS がハイレベルに変化するため、コントローラから供給されるインピーダンス制御信号 ODT は、そのままインピーダンス制御信号 $IODT1$ として取り込まれることになる。つまり、外部クロック信号 CK 、 CKB とは全く無関係にインピーダンス制御信号 $IODT1$ が取り込まれる。図 8 に示す例では、時刻 $t_{13} \sim t_{14}$ の期間にインピーダンス制御信号 ODT がハイレベルに活性化されており、これがそのままインピーダンス制御信号 $IODT1$ として内部で使用される。その結果、セルフリフレッシュモードにエントリしている期間中においては、クロック信号 CK 、 CKB を取り込む入力バッファ回路 71 が非活性化されているにも関わらず、図 2 に示した出力バッファ回路 $30a$ は、外部クロック信号 CK 、 CKB とは無関係にデータ端子 31 のインピーダンス制御を行うことが可能となる。

20

【0070】

そして、時刻 t_{15} においてセルフリフレッシュイグジットコマンド SRX が発行されると、図 6 に示した SR ラッチ回路 $L1$ がリセットされ、イネーブル信号 $CKen$ がハイレベルに変化する。これにより、入力バッファ回路 71 が活性化され、外部クロック信号 CK 及びインピーダンス制御信号 ODT の入力が可能となる。

【0071】

さらに、 SR ラッチ回路 $L1$ がリセットされたことに応答して、ワンショットパルス生成回路 $OP1$ からリセット信号 RST が出力され、 DLL 回路 200 がリセットされる。上述の通り、リセット信号 RST は DLL 回路 200 の全体を初期化するための信号であり、これが活性化すると、カウンタ回路 220 のカウント値は初期値にリセットされる。このため、位相制御された内部クロック信号 $ICK1$ の出力が可能となるまでにある程度の時間が必要となる。本例では、セルフリフレッシュイグジットコマンド SRX を発行してから 512 クロックサイクルが経過するまでは、第 2 のコマンドの発行が禁止される。 512 クロックサイクルとは、 DLL 回路 200 がリセットされてからロックするのに要する最大期間よりも長い期間である。つまり、 512 クロックサイクルが経過すれば、 DLL 回路 200 が確実にロックされていることを意味する。

30

【0072】

一方、ロウアドレスに基づいてメモリセルアレイ 11 へのアクセスを行うコマンド、すなわち第 1 のコマンドについては、セルフリフレッシュイグジットコマンド SRX を発行してから少なくともリフレッシュ期間 $tRFC$ が経過するまでは発行することができない。これは、セルフリフレッシュモードにおいてはリフレッシュ動作が外部クロック信号 CK とは非同期に実行されるため、セルフリフレッシュイグジットコマンド SRX を発行した時点でリフレッシュ動作が実行中である可能性があるためである。セルフリフレッシュイグジットコマンド SRX を発行してから第 1 のコマンドを発行可能な最短期間は、例えば $tRFC + 10ns$ である。つまり、セルフリフレッシュイグジットコマンド SRX を発行してから $tRFC + 10ns$ が経過すれば、第 1 のコマンドの発行が許可される。

40

【0073】

50

本例では、時刻 t_{16} にパワーダウンコマンド P D E が発行され、さらに、パワーダウンモードにエントリしている期間中である時刻 $t_{17} \sim t_{18}$ の期間にインピーダンス制御信号 O D T がハイレベルに活性化されている。この期間においては、インピーダンス制御信号 O D T が内部クロック信号 I C L K 0 に同期して取り込まれることから、図 2 に示した出力バッファ回路 3 0 a は、外部クロック信号 C K , C K B に同期してデータ端子 3 1 のインピーダンス制御を行うことが可能となる。

【 0 0 7 4 】

図 9 は、第 1 の実施形態によるアクセス制御回路 2 0 の動作を説明するための別のタイミング図である。

【 0 0 7 5 】

図 9 に示す例では、時刻 t_{21} にパワーダウンコマンド P D E が発行され、時刻 t_{22} にパワーダウンイグジットコマンド P D X が発行され、時刻 t_{23} に第 1 のコマンド A が発行され、時刻 t_{24} に第 2 のコマンド B が発行されている。したがって、時刻 $t_{21} \sim t_{22}$ の期間は、パワーダウンモードにエントリしている期間である。

【 0 0 7 6 】

ここで、パワーダウンモードとは、D R A M の規格に準拠したセルフリフレッシュモードと同様に第 1 及び第 2 のコマンドの入力が禁止される動作モードである。セルフリフレッシュモードとの主な違いは、コントローラは、パワーダウンモードにおいては、外部クロック信号 C K , C K B を半導体装置 1 0 に供給し続ける必要がある点、及びインピーダンス制御信号 O D T の入力が可能である点、並びに、半導体装置は、パワーダウンモードにおいては、自動的なリフレッシュ動作（記憶データのリフレッシュ）を行わない点、及び D L L 回路が動作する点、及び半導体装置 1 0 が備える内部回路の消費電力を低減するも半導体装置 1 0 が備える外部端子に接続する入力回路（入力バッファ回路）を活性化する点、等である。例えば、クロック端子 2 3 , 2 4 に接続する入力バッファ回路 7 1 は、パワーダウンモードにおいては活性化され、D R A M の規格に準拠したセルフリフレッシュモードにおいては非活性化される。これらの違いにより、パワーダウンモードの方がセルフリフレッシュモードよりもパワーダウンイグジット後にコマンド（第 1 のコマンド）を投入可能な時間が短い、という利点があるものの、セルフリフレッシュモードの方がパワーダウンモードよりも消費電力が少ない。特に、パワーダウンモードは、入力バッファ回路 7 1 及び D L L 回路を、活性化しているからである。

【 0 0 7 7 】

パワーダウンイグジットコマンド P D X を発行してから第 1 のコマンド A を発行可能な最短期間は、セルフリフレッシュイグジットコマンド S R X を発行してから第 1 のコマンド A を発行可能な最短期間よりも短い。具体的には、パワーダウンイグジットコマンド P D X を発行してから、例えば 7 . 5 n s が経過すれば、第 1 のコマンド A の発行が許可される。これは、パワーダウンモードにおいてはリフレッシュ動作が行われなため、パワーダウンイグジットコマンド P D X を発行する時点において、リフレッシュ動作が行われていない状態が保証されるからである。

【 0 0 7 8 】

また、パワーダウンイグジットコマンド P D X を発行してから第 2 のコマンド B を発行可能な最短期間は、セルフリフレッシュイグジットコマンド S R X を発行してから第 2 のコマンド B を発行可能な最短期間よりも短い。具体的には、パワーダウンイグジットコマンド P D X を発行してから、例えば 2 4 n s が経過すれば、第 2 のコマンド B の発行が許可される。これは、パワーダウンモードにおいては外部クロック信号 C K が入力されるため、D L L 回路 2 0 0 の更新動作が可能であり、D L L 回路 2 0 0 をロック状態に維持できるからである。

【 0 0 7 9 】

上述した第 1 の実施形態の動作は、D R A M の規格（JEDEC (Joint Electron Device Engineering Council) Solid State Technology Association）に規定されていない動作であるため、そのままでは規格に準拠した D R A M との互換性は確保できない。これが問題

10

20

30

40

50

となる場合には、上述した第 1 の実施形態の動作と、規格に規定された動作との切り替えを可能に構成することが望ましい。つまり、第 1 の動作モードにおいては D R A M の規格に準拠した動作を行い、第 2 の動作モードにおいては上述した第 1 の実施形態の動作を行うよう、回路設計すればよい。

【 0 0 8 0 】

図 1 0 は、アクセス制御回路 2 0 に含まれる主要な回路ブロックを示す他のブロック図であり、D R A M の規格に準拠した第 1 の動作モードで動作する場合を示している。

【 0 0 8 1 】

図 1 0 に示す回路は、図 3 に示した回路と相違しているが、図 3 に示す回路と図 1 0 に示す回路を別個に備える必要はなく、選択された動作モードに応じて機能を切り替えれば足りる。したがって、第 1 の動作モードが選択されている場合には図 1 0 に示す回路として機能し、第 2 の動作モードが選択されている場合には図 3 に示す回路として機能するよう、図示しないゲート回路などを用いて機能の切り替えを実現すればよい。

10

【 0 0 8 2 】

図 1 0 に示すアクセス制御回路 2 0 では、イネーブル信号 C K e n が入力バッファ回路 7 1 のみならず、入力バッファ回路 7 2 a にも供給されている。かかる構成により、セルフリフレッシュモードにエントリすると、入力バッファ回路 7 1 , 7 2 a の両方が非活性状態に固定されることになる。これにより、第 2 の動作モードに比べ、より消費電力が削減される。

20

【 0 0 8 3 】

図 1 1 は、第 1 の動作モードにおけるアクセス制御回路 2 0 の動作を説明するためのタイミング図である。

【 0 0 8 4 】

図 1 1 に示す例では、時刻 t_{31} にオートリフレッシュコマンド R E F が発行され、時刻 t_{31} にセルフリフレッシュコマンド S R E が発行され、時刻 t_{33} にセルフリフレッシュイグジットコマンド S R X が発行されている。したがって、時刻 $t_{32} \sim t_{33}$ の期間は、半導体装置 1 0 がセルフリフレッシュモードにエントリしている期間であり、その他の期間は半導体装置 1 0 がセルフリフレッシュモードにエントリしていない期間である。

30

【 0 0 8 5 】

セルフリフレッシュモードにエントリしていない期間においては、図 6 に示した S R ラッチ回路 L 1 がリセットされているため、イネーブル信号 C K e n はハイレベルに固定されている。このため、図 3 に示した入力バッファ回路 7 1 , 7 2 a は活性状態である。ここで、時刻 t_{31} にオートリフレッシュコマンド R E F が発行されると、オートリフレッシュ信号 A R E F 0 が活性化する。この場合の動作は、図 8 を用いて説明したとおりである。

【 0 0 8 6 】

次に、時刻 t_{32} においてセルフリフレッシュコマンド S R E が発行されると、図 6 に示した S R ラッチ回路 L 1 がセットされ、イネーブル信号 C K e n がローレベルに変化する。これにより、図 1 0 に示した入力バッファ回路 7 1 , 7 2 a が非活性化され、消費電力が削減される。このため、セルフリフレッシュモードにエントリしている期間中においては、インピーダンス制御信号 O D T を投入することはできない。図 1 1 においては、インピーダンス制御信号 O D T の入力が無効となる期間（ドントケア）をハッチングで表示している。尚、図 1 1 に示す例では、インピーダンス制御信号 O D T はセルフリフレッシュモードにエントリしている殆どの期間中において入力されていない（つまり、ドントケアである）が、セルフリフレッシュモードにエントリしている殆どの期間中においては入力バッファ回路 7 2 a が非活性化されるため、この期間においてはインピーダンス制御信号 O D T をコントローラ 5 0 から供給することはできない。詳細には、図 6 で示したイネーブル信号 C K e n の生成論理は、理解しやすく生成論理を簡易化したものであり、時刻 t_{32} のセルフリフレッシュコマンド S R E が発行されるとき、時刻 t_{33} のセルフリフ

40

50

レッシュイグジットコマンドSRXが発行される時、のそれぞれにおいて、図10に示した入力バッファ回路72aは活性化され、外部から供給されるインピーダンス制御信号ODTは半導体装置の内部に取り込まれる。インピーダンス制御信号IODT1を生成するODTラッチ回路82、ODTラッチ回路82を制御する内部クロック信号ICK0も同様である。つまり、図6が示すセルフリフレッシュ制御回路100は、例えば、後述する図16が示す第3の実施形態のセルフリフレッシュ制御回路100bとの違いを明確に理解することに有用である。

【0087】

セルフリフレッシュモードにエントリすると、オシレータ150から周期的にリフレッシュ信号SREF0が出力され、オートリフレッシュ信号AREF0が活性化した場合と同じ動作が行われる。図11においてはリフレッシュ信号SREF0が1回だけ活性化しているが、セルフリフレッシュモードにエントリしている期間中においては、オシレータ150によってリフレッシュ信号SREF0が周期的に生成される。

10

【0088】

そして、時刻t33においてセルフリフレッシュイグジットコマンドSRXが発行されると、図6に示したSRラッチ回路L1がリセットされ、イネーブル信号CKenがハイレベルに変化する。これにより、入力バッファ回路71, 72aが活性化され、外部クロック信号CK及びインピーダンス制御信号ODTの入力が可能となる。さらに、ワンショットパルス生成回路OP1からリセット信号RSTが出力され、DLL回路200がリセットされる。これにより、DLL回路200がロックするまでの期間は、第2のコマンドの発行が禁止される。図11に示す例では、時刻t35に第2のコマンドBが発行されている。セルフリフレッシュイグジットコマンドSRXを発行してから第2のコマンドBを発行可能な最短期間は、第1の動作モードと第2の動作モードとで一致する。

20

【0089】

セルフリフレッシュイグジットコマンドSRXを発行してから第1のコマンドを発行可能なタイミングについては、上述した第2の動作モードと同様である。図11に示す例では、時刻t34に第1のコマンドAが発行されている。

【0090】

このように、第1の動作モードを選択すれば、セルフリフレッシュモードにエントリしている期間中にインピーダンス制御信号ODTを発行することができなくなるが、規格に準拠した動作が行われることから、既存のDRAMとの互換性を確保することが可能となる。

30

【0091】

尚、第1及び第2の動作モードのいずれが選択されている場合であっても、セルフリフレッシュモードにエントリした後、セルフリフレッシュモードからイグジットする際に外部クロック信号CK, CKBの周波数を変更することが可能である。これは、セルフリフレッシュモードにエントリしている期間においては、外部クロック信号CK, CKBが使用されないからである。

【0092】

次に、本発明の第2の実施形態について説明する。

40

【0093】

図12は、本発明の第2の実施形態によるアクセス制御回路20aに含まれる主要な回路ブロックを示すブロック図である。

【0094】

図12に示すアクセス制御回路20aは、リフレッシュカウンタ90の代わりにオートリフレッシュカウンタ91及びセルフリフレッシュカウンタ92が用いられ、これらカウンタ91, 92の後段にORゲート回路G2が配置されている点において、図3に示したアクセス制御回路20と相違している。その他の点については、図3に示したアクセス制御回路20と基本的に同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

50

【 0 0 9 5 】

図 1 2 に示すように、オートリフレッシュカウンタ 9 1 にはセルフリフレッシュ制御回路 1 0 0 からオートリフレッシュ信号 A R E F 0 が供給され、セルフリフレッシュカウンタ 9 2 にはセルフリフレッシュ制御回路 1 0 0 からセルフリフレッシュ信号 S R E F 0 が供給される。オートリフレッシュカウンタ 9 1 からはオートリフレッシュ信号 A R E F 1 < 7 : 0 > が出力され、セルフリフレッシュカウンタ 9 2 からはセルフリフレッシュ信号 S R E F 1 < 7 : 0 > が出力される。これらオートリフレッシュ信号 A R E F 1 及びセルフリフレッシュ信号 S R E F 1 は O R ゲート回路 G 2 に入力され、その出力であるリフレッシュ信号 R E F 2 がロウコントロール回路 9 5 に供給される。オートリフレッシュカウンタ 9 0 は、オートリフレッシュ信号 A R E F 0 に応答して 8 本のオートリフレッシュ信号 A R E F 1 < 7 : 0 > を互いに少しずつずらしてそれぞれ時系列に 8 回連続的に生成する回路である。セルフリフレッシュカウンタ 9 2 は、セルフリフレッシュ信号 S R E F 0 に応答して 8 本のオートリフレッシュ信号 A R E F 1 < 7 : 0 > を互いに少しずつずらしてそれぞれ時系列に 2 回連続的に生成する回路である。

10

【 0 0 9 6 】

図 1 3 (a) はオートリフレッシュカウンタ 9 1 の回路図であり、図 1 3 (b) はセルフリフレッシュカウンタ 9 2 の回路図である。

【 0 0 9 7 】

図 1 3 (a) に示すように、オートリフレッシュカウンタ 9 1 は、オートリフレッシュ信号 A R E F 0 及びアイドル信号 I D L E の両方がハイレベルに活性化した場合に、8 カウントの動作を行う 8 ビットカウンタ 9 1 a を備えている。アイドル信号 I D L E は、ロウコントロール回路 9 5 がアイドル状態である場合にハイレベルとなる信号である。したがって、ロウコントロール回路 9 5 がアイドル状態である場合に、オートリフレッシュ信号 A R E F 0 が活性化すると、8 ビットカウンタ 9 1 a は、オートリフレッシュ信号 A R E F 1 < 0 > を 8 回生成する。詳細には、オートリフレッシュ信号 A R E F 0 がハイレベルの期間に、アイドル信号 I D L E が 7 回トグルし、8 ビットカウンタ 9 1 a をカウントアップすることでオートリフレッシュ信号 A R E F 1 < 0 > を 8 回生成する。オートリフレッシュ信号 A R E F 1 < 0 > は、縦続接続された複数の遅延回路 9 1 b を経由して、オートリフレッシュ信号 A R E F 1 < 1 > ~ A R E F 1 < 7 > として出力される。このため、オートリフレッシュ信号 A R E F 1 < 0 > ~ A R E F 1 < 7 > の活性化タイミングは、互いに僅かにずれるスタガ動作になる。これは、各バンクにおけるリフレッシュ動作のタイミングをずらすことにより、ピーク電流を抑制するためである。

20

30

【 0 0 9 8 】

かかる構成により、ロウコントロール回路 9 5 がアイドル状態である場合にオートリフレッシュ信号 A R E F 0 が活性化し、アイドル信号 I D L E が 7 回トグルすると、オートリフレッシュ信号 A R E F 1 < 0 > ~ A R E F 1 < 7 > がそれぞれ 8 回活性化する。これらの信号は O R ゲート回路 G 2 を介してロウコントロール回路 9 5 に供給される。リフレッシュ信号 R E F 2 が活性化すると、ロウコントロール回路 9 5 に設けられたアドレスカウンタが示すリフレッシュアドレスに対してリフレッシュ動作が行われるとともに、アドレスカウンタの値がインクリメント（又はデクリメント）される。これにより、各バンクにおいて 8 本のワード線が次々に選択され、これらに繋がるメモリセル M C がリフレッシュされることになる。つまり、一回のオートリフレッシュ信号 A R E F 0 に応答して 6 4 本のワード線が選択される。

40

【 0 0 9 9 】

一方、図 1 3 (b) に示すように、セルフリフレッシュカウンタ 9 2 は、セルフリフレッシュ信号 S R E F 0 及びアイドル信号 I D L E の両方がハイレベルに活性化した場合に、2 カウントの動作を行う 2 ビットカウンタ 9 2 a を備えている。したがって、ロウコントロール回路 9 5 がアイドル状態である場合に、セルフリフレッシュ信号 S R E F 0 が活性化すると、2 ビットカウンタ 9 2 a は、セルフリフレッシュ信号 S R E F 1 < 0 > を 2 回生成する。詳細には、セルフリフレッシュ信号 S R E F 0 がハイレベルの期間に、アイ

50

ドル信号 I D L E が 1 回トグルし、2 ビットカウンタ 9 2 a をカウントアップすることでセルフリフレッシュ信号 S R E F 1 < 0 > を 2 回生成する。セルフリフレッシュ信号 S R E F 1 < 0 > は、縦続接続された複数の遅延回路 9 2 b を経由して、セルフリフレッシュ信号 S R E F 1 < 1 > ~ S R E F 1 < 7 > として出力される。

【 0 1 0 0 】

かかる構成により、ロウコントロール回路 9 5 がアイドル状態である場合にセルフリフレッシュ信号 S R E F 0 が活性化すると、セルフリフレッシュ信号 S R E F 1 < 0 > ~ S R E F 1 < 7 > がそれぞれ 2 回活性化する。これにより、各バンクにおいて 2 本のワード線が次々に選択され、これらに繋がるメモリセル M C がリフレッシュされる。つまり、一回のセルフリフレッシュ信号 S R E F 0 に応答して 1 6 本のワード線が選択される。

10

【 0 1 0 1 】

図 1 4 は、第 2 の実施形態によるアクセス制御回路 2 0 a の動作を説明するためのタイミング図である。

【 0 1 0 2 】

図 1 4 に示す例では、時刻 t 4 1 にオートリフレッシュコマンド R E F が発行され、時刻 t 4 2 にセルフリフレッシュコマンド S R E が発行され、時刻 t 4 5 にセルフリフレッシュイグジットコマンド S R X が発行され、時刻 t 4 6 にパワーダウンコマンド P D E が発行されている。したがって、時刻 t 4 2 ~ t 4 5 の期間は、半導体装置 1 0 がセルフリフレッシュモードにエントリしている期間であり、時刻 t 4 6 以降の期間は、半導体装置 1 0 がパワーダウンモードにエントリしている期間である。

20

【 0 1 0 3 】

セルフリフレッシュモードにエントリする前の期間の動作は、第 1 の実施形態における動作と同じである。したがって、時刻 t 4 1 にオートリフレッシュコマンド R E F が発行されると、ロウコントロール回路 9 5 は各バンクに対してアクティブ信号を 8 回供給する。これにより、8 本のワード線が次々と選択され、合計で 6 4 本のワード線に繋がるメモリセル M C がリフレッシュされる。上述の通り、6 4 本のワード線を選択するためにはリフレッシュ期間 t R F C を要する。したがって、オートリフレッシュコマンド R E F を発行した後、リフレッシュ期間 t R F C が経過するまでは、他のコマンドの発行が禁止される。

【 0 1 0 4 】

次に、時刻 t 4 2 においてセルフリフレッシュコマンド S R E が発行されると、セルフリフレッシュモードにエントリする。セルフリフレッシュモードにエントリすると、オシレータ 1 5 0 からリフレッシュ信号 S R E F 0 が周期的に出力される。

30

【 0 1 0 5 】

リフレッシュ信号 S R E F 0 が活性化すると、セルフリフレッシュカウンタ 9 2 に含まれる 2 ビットカウンタ 9 2 a によってセルフリフレッシュ信号 S R E F 1 < 0 > が 2 回出力され、ロウコントロール回路 9 5 は各バンクに対してアクティブ信号 A C T < 7 : 0 > を 2 回供給する。これにより、2 本のワード線が次々と選択され、合計で 1 6 本のワード線に繋がるメモリセル M C がリフレッシュされる。ここで、1 6 本のワード線を選択するために要するリフレッシュ期間 t R F C 2 は、6 4 本のワード線を選択するために要するリフレッシュ期間 t R F C よりも短く、約 1 / 4 の長さである。これに対応して、オシレータ 1 5 0 がリフレッシュ信号 S R E F 0 を発生する周期についても、第 1 の実施形態の 1 / 4 に短縮される。

40

【 0 1 0 6 】

また、セルフリフレッシュモードにエントリすると、第 1 の実施形態と同様、コントローラから供給されるインピーダンス制御信号 O D T は、そのままインピーダンス制御信号 I O D T 1 として取り込まれることになる。つまり、外部クロック信号 C K , C K B とは全く無関係（非同期）にインピーダンス制御信号 I O D T 1 が取り込まれる。図 1 4 に示す例では、時刻 t 4 3 ~ t 4 4 の期間にインピーダンス制御信号 O D T がハイレベルに活性化されており、これがそのままインピーダンス制御信号 I O D T 1 として内部で使用さ

50

れる。

【 0 1 0 7 】

そして、時刻 t_{45} においてセルフリフレッシュイグジットコマンド SRX が発行されると、 SR ラッチ回路 $L1$ がリセットされ、イネーブル信号 $CKen$ がハイレベルに変化する。これにより、入力バッファ回路 $F1$ が活性化され、外部クロック信号 CK の入力が可能となる。さらに、 SR ラッチ回路 $L1$ がリセットされたことに応答して、ワンショットパルス生成回路 $OP1$ からリセット信号 RST が出力され、 DLL 回路 200 がリセットされる。このため、位相制御された内部クロック信号 $ICK1$ の出力が可能となるまでにある程度の時間が必要となる。

【 0 1 0 8 】

一方、ロウアドレスに基づいてメモリセルアレイ 11 へのアクセスを行うコマンド、すなわち第 1 のコマンドについては、セルフリフレッシュイグジットコマンド SRX を発行してから少なくともリフレッシュ期間 t_{RFC2} が経過するまでは発行することができない。本実施形態では、コントローラが、セルフリフレッシュイグジットコマンド SRX を発行してから第 1 のコマンドを発行可能な最短期間は、例えば $t_{RFC2} + 10\text{ns}$ である。つまり、セルフリフレッシュイグジットコマンド SRX を発行してから $t_{RFC2} + 10\text{ns}$ が経過すれば、第 1 のコマンドの発行が許可される。ここで、 $t_{RFC2} < t_{RFC}$ であることから、第 1 の実施形態に比べ、セルフリフレッシュイグジットコマンド SRX を発行してから第 1 のコマンドを投入できるまでの期間が大幅に短縮される。

【 0 1 0 9 】

本例では、時刻 t_{46} にパワーダウンコマンド PDE が発行され、さらに、パワーダウンモードにエントリしている期間中である時刻 $t_{47} \sim t_{48}$ の期間にインピーダンス制御信号 ODT がハイレベルに活性化されている。この期間においては、インピーダンス制御信号 ODT が内部クロック信号 $ICK0$ に同期して取り込まれることから、図 2 に示した出力バッファ回路 $30a$ は、外部クロック信号 CK 、 CKB に同期してデータ端子 31 のインピーダンス制御を行うことが可能となる。

【 0 1 1 0 】

このように、本実施形態によれば、上述した第 1 の実施形態による効果に加え、セルフリフレッシュイグジットコマンド SRX を発行してから第 1 のコマンドを投入できるまでの期間を大幅に短縮することができる。尚、第 2 の実施形態の動作も $DRAM$ の規格に規定されていない動作であるため、上述した第 2 の実施形態の動作と、規格に規定された動作との切り替えを可能に構成することが望ましい。つまり、第 1 の動作モードにおいては $DRAM$ の規格に準拠した動作を行い、第 2 の動作モードにおいては上述した第 2 の実施形態の動作を行うよう、回路設計すればよい。第 1 の動作モードについては既に説明したとおりである。

【 0 1 1 1 】

次に、本発明の第 3 の実施形態について説明する。

【 0 1 1 2 】

図 15 は、本発明の第 3 の実施形態によるアクセス制御回路 $20b$ に含まれる主要な回路ブロックを示すブロック図である。

【 0 1 1 3 】

図 15 に示すアクセス制御回路 $20b$ においては、セルフリフレッシュ制御回路 100 の代わりにセルフリフレッシュ制御回路 $100b$ が用いられる。セルフリフレッシュ制御回路 $100b$ は、更新開始信号 ST を DLL 回路 200 に供給するとともに、 DLL 回路 200 から出力される更新終了信号 END を受ける。その他の点については、図 3 に示したアクセス制御回路 20 と基本的に同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

【 0 1 1 4 】

図 16 は、セルフリフレッシュ制御回路 $100b$ の主要な回路図である。

【 0 1 1 5 】

10

20

30

40

50

図 16 に示すように、セルフリフレッシュ制御回路 100b は、図 6 に示したセルフリフレッシュ制御回路 100 と比べて、ワンショットパルス生成回路 OP1 に代わりに SR ラッチ回路 L2 が用いられている点、並びに、SR ラッチ回路 L1, L2 の出力を受ける NAND ゲート回路 G0 が追加されている点において異なる。SR ラッチ回路 L1 の出力はセルフステート信号 SS として用いられ、ゲート回路 G0 の出力はイネーブル信号 Cken として用いられる。その他の点については、図 6 に示したセルフリフレッシュ制御回路 100 と基本的に同じであることから、同一の要素には同一の符号を付し、重複する説明は省略する。

【0116】

SR ラッチ回路 L2 のセットノード S には、セルフステート信号 SS とセルフリフレッシュ信号 SREF0 の否定論理積を取った信号が入力される。また、SR ラッチ回路 L2 のリセットノード R には、更新終了信号 END の反転信号が入力される。これにより、SR ラッチ回路 L2 は、セルフリフレッシュモードにエントリした状態でセルフリフレッシュ信号 SREF0 が活性化する度にセットされ、更新終了信号 END が活性化する度にリセットされることになる。

10

【0117】

また、セルフステート信号 SS とセルフリフレッシュ信号 SREF0 の論理積を取った信号は、更新開始信号 ST として用いられる。更新開始信号 ST は、図 15 に示す DLL 回路 200 に供給される。

【0118】

さらに、ラッチ回路 L1, L2 の出力は NAND ゲート回路 G0 に供給され、その出力はイネーブル信号 Cken として用いられる。したがって、イネーブル信号 Cken は、ラッチ回路 L1 がセットされ、且つ、ラッチ回路 L2 がリセットされるとローレベルとなる。その他の状態では、イネーブル信号 Cken は常にハイレベルに活性化される。

20

【0119】

図 17 は、第 3 の実施形態によるアクセス制御回路 20b の動作を説明するためのタイミング図である。

【0120】

図 17 に示す例では、時刻 t51 にオートリフレッシュコマンド REF が発行され、時刻 t52 にセルフリフレッシュコマンド SRE が発行され、時刻 t55 にセルフリフレッシュイグジットコマンド SRX が発行され、時刻 t56 にパワーダウンコマンド PDE が発行されている。したがって、時刻 t52 ~ t55 の期間は、半導体装置 10 がセルフリフレッシュモードにエントリしている期間であり、時刻 t56 以降の期間は、半導体装置 10 がパワーダウンモードにエントリしている期間である。

30

【0121】

まず、時刻 t51 にオートリフレッシュコマンド REF が発行されると、オートリフレッシュ信号 AREF0 が活性化する。この場合の動作は、図 8 を用いて説明したとおりである。

【0122】

次に、時刻 t52 においてセルフリフレッシュコマンド SRE が発行されると、図 16 に示した SR ラッチ回路 L1 がセットされ、セルフステート信号 SS がハイレベルに変化する。これにより、図 15 に示した ODT ラッチ回路 82 は、インピーダンス制御信号 IODT0 をそのままインピーダンス制御信号 IODT1 として出力する。さらに、SR ラッチ回路 L2 はリセットされていることから、イネーブル信号 Cken がローレベルに変化する。これにより、図 11 に示した入力バッファ回路 71 が非活性化され、消費電力が削減される。

40

【0123】

セルフリフレッシュモードにエントリすると、オシレータ 150 から周期的にリフレッシュ信号 SREF0 が出力される。リフレッシュ信号 SREF0 が活性化すると、第 1 の実施形態において第 2 の動作モードで動作している場合と同じ動作を行う。つまり合計で

50

64本のワード線が次々と選択される。さらに、リフレッシュ信号SREF0が活性化すると、図16に示したSRラッチ回路L2がセットされるため、イネーブル信号CKenがハイレベルに変化する。これにより、図15に示した入力バッファ回路71が活性化されるため、外部クロック信号CKの受信が可能となる。さらに、更新開始信号STも活性化するため、DLL回路200は、入力バッファ回路71から出力される内部クロック信号ICK0に基づいて、位相制御された内部クロック信号ICK1の生成を行う。つまり、DLL回路200の更新動作が行われる。

【0124】

DLL回路200の更新動作が終了すると、DLL回路200から更新終了信号ENDが出力され、SRラッチ回路L2はリセットされる。これにより、イネーブル信号CKenは再びローレベルに変化し、入力バッファ回路71が非活性化される。よって、セルフリフレッシュ中のDLL回路の更新時間以外の期間において、入力バッファ回路71の低消費電力が実現できる。このとき、カウンタ回路220はリセットせず、更新終了信号ENDの発生時のカウント値を保持したまま非活性状態に遷移する。

10

【0125】

図17においてはリフレッシュ信号SREF0が1回だけ活性化しているが、セルフリフレッシュモードにエンタリしている期間中においては、オシレータ150によってリフレッシュ信号SREF0が周期的に生成される。このため、リフレッシュ信号SREF0が生成される度に、入力バッファ回路71及びDLL回路200が活性化されることになる。このように、セルフリフレッシュモードにエンタリしている期間中であっても、入力バッファ回路71及びDLL回路200が間欠的に活性化されるため、DLL回路200はロックした状態(内部クロック信号ICK0と内部クロック信号RCLKの位相がほぼマッチングした状態)を維持することが可能となる。しかも、入力バッファ回路71及びDLL回路200はセルフリフレッシュモード中、常時活性化されるのではなく、リフレッシュ信号SREF0に基づいて間欠的に活性化され、その他の期間においては非活性状態とされることから、無駄な消費電力が生じることもない。

20

【0126】

また、セルフリフレッシュモードにエンタリすると、第1の実施形態と同様、コントローラから供給されるインピーダンス制御信号ODTは、そのままインピーダンス制御信号IODT1として取り込まれることになる。つまり、外部クロック信号CK,CKBとは全く無関係にインピーダンス制御信号IODT1が取り込まれる。図17に示す例では、時刻t53~t54の期間にインピーダンス制御信号ODTがハイレベルに活性化されており、これがそのままインピーダンス制御信号IODT1として内部で使用される。

30

【0127】

そして、時刻t55においてセルフリフレッシュイグジットコマンドSRXが発行されると、図16に示したSRラッチ回路L1がリセットされ、セルフステート信号SSがローレベルに変化するとともに、イネーブル信号CKenがハイレベルに変化する。これにより、入力バッファ回路71が活性化され、外部クロック信号CKの入力が可能となる。

【0128】

この時、既にDLL回路200はロック状態にあるため、コントローラは、内部クロック信号ICK1に同期してデータ端子の状態を制御するコマンド、すなわち第2のコマンドを短時間で発行することができる。本実施形態においては、セルフリフレッシュイグジットコマンドSRXに回答したDLL回路200のリセットは行わない。セルフリフレッシュイグジットコマンドSRXを発行してから第2のコマンドを発行可能な最短期間は、例えば24nsである。つまり、セルフリフレッシュイグジットコマンドSRXを発行してから24nsが経過すれば、第2のコマンドBの発行が許可される。

40

【0129】

一方、セルフリフレッシュイグジットコマンドSRXを発行してから第1のコマンドを投入可能な最短期間については、第1の実施形態において第2の動作モードで動作している場合と同じである。コントローラが、セルフリフレッシュイグジットコマンドSRXを

50

発行してから第1のコマンドAを発行可能な最短期間は、例えば $t_{RFC} + 10ns$ である。つまり、セルフリフレッシュイグジットコマンドSRXを発行してから $t_{RFC} + 10ns$ が経過すれば、第1のコマンドの発行が許可される。

【0130】

このように、本実施形態によれば、セルフリフレッシュモードにエントリしている期間中において、入力バッファ回路71及びDLL回路200が互いに連動して間欠的に活性化されることから、第1の実施形態による効果に加え、DLL回路200のロック状態を維持することが可能となる。これにより、セルフリフレッシュイグジットコマンドSRXを発行した後、短時間で第2のコマンドを投入することが可能となる。しかも、入力バッファ回路71及びDLL回路200は常時活性化されるのではなく、リフレッシュ信号SREF0に基づいて互いに連動して間欠的に活性化され、その他の期間においては非活性化状態とされることから、消費電力の増大も最小限に抑えられる。

10

【0131】

尚、第3の実施形態の動作もDRAMの規格に規定されていない動作であるため、上述した第3の実施形態の動作と、規格に規定された動作との切り替えを可能に構成することが望ましい。つまり、第1の動作モードにおいてはDRAMの規格に準拠した動作を行い、第2の動作モードにおいては上述した第3の実施形態の動作を行うよう、回路設計すればよい。第1の動作モードについては既に説明したとおりである。

【0132】

次に、本発明の第4の実施形態について説明する。

20

【0133】

本発明の第4の実施形態によるアクセス制御回路は、図15に示した第4の実施形態によるアクセス制御回路20bのセルフリフレッシュ制御回路100bがセルフリフレッシュ制御回路100cに置き換えられた構成を有している。その他の点については、図15に示したアクセス制御回路20bと基本的に同一である。

【0134】

図18は、本実施形態にて使用するセルフリフレッシュ制御回路100cの主要な回路図である。

【0135】

図18に示すように、セルフリフレッシュ制御回路100cは、図16に示したセルフリフレッシュ制御回路100bと比べて、オシレータ150の代わりにワンショットパルス生成回路OP1が用いられている点において異なる。SRラッチ回路L1のセットノードSに供給される信号は、そのままセルフリフレッシュ信号SREF0として用いられる。また、ワンショットパルス生成回路OP1の出力は、更新開始信号STとして用いられる。その他の点については、図16に示したセルフリフレッシュ制御回路100bと基本的に同じであることから、同一の要素には同一の符号を付し、重複する説明は省略する。

30

【0136】

かかる構成により、セルフリフレッシュコマンドSREが発行される度に、セルフリフレッシュ信号SREF0が活性化され、リフレッシュ動作が1回行われる。また、セルフリフレッシュイグジットコマンドSRXが発行される度に、DLL回路200の更新動作が開始することになる。

40

【0137】

ワンショットパルス生成回路OP1の出力は、SRラッチ回路L2のセットノードSに供給される。また、SRラッチ回路L2のリセットノードRには、更新終了信号ENDの反転信号が入力される。これにより、SRラッチ回路L2は、セルフリフレッシュイグジットコマンドSRXが発行される度にセットされ、更新終了信号ENDが活性化する度にリセットされることになる。さらに、ラッチ回路L1, L2の出力はNANDゲート回路G0に供給され、その出力はイネーブル信号CKenとして用いられる。したがって、イネーブル信号CKenは、ラッチ回路L1がセットされ、且つ、ラッチ回路L2がリセットされるとローレベルとなる。その他の状態では、イネーブル信号CKenは常にハイレ

50

ベルに活性化される。

【 0 1 3 8 】

図 1 9 は、第 4 の実施形態によるアクセス制御回路の動作を説明するためのタイミング図である。

【 0 1 3 9 】

図 1 9 に示す例では、時刻 t_{61} にオートリフレッシュコマンド $R E F$ が発行され、時刻 t_{62} にセルフリフレッシュコマンド $S R E$ が発行され、時刻 t_{65} にセルフリフレッシュイグジットコマンド $S R X$ が発行され、時刻 t_{66} に再びセルフリフレッシュコマンド $S R E$ が発行されている。したがって、時刻 $t_{62} \sim t_{63}$ の期間及び時刻 t_{66} 以降の期間は、半導体装置 1 0 がセルフリフレッシュモードにエントリしている期間であり、その他の期間は半導体装置 1 0 がセルフリフレッシュモードにエントリしていない期間である。図 1 9 には示されていないが、時刻 t_{62} 以降の期間は、セルフリフレッシュコマンド $S R E$ とセルフリフレッシュイグジットコマンド $S R X$ が周期的に交互に発行される期間であり、このような制御は、コントローラ 5 0 が疑似セルフリフレッシュモードにエントリしている場合に実行される。疑似セルフリフレッシュモードとは、セルフリフレッシュコマンド $S R E$ とセルフリフレッシュイグジットコマンド $S R X$ を周期的に交互に発行することによって、規格に準拠した $D R A M$ がセルフリフレッシュモードにエントリしている場合と同様の低消費電力を実現するための動作モードである。このため、疑似セルフリフレッシュモードにエントリしている期間においては、セルフリフレッシュイグジットコマンド $S R X$ を発行した後、次のセルフリフレッシュコマンド $S R E$ を発行するまでの期間に、第 1 のコマンドや第 2 のコマンドなど、他のコマンドは発行しない。但し、インピーダンス制御信号 $O D T$ については常に発行可能である。疑似セルフリフレッシュモードにおいては、セルフリフレッシュイグジットコマンド $S R X$ を発行した後、直ちにセルフリフレッシュコマンド $S R E$ を発行する。この点は、通常の $D R A M$ において、セルフリフレッシュモードから復帰した後、次にセルフリフレッシュモードにエントリする場合と根本的に異なる。

10

20

【 0 1 4 0 】

セルフリフレッシュモードにエントリする前の期間の動作は、第 1 の実施形態における動作と同じである。したがって、時刻 t_{61} にオートリフレッシュコマンド $R E F$ が発行されると、ロウコントロール回路 9 5 は各バンクに対してアクティブ信号 $A C T < 7 : 0 >$ を 8 回供給する。これにより、8 本のワード線が次々と選択され、合計で 6 4 本のワード線に繋がるメモリセル $M C$ がリフレッシュされる。

30

【 0 1 4 1 】

次に、時刻 t_{62} においてセルフリフレッシュコマンド $S R E$ が発行されると、図 1 8 に示した $S R$ ラッチ回路 $L 1$ がセットされ、セルフステート信号 $S S$ がハイレベルに変化する。これにより、図 1 5 に示した $O D T$ ラッチ回路 $8 2$ は、インピーダンス制御信号 $I O D T 0$ をそのままインピーダンス制御信号 $I O D T 1$ として出力する。さらに、 $S R$ ラッチ回路 $L 2$ はリセットされていることから、イネーブル信号 $C K e n$ がローレベルに変化する。これにより、図 1 5 に示した入力バッファ回路 $7 1$ が非活性化され、消費電力が削減される。

40

【 0 1 4 2 】

また、セルフリフレッシュコマンド $S R E$ が発行されると、直ちにセルフリフレッシュ信号 $S R E F 0$ がハイレベルに活性化する。リフレッシュ信号 $S R E F 0$ が活性化すると、リフレッシュカウンタ $9 0$ は、オートリフレッシュ信号 $A R E F 0$ が活性化した場合と同じ動作を行う。つまり合計で 6 4 本のワード線が次々と選択される。本実施形態では、セルフリフレッシュモードにおいて実行されるリフレッシュ動作は 1 回限りである。

【 0 1 4 3 】

また、セルフリフレッシュモードにエントリすると、第 1 の実施形態と同様、コントローラから供給されるインピーダンス制御信号 $O D T$ は、そのままインピーダンス制御信号 $I O D T 1$ として取り込まれることになる。つまり、外部クロック信号 $C K$, $C K B$ とは

50

全く無関係にインピーダンス制御信号 I O D T 1 が取り込まれる。図 19 に示す例では、時刻 $t_{63} \sim t_{64}$ の期間にインピーダンス制御信号 O D T がハイレベルに活性化されており、これがそのままインピーダンス制御信号 I O D T 1 として内部で使用される。

【0144】

そして、時刻 t_{65} においてセルフリフレッシュイグジットコマンド S R X が発行されると、図 18 に示した S R ラッチ回路 L 1 がリセットされ、セルフステート信号 S S がローレベルに変化するとともに、イネーブル信号 C K e n がハイレベルに変化する。これにより、入力バッファ回路 71 が活性化され、外部クロック信号 C K の入力が可能となる。

【0145】

さらに、セルフステート信号 S S がローレベルに変化したことに応答して、ワンショットパルス生成回路 O P 1 から更新開始信号 S T が出力される。これにより、D L L 回路 200 は、入力バッファ回路 71 から出力される内部クロック信号 I C L K 0 に基づいて、位相制御された内部クロック信号 I C L K 1 の生成を行う。つまり、D L L 回路 200 の更新動作が行われる。D L L 回路 200 の更新動作が終了すると、D L L 回路 200 から更新終了信号 E N D が出力され、S R ラッチ回路 L 2 はリセットされる。尚、コントローラ 50 が外部クロック信号 C K の発行を再開するタイミングは、時刻 t_{65} よりも前であることが望ましい。これは、本実施形態ではセルフリフレッシュイグジットコマンド S R X に応答して D L L 回路 200 の更新動作が直ちに実行されるからである。

【0146】

図 19 に示す例では、D L L 回路 200 の更新動作を行っている期間、すなわち、更新開始信号 S T が活性化してから更新終了信号 E N D が活性化するまでの期間において、セルフリフレッシュコマンド S R E が再び発行されている（時刻 t_{66} ）。これにより、S R ラッチ回路 L 1 が再びセットされるが、この時点では S R ラッチ回路 L 2 がセット状態であるため、イネーブル信号 C K e n はハイレベルを維持する。そして、更新終了信号 E N D が出力され、これにより S R ラッチ回路 L 2 がリセットされると、イネーブル信号 C K e n はローレベルに変化し、入力バッファ回路 71 が非活性化される。

【0147】

このような動作、つまり、セルフリフレッシュコマンド S R E とセルフリフレッシュイグジットコマンド S R X を交互に発行する動作は、コントローラ 50 が上述した疑似セルフリフレッシュモードにエントリしている期間中、繰り返し行われる。そして、セルフリフレッシュコマンド S R E の発行周期を、通常の D R A M のセルフリフレッシュモード中におけるリフレッシュ動作の実行周期（約 $7.8 \mu s$ ）と一致させれば、単位期間（規格では $64 m s$ ）内に全てのメモリセル M C をリフレッシュすることが可能となる。このことは、単位期間当たりのセルフリフレッシュコマンド S R E の発行数を、単位期間当たりのオートリフレッシュコマンド R E F の発行数と一致させればよいことを意味する。

【0148】

このように、本実施形態においては、セルフリフレッシュコマンド S R E に応答してリフレッシュ動作を 1 回だけ実行していることから、セルフリフレッシュコマンド S R E を発行してから、リフレッシュ期間 $t_{R F C}$ が経過した後にセルフリフレッシュイグジットコマンド S R X を発行すれば、その時点においてリフレッシュ動作が行われていない状態が保証される。このため、セルフリフレッシュイグジットコマンド S R X を発行した後、短時間で第 1 のコマンドを発行することが可能となる。しかも、セルフリフレッシュイグジットコマンド S R X に応答して D L L 回路 200 の更新動作が行われることから、疑似セルフリフレッシュモード中においても D L L 回路 200 のロック状態が保たれる。このため、セルフリフレッシュイグジットコマンド S R X を発行した後、内部クロック信号 I C L K 1 を使用する第 2 のコマンドを短時間で発行することが可能となる。

【0149】

図 20 は、本実施形態による効果を説明するためのタイミング図である。

【0150】

図 20 に示す例では、時刻 t_{71} にオートリフレッシュコマンド R E F が発行され、時

10

20

30

40

50

時刻 t_{72} にセルフリフレッシュコマンド SRE が発行され、時刻 t_{73} にセルフリフレッシュイグジットコマンド SRX が発行され、時刻 t_{74} に第 1 のコマンド A が発行され、時刻 t_{75} に第 2 のコマンド B が発行されている。セルフリフレッシュコマンド SRE 及びセルフリフレッシュイグジットコマンド SRX が発行された場合の動作は上述の通りであることから、重複する説明は省略する。

【0151】

図 20 に示すように、セルフリフレッシュイグジットコマンド SRX を発行してから第 1 のコマンド A を発行可能な最短期間は、一般的な $DRAM$ と比べて大幅に短縮され、例えば、 $7.5ns$ である。つまり、セルフリフレッシュイグジットコマンド SRX を発行してから $7.5ns$ が経過すれば、第 1 のコマンド A の発行が許可される。これは、上述の通り、セルフリフレッシュイグジットコマンド SRX を発行する時点において、リフレッシュ動作が行われていない状態が保証されるからである。

10

【0152】

また、セルフリフレッシュイグジットコマンド SRX を発行してから第 2 のコマンド B を発行可能な最短期間についても、一般的な $DRAM$ と比べて大幅に短縮され、例えば、 $24ns$ である。つまり、セルフリフレッシュイグジットコマンド SRX を発行してから $24ns$ が経過すれば、第 2 のコマンド B の発行が許可される。

【0153】

図 21 は、第 4 の実施形態によるアクセス制御回路 20 の動作を説明するための別のタイミング図である。

20

【0154】

図 21 に示す例では、時刻 t_{81} にパワーダウンコマンド PDE が発行され、時刻 t_{82} にパワーダウンイグジットコマンド PDX が発行され、時刻 t_{83} に第 1 のコマンド A が発行され、時刻 t_{84} に第 2 のコマンド B が発行されている。したがって、時刻 $t_{81} \sim t_{82}$ の期間は、パワーダウンモードにエントリしている期間である。

【0155】

パワーダウンイグジットコマンド PDX を発行してから第 1 のコマンド A を発行可能な最短期間は、セルフリフレッシュイグジットコマンド SRX を発行してから第 1 のコマンド A を発行可能な最短期間と等しい。つまり、パワーダウンイグジットコマンド PDX を発行してから、例えば $7.5ns$ が経過すれば、第 1 のコマンド A の発行が許可される。これは、上述の通り、パワーダウンモードにおいてはリフレッシュ動作が行われなため、パワーダウンイグジットコマンド PDX を発行する時点において、リフレッシュ動作が行われていない状態が保証されるからである。

30

【0156】

また、パワーダウンイグジットコマンド PDX を発行してから第 2 のコマンド B を発行可能な最短期間は、セルフリフレッシュイグジットコマンド SRX を発行してから第 2 のコマンド B を発行可能な最短期間と等しい。つまり、パワーダウンイグジットコマンド PDX を発行してから、例えば $24ns$ が経過すれば、第 2 のコマンド B の発行が許可される。これは、パワーダウンモードにおいては外部クロック信号 CK が入力されるため、 DLL 回路 200 の更新動作が可能であり、 DLL 回路 200 をロック状態に維持できるからである。

40

【0157】

このように、本実施形態においては、上述した第 1 の実施形態による効果に加え、イグジット後における第 1 又は第 2 のコマンドの最短投入時間がセルフリフレッシュモードとパワーダウンモードとで一致する。このことは、セルフリフレッシュモードからの復帰時間が長いという従来の課題が解消されることを意味する。尚、第 4 の実施形態の動作も $DRAM$ の規格に規定されていない動作であるため、上述した第 4 の実施形態の動作と、規格に規定された動作との切り替えを可能に構成することが望ましい。つまり、第 1 の動作モードにおいては $DRAM$ の規格に準拠した動作を行い、第 2 の動作モードにおいては上述した第 4 の実施形態の動作を行うよう、回路設計すればよい。第 1 の動作モードについ

50

ては既に説明したとおりである。

【0158】

第1の動作モードでは、セルフリフレッシュモードにエントリしている期間においては、入力バッファ回路71が常に非活性状態に保たれる。このため、コントローラは、外部クロック信号CK, CKBを供給しない。よって、システムの消費電力を低減することが可能である。第1の動作モードでは、半導体装置には外部クロック信号CK, CKBは供給されず、したがって、DLL回路200も非活性状態に保たれる。このため、上述した第2の動作モードに比べ、セルフリフレッシュモードにエントリしている期間における消費電力は第2の動作モードよりも更に削減される。また、セルフリフレッシュモードにエントリしている期間中においては入力バッファ回路72aが非活性化されるため、この期間においてはインピーダンス制御信号ODTを入力することはできない。それは、複数の半導体装置のデータ端子を共通とするシステム（つまり、システム内のデータバスに、それぞれの半導体装置のデータ端子が共通に接続される構造）において、例えば、コントローラが、一方の半導体装置をセルフリフレッシュモードにエントリさせている場合、そのデータ端子のインピーダンス調整ができないので、他方の半導体装置にライトコマンドWTを発行できない、ことを意味する。高周波のデータが転送されるシステムにおいては、データの反射を防止することが必須であるからである。他方、パワーダウンモードにおいては、該期間中にデータ端子のインピーダンス調整が可能である。よって、コントローラはこのような場合、第1動作モードでは、消費電力が少ないセルフリフレッシュモードに代えてパワーダウンモードを選択する。従って、この視点においては、消費電力が少ないセルフリフレッシュモードを選択しつつセルフリフレッシュモード期間中にデータ端子のインピーダンス調整ができる。

10

20

【0159】

次に、本発明の好ましい実施形態による情報処理システムについて説明する。

【0160】

図22は、本発明の情報処理システムの第1の実施形態のブロック図である。

【0161】

図22に示す例では、コントローラ50と半導体装置(DRAM)10が1つずつ用いられ、これらが相互に接続された構成を有している。コントローラ50は、アドレス信号ADD、コマンド信号CMD、外部クロック信号CK, CKB、クロックイネーブル信号CKE及びインピーダンス制御信号ODTを半導体装置10に供給する。また、コントローラ50は、半導体装置10を第1又は第2の動作モードに設定する。第1の動作モードに設定した場合、コントローラ50はDRAMの規格に準拠してコマンド信号CMDなどを発行する。これに対し、第2の動作モードに設定した場合、コントローラ50は、DRAMの規格に準拠しないタイミングでコマンド信号CMDなどを発行することにより、上述した第1乃至第4の実施形態にて説明した動作を実現する。

30

【0162】

動作モードの選択は、半導体装置10に備えられたモードレジスタ27に動作モードを設定することによって行うことができる。モードレジスタ27への設定は、モードレジスタ設定コマンド(MRS)を発行するとともに、アドレス端子21を介して設定したい動作モードを入力することにより行う。この方法によれば、半導体装置10のイニシャライズ時に第1又は第2の動作モードが選択される。

40

【0163】

但し、動作モードの選択はこれに限られず、いわゆるオンザフライ方式で第1又は第2の動作モードの選択を行うことも可能である。つまり、セルフリフレッシュコマンドSREを発行する際に、アドレス端子21又はデータ端子31を利用して第1又は第2の動作モードを定義する付加信号を発行し、これにより、セルフリフレッシュモードにエントリする度に第1又は第2の動作モードを選択することもできる。

【0164】

図23は、本発明の情報処理システムの第2の実施形態のブロック図である。

50

【 0 1 6 5 】

図 2 3 に示す例では、1つのコントローラ 5 0 に対し、2つの半導体装置 (D R A M) 1 0 a , 1 0 b が接続されている。コントローラ 5 0 から供給されるアドレス信号 A D D 、コマンド信号 C M D 、外部クロック信号 C K , C K B は、2つの半導体装置 1 0 a , 1 0 b に対し共通に供給される。半導体装置 1 0 a , 1 0 b のデータ端子 3 1 についても、コントローラ 5 0 に共通接続される。これに対し、クロックイネーブル信号 C K E 及びインピーダンス制御信号 O D T については、半導体装置 1 0 a , 1 0 b に対してそれぞれ個別に供給される。つまり、半導体装置 1 0 a に対してはクロックイネーブル信号 C K E 0 及びインピーダンス制御信号 O D T 0 が供給され、半導体装置 1 0 b に対してはクロックイネーブル信号 C K E 1 及びインピーダンス制御信号 O D T 1 が供給される。半導体装置 1 0 a , 1 0 b の選択は、チップ選択信号 C S 0 , C S 1 によって行われる。すなわち、コントローラ 5 0 から発行されるコマンド信号 C M D などは、チップ選択信号が活性化している半導体装置 1 0 a 又は 1 0 b に対してのみ有効となる。

10

【 0 1 6 6 】

図 2 4 は、2つの半導体装置 1 0 a , 1 0 b を1つのパッケージに搭載したデュアルダイパッケージ D D P の構造を説明するための模式的な断面図である。

【 0 1 6 7 】

図 2 4 に示すデュアルダイパッケージ D D P は、パッケージ基板 3 0 0 に2つの半導体装置 1 0 a , 1 0 b が積層された構成を有している。半導体装置 1 0 a と半導体装置 1 0 b との間、並びに、半導体装置 1 0 b とパッケージ基板 3 0 0 との間には、接着剤 3 0 1 が介在しており、これによって両者が固定されている。半導体装置 1 0 a , 1 0 b とパッケージ基板 3 0 0 はボンディングワイヤ 3 0 2 によって接続されており、これにより、各半導体装置 1 0 a , 1 0 b は、パッケージ基板 3 0 0 に設けられた内部配線 (図示せず) を介して外部端子 3 0 3 に電氣的に接続される。また、パッケージ基板 3 0 0 の上には、半導体装置 1 0 a , 1 0 b 及びボンディングワイヤ 3 0 2 を保護するための封止樹脂 3 0 4 が設けられている。

20

【 0 1 6 8 】

図 2 5 は、デュアルダイパッケージ D D P に設けられた外部端子 3 0 3 のレイアウトの一例を示す模式的な平面図である。

【 0 1 6 9 】

図 2 6 に示すように、デュアルダイパッケージ D D P には、複数の外部端子 3 0 3 がマトリクス状にレイアウトされている。このうち、アドレス信号 A D D 、コマンド信号 C M D 、外部クロック信号 C K , C K B 、データ D Q に関する端子は、半導体装置 1 0 a , 1 0 b に対して共通に設けられている。これに対し、クロックイネーブル信号 C K E 、インピーダンス制御信号 O D T 及びチップ選択信号 C S については、半導体装置 1 0 a , 1 0 b に対して個別に設けられている。したがって、半導体装置 1 0 a , 1 0 b の一方のみがセルフリフレッシュモードにエントリしている場合であっても、両方の半導体装置 1 0 a , 1 0 b に外部クロック信号 C K , C K B が供給され続ける。したがって、この構成は上述した第 3 の実施形態との親和性が高いと言える。

30

【 0 1 7 0 】

例えば、半導体装置 1 0 a がセルフリフレッシュモードにエントリしており、半導体装置 1 0 b がセルフリフレッシュモードにエントリしていない場合、半導体装置 1 0 a にも外部クロック信号 C K , C K B が供給され続けることを利用し、半導体装置 1 0 a の D L L 回路 2 0 0 及び入力バッファ回路 7 1 をセルフリフレッシュモード中において間欠的に活性化させることにより、D L L 回路 2 0 0 のロック状態を維持することが可能となる。また、第 1 乃至第 4 の実施形態では、セルフリフレッシュモード中においてもインピーダンス制御信号 O D T の入力が可能であることから、半導体装置 1 0 a , 1 0 b の両方がセルフリフレッシュモードにエントリしている場合であっても、インピーダンス制御信号 O D T 0 又は O D T 1 をハイレベルとすることにより、出力バッファ回路 3 0 a のインピーダンス制御を行うことが可能となる。

40

50

【0171】

図26は、本発明の情報処理システムの第3の実施形態のブロック図である。

【0172】

図26に示す例では、1つのコントローラ50に対し、2つのDIMM (Dual Inline Memory Module) 401, 402が接続されている。DIMM 401, 402にはそれぞれ例えば16個の半導体装置 (DRAM) 10が搭載されている。各DIMM 401, 402はそれぞれ2ランク構成であり、したがって、合計で4ランクである。1つのランクは例えば8個の半導体装置10からなり、特に限定されるものではないがモジュール基板の一方の表面に並べて搭載される。ランクの選択は、チップ選択信号CS0~CS3によって排他的に行われる。

10

【0173】

コントローラ50から供給されるアドレス信号ADD及びコマンド信号CMDについては、DIMM 401, 402ごとに供給される。これに対し、外部クロック信号CK, CKBについては、ランクごとにそれぞれ供給される。データ端子31については、4つのランクにおいてコントローラ50に共通に供給される。

【0174】

図27は、各ランクにおけるインピーダンス制御を説明するための表であり、(a)はDIMM 401に対してライト動作を行う場合、(b)はDIMM 402に対してライト動作を行う場合、(c)はDIMM 401に対してリード動作を行う場合、(d)はDIMM 402に対してリード動作を行う場合を示している。

20

【0175】

DIMM 401に対してライト動作を行う場合、図27(a)に示すように、DIMM 401の一方のランク(図27(a)ではランク1)を120Ωで終端し、DIMM 402の一方のランク(図27(a)ではランク2)を30Ωで終端する。逆に、DIMM 402に対してライト動作を行う場合、図27(b)に示すように、DIMM 401の一方のランク(図27(b)ではランク2)を30Ωで終端し、DIMM 402の一方のランク(図27(a)ではランク1)を120Ωで終端する。

【0176】

また、DIMM 401に対してリード動作を行う場合、図27(c)に示すように、DIMM 402の一方のランク(図27(c)ではランク2)を30Ωで終端する。逆に、DIMM 402に対してリード動作を行う場合、図27(d)に示すように、DIMM 401の一方のランク(図27(d)ではランク2)を30Ωで終端する。

30

【0177】

上記の例では、DIMM 401, 402の一方に対してアクセスする場合であっても、DIMM 401, 402の他方を終端抵抗として機能させる必要がある。このような制御は、動作周波数が高い場合において特に必要となる。このような制御が必要な場合、上述した第1乃至第4の実施形態による半導体装置を用いれば、アクセスする必要のないランクをパワーダウンモードよりも更に消費電力が少ないセルフリフレッシュモードにエントリさせることができる。つまり、第1乃至第4の実施形態による半導体装置では、セルフリフレッシュモードにエントリした場合であっても、インピーダンス制御信号ODTの入力が可能となることから、他のランクのリード動作又はライト動作に同期してコントローラ50からインピーダンス制御信号ODTを出力すれば、所望の終端抵抗を得ることが可能となる。

40

【0178】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0179】

例えば、上記の各実施形態では、セルフリフレッシュコマンドSREに 응답してリフレッシュされるメモリセル数を、オートリフレッシュコマンドREFに 응답してリフレッシュ

50

ユされるメモリセル数の 1 / 4 としているが、本発明がこれに限定されるものではない。

【 0 1 8 0 】

また、D L L 回路に代えて P L L 回路であってもよい。コントローラ 5 0 には、メモリを制御する以外の機能を有していても良い。

【 0 1 8 1 】

本願の技術思想は、様々な機能チップを有する半導体装置、及び該コントローラ、並びにそれらシステムに適用できる。更に、図面で開示した各回路の構成は、実施例が開示する回路形式に限られない。

【 0 1 8 2 】

本発明のシステムの技術思想は、様々な半導体装置に適用することができる。例えば、C P U (Central Processing Unit)、M C U (Micro Control Unit)、D S P (Digital Signal Processor)、A S I C (Application Specific Integrated Circuit)、A S S P (Application Specific Standard Product)、メモリ (Memory) 等を含むシステム全般に、本発明を適用することができる。このような本発明が適用されたシステムの製品形態としては、例えば、S O C (システムオンチップ)、M C P (マルチチップパッケージ) や P O P (パッケージオンパッケージ) などが挙げられ、更にそれらを適用したモジュールが上げられる。これらの任意の製品形態、パッケージ形態を有するシステムに対して本発明を適用することができる。

【 0 1 8 3 】

また、トランジスタとして電界効果トランジスタ (Field Effect Transistor; FET) を用いる場合、M O S (Metal Oxide Semiconductor) 以外にも M I S (Metal-Insulator Semiconductor)、T F T (Thin Film Transistor) 等の様々な F E T に適用できる。更に、装置内に一部のバイポーラ型トランジスタを有しても良い。

【 0 1 8 4 】

更に、N M O S トランジスタ (N 型チャネル M O S トランジスタ) は、第 1 導電型のトランジスタ、P M O S トランジスタ (P 型チャネル M O S トランジスタ) は、第 2 導電型のトランジスタの代表例である。

【 0 1 8 5 】

また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【 0 1 8 6 】

さらに、本発明によるコントローラは、以下の特徴を有している。

[付記 1]

記憶セルに記憶された記憶データのリフレッシュを実行するセルフリフレッシュモードを有する少なくとも一つの半導体装置に対し、複数のコマンドを発行するコマンド発行部と、

前記半導体装置に設けられたデータ端子を介して送受信される前記記憶データを処理するデータ処理部と、を備え、

前記コマンド発行部は、

前記データ端子のインピーダンスを制御するインピーダンス制御コマンドを発行するインピーダンス制御コマンド発行部と、

前記セルフリフレッシュモードにエントリするセルフリフレッシュコマンド、前記セルフリフレッシュモードからイグジットするセルフリフレッシュイグジットコマンド、及び前記記憶データのリフレッシュを実行するオートリフレッシュコマンドを発行するサブコマンド発行部と、を含み、

前記インピーダンス制御コマンド発行部は、前記セルフリフレッシュモードの期間に前記インピーダンス制御コマンドを発行し、これにより前記データ端子のインピーダンスを制御する、ことを特徴とするコントローラ。

[付記 2]

10

20

30

40

50

更に、所定の周波数を有する同期信号を発行する同期信号発行部を備え、

前記インピーダンス制御コマンド発行部は、前記セルフリフレッシュモード以外の期間に、前記インピーダンス制御コマンドを前記同期信号とは非同期に発行する、付記 1 に記載のコントローラ。

[付記 3]

前記インピーダンス制御コマンド発行部は、前記セルフリフレッシュモード以外の期間に、前記インピーダンス制御コマンドを前記同期信号に同期させて発行する、付記 2 に記載のコントローラ。

[付記 4]

更に、所定の周波数を有する同期信号を発行する同期信号発行部を備え、
前記少なくとも一つの半導体装置は、第 1 及び第 2 の半導体装置を含み、
前記同期信号発行部は、前記同期信号を前記第 1 及び第 2 の半導体装置に共通に供給する、付記 1 乃至 3 のいずれかに記載のコントローラ。

10

[付記 5]

前記少なくとも一つの半導体装置は、第 1 及び第 2 の半導体装置を含み、
前記コマンド発行部は、前記インピーダンス制御コマンドを前記第 1 及び第 2 の半導体装置に共通に供給する、付記 1 乃至 3 のいずれかに記載のコントローラ。

[付記 6]

更に、所定の周波数を有する同期信号を発行する同期信号発行部を備え、
前記少なくとも一つの半導体装置は、第 1 及び第 2 の半導体装置を含み、
前記コントローラは、互いに異なる制御の第 1 及び第 2 の前記同期信号をそれぞれ対応する前記第 1 及び第 2 の半導体装置に供給し、且つ、互いに異なる制御の第 1 及び第 2 の前記インピーダンス制御コマンドをそれぞれ対応する前記第 1 及び第 2 の半導体装置に供給する、付記 1 乃至 3 のいずれかに記載のコントローラ。

20

[付記 7]

前記コントローラは、第 1 及び第 2 の動作モードを備え、
前記インピーダンス制御コマンド発行部は、
第 1 の動作モードにおいては、前記セルフリフレッシュモードの期間に前記インピーダンス制御コマンドを発行せず、
第 2 の動作モードにおいては、前記セルフリフレッシュモードの期間に前記インピーダンス制御コマンドを発行する、付記 1 乃至 6 のいずれかに記載のコントローラ。

30

[付記 8]

前記コントローラは、第 1 及び第 2 の動作モードを備え、
前記コマンド発行部は、更に、
所定の周波数を有する同期信号を発行する同期信号発行部と、を備え、
前記第 1 の動作モードにおいては、前記セルフリフレッシュモードの少なくとも一部の期間に前記同期信号を停止し或いはその周波数を変更し、
前記第 2 の動作モードにおいては、前記セルフリフレッシュモードの期間に前記所定の周波数を変更せずに前記同期信号を発行し続ける、付記 1 乃至 6 のいずれかに記載のコントローラ。

40

[付記 9]

前記コントローラは、第 1 及び第 2 の動作モードを備え、
前記コマンド発行部は、更に、
前記半導体装置に、前記記憶セルへのアクセスを行わせる第 1 のコマンド、及び前記データ端子から前記記憶データを出力させる第 2 のコマンドを、それぞれ前記半導体装置へ発行し、
前記第 2 のコマンド又は前記インピーダンス制御コマンドが最も早く発行できる時間として、

前記第 1 の動作モードにおいては、前記セルフリフレッシュイグジットコマンドを発行した後の第 1 の時間に、前記第 2 のコマンド又は前記インピーダンス制御コマンドを発行

50

し、

前記第 2 の動作モードにおいては、前記セルフリフレッシュイグジットコマンドを発行した後の前記第 1 の時間よりも早い第 2 の時間に、前記第 2 のコマンド又は前記インピーダンス制御コマンドを発行する、付記 1 乃至 8 のいずれかに記載のコントローラ。

[付記 1 0]

前記コントローラは、第 1 及び第 2 の動作モードを備え、

前記サブコマンド発行部は、更に、

前記半導体装置に、前記記憶セルへのアクセスを行わせる第 1 のコマンド、及び前記データ端子から前記記憶データを出力させる第 2 のコマンドを、それぞれ前記半導体装置へ発行し、

前記第 1 のコマンドが最も早く発行できる時間として、

前記第 1 の動作モードにおいては、前記セルフリフレッシュイグジットコマンドを発行した後の第 3 の時間に、前記第 1 のコマンドを発行し、

前記第 2 の動作モードにおいては、前記セルフリフレッシュイグジットコマンドを発行した後の前記第 3 の時間よりも早い第 4 の時間に、前記第 1 のコマンドを発行する、付記 1 乃至 9 のいずれかに記載のコントローラ。

[付記 1 1]

前記サブコマンド発行部は、単位期間当たりの前記セルフリフレッシュコマンドの発行数を、前記単位期間当たりの前記オートリフレッシュコマンドの発行数と一致させる、付記 1 乃至 10 のいずれかに記載のコントローラ。

[付記 1 2]

前記サブコマンド発行部は、

前記セルフリフレッシュコマンドのインターバル時間と、前記オートリフレッシュコマンドのインターバル時間とを同一として、それぞれ対応する前記セルフリフレッシュコマンド及び前記オートリフレッシュコマンドを発行する、付記 1 乃至 11 のいずれかに記載のコントローラ。

[付記 1 3]

前記サブコマンド発行部は、更に、

前記半導体装置を、パワーダウンモードにエントリさせるパワーダウンコマンドと、前記パワーダウンモードからイグジットさせるパワーダウンイグジットコマンドと、前記記憶データへのアクセスを行わせる第 1 のコマンドと、前記データ端子から前記記憶データを出力させる第 2 のコマンドと、を発行し、

前記セルフリフレッシュイグジットコマンドを発行した後、前記第 1 のコマンドを発行可能な最短時間は、前記パワーダウンイグジットコマンドを発行した後、前記第 1 のコマンドを発行可能な最短時間と等しく、

前記セルフリフレッシュイグジットコマンドを発行した後、前記第 2 のコマンドを発行可能な最短時間は、前記パワーダウンイグジットコマンドを発行した後、前記第 2 のコマンドを発行可能な最短時間と等しい、付記 1 1 又は 1 2 に記載のコントローラ。

[付記 1 4]

更に、所定の周波数を有する同期信号を発行する同期信号発行部を備え、

前記同期信号発行部は、前記セルフリフレッシュモードの少なくとも一部の期間中に前記同期信号を停止、または前記所定の周波数を変更する、付記 1 乃至 3 のいずれかに記載のコントローラ。

[付記 1 5]

前記コマンド発行部は、更に、前記半導体装置を前記第 1 又は第 2 の動作モードに設定するモードレジスタ設定コマンドを発行する、付記 7 乃至 10 のいずれかに記載のコントローラ。

[付記 1 6]

前記セルフリフレッシュコマンドと共に前記第 1 又は第 2 の動作モードを定義する付加信号を発行する、付記 7 乃至 10 のいずれかに記載のコントローラ。

10

20

30

40

50

[付記 17]

更に、前記記憶データのアドレスを指定するアドレス処理部を備え、前記データ処理部または前記アドレス処理部が前記付加信号を発行する、付記 16 に記載のコントローラ。

【 0187 】

さらに、本発明によるコントローラの制御方法は、以下の特徴を有している。

[付記 18]

記憶セルに記憶された記憶データのリフレッシュを実行するセルフリフレッシュモードを有する半導体装置に対し、前記セルフリフレッシュモードにエントリさせるセルフリフレッシュコマンドを発行し、

前記セルフリフレッシュモードからイグジットさせるセルフリフレッシュイグジットコマンドを発行し、

前記記憶データのリフレッシュを実行するオートリフレッシュコマンドを発行し、

少なくとも前記セルフリフレッシュモードの期間に、前記記憶データを前記半導体装置の外部へ出力させるデータ端子のインピーダンスを制御するインピーダンス制御コマンドを発行する、ことを特徴とするコントローラの制御方法。

[付記 19]

前記コントローラは、更に、所定の周波数を有する外部同期信号を前記半導体装置に発行し、

前記コントローラは、前記セルフリフレッシュモードの期間に、前記外部同期信号とは非同期に前記インピーダンス制御コマンドを発行する、付記 18 に記載のコントローラの制御方法。

[付記 20]

前記コントローラは、前記セルフリフレッシュモード以外の期間に、前記外部同期信号に同期して前記インピーダンス制御コマンドを発行する、付記 19 に記載のコントローラの制御方法。

[付記 21]

前記コントローラは、更に、前記半導体装置を第 1 又は第 2 の動作モードに設定し、

前記コントローラは、

前記半導体装置が前記セルフリフレッシュモード以外の期間においては、所定の周波数を有する外部同期信号を前記半導体装置に連続的に発行し、

前記半導体装置を前記第 1 の動作モードに設定させている場合には、前記セルフリフレッシュモードの期間に前記外部同期信号の発行を停止し或いはその周波数を変更し、

前記半導体装置を前記第 2 の動作モードに設定させている場合には、前記セルフリフレッシュモードにエントリの期間中であっても前記外部同期信号を停止せずに同一の周波数で発行し続ける、付記 18 乃至 20 のいずれかに記載のコントローラの制御方法。

[付記 22]

前記コントローラは、更に、

前記記憶セルへのアクセスを行う第 1 のコマンド、及び前記データ端子から前記記憶データを出力させる第 2 のコマンドを、それぞれ前記半導体装置へ発行し、

前記半導体装置を第 1 又は第 2 の動作モードに設定し、

前記第 2 のコマンド又は前記インピーダンス制御コマンドが最も早く発行できる時間として、

前記半導体装置を前記第 1 の動作モードに設定している場合には、前記セルフリフレッシュイグジットコマンドを発行した後の第 1 の時間に、第 2 のコマンド又は前記インピーダンス制御コマンドを発行し、

前記半導体装置が前記第 2 の動作モードに設定されている場合には、前記セルフリフレッシュイグジットコマンドを発行した後の前記第 1 の時間よりも早い第 2 の時間に、前記第 2 のコマンド又は前記インピーダンス制御コマンドを発行する、付記 18 乃至 21 のいずれかに記載のコントローラの制御方法。

10

20

30

40

50

[付記 2 3]

前記コントローラは、更に、
 前記記憶セルへのアクセスを行う第 1 のコマンド、及び前記データ端子から前記記憶データを出力させる第 2 のコマンドを、それぞれ前記半導体装置へ発行し、
 前記半導体装置を第 1 又は第 2 の動作モードに設定し、
 前記第 1 のコマンドが最も早く発行できる時間として、
 前記半導体装置を前記第 1 の動作モードに設定している場合には、前記セルフリフレッシュイグジットコマンドを発行した後の第 3 の時間に、第 1 のコマンドを発行し、
 前記半導体装置を前記第 2 の動作モードに設定している場合には、前記セルフリフレッシュイグジットコマンドを発行した後の前記第 3 の時間よりも早い第 4 の時間に、前記第 1 のコマンドを発行する、付記 1 8 乃至 2 0 のいずれかに記載のコントローラの制御方法。

10

[付記 2 4]

前記コントローラは、更に、
 前記記憶セルへのアクセスを行う第 1 のコマンド、パワーダウンコマンド、及びパワーダウンイグジットコマンドを、それぞれ前記半導体装置へ発行し、
 前記第 1 のコマンドが最も早く発行できる時間として、
 前記パワーダウンイグジットコマンドを発行した後の第 5 の時間に、前記第 1 のコマンドを発行し、
 前記セルフリフレッシュイグジットコマンドを発行した後の第 6 の時間に、前記第 1 のコマンドを発行し、
 前記第 5 及び第 6 の時間は、同一の時間長である、付記 1 8 乃至 2 3 のいずれかに記載のコントローラの制御方法。

20

[付記 2 5]

前記コントローラは、更に、
 前記セルフリフレッシュコマンドのインターバル時間と、前記オートリフレッシュコマンドのインターバル時間とを同一として、それぞれ対応する前記セルフリフレッシュコマンド及び前記オートリフレッシュコマンドを発行する、付記 2 4 に記載の情報処理システムの制御方法。

30

【 0 1 8 8 】

さらに、本発明による情報システムの制御方法は、以下の特徴を有している。

[付記 2 6]

コントローラは、
 セルフリフレッシュコマンド及びセルフリフレッシュイグジットコマンド、オートリフレッシュコマンド、並びにインピーダンス制御コマンドを、それぞれ半導体装置へ発行し、
 前記半導体装置は、
 前記セルフリフレッシュコマンドに対応して、メモリセルアレイが含む記憶セルに記憶された記憶データのリフレッシュを実行するセルフリフレッシュモードにエントリし、
 前記セルフリフレッシュイグジットコマンドに対応して、前記セルフリフレッシュモードからイグジットし、
 前記オートリフレッシュコマンドに対応して、前記記憶データのリフレッシュを実行し、
 前記インピーダンス制御コマンドに対応して、前記記憶データを外部へ出力するデータ端子のインピーダンスを制御し、
 前記コントローラは、少なくとも前記セルフリフレッシュモードの期間に前記インピーダンス制御コマンドを発行する、ことを特徴とする情報処理システムの制御方法。

40

[付記 2 7]

前記コントローラは、更に、所定の周波数を有する外部同期信号を前記半導体装置へ発行し、
 前記半導体装置は、前記セルフリフレッシュモードの期間に前記外部同期信号とは非

50

同期に前記データ端子のインピーダンスを制御する、付記 26 に記載の情報処理システムの制御方法。

[付記 28]

前記コントローラは、更に、前記半導体装置を前記セルフリフレッシュモードにエントリさせていない期間において、前記インピーダンス制御信号を発行し、

前記半導体装置は、前記セルフリフレッシュモード以外の期間に、前記外部同期信号に同期して前記データ端子のインピーダンスを制御する、付記 27 に記載の情報処理システムの制御方法。

[付記 29]

前記コントローラは、更に、

所定の周波数を有する外部同期信号を前記半導体装置へ発行し、

前記半導体装置を第 1 又は第 2 の動作モードに設定し、

前記第 1 の動作モードにおいて、前記セルフリフレッシュモードの期間に前記外部同期信号を停止し或いはその周波数を変更し、

前記第 2 の動作モードにおいて、前記セルフリフレッシュモードの期間に前記所定の周波数を変更せずに前記外部同期信号を発行し続ける、付記 26 乃至 28 のいずれかに記載の情報処理システムの制御方法。

[付記 30]

前記コントローラは、更に、

前記記憶セルへのアクセスを行う第 1 のコマンド、及び前記データ端子から前記記憶データを出力させる第 2 のコマンドを、それぞれ前記半導体装置へ発行し、

前記半導体装置を第 1 又は第 2 の動作モードに設定し、

前記第 2 のコマンド又は前記インピーダンス制御コマンドが最も早く発行できる時間として、

前記第 2 のコマンド又は前記インピーダンス制御コマンドが最も早く発行できる時間として、

前記第 1 の動作モードにおいては、前記セルフリフレッシュイグジットコマンドを発行した後の第 1 の時間に、前記第 2 のコマンド又は前記インピーダンス制御コマンドを発行し、

前記第 2 の動作モードにおいては、前記セルフリフレッシュイグジットコマンドを発行した後の前記第 1 の時間よりも早い第 2 の時間に、前記第 2 のコマンド又は前記インピーダンス制御コマンドを発行し、

前記半導体装置は、前記第 2 のコマンドに対応して、前記データ端子から前記記憶データを出力する、付記 26 乃至 29 のいずれかに記載の情報処理システムの制御方法。

[付記 31]

前記コントローラは、更に、

前記記憶セルへのアクセスを行う第 1 のコマンド、及び前記データ端子から前記記憶データを出力させる第 2 のコマンドを、それぞれ前記半導体装置へ発行し、

前記半導体装置を第 1 又は第 2 の動作モードに設定し、

前記第 1 のコマンドが最も早く発行できる時間として、

前記第 1 の動作モードにおいては、前記セルフリフレッシュイグジットコマンドを発行した後の第 3 の時間に、前記第 1 のコマンドを発行し、

前記第 2 の動作モードにおいては、前記セルフリフレッシュイグジットコマンドを発行した後の前記第 3 の時間よりも早い第 4 の時間に、前記第 1 のコマンドを発行し、

前記半導体装置は、前記第 1 のコマンドに対応して、前記記憶セルにアクセスする、付記 26 乃至 30 のいずれかに記載の情報処理システムの制御方法。

[付記 32]

前記コントローラは、更に、

前記記憶セルへのアクセスを行う第 1 のコマンド、パワーダウンコマンド、及びパワーダウングジットコマンドを、それぞれ前記半導体装置へ発行し、

10

20

30

40

50

前記第 1 のコマンドが最も早く発行できる時間として、
前記パワーダウングジットコマンドを発行した後の第 5 の時間に、前記第 1 のコマンドを発行し、

前記セルフリフレッシュイグジットコマンドを発行した後の第 6 の時間に、前記第 1 のコマンドを発行し、

前記第 5 及び第 6 の時間は、同一の時間長であり、

前記半導体装置は、

前記第 1 のコマンドに対応して、前記記憶セルをアクセスし、

前記パワーダウンコマンドを受信して、パワーダウンモードにエントリし、前記記憶データのリフレッシュを行わず、前記半導体装置をパワーダウンし、

前記パワーダウングジットコマンドを受信して、前記パワーダウンモードを解除し、前記第 1 のコマンドを受信して、前記記憶セルへのアクセスを実行する、付記 2 6 乃至 3 0 のいずれかに記載の情報処理システムの制御方法。

[付記 3 3]

前記コントローラは、更に、

前記セルフリフレッシュコマンドのインターバル時間と、前記オートリフレッシュコマンドのインターバル時間とを同一として、それぞれ対応する前記セルフリフレッシュコマンド及び前記オートリフレッシュコマンドを発行する、付記 3 2 に記載の情報処理システムの制御方法。

[付記 3 4]

前記コントローラは、更に、前記セルフリフレッシュモードの期間に所定の周波数を有する外部同期信号を前記半導体装置に発行し、

前記半導体装置は、前記セルフリフレッシュモードの期間に、前記外部同期信号が供給される第 1 の入力バッファ回路及びその出力信号が供給され内部同期信号を生成する D L L 回路を、互いに連動して間欠的に活性化させる、付記 2 6 乃至 3 0 のいずれかに記載の情報処理システムの制御方法。

[付記 3 5]

前記半導体装置は、前記セルフリフレッシュモードの期間に、前記 D L L 回路を間欠的に活性化させながらその都度更新される前記 D L L 回路が有する遅延量に関連する保持情報を維持する、付記 3 4 に記載の情報処理システムの制御方法。

[付記 3 6]

前記半導体装置は、

前記オートリフレッシュコマンドに対応して、前記メモリセルアレイに含まれる n 個のメモリセルの記憶データをリフレッシュし、

前記セルフリフレッシュモードの期間において、外部とは非同期な第 1 の周期毎にアドレスを変えて前記 n 個よりも少ない m 個のメモリセルの記憶データをリフレッシュする、付記 2 6 乃至 2 8 のいずれかに記載の情報処理システムの制御方法。

[付記 3 7]

前記コントローラは、更に、前記半導体装置を第 1 又は第 2 の動作モードに設定し、

前記半導体装置は、

前記第 1 の動作モードに設定されている場合には、前記セルフリフレッシュモード期間中に、前記第 1 の周期よりも長く外部とは非同期な第 2 の周期毎に前記 n 個のメモリセルをリフレッシュし、

前記第 2 の動作モードに設定されている場合には、前記セルフリフレッシュモード期間中に、前記第 1 の周期毎にアドレスを変えて前記 m 個のメモリセルの記憶データをリフレッシュする、付記 3 6 に記載の情報処理システムの制御方法。

[付記 3 8]

前記コントローラは、更に、前記セルフリフレッシュモードの少なくとも一部の期間に所定の周波数を有する外部同期信号を前記半導体装置に発行し、

前記半導体装置は、

前記オートリフレッシュコマンドに同期して、第 1 の時間で前記メモリセルアレイに含まれる n 個のメモリセルの記憶データをリフレッシュし、

前記セルフリフレッシュコマンドに同期して、前記第 1 の時間で前記メモリセルアレイに含まれる n 個のメモリセルの記憶データをリフレッシュするとともに、前記セルフリフレッシュモードにエントリし、

前記セルフリフレッシュモードに対応して、前記外部同期信号に基づいて位相制御された内部同期信号を生成する D L L 回路を一時的に所定時間活性化させ、これにより前記 D L L 回路が有する遅延量に関連する保持情報を更新する、付記 2 6 乃至 2 8 のいずれかに記載の情報処理システムの制御方法。

[付記 3 9]

前記半導体装置は、

前記セルフリフレッシュコマンドまたは前記セルフリフレッシュイグジットコマンドに同期して前記 D L L 回路を一時的に所定時間活性化する、付記 2 6 乃至 2 8 のいずれかに記載の情報処理システムの制御方法。

[付記 4 0]

前記コントローラは、更に、

前記半導体装置を第 1 又は第 2 の動作モードに設定し、

前記第 1 の動作モードにおいては、前記セルフリフレッシュモードの期間に前記外部同期信号を発行せず、

前記第 2 の動作モードにおいては、前記セルフリフレッシュモードの少なくとも一部の期間に前記外部同期信号を発行し、

前記半導体装置は、

前記第 1 の動作モードにおいては、前記セルフリフレッシュモードの期間に、前記第 1 の時間で n 個のメモリセルをリフレッシュするセットを、外部とは非同期に周期的に繰り返す、

前記第 2 の動作モードにおいては、前記セルフリフレッシュコマンドに同期して、前記セットを一回実行する、付記 3 9 に記載の情報処理システムの制御方法。

[付記 4 1]

前記半導体装置は、

前記第 1 の動作モードにおいては、前記セルフリフレッシュコマンドにตอบสนองして前記 D L L 回路が有する遅延量に関連する前記保持情報をリセットし、前記セルフリフレッシュイグジットコマンドにตอบสนองして前記 D L L 回路を活性化させ、

前記第 2 の動作モードにおいては、前記セルフリフレッシュコマンドにตอบสนองして前記保持情報をリセットせずに維持し、前記セルフリフレッシュイグジットコマンドにตอบสนองして前記 D L L 回路を活性化させ前記保持情報を更新する、付記 3 9 又は 4 0 に記載の情報処理システムの制御方法。

【 0 1 8 9 】

さらに、本発明による半導体装置は、以下の特徴を有している。

[付記 4 2]

所定の周波数を有する外部同期信号が外部から供給される第 1 の入力バッファ回路と、前記第 1 の入力バッファ回路に供給された前記外部同期信号に基づいて、位相制御された内部同期信号を生成する D L L 回路と、

記憶データのリフレッシュが必要な複数のメモリセルを有するメモリセルアレイと、

前記メモリセルアレイから読み出された記憶データを、前記内部同期信号に同期してデータ端子から外部へ出力する出力バッファ回路と、

前記データ端子のインピーダンスを制御するインピーダンス制御信号が、外部から供給される第 2 の入力バッファ回路と、

アクセス制御回路と、を備え、

前記アクセス制御回路は、

セルフリフレッシュコマンドにตอบสนองして前記記憶データのリフレッシュを実行するセル

10

20

30

40

50

フリフレッシュモードにエントリし、
オートリフレッシュコマンドに対応して、前記記憶データのリフレッシュを実行し、
セルフリフレッシュイグジットコマンドに応答して前記セルフリフレッシュモードからイ
グジットし、

前記セルフリフレッシュモードの期間に前記インピーダンス制御信号が発行されたこと
に
応答して、前記データ端子のインピーダンスを制御する、ことを特徴とする半導体装置
。

[付記 4 3]

前記セルフリフレッシュモードの期間に前記インピーダンス制御信号が発行されたこと
に
応答して、前記外部同期信号及び前記内部同期信号とは非同期に前記データ端子のイン
ピーダンスを制御する、付記 4 2 に記載の半導体装置。

10

[付記 4 4]

前記セルフリフレッシュモード以外の期間に前記インピーダンス制御信号が発行された
こと
に
応答して、前記外部同期信号又は内部同期信号に同期して前記データ端子のインピ
ーダンスを制御する、付記 4 2 又は 4 3 に記載の半導体装置。

[付記 4 5]

更に、前記第 2 の入力バッファ回路の出力信号を前記第 1 の入力バッファ回路の出力信
号
に同期してラッチするラッチ回路を備え、

前記ラッチ回路は、前記セルフリフレッシュモードの期間においてはバイパスされる、
付記 4 2 乃至 4 4 のいずれかに記載の半導体装置。

20

[付記 4 6]

更に、第 1 の入力ノードに前記ラッチ回路の出力信号が供給され、第 2 の入力ノードに
前記第 2 の入力バッファ回路の出力信号が供給され、前記第 1 及び第 2 の入力ノードのい
ずれか一方が出力ノードに接続されるスイッチ回路を備え、

前記セルフリフレッシュモードにエントリしている期間においては、前記スイッチ回路
の前記第 2 の入力ノードが前記出力ノードに接続される、付記 4 5 に記載の半導体装置。

[付記 4 7]

前記セルフリフレッシュモードにエントリ以外の期間においては、前記スイッチ回路の
前記第 1 の入力ノードが前記出力ノードに接続される、付記 4 5 又は 4 6 に記載の半導体
装置。

30

[付記 4 8]

前記半導体装置は、更に、第 1 及び第 2 の動作モードを備え、

前記アクセス制御回路は、

前記第 1 の動作モードにおいては、前記セルフリフレッシュモードの期間に、前記第 2
の
入力バッファ回路を非活性化させ、

前記第 2 の動作モードにおいては、前記セルフリフレッシュモードの期間に、前記第 2
の
入力バッファ回路を活性化させる、付記 4 2 乃至 4 7 のいずれかに記載の半導体装置。

[付記 4 9]

更に、前記第 2 の入力バッファ回路の出力信号を前記第 1 の入力バッファ回路の出力信
号
に同期してラッチするラッチ回路を備え、

40

前記アクセス制御回路は、

前記第 2 の動作モードにおいては、前記セルフリフレッシュモードの期間に前記ラッチ
回路がバイパスされる、付記 4 8 に記載の半導体装置。

[付記 5 0]

前記アクセス制御回路は、

前記セルフリフレッシュモードの期間においては、前記外部同期信号とは非同期に前記
記憶データのリフレッシュを周期的に実行し、

前記セルフリフレッシュモードの期間に、前記第 1 の入力バッファ回路及び前記 D L L
回路を互いに連動して間欠的に活性化させる、付記 4 2 乃至 4 9 のいずれかに記載の半導
体装置。

50

[付記 5 1]

前記アクセス制御回路は、

前記オートリフレッシュコマンドに応答して前記メモリセルアレイに含まれる n 個のメモリセルの記憶データをリフレッシュし、

前記セルフリフレッシュモードの期間において、外部とは非同期な第 1 の周期毎にアドレスを変えて前記 n 個よりも少ない m 個のメモリセルの記憶データをリフレッシュする、付記 4 2 乃至 5 0 のいずれかに記載の半導体装置。

[付記 5 2]

前記アクセス制御回路は、

前記オートリフレッシュコマンドに同期して、第 1 の時間で前記メモリセルアレイに含まれる n 個のメモリセルの記憶データをリフレッシュし、

前記セルフリフレッシュコマンドに同期して、前記第 1 の時間で前記メモリセルアレイに含まれる n 個のメモリセルの記憶データをリフレッシュするとともに、前記セルフリフレッシュモードにエントリし、

前記セルフリフレッシュモードに対応して、前記外部同期信号に基づいて位相制御された内部同期信号を生成する D L L 回路を一時的に所定時間活性化させ、これにより前記 D L L 回路が有する遅延量に関連する保持情報を更新する、付記 4 2 乃至 4 9 のいずれかに記載の半導体装置。

[付記 5 3]

前記アクセス制御回路は、前記セルフリフレッシュモードの期間は、前記第 1 の入力バッファ回路を非活性化させる、付記 4 2 乃至 4 9 のいずれかに記載の半導体装置。

[付記 5 4]

前記アクセス制御回路は、前記セルフリフレッシュモードにエントリしているか否かにかかわらず、前記第 2 の入力バッファ回路を活性化させる、付記 5 3 に記載の半導体装置。

[付記 5 5]

前記半導体装置は、外部から供給されるモードレジスタ設定コマンドによって前記第 1 又は第 2 の動作モードに設定される、付記 4 8 又は 4 9 に記載の半導体装置。

[付記 5 6]

前記半導体装置は、前記セルフリフレッシュコマンドと共に外部から供給される付加信号によって前記第 1 又は第 2 の動作モードに設定される、付記 4 8 又は 4 9 に記載の半導体装置。

【符号の説明】

【 0 1 9 0 】

1 0 , 1 0 a , 1 0 b 半導体装置

1 1 メモリセルアレイ

1 2 ロウデコーダ

1 3 カラムデコーダ

1 4 センス回路

1 5 アンプ回路

2 0 , 2 0 a , 2 0 b アクセス制御回路

2 1 アドレス端子

2 2 コマンド端子

2 3 , 2 4 クロック端子

2 5 クロックイネーブル端子

2 6 O D T 端子

2 7 モードレジスタ

2 8 チップ選択端子

3 0 データ入出力回路

3 0 a 出力バッファ回路

10

20

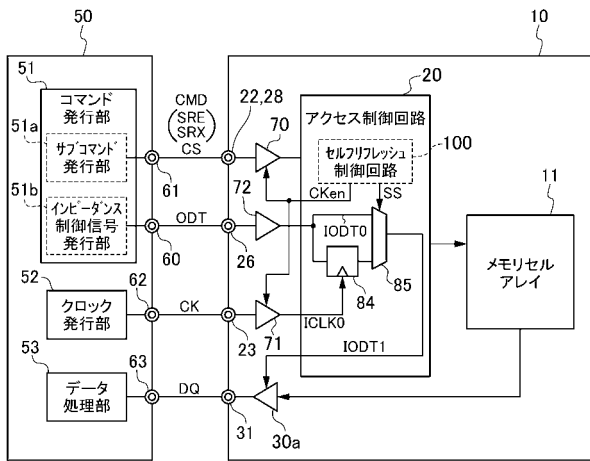
30

40

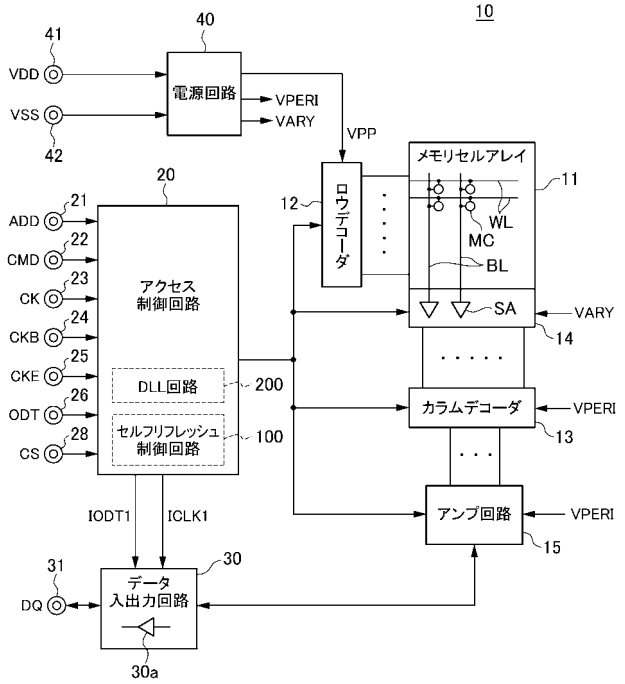
50

3 1	データ端子	
4 0	電源回路	
4 1 , 4 2	電源端子	
5 0	コントローラ	
5 1	コマンド発行部	
5 1 a	サブコマンド発行部	
5 1 b	インピーダンス制御信号発行部	
5 2	クロック発行部	
5 3	データ処理部	
6 0	インピーダンス制御端子	10
6 1	コマンド端子	
6 2	クロック端子	
6 3	データ端子	
7 0 , 7 1 ~ 7 3 , 7 2 a	入力バッファ回路	
8 2 ~ 8 4	ラッチ回路	
8 5	セレクタ	
9 0	リフレッシュカウンタ	
9 1	オートリフレッシュカウンタ	
9 2	セルフリフレッシュカウンタ	
9 5	ロウコントロール回路	20
1 0 0 , 1 0 0 b , 1 0 0 c	セルフリフレッシュ制御回路	
1 2 0	クロック発行部	
1 5 0	オシレータ	
2 0 0	D L L 回路	
2 1 0	ディレイライン	
2 2 0	カウンタ回路	
2 3 0	レプリカバッファ回路	
2 4 0	位相比較回路	
2 5 0	D L L 制御回路	
3 0 0	パッケージ基板	30
3 0 1	接着剤	
3 0 2	ボンディングワイヤ	
3 0 3	外部端子	
3 0 4	封止樹脂	
C K , C K B	外部クロック信号	
C K E	クロックイネーブル信号	
C S	チップ選択信号	
E N D	更新終了信号	
I C L K 0 , I C L K 1	内部クロック信号	
O D T , I O D T 0 , I O D T 1	インピーダンス制御信号	40
L 1 , L 2	ラッチ回路	
S R E	セルフリフレッシュコマンド	
S R X	セルフリフレッシュイグジットコマンド	
S S	セルフステート信号	
S T	更新開始信号	

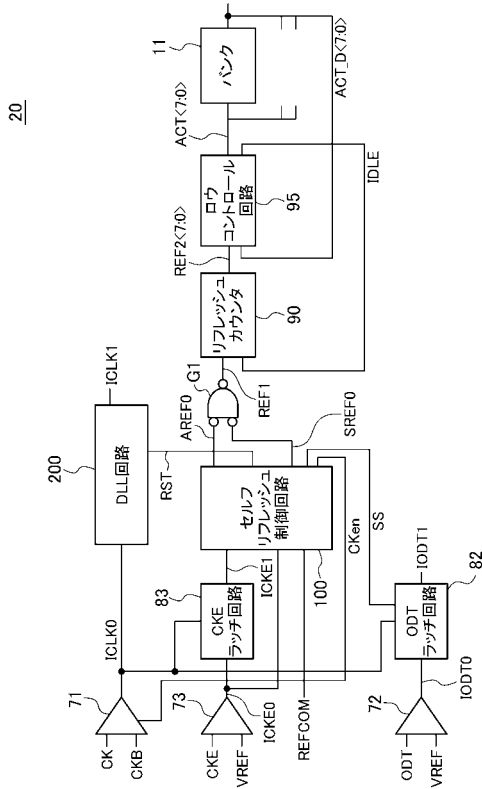
【 図 1 】



【 図 2 】



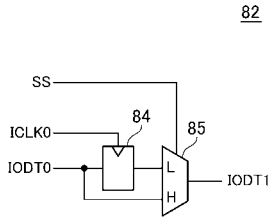
【 図 3 】



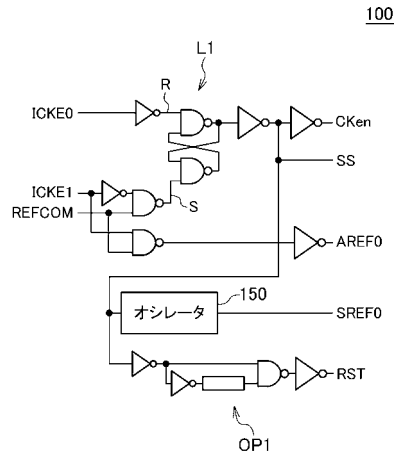
【 図 4 】

シンボル	CKE		CSB	FASB	CASB	WEB
	前サイクル	現サイクル				
REF	H	H	L	L	L	H
SRE	H	L	L	L	L	H
SRX	L	H	H	-	-	-
PDE	H	L	L	H	H	H
PDX	L	H	H	-	-	-

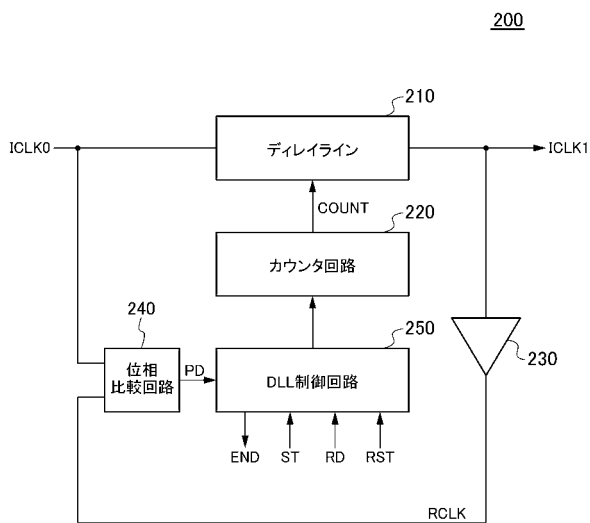
【 図 5 】



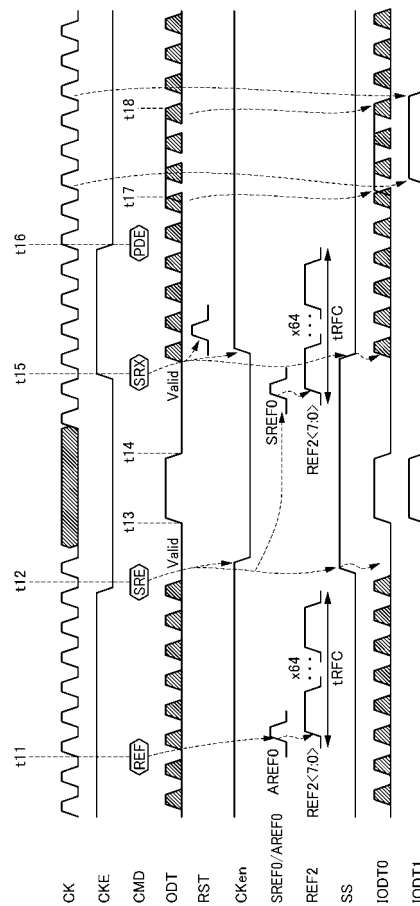
【 図 6 】



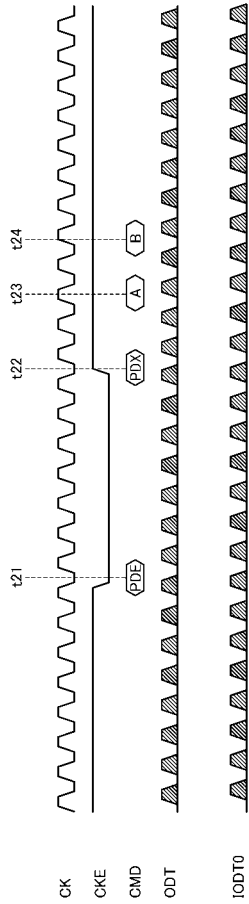
【 図 7 】



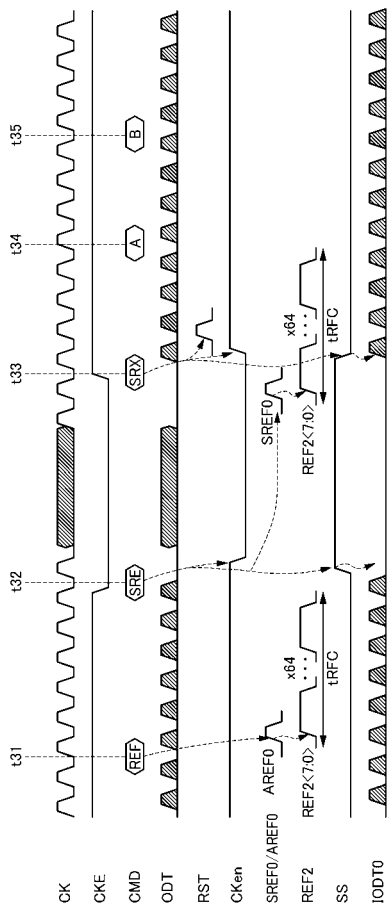
【 図 8 】



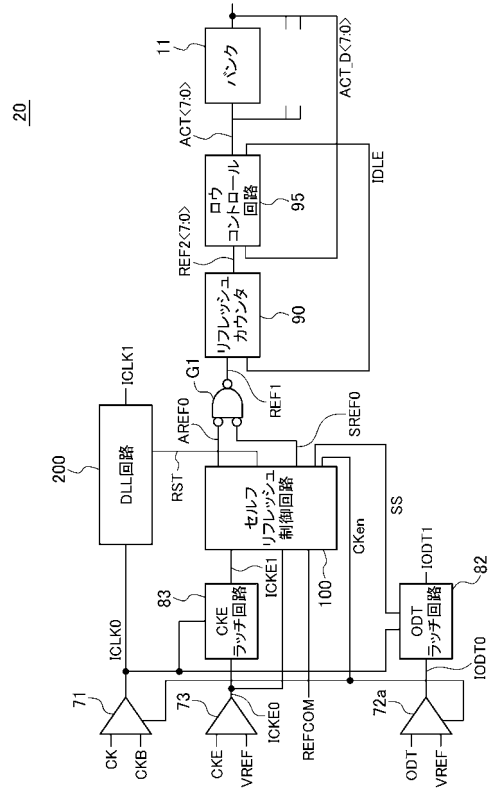
【図 9】



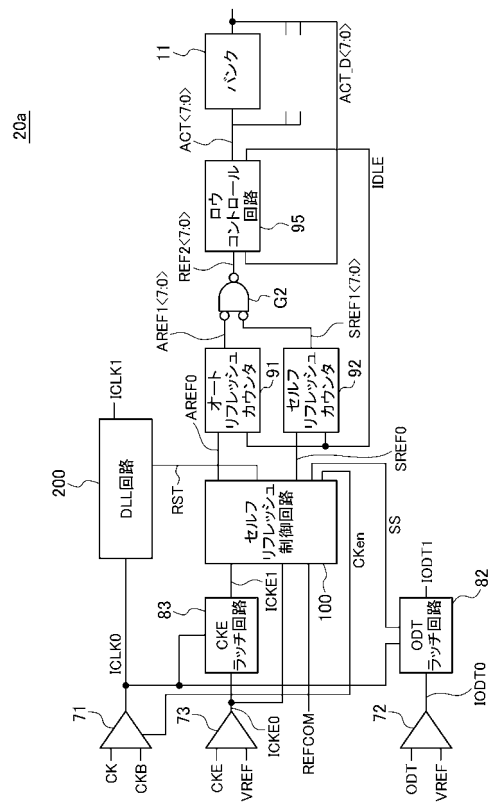
【図 11】



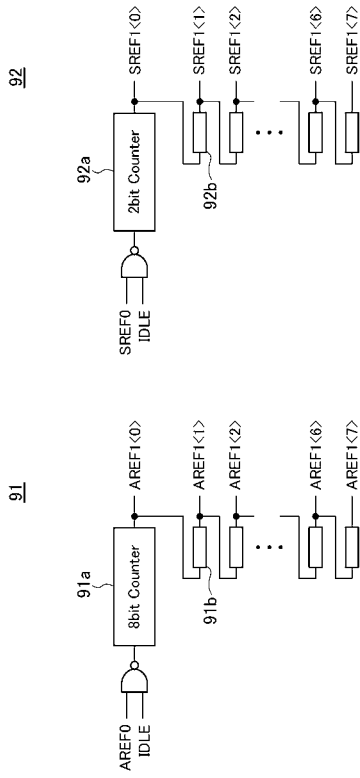
【図 10】



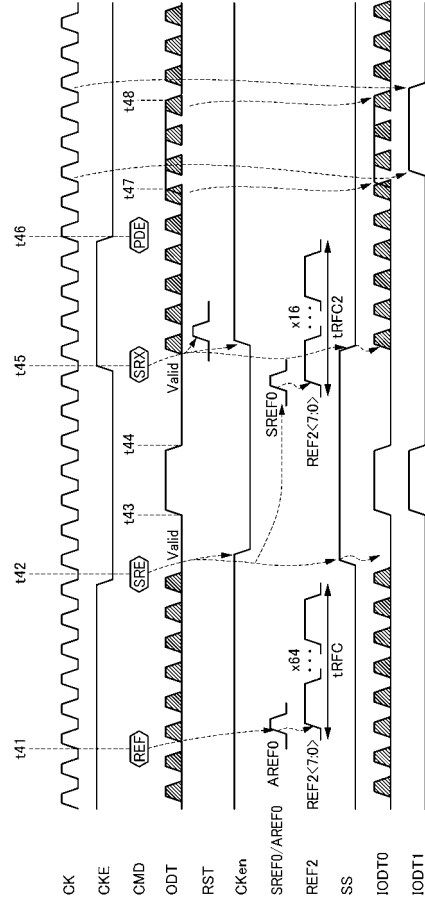
【図 12】



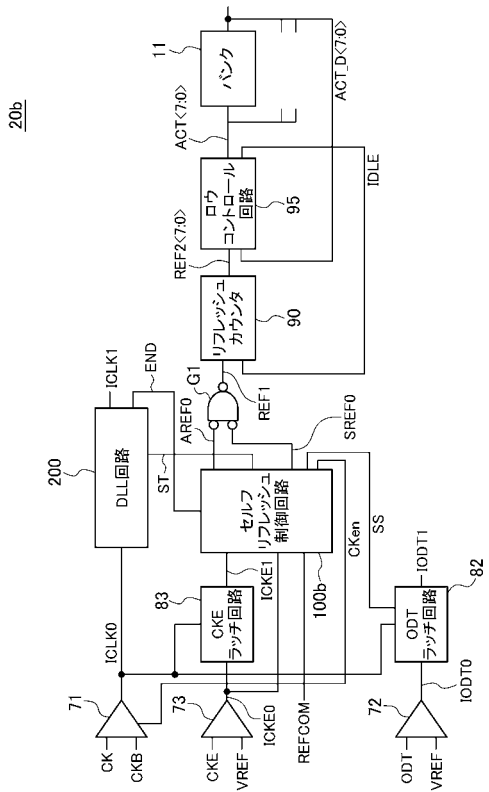
【 図 1 3 】



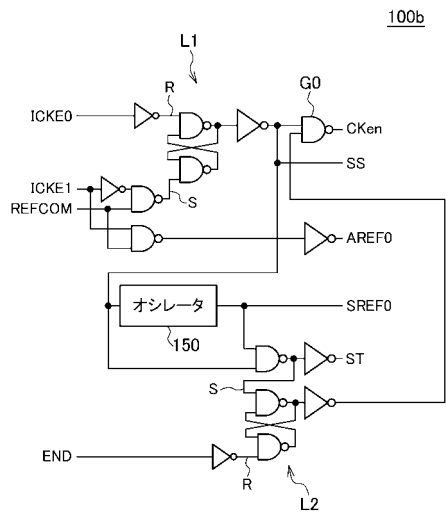
【 図 1 4 】



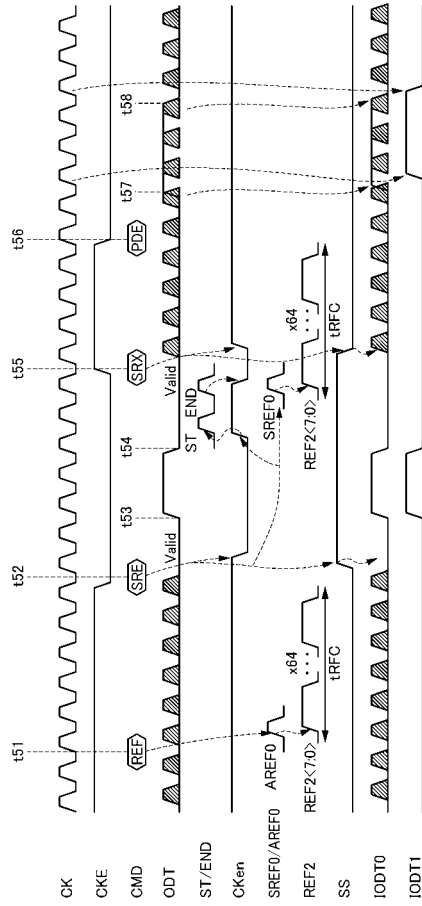
【 図 1 5 】



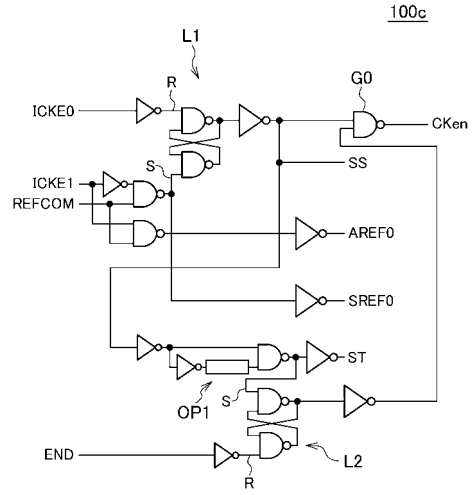
【 図 1 6 】



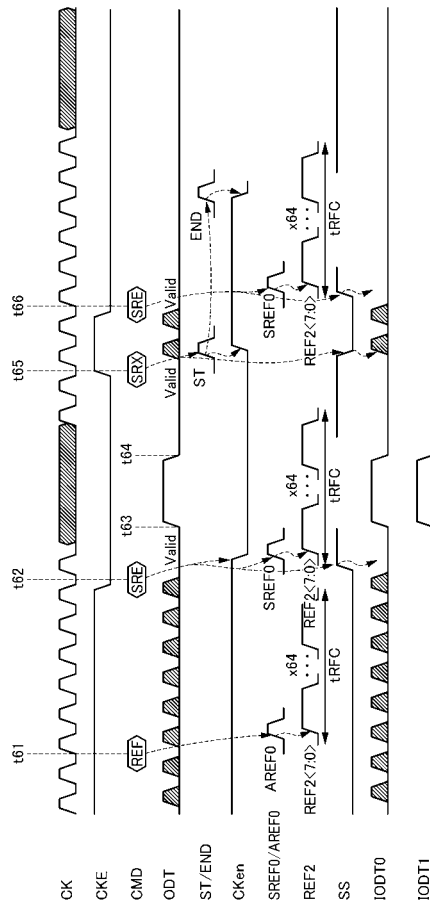
【 17 】



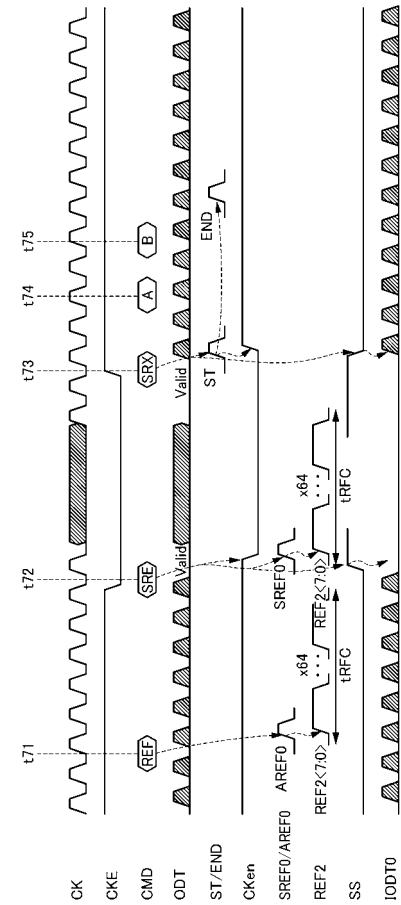
【 18 】



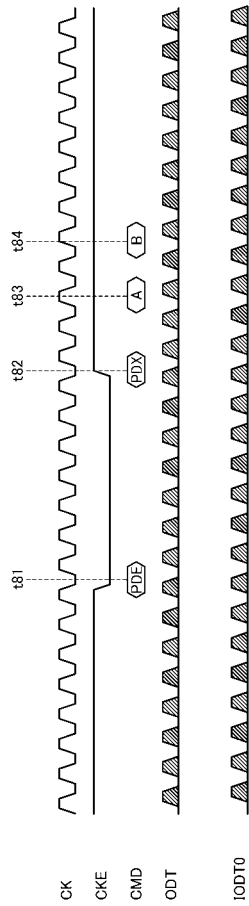
【 19 】



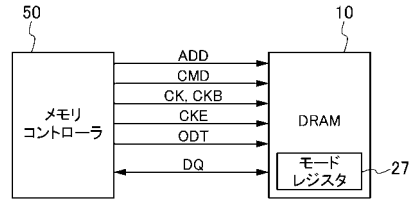
【 20 】



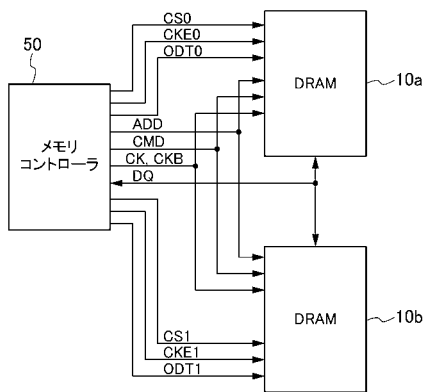
【 図 2 1 】



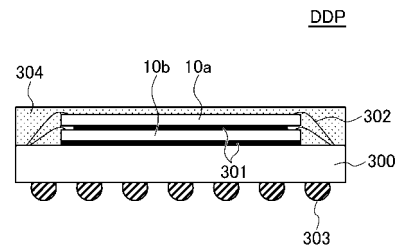
【 図 2 2 】



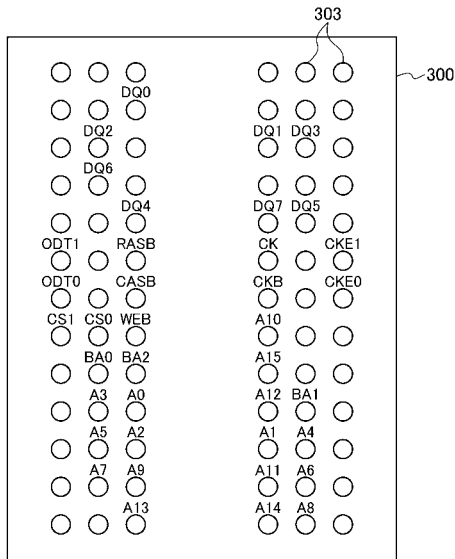
【 図 2 3 】



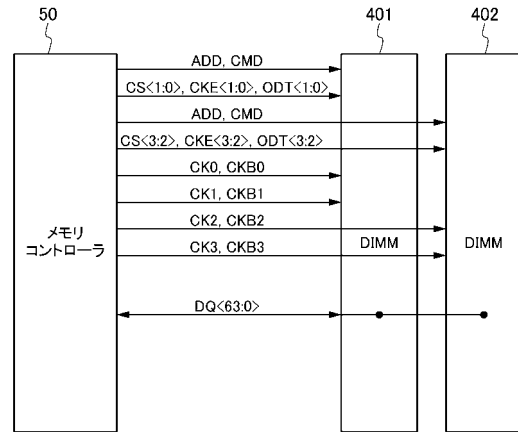
【 図 2 4 】



【 図 2 5 】



【 図 2 6 】



【 図 2 7 】

DIMM401		DIMM402	
ランク1	ランク2	ランク1	ランク2
120 Ω	ODT off	ODT off	30 Ω

(a)

DIMM401		DIMM402	
ランク1	ランク2	ランク1	ランク2
ODT off	30 Ω	120 Ω	ODT off

(b)

DIMM401		DIMM402	
ランク1	ランク2	ランク1	ランク2
ODT off	ODT off	ODT off	30 Ω

(c)

DIMM401		DIMM402	
ランク1	ランク2	ランク1	ランク2
ODT off	30 Ω	ODT off	ODT off

(d)

フロントページの続き

Fターム(参考) 5M024 AA82 BB03 BB04 BB22 BB27 BB33 BB37 BB39 DD19 DD40
DD60 DD82 DD85 EE02 EE05 EE12 EE13 EE24 FF02 FF03
GG01 GG06 JJ32 JJ34 JJ36 JJ38 JJ52 JJ56 JJ58 JJ59
LL16 LL17 PP01 PP02 PP07