

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2015년 1월 8일 (08.01.2015)



(10) 국제공개번호
WO 2015/002473 A1

- (51) 국제특허분류:
H01L 33/42 (2010.01) *H01L 33/36* (2010.01)
- (21) 국제출원번호: PCT/KR2014/005930
- (22) 국제출원일: 2014년 7월 3일 (03.07.2014)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2013-0077913 2013년 7월 3일 (03.07.2013) KR
- (71) 출원인: **고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION)** [KR/KR]; 136-701 서울시 성북구 안암로 145, 고려대학교 (안암동 5가), Seoul (KR).
- (72) 발명자: **김태근 (KIM, Tae Geun)**; 463-905 경기도 성남시 분당구 양현로 94 번길 29, 601 동 1105 호 (이매동, 이매촌청구아파트), Gyeonggi-do (KR). **김희동 (KIM, Hee Dong)**; 136-701 서울시 성북구 안암로 145, 고려대학교 자연계캠퍼스 공학관 436 호 (안암동 5가), Seoul (KR).
- (74) 대리인: **특허법인 엠에이피에스 (MAPS INTELLECTUAL PROPERTY LAW FIRM)**; 137-810 서울시 서초구 사평대로 343, 4 층(반포동, 체일약품빌딩), Seoul (KR).

- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

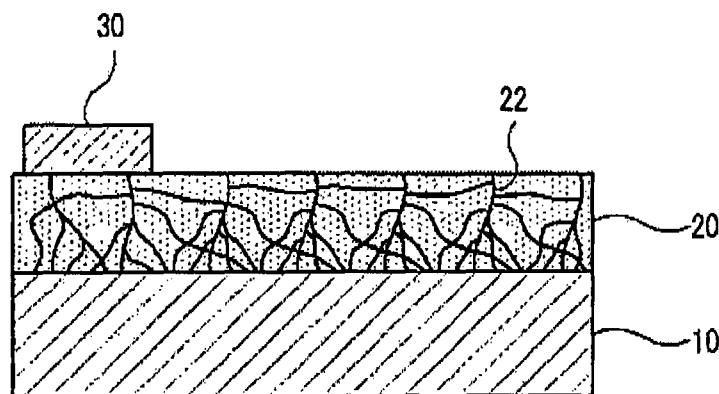
공개:

- 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: SEMICONDUCTOR ELEMENT INCLUDING TRANSPARENT ELECTRODE AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭 : 투명전극을 포함하는 반도체 소자 및 그 제조방법

[Fig. 2]



(57) Abstract: The present invention relates to a wafer level package for an image sensor and a method for manufacturing the same, wherein the package comprises: a wafer having one side surface, the other side spaced apart from the one side surface, and a pad provided on the one side surface; a cavity partition layer formed on the pad; and a cover glass substrate coupled to the cavity partition layer, wherein the cavity partition layer is formed on the one side surface of the wafer by using a dry film through a photolithography process.

(57) 요약서: 본 발명은 이미지 센서용 웨이퍼 레벨 패키지 및 그 제조방법에 관한 것으로서, 일측면과 상기 일측면으로부터 이격되는 타측면을 가지며, 상기 일측면에 패드가 구비된 웨이퍼; 상기 패드 상에 형성되는 캐비티 격벽층; 및 상기 캐비티 격벽층과 결합되는 커버 글라스 기판을 포함하되, 상기 캐비티 격벽층은 상기 웨이퍼의 상기 일측면에 드라이 필름을 이용하여 포토리소그래피 공정으로 형성한다.



WO 2015/002473 A1

명세서

발명의 명칭: 투명전극을 포함하는 반도체 소자 및 그 제조방법 기술분야

- [1] 본 발명은 투명전극을 포함하는 반도체 소자 및 그 제조 방법에 관한 것이다.

배경기술

- [2] 투명전극은 LED, 태양전지, 의료용 자외선 소독기, 수산업 등 다양한 분야에서 이용되고 있고, 점점 그 응용 분야와 그 수요가 증대되는 추세에 있다. 특히, 투명전극은 LED 분야에서 많이 이용되고 있다. LED에 적용되는 현재의 투명전극기술은 가시광 영역(400nm-800nm)과 전체 자외선 영역(10nm-400nm) 중 일부 영역(365nm~400nm)까지 적용될 수 있는 ITO(Indium Tin Oxide) 기반의 기술이 주를 이루고 있다.
- [3] 최근에는, 자외선 영역의 빛을 발생시키는 UV LED에 대한 수요가 급속히 증가하고 있다. 그러나, 자외선 영역에서 고전도성과 고투과도를 나타내는 투명전극이 현재까지 개발되지 못하여, 자외선 LED는 상용화되기 어려운 실정이다.
- [4] 예컨대, 현재 가장 많이 이용되고 있는 ITO 투명전극이 형성된 UV LED의 경우에, 활성층에서 생성된 단파장의 자외선 영역(10nm~320nm)의 빛은 대부분 ITO에서 흡수된다. 때문에, ITO를 투과하여 외부로 추출되는 빛은 1%정도에 불과하다.
- [5] 도 1은 종래기술에 따른 LED 구조에서의 투과도를 도시한 도면이다.
- [6] P-GaN 반도체층에 종래의 ITO 투명전극을 형성한 경우의 투과도를 도시한 것이다.
- [7] 도시된 바와 같이, P-GaN 반도체층에 종래의 ITO 투명전극을 형성한 경우, 파장이 350nm 이상인 영역에서는 80% 이상의 투과도를 나타낸다. 그러나, 단파장의 자외선 영역에서는 투과도가 급격히 감소하는 것을 확인할 수 있다. 특히, 116nm 이하의 단파장 영역에서는 투과도가 20%이하로 감소하고 있다.
- [8] 이러한 문제점을 해결하기 위한 다른 종래기술은 p-AlGaIn와 같은 반도체층위에 투명전극을 형성하지 않고, 금속 전극 패드를 직접 형성하였다. 그러나, 이러한 기술은 금속과 반도체층 사이의 일함수의 차이가 너무 커서 옴믹 접촉(Ohmic Contact)이 이루어지지 않는 문제점이 있다. 또한, 전류가 금속 전극 패드에 집중되고 활성층 전체로 공급되지 않아 활성층에서 발생하는 빛의 양이 현저하게 감소하는 문제점이 발생한다.
- [9] 이러한 문제를 해결하기 위해서, 다양한 연구들이 진행되고 있다. 하지만, 아직까지 자외선 영역에서 고전도성과 고투과도를 동시에 나타내는 투명전극은 개발되지 못한 상태이다. 이는 물질의 전도성과 투과도는 서로 트레이드 오프관계를 가지고 있기 때문이다. 자외선 영역에서 이용될 수 있을 만큼 높은

투과도를 가지는 물질은 큰 밴드갭(band-gap)을 가진다. 따라서, 전극으로 이용되기에는 전도성이 매우 낮고, 반도체 물질과 오믹 접촉이 이루어지지 않아 전극으로 이용하는 것이 불가능하다.

- [10] 이러한 문제점을 해결하기 위해 제안된 기술의 일례로서, 투명전극을 은(Ag) 박막으로 형성하는 기술이 한국특허출원 제 10-2007-0097545 호로서 출원되었다. 종래 기술에서 은(Ag)을 이용하여 투명전극을 형성하는 경우, 오믹 접촉이 이루어지도록 반도체층 위에 은(Ag)을 얇게 증착한다. 그러나, 반도체층 위에 은(Ag)을 얇게 증착하는 것은 매우 어려울 뿐만 아니라, 은(Ag)을 반도체층 위에 얇게 증착한다 하더라도 한국특허출원 제 10-2007-0097545 호 도 4의 그래프에 도시된 바와 같이, 단파장의 자외선 영역에서는 투과도가 급격히 감소한다. 한국특허출원 제 10-2007-0097545 호 도 4의 그래프에는 빛의 파장이 420nm 이하인 영역에서는 투과도가 80%이하로 급격히 하락하고, 빛의 파장이 380nm 이하인 영역에서는 투과도가 50% 이하로 감소하는 결과를 보여주고 있다. 따라서, 투명전극을 은(Ag) 박막으로 형성하는 기술은 종래의 ITO 전극과 투과도에서 차이가 없으며, 실질적으로 자외선 영역의 투과도 개선을 기대하기 어렵다.

발명의 상세한 설명

기술적 과제

- [11] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 가시광 영역뿐만 아니라, 단파장의 자외선 영역에서도 고투과도와 고전도성을 나타내며, 반도체층과 양호한 오믹 접촉 특성을 나타내는 투명전극을 포함하는 반도체 소자 및 그 제조 방법을 제공하는 것이다.
- [12] 아울러, 개선된 투명전극을 포함하는 발광소자, 유기 발광소자, 수광소자 및 그 제조 방법을 제공한다.

과제 해결 수단

- [13] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 제 1 측면에 따른 반도체 소자는 반도체 층 및 상기 반도체층에 일면이 접촉된 투명전극을 포함하되, 상기 투명 전극은 저항 변화 물질로 이루어진 것이고, 상기 저항 변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성 필라멘트를 통해 전도성을 갖는 것이다.
- [14] 또한, 본 발명의 제 2 측면에 따른 반도체 소자 제조 방법은, 반도체층을 제공하는 단계; 상기 반도체층의 일면에 투명 전극을 형성하는 단계를 포함하되, 상기 투명 전극을 형성하는 단계는 상기 반도체층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및 상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함한다.
- [15] 또한, 본 발명의 제 3 측면에 따른 반도체 소자 제조방법은 기판을 제공하는 단계; 상기 기판상에 투명전극을 형성하는 단계 및 상기 투명전극의 일면을

반도체층과 접촉시키는 단계를 포함하되, 상기 투명전극을 형성하는 단계는 상기 기판과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및 상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함한다.

[16] 본 발명의 제 4 측면에 따른 발광 소자는 기판, 상기 기판의 상부에 형성된 제 1 반도체층, 상기 제 1 반도체층의 상부에 형성된 활성층, 상기 활성층의 상부에 형성된 제 2 반도체층, 상기 제 2 반도체층의 상부에 형성된 투명전극, 상기 제 1 반도체층과 접촉하도록 형성된 제 1 전극 패드, 및 상기 투명전극의 상부에 접촉된 제 2 전극 패드를 포함하되, 상기 투명전극은 저항 변화 물질로 이루어진 것이고, 상기 저항 변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성 필라멘트를 통해 전도성을 갖는 것이다.

[17] 또한, 본 발명의 제 5 측면에 따른 발광 소자는 서브 마운트 기판, 접합층을 통해 상기 서브 마운트 기판과 결합된 반사층, 상기 반사층과 결합된 투명전극, 상기 투명전극 상부에 결합된 제 2 반도체층, 상기 제 2 반도체층의 상부에 형성된 활성층, 상기 활성층의 상부에 형성된 제 1 반도체층, 및 상기 제 1 반도체층 상부에 형성된 전극 패드를 포함하되, 상기 투명전극은 저항 변화 물질로 이루어진 것이고, 상기 저항 변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성 필라멘트를 통해 전도성을 갖는 것이다.

[18] 또한, 본 발명의 제 6 측면에 따른 발광 소자는 서브 마운트 기판, 접합층을 통해 상기 서브 마운트 기판과 결합된 반사층, 상기 반사층과 결합된 제 2 반도체층, 상기 제 2 반도체층의 상부에 형성된 활성층, 상기 활성층의 상부에 형성된 제 1 반도체층, 상기 제 1 반도체층 상부에 형성된 투명전극, 상기 투명전극 상부에 형성된 전극 패드를 포함하되, 상기 투명전극은 저항 변화 물질로 이루어진 것이고, 상기 저항 변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성 필라멘트를 통해 전도성을 갖는 것이다.

[19] 또한, 본 발명의 제 7 측면에 따른 발광 소자 제조 방법은 기판상에 제 1 반도체층, 활성층 및 제 2 반도체층을 형성하는 단계, 상기 제 2 반도체층 상에 투명전극을 형성하는 단계; 상기 제 1 반도체층, 활성층, 제 2 반도체층 및 투명전극을 수직방향으로 식각하여 상기 제 1 반도체층을 노출시키는 단계; 및 상기 제 1 반도체층의 상부에 접촉하는 제 1 전극 패드 및 상기 투명전극의 상부에 접촉하는 제 2 전극 패드를 각각 형성하는 단계를 포함하되, 상기 투명전극을 형성하는 단계는 상기 제 2 반도체층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및 상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함한다.

[20] 또한, 본 발명의 제 8 측면에 따른 발광 소자 제조 방법은 기판상에 제 1 반도체층, 활성층 및 제 2 반도체층을 형성하는 단계, 상기 제 2 반도체층 상에 투명전극을 형성하는 단계; 상기 투명전극의 상부에 반사층을 형성하는 단계; 상기 제 1 반도체층, 활성층, 제 2 반도체층 및 투명전극을 수직방향으로

식각하여 상기 제 1 반도체층을 노출시키는 단계; 상기 제 1 반도체층의 상부에 접촉하는 제 1 전극 패드를 각각 형성하는 단계 서로 이격되어 형성된 제 2 전극 패드와 제 3 전극 패드를 포함하는 서브 마운트 기판을 제공하는 단계 및 상기 반사층과 상기 제 2 전극 패드를 결합시키고, 범프를 통해 상기 제 1 전극 패드와 제 3 전극 패드를 결합시키는 단계를 포함하되, 상기 투명전극을 형성하는 단계는 상기 제 2 반도체층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및 상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함한다.

[21] 또한, 본 발명의 제 9 측면에 따른 발광 소자 제조 방법은 기판상에 제 1 반도체층, 활성층 및 제 2 반도체층을 형성하는 단계, 상기 제 2 반도체층 상에 투명전극을 형성하는 단계; 상기 투명전극의 상부에 반사층을 형성하는 단계; 상기 반사층의 상부에 접합층을 형성하는 단계; 상기 접합층에 서브 마운트 기판을 결합하는 단계; 상기 기판을 제거하여 상기 제 1 반도체층을 노출시키는 단계; 상기 제 1 반도체층의 상부에 전극 패드를 형성하는 단계를 포함하되, 상기 투명전극을 형성하는 단계는 상기 제 2 반도체층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및 상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함한다.

[22] 또한, 본 발명의 제 10 측면에 따른 발광 소자 제조 방법은 기판상에 버퍼층을 형성하는 단계; 상기 버퍼층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계; 상기 저항 변화 물질층 상에 제 1 반도체층, 활성층 및 제 2 반도체층을 형성하는 단계, 상기 제 2 반도체층 상에 반사층을 형성하는 단계; 상기 반사층의 상부에 접합층을 형성하는 단계; 상기 접합층에 서브 마운트 기판을 결합하는 단계; 상기 기판을 제거하여 상기 저항 변화 물질층을 노출시키는 단계; 상기 저항 변화 물질층에 포밍 단계를 수행하여 투명전극을 형성하는 단계; 상기 투명전극의 상부에 전극 패드를 형성하는 단계를 포함하되, 상기 투명전극을 형성하는 단계는 상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함한다.

[23] 본 발명의 제 11 측면에 따른 유기 발광 소자는 기판, 상기 기판위에 형성된 제 1 전극, 상기 제 1 전극위에 형성되고, 발광층을 포함하는 유기물층 및, 상기 유기물층 위에 형성되고, 투명전극인 제 2 전극을 포함하되, 상기 제 2 전극은 저항 변화 물질로 이루어진 것이고, 상기 저항 변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성 필라멘트를 통해 전도성을 갖는 것이다.

[24] 또한, 본 발명의 제 12 측면에 따른 유기 발광 소자는 기판, 상기 기판위에 형성되고, 투명전극인 제 1 전극, 상기 제 1 전극위에 형성되고, 발광층을 포함하는 유기물층 및, 상기 유기물층 위에 형성된 제 2 전극을 포함하되, 상기 제 1 전극은 저항 변화 물질로 이루어진 것이고, 상기 저항 변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성 필라멘트를 통해 전도성을 갖는

것이다.

- [25] 본 발명의 제 13측면에 따른 유기 발광 소자 제공 방법은 기판상에 제 1 전극을 형성하는 단계, 상기 제 1 전극 상에 발광층을 포함하는 유기물층을 형성하는 단계 및, 상기 유기물층 위에 투명전극인 제 2 전극을 형성하는 단계를 포함하되, 상기 제 2 전극을 형성하는 단계는 상기 유기물층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및 상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함한다.
- [26] 또한, 본 발명의 제 14측면에 따른 유기 발광 소자 제공 방법은 기판상에 투명전극인 제 1 전극을 형성하는 단계, 상기 제 1 전극 상에 발광층을 포함하는 유기물층을 형성하는 단계 및, 상기 유기물층 위에 제 2 전극을 형성하는 단계를 포함하되, 상기 제 1 전극을 형성하는 단계는 상기 기판과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및 상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함한다.
- [27] 본 발명의 제 15측면에 따른 수광 소자는 광전 변환층, 광전 변환층의 일면에 접촉된 투명전극 및 상기 광전층의 타면에 접촉된 대향 전극을 포함하되, 상기 투명전극은 저항 변화 물질로 이루어진 것이고, 상기 저항 변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성 필라멘트를 통해 전도성을 갖는 것이다.
- [28] 또한, 본 발명의 제 16측면에 따른 수광 소자는 기판, 상기 기판의 상부에 형성된 제 1 반도체층, 상기 제 1 반도체층의 상부에 형성된 활성층, 상기 활성층의 상부에 형성된 제 2 반도체층, 상기 제 2 반도체층의 상부에 형성된 투명전극, 상기 제 1 반도체층과 접촉하도록 형성된 제 1 전극 패드, 및 상기 투명전극의 상부에 접촉된 제 2 전극 패드를 포함하되, 상기 투명전극은 저항 변화 물질로 이루어진 것이고, 상기 저항 변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성 필라멘트를 통해 전도성을 갖는 것이다.
- [29] 본 발명의 제 17측면에 따른 수광 소자 제조 방법은 기판 상에 대향 전극을 형성하는 단계; 상기 대향 전극 상에 광전 변환층을 형성하는 단계 및 상기 광전 변환층 상에 투명전극을 형성하는 단계를 포함하되, 상기 광전 변환층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및 상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함한다.
- [30] 또한, 본 발명의 제 18측면에 따른 수광 소자 제조 방법은 기판상에 제 1 반도체층, 활성층 및 제 2 반도체층을 형성하는 단계, 상기 제 2 반도체층 상에 투명전극을 형성하는 단계; 상기 제 1 반도체층, 활성층, 제 2 반도체층 및 투명전극을 수직방향으로 식각하여 상기 제 1 반도체층을 노출시키는 단계; 및 상기 제 1 반도체층의 상부에 접촉하는 제 1 전극 패드 및 상기 투명전극의 상부에 접촉하는 제 2 전극 패드를 각각 형성하는 단계를 포함하되, 상기 투명전극을 형성하는 단계는 상기 제 2 반도체층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및 상기 저항 변화 물질층에 전자

포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함한다.

발명의 효과

- [31] 본 발명은 인가되는 전계에 의해서 저항상태가 고저항 상태에서 저저항 상태로 변화되는 투명 재질의 물질로 투명전극을 형성하고, 투명전극에 전압을 인가하여 투명전극의 저항상태를 저저항 상태로 변화시키는 포밍(forming) 공정을 수행하여 투명전극이 전도성을 갖도록 함으로써, 투명전극의 하부 또는 상부에 형성되는 반도체층과 양호한 오믹 특성을 나타내면서도, 가시광 영역뿐만 아니라 단파장의 자외선 영역의 빛에 대해서도 높은 투과도를 나타내는 투명전극을 형성할 수 있다.
- [32] 또한, 이러한 투명전극을 이용하여 다양한 형태의 반도체 소자, 발광소자, 유기발광소자, 수광소자 등을 제조할 수 있다.

도면의 간단한 설명

- [33] 도 1은 종래기술에 따른 LED 구조에서의 투과도를 도시한 도면이다.
- [34] 도 2는 본 발명의 일 실시예에 따른 반도체 소자의 구조를 도시한 도면이다.
- [35] 도 3a 내지 도 3c 는 저항 변화 물질의 특성을 설명하기 위한 도면이다.
- [36] 도 4는 본 발명의 바람직한 실시예에 따른 투명전극을 형성하는 방법을 설명하기 위한 도면이다.
- [37] 도 5a 및 도 5b는 본 발명의 다른 실시예에 따른 반도체 소자를 도시한 도면이다.
- [38] 도 6a 내지 도 6e에는 p-GaN 반도체층위에 AlN 물질을 이용하여 투명전극을 형성한 예의 투과도 특성, 포밍 공정 수행전의 오믹 특성, 포밍 공정 수행전의 접촉 저항 특성, 포밍 공정 수행후의 오믹 특성, 포밍 공정 수행후의 접촉 저항 특성을 각각 도시하였다.
- [39] 도 7a 내지 도 7e에는 p-GaN 반도체층위에 Ga_2O_3 물질을 이용하여 투명전극을 형성한 예의 투과도 특성, 포밍 공정 수행전의 오믹 특성, 포밍 공정 수행전의 접촉 저항 특성, 포밍 공정 수행후의 오믹 특성, 포밍 공정 수행후의 접촉 저항 특성을 각각 도시하였다.
- [40] 도 8a 내지 도 8e는 p-Si 반도체층 위에 AlN 물질을 이용하여 투명 전극을 형성한 예의 투과도 특성, 포밍 공정 수행전의 오믹 특성, 포밍 공정 수행전의 접촉 저항 특성, 포밍 공정 수행후의 오믹 특성, 포밍 공정 수행후의 접촉 저항 특성을 각각 도시한 도면이다
- [41] 도 9는 본 발명의 바람직한 실시예에 따른 투명전극을 구비하는 발광소자의 구조를 도시하는 도면이다.
- [42] 도 10은 본 발명의 바람직한 실시예에 따른 발광소자의 제조 방법을 설명하기 위한 도면이다.
- [43] 도 11a 및 도 11b는 이러한 전류 집중 문제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 발광소자의 구성을 도시하였다.

- [44] 도 12a 및 12b는 본 발명의 바람직한 실시예에 따른 발광 소자의 구성을 도시하는 도면이다.
- [45] 도 13은 본 발명의 바람직한 실시예에 따른 발광 소자 제조 방법을 설명하는 도면이다.
- [46] 도 14a 및 14b는 본 발명의 바람직한 실시예에 따른 발광소자의 구조를 도시하는 도면이다.
- [47] 도 15는 본 발명의 바람직한 실시예에 따른 발광소자 제조 방법을 설명하는 도면이다.
- [48] 도 16은 본 발명의 바람직한 실시예에 따른 투명전극을 구비하는 수직 형 발광소자의 구조를 도시하는 도면이다.
- [49] 도 17은 본 발명의 바람직한 실시예에 따른 수직형 발광 소자를 제조하는 과정을 설명하는 도면이다.
- [50] 도 18a 및 도 18b는 본 발명의 바람직한 실시예에 따른 발광소자의 구성을 도시하였다.
- [51] 도 19는 본 발명의 바람직한 실시예에 따른 유기 발광소자의 구조를 도시하는 도면이다.
- [52] 도 20은 본 발명의 바람직한 실시예에 따른 유기 발광소자를 제조하는 방법을 설명하는 도면이다.
- [53] 도 21a 및 도 21b는 본 발명의 바람직한 실시예에 따른 유기 발광소자의 제조 방법을 설명하는 도면이다.
- [54] 도 22 는 본 발명의 바람직한 실시예에 따른 유기 발광소자의 구조를 도시하는 도면이다.
- [55] 도 23은 본 발명의 바람직한 실시예에 따른 유기 발광소자의 제조 방법을 설명하는 도면이다.
- [56] 도 24a 및 도 24b는 본 발명의 바람직한 실시예에 따른 유기 발광소자의 구조를 도시하는 도면이다.
- [57] 도 25a 내지 도 25c는 본 발명의 바람직한 실시예에 따른 수광소자의 구성을 도시한 도면이다.
- [58] 도 26은 본 발명의 바람직한 일 실시예에 따라서 수광 소자가 자외선용 포토다이오드로 구현된 실시예를 도시하는 도면이다.
- [59] 도 27은 본 발명의 바람직한 실시예에 따라서 자외선용 포토 다이오드를 제조하는 과정을 설명하는 도면이다.
- [60] 도 28a 및 도 28b는 본 발명의 바람직한 실시예에 따른 자외선용 포토 다이오드를 도시하였다.
- [61] 도 29 는 본 발명의 바람직한 일 실시예에 따라서 수광 소자가 태양전지로 구현된 예를 도시하는 도면이다.
- [62] 도 30은 본 발명의 바람직한 일 실시예에 따라서 투명전극(404)을 구비한 태양 전지를 제조하는 과정을 설명하는 도면이다.

[63] 도 31a 및 도 31b는 본 발명의 바람직한 실시예에 따른 태양전지를 도시하는 도면이다.

발명의 실시를 위한 최선의 형태

[64] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[65] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[66] 도 2는 본 발명의 일 실시예에 따른 반도체 소자의 구조를 도시한 도면이다.

[67] 도시된 반도체 소자는 반도체층(10)과, 반도체층(10)에 일면이 접촉된 투명전극(20)을 포함한다. 투명전극(20)은 저항 변화 물질에 임계 전압 이상의 전압을 인가하여 형성된 전도성 필라멘트(22)를 포함한다. 추가적으로, 투명전극(20)의 타면에 접촉된 금속 전극 패드(30)를 포함한다.

[68] 이때, 반도체층(10)은 무기 반도체층과 유기 반도체층을 모두 포함할 뿐만 아니라, 전하가 이동할 수 있는 모든 물질을 포함하는 할 수 있다.

[69] 무기 반도체층은 Si 및 Ge 과 같은 단일 원소로 이루어지는 단일 원소 반도체를 포함한다. 또한, 무기 반도체층은 Nitride 계열의 화합물 반도체층(GaN, AlGaN, InN, InGaN, AlN 등) 및 Oxide 계열의 화합물 반도체층(GaO, ZnO, CoO, Ir₂O₂, Rh₂O₃, Al₂O₃, SnO 등)과 같은 화합물 반도체층을 포함할 수 있다. 무기 반도체층은 대표적으로 OLED(Organic Light Emitting Diode)의 전자(정공) 주입층 및 전자(정공) 수송층을 구성하는 물질을 포함할 수 있다.

[70] 한편, 반도체층(10)의 전도성을 향상시키기 위해서, 반도체층(10)의 투명전극(20)과 접촉하는 표면에는 p타입 또는 n타입으로 도핑되는 것이 바람직하다.

[71] 한편, 투명전극(20)은 인가된 전계에 의해서 저항상태가 변화되는 투명 재질의 저항 변화 물질로 이루어진다. 이러한, 저항 변화 물질은 주로 ReRAM(Resistive RAM) 분야에서 이용되는 것으로서, 고유한 임계치 이상의 전압을 인가하면, 전자 포밍(electro-forming)이 수행되어, 최초에는 절연체인 물질의 저항 상태가 고저항 상태에서 저저항 상태로 변화되어 전도성을 나타내게 된다.

[72] 도 3a 내지 도 3c 는 저항 변화 물질의 특성을 설명하기 위한 도면이다.

- [73] 도 3a를 참조하면, 절연체인 저항 변화 물질에 임계치 이상의 전압을 인가하면, 전기적 스트레스(forming process)에 의해 박막 내부로 전극 금속 물질이 삽입되거나, 박막내 결합구조에 의해 도 3a에 도시된 바와 같이 저항 변화 물질 내부에 전도성 필라멘트(22:conducting filaments)(또는, 금속 필라멘트(metallic filaments))가 형성된다. 이후에는, 저항 변화 물질에 인가된 전압이 제거되어도 전도성 필라멘트(22)는 유지되고, 이러한 전도성 필라멘트(22)를 통해서 전류가 흐르게 되어, 물질의 저항 상태가 저저항 상태로 유지될 수 있다.
- [74] 도 3b를 참조하면, 저항 변화 물질(AIN)은 포밍 과정의 수행전에는 절연체 특성을 보이다가 포밍 과정 이후 금속의 I-V 특성을 나타냄을 확인 할 수 있다. 또한, 투명전극 내부에 형성된 전도성 필라멘트는 주열 발열(JOULE-HEATING) 효과를 이용하여도 3b에 도시된 바와 것과 같이 셋(SET) 또는 리셋(RESET) 상태를 가질 수 있다.
- [75] 도 3c는 전도성 필라멘트가 형성된 후 얼마나 안정적으로 유지 될 수 있는가를 보여 주는 그래프로서, 그래프의 빨간색 점선이 보여 주는 것과 같이 전도성 필라멘트가 형성 된 후 10년 동안 안정적으로 저저항 상태가 유지 될 수 있음을 알수 있다.
- [76] 본 발명의 바람직한 실시예에서는, 이러한 저항 변화 물질로서, 투명한 전도성 Oxide 계열의 물질(SiO_2 , Ga_2O_3 , Al_2O_3 , ZnO , ITO 등), 투명한 전도성 Nitride 계열의 물질(Si_3N_4 , AlN , GaN , InN 등), 투명한 전도성 폴리머 계열의 물질(polyaniline (PANI), poly(ethylenedioxythiophene)-polystyrene sulfonate(PEDOT:PSS) 등), 및 투명한 전도성 나노 물질(CNT, CNT-oxide, Graphene, Graphene-oxide 등) 등을 이용하였다. 그러나, 상술한 물질 이외에도 투명하고 상술한 저항 변화 특성을 나타내는 물질이라면 본 발명의 투명전극을 형성하는데 이용될 수 있다. 다만, 상기 물질들이 전도성을 갖는다는 의미는, 포밍 공정에 의해서 전도성을 갖는다는 의미임을 주의해야 한다.
- [77] 도 4는 본 발명의 바람직한 실시예에 따른 투명전극을 형성하는 방법을 설명하기 위한 도면이다.
- [78] 먼저, 상술한 특성을 갖는 반도체층(10)을 제공한 후((a) 단계), 반도체층(10)의 상부에 투명전극(20)을 형성한다((b) 단계). 이때, 투명전극(20)은 반도체층(10) 위에 상술한 저항 변화 물질을 증착하여 형성할 수 있다.
- [79] 다음으로, 투명전극(20)을 구성하는 저항 변화 물질 층 위에 포밍용 금속 전극을 형성하는 단계를 순차적으로 수행한다((c) ~ (f) 단계). 먼저, 저항 변화 물질 층의 상부에 포토레지스트층(PR)(40)을 형성한다((c) 단계). 이어서, 마스크(50)를 이용하여 포밍을 수행하기 위한 전극(32)을 형성할 위치를 노광하고 현상하여, 포토레지스트층(40) 위에 포밍용 전극 패턴을 형성한다((d) 단계). 이때, 전압의 인가를 위하여 적어도 두 개의 전극이 구비되도록 전극 패턴을 형성한다. 다음으로, 패턴이 형성된 포토레지스트층(40) 위에 금속(34)을 증착하고 ((e) 단계), 리프트 오프(Lift-Off) 공정을 수행하여 포토레지스트층(40)

위의 금속층 및 포토레지스트층을 제거하여, 포밍 공정을 수행하기 위한 포밍용 금속 전극(32)을 형성한다((f) 단계). 다만, 이와 같은 공정은 일 실시예로서 다양한 공정을 통해 포밍용 금속 전극(32)을 형성할 수 있다.

[80] 다음으로, 포밍용 금속 전극(32)을 통해 저항 변화 물질층에 고유한 임계 전압 이상의 전압을 인가한다. 전압이 인가되면, 저항 변화 물질층 내부에 전도성 필라멘트(22)가 형성되어, 투명전극(20)의 저항 상태가 고저항 상태에서 저저항 상태로 변화된다. 이때, 전도성 필라멘트(22)는 저항 변화 물질층에 대하여 수직인 방향으로 진행하거나, 수평인 방향으로 진행할 수 있다.

[81] 다음으로, 투명전극(20)의 상부에 금속 전극 패드(30)를 형성한다(도 4의 (h)). 예를 들면, 포밍용 금속 전극(32)을 제거한 후, 금속 전극 패드(30)를 형성하는 공정을 수행할 수 있다. 또는, 포밍용 금속 전극(32)의 상부에 추가로 금속을 증착하여 금속 전극 패드(30)를 형성할 수 있다. 이를 위해, 도식된 바와 같이, 마스크(52)를 이용하여 금속 전극 패드(30)를 형성할 수 있다.

[82] 지금까지 본 발명의 바람직한 실시예에 따른 투명전극을 포함하는 반도체 소자와 그 제조 방법에 대하여 설명하였다. 본 발명의 투명전극은 반도체층과 접촉하는 모든 투명전극에 적용되는 상술한 바와 같고, 본 발명의 투명전극이 적용되는 반도체 장치에 따라서 다양한 변형이 가능하다.

[83] 예컨대, 상술한 예에서는 반도체층 위에 투명전극이 형성되는 것으로 설명하였으나, OLED의 경우에는 유리 기판위에 투명전극이 형성되고, 포밍 공정을 수행하여 투명전극에 전도성 필라멘트가 형성된 이후에, 투명전극 위에 반도체층이 형성될 수도 있다.

[84] 즉, 도 4에 도시된 바와는 달리, 반도체층이 아닌 기판 상에 저항 변화 물질 층을 형성하는 단계와 포밍 단계 등을 거쳐 투명전극 층을 형성한 후, 기판을 제거하고 투명전극 층을 반도체 층에 접촉시키는 형태로 반도체 소자를 제조할 수 있다. 이러한 공정에 따라 투명전극 층을 형성하는 공정과 반도체층을 형성하는 공정을 별개의 공정에서 수행한 후 투명전극 층과 반도체층을 결합시키는 형태로 반도체 소자를 제조할 수 있다.

[85] 한편, 도 2 및 도 4를 참조하여 상술한 실시예에서, 투명전극(20)내에 형성된 일부 전도성 필라멘트(22)는 다른 전도성 필라멘트들(22)과 연결되지 않을 가능성이 있다. 이 경우, 투명전극(20)으로 유입되는 전류가 투명전극(20) 전체로 확산되지 못하고 국부적으로 집중된다. 이에 따라서 투명전극(20)에 접촉하는 반도체층(10)에도 국부적으로 전류가 집중되는 문제점이 발생할 수도 있다.

[86] 도 5a 및 도 5b는 본 발명의 다른 실시예에 따른 반도체 소자를 도시한 도면이다.

[87] 도 5a 및 도 5b의 실시예에서는 전류 집중 문제를 해결하기 위하여, 투명전극(20)의 전류 확산 특성(current spreading)을 향상시키기 위한 구성을 추가하였다. 즉, 투명전극(20)에 형성된 전도성 필라멘트들(22)을 상호 연결시키는 전류 확산층(60)을 투명전극(20)의 일면에 형성하였다. 이때, 전류

- 확산층(60)은 CNT(Carbon Nano Tube)층 또는 그래핀(graphene)층을 포함한다.
- [88] 도 5a 에서와 같이, 전류 확산층(60)을 투명전극(20)이 반도체층(10)과 접촉하는 면의 반대면에 형성할 수 있다. 또는, 도 5b에서와 같이 전류 확산층(60)을 투명전극(20)층과 반도체층(10) 사이에 형성할 수 있다.
- [89] CNT 및 그래핀은 전도성 및 빛의 투과도가 뛰어난 특성이 있다. 본 발명은 이러한 특성을 이용하여 투명전극(20)의 일면에 전류 확산층(60)을 형성하여 투명전극(20)의 전도성 필라멘트(22)를 상호 연결함으로써, 투명전극(20)으로 유입된 전류가 반도체층(10) 전체 영역으로 확산되도록 할 수 있다.
- [90] 이 때, 전류 확산층(60)이 두껍게 형성될수록 전류 확산층(60) 내부의 CNT 및 그래핀이 상호 연결된다. 그러나, 전류 확산층이 두껍게 형성되면 전도성 필라멘트들(22)이 상호 연결될 확률이 높아져서 투명전극(20)층의 전도성은 향상되지만 투과도가 낮아진다. 따라서, 본 발명의 전류 확산층(60)은 투명전극(20)의 전도성 필라멘트들(22)을 상호 연결시키기에 충분하면서도 투과도가 저해되지 않는 한도내에서 가능한 얇게 형성되는 것이 바람직하다.
- [91] 도 5a 및 도 5b에 도시된 본 발명의 바람직한 다른 일 실시예에서는, 약 2nm 내지 약 100nm 의 두께로 형성하였다. 2nm는 CNT 및 그래핀을 단일층으로 형성할 수 있는 최소의 두께이고, 100nm는 빛의 투과도를 80% 이상으로 유지할 수 있는 최대의 두께이다.
- [92] 도 5a 및 도 5b에 도시된 예의 경우에, 투명전극(20)이 형성된 직후 또는 투명전극(20)이 형성되기 직전에 전류 확산층 (60)이 형성된다는 점을 제외하면, 나머지 구성은 도 2 및 도 4를 참조하여 설명한 것과 동일하다. 따라서, 구체적인 설명은 생략한다.
- [93] 또한, 도 5a 및 도 5b에 도시된 예에서는, 반도체층(10) 위에 투명전극(10) 이 형성되는 것으로 도시하였으나, 투명전극이 형성된 후 투명전극 위에 반도체층이 형성될 수도 있다. 이 때에도, 전류 확산층은 투명전극과 반도체층 사이에 형성되거나, 투명전극의 반도체층과 접촉하는 면의 반대면에 형성될 수 있다.
- [94] 이하에서는, 도 6a 내지 도 8e를 참조하여, 본 발명의 바람직한 실시예에 따른 투명전극의 빛의 투과 특성 및 Ohmic 특성을 살펴본다.
- [95] 도 6a 내지 도 6e에는 p-GaN 반도체층위에 AlN 물질을 이용하여 투명전극을 형성한 예의 투과도 특성, 포밍 공정 수행전의 오믹 특성, 포밍 공정 수행전의 접촉 저항 특성, 포밍 공정 수행후의 오믹 특성, 포밍 공정 수행후의 접촉 저항 특성을 각각 도시하였다.
- [96] 도 6a 내지 도 6e에 도시된 예에서는, LED에서 많이 이용되는 p-GaN 반도체층 위에 6.1eV의 큰 밴드갭(large band-gap)을 가지는 AlN 물질로 투명전극 박막(두께: 80nm)을 형성하였다.
- [97] 도 6a에 도시된 그래프를 참조하면, 도시된 예에서는 170nm~800nm까지의 파장을 가지는 빛에 대해서 투과도를 측정하였다. 수정(quartz)만으로 투과도를

측정한 결과는 기준선(검정색 선)으로 도시하였고, p-GaN 반도체층 위에 AlN 투명전극을 형성한 후 측정된 결과를 빨간색 선으로 도시하였으며, p-GaN 반도체층 위에 AlN 투명전극을 형성한 후 138도에서 열처리를 수행한 후 측정된 결과를 녹색 선으로 표시하였다.

- [98] 그래프에 도시된 바와 같이, 본 발명의 투명전극은 파장이 256nm 이상인 자외선 영역의 빛에 대해서 80% 이상의 투과도를 나타낼 수 있다. 이는 도 1에 도시된 20%의 투과도를 나타내는 종래의 ITO 기반의 투명전극에 비하여 투과도가 현저하게 개선된 것임을 알 수 있다.
- [99] 도 6b 내지 도 6e에는 측정 전극간의 거리가 $2\mu\text{m}$, $4\mu\text{m}$, $6\mu\text{m}$, $8\mu\text{m}$, 및 $10\mu\text{m}$ 일 때 오믹 특성(도 6b 및 도 6d) 및 TLM(Transfer Length Method) 패턴을 이용하여 측정된 접촉 저항 특성(도 6c 및 도 6e)을 나타낸다.
- [100] 도 6b를 참조하면, 측정 전극간의 거리가 $2\mu\text{m}$ 인 경우를 기준으로, 포밍 공정 수행 이전에는 인가되는 전압이 0V~1.0V 일 때, 투명전극에 흐르는 전류값이 $0 \sim 6.0 \times 10^{-9}\text{A}$ 정도이다. 따라서, 전류가 거의 흐르지 않고, 전압 대 전류 관계도 비례하지 않으므로 양호하지 않은 오믹 특성을 보임을 알 수 있다. 또한, 도 6c를 참조하면, 오믹 접촉 저항 특성 역시 전혀 선형성을 나타내지 않음을 알 수 있다.
- [101] 반면, 도 6d를 참조하면, 전도성 필라멘트가 형성된 이후에는, 측정 전극간의 거리가 $2\mu\text{m}$ 인 경우를 기준으로, 투명전극에 인가되는 전압이 0V ~ 1.0V 일 때, 투명전극에 $0 \sim 5.0 \times 10^{-3}\text{A}$ 정도의 전류가 흐른다. 이러한 결과는, 포밍 공정 수행 이전과 비교하여 10^6 배만큼의 전류가 더 흐르는 것을 나타내고, 전류 대 전압 관계도 상호 비례하는 양호한 오믹 특성을 나타낼 수 있다. 또한, 도 6e를 참조하면, 접촉 저항 특성 역시 선형성을 나타내므로 포밍 공정 수행 이전과 비교하여 오믹 접촉 저항 특성이 상당히 개선되었음을 알 수 있다.
- [102] 도 6a 내지 도 6e에 도시된 예의 p-GaN 반도체층 위에 형성된 AlN 투명전극 특성을 정리하면, AlN 투명전극은 257nm 이상의 파장을 갖는 자외선 영역의 빛에 대해서 80% 이상의 투과도를 나타낸다. TLM(Transfer Length Method) 패턴을 이용하여 측정된 결과, 포밍 공정 수행 전에는 $24.113\Omega\text{cm}^{-2}$ 의 접촉저항을 나타내지만, 포밍 공정 수행 후에는 $1.33 \times 10^{-4}\Omega\text{cm}^{-2}$ 의 접촉 저항을 나타낸다. 따라서, 포밍 공정 수행 후, 전도성이 월등하게 향상될 뿐만 아니라, 양호한 오믹 특성을 나타낼 수 있다.
- [103] 도 7a 내지 도 7e에는 p-GaN 반도체층위에 Ga_2O_3 물질을 이용하여 투명전극을 형성한 예의 투과도 특성, 포밍 공정 수행전의 오믹 특성, 포밍 공정 수행전의 접촉 저항 특성, 포밍 공정 수행후의 오믹 특성, 포밍 공정 수행후의 접촉 저항 특성을 각각 도시하였다.
- [104] 도 7a 내지 도 7e에 도시된 예에서는, LED에서 많이 이용되는 p-GaN 반도체 층 위에 Ga_2O_3 물질로 투명전극 박막(두께: 80nm)을 형성하였다.
- [105] 도 7a에 도시된 그래프를 참조하면, 도시된 예의 Ga_2O_3 투명전극은 파장이 264nm 이상인 자외선 영역의 빛에 대해서 80% 이상의 투과도를 나타낼 수

있다. 이 역시 도 1에 도시된 20%의 투과도를 나타내는 종래의 ITO 기반의 투명전극에 비하여 투과도가 현저하게 개선된 것임을 알 수 있다.

[106] 도 7b 내지 도 7e에는 측정 전극간의 거리가 $2\mu\text{m}$, $4\mu\text{m}$, $6\mu\text{m}$, $8\mu\text{m}$, 및 $10\mu\text{m}$ 일 때 오믹 특성(도 7b 및 도 7d) 및 TLM(Transfer Length Method) 패턴을 이용하여 측정한 접촉 저항 특성(도 7c 및 도 7e)을 나타낸다.

[107] 도 7b를 참조하면, 측정 전극간의 거리가 $2\mu\text{m}$ 인 경우를 기준으로, 포밍 공정 수행 이전에는 인가되는 전압과 무관하게 투명전극에 $1.0 \times 10^{-11}\text{A}$ 내외의 전류가 흐름을 알 수 있고, 전혀 오믹 특성을 나타내지 않음을 알 수 있다. 또한, 도 7c를 참조하면 오믹 접촉 저항 특성 역시 전혀 선형성을 나타내지 않음을 알 수 있다.

[108] 반면, 도 7d를 참조하면, 포밍 공정 수행 이후에는, 측정 전극간의 거리가 $2\mu\text{m}$ 인 경우를 기준으로, 투명전극에 인가되는 전압이 $0\text{V} \sim 1.0\text{V}$ 일때, 투명전극에 $0 \sim 2.0 \times 10^{-2}\text{A}$ 정도의 전류가 흐르므로, 포밍 공정 수행 이전과 비교하여 10^9 배만큼의 전류가 더 흐르고, 전류 대 전압 관계도 상호 비례하는 양호한 오믹 특성을 나타냄을 알 수 있다. 또한, 도 7e를 참조하면, 접촉 저항 특성 역시 선형성을 나타내므로 포밍 공정 수행 이전과 비교하여 오믹 접촉 저항 특성이 상당히 개선되었음을 알 수 있다.

[109] 도 7a 내지 도 7e에 도시된 예의 p-GaN 반도체층 위에 형성된 Ga_2O_3 투명전극 특성을 정리하면, Ga_2O_3 투명전극은 264nm 이상의 파장을 갖는 자외선 영역의 빛에 대해서 80% 이상의 투과도를 나타낸다. TLM 패턴을 이용하여 측정한 결과, 포밍 공정 수행 전에는 $51,150\Omega\text{cm}$ 의 접촉저항을 나타내지만, 포밍 공정 수행 후에는 $2.64 \times 10^{-5}\Omega\text{cm}^2$ 의 접촉 저항을 나타낸다. 따라서, 전도성이 월등하게 향상될 뿐만 아니라, 양호한 오믹 특성을 나타냄을 알 수 있다.

[110] 도 8a 내지 도 8e에는 p-Si 반도체층 위에 AlN 물질을 이용하여 투명전극을 형성한 예의 투과도 특성, 포밍 공정 수행전의 오믹 특성, 포밍 공정 수행전의 접촉 저항 특성, 포밍 공정 수행후의 오믹 특성, 포밍 공정 수행후의 접촉 저항 특성을 각각 도시하였다.

[111] 도 8a 및 도 8b에 도시된 예에서는, p-Si 반도체층 위에 AlN 물질로 투명전극 박막(두께: 80nm)을 형성하였다.

[112] 도 8a에 도시된 그래프를 참조하면, 본 발명의 AlN 투명전극은 파장이 257nm 이상인 자외선 영역의 빛에 대해서 80% 이상의 투과도를 나타냄을 알 수 있다. 이 역시 도 1에 도시된 20%의 투과도를 나타내는 종래의 ITO 기반의 투명전극에 비하여 투과도가 현저하게 개선된 것임을 알 수 있다.

[113] 도 8b 내지 도 8e에는 측정 전극간의 거리가 $2\mu\text{m}$, $4\mu\text{m}$, $6\mu\text{m}$, $8\mu\text{m}$, 및 $10\mu\text{m}$ 일 때 오믹 특성(도 8b 및 도 8d) 및 TLM(Transfer Length Method) 패턴을 이용하여 측정한 접촉 저항 특성(도 8c 및 도 8e)을 나타낸다.

[114] 도 8b를 참조하면, 측정 전극간의 거리가 $2\mu\text{m}$ 인 경우를 기준으로, 포밍 공정 수행 이전에는 인가되는 전압과 무관하게 투명전극에 $0 \sim 0.5 \times 10^{-9}\text{A}$ 내외의 전류가 흐름을 알 수 있고, 오믹 특성을 나타내지 않음을 알 수 있다. 또한, 도

8c를 참조하면 오믹 접촉 저항 특성 역시 전혀 선형성을 나타내지 않음을 알 수 있다.

[115] 반면, 포밍 공정 수행 이후에는, 측정 전극간의 거리가 $2\mu\text{m}$ 인 경우를 기준으로, 투명전극에 인가되는 전압이 $0\text{V} \sim 1.0\text{V}$ 일때, 투명전극에 $0 \sim 8.0 \times 10^{-6}\text{A}$ 정도의 전류가 흐르므로, 포밍 공정 수행 이전과 비교하여 10^3 배만큼의 전류가 더 흐른다. 또한, 전류 대 전압 관계도 상호 정비례하지는 않지만, 포밍 공정 수행전에 비해서는 양호한 오믹 특성을 나타냄을 알 수 있다. 또한, 도 8e를 참조하면, 접촉 저항 특성 역시 포밍 공정 수행 전과 비교하여 선형성을 나타내므로 오믹 접촉 저항 특성이 상당히 개선되었음을 알 수 있다.

[116] 도 8a 내지 도 8e에 도시된 예의 p-Si 반도체층 위에 형성된 AlN 투명전극 특성을 정리하면, AlN 투명전극은 257nm 이상의 파장을 갖는 자외선 영역의 빛에 대해서 80% 이상의 투과도를 나타낸다. TLM 패턴을 이용하여 측정한 결과, 포밍 공정 수행 전에는 $20,816\Omega\text{cm}^2$ 의 접촉저항을 나타내지만, 포밍 공정 수행 후에는 $9.21 \times 10^{-4}\Omega\text{cm}^2$ 의 접촉 저항을 나타낸다. 따라서, 전도성이 월등하게 향상될 뿐만 아니라, 양호한 오믹 특성을 나타냄을 알 수 있다.

[117] 도 6a 내지 도 8e를 참조하여 살펴본 바와 같이, 본 발명의 바람직한 실시예 및 접촉 저항 특성을 기재하였다. 표 2에는 본 발명의 바람직한 실시예에 따른 투명전극의 투과도 및 접촉 저항 특성을 기재하였다.

[118] 표 1

[Table 1]

재질	투과도	접촉 저항
ITO	350nm 이상의 파장영역에서 80%	$1.12 \times 10^{-3}\Omega\text{cm}^2$
ZnO	400nm~154nm 파장영역에서 평균 75%	$1.2 \times 10^{-2}\Omega\text{cm}^2$
AZO	350nm 이상의 파장영역에서 80%	$1.10 \times 10^{-2}\Omega\text{cm}^2$
Ga ₂ O ₃	285nm 이상의 파장영역에서 70%	N/A

[119] 표 2

[Table 2]

재질	투과도	접촉 저항
AlN	257nm 이상의 파장영역에서 80%	$1.33 \times 10^{-4}\Omega\text{cm}^2$
Ga ₂ O ₃	264nm 이상의 파장영역에서 80%	$2.64 \times 10^{-5}\Omega\text{cm}^2$

[120] 표 1 및 표 2에 기재 내용에서 알 수 있듯이, 본 발명의 투명전극은 종래 기술의 투명전극에 비하여 투과도 및 접촉 저항 특성이 모두 크게 개선된 것을 알 수 있다.

[121] 도 9는 본 발명의 바람직한 실시예에 따른 투명전극을 구비하는 발광소자의

구조를 도시하는 도면이다.

- [122] 도 9를 참조하면, 발광소자는 기판(100)위에 버퍼층(102), 제 1 반도체층(104), 활성층(106), 및 제 2 반도체층(108)이 순차적으로 형성되어 있다. 제 2 반도체층(108) 위에 투명전극(110)이 형성되어 있으며, 투명전극(110)의 상부 및 식각되어 일부 영역이 드러난 제 1 반도체층(104)의 상부에는 전극 패드(114a, 114b)가 형성되어 있다.
- [123] 기판(100)은 사파이어 기판과 같이 발광소자 형성에 일반적으로 이용되는 기판들이 이용될 수 있다. 버퍼층(102)은 제 1 반도체층(104)이 용이하게 성장될 수 있도록 도핑되지 않은 갈륨나이트라이드(Un-doped GaN) 등으로 형성될 수 있으며, 필요에 따라서는 생략될 수 있다.
- [124] 제 1 반도체층(104)은 n타입으로 도핑된 반도체층으로서, 본 발명의 바람직한 실시예에서는 자외선 영역의 빛을 발생시킬 수 있도록 n-AlGaIn으로 형성되었다. 그러나, 자외선 영역의 빛을 발생시킬 수 있는 발광소자의 제조에 이용되는 일반적인 재질로 형성될 수도 있다.
- [125] 활성층(106)(MQW)은 자외선 영역의 빛이 발생될 수 있도록 Al(In)GaIn/(In)GaIn으로 형성되는 것이 바람직하지만, 자외선 영역의 빛을 발생시킬 수 있는 것이라면 그 재질에 한정이 없다.
- [126] 제 2 반도체층(108)은 p타입으로 도핑된 반도체층으로서, 본 발명의 바람직한 실시예에서는 자외선 영역의 빛을 발생시킬 수 있도록 p-AlGaIn 단일층으로 형성하거나, 활성층(106) 위에 p-AlGaIn 층 및 p-GaN 박막을 순차적으로 형성하였다. 그러나, 자외선 영역의 빛을 발생시킬 수 있는 발광소자의 제조에 이용되는 일반적인 재질로 형성될 수도 있다.
- [127] 상술한 실시예에서, 제 1 반도체층(104)과 제 2 반도체층(108)은 각각 n타입 및 p타입으로 도핑된 반도체층으로 설명하였으나, 그 역의 경우도 가능하다.
- [128] 한편, 본 발명의 투명전극(110)은 자외선 영역을 포함하는 빛에 대한 투과도가 높으면서도 인가된 전계에 의해서 저항상태가 변화되는 투명 재질의 물질(저항 변화 물질)로 형성된다. 이러한, 저항 변화 물질은 주로 ReRAM(Resistive RAM)분야에서 이용되는 것으로서, 물질에 고유한 임계치 이상의 전압을 물질에 인가하면, 전자 포밍이 수행되어, 최초에는 절연체인 물질의 저항 상태가 고저항 상태에서 저저항 상태로 변화되어 전도성을 나타내게 된다.
- [129] 구체적으로, 절연체인 저항 변화 물질에 임계치 이상의 전압을 인가하면, 전기적 스트레스(forming process)에 의해 박막 내부로 전극 금속 물질이 삽입되거나, 박막내 결함구조에 의해 저항 변화 물질 내부에 전도성 필라멘트(112:conducting filaments)(또는, 금속 필라멘트(metallic filaments))가 형성된다. 이 후에는, 물질에 인가된 전압이 제거되어도 전도성 필라멘트(112)는 유지되고, 이러한 전도성 필라멘트(112)를 통해서 전류가 흐르게 되어, 물질의 저항 상태가 저저항 상태로 유지된다.
- [130] 도시된 바와 같이, 발광 소자가 완성되면, 투명전극(110)층위에 형성된 전극

패드(114a, 114b)를 통해서 주입된 전류는 투명전극(110) 내부에서 서로 연결된 전도성 필라멘트(112)를 통해서 전체 영역으로 확산되어 제 2 반도체층(108) 전체 영역으로 주입된다. 또한, 활성층(106)에서 발생된 빛, 특히 자외선 영역의 빛은 밴드 갭이 큰 투명전극(110)을 통해서 외부로 유출된다.

[131] 도 10은 본 발명의 바람직한 실시예에 따른 발광소자의 제조 방법을 설명하기 위한 도면이다.

[132] 먼저, 기판(100)위에 버퍼층(102), 제 1 반도체층(104), 활성층(106), 제 2 반도체층(108)을 형성하고, 저항 변화 물질 층을 제 2 반도체층(108) 위에 형성한다.

[133] 그 후, 도 4에서 설명한 바와 같이, 저항 변화 물질 층에 포밍용 전극 패턴을 형성하고, 임계 전압 이상의 전압을 인가하는 포밍 단계를 수행한다(b, c, d).

[134] 즉, 리소그래피 공정을 수행하여 포토레지스트(116)층 중에서 금속 패드(114a)가 형성될 영역의 일부에 포밍 전극(118)을 형성하기 위한 패턴을 형성한다(b). 이어서, 전자빔(ebeam), 스퍼터 또는 기타 금속 증착 공정을 수행하여 패턴 내부에 포밍 전극(118)을 형성한 후, 리프트 오프(lift-off) 공정을 통해서 포밍 전극(118)을 제외한 포토레지스트(116)층을 제거하여 포밍 전극(118)을 완성한다(c). 다음으로, (d)에 도시된 바와 같이, 투명전극(110) 위에 형성된 포밍 전극(118)에 물질에 고유한 임계 전압 이상의 전압을 인가하면, 절연물질인 투명전극(110) 내부에 전도성 필라멘트(112)가 형성되어, 투명전극(110)의 저항 상태가 고저항 상태에서 저저항 상태로 변화된다.

[135] 투명전극(110) 내부에 전도성 필라멘트(112)가 형성되면, 투명전극(110)위에 금속 전극 패드(114a)를 형성한다(e). 이 때, 금속 전극 패드(114a, 114b)를 형성하는 방법은 포밍을 수행하기 위한 전극(118)을 제거하고 별도의 금속 전극 패드(114a)를 형성할 수도 있고, (e)에 도시된 바와 같이, 마스크(120)를 이용하여 포밍 전극(118) 위에 추가로 금속을 증착하여 금속 전극 패드(114a)를 형성할 수도 있다.

[136] 다음으로, 통상적인 수평형 발광소자 제작 공정과 동일한 방식으로, 제 1 반도체층(104)이 드러나도록 투명전극(110)으로부터 제 2 반도체층(108), 활성층(106)을 순차적으로 식각하고, 제 1 반도체층(104) 위에 n형 전극 패드(114b)를 형성한다(f).

[137] 전술한 실시예에서, 투명전극(110)내에 형성된 일부 전도성 필라멘트(112)는 다른 전도성 필라멘트들(112)과 연결되지 않을 가능성이 있다. 이 경우, 투명전극(110)으로 유입되는 전류가 투명전극(110) 전체로 확산되지 못하고 국부적으로 집중되고, 이에 따라서 투명전극(110)에 접촉하는 제 2 반도체층(108)에도 국부적으로 전류가 집중되는 문제점이 발생할 수도 있다.

[138] 도 11a 및 도 11b는 이러한 전류 집중 문제를 해결하기 위한 본 발명의 바람직한 실시예에 따른 발광소자의 구성을 도시하였다.

[139] 도 11a 및 도 11b에 도시된 예에서는, 투명전극(110)의 전류 확산 특성(current

spreading)을 향상시키기 위해서, 투명전극(110)에 형성된 전도성 필라멘트들(112)을 상호 연결시키는 전류 확산층(122)을 투명전극(110)의 상면 또는 하면에 형성하였다. 이때, 전류 확산층(122)은 CNT 또는 그래핀으로 이루어진 것이다..

[140] 도 5a에서는 전류 확산층(122)을 투명전극(110)위에 형성한 예를 도시하였고, 도 5b에서는 전류 확산층(122)을 투명전극(110)층과 제 2 반도체층(108) 사이에 형성한 예를 도시하였다.

[141] CNT 및 그래핀은 전도성 및 빛의 투과도가 뛰어난 특성이 있고, 본 발명은 이러한 특성을 이용하여 투명전극(110)의 일면에 접촉하도록 CNT 또는 그래핀으로 전류 확산층(122)을 형성하여 투명전극(110)의 전도성 필라멘트(112)를 상호 연결함으로써, 투명전극(110)으로 유입된 전류가 제 2 반도체층(108) 전체 영역으로 확산되도록 하였다.

[142] 이 때, 전류 확산층(122)이 두껍게 형성될수록 내부의 CNT 및 그래핀이 상호연결된다. 그러나, 전류 확산층이 두껍게 형성되면, 전도성 필라멘트들(112)이 상호 연결될 확률이 높아지고 투명전극(110)의 전도성은 향상되지만 투과도가 낮아진다. 따라서, 본 발명의 전류 확산층(122)은 투명전극(110)의 전도성 필라멘트들(112)을 상호 연결시키기에 충분하면서도 투과도가 저해되지 않는 한도내에서 가능한 얇게 형성되는 것이 바람직하다. 본 발명의 실시예에서는, 약 2nm 내지 약 100nm 의 두께로 전류 확산층(122)을 형성하였다. 2nm는 CNT 및 그래핀을 단일층으로 형성할 수 있는 최소의 두께이고, 100nm는 빛의 투과도를 80% 이상으로 유지할 수 있는 최대의 두께이다.

[143] 한편, 도 11a 및 도 11b에 도시된 예의 경우에, 투명전극(110)이 형성된 직후 또는 투명전극(110)이 형성되기 직전에 CNT 또는 그래핀으로 전류 확산층(122)을 형성한다는 점을 제외하면, 나머지 구성은 도 9 및 도 10를 참조하여 설명한 것과 동일하므로, 구체적인 설명은 생략한다.

[144] 도 12a 및 12b는 본 발명의 바람직한 실시예에 따른 발광 소자의 구성을 도시하는 도면이다.

[145] 먼저, 도 12a를 참조하면, 발광 소자는 활성층에서 발생된 빛을 기관 방향으로 방출하는 플립칩(flip-chip) 구조로서, 종래의 플립칩 구조의 발광소자에서 반도체층(p-GaN)과 반사층 사이에, 본 발명의 저항 변화 물질로 전도성 필라멘트가 형성된 투명전극을 더 포함시키는 것을 특징으로 한다.

[146] 기관(130)이 위치한 방향을 하면이라고 가정하면, 기관(130), 버퍼층(132), 제 1 반도체층(134), 활성층(136), 및 제 2 반도체층(138)이 순차적으로 형성되어 있다. 제 2 반도체층(138) 위에는 포밍에 의해서 전도성 필라멘트(142)가 형성된 투명전극(140)이 형성되어 있으며, 투명전극(140)위에 반사층(144)이 형성되어 있다. 이 때, 상술한 기관(130) 내지 투명전극(140)은 도 9에 도시된 기관(100) 내지 투명전극(110)과 동일한 재질 및 방식으로 형성될 수 있다. 반사층(144)의

재질은 일반적인 플립칩 구조의 발광소자에서 이용되는 Ag, Al, Pt, Au, Ni, Ti, ITO 또는 이들의 조합으로 형성될 수 있고, 그 재질에는 제한이 없다.

- [147] 반사층(144)이 형성된 후, 반사층(144)은 서브마운트 기판(152)위에 형성된 제 2 전극 패드(150a)과 접합된다. 또한, 제 1 반도체층(134)에 형성된 제 1 전극 패드(146)는 범프(148)에 의해서 역시 서브마운트 기판(152)위에 형성된 제 3 전극 패드(150b)에 접합되어 전류를 공급받을 수 있다.
- [148] 제 2 전극 패드(150a)를 통해서 주입된 전류는 반사층(144)을 통해서 투명전극(140)으로 인가되고, 투명전극(140)에 형성된 전도성 필라멘트(142)를 통해서 제 2 반도체층(138) 전체로 확산된다.
- [149] 한편, 활성층(136)에서 생성된 빛은 제 1 반도체층(134)이 위치한 상방과 제 2 반도체층(138)이 위치한 하방으로 향한다. 이때, 하방으로 향하는 빛은 투명전극(140)을 통과하고, 반사층(144)에서 반사된 후 상방으로 향하여, 반도체 기판(130)을 통해서 외부로 방출된다.
- [150] 이 때, 본 발명의 투명전극(140)은 전도성 필라멘트(142)에 의해서 저저항 상태이므로, 제 2 반도체층(138) 및 반사층(140)과 양호한 오믹 콘택 특성을 나타낸다. 또한, 자외선 영역에 대해서 높은 투과율을 나타내는 밴드갭이 큰 물질들로 형성되었기 때문에, 높은 광투과율을 나타낸다.
- [151] 도 13은 본 발명의 바람직한 실시예에 따른 발광 소자 제조 방법을 설명하는 도면이다.
- [152] 도 13을 참조하여, 발광소자 제조 방법을 설명하면, 상술한 도10의 (a) 단계 내지 (d) 단계를 수행하여 전도성 필라멘트(142)가 형성된 투명전극(140)을 제 2 반도체층(138) 위에 형성하고(a), 포밍 전극을 제거한 후 투명전극(140) 위에 반사층(144)을 형성한다(b). 이 때, 반사층(144)은 투명전극(140) 전체에 형성될 수도 있고, 메탈 마스크(158)를 이용하여 제 1 반도체층(134)에 제 1 전극 패드(146)를 형성하기 위해서 식각될 영역을 제외한 영역에만 형성될 수도 있다.
- [153] 다음으로, 제 1 반도체층(134)에 제 1 전극 패드(146)를 형성하기 위해서, 투명전극(140)(또는 반사층(144))부터 제 1 반도체층(134)이 드러나도록 발광 소자의 일정 영역을 식각한 후, 제 1 반도체층(134) 위에 제 1 전극 패드(146)를 형성한다(c). 다음으로, 제 2 전극 패드(150a) 및 제 3 전극 패드(150b)가 형성된 서브마운트 기판(152)을 준비하고, 반사층(144)과 제 2 전극 패드(150a)가 접합되고, 범프(148)를 통해서 제 3 전극 패드(150b)와 제 1 전극 패드(146)가 접합되도록 발광 소자를 뒤집어서 서브마운트 기판(152)에 결합하여 플립칩 구조의 발광소자를 완성한다(d).
- [154] 한편, 도 12b는 본 발명의 바람직한 실시예의 변형 실시예를 도시하는 도면이다. 투명전극(140)에 형성된 전도성 필라멘트(142)의 일부가 다른 전도성 필라멘트들(142)과 연결되지 않으면, 전류가 일부 전도성 필라멘트(142)를 통해서 제 2 반도체층(138)에 집중적으로 주입되게 된다. 이를 방지하기 위해서, 본 발명의 일 실시예에서는 CNT 또는 그래핀으로 구현되는 전류 확산층(152)을

제 2 반도체층(138)과 투명전극(140) 사이에 추가하였다. 비록, 도 12b에는 제 2 반도체층(138)과 투명전극(140) 사이에 전류 확산층(152)이 추가되는 것으로 도시하였으나, 투명전극(140)과 반사층(144) 사이에 전류 확산층(152)이 더 추가될 수 있음은 앞서 도 11a와 도 11b를 통해 설명한 바와 같다.

[155] 도 14a 및 14b는 본 발명의 바람직한 실시예에 따른 발광소자의 구조를 도시하는 도면이다.

[156] 본 발명의 실시예에 따른 발광소자는 수직형 발광소자로서, 일반적인 수직형 발광소자의 구조에서 반사층과 제 2 반도체층(예컨대, p-GaN층) 사이에 저항 변화 물질로 전도성 필라멘트가 형성된 투명전극이 추가로 형성된 것을 특징으로 한다.

[157] 도 14a를 참조하면, 서브마운트 기판(178), 접합층(176), 반사층(174), 투명전극(170), 제 2 반도체층(168), 활성층(166), 제 1 반도체층(164) 및 전극 패드(180)가 순차적으로 형성되어 구성된다. 서브마운트 기판(178)은 전류 주입이 가능한 금속 기판이 이용되고, 반사층(174)은 Ag, Al, Pt, Au, Ni, Ti, ITO 또는 이들의 조합으로 형성될 수 있다. 또는 발광소자에서 반사층(174)으로 일반적으로 이용되는 재질로, 금속 기판(160) 위에 형성되어 활성층(166)에서 발생된 빛을 반사하여 상방으로 향하도록 형성될 수 있다.

[158] 반사층(174) 위에 형성되는 투명전극(170)은 앞서 설명한 바와 마찬가지로, 자외선 영역의 빛을 투과시킬 수 있고, 물질의 고유한 임계 전압 이상의 전압이 인가되면 내부에 전도성 필라멘트(172)가 형성되어 저항상태가 고저항 상태에서 저저항 상태로 변화되는 투명한 저항변화 물질로 형성된다. 투명전극(170)은 포밍 공정이 수행되어 내부에 전도성 필라멘트(172)가 형성됨으로써, 저저항 상태가 유지된다. 따라서, 반사층(174)으로부터 인가된 전류는 투명전극(170) 내부에 형성된 전도성 필라멘트(172)를 통해서 전체 영역으로 확산되어 제 2 반도체층(168)으로 주입된다.

[159] 제 2 반도체층(168)은 p타입으로 도핑된 반도체층으로서, 본 발명의 바람직한 실시예에서는 자외선 영역의 빛을 발생시킬 수 있도록 p-AlGaIn 단일층으로 형성되거나, 투명전극 위에 p-GaN 박막 및 p-AlGaIn층 순차적으로 형성되었다. 그러나, 자외선 영역의 빛을 발생시킬 수 있는 발광소자의 제조에 이용되는 일반적인 재질로 형성될 수도 있다.

[160] 활성층(166)(MQW)은 자외선 영역의 빛이 발생될 수 있도록 Al(In)GaIn/(In)GaIn으로 형성되는 것이 바람직하지만, 자외선 영역의 빛을 발생시킬 수 있는 것이라면 그 재질에 한정이 없다. 제 1 반도체층(164)은 n타입으로 도핑된 반도체층으로서, 본 발명의 바람직한 실시예에서는 자외선 영역의 빛을 발생시킬 수 있도록 n-AlGaIn으로 형성되었으나, 자외선 영역의 빛을 발생시킬 수 있는 발광소자의 제조에 이용되는 일반적인 재질로 형성될 수도 있다. 상술한 실시예에서, 제 1 반도체층(164)과 제 2 반도체층(168)은 각각 n타입 및 p타입으로 도핑된 반도체층으로 설명하였으나, 그 역의 경우도 가능하다.

- [161] 도 15는 본 발명의 바람직한 실시예에 따른 발광소자 제조 방법을 설명하는 도면이다.
- [162] 도 15를 참조하면, 도 10의 (a)단계 내지 (d) 단계와 동일한 공정을 수행하여, 사파이어 기판(160)과 같은 기판위에 순차적으로 버퍼층(162), 제 1 반도체층(164), 활성층(166), 제 2 반도체층(168) 및 투명전극(170)을 형성하고, 투명전극(170)을 포밍하여 내부에 전도성 필라멘트(172)를 형성함으로써, 투명전극(170)의 저항 상태를 저저항 상태로 변화시킨다(a).
- [163] 이 때, 버퍼층(162)은 도핑되지 않은 갈륨나이트라이드(Un-doped GaN)층으로 형성될 수 있고, 제 1 반도체층(164)은 n-AlGaN 층으로 형성될 수 있으며, 활성층(166)(MQW)은 자외선 영역의 빛이 발생될 수 있도록 Al(In)GaN/(In)GaN 으로 형성될 수 있고, 제 2 반도체층(168)은 p-AlGaN 단일층 또는 p-AlGaN 층과 p-GaN 박막으로 형성될 수 있다.
- [164] 제 2 반도체층(168) 위에 형성되는 투명전극(170)은 상술한 바와 같이, 자외선에 대한 투과도가 높고 임계 전압 이상의 전압이 인가되는 포밍 공정에 의하여 내부에 전도성 필라멘트(172)가 형성되고 저항상태가 저저항 상태로 변화되는 물질로 형성된다. 저항 변화 물질의 예는 상술하였으므로 구체적인 설명은 생략한다.
- [165] 그 후, 투명전극(170) 위에 Ag 또는 Al과 같은 금속으로 반사층(174)을 형성하고, 그 위에 서브마운트 기판(176)과의 접합을 위한 접합층(176)을 형성함으로써 발광 구조물을 완성한다(b).
- [166] 다음으로, 사파이어 기판(160)이 위로 오도록 발광 구조물의 접합층(176)과 서브마운트 기판(178)을 접합시킨다. 사파이어 기판(160)을 발광소자로부터 분리하기 위해서, 사파이어 기판(160)을 통해서 245~305nm의 UV 레이저를 조사한다. 조사된 UV 레이저는 버퍼층(162)에서 흡수되고, 버퍼층(162)의 GaN 물질이 Ga와 N₂로 분리됨으로써 사파이어 기판(160)이 발광소자로부터 분리된다(c).
- [167] 다음으로, 제 1 반도체층(164) 위에 남아있는 버퍼층(162)의 잔여물질을 제거하고, 제 1 반도체층(164) 위에 n형 전극 패드를 형성함으로써, 발광소자를 완성한다(d).
- [168] 투명전극(170)의 일부 전도성 필라멘트(172)들이 다른 전도성 필라멘트(172)들과 상호 연결되지 않아 전류가 일부 영역에 집중되는 것을 방지하기 위해서, (b) 단계에서 투명전극(170)과 제 2 반도체층(168) 사이에 CNT 또는 그래핀으로 구현되는 전류 확산층(186)을 더 형성하거나, 투명전극(170) 위에 CNT 또는 그래핀으로 구현되는 전류 확산층(186)을 형성하고, 그 위에 반사층(174)을 형성할 수도 있다. 도 14b에 도시된 바와 같이, 전류 확산층(186)이 제 2 반도체층(168)과 반사층(174) 사이에 형성된다. 반사층(174)을 통해서 유입되는 전류는 투명전극(170)의 전도성 필라멘트(172)를 통해서 1차로 확산되고, 투명전극(170)과 접촉하는 전류 확산층에서 제 2 반도체층(168)

전체로 확산되어 균일하게 전류가 주입된다.

- [169] 한편, 상술한 바와 같이, 전류 확산층(186)이 투명전극(170)과 반사층(174)사이에서 형성되어도 상술한 것과 효과가 나타날 수 있다.
- [170] 상술한 발광소자 역시 자외선 영역의 빛에 대한 광투과도가 높고, 전도성 필라멘트가 형성되어 양호한 오믹 콘택 특성을 나타내는 저항 변화 물질을 이용하여 투명전극을 형성함으로써, 발광 소자 전체의 광투과도와 전기적 특성이 향상된다.
- [171] 도 16은 본 발명의 바람직한 실시예에 따른 투명전극을 구비하는 수직형 발광소자의 구조를 도시하는 도면이다.
- [172] 도 16을 참조하면, 수직형 발광 소자는 기판(210) 위에 반사층(204), 제 2 반도체층(202), 활성층(200), 제 1 반도체층(198), 투명전극(194)이 순차적으로 형성되어 있고, 투명전극(194) 위에 n형 전극 패드(208)가 형성되어 있다.
- [173] 즉, 앞서 설명한 도 15의 실시예와는 달리 투명전극(194)이 제 1 반도체층(198)의 상부에 형성되어 있으며, 나머지 구성요소의 재질 또는 특성은 도 15의 실시예와 동일하다.
- [174] 도 17은 본 발명의 바람직한 실시예에 따른 수직형 발광 소자를 제조하는 과정을 설명하는 도면이다.
- [175] 먼저, 도 17의 (a)를 참조하면, 사파이어 기판과 같이 수직형 발광 소자 제조에 이용되는 기판(190)위에, 버퍼층(192)을 형성하고, 버퍼층(192) 위에 저항변화 물질을 이용하여 투명전극(194)을 형성한다. 버퍼층(192)은 GaN, AlN 등으로 형성될 수 있고, 투명전극으로 이용되는 물질은 상술한 바와 같다.
- [176] 아울러, 상술한 투명전극(194)을 복수의 층으로 구성하되, 각 층의 굴절율이 상부 방향(제 1 반도체층(198) 방향)으로 갈수록 점진적으로 증가하도록 하여, 발광 소자가 완성되었을 때, 굴절율 차이로 인한 전반사를 감소시켜 광 효율을 더욱 향상시킬 수도 있다.
- [177] 다음으로, 투명전극(194) 위에 n-타입의 제 1 반도체층(198)(예컨대, n-GaN, n-AlGaIn 등)을 형성하고, 제 1 반도체층(198) 위에 빛을 발생시키는 활성층(210;MQW)을 형성한 후, 활성층(210) 위에 p-타입의 제 2 반도체층(202)(예컨대, p-GaN, p-AlGaIn 등)을 형성하며, 제 2 반도체층(202) 위에 반사층(204)을 형성한다. 반사층(204)은 이용되는 Ag, Al, Pt, Au, Ni, Ti, ITO 또는 이들의 조합 등과 같이, 일반적으로 LED 공정에서 반사막 형성에 이용되는 재질이 이용될 수 있다.
- [178] 다음으로, 도 17의 (b)에 도시된 바와 같이, 반사층(204) 위에 서브마운트 기판(210)과의 접착을 위한 접착층(206)(bonding metal)을 형성한다.이어서, 사파이어 기판(190)이 위로 오도록 접착층(206)과 서브마운트 기판(210)을 서로 접합하고, 사파이어 기판(190)을 분리하기 위해서 245~305nm 의 UV레이저를 사파이어 기판(190)을 통해서 조사한다. 조사된 레이저는 기판(190)을 투과하여 기판(190)과 버퍼층(192)의 경계면에서 흡수되어, 버퍼층(192)과 기판(190)을

분리시킨다. 버퍼층(192)이 GaN로 형성된 경우, UV 레이저를 흡수한 버퍼층(192)의 GaN는 Ga 과 N_2 로 분리된다. 이때 형성된 N_2 는 외부로 방출되고, 계면에는 Ga 만이 남게되는데, 용점이 $30^\circ C$ 정도인 Ga 은 가해진 열에 의해서 용융되고, 따라서 기판(190)은 분리된다.

- [179] 다음으로, 도 17의 (c)에 도시된 바와 같이, 기판(190)이 분리된 후에 투명전극(194)이 드러나도록, 잔여 버퍼층(192)을 식각 공정을 통해서 제거한다. 이어서, 표면으로 드러난 투명전극(194) 위에 포토레지스트층(미도시 됨)을 형성하고, 포토리쓰그래피 공정을 수행하여 포토레지스트층 중에서 n 타입 금속 패드(208)가 형성될 영역의 일부에 포밍 전극(212)을 형성하기 위한 패턴을 형성한다. 다음으로, 전자빔(e-beam), 스퍼터 또는 기타 증착 공정을 수행하여 패턴 내부에 포밍 전극(212)을 형성한 후, 리프트 오프(lift-off) 공정을 통해서 포밍 전극(212)을 제외한 포토레지스트층과 포토레지스트층 위에 증착된 금속을 함께 제거하여 포밍전극(212)을 완성한다.
- [180] 다음으로, 도 17의 (d)에 도시된 바와 같이, 투명전극(194) 위에 형성된 포밍전극(212)에 물질에 고유한 임계 전압 이상의 전압을 인가한다. 전압이 인가되면, 절연파괴(electrical breakdown)에 따른 포밍 공정이 수행되어, 절연물질인 투명전극(194) 내부에 전도성 필라멘트(196)가 형성되어, 투명전극(194)의 저항 상태가 고저항 상태에서 저저항 상태로 변화된다.
- [181] 이때, 포밍 공정을 수행하기에 앞서, 투명전극(194)의 표면에 요철 패턴을 추가로 형성하여 광효율을 더 향상시킬 수도 있다. 투명전극(194)에 요철패턴을 형성하는 방식은 공지된 방식이 적용될 수 있으므로 구체적인 설명은 생략한다.
- [182] 투명전극(194) 내부에 전도성 필라멘트(196)가 형성되면, (e)에 도시된 바와 같이, 투명전극(194) 위에 n형 금속 전극 패드(208)를 형성한다. 이때, 금속 전극 패드(208)를 형성하는 방법은 포밍을 수행하기 위한 전극(212)을 제거하고 별도의 금속 전극 패드를 형성할 수도 있고, 마스크(미도시 됨)를 이용하여 포밍 전극(212) 위에 추가로 금속을 증착하여 n형 금속 전극 패드(208)를 형성할 수도 있다.
- [183] 한편, 투명전극(194)내에 형성된 일부 전도성 필라멘트(196)는 다른 전도성 필라멘트들(196)과 연결되지 않을 가능성이 있다. 이 경우, 투명전극(194)으로 유입되는 전류가 투명전극(194) 전체로 확산되지 못하고 국부적으로 집중되고, 이에 따라서 투명전극(194)에 접촉하는 제 1 반도체층(198)에도 국부적으로 전류가 집중되는 문제점이 발생할 가능성이 있다.
- [184] 도 18a 및 도 18b는 본 발명의 바람직한 실시예에 따른 발광소자의 구성을 도시하였다.
- [185] 도 18a 및 도 18b에 도시된 예에서는, 투명전극(194)의 전류 확산 특성(current spreading)을 향상시키기 위해서, 전류 확산층(214,216)을 투명전극(194)의 상면 또는 하면에 형성하였다. 이때, 전류 확산층(214,216)은 투명전극(194)에 형성된 전도성 필라멘트들(196)을 상호 연결시키는 CNT(Carbon Nano Tube) 또는

그래핀(graphene)으로 구현될 수 있다.

- [186] 도 18a에서는 CNT 또는 그래핀으로 구현된 전류 확산층(214)을 투명전극(194)과 제 1 반도체층(198) 사이에 형성한 예를 도시하였다. 도 18b에서는 CNT 또는 그래핀으로 구현되는 전류 확산층(216)을 투명전극(194) 위에 형성한 예를 도시하였다.
- [187] CNT 및 그래핀은 전도성 및 빛의 투과도가 뛰어난 특성이 있다. 본 발명은 이러한 특성을 이용하여 투명전극(194)의 일면에 접촉하도록 CNT 또는 그래핀으로 전류 확산층(214,216)을 형성하였다. 전류 확산층(214,216)은 투명전극(194)의 전도성 필라멘트(196)를 상호 연결함으로써, 투명전극(194)으로 유입된 전류가 제 1 반도체층(198) 전체 영역으로 확산되도록 한다.. 전류 확산층(214, 216)의 두께에 따른 투과도와 전도성의 변화 정도와 최적 두께에 대해서는 앞서 설명한 실시예에서 설명한 바와 같다.
- [188] 도 19는 본 발명의 바람직한 실시예에 따른 유기 발광소자의 구조를 도시하는 도면이다.
- [189] 도 19를 참조하면, 본 발명에 따른 유기 발광소자는 상부 발광(Top-emission) 방식의 유기 발광 소자로서, 기판(220)위에 형성된 제 2 전극(222), 유기물층(230) 및 투명 전극인 제 2 전극(224)을 포함한다.
- [190] 유기물층(230)은 정공 주입층(231), 정공 수송층(233), 발광층(235), 전자 수송층(237) 및 전자 주입층(239)이 순차적으로 형성된 구조로 구현될 수 있다. 이하에서는 유기물층(230)이 정공 주입층(231) 내지 전자 주입층(239)을 포함하는 경우를 예시적으로 설명한다. 기판(220)부터 전자 주입층(239)까지의 구성은 현재 공지된 모든 유기 발광소자에 적용되는 구조가 동일하게 적용될 수 있다.
- [191] 한편, 전자 주입층(239) 위에는 본 발명의 투명한 재질의 제 2 전극(224)이 형성되어 있다. 제 2 전극(224)은 자외선 영역을 포함하는 빛에 대한 투과도가 높으면서도 인가된 전계에 의해서 저항상태가 변화되는 투명 재질의 절연 물질(저항 변화 물질)로 형성된다. 본 발명에서 사용하는 저항 변화 물질 및 전도성 필라멘트의 생성 과정에 대해서는 앞서 소개한 실시예를 통해 설명한 바와 같다.
- [192] 유기 발광 소자가 완성되면, 투명전극인 제 2 전극(224)으로 주입된 전류는 제 2 전극(224) 내부에서 서로 연결된 전도성 필라멘트(226)를 통해서 전체 영역으로 확산되어 전자 주입층(239) 전체 영역으로 주입되고, 자외선 영역의 빛을 포함한 발광층(235)에서 발생된 모든 빛은 밴드 갭이 큰 투명전극(224)을 통해서 상부로 유출된다.
- [193] 도 20은 본 발명의 바람직한 실시예에 따른 유기 발광소자를 제조하는 방법을 설명하는 도면이다.
- [194] 먼저, 기판(220)위에 제 2 전극(222) 및 발광층(235)을 포함하는 유기물층(230)을 형성한다(a). 상술한 바와 같이, 유기물층(230)은 정공

주입층(231), 정공 수송층(233), 발광층(235), 전자 수송층(237) 및 전자 주입층(239)이 순차적으로 형성된 구조로 구현될 수 있다.

- [195] 다음으로, 유기물층(230)(특히, 전자 주입층(239)) 위에 투명전극인 제 2 전극(224)을 형성한다(b, c, d). 보다 구체적으로, 저항 변화 물질층을 형성하고, 포밍 전극을 형성한 후 임계 전압 이상의 전압을 인가하여 전도성 필라멘트를 형성하는 단계를 수행하며, 구체적인 단계는 앞서 소개한 실시예를 통해 설명한 바와 같다.
- [196] 제 2 전극(224) 내부에 전도성 필라멘트(226)가 형성되면, 제 2 전극(224) 상부에 금속 전극 패드(228)를 형성한다((e)참조). 이 때, 금속 전극 패드(228)를 형성하는 방법은 포밍을 수행하기 위한 전극(227)을 제거하고 별도의 금속 전극 패드(228)를 형성할 수도 있고, (e)에 도시된 바와 같이, 마스크(229)를 이용하여 포밍 전극(227) 위에 추가로 금속을 증착하여 금속 전극 패드(228)를 형성할 수도 있다.
- [197] 한편, 투명전극인 제 2 전극(224)에서도 전류 확산 특성(current spreading)을 향상시키기 위해서, 전도성 필라멘트들(226)을 상호 연결시키는 CNT(Carbon Nano Tube) 또는 그래핀(graphene)으로 구현되는 전류 확산층(240)을 형성할 수 있다.
- [198] 도 21a 및 도 21b는 본 발명의 바람직한 실시예에 따른 유기 발광소자의 제조 방법을 설명하는 도면이다.
- [199] 도 21a에서는 CNT 또는 그래핀으로 구현되는 전류 확산층(240)을 제 2 전극(224)위에 형성한 예를 도시하였고, 도 21b에서는 CNT 또는 그래핀으로 구현된 전류 확산층(240)을 제 2 전극(224)과 전자 주입층(239) 사이에 형성한 예를 도시하였다.
- [200] CNT 및 그래핀은 전도성 및 빛의 투과도가 뛰어난 특성이 있고, 본 발명은 이러한 특성을 이용하여 투명전극(224)의 일면에 접촉하도록 CNT 또는 그래핀으로 전류 확산층(240)을 형성하여 투명전극(224)의 전도성 필라멘트(226)를 상호 연결함으로써, 투명전극(224)으로 유입된 전류가 전자 주입층(239) 전체 영역으로 확산되도록 하였다. 한편, 전류 확산층(240)의 두께에 따른 투과도와 전도성의 변화 정도와 최적 두께에 대해서는 앞서 설명한 실시예에서 설명한 바와 같다.
- [201] 도 22는 본 발명의 바람직한 실시예에 따른 유기 발광소자의 구조를 도시하는 도면이다.
- [202] 도 22를 참조하면, 본 발명에 따른 유기 발광 소자는 하부 발광(Bottom-emission) 방식의 유기 발광소자로서, 투명한 유리 또는 플라스틱 재질의 기판(250)위에 투명 전극인 제 1 전극(254)이 형성되어 있고, 투명전극(254) 위에 발광층(265)을 포함하는 유기물층(260)과 제 2 전극(252)이 순차적으로 형성되어 있다. 유기물층(260)은 정공 주입층(261), 정공 수송층(263), 발광층(265), 전자 수송층(267), 및 전자 주입층(269)이 차례로

형성된 구조로 구현될 수 있다.

- [203] 한편, 투명한 기판(250) 위에 형성되는 제 1 전극(254)은 상술한 제 1 실시예의 제 2 전극(224)과 마찬가지로 저항 변화 물질로 형성되고, 포밍 공정이 수행되어서 내부에 전도성 필라멘트(256)가 형성되고, 이 전도성 필라멘트들(256)은 서로 연결됨으로써 전류가 잘 흐르는 저저항 상태가 유지된다. 따라서, 제 1 전극(254)은 가시광 영역의 빛 뿐만 아니라, UV 영역의 빛에 대한 투과도가 매우 높을 뿐만 아니라, 정공 주입층(261)과도 오믹 콘택이 형성되어 유기 발광소자의 구동 전력이 감소된다.
- [204] 도 23은 본 발명의 바람직한 실시예에 따른 유기 발광소자의 제조 방법을 설명하는 도면이다.
- [205] 먼저, 투명한 유리 기판(250) 또는 투명한 플라스틱 기판(250) 위에 저항 변화 물질로 제 1 전극(254)을 형성한다(a).
- [206] 다음으로, 투명전극인 제 1 전극(254)을 형성한다(b, c, d). 보다 구체적으로, 저항 변화 물질층을 형성하고, 포밍 전극을 형성한 후 임계 전압 이상의 전압을 인가하여 전도성 필라멘트를 형성하는 단계를 수행한다. 구체적인 단계는 앞서 소개한 실시예를 통해 설명한 바와 같다.
- [207] 투명전극인 제 1 전극(254)의 포밍 공정이 수행된 후, 제 1 전극(254)위에 정공 주입층(261), 정공 수송층(263), 발광층(265), 전자 수송층(267), 전자 주입층(269), 및 제 2 전극(252)이 순차적으로 형성된다(e). 정공 주입층(261) 내지 제 2 전극(252)을 형성하는 과정은 종래의 하부 발광(bottom emission) 방식의 유기 발광소자의 제작 공정이 그대로 적용될 수 있다.
- [208] 도 24a 및 도 24b는 본 발명의 바람직한 실시예에 따른 유기 발광소자의 구조를 도시하는 도면이다. 도 24a 및 도 24b에 도시된 변형 실시예는 도 21a 및 도 21b에 도시된 실시예와 마찬가지로, 전류 확산 효율을 향상시키기 위해서, 투명전극의 상면 또는 하면에 접촉하도록 전류 확산층(270)을 CNT 또는 그래핀으로 형성한다. 도 24a는 투명전극인 제 1 전극(254) 위에 전류 확산층(270)을 형성한 예를 도시하였다. 도 24b는 투명한 기판(250) 위에 전류 확산층(270)을 형성하고, 그 위에 투명전극인 제 1 전극(254)을 형성한 예를 도시하였다.
- [209] 도 24a 에 도시된 예에서, 정공은 1차적으로 전류 확산층(270)에 의해서 유기발광 소자 전체 영역으로 확산되어 투명전극인 제 1 전극(254)으로 주입된다. 이어서, 2차적으로 제 1 전극(254)에서 유기 발광소자 전체 영역으로 확산됨으로써, 정공 주입층(261)에 균일하게 정공이 주입된다. 또한, 도 24b에 도시된 예에서, 정공은 1차적으로 투명전극(254)에 의해서 유기 발광 소자 전체 영역으로 확산되어 전류 확산층(270)으로 주입되고, 2차적으로 전류 확산층(270)에서 유기 발광소자 전체 영역으로 확산됨으로써, 정공 주입층(261)에 균일하게 정공이 주입된다.
- [210] 도 25a 내지 도 25c는 본 발명의 바람직한 실시예에 따른 수광소자의 구성을 도시한 도면이다.

- [211] 도 25a를 참조하면, 수광 소자는 빛을 흡수하여 전기 에너지로 변환하는 광전 변환층(300)을 사이에 두고, 광전 변환층(300)의 각 면에 투명전극(304)과 대향 전극(302)이 각각 접촉되도록 형성된 구조를 갖는다.
- [212] 광전 변환층(300)은 빛을 흡수하여 광전효과에 따라서 전자-정공쌍을 발생시킴으로써 광 에너지를 전기 에너지로 변환하는 구성이다. 광전 변환층(300)은 수광 소자가 구현되는 예에 따라서 P-N 접합 구조로 형성될 수 있고, PIN 레이어 구조(진성 반도체층인 i형 반도체층 양측에 p형 반도체층과 n형 반도체층이 접합된 구조)로 형성될 수도 있으며, 이 밖에도 수광 소자에 따라서 다양하게 구현될 수 있다.
- [213] 대향 전극(302)은 후술하는 투명전극(304)에 대응되도록 형성되고, 일반적으로 태양전지, 포토 다이오드 등에서 이용되는 전극과 동일하게 구현될 수 있다. 수광 소자에는 2개의 전극이 필요하고, 그 중 하나는 투명전극이 되고, 나머지 하나는 대향 전극(302)이 된다. 따라서, 본 발명의 바람직한 실시예에서의 대향 전극(302)은 투명전극(304)과의 물리적인 배치 관계와는 무관함을 주의해야 한다.
- [214] 투명전극(304)은 외부의 빛을 투과시켜 광전 변환층(300)으로 빛을 제공한다. 투명전극(304)은 자외선 영역을 포함하는 빛에 대한 투과도가 높으면서도 인가된 전계에 의해서 저항상태가 변화되는 투명 재질의 물질(저항 변화 물질)로 형성된다.
- [215] 자외선 영역을 포함하는 빛에 대한 투과도가 높으면서도 인가된 전계에 의해서 저항상태가 변화되는 투명 재질의 절연 물질(저항 변화 물질)로 형성된다. 본 발명에서 사용하는 저항 변화 물질 및 전도성 필라멘트의 생성 과정에 대해서는 앞서 소개한 실시예를 통해 설명한 바와 같다.
- [216] [01] 상술한 수광 소자를 제조하는 방법을 간략하게 설명하면, 기판(미도시 됨) 위에 대향 전극(302)을 형성하고, 그 위에 광전 변환층(300)을 형성한다. 광전 변환층(300)은 PN 접합 구조로 형성될 수도 있고, PIN 구조(진성 반도체층인 i형 반도체층 양측에 p형 반도체층과 n형 반도체층이 접합된 구조)로 형성될 수도 있다.
- [217] [02] 다음으로, 광전 변환층(300) 위에 저항 변화 물질로 투명 전극(304)을 형성한다. 이어서, 저항 변화 물질에 고유한 임계 전압 이상의 전압을 인가하여 절연파괴(electrical break down) 현상을 발생시켜 포밍 공정(forming process)을 수행함으로써 투명 전극(304) 내부에 전도성 필라멘트(306)를 형성한다. 이 밖에 투명 전극(304)의 일측에 전극패드가 형성될 수도 있다.
- [218] 한편, 상술한 수광 소자 제조 방법에서는 기판 위에 대향 전극(302)을 형성하는 것으로 설명하였다. 그러나, 빛이 투과할 수 있는 유리나 같은 재질의 투명 기판 위에 저항 변화 물질로 투명 전극(304)을 형성하고, 포밍 공정을 수행하여 전도성 필라멘트(306)를 형성한 후, 그 위에 광전 변환층(300) 및 대향 전극(302)을 순차적으로 형성할 수도 있다.

- [219] 한편, 투명전극(304)의 전류 확산 특성을 향상시키기 위해서, 투명전극(304)에 형성된 전도성 필라멘트들(306)을 상호 연결시키는 CNT(Carbon Nano Tube) 또는 그래핀(graphene)으로 구현되는 전류 확산층(308)이 추가로 투명전극(304)의 상면 또는 하면에 형성될 수 있다.
- [220] 도 25b는 CNT 또는 그래핀으로 구현된 전류 확산층(308)을 투명전극(304)과 광전 변환층(300) 사이에 형성한 예를 도시하였고, 도 25c는 CNT 또는 그래핀으로 구현되는 전류 확산층(308)을 투명전극(304)의 광전 변환층(300)에 접촉하는 면의 반대면에 형성한 예를 도시하였다.
- [221] CNT 및 그래핀은 전도성 및 빛의 투과도가 뛰어난 특성이 있다., 따라서, 본 발명은 이러한 특성을 이용하여 투명전극(304)의 일면에 접촉하도록 CNT 또는 그래핀으로 전류 확산층(308)을 형성하여 투명전극(304)의 전도성 필라멘트(306)를 상호 연결하였다. 전도성 필라멘트(306)들이 상호 연결되면, 수광소자에 흐르는 전류가 전체 영역에 균일하게 퍼지도록 할 수 있다. 한편, 전류 확산층(308)의 두께에 따른 투과도와 전도성의 변화 정도와 최적 두께에 대해서는 앞서 설명한 실시예에서 설명한 바와 같다.
- [222] 지금까지 도 25a 내지 도 25c를 참조하여 본 발명의 바람직한 실시예에 따른 투명전극을 구비하는 수광소자 및 그 제조 방법에 대해서 설명하였다. 이하에서는, 수광소자가 자외선용 포토 다이오드 및 태양전지로 각각 구현된 실시예들을 설명한다. 다만, 후술하는 자외선용 포토 다이오드 및 태양전지의 구조는 기본적으로 도 25a를 참조하여 설명한 수광 소자의 구조에 포함되는 것임을 주의해야 한다.
- [223] 도 26은 본 발명의 바람직한 일 실시예에 따라서 수광 소자가 자외선용 포토다이오드로 구현된 실시예를 도시하는 도면이다.
- [224] 본 발명의 자외선용 포토 다이오드는 사파이어 기판(310)위에 버퍼층(312), n형 반도체층(322), 활성층(324;intrinsic 반도체층), p형 반도체층(326)이 순차적으로 형성되어 있다. 이어서, p형 반도체층(326) 위에는 투명전극(314)이 형성되며, 투명전극(314) 위에 p형 전극 패드(330)가 형성되어 있다. 또한, n형 반도체층(322)의 일측면이 드러나도록 식각되어 있고, 그 위에 n형 반도체층(322)과 접촉하도록 n형 전극 패드(332)가 형성되어 있다.
- [225] 본 발명의 바람직한 실시예에서, 버퍼층(312)은 GaN층으로 형성되었고, n형 반도체층(322)은 $n\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 층으로 형성되었다. 또한, 활성층(324)은 $i\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 층으로 형성되었고, p형 반도체층(326)은 $p\text{-Al}_x\text{Ga}_{1-x}\text{N}$ 층으로 형성되었다.
- [226] 투명전극(314)은 상술한 바와 같은 저항 변화 물질로 형성되어, 가시광 영역뿐만 아니라 자외선 영역에서도 양호한 광투과도를 나타낸다. 투명전극(314) 물질에 고유한 임계 전압 이상의 전압이 인가되어 절연 파괴 현상이 발생함에 따라서 포밍 공정이 수행된 후에는, 내부에 전도성 필라멘트(316)가 형성되어 높은 전도 특성을 나타내므로, 접촉한 p형 반도체층(326)과 양호한 오믹 접촉이 이루어진다.

- [227] 종래 기술에 따른 자외선용 포토 다이오드의 경우에는, 투명전극 없이 p형반도체층 위에 금속 전극 패드가 직접 형성되었다. 그러나, 금속 전극 패드와 p형 반도체층 사이의 밴드 갭 차이가 매우 커서 오믹 특성이 매우 저하되는 문제점이 존재점이 존재하였다. 이러한 오믹 특성이 저하되는 문제점을 해결하기 위해서 금속 전극을 대면적으로 형성하는 방안이 제안되었지만, 이 경우에는 빛이 반도체층으로 유입되는 면적을 크게 감소시켜 전체 포토 다이오드의 성능을 저하시키는 문제점이 발생하였다.
- [228] 그러나, 본 발명의 투명전극(314)은 상술한 바와 같이, 전도성 필라멘트(316)를 내부에 형성함으로써 투명전극(314)의 전기 전도도를 크게 향상시킬 수 있다. 따라서, 양호한 광투과 특성을 나타냄과 동시에 p형 반도체층(326)과의 양호한 오믹 접촉 특성을 이룰 수 있다.
- [229] 도 27은 본 발명의 바람직한 실시예에 따라서 자외선용 포토 다이오드를 제조하는 과정을 설명하는 도면이다.
- [230] 먼저, 사파이어 기판(310)위에 순차적으로 버퍼층(312)(GaN층), n형 반도체층(322)(n-Al_xGa_{1-x}N층), 활성층(324)(intrinsic 반도체층:i-Al_xGa_{1-x}N층), p형 반도체층(326)(p-Al_xGa_{1-x}N층)을 형성한다. 사파이어 기판(310)에서 p형 반도체층(326)까지 형성하는 과정은 일반적인 자외선용 포토 다이오드 제조 과정과 동일하므로 구체적인 설명은 생략한다.
- [231] 다음으로, p형 반도체층(326) 위에 저항 변화 물질을 이용하여 투명전극(314)을 형성한다(b, c, d). 보다 구체적으로, 저항 변화 물질층을 형성하고, 포밍 전극을 형성한 후 임계 전압 이상의 전압을 인가하여 전도성 필라멘트를 형성하는 단계를 수행하며, 구체적인 단계는 앞서 소개한 실시예를 통해 설명한 바와 같다.
- [232] 투명전극(314) 내부에 전도성 필라멘트(316)가 형성되면, 투명전극(314)위에 p형 금속 전극 패드를 형성한다(d). 이 때, p형 전극 패드(330)를 형성하는 방법은 포밍을 수행하기 위한 전극(317)을 제거하고 별도의 금속 전극패드를 형성할 수도 있고, 마스크(318)를 이용하여 포밍 전극(317) 위에 추가로 금속을 증착하여 p형 금속 전극 패드를 형성할 수도 있다.
- [233] 다음으로, n형 반도체층(322)이 드러나도록 투명전극(314)으로부터 p형 반도체층(326), 활성층(324)을 순차적으로 식각하고, n형 반도체층(322) 위에 n형 전극패드를 형성함으로써 자외선용 포토 다이오드를 완성한다(e).
- [234] 상술한 실시예에서, 광전 변환층(320)이 n형 반도체층(322), 활성층(324)(intrinsic 반도체층), 및 p형 반도체층(326)으로 구성되는 예를 설명하였으나, 광전 변환층(320)이 PN접합만으로도 구현될 수 있음은 물론이다.
- [235] 지금까지 본 발명의 바람직한 일 실시예에 따른 자외선용 포토 다이오드 및 그 제조 방법에 대해서 설명하였다. 한편, 투명전극(314)내에 형성된 일부 전도성 필라멘트(316)는 다른 전도성 필라멘트들(316)과 연결되지 않을 가능성이 있다.
- [236] 도 28a 및 도 28b는 본 발명의 바람직한 실시예에 따른 자외선용 포토

다이오드를 도시하였다.

- [237] 투명전극(314)의 전류 확산 특성(current spreading)을 향상시키기 위해서, 투명전극(314)에 형성된 전도성 필라멘트들(316)을 상호 연결시키는 CNT(Carbon Nano Tube) 또는 그래핀(graphene)으로 구현되는 전류 확산층(334,336)을 투명전극(314)의 상면 또는 하면에 형성하였다.
- [238] 도 28a에서는 CNT 또는 그래핀으로 구현되는 전류 확산층(334)을 투명전극(314) 위에 형성한 예를 도시하였고, 도 28b에서는, CNT 또는 그래핀으로 구현된 전류 확산층(336)을 투명전극(314)과 p형 반도체층(326) 사이에 형성한 예를 도시하였다.
- [239] CNT 및 그래핀은 전도성 및 빛의 투과도가 뛰어난 특성이 있다. 따라서, 본 발명은 이러한 특성을 이용하여 투명전극(314)의 일면에 접촉하도록 CNT 또는 그래핀으로 전류 확산층(334,336)을 형성하여 투명전극(314)의 전도성 필라멘트(316)를 상호연결함으로써, 투명전극(314)으로 유입된 전류가 광전 변환층(320) 전체 영역으로 확산되도록 하였다. 한편, 전류 확산층(334, 336)의 두께에 따른 투과도와 전도성의 변화 정도와 최적 두께에 대해서는 앞서 설명한 실시예에서 설명한 바와 같다.
- [240] 지금까지 본 발명의 바람직한 실시예에 따른 수광소자가 자외선용 포토 다이오드에 적용된 예를 설명하였다. 종래의 가시광 영역에서 이용되는 포토 다이오드는 도 29 내지 도 31b를 참조하여 후술하는 태양 전지와 동일한 구조를 가지므로 구체적인 설명은 생략한다.
- [241] 도 29는 본 발명의 바람직한 일 실시예에 따라서 수광 소자가 태양전지로 구현된 예를 도시하는 도면이다.
- [242] 본 발명의 바람직한 일 실시예에 따른 태양전지는 광전 변환층(410)의 양측에 투명전극(404)과 대향 전극(402)이 각각 접합하고 있는 구조를 갖는다. 이때, 유리 기판과 같은 지지 기판(400)은 투명전극(404)에 접촉하도록 형성될 수도 있고, 대향 전극(402)에 접촉하도록 형성될 수도 있다.
- [243] 또한, 광전 변환층(410)은 도 29에 도시된 바와 같이, PN 접합 구조로 형성될 수도 있고, n형, i형, p형 반도체층이 접합된 PIN 접합층으로 형성될 수도 있다. 도시된 예에서는 투명전극(404)이 p형 반도체층(414)에 접촉하고, 대향 전극(402)이 n형 반도체층(412)에 접촉하는 것으로 도시하였으나, 투명전극(404)이 n형 반도체층에 접촉하고 대향 전극(402)이 p형 반도체층에 접촉하도록 구성될 수도 있음은 물론이다.
- [244] 도시된 태양전지의 동작을 간략하게 설명하면, 투명전극(404)을 통해서 입사된 외부의 빛은 투명전극(404)을 통과하여 광전 변환층(410)으로 유입된다. 입사된 태양광이 가지고 있는 에너지에 의해 광전 변환층(410)에서 정공(hole)과 전자(electron)가 발생한다. 이때, PN접합에서 발생한 전기장에 의해서 상기 정공(+)은 P형 반도체층으로 이동하고 전자(-)는 N형 반도체층으로 이동하게 되어 전위가 발생하게 된다.

- [245] 투명전극(404)은 도 25a 및 도 26에 도시된 투명전극(404)과 동일한 저항 변화 물질로 형성될 수 있다. 저항 변화 물질에 고유한 임계치 이상의 전압이 인가되면, 절연 파괴현상이 발생함에 따라서 포밍 공정이 수행되어, 내부에 전도성 필라멘트(406)가 형성된다. 따라서, 투명전극(404)은 가시광 영역뿐만 아니라 자외선 영역의 빛까지 모두 높은 투과 특성을 나타냄과 동시에, 전도성 필라멘트(406)에 의해서 높은 전기 전도도 특성을 나타낸다.
- [246] 도 30은 본 발명의 바람직한 일 실시예에 따라서 투명전극(404)을 구비한 태양 전지를 제조하는 과정을 설명하는 도면이다.
- [247] 먼저, 일반적인 태양전지 제조 공정과 동일한 방식으로 기판위에 대항 전극(402) 및 광전 변환층(410)을 형성하고, 광전 변환층(410)에 접촉 하도록 저항 변화 물질로 투명전극(404)을 형성한다(b, c). 보다 구체적으로, 저항 변화 물질층을 형성하고, 포밍 전극을 형성한 후 임계 전압 이상의 전압을 인가하여 전도성 필라멘트를 형성하는 단계를 수행하며, 구체적인 단계는 앞서 소개한 실시예를 통해 설명한 바와 같다.
- [248] 투명전극(404) 내부에 전도성 필라멘트(406)가 형성되면, 투명전극(404)에 전극 패드(408)를 형성한다(d). 이 때, 포밍을 수행하기 위한 전극(407)을 제거하고 별도의 금속 전극 패드를 형성할 수도 있고, 마스크(미도시 됨)를 이용하여 포밍 전극(407) 위에 추가로 금속을 증착하여 전극 패드를 형성할 수도 있다.
- [249] 도 31a 및 도 31b는 본 발명의 바람직한 실시예에 따른 태양전지를 도시하는 도면이다.
- [250] 도시된 예에서는, 투명전극(404)의 전류 확산 특성(current spreading)을 향상시키기 위해서, 투명전극(404)에 형성된 전도성 필라멘트들(406)을 상호 연결시키는 CNT(Carbon Nano Tube) 또는 그래핀(graphene)으로 구현되는 전류 확산층(420, 422)을 투명전극(404)의 상면 또는 하면에 형성하였다.
- [251] 도 31a에서는 CNT 또는 그래핀으로 구현되는 전류 확산층(810)을 투명전극(404) 위에 형성한 예를 도시하였고, 도 31b에서는 CNT 또는 그래핀으로 구현된 전류 확산층(420)을 투명전극(404)과 광전 변환층(410) 사이에 형성한 예를 도시하였다.
- [252] 도 31a에 도시된 예의 경우에는, 투명전극(404)에 포밍 공정이 수행되어 전도성 필라멘트(406)가 형성된 직후에 CNT 또는 그래핀으로 전류 확산층(420)을 형성하였다.
- [253] 도 31b에 도시된 예의 경우에는, 광전변환층(410)을 형성한 후에 광전 변환층(410) 위에 CNT 또는 그래핀으로 전류 확산층(422)을 형성하고, 그 위에 투명전극(404)을 형성하였다.
- [254] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며

한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

- [255] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

청구범위

- [청구항 1] 반도체 소자에 있어서,
반도체 층 및
상기 반도체층에 일면이 접촉된 투명전극을 포함하되,
상기 투명전극은 저항 변화 물질로 이루어진 것이고, 상기 저항
변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성
필라멘트를 통해 전도성을 갖는 것인 반도체 소자.
- [청구항 2] 제 1 항에 있어서,
상기 투명전극의 타면에 접촉된 금속 전극 패드 또는 포밍용 금속
전극을 더 포함하는 반도체 소자.
- [청구항 3] 제 1 항에 있어서,
상기 전도성 필라 멘트는 상기 투명전극의 타면에 접촉된 포밍용
금속 전극을 통해 인가된 임계 전압 이상의 전압에 의하여 형성된
것인 반도체 소자.
- [청구항 4] 제 1 항에 있어서,
상기 투명전극은 상기 반도체층과 오믹(ohmic) 접촉되는 것인
반도체 소자.
- [청구항 5] 제 1 항에 있어서,
상기 반도체층은 n형 또는 p형으로 도핑된 것인 반도체 소자.
- [청구항 6] 제 1 항에 있어서,
상기 투명전극은 투명한 Oxide 계열의 물질, 투명한 Nitride 계열의
물질, 투명한 폴리머 계열의 물질, 및 투명한 나노 물질들 중 하나
이상의 물질로 형성된 것인 반도체 소자.
- [청구항 7] 제 1 항에 있어서,
상기 투명전극과 반도체층 사이에 형성된 전류 확산층을 더
포함하되,
상기 전류 확산층은 CNT층 또는 그래핀층을 포함하는 반도체
소자.
- [청구항 8] 제 2 항에 있어서,
상기 금속 전극 패드와 투명전극 사이에 형성된 전류 확산층을 더
포함하되,
상기 전류 확산층은 CNT층 또는 그래핀층을 포함하는 반도체
소자.
- [청구항 9] 반도체 소자 제조 방법에 있어서,
반도체층을 제공하는 단계;
상기 반도체층의 일면에 투명전극을 형성하는 단계를 포함하되,
상기 투명전극을 형성하는 단계는

상기 반도체층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및

상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함하는 반도체 소자 제조 방법.

[청구항 10]

제 9 항에 있어서,

상기 투명전극을 형성하는 단계는

상기 저항 변화 물질층의 상부에 포밍용 금속 전극을 형성하는 단계를 더 포함하고,

상기 전도성 필라멘트를 형성하는 단계는 상기 포밍용 금속 전극을 통해 임계 전압 이상의 전압을 인가하는 것인 반도체 소자 제조 방법.

[청구항 11]

제 10 항에 있어서,

상기 포밍용 금속 전극을 형성하는 단계는

상기 저항 변화 물질층의 상부에 포토레지스트를 적층하는 단계;

상기 포토레지스트에 전극 패턴을 형성하는 단계;

상기 전극 패턴에 금속을 증착하는 단계 및

상기 포토레지스트를 제거하는 단계를 포함하는 반도체 소자 제조 방법.

[청구항 12]

제 10 항에 있어서,

상기 포밍 단계의 수행 후 상기 포밍용 금속 전극을 제거하는 단계;

상기 저항 변화 물질층의 상부에 전류 확산층을 형성하는 단계; 및

상기 전류 확산층의 상부에 금속 전극 패드를 형성하는 단계를 포함하되,

상기 전류 확산층은 CNT층 또는 그래핀층을 포함하는 반도체 소자 제조 방법.

[청구항 13]

제 10 항에 있어서,

상기 반도체층의 일면에 저항 변화 물질층을 형성하기 전에 상기 반도체층의 일면에 결합되는 전류 확산층을 형성하는 단계를 더 포함하고,

상기 전류 확산층은 CNT층 또는 그래핀층을 포함하는 반도체 소자 제조 방법.

[청구항 14]

반도체 소자 제조 방법에 있어서,

기판을 제공하는 단계;

상기 기판상에 투명전극을 형성하는 단계 및

상기 투명전극의 일면을 반도체층과 접촉시키는 단계를 포함하되,

상기 투명전극을 형성하는 단계는

상기 기판과 일면이 접촉하도록 저항 변화 물질층을 형성하는

단계 및

상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함하는 반도체 소자 제조 방법.

[청구항 15]

제 14 항에 있어서,

상기 투명전극의 일면을 반도체층과 접촉시키는 단계는 상기 투명전극으로부터 상기 기판을 제거하는 단계 및 상기 기판이 제거된 투명전극의 일면을 상기 반도체층과 접촉시키는 단계를 포함하는 반도체 소자 제조 방법.

[청구항 16]

제 14 항에 있어서,

상기 투명전극의 일면을 반도체층과 접촉시키는 단계는 상기 기판과 접촉된 투명전극의 타면에 상기 반도체층을 접촉시키는 단계 및 상기 투명전극으로부터 상기 기판을 제거하는 단계를 포함하는 반도체 소자 제조 방법.

[청구항 17]

제 14 항에 있어서,

상기 투명전극을 형성하는 단계는 상기 저항 변화 물질층의 상부에 포밍용 금속 전극을 형성하는 단계를 더 포함하고, 상기 전도성 필라멘트를 형성하는 단계는 상기 포밍용 금속 전극을 통해 임계 전압 이상의 전압을 인가하는 것인 반도체 소자 제조 방법.

[청구항 18]

제 17 항에 있어서,

상기 포밍용 금속 전극을 형성하는 단계는 상기 저항 변화 물질층의 상부에 포토레지스트를 적층하는 단계; 상기 포토레지스트에 전극 패턴을 형성하는 단계; 상기 전극 패턴에 금속을 증착하는 단계 및 상기 포토레지스트를 제거하는 단계를 포함하는 반도체 소자 제조 방법.

[청구항 19]

제 17 항에 있어서,

상기 포밍 단계의 수행 후 상기 포밍용 금속 전극을 제거하는 단계; 상기 저항 변화 물질층의 상부에 전류 확산층을 형성하는 단계; 및 상기 전류 확산층의 상부에 금속 전극 패드를 형성하는 단계를 포함하되, 상기 전류 확산층은 CNT 층 또는 그래핀층을 포함하는 반도체 소자 제조 방법.

[청구항 20]

제 9 항 또는 제 14 항에 있어서,

상기 투명전극은 상기 반도체층과 오믹(ohmic) 접촉되는 것인

- 반도체 소자 제조 방법.
- [청구항 21] 제 9 항 또는 제 14 항에 있어서,
상기 반도체층은 n형 또는 p형으로 도핑된 것인 반도체 소자 제조 방법.
- [청구항 22] 제 9 항 또는 제 14 항에 있어서,
상기 투명전극은 투명한 Oxide 계열의 물질, 투명한 Nitride 계열의 물질, 투명한 폴리머 계열의 물질, 및 투명한 나노 물질들 중 하나 이상의 물질로 형성된 것인 반도체 소자 제조 방법.
- [청구항 23] 발광 소자에 있어서,
기판,
상기 기판의 상부에 형성된 제 1 반도체층,
상기 제 1 반도체층의 상부에 형성된 활성층,
상기 활성층의 상부에 형성된 제 2 반도체층,
상기 제 2 반도체층의 상부에 형성된 투명전극,
상기 제 1 반도체층과 접촉하도록 형성된 제 1 전극 패드, 및
상기 투명전극의 상부에 접촉된 제 2 전극 패드를 포함하되,
상기 투명전극은 저항 변화 물질로 이루어진 것이고, 상기 저항 변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성 필라멘트를 통해 전도성을 갖는 것인 발광 소자.
- [청구항 24] 제 23 항에 있어서,
상기 투명전극과 상기 제 2 전극 패드 사이에 결합된 반사층,
상기 제 2 전극 패드와 결합되고, 상기 제 2 전극 패드와 이격되어 형성된 제 3 전극 패드가 결합된 서브 마운트 기판 및
상기 제 3 전극 패드와 상기 제 1 전극 패드 사이에 결합된 범프를 더 포함하는 발광 소자.
- [청구항 25] 제 24 항에 있어서,
상기 제 1 전극 패드는 상기 제 1 반도체층, 상기 활성층, 상기 제 2 반도체층 및 상기 투명전극을 수직된 방향으로 식각하여 노출된 제 1 반도체층의 소정 영역에 접촉하도록 형성된 것인 발광 소자.
- [청구항 26] 제 23 항에 있어서,
상기 기판과 상기 제 1 반도체층 사이에 결합된 버퍼층을 더 포함하는 발광 소자.
- [청구항 27] 발광 소자에 있어서,
서브 마운트 기판,
접합층을 통해 상기 서브 마운트 기판과 결합된 반사층,
상기 반사층과 결합된 투명전극,
상기 투명전극 상부에 결합된 제 2 반도체층,
상기 제 2 반도체층의 상부에 형성된 활성층,

- 상기 활성층의 상부에 형성된 제 1 반도체층, 및
 상기 제 1 반도체층 상부에 형성된 전극 패드를 포함하되,
 상기 투명전극은 저항 변화 물질로 이루어진 것이고, 상기 저항
 변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성
 필라멘트를 통해 전도성을 갖는 것인 발광 소자.
- [청구항 28] 발광 소자에 있어서,
 서브 마운트 기판,
 접합층을 통해 상기 서브 마운트 기판과 결합된 반사층,
 상기 반사층과 결합된 제 2 반도체층,
 상기 제 2 반도체층의 상부에 형성된 활성층,
 상기 활성층의 상부에 형성된 제 1 반도체층,
 상기 제 1 반도체층 상부에 형성된 투명전극,
 상기 투명전극 상부에 형성된 전극 패드를 포함하되,
 상기 투명전극은 저항 변화 물질로 이루어진 것이고, 상기 저항
 변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성
 필라멘트를 통해 전도성을 갖는 것인 발광 소자.
- [청구항 29] 제 23 항 내지 제 28 항 중 어느 한 항에 있어서,
 상기 투명전극의 일면 또는 타면에 결합된 전류 확산층을 더
 포함하되,
 상기 전류 확산층은 상기 투명전극과 결합된 CNT 층 또는
 그래핀층을 포함하는 것인 발광 소자.
- [청구항 30] 제 23 항 내지 제 27 항 중 어느 한 항에 있어서,
 상기 투명전극은 상기 제 2 반도체층과 오믹(ohmic) 접촉되는 것인
 반도체 소자.
- [청구항 31] 제 28 항에 있어서,
 상기 투명전극은 상기 제 1 반도체층과 오믹(ohmic) 접촉되는 것인
 반도체 소자.
- [청구항 32] 발광 소자 제조 방법에 있어서,
 기판상에 제 1 반도체층, 활성층 및 제 2 반도체층을 형성하는
 단계,
 상기 제 2 반도체층 상에 투명전극을 형성하는 단계;
 상기 제 1 반도체층, 활성층, 제 2 반도체층 및 투명전극을
 수직방향으로 식각하여 상기 제 1 반도체층을 노출시키는 단계; 및
 상기 제 1 반도체층의 상부에 접촉하는 제 1 전극 패드 및 상기
 투명전극의 상부에 접촉하는 제 2 전극 패드를 각각 형성하는
 단계를 포함하되,
 상기 투명전극을 형성하는 단계는
 상기 제 2 반도체층과 일면이 접촉하도록 저항 변화 물질층을

형성하는 단계 및

상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함하는 발광 소자 제조 방법.

[청구항 33]

발광 소자 제조 방법에 있어서,

기판상에 제 1 반도체층, 활성층 및 제 2 반도체층을 형성하는 단계,

상기 제 2 반도체층 상에 투명전극을 형성하는 단계;

상기 투명전극의 상부에 반사층을 형성하는 단계;

상기 제 1 반도체층, 활성층, 제 2 반도체층 및 투명전극을

수직방향으로 식각하여 상기 제 1 반도체층을 노출시키는 단계;

상기 제 1 반도체층의 상부에 접촉하는 제 1 전극 패드를 각각 형성하는 단계

서로 이격되어 형성된 제 2 전극 패드와 제 3 전극 패드를 포함하는 서브 마운트 기판을 제공하는 단계 및

상기 반사층과 상기 제 2 전극 패드를 결합시키고, 범프를 통해

상기 제 1 전극 패드와 제 3 전극 패드를 결합시키는 단계를 포함하되,

상기 투명전극을 형성하는 단계는

상기 제 2 반도체층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및

상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함하는 발광 소자 제조 방법.

[청구항 34]

발광 소자 제조 방법에 있어서,

기판상에 제 1 반도체층, 활성층 및 제 2 반도체층을 형성하는 단계,

상기 제 2 반도체층 상에 투명전극을 형성하는 단계;

상기 투명전극의 상부에 반사층을 형성하는 단계;

상기 반사층의 상부에 접합층을 형성하는 단계;

상기 접합층에 서브 마운트 기판을 결합하는 단계;

상기 기판을 제거하여 상기 제 1 반도체층을 노출시키는 단계;

상기 제 1 반도체층의 상부에 전극 패드를 형성하는 단계를 포함하되,

상기 투명전극을 형성하는 단계는

상기 제 2 반도체층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및

상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해

전도성 필라멘트를 형성하는 단계를 포함하는 발광 소자 제조 방법.

[청구항 35]

발광 소자 제조 방법에 있어서,
 기판상에 버퍼층을 형성하는 단계;
 상기 버퍼층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계;
 상기 저항 변화 물질층 상에 제 1 반도체층, 활성층 및 제 2 반도체층을 형성하는 단계,
 상기 제 2 반도체층 상에 반사층을 형성하는 단계;
 상기 반사층의 상부에 접합층을 형성하는 단계;
 상기 접합층에 서브 마운트 기판을 결합하는 단계;
 상기 기판을 제거하여 상기 저항 변화 물질층을 노출시키는 단계;
 상기 저항 변화 물질층에 전도성 필라멘트를 형성하는 단계를 수행하여 투명전극을 형성하는 단계;
 상기 투명전극의 상부에 전극 패드를 형성하는 단계를 포함하되,
 상기 투명전극을 형성하는 단계는
 상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함하는 발광 소자 제조 방법.

[청구항 36]

제 34 항 또는 제 35 항에 있어서,
 상기 투명전극의 일면 또는 타면에 결합된 전류 확산층을 형성하는 단계를 더 포함하되,
 상기 전류 확산층은 CNT 층 또는 그래핀층을 포함하는 것인 발광 소자 제조 방법.

[청구항 37]

유기 발광 소자에 있어서,
 기판,
 상기 기판위에 형성된 제 1 전극,
 상기 제 1 전극위에 형성되고, 발광층을 포함하는 유기물층 및,
 상기 유기물층 위에 형성되고, 투명전극인 제 2 전극을 포함하되,
 상기 제 2 전극은 저항 변화 물질로 이루어진 것이고, 상기 저항 변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성 필라멘트를 통해 전도성을 갖는 것인 유기 발광 소자.

[청구항 38]

유기 발광 소자에 있어서,
 기판,
 상기 기판위에 형성되고, 투명전극인 제 1 전극,
 상기 제 1 전극위에 형성되고, 발광층을 포함하는 유기물층 및,
 상기 유기물층 위에 형성된 제 2 전극을 포함하되,
 상기 제 1 전극은 저항 변화 물질로 이루어진 것이고, 상기 저항

- 변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성 필라멘트를 통해 전도성을 갖는 것인 유기 발광 소자.
- [청구항 39] 제 37 항 또는 제 38 항에 있어서,
상기 투명전극인 제 1 전극 또는 상기 투명전극인 제 2 전극의 일면 또는 타면에 결합된 전류 확산층을 더 포함하되,
상기 전류 확산층은 CNT 층 또는 그래핀층을 포함하는 것인 유기 발광 소자.
- [청구항 40] 제 37 항 또는 제 38 항에 있어서,
상기 유기물층은
정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층을 포함하는 유기 발광 소자.
- [청구항 41] 제 37 항 또는 제 38 항에 있어서,
상기 투명전극인 제 1 전극 또는 상기 투명전극인 제 2 전극은 상기 유기물층과 오믹(ohmic) 접촉되는 것인 유기 발광 소자.
- [청구항 42] 유기 발광 소자 제조 방법에 있어서,
기판상에 제 1 전극을 형성하는 단계,
상기 제 1 전극 상에 발광층을 포함하는 유기물층을 형성하는 단계 및,
상기 유기물층 위에 투명전극인 제 2 전극을 형성하는 단계를 포함하되,
상기 제 2 전극을 형성하는 단계는
상기 유기물층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및
상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함하는 유기 발광 소자 제조 방법.
- [청구항 43] 유기 발광 소자 제조 방법에 있어서,
기판상에 투명전극인 제 1 전극을 형성하는 단계,
상기 제 1 전극 상에 발광층을 포함하는 유기물층을 형성하는 단계 및,
상기 유기물층 위에 제 2 전극을 형성하는 단계를 포함하되,
상기 제 1 전극을 형성하는 단계는
상기 기판과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및
상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함하는 유기 발광 소자 제조 방법.
- [청구항 44] 제 42 항 또는 제 43 항에 있어서,

- 상기 유기물층은
정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층을
포함하는 유기 발광 소자 제조 방법.
- [청구항 45] 제 42 항 또는 제 43 항에 있어서,
상기 투명전극인 제 1 전극 또는 상기 투명전극인 제 2 전극의 일면
또는 타면에 결합된 전류 확산층을 형성하는 단계를 더 포함하되,
상기 전류 확산층은 CNT 층 또는 그래핀층을 포함하는 것인 유기
발광 소자 제조 방법.
- [청구항 46] 수광 소자에 있어서,
광전 변환층,
광전 변환층의 일면에 접촉된 투명전극 및
상기 광전 변환층의 타면에 접촉된 대향 전극을 포함하되,
상기 투명전극은 저항 변화 물질로 이루어진 것이고, 상기 저항
변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성
필라멘트를 통해 전도성을 갖는 것인 수광 소자.
- [청구항 47] 수광 소자에 있어서,
기판,
상기 기판의 상부에 형성된 제 1 반도체층,
상기 제 1 반도체층의 상부에 형성된 활성층,
상기 활성층의 상부에 형성된 제 2 반도체층,
상기 제 2 반도체층의 상부에 형성된 투명전극,
상기 제 1 반도체층과 접촉하도록 형성된 제 1 전극 패드, 및
상기 투명전극의 상부에 접촉된 제 2 전극 패드를 포함하되,
상기 투명전극은 저항 변화 물질로 이루어진 것이고, 상기 저항
변화 물질에 전자 포밍(electro-forming) 과정을 통해 형성된 전도성
필라멘트를 통해 전도성을 갖는 것인 수광 소자.
- [청구항 48] 제 47 항에 있어서,
상기 제 1 전극 패드는 상기 제 1 반도체층, 상기 활성층, 상기 제 2
반도체층 및 상기 투명전극을 수직인 방향으로 식각하여 노출된
제 1 반도체층의 소정 영역에 접촉하도록 형성된 것인 수광 소자.
- [청구항 49] 제 46 항 내지 제 48 항 중 어느 한 항에 있어서,
상기 투명전극의 일면 또는 타면에 결합된 전류 확산층을 더
포함하되, 상기 전류 확산층은 CNT 층 또는 그래핀층을 포함하는
것인 수광 소자.
- [청구항 50] 수광 소자의 제조 방법에 있어서,
기판 상에 대향 전극을 형성하는 단계;
상기 대향 전극 상에 광전 변환층을 형성하는 단계 및
상기 광전 변환층 상에 투명전극을 형성하는 단계를 포함하되,

상기 광전 변환층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및

상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함하는 수광 소자 제조 방법.

[청구항 51]

수광 소자 제조 방법에 있어서,

기판상에 제 1 반도체층, 활성층 및 제 2 반도체층을 형성하는 단계,

상기 제 2 반도체층 상에 투명전극을 형성하는 단계;

상기 제 1 반도체층, 활성층, 제 2 반도체층 및 투명전극을

수직방향으로 식각하여 상기 제 1 반도체층을 노출시키는 단계; 및

상기 제 1 반도체층의 상부에 접촉하는 제 1 전극 패드 및 상기 투명전극의 상부에 접촉하는 제 2 전극 패드를 각각 형성하는 단계를 포함하되,

상기 투명전극을 형성하는 단계는

상기 제 2 반도체층과 일면이 접촉하도록 저항 변화 물질층을 형성하는 단계 및

상기 저항 변화 물질층에 전자 포밍(electro-forming) 과정을 통해 전도성 필라멘트를 형성하는 단계를 포함하는 수광 소자 제조 방법.

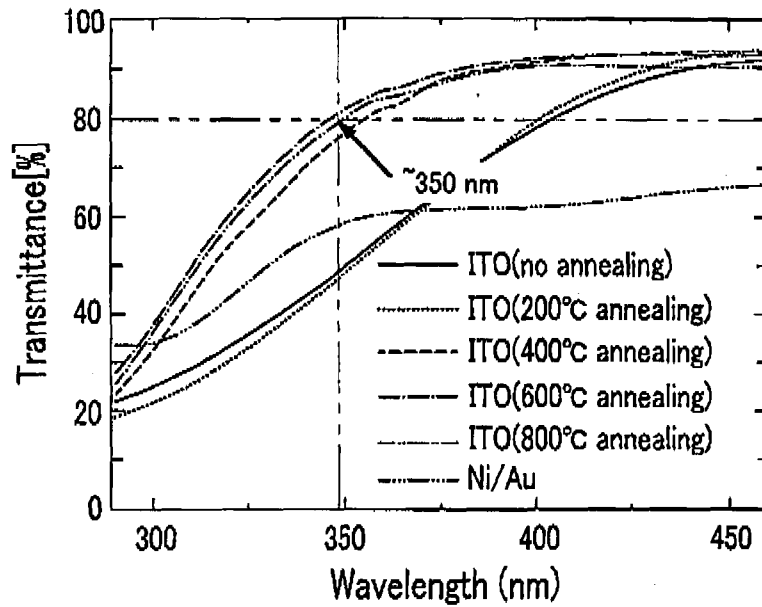
[청구항 52]

제 51 항에 있어서,

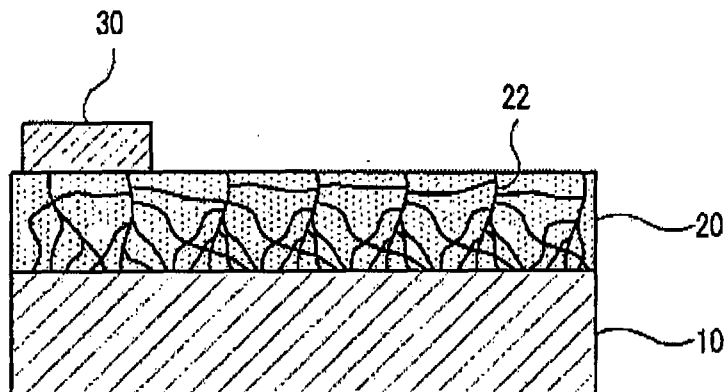
상기 투명전극의 일면 또는 타면에 결합된 전류 확산층을

형성하는 단계를 더 포함하되, 상기 전류 확산층은 CNT 층 또는 그래핀층을 포함하는 것인 수광 소자 제조 방법.

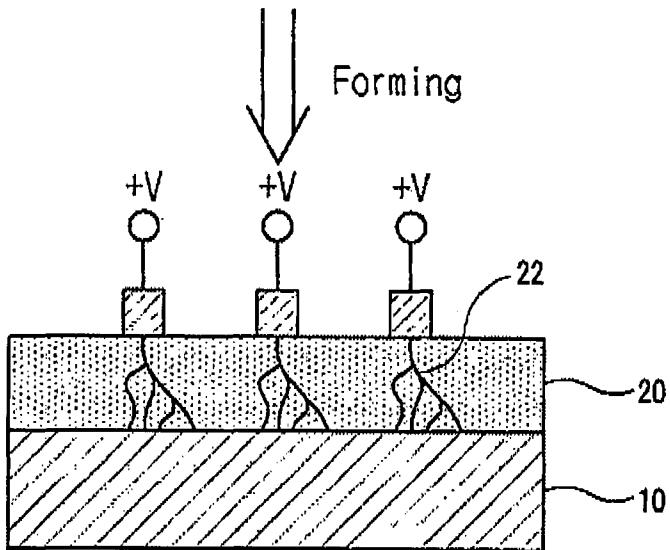
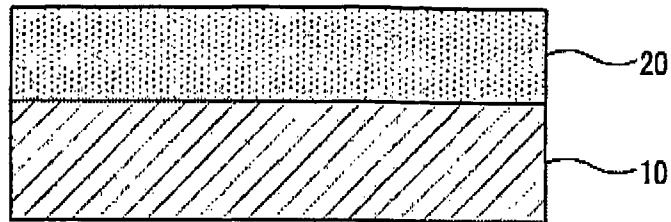
[Fig. 1]



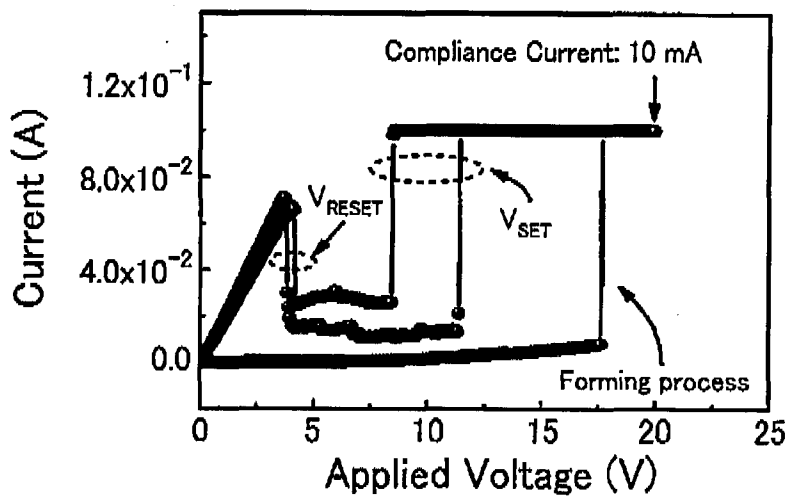
[Fig. 2]



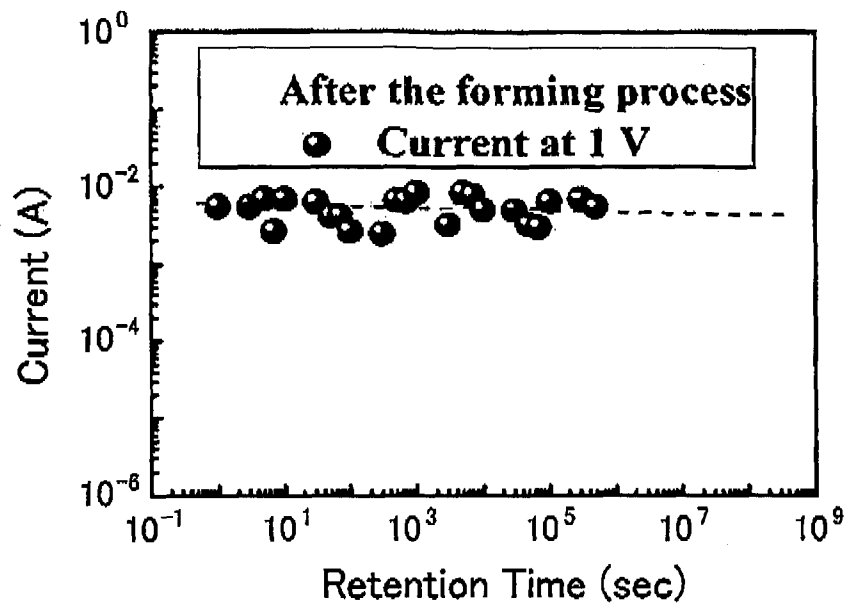
[Fig. 3a]



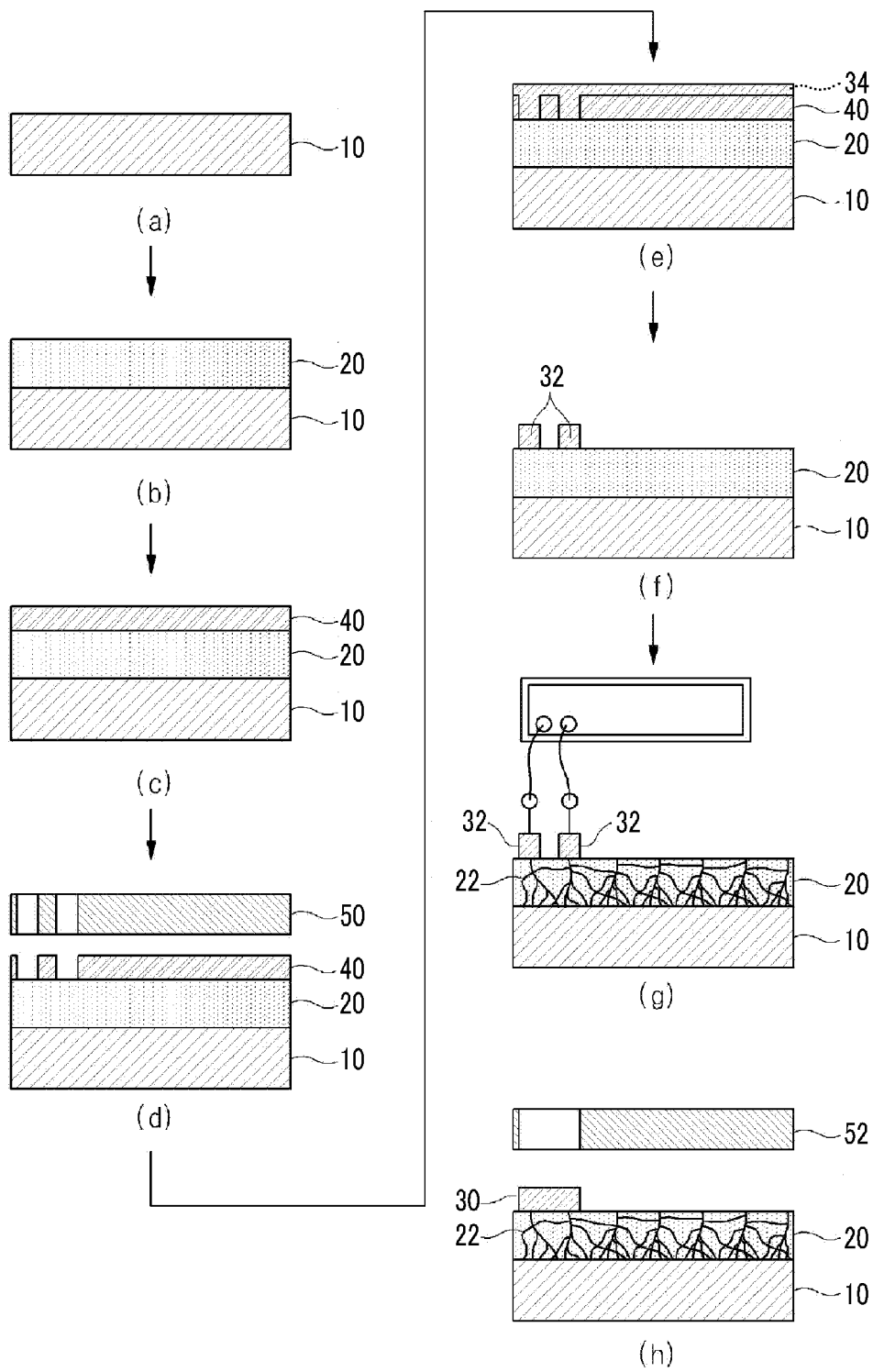
[Fig. 3b]



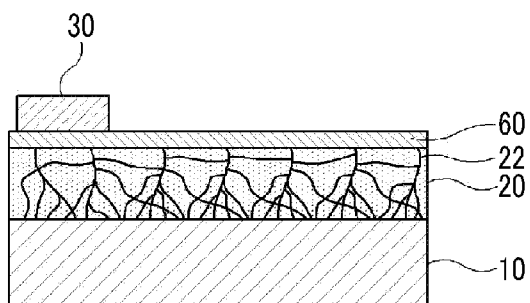
[Fig. 3c]



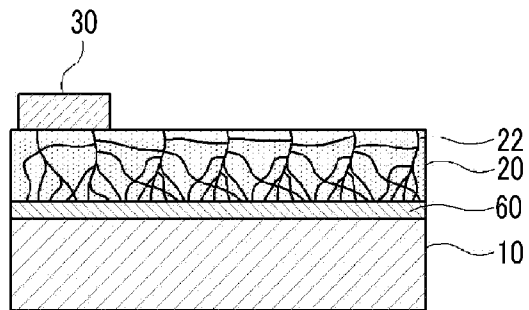
[Fig. 4]



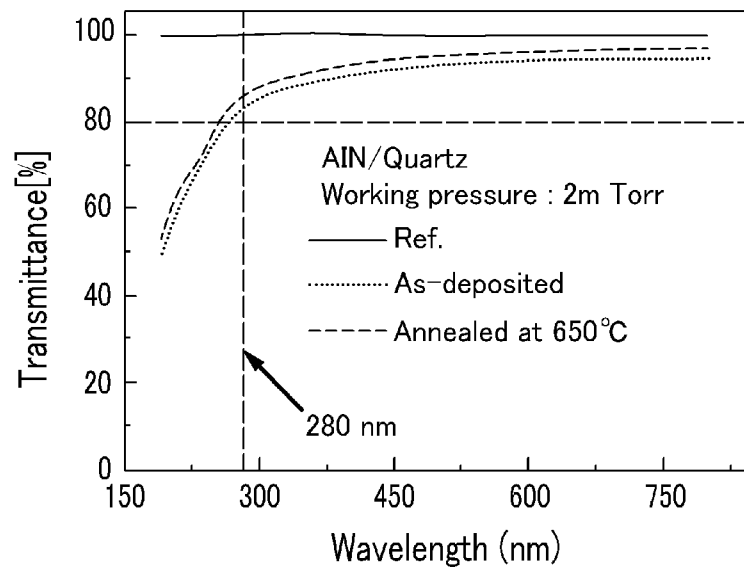
[Fig. 5a]



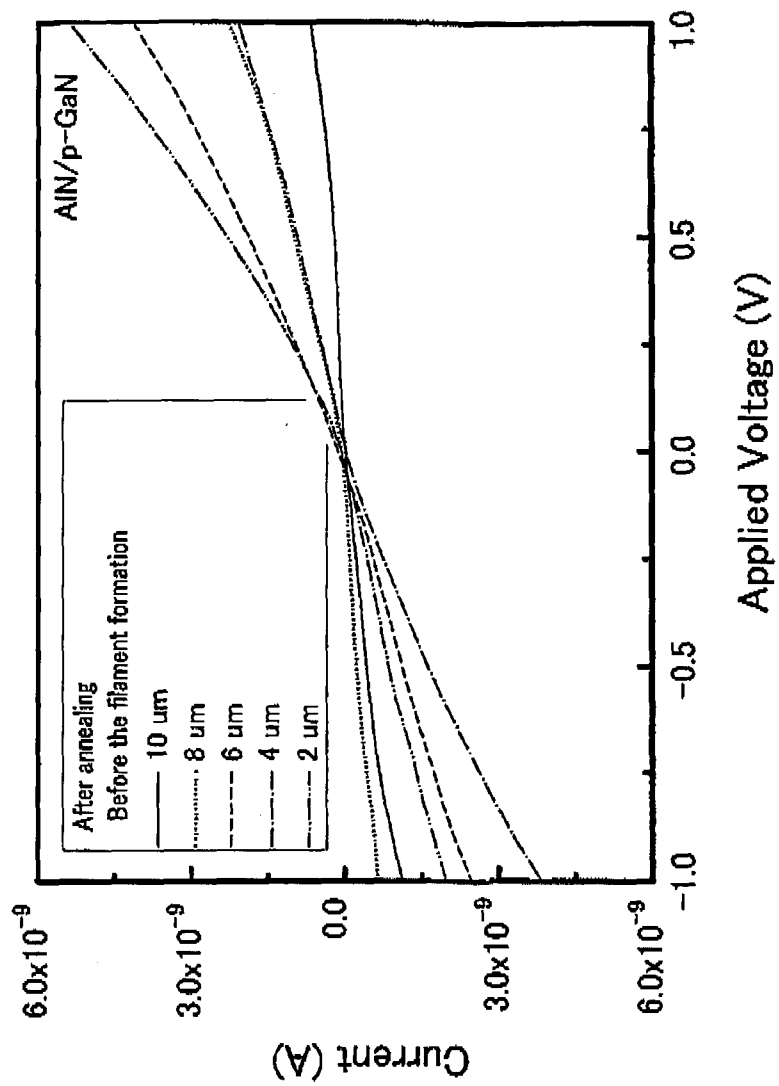
[Fig. 5b]



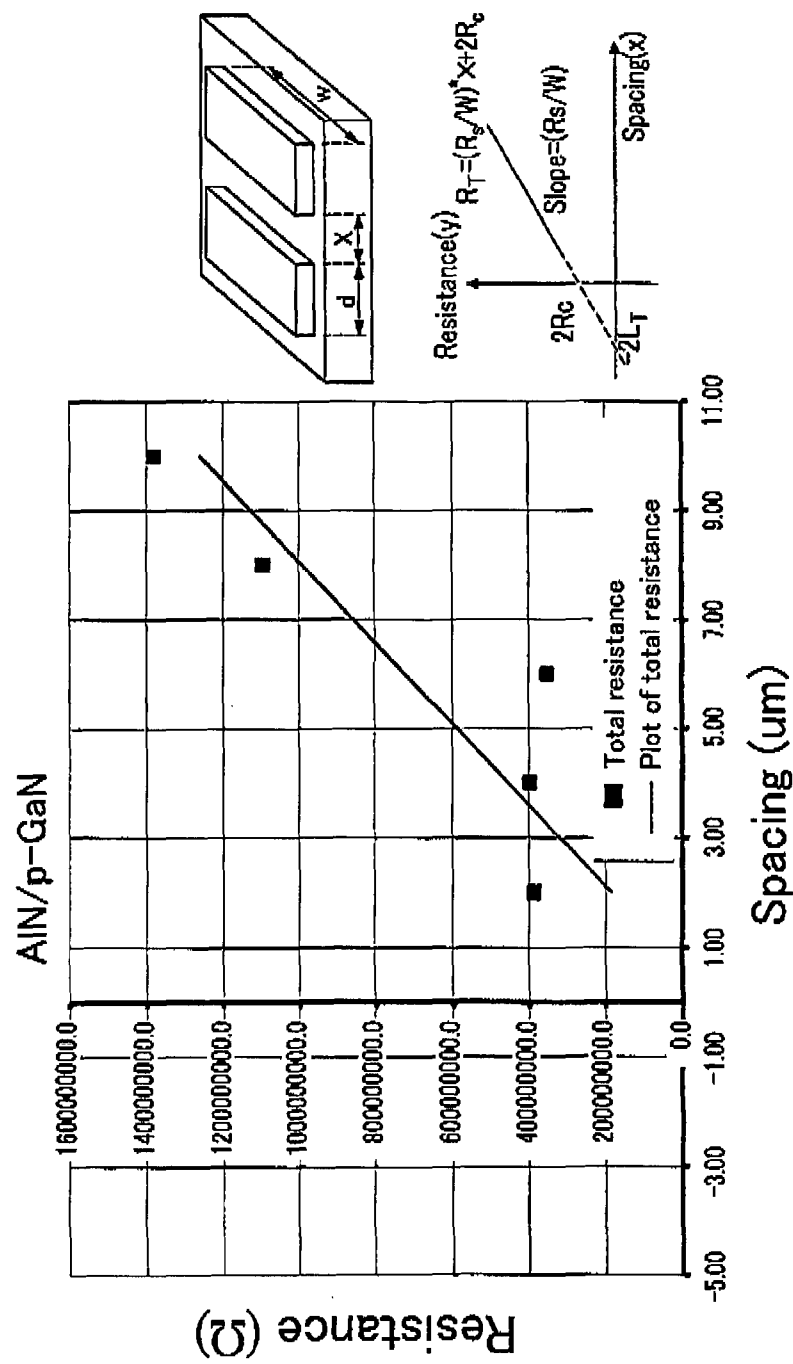
[Fig. 6a]



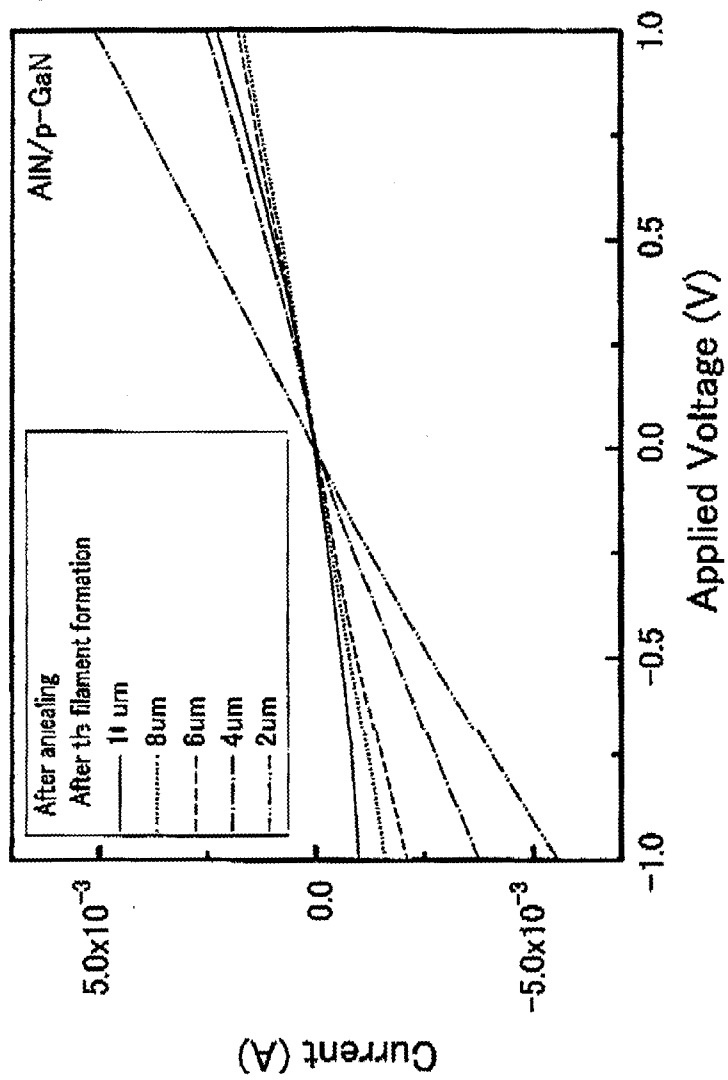
[Fig. 6b]



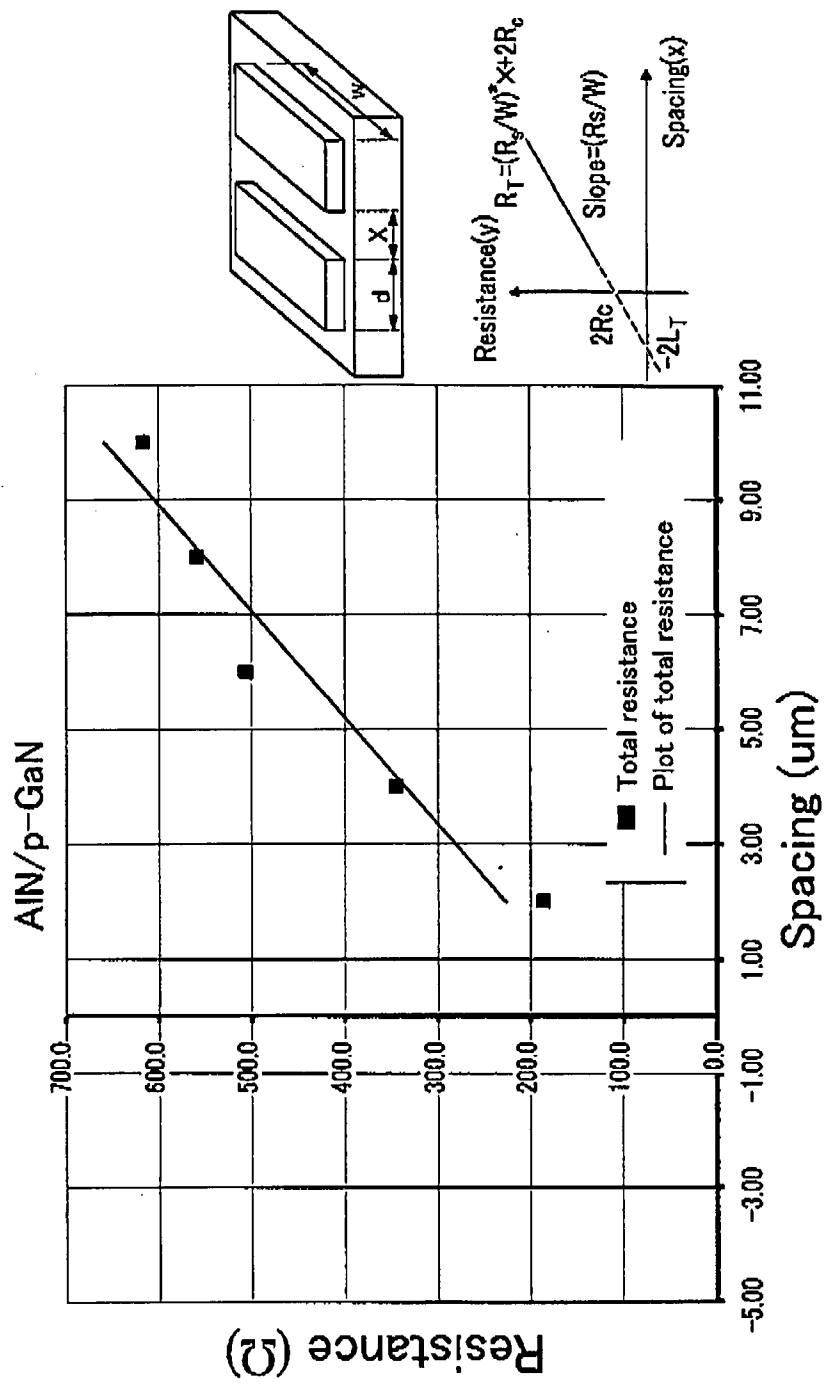
[Fig. 6c]



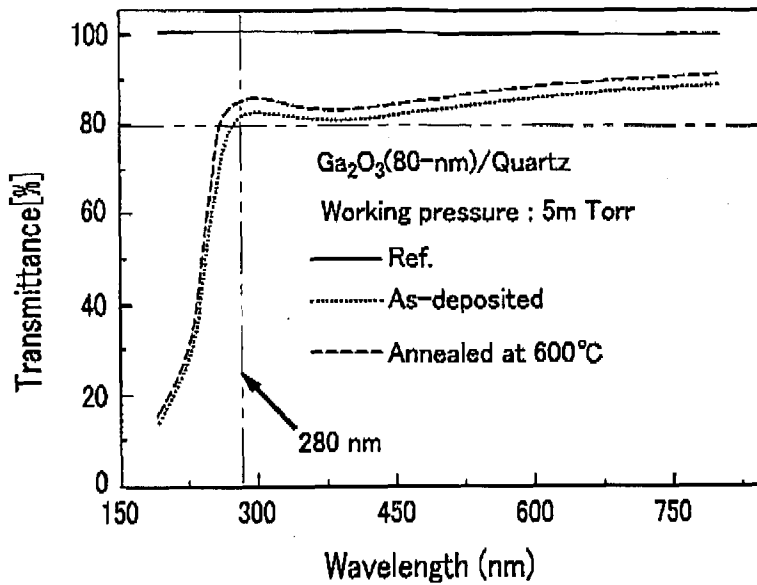
[Fig. 6d]



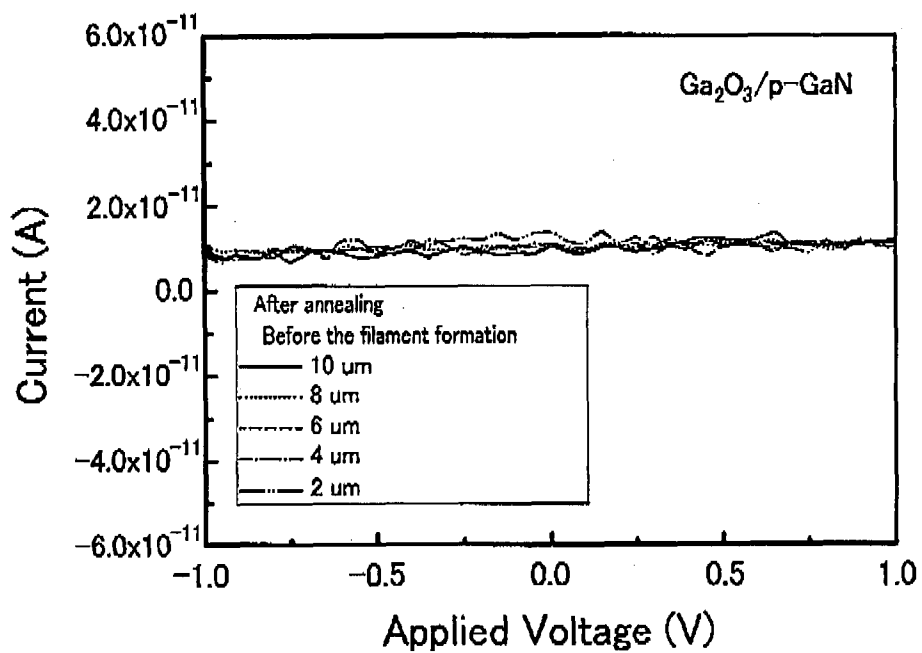
[Fig. 6e]



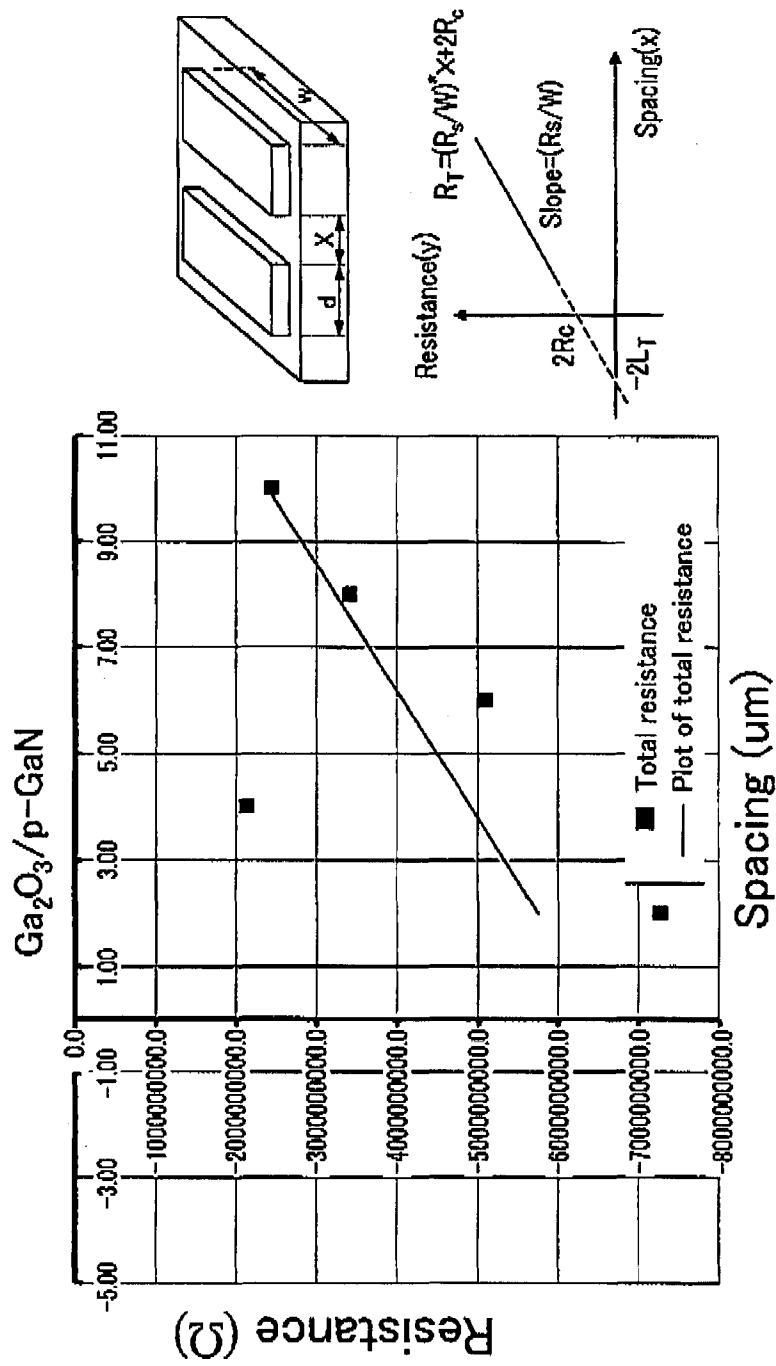
[Fig. 7a]



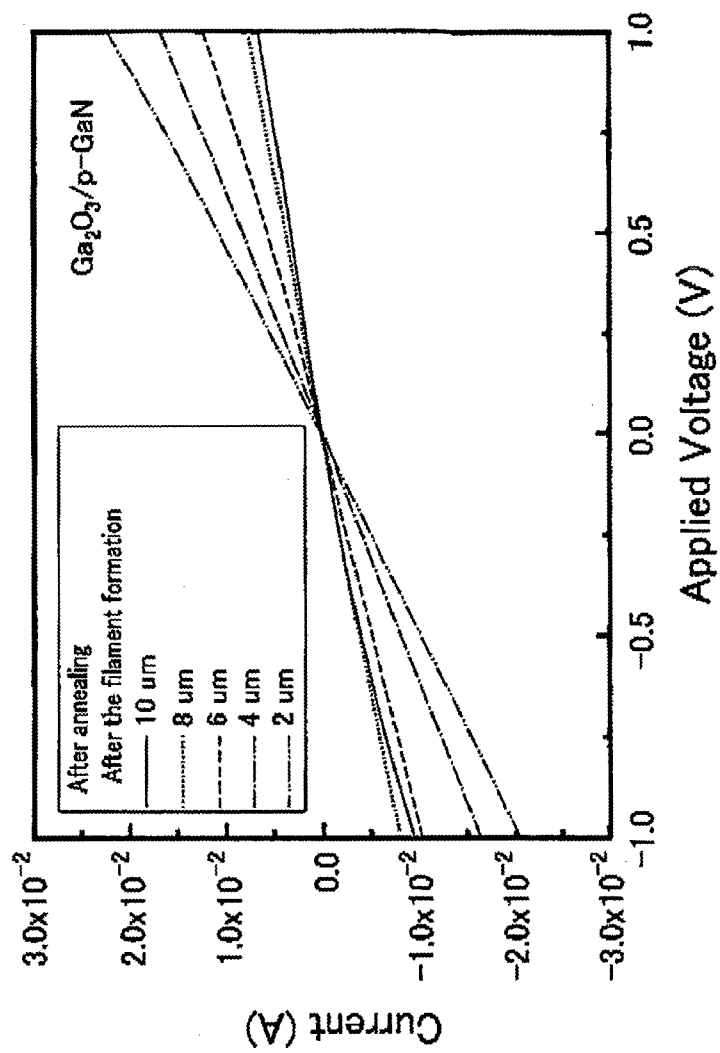
[Fig. 7b]



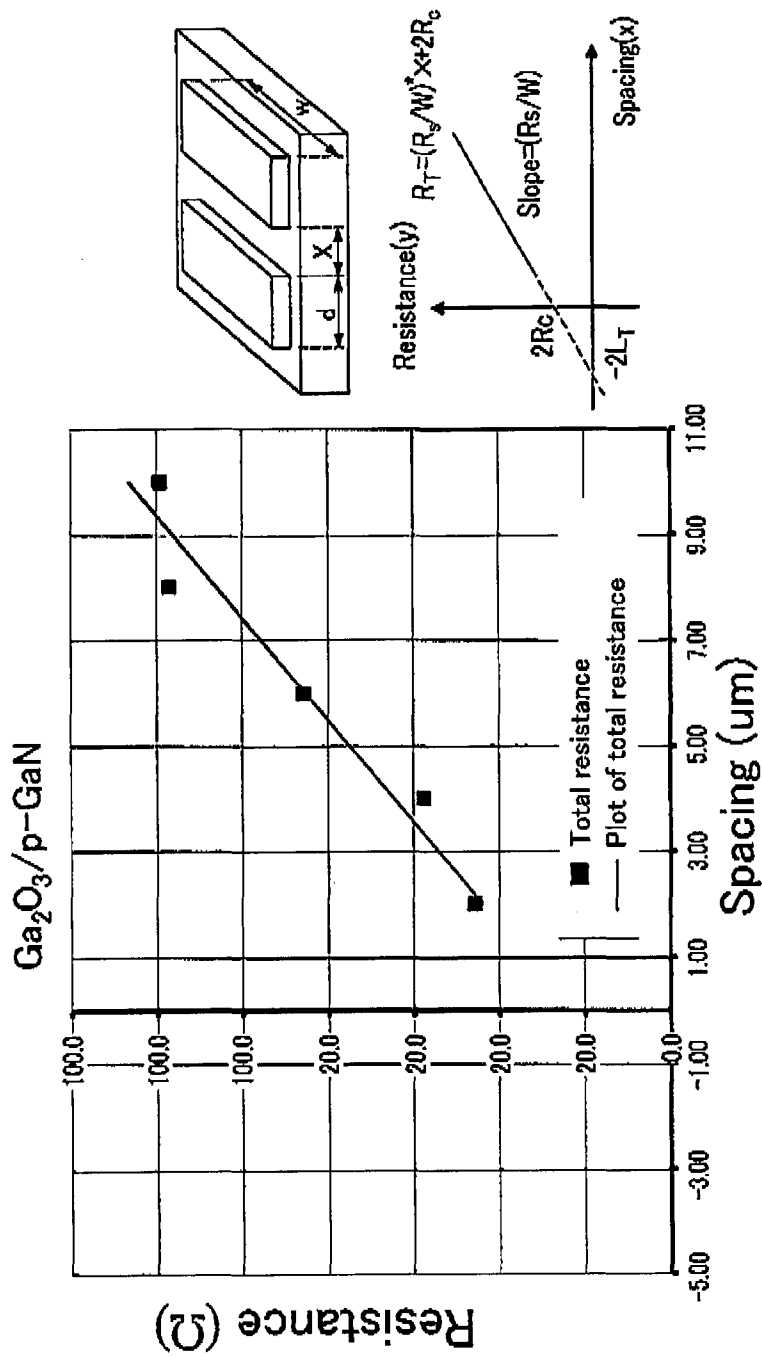
[Fig. 7c]



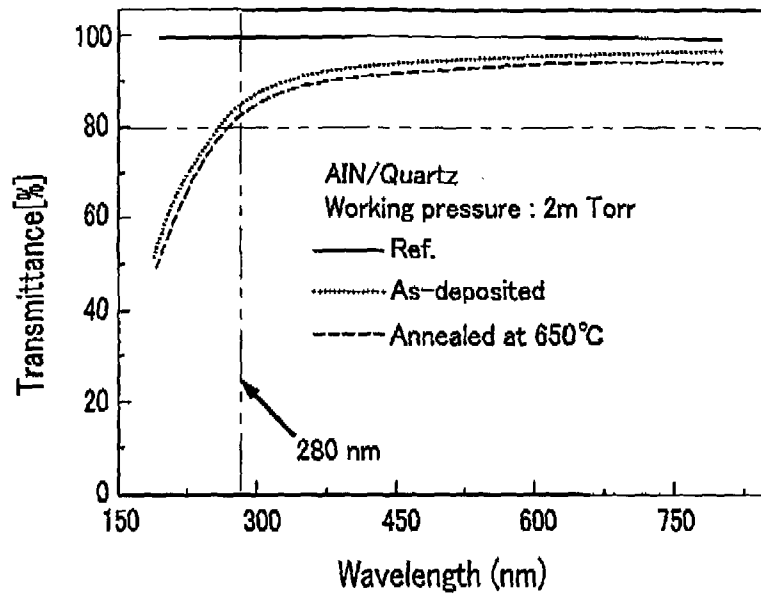
[Fig. 7d]



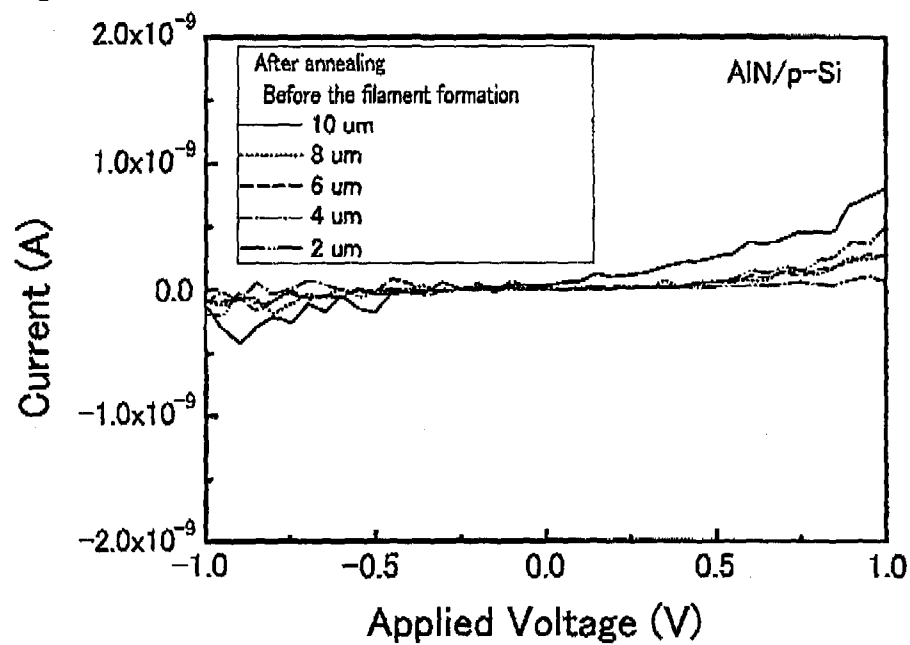
[Fig. 7e]



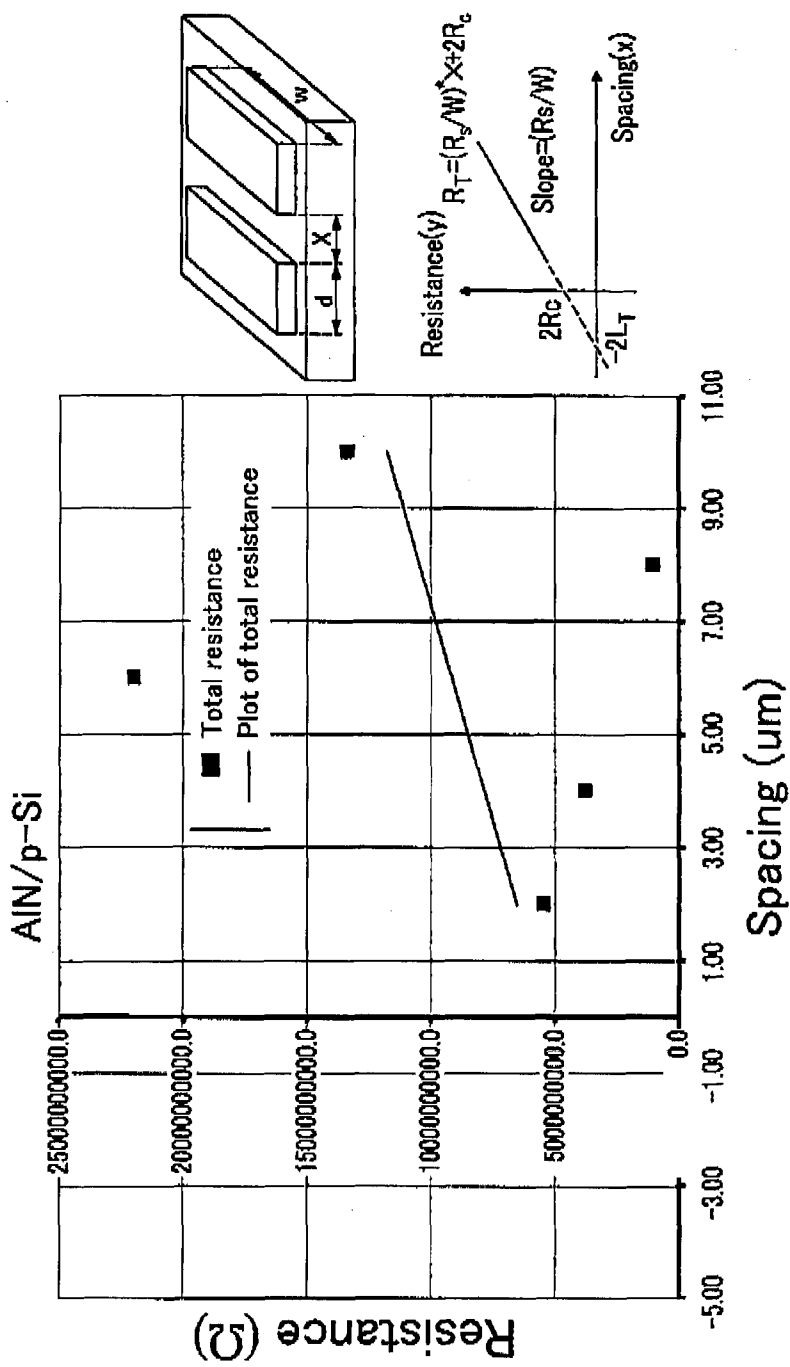
[Fig. 8a]



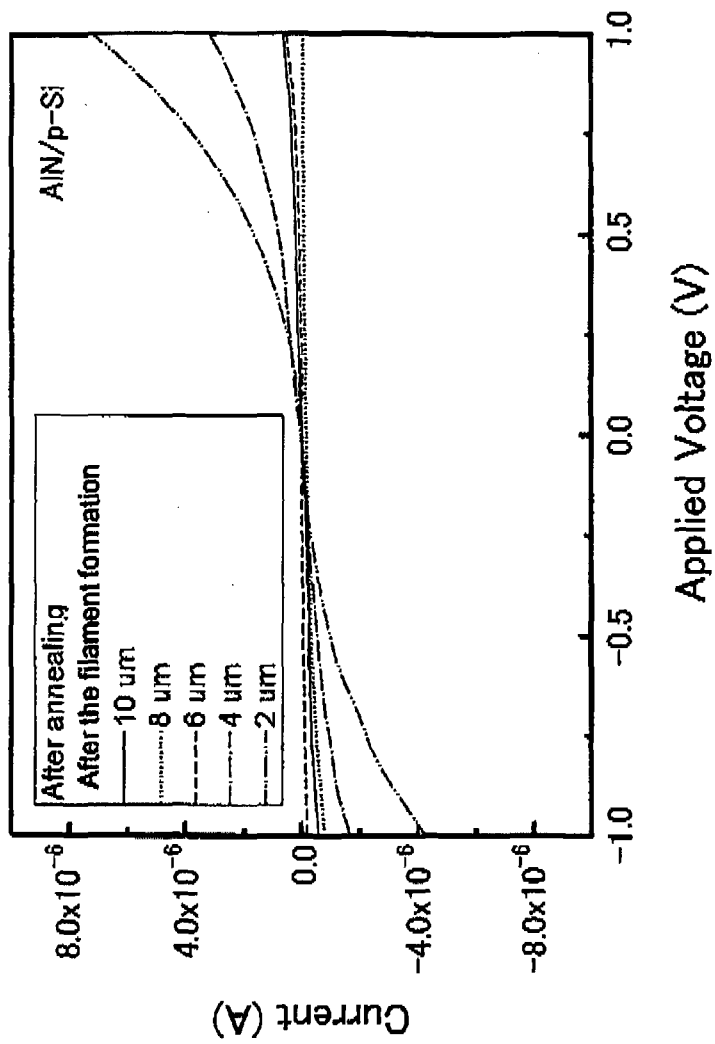
[Fig. 8b]



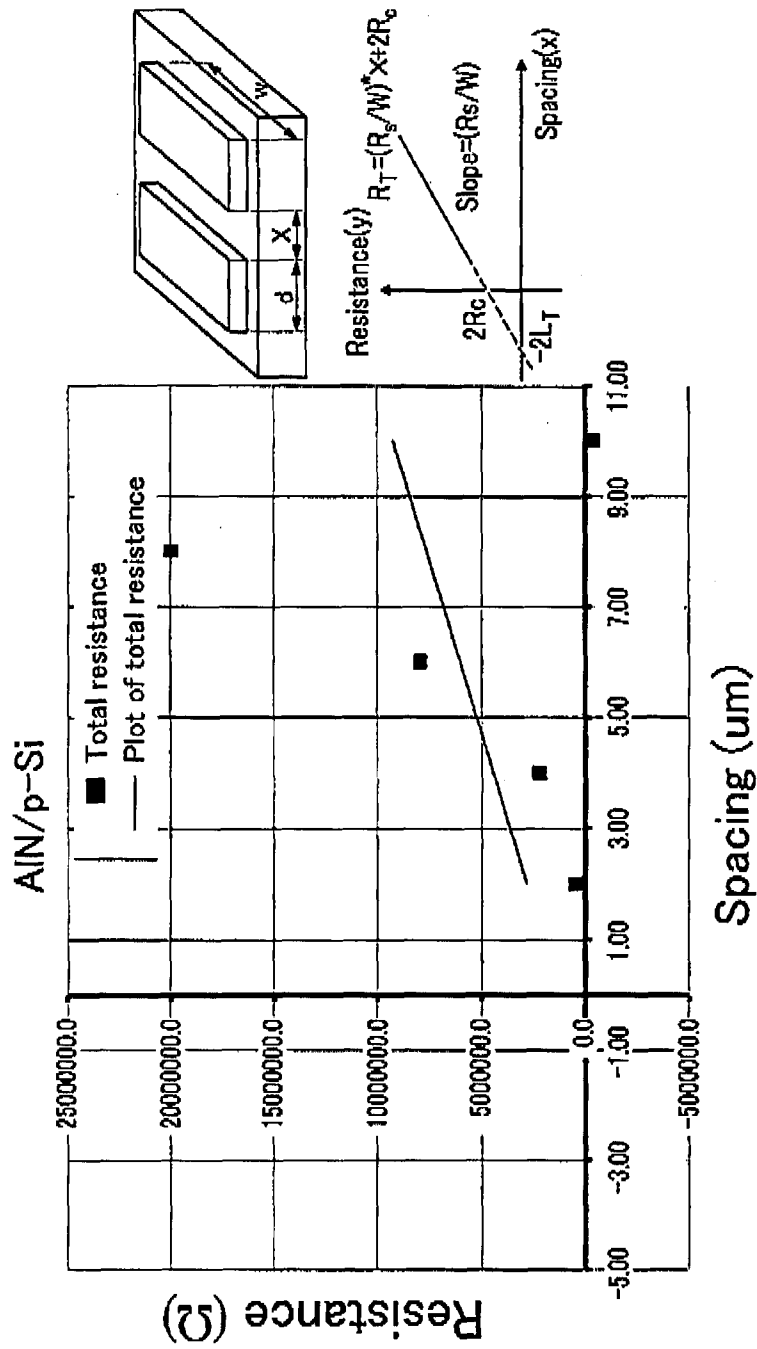
[Fig. 8c]



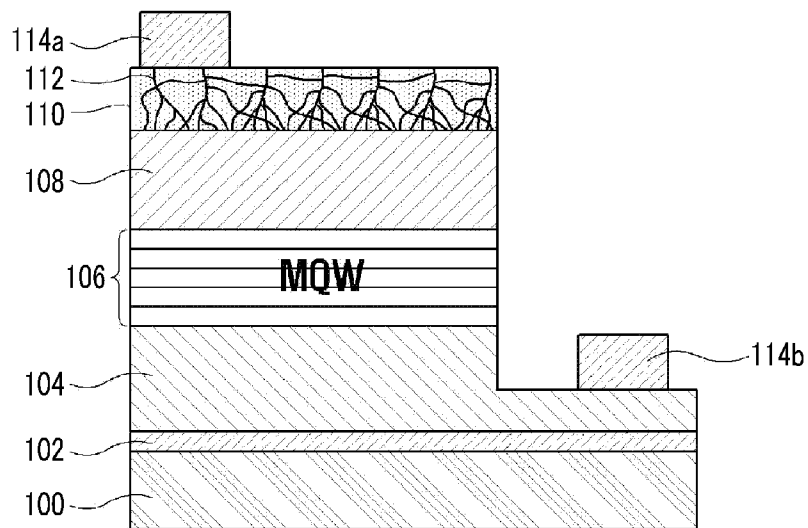
[Fig. 8d]



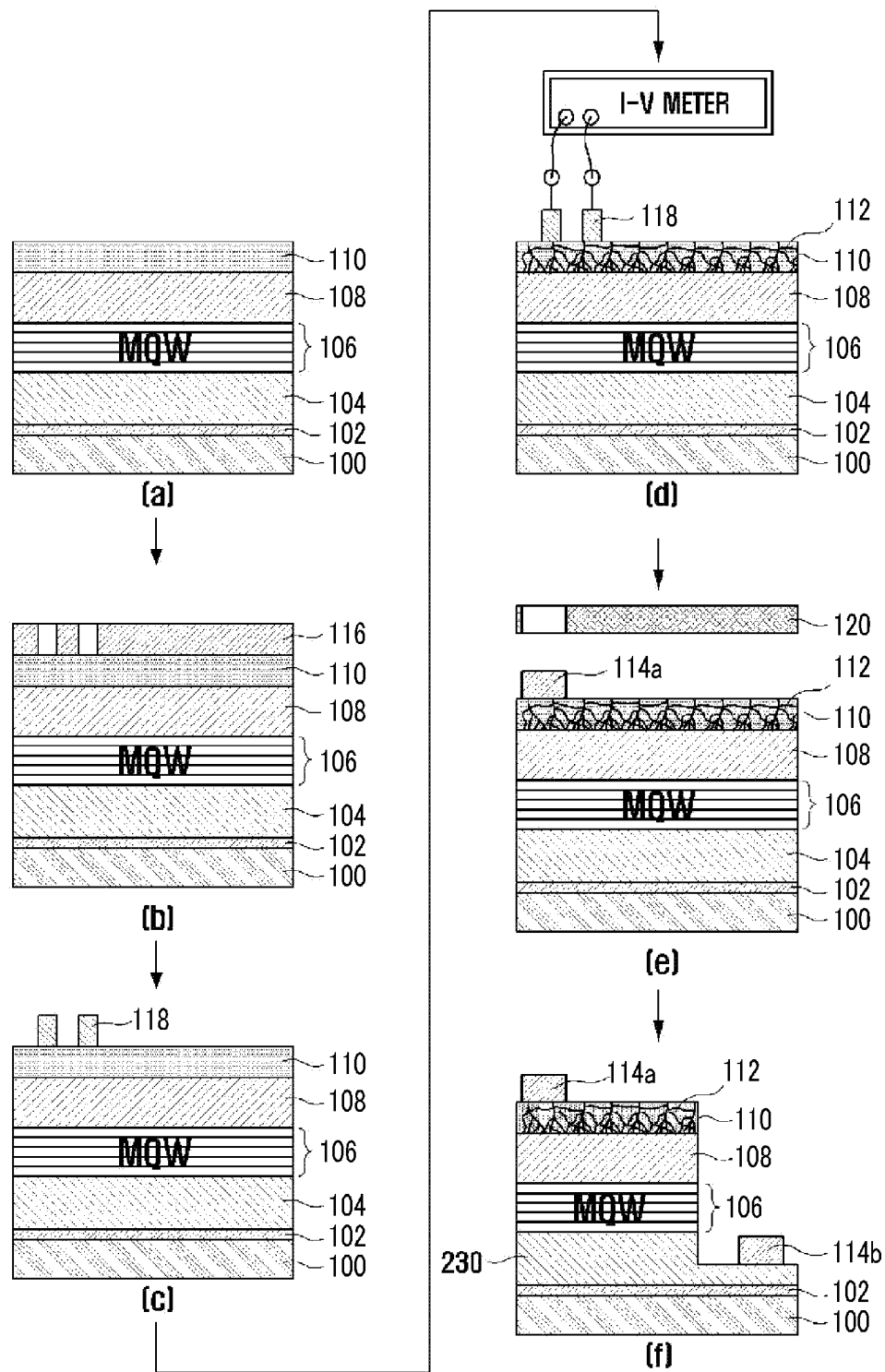
[Fig. 8e]



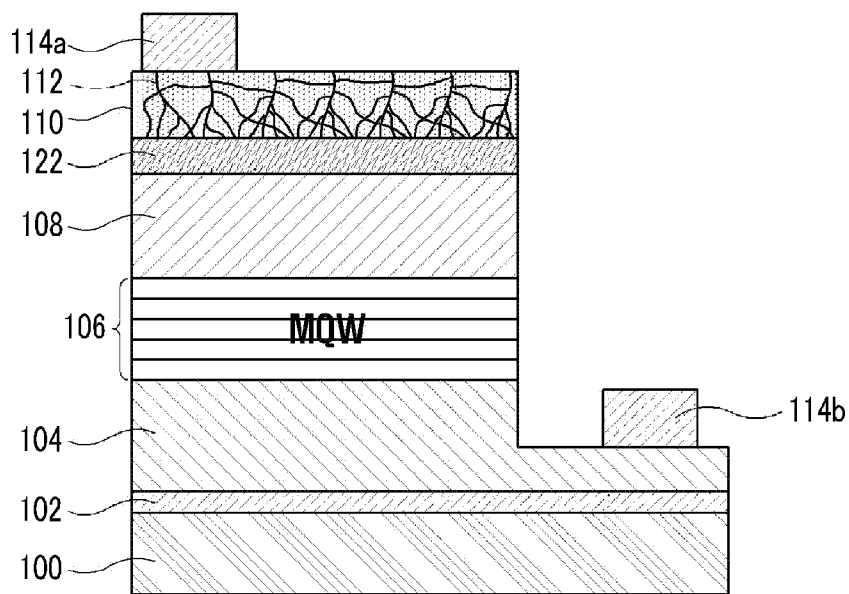
[Fig. 9]



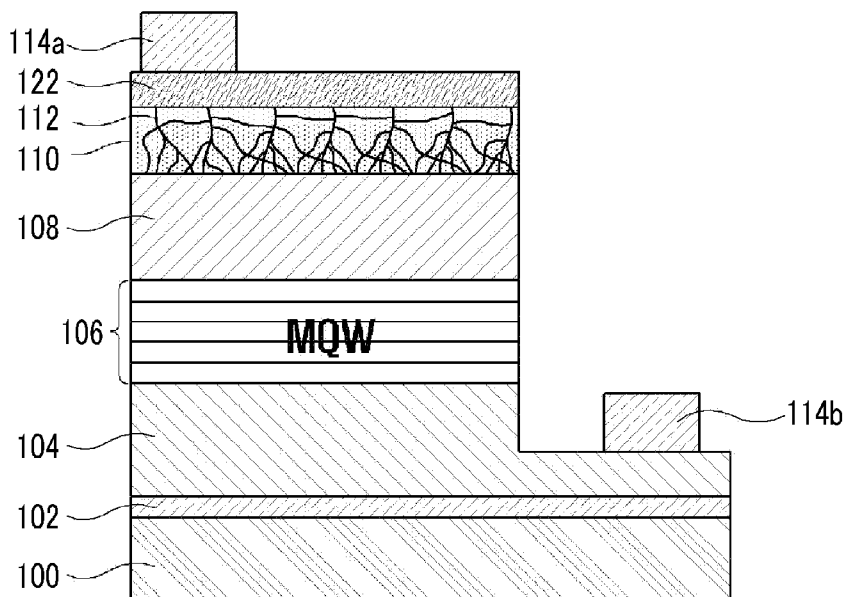
[Fig. 10]



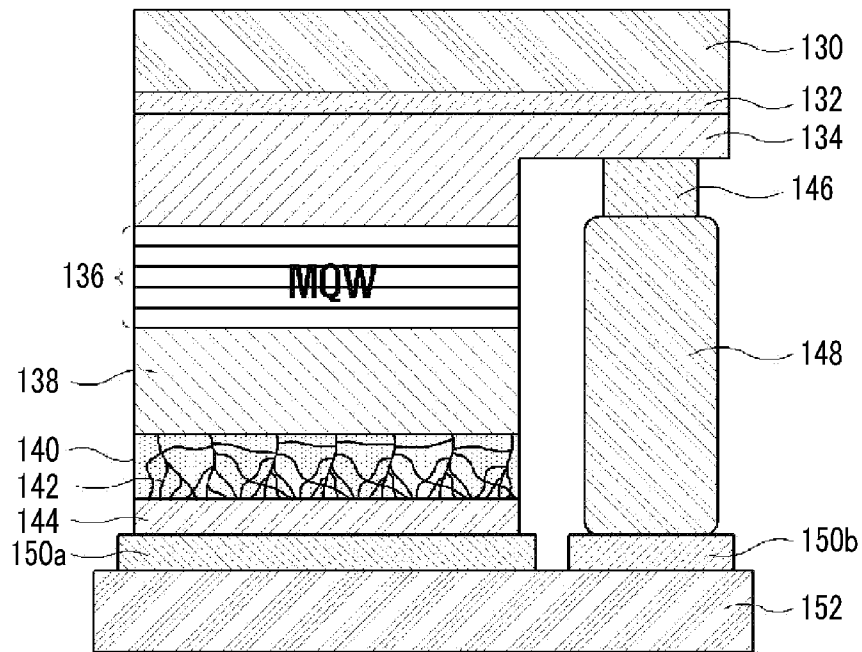
[Fig. 11a]



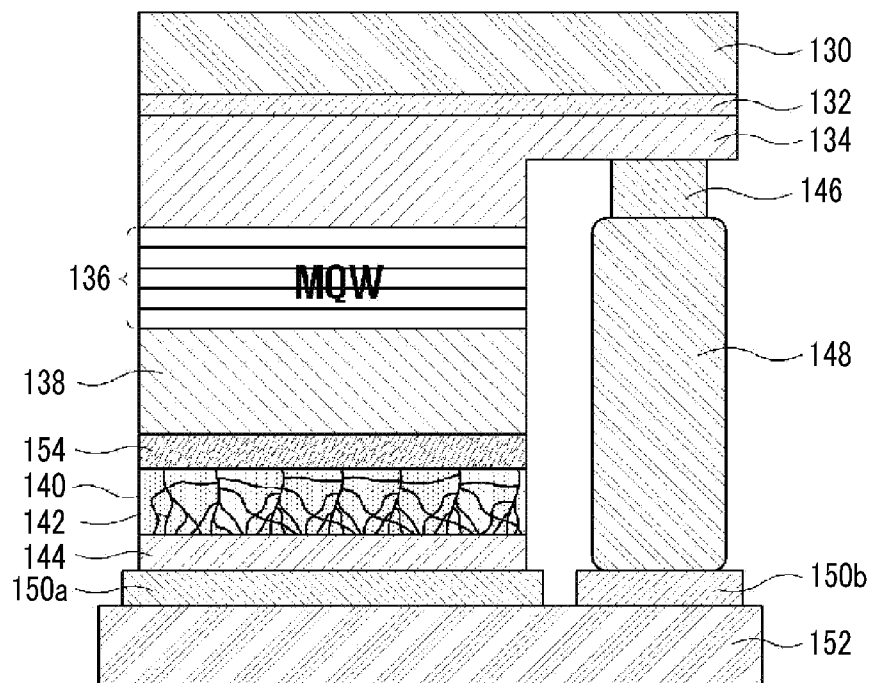
[Fig. 11b]



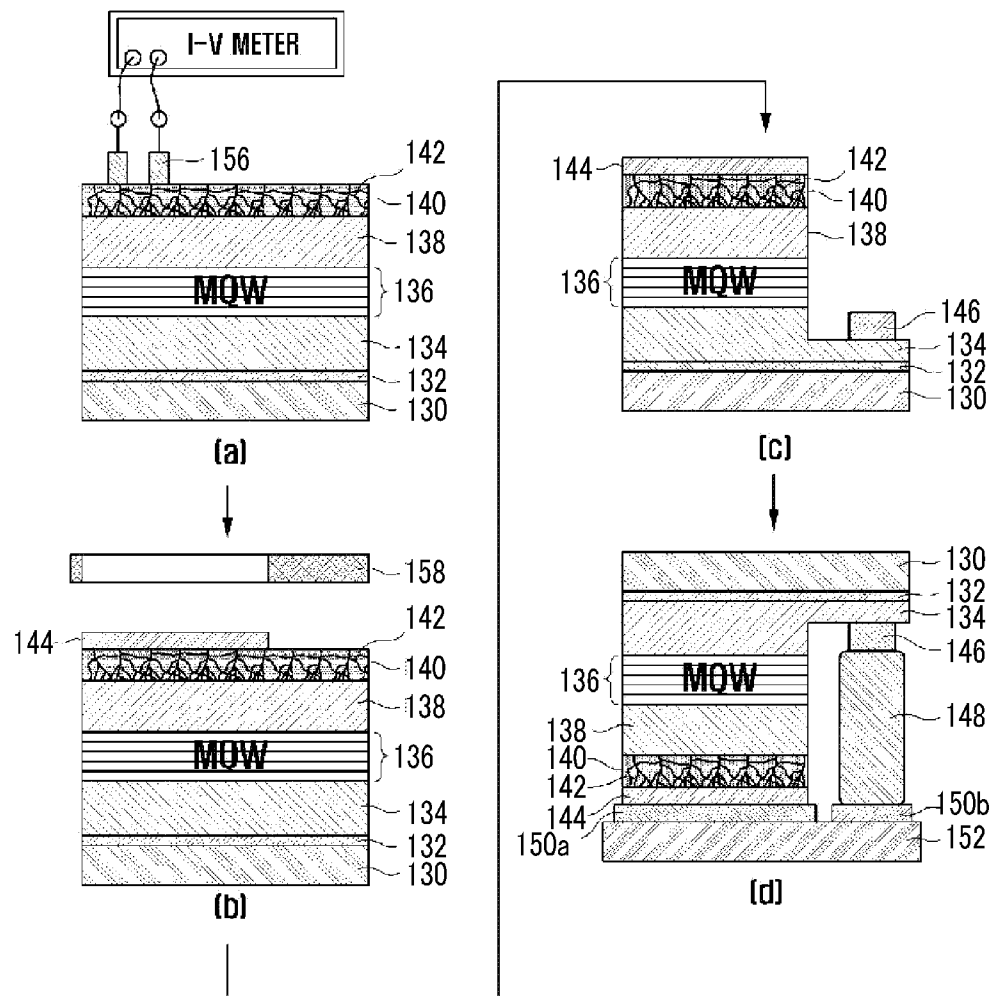
[Fig. 12a]



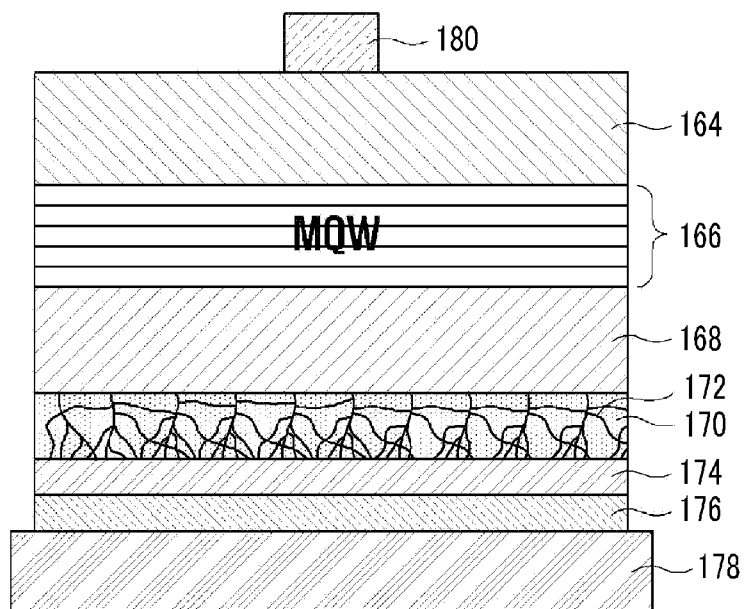
[Fig. 12b]



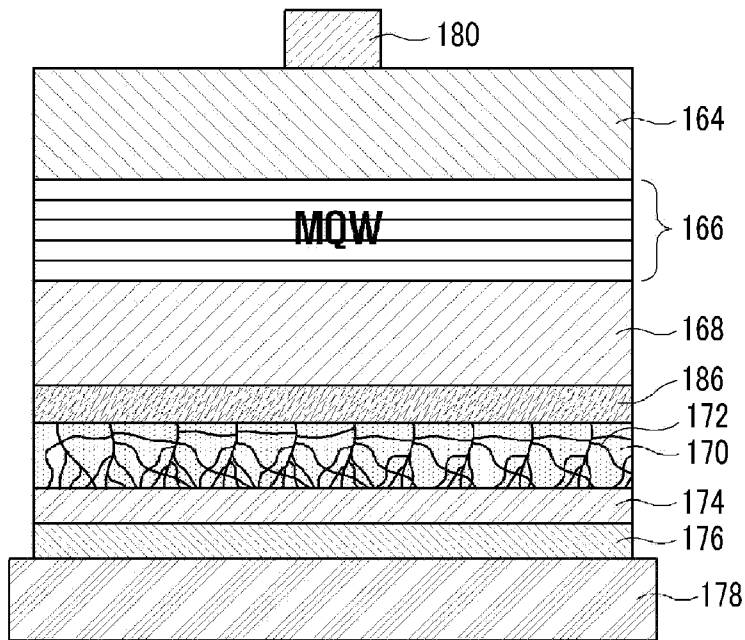
[Fig. 13]



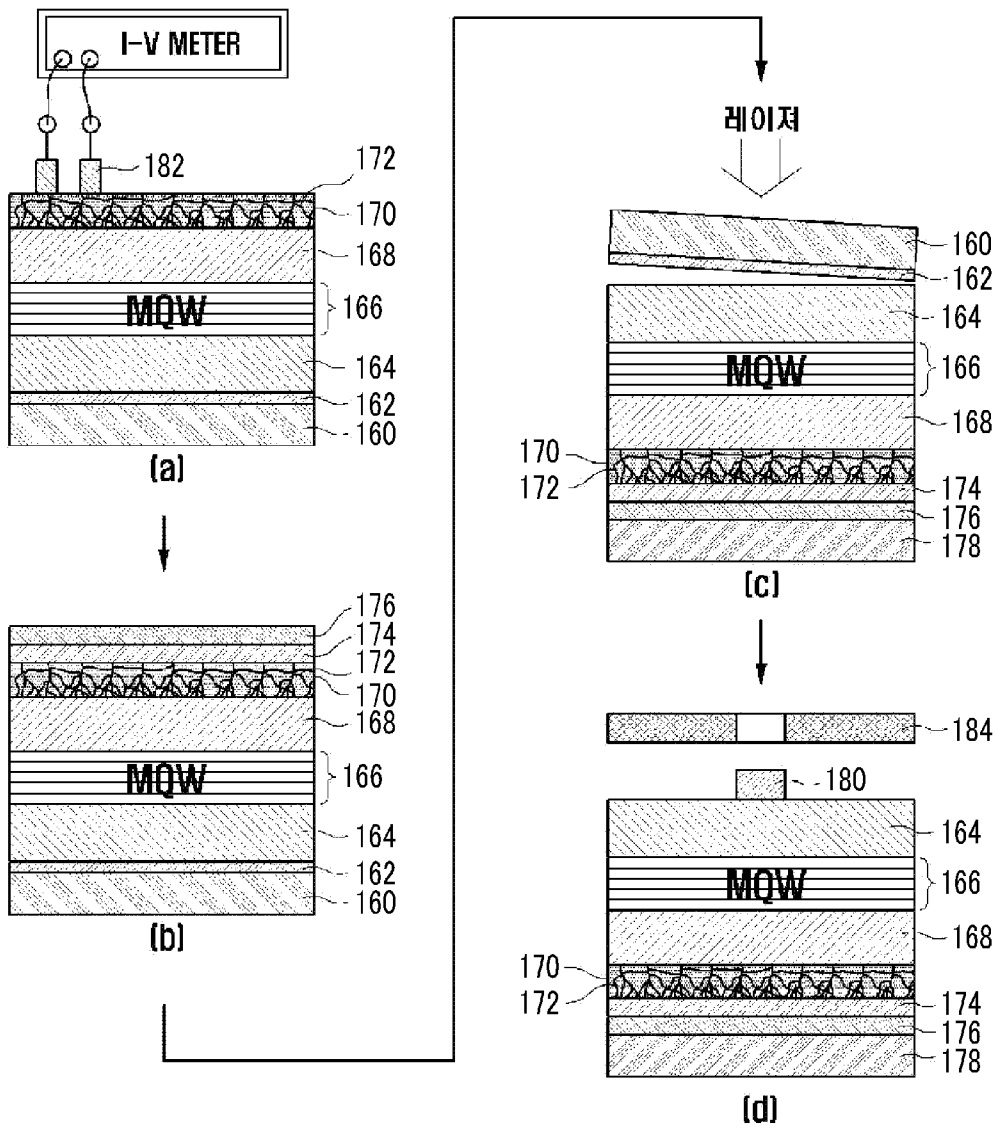
[Fig. 14a]



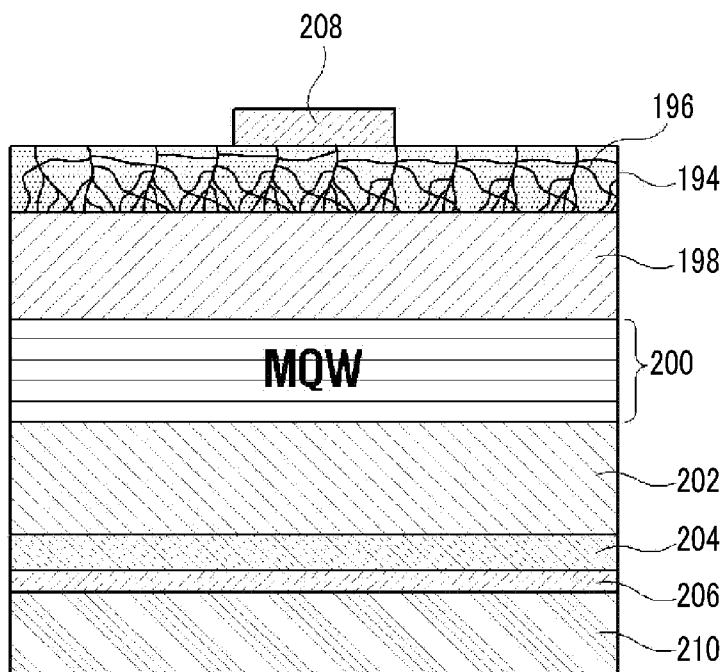
[Fig. 14b]



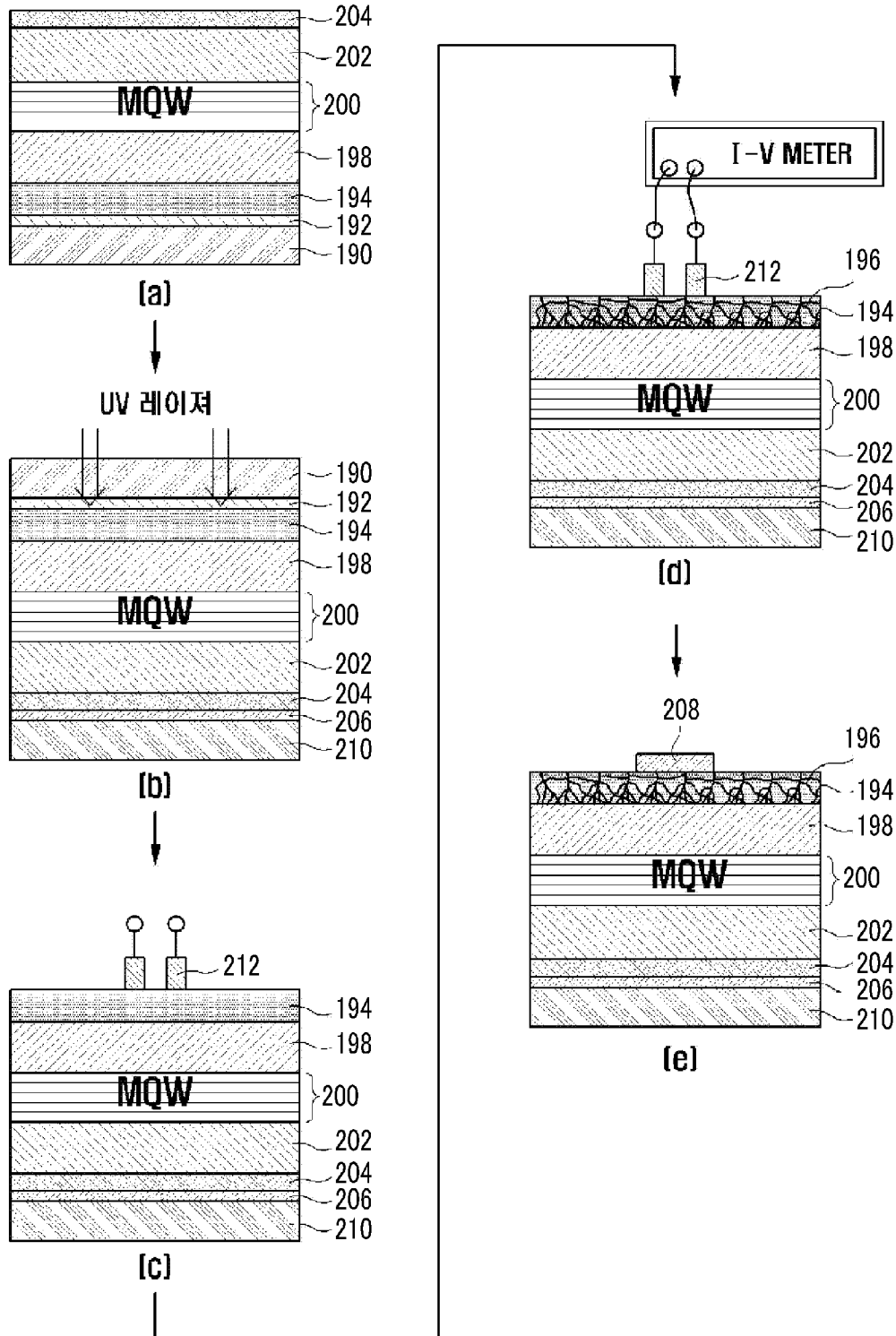
[Fig. 15]



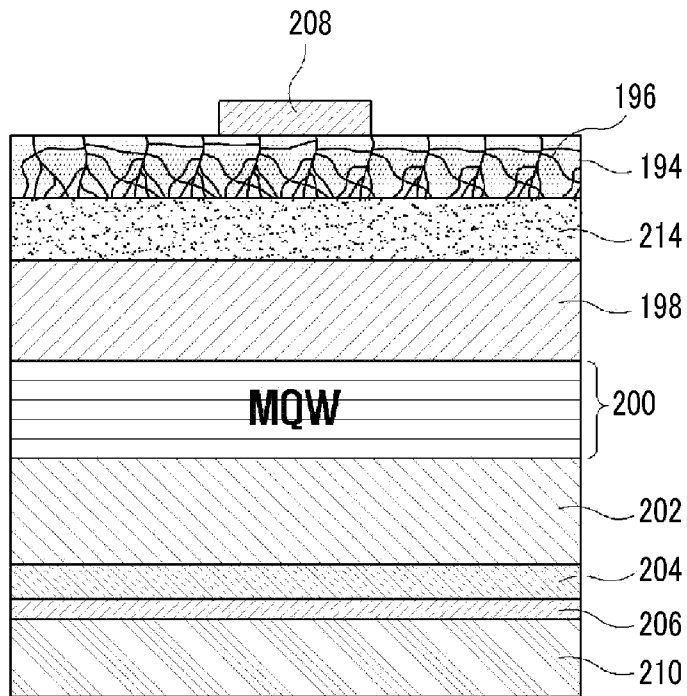
[Fig. 16]



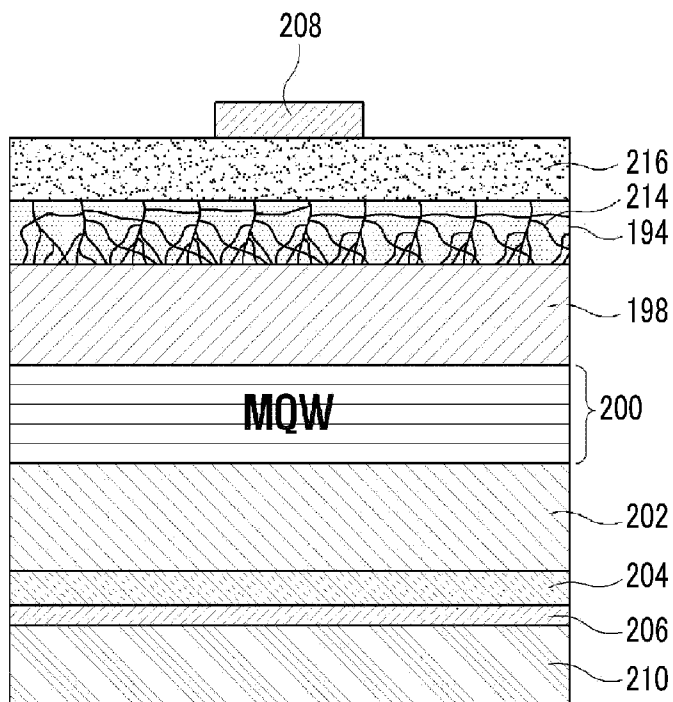
[Fig. 17]



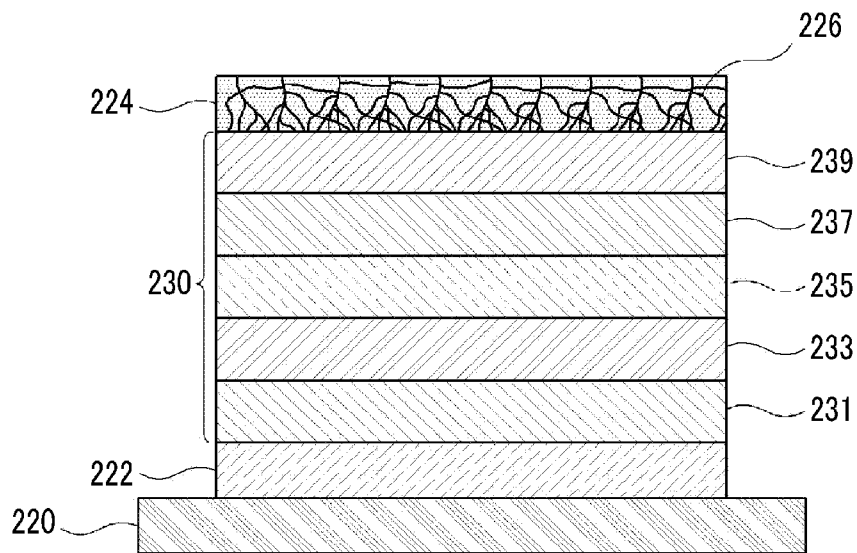
[Fig. 18a]



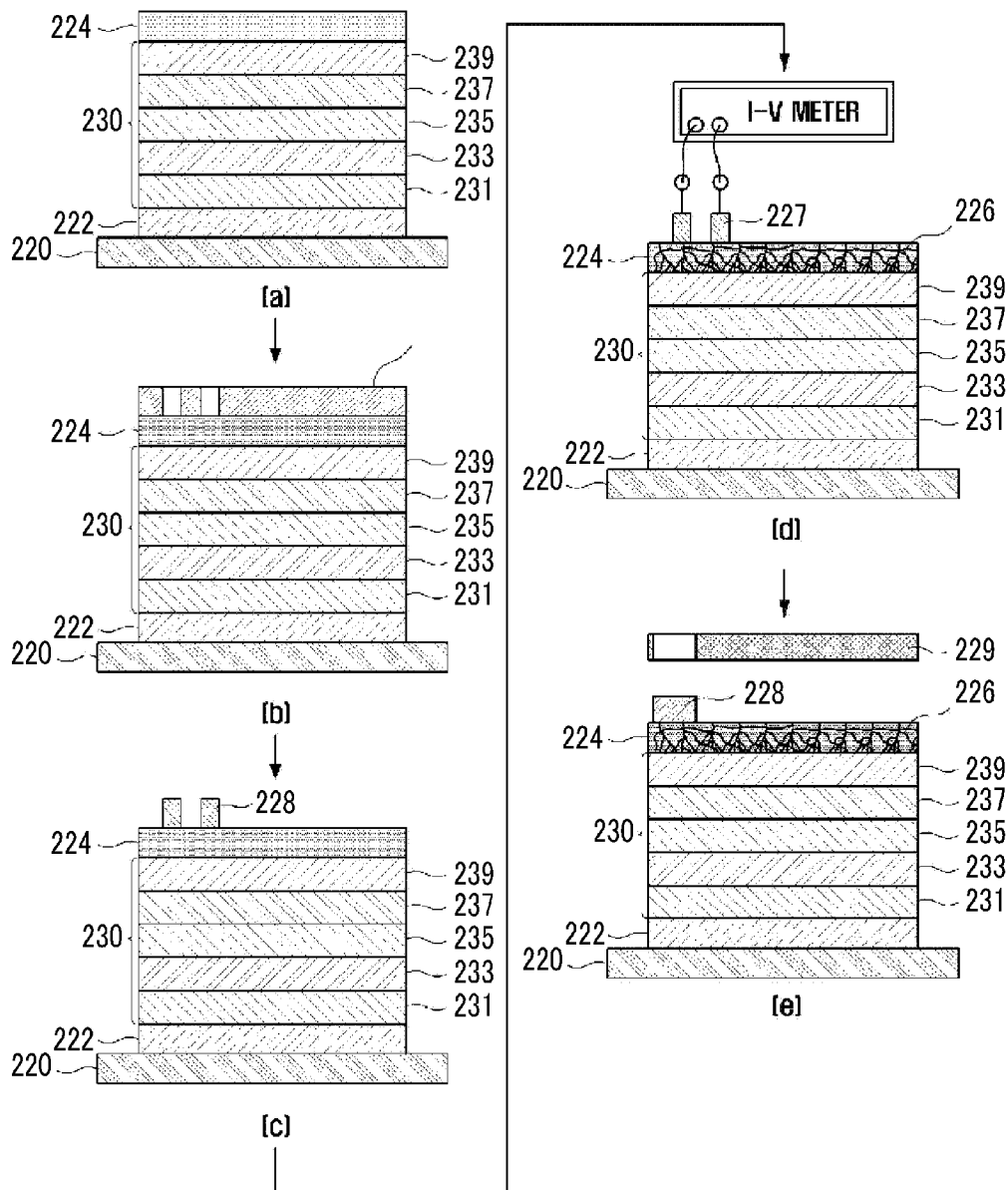
[Fig. 18b]



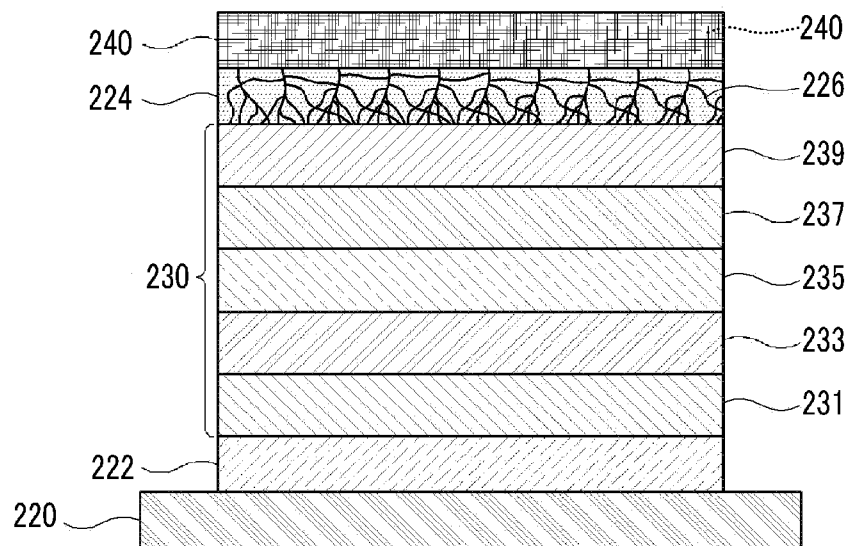
[Fig. 19]



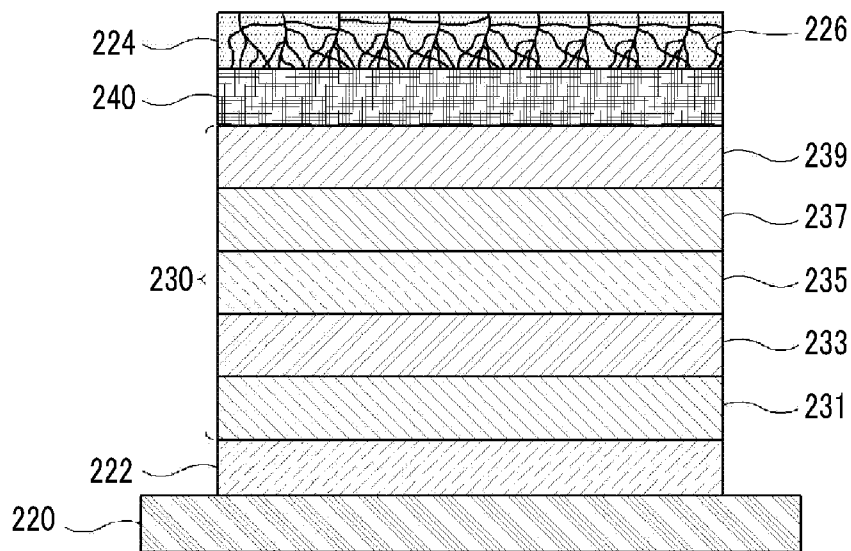
[Fig. 20]



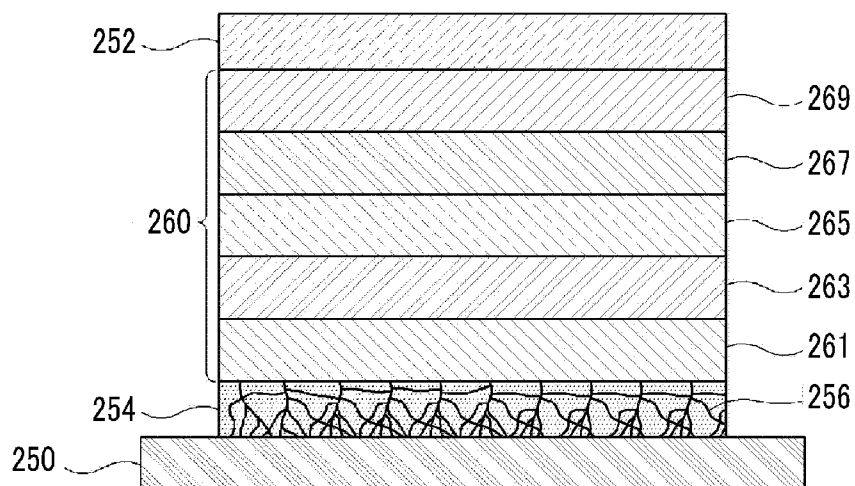
[Fig. 21a]



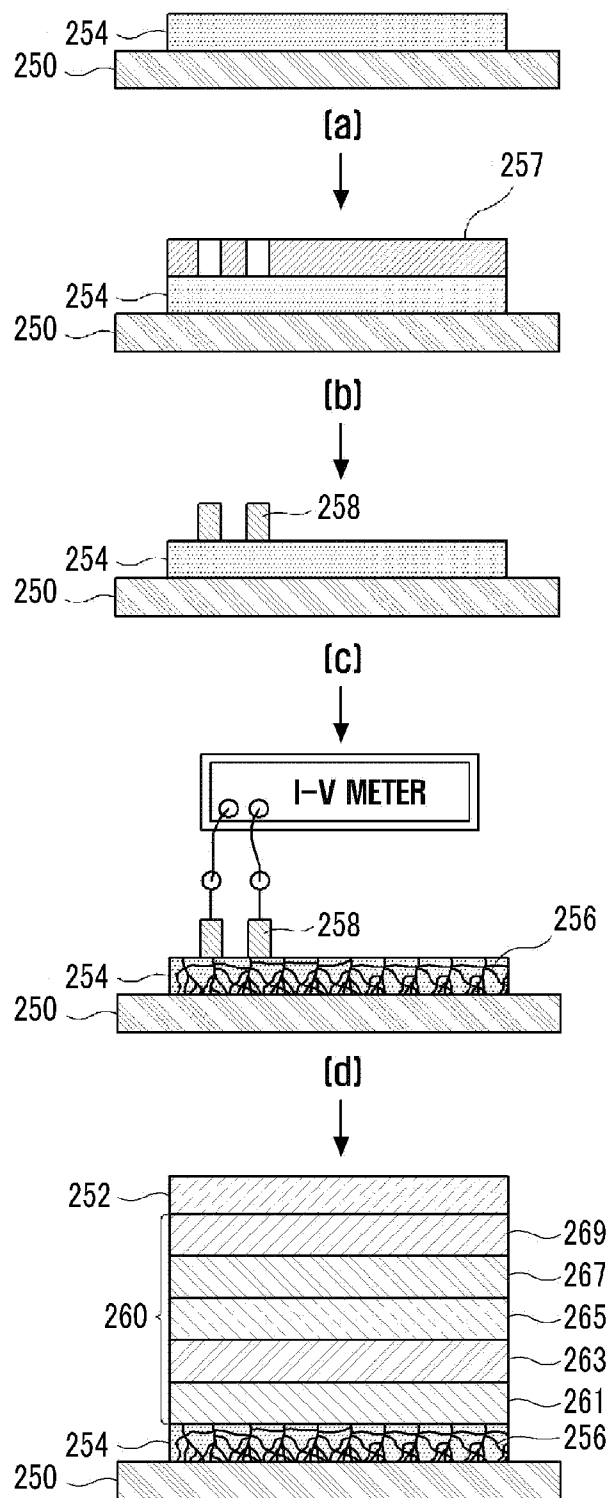
[Fig. 21b]



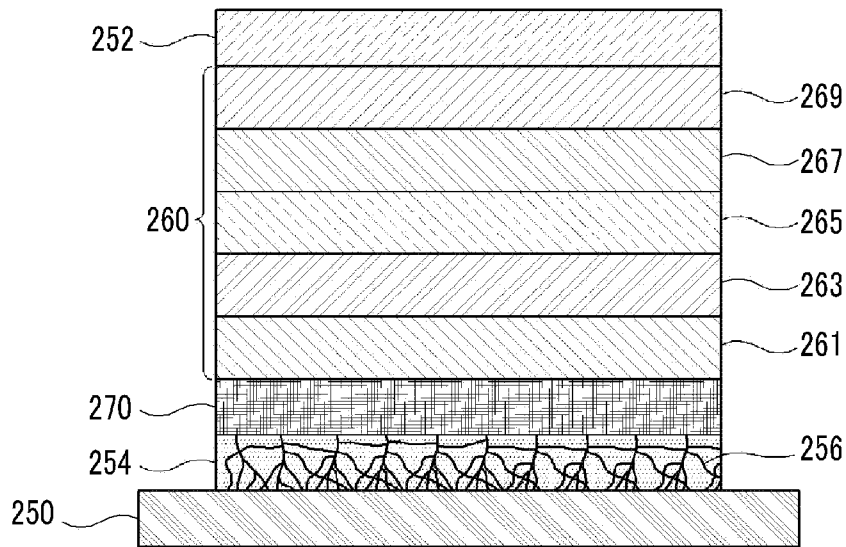
[Fig. 22]



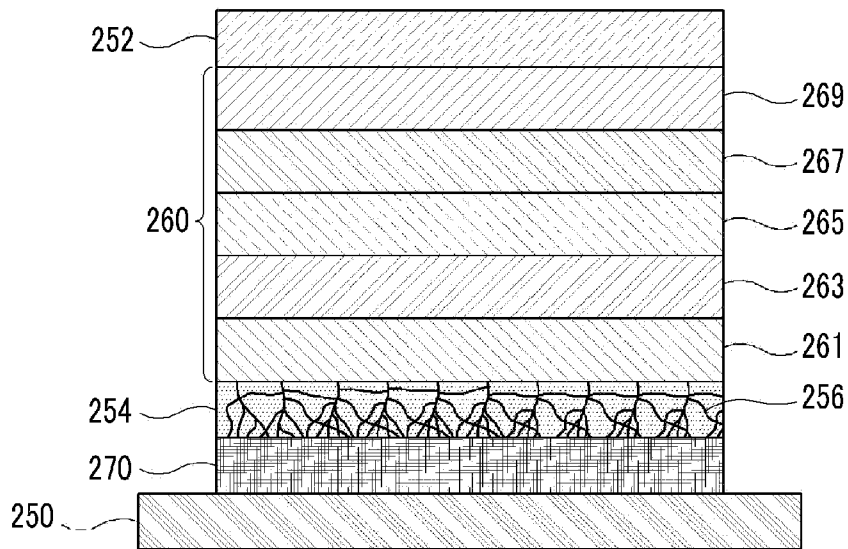
[Fig. 23]



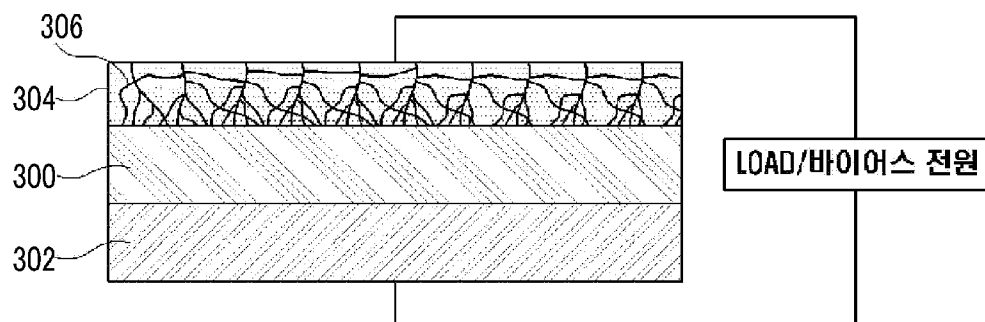
[Fig. 24a]



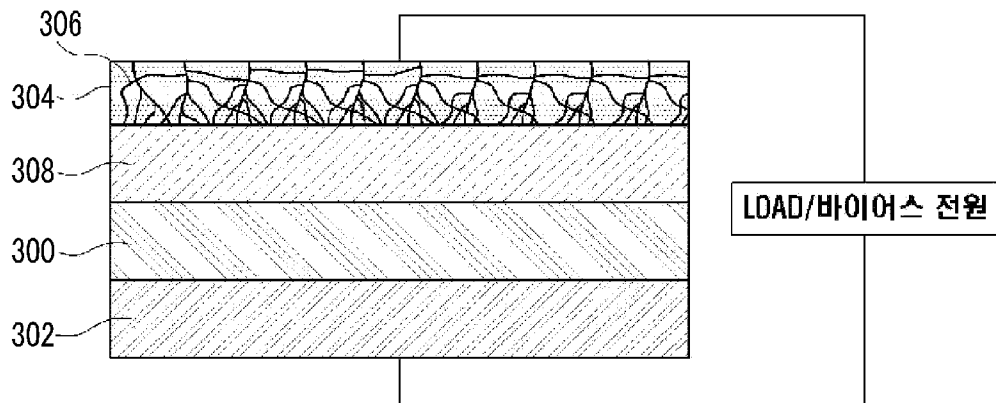
[Fig. 24b]



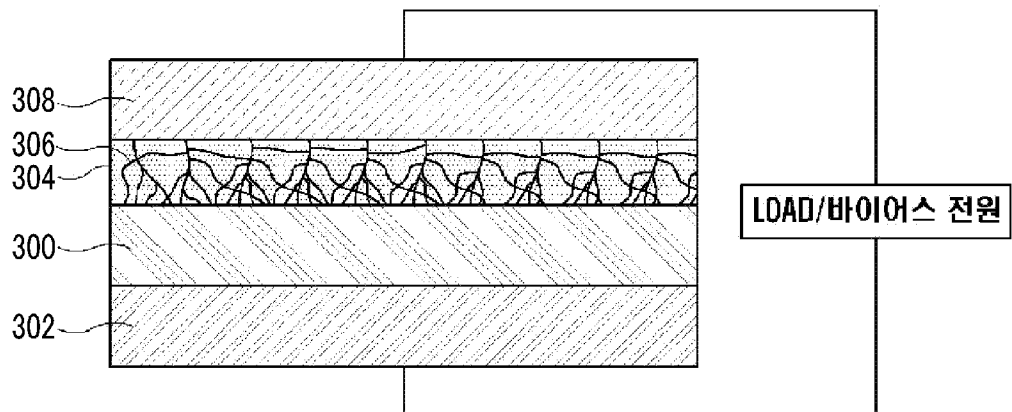
[Fig. 25a]



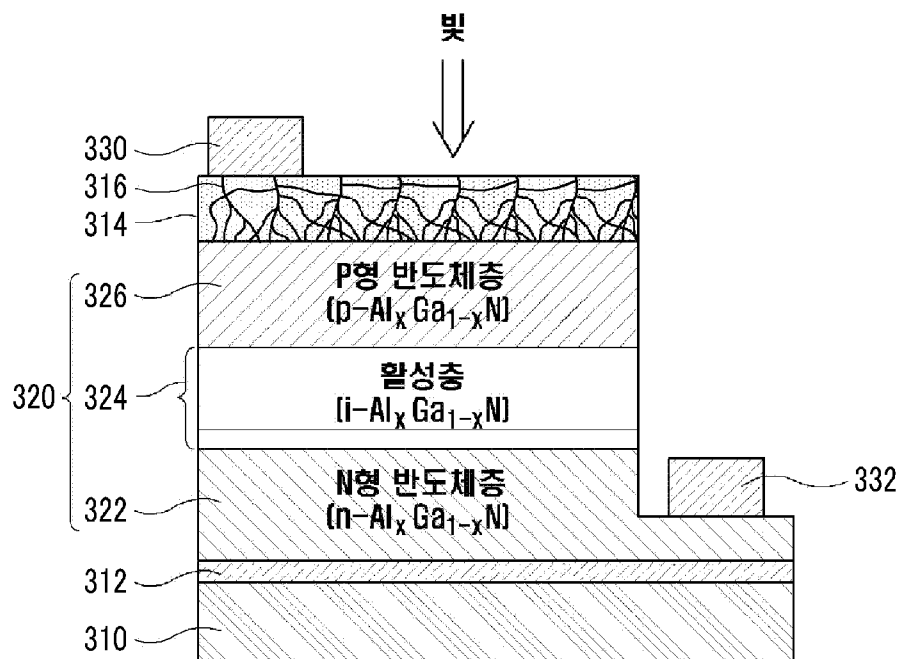
[Fig. 25b]



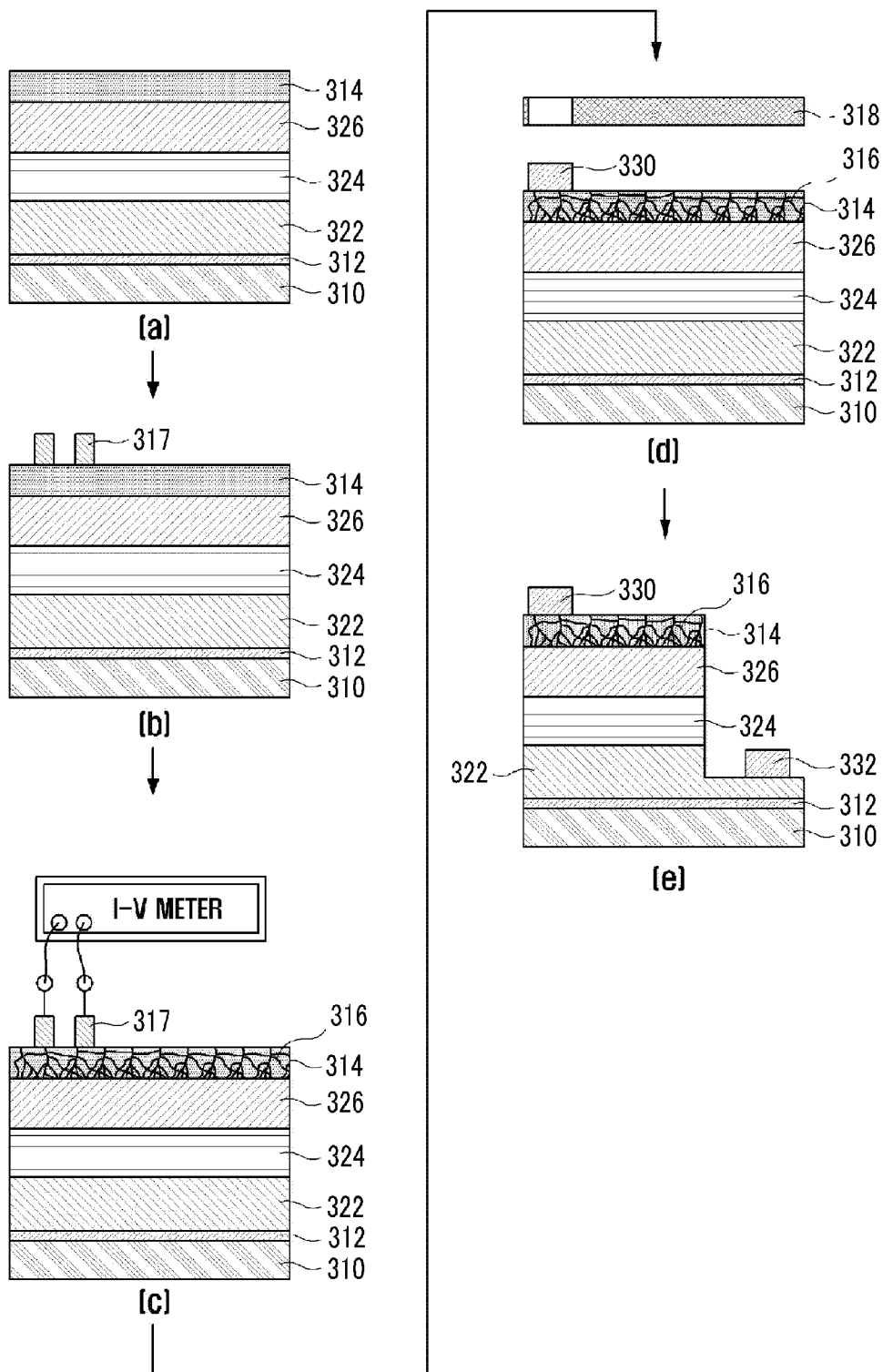
[Fig. 25c]



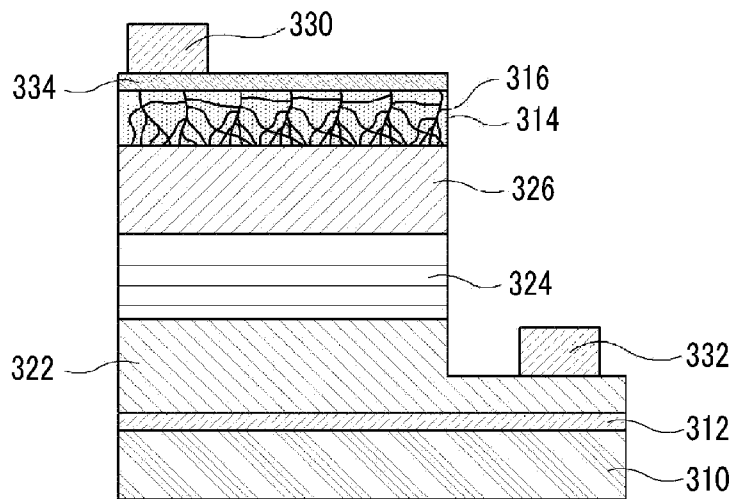
[Fig. 26]



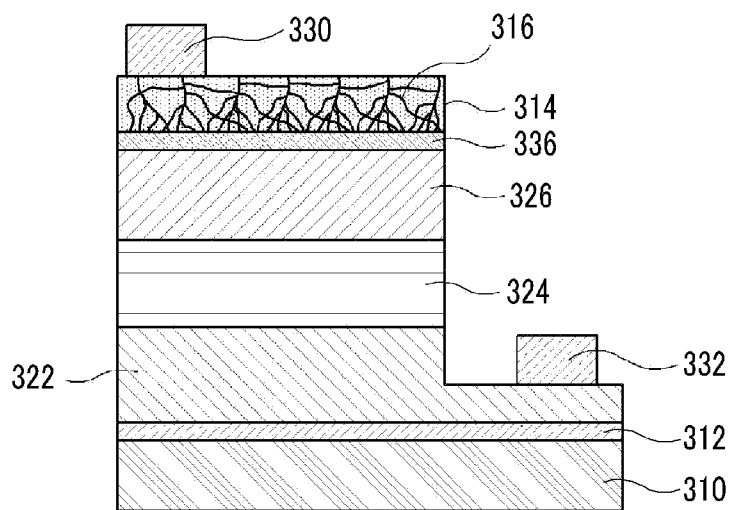
[Fig. 27]



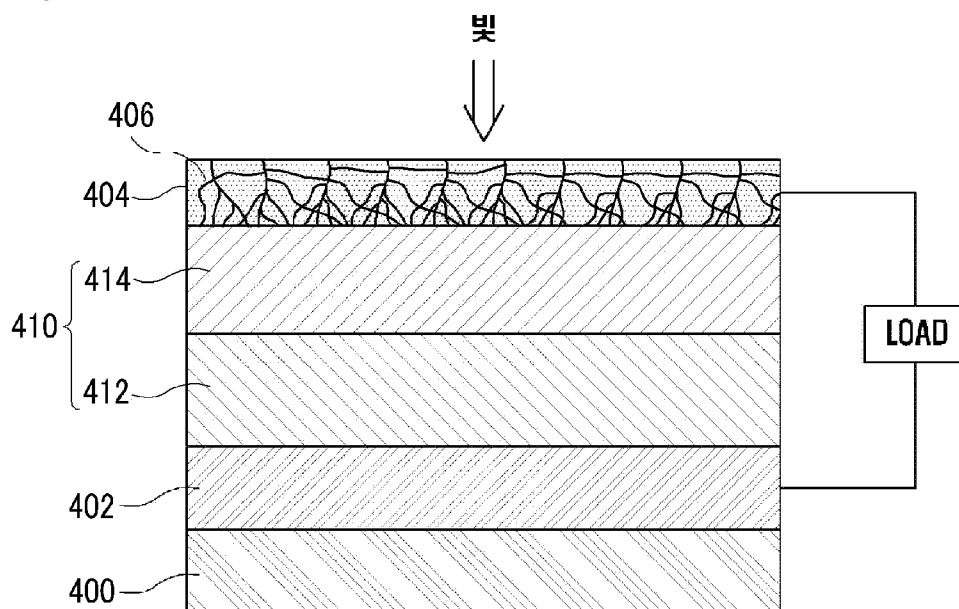
[Fig. 28a]



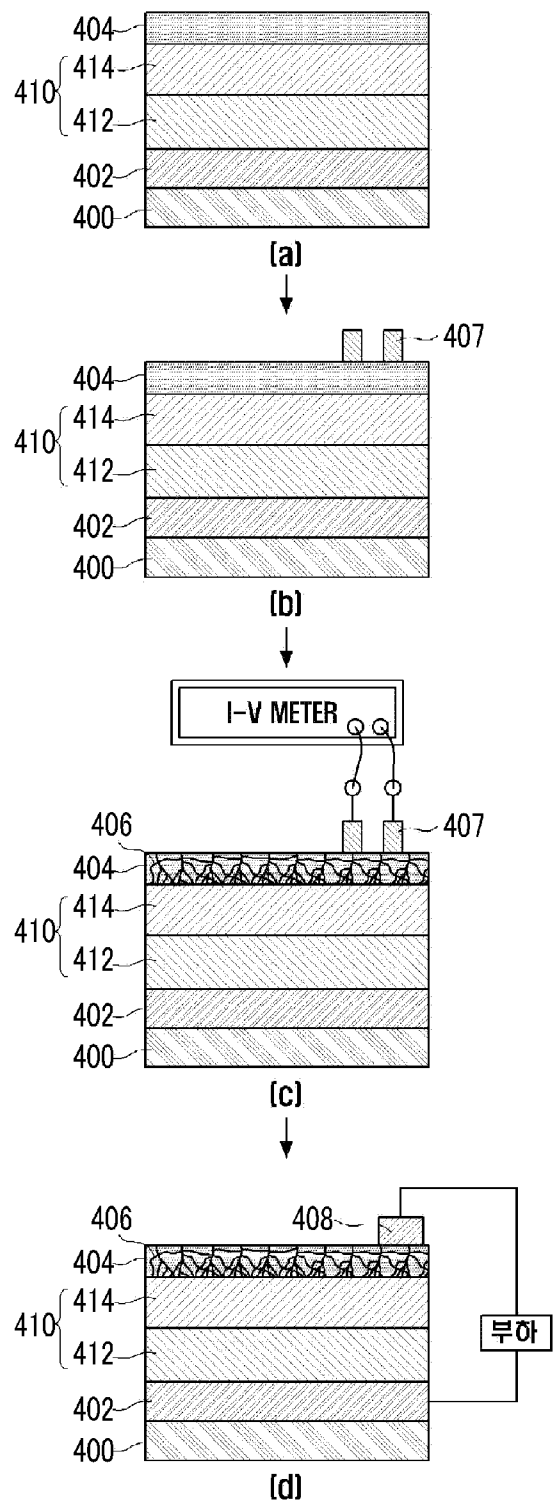
[Fig. 28b]



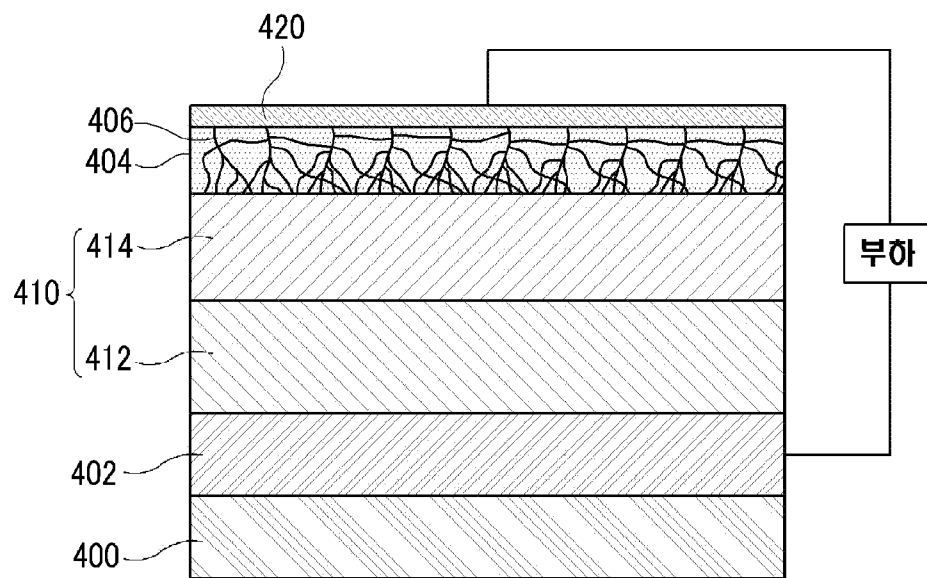
[Fig. 29]



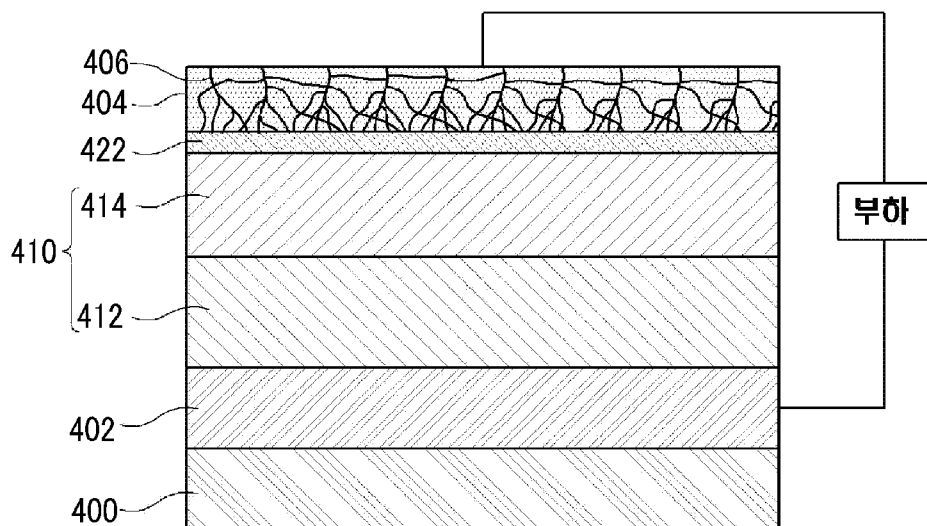
[Fig. 30]



[Fig. 31a]



[Fig. 31b]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2014/005930**A. CLASSIFICATION OF SUBJECT MATTER****H01L 33/42(2010.01)i, H01L 33/36(2010.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/42; H01L 27/105; H01L 33/10; B82Y 10/00; H01L 33/36; H01L 45/00; H01L 33/08; H01L 33/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: substrate, opening, thickness, substrate, hole, thickness

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2010-0054074 A (KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY) 24 May 2010 See abstract; claim 1; paragraphs [0006], [0042], [0066]; figures 2, 5.	1-52
A	KR 10-2012-0128398 A (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 27 November 2012 See abstract; claims 1, 3; paragraphs [0017], [0029]-[0030], [0041]; figures 1, 3.	1-52
A	KR 10-2012-0044545 A (SAMSUNG LED CO., LTD.) 08 May 2012 See abstract; claim 1; paragraphs [0020], [0028], [0042]; figure 1.	1-52
A	KR 10-2012-0115802 A (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) 19 October 2012 See abstract; paragraph [0003].	1-52
A	KR 10-0646636 B1 (SEOUL VIOSYS CO., LTD.) 23 November 2006 See abstract; claim 1; pages 5, 7, 10; figures 1, 4, 5.	1-52
A	JP 2013-089740 A (NATIONAL INSTITUTE FOR MATERIALS SCIENCE) 13 May 2013 See abstract; claim 1; figure 1.	1-52



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

30 SEPTEMBER 2014 (30.09.2014)

Date of mailing of the international search report

30 SEPTEMBER 2014 (30.09.2014)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2014/005930

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2010-0054074 A	24/05/2010	CN 102282673 A US 2012-0132882 A1 US 8426841 B2 WO 2010-055988 A1	14/12/2011 31/05/2012 23/04/2013 20/05/2010
KR 10-2012-0128398 A	27/11/2012	US 2012-0292634 A1	22/11/2012
KR 10-2012-0044545 A	08/05/2012	CN 102456797 A TW 2012-20538 US 2012-0104432 A1	16/05/2012 16/05/2012 03/05/2012
KR 10-2012-0115802 A	19/10/2012	KR 10-1238878 B1	04/03/2013
KR 10-0646636 B1	23/11/2006	NONE	
JP 2013-089740 A	13/05/2013	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 33/42(2010.01)i, H01L 33/36(2010.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 33/42; H01L 27/105; H01L 33/10; B82Y 10/00; H01L 33/36; H01L 45/00; H01L 33/08; H01L 33/16 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 기관, 개구, 두께, substrate, hole, thickness		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2010-0054074 A (한국과학기술원) 2010.05.24 요약; 청구항 1; 문단 [0006], [0042], [0066]; 도면 2, 5 참조.	1-52
A	KR 10-2012-0128398 A (한국전자통신연구원) 2012.11.27 요약; 청구항 1, 3; 문단 [0017], [0029]-[0030], [0041]; 도면 1, 3 참조.	1-52
A	KR 10-2012-0044545 A (삼성엘이디 주식회사) 2012.05.08 요약; 청구항 1; 문단 [0020], [0028], [0042]; 도면 1 참조.	1-52
A	KR 10-2012-0115802 A (고려대학교 산학협력단) 2012.10.19 요약; 문단 [0003]; 참조.	1-52
A	KR 10-0646636 B1 (서울옵토디바이스주식회사) 2006.11.23 요약; 청구항 1; 페이지 5, 7, 10; 도면 1, 4, 5 참조.	1-52
A	JP 2013-089740 A (NATIONAL INSTITUTE FOR MATERIALS SCIENCE) 2013.05.13 요약; 청구항 1; 도면 1 참조.	1-52
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2014년 09월 30일 (30.09.2014)		국제조사보고서 발송일 2014년 09월 30일 (30.09.2014)
ISA/KR의 명칭 및 우편주소  대한민국 특허청 (302-701) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-472-7140		심사관 김현진 전화번호 +82-42-481-5731 

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2010-0054074 A	2010/05/24	CN 102282673 A US 2012-0132882 A1 US 8426841 B2 WO 2010-055988 A1	2011/12/14 2012/05/31 2013/04/23 2010/05/20
KR 10-2012-0128398 A	2012/11/27	US 2012-0292634 A1	2012/11/22
KR 10-2012-0044545 A	2012/05/08	CN 102456797 A TW 2012-20538 US 2012-0104432 A1	2012/05/16 2012/05/16 2012/05/03
KR 10-2012-0115802 A	2012/10/19	KR 10-1238878 B1	2013/03/04
KR 10-0646636 B1	2006/11/23	없음	
JP 2013-089740 A	2013/05/13	없음	