

申請日期：	IPC分類
申請案號： 89127912	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	2. 大澤 真司
	姓名 (英文)	2. OSAWA SHINJI
	國籍 (中英文)	2. 日本 JP
	住居所 (中文)	2. 日本國山口縣下松市東豐井1296番地之一 東洋鋼鈹股份有限公司技術研究所內
	住居所 (英文)	2. 1296-1, Higashitoyoi, Kudamatsu-shi, Yamaguchi, 744-0002 JAPAN Technical Research Laboratory of TOYO KOHANN Co., LTD.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
代表人 (英文)		

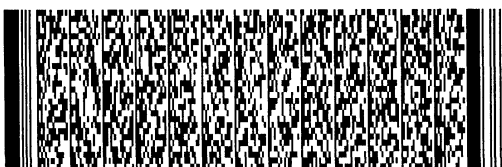


申請日期：	IPC分類
申請案號： 89127912	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	3. 岡本 浩明
	姓名 (英文)	3. OKAMOTO HIROAKI
	國籍 (中英文)	3. 日本 JP
	住居所 (中文)	3. 日本國山口縣下松市東豐井1296番地之一 東洋鋼鈹股份有限公司技術研究所內
	住居所 (英文)	3. 1296-1, Higashitoyoi, Kudamatsu-shi, Yamaguchi, 744-0002 JAPAN Technical Research Laboratory of TOYO KOHANN Co., LTD.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號： 89127912	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	4. 吉田 一雄
	姓名 (英文)	4. YOSIDA KAZUO
	國籍 (中英文)	4. 日本 JP
	住居所 (中文)	4. 日本國山口縣下松市東豊井1296番地之一 東洋鋼鋸股份有限公司技術研究所內
	住居所 (英文)	4. 1296-1, Higashitoyoi, Kudamatsu-shi, Yamaguchi, 744-0002 JAPAN Technical Research Laboratory of TOYO KOHANN Co., LTD.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



## 一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
日本 JP	2000/01/12	特願2000-004041	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。

## 五、發明說明 (1)

### 發明所屬的技術領域

本發明係提供導體佈線經予形成的半導體裝置，及導體佈線之形成方法、與具有隆起物之導體佈線經予形成的半導體裝置，及具有隆起物之導體佈線之形成方法。

### 習知技術

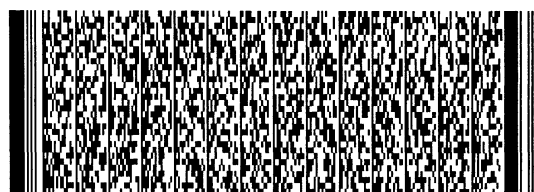
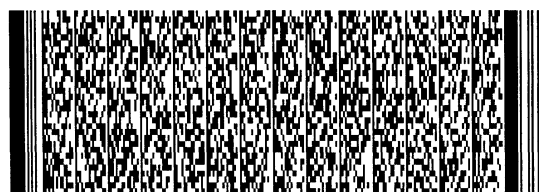
近年，IC晶片之小型化、高功能化、高積体化、多接腳化正顯著的進行著。又由於晶片尺度之縮小及多接腳化，晶片之電極間距(pitch)乃日益形成狹窄的狀況。

電極排列間距若變窄時，則將晶片實際安裝於插入物或印刷基板上之際因被要求高精確度，故常需價昂的設備並不合適。因此，於晶片之周圍以狹窄的間距並列的電極需再配置於晶片上並擴大電極間距，有使其後的實際安裝成為容易的必要。

欲進行電極之再配置時，於晶片之電極經予形成的面上，有形成導體配線之必要。向來，此佈線係利用蒸鍍法予以形成，乃成為提高成本之要因。又於已再配置的電極，雖有形成隆起物之必要，惟其形成上亦需花費成本。

### 發明欲解決的課題

本發明係解決上述長久以來的問題點，其目的係提供可高精確度且經濟的進行佈線形成至半導體上，又亦同樣的可高精確度且價廉的進行隆起物形成至電極上之手段。



## 五、發明說明 (2)

解決課題而採的手段

本發明人等係於電路經予形成的半導體晶片或晶圓之電極經予形成的面側上，藉由採用本發明人等先前申請的金屬箔及陶瓷之接合技術(參閱國際公開第W099/58470號公報)將佈線形成用之金屬箔予以層合後，蝕刻金屬箔並形成佈線，在上述目的之中發現出可解決形成佈線至半導體上的問題點。

又，對隆起物之形成，藉由於半導體晶片等的電極形成面側上層合佈線形成用之多層金屬箔，發現出於其上僅以蝕刻具有隆起物之佈線的方式可予形成。

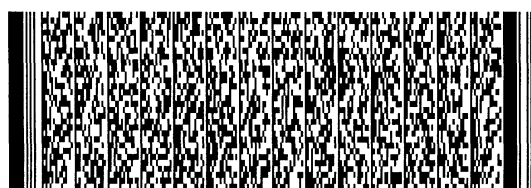
亦即，申請專利範圍第1項所述的本發明，係提供由半導體、佈線形成用金屬箔及該半導體上之導體佈線而成的半導體裝置者(以下稱作本發明之第一形態)。

於此情形，前述佈線形成用金屬箔宜為銅、鋁、鎳或此等二種以上的組合而成之合金。

又於此情形，前述佈線形成用金屬箔宜為厚度1~50  $\mu\text{m}$ 之金屬箔。

此種本發明之第一形態之半導體裝置係如申請專利範圍第4項所述的本發明般，藉由於半導體上之電極形成面側上層合以佈線形成用金屬箔之步驟、於該金屬箔上形成光阻佈線圖案之步驟、進行金屬箔之蝕刻的步驟、及去除光阻並形成佈線之步驟而成的在半導體上形成導體佈線之方法而得。

於此情形，前述佈線形成用金屬箔宜為銅、鋁、鎳或



## 五、發明說明 (3)

此等二種以上的組合而成之合金。

又於此情形，前述佈線形成用金屬箔宜為厚度 $1\sim 50\ \mu\text{m}$ 之金屬箔。

再者於此情形，半導體宜為金屬薄膜係經予形成於表面上的半導體，再者前述金屬薄膜宜為鎳。

又，申請專利範圍第9項所述的本發明，係提供由半導體、佈線形成用金屬箔及該半導體上之隆起物與導體佈線而成的半導體裝置者(以下稱作本發明之第二形態)。

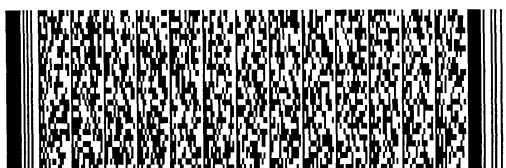
於此情形，前述佈線形成用多層金屬箔宜為銅、鋁、鎳或此等二種以上的組合而成的合金之金屬層合体。

又佈線形成用多層金屬箔宜為隆起物形成用銅或軟焊箔/停止蝕刻層鎳/佈線用銅箔之金屬層合体。

再者，停止蝕刻層鎳宜為以鍍著方式予以層合者，再者於此情形，佈線形成用多層金屬箔之隆起物形成用銅或軟焊箔之厚度為 $10\sim 100\ \mu\text{m}$ ，停止蝕刻層鍍鎳之厚度宜為 $0.5\sim 3\ \mu\text{m}$ ，佈線用銅箔之厚度宜為 $1\sim 100\ \mu\text{m}$ 。

又於此情形、停止蝕刻層鎳宜為已將箔予以包層者，再者佈線形成用多層金屬箔之隆起物形成用銅或軟焊箔之厚度宜為 $10\sim 100\ \mu\text{m}$ ，停止蝕刻層鎳包層箔之厚度宜為 $1\sim 10\ \mu\text{m}$ ，佈線用銅箔之厚度宜為 $1\sim 100\ \mu\text{m}$ 。

另一方面，於此情形，佈線形成用多層金屬箔宜為隆起物形成用銅或軟焊箔/佈線形成用鋁箔或銀箔之金屬層合体。於此情形、佈線形成用多層金屬箔之隆起物形成用銅或軟焊箔之厚度為 $10\sim 100\ \mu\text{m}$ ，佈線形成用鋁箔或銀箔



## 五、發明說明(4)

之厚度宜為 $1\sim 100\ \mu\text{m}$ 。

此種本發明之第二形態之半導體裝置，係藉由於半導體上之電極形成面側上層合以佈線形成用多層金屬箔之步驟，將該多層金屬箔予以光蝕刻並形成隆起物形成用光阻佈線圖案之步驟，利用選擇蝕刻形成隆起物之步驟，去除停止蝕刻層之步驟，形成佈線形成用光阻佈線圖案之步驟，利用蝕刻形成佈線之步驟，及去除光阻並形成佈線之步驟而成的在半導體上形成具有隆起物之導體佈線的方法而得。

於此情形，佈線形成用多層金屬箔宜為銅、鋁、鎳或此等二種以上的組合而成的合金之金屬層合物。

於此情形，佈線形成用多層金屬箔宜為隆起物形成用銅或軟焊箔/停止蝕刻層鎳/佈線用銅箔之金屬層合物。

於此情形，停止蝕刻層鎳宜為以鍍著方式予以層合者，佈線形成用多層金屬箔之隆起物形成用銅或軟焊箔之厚度宜為 $10\sim 100\ \mu\text{m}$ ，停止蝕刻層鍍鎳之厚度宜為 $0.5\sim 3\ \mu\text{m}$ ，佈線用銅箔之厚度更宜為 $1\sim 100\ \mu\text{m}$ 。

又，於此情形，停止蝕刻層鎳宜為已將箔予以包層者，佈線形成用多層金屬箔之隆起物形成用銅或軟焊箔之厚度宜為 $10\sim 100\ \mu\text{m}$ ，停止蝕刻層鍍鎳之厚度宜為 $1\sim 10\ \mu\text{m}$ ，佈線用銅箔之厚度宜為 $1\sim 100\ \mu\text{m}$ 。

再者於此情形，佈線形成用多層金屬箔宜為隆起物形成用銅或或軟焊箔/佈線形成用鋁箔或銀箔之金屬層合体，配線形成用多層金屬箔之隆起物形成用銅或軟焊箔之



## 五、發明說明 (5)

厚度宜為 $10\sim 100\ \mu\text{m}$ ，佈線形成用鋁箔或銀箔之厚度更宜為 $1\sim 100\ \mu\text{m}$ 。

因此，於此情形，半導體宜為金屬薄膜經予形成於表面上的半導體，前述金屬薄膜更宜為鎳。

發明之實施形態

首先，說明本發明之第一形態。

本發明之第一形態係有關由半導體、佈線形成用金屬箔與該半導體上之導體佈線而成的半導體裝置。

至於佈線形成用金屬箔之原材料，若為常用的金屬時即可，並未予特別限定，惟以銅、鋁、鎳或此等二種以上的組合而成之合金為佳。

因此，佈線形成用金屬箔之厚度為 $1\sim 50\ \mu\text{m}$ ，宜為 $5\sim 20\ \mu\text{m}$ 較佳。

其他，至於半導體可採用常用的晶片或晶圓等，而導體佈線則可製成適當所期待的形狀。

此種本發明之第一形態之半導體裝置，係藉由於半導體上之電極形成面側上層合以佈線形成用金屬箔之步驟，於該金屬箔上形成光阻佈線圖案之步驟，進行金屬之蝕刻的步驟及去除光阻並形成佈線之步驟而成之於半導體上形成導體佈線之方法可予製造。

至於基材，可採用半導體晶圓、晶片等常被使用者，而佈線形成用金屬箔宜為銅，可採用厚度 $1\sim 50\ \mu\text{m}$ 者(第1圖)。



## 五、發明說明 (6)

且依情況而異，於表面清淨化之後，使用濺鍍法，蒸鍍法等，亦可於半導體晶圓上提供金屬薄膜。由而成為可容易進行層合金屬箔至半導體上。至於形成薄膜之金屬，以半導體之晶片電極為Al時，雖可採用Cr、Mo、W等作為障層金屬(barrier metal)，惟因其後的蝕刻去除較困難，由蝕刻去除之容易性觀點，宜為採用鎳。又，晶片電極若為Cu時，則以採用Cu作為金屬薄膜較宜。

佈線形成用金屬箔之層合至半導體，係可採用本發明人等先前提出申請的國際公開第W099/58470號公報所述的技術予以進行(第1圖)。

層合後，於佈線形成用金屬箔上塗布光阻後，進行曝光、顯影、形成光阻佈線圖案，至於此等的一系列技巧，可依常用方法進行(第2圖)。

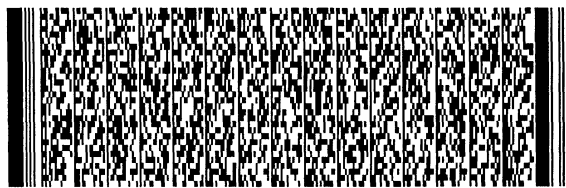
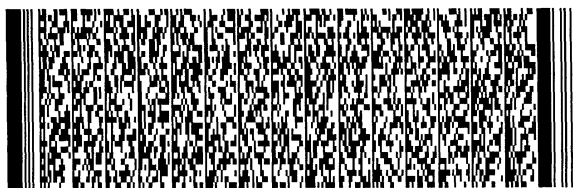
其次，進行佈線形成用金屬箔之蝕刻。對該金屬箔為銅之情形，採用市售的鹼系銅蝕刻液等，可進行銅之蝕刻(第3圖)。

最後，去除光阻層，形成佈線(第3圖)。在此，對已形成金屬薄膜之情形，則以蝕刻方式予以去除。

其次，說明本發明之第二形態。

本發明之第二形態係提供由半導體、佈線形成用金屬箔、該半導體上之隆起物及導體佈線而成的半導體裝置者。

在此，至於佈線形成用多層金屬箔，以採用由銅、軟焊、鋁、鎳或此等二種以上之組合而成的合金之金屬層合



## 五、發明說明 (7)

物為佳。

其中亦以佈線形成用多層金屬箔作成隆起物形成用銅或軟焊箔/停止蝕刻層鍍/佈線用銅箔為佳。

至於停止蝕刻層，可為以鍍著方式予以層合者，亦可為將箔予以包層者。

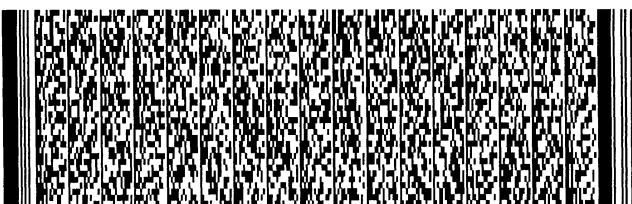
採用以鍍著方式予以層合者之情形，佈線形成用多層金屬箔之各層的厚度，係可設成隆起物形成用銅或軟焊箔為 $5\sim 100\ \mu\text{m}$ ，宜為 $10\sim 50\ \mu\text{m}$ ，停止蝕刻層鍍鍍為 $0.5\sim 3\ \mu\text{m}$ ，宜為 $1\sim 2\ \mu\text{m}$ ，佈線用銅箔為 $1\sim 100\ \mu\text{m}$ ，宜為 $5\sim 20\ \mu\text{m}$ 。

又，停止蝕刻層鍍為將箔予以包層者之情形，佈線形成用多層金屬箔之各層的厚度，係可設成隆起物形成用銅或軟焊箔之厚度為 $5\sim 100\ \mu\text{m}$ ，宜為 $10\sim 50\ \mu\text{m}$ ，停止蝕刻層包層鍍箔之厚度為 $1\sim 10\ \mu\text{m}$ ，宜為 $1.5\sim 5\ \mu\text{m}$ ，佈線用銅箔之厚度為 $1\sim 100\ \mu\text{m}$ ，宜為 $5\sim 20\ \mu\text{m}$ 。

又，除上述多層金屬箔外，佈線形成用多層金屬箔亦可為隆起物形成用銅或軟焊箔/佈線用鋁、或銀之金屬層合物。

此時，隆起物形成用銅或軟焊箔之厚度為 $5\sim 100\ \mu\text{m}$ ，宜為 $10\sim 50\ \mu\text{m}$ ，佈線形成用鋁箔或銀箔之厚度為 $1\sim 100\ \mu\text{m}$ ，宜為 $5\sim 20\ \mu\text{m}$ 為佳。

此種半導體裝置，係藉由於半導體上之電極形成面側上層合以佈線形成用多層金屬箔之步驟，於該多層金屬箔上形成隆起物形成用光阻佈線圖案之步驟，利用選擇蝕刻形成隆起物之步驟、去除停止蝕刻層之步驟、形成佈線形



## 五、發明說明 (8)

成用光阻佈線圖案之步驟，利用蝕刻形成佈線之步驟及去除光阻並形成佈線之步驟而成之於半導體上形成具有隆起物之導體佈線的方法可予製造。

亦即，將佈線形成用金屬箔層合於半導體晶圓等之上（第4圖）。

至於佈線形成用金屬箔，如前述可採用由隆起物形成用銅或軟焊箔/停止蝕刻層鎳/佈線用銅箔而成的金屬層合物或隆起物形成用銅或軟焊箔/佈線用鋁、或銀而成的金屬層合物。

至於層合之方法，可與上述的本發明之第一形態同法施行。且，與第一形態同樣的亦可於層合金屬箔前提供金屬薄膜。

於佈線形成用多層金屬箔上塗布光阻後，進行曝光、顯影，形成隆起物形成用光阻佈線圖案（第5圖）。此等技巧係可依常用方法進行。

其次，進行隆起物形成層之選擇蝕刻（第6圖），形成隆起物。隆起物形成層為銅箔之情形，可採用硫酸+過氧化氫等市售的銅蝕刻液。

去除停止蝕刻層。停止蝕刻層為鎳之情形，可採用市售的鎳去除液（例如Mertex公司製造的N-950）。

接著，將佈線形成用光阻佈線圖案形成所期待的形狀（第8圖）。

最後採用市售的鹼系銅蝕刻液等並進行蝕刻，形成佈線。其後去除光阻（第9圖）。



## 五、發明說明 (9)

實施例

以下利用實施例詳細說明本發明。

實施例1(形成佈線至半導體上)

## (1) 材料構成

至於基材係採用半導體晶圓1，於佈線形成用金屬箔上則採用銅(15  $\mu\text{m}$  厚度)2(第1圖)。且，於半導體晶圓1內嵌埋有鋁電極3。

## (2) 形成薄膜至半導體晶圓上

於表面清淨化之後，使用濺鍍法、蒸鍍法等，於半導體晶圓上形成鎳(銅)薄膜(未予圖示)。

## (3) 層合

本發明人等採用先前提出申請的國際公開第W099/58470號公報所述的技術，將佈線形成用銅箔2層合至半導體晶圓之上(第1圖)。

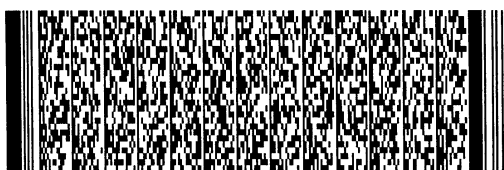
## (4) 形成光阻佈線圖案

於銅箔上塗布光阻4後，進行曝光、顯影，形成光阻佈線圖案5(第2圖)。

## (5) 蝕刻

採用市售的鹼系銅蝕刻液，進行銅之蝕刻(第3圖)。

(6) 去除光阻4，形成佈線6(第3圖)。最後利用蝕刻方式去除鎳藥膜。



## 五、發明說明 (10)

實施例2(形成隆起物至半導體上)

## (1) 材料構成

至於基材係採用與實施例1所用者相同的半導體晶圓1。另一方面，於佈線形成用金屬箔上採用由隆起物形成用銅或軟焊箔(35  $\mu\text{m}$ 厚)8/停止蝕刻層鍍鎳箔(1  $\mu\text{m}$ 厚)7/佈線用銅箔(15  $\mu\text{m}$ )2而成的金屬層合物(第4圖)。

## (2) 層合

與實施例1同法於半導體晶圓1之上層合以金屬層合物(圖號8、7及2之多層金屬箔)(第4圖)。

## (3) 形成隆起物形成用光阻佈線圖案

於金屬層合物上塗布光阻4後，進行曝光、顯影，形成隆起物形成用光阻佈線圖案9(第5圖)。

## (4) 蝕刻

採用硫酸+過氧化氫等之市售的銅蝕刻液，進行銅之選擇蝕刻(第6圖)。

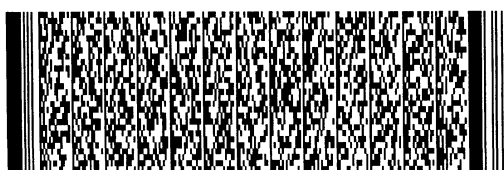
## (5) 去除停止蝕刻層鎳

採用市售的鎳去除液(Mertex公司製造N-950)並去除停止蝕刻層，形成隆起物10(第7圖)。

## (6) 形成佈線形成用光阻佈線圖案11

塗布光阻4後，進行曝光、顯影，形成佈線形成用光阻佈線圖案5(第8圖)。

(7) 採用市售的鹼系銅蝕刻液等並進行蝕刻，形成佈線，其後去除光阻4(第9圖)。



## 五、發明說明 (11)

發明之功效

本發明係以提供可高精確度且經濟的進行佈線形成至半導體上，又亦同樣的可高精確度且價廉的進行隆起物形成至電極上之佈線形成方法為目的者。

因此，本發明之半導體裝置及佈線形成方法，在半導體之製造領域上係有用的。



圖式簡單說明圖式之簡單說明

第1圖係表示本發明之第一形態的電路形成方法之一步驟圖(於半導體晶圓上層合以佈線形成用銅箔之步驟)。

第2圖係表示本發明之第一形態的電路形成方法之一步驟圖(形成光阻形成用佈線圖案之步驟)。

第3圖係表示本發明之第一形態的電路形成方法之一步驟圖(選擇蝕刻銅箔、形成佈線之步驟)。

第4圖係表示本發明之第二形態的電路形成方法之一步驟圖(於半導體晶圓上層合以佈線形成用金屬層合物之步驟)。

第5圖係表示本發明之第二形態的電路形成方法之一步驟圖(形成隆起物形成用光阻佈線圖案之步驟)。

第6圖係表示本發明之第二形態的電路形成方法之一步驟圖(選擇蝕刻銅箔之步驟)。

第7圖係表示本發明之第二形態的電路形成方法之一步驟圖(停止蝕刻層鍍之選擇蝕刻及隆起物形成步驟)。

第8圖係表示本發明之第二形態的電路形成方法之一步驟圖(形成佈線形成用光阻佈線圖案之步驟)。

第9圖係表示本發明之第二形態的電路形成方法之一步驟圖(選擇蝕刻銅箔、形成佈線之步驟)。

圖號之說明

- 1 半導體晶圓
- 2 佈線形成用銅箔



## 圖式簡單說明

- 3 鋁電極
- 4 光阻
- 5 (佈線形成用)光阻佈線圖案
- 6 佈線
- 7 隆起物形成用銅或軟焊箔
- 8 停止蝕刻層鎳
- 9 隆起物形成用光阻佈線圖案
- 10 隆起物



四、中文發明摘要 (發明名稱：半導體裝置、半導體上之電路形成用金屬層合板及電路形成方法)

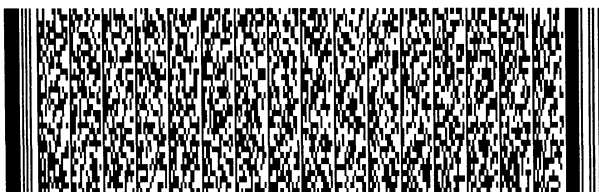
提供可高精確度且經濟的進行佈線形成至半導體上，又亦同樣的可高精確度且價廉的進行隆起物形成至電極上之手段。採用一種半導體上之導體佈線電路形成方法，係包含(1)由半導體、佈線形成用金屬箔、及該半導體上之導體佈線而成的半導體裝置；於半導體上之電極形成面側上層合以佈線形成用金屬箔之步驟，將該金屬箔予以光蝕刻並形成光阻佈線圖案之步驟、進行金屬箔之蝕刻的步驟，及去除光阻並形成配線之步驟而成，及包含(2)採用佈線形成用多層金屬箔以取代(1)之半導體裝置的佈線形成用金屬箔之半導體裝置；於(1)之導體佈線電路形成方法，再將佈線形成用多層金屬箔予以光蝕刻並形成隆起物形成用光阻佈線圖案之步驟，利用選擇蝕刻形成隆起物之步驟，去除停止蝕刻層之步驟的半導體上形成具有隆起物之導體佈線之方法。

陸、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE, METAL LAMINATE SHEET USED FOR FORMING CIRCUIT ON THE SEMICONDUCTOR AND METHOD OF FORMING CIRCUIT)



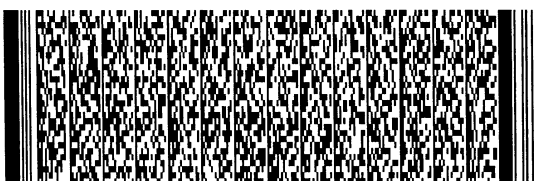
## 六、申請專利範圍

1. 一種半導體裝置，其特徵在於由半導體、佈線形成用金屬箔及該半導體上之導體佈線而成，前述佈線形成用金屬箔係由銅、鋁、鎳或此等二種以上的組合而成之合金的厚度 $1\sim 50\ \mu\text{m}$ 之金屬箔。
2. 一種於半導體上形成導體佈線電路之方法，其特徵在於含有於半導體上之電極形成面側上層合以佈線形成用金屬箔之步驟，將該金屬箔光蝕刻並形成光阻佈線圖案之步驟，進行金屬箔之蝕刻的步驟及去除光阻並形成佈線之步驟而成，前述佈線形成用金屬箔係由銅、鋁、鎳或此等二種以上的組合而成之合金的厚度 $1\sim 50\ \mu\text{m}$ 之金屬箔。
3. 如申請專利範圍第2項之於半導體上形成導體佈線電路之方法，其中半導體係金屬薄膜經予形成於表面上的半導體。
4. 如申請專利範圍第3項之於半導體上形成導體佈線電路之方法，其中前述金屬薄膜係鎳。
5. 一種半導體裝置，其特徵在於由半導體、佈線形成用多層金屬箔、及該半導體上之隆起物與導體佈線而成，前述佈線形成用多層金屬箔係由銅、鋁、鎳或此等二種以上的組合而成之合金的金屬層合物。



## 六、申請專利範圍

6. 如申請專利範圍第5項之半導體裝置，其中前述佈線形成用多層金屬箔係隆起物形成用銅或軟焊箔/停止蝕刻層鍍/佈線用銅箔之金屬層合物。
7. 如申請專利範圍第6項之半導體裝置，其中前述停止蝕刻層鍍係以鍍著方式予以層合者。
8. 如申請專利範圍第7項之半導體裝置，其中前述佈線形成用多層金屬箔之隆起物形成用銅或軟焊箔之厚度為 $10\sim 100\ \mu\text{m}$ ，停止蝕刻層鍍鍍之厚度為 $0.5\sim 3\ \mu\text{m}$ ，佈線用銅箔之厚度為 $1\sim 100\ \mu\text{m}$ 。
9. 如申請專利範圍第6項之半導體裝置，其中前述停止蝕刻層鍍為已將箔予以包層者。
10. 如申請專利範圍第9項之半導體裝置，其中前述佈線形成用多層金屬箔之隆起物形成用銅或軟焊箔之厚度為 $10\sim 100\ \mu\text{m}$ ，停止蝕刻層包層鍍箔之厚度為 $1\sim 10\ \mu\text{m}$ ，佈線用銅箔之厚度為 $1\sim 100\ \mu\text{m}$ 。
11. 如申請專利範圍第5項之半導體裝置，其中前述佈線形成用多層金屬箔為隆起物形成用銅或軟焊箔/佈線形成用鋁箔或銀箔之金屬層合物。



## 六、申請專利範圍

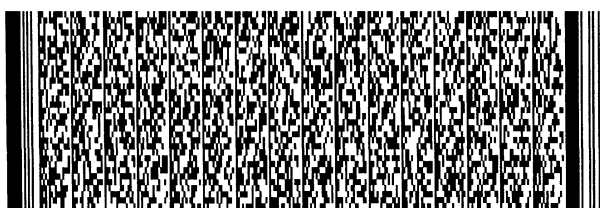
12. 如申請專利範圍第11項之半導體裝置，其中前述佈線形成用多層金屬箔之隆起物形成用銅或軟焊箔之厚度為10~100  $\mu\text{m}$ ，佈線形成用鋁箔或銀箔之厚度為1~100  $\mu\text{m}$ 。

13. 一種於半導體上形成具有隆起物之導體佈線的方法，係藉由於半導體上之電極形成面側上層合以佈線形成用多層金屬箔之步驟、將該多層金屬箔光蝕刻並形成隆起物形成用光阻佈線圖案之步驟、利用選擇蝕刻形成隆起物之步驟、去除停止蝕刻層之步驟、形成佈線形成用光阻佈線圖案之步驟、利用蝕刻形成佈線之步驟及去除光阻並形成佈線之步驟而成。

14. 如申請專利範圍第13項之於半導體上形成具有隆起物之導體佈線的方法，其中前述佈線形成用多層金屬箔係由銅、鋁、鎳或此等二種以上的組合而成之合金之金屬層合物。

15. 如申請專利範圍第13項或第14項之形成具有隆起物之導體佈線的方法，其中前述佈線形成用多層金屬箔為隆起物形成用銅或軟焊箔/停止蝕刻層鎳/佈線用銅箔之金屬層合物。

16. 如申請專利範圍第14項之於半導體上形成具有隆起物之導體佈線的方法，其中前述停止蝕刻層鎳為以鍍著方式



## 六、申請專利範圍

予以層合者。

17. 如申請專利範圍第16項之於半導體上形成具有隆起物之導體佈線的方法，其中前述佈線形成用多層金屬箔之隆起物形成用銅或軟焊箔之厚度為 $10\sim 100\ \mu\text{m}$ ，停止蝕刻層鍍鎳之厚度為 $0.5\sim 3\ \mu\text{m}$ ，佈線用銅箔之厚度為 $1\sim 100\ \mu\text{m}$ 。
18. 如申請專利範圍第14項之於半導體上形成具有隆起物之導體佈線的方法，其中前述停止蝕刻層鎳為已將箔予以包層者。
19. 如申請專利範圍第18項之於半導體上形成具有隆起物之導體佈線的方法，其中前述佈線形成用多層金屬箔之隆起物形成用銅或軟焊箔之厚度為 $10\sim 100\ \mu\text{m}$ ，停止蝕刻層包層鎳箔之厚度為 $1\sim 10\ \mu\text{m}$ ，佈線用銅箔之厚度為 $1\sim 100\ \mu\text{m}$ 。
20. 如申請專利範圍第13項或第14項之於半導體上形成具有隆起物之導體佈線的方法，其中前述佈線形成用多層金屬箔為隆起物形成用銅或軟焊箔/佈線形成用鋁箔或銀箔之金屬層合物。
21. 如申請專利範圍第20項之於半導體上形成具有隆起物之導體佈線的方法，其中前述佈線形成用多層金屬箔之隆



## 六、申請專利範圍

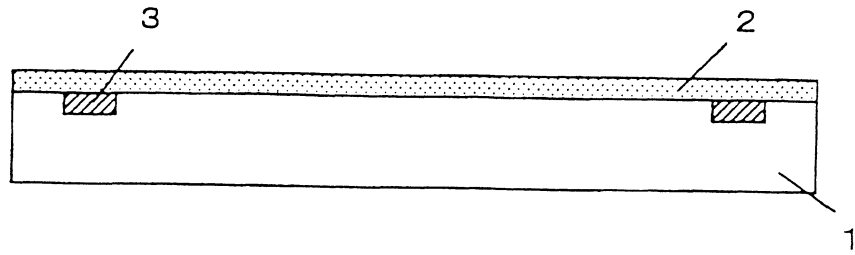
起物形成用銅或軟焊箔之厚度為 $10\sim 100\ \mu\text{m}$ ，佈線形成用鋁箔或錫箔之厚度為 $1\sim 100\ \mu\text{m}$ 。

22. 如申請專利範圍第21項之於半導體上形成具有隆起物之導體佈線的方法，其中前述半導體為金屬薄膜經予形成於表面之半導體。

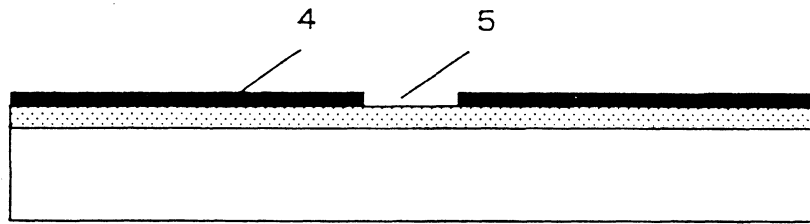
23. 如申請專利範圍第22項之於半導體上形成具有隆起物之導體佈線的方法，其中前述金屬薄膜為鎳。



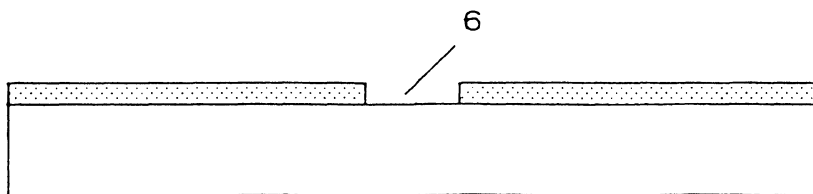
圖式



第 1 圖

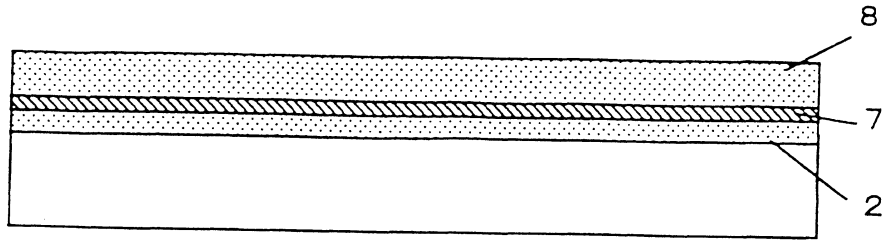


第 2 圖

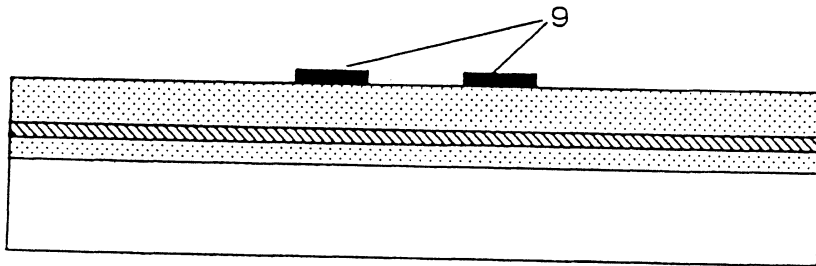


第 3 圖

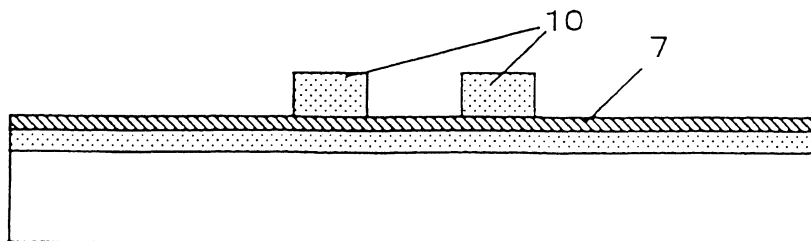
圖式



第 4 圖

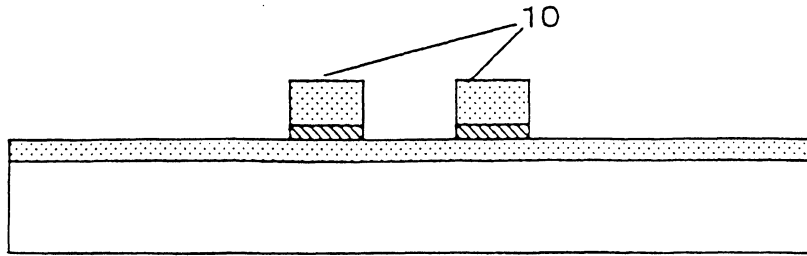


第 5 圖

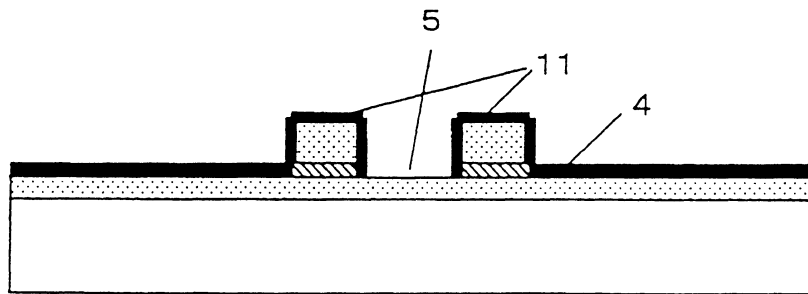


第 6 圖

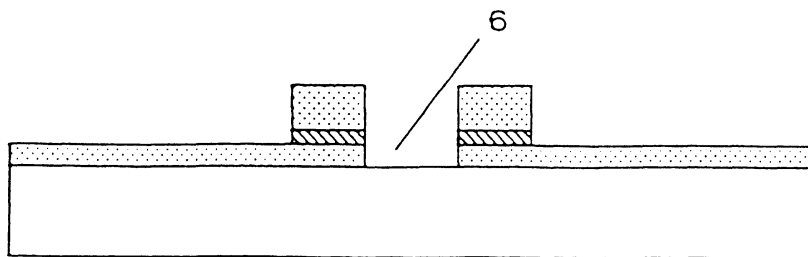
圖式



第 7 圖



第 8 圖



第 9 圖

# 公告本

91年3月修正  
補充

修正

申請日期： 89.12.27	IPC分類	522773
申請案號： 89127912	H05K <sup>3</sup> /46	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	半導體裝置、半導體上之電路形成用金屬層合板及電路形成方法
	英文	SEMICONDUCTOR DEVICE, METAL LAMINATE SHEET USED FOR FORMING CIRCUIT ON THE SEMICONDUCTOR AND METHOD OF FORMING CIRCUIT
二、 發明人 (共4人)	姓名 (中文)	1. 西條 謹二
	姓名 (英文)	1. SAIJO KINJI
	國籍 (中英文)	1. 日本 JP
	住居所 (中文)	1. 日本國山口縣下松市東豐井1296番地之1 東洋鋼鋅股份有限公司技術研究所內
	住居所 (英文)	1. 1296-1, Higashitoyoi, Kudamatsu-shi, Yamaguchi, 744-0002 JAPAN Technical Research Laboratory of TOYO KOHANN Co., LTD.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 東洋鋼鋅股份有限公司
	名稱或 姓名 (英文)	1. TOYO KOHAN Co., Ltd.
	國籍 (中英文)	1. 日本 JP
	住居所 (營業所) (中文)	1. 日本國東京都千代田區四番町 2番地12 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1. 2-12, Yonbancho, Chiyoda-ku, Tokyo, 102-8447 JAPAN
	代表人 (中文)	1. 田邊 博一
	代表人 (英文)	1. TANABE HIROKAZU

