

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月6日(06.09.2024)



(10) 国際公開番号

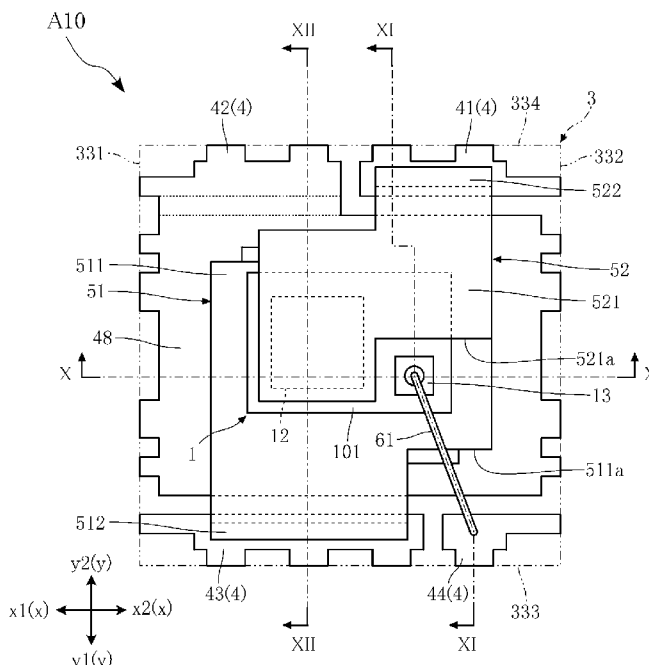
WO 2024/181110 A1

- (51) 国際特許分類:
H01L 25/18 (2023.01) H01L 23/29 (2006.01)
H01L 23/48 (2006.01)
- (21) 国際出願番号: PCT/JP2024/004795
- (22) 国際出願日: 2024年2月13日(13.02.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-027893 2023年2月27日(27.02.2023) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- (72) 発明者: 馬場 俊輔(BABA Shunsuke); 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP). 伊勢 幸太(ISE Kota); 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP). 原田 庄一(HARADA Shoichi); 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 白井 尚, 外 (USUI Takashi et al.); 〒5430014 大阪府大阪市天王寺区玉造元町2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体装置および電子装置

FIG. 1



(57) Abstract: This semiconductor device is provided with: a switching element which has a first electrode, a second electrode and a third electrode; a semiconductor element which has a fourth electrode and a fifth electrode; a sealing resin which covers the switching element and the semiconductor element; and a plurality of terminals which are partially exposed from the sealing resin. The first electrode and the fourth electrode are electrically connected to each other inside the sealing resin. The plurality of terminals include a first terminal, a second terminal and a third terminal. The first terminal

WO 2024/181110 A1

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO(BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

is electrically connected to the second electrode. The second terminal is electrically connected to the fifth electrode. The third terminal is electrically connected to the first electrode and the fourth electrode. The first terminal and the second terminal are adjacent to each other.

(57) 要約: 半導体装置は、第1電極、第2電極および第3電極を有するスイッチング素子と、第4電極および第5電極を有する半導体素子と、前記スイッチング素子および前記半導体素子を覆う封止樹脂と、前記封止樹脂から部分的に露出する複数の端子とを備える。前記第1電極と前記第4電極とは、前記封止樹脂の内部で電氣的に接続されている。前記複数の端子は、第1端子、第2端子および第3端子を含む。前記第1端子は、前記第2電極に導通する。前記第2端子は、前記第5電極に導通する。前記第3端子は、前記第1電極および前記第4電極の各々に導通する。前記第1端子と前記第2端子とは、互いに隣り合う。

明 細 書

発明の名称：半導体装置および電子装置

技術分野

[0001] 本開示は、半導体装置および電子装置に関する。

背景技術

[0002] 従来、電気製品および電気自動車などには、たとえばDC/DCコンバータおよびインバータなどの電源回路が搭載されている。このような電源回路は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) やIGBT (Insulated Gate Bipolar Transistor) などのスイッチング素子を備える。たとえば、特許文献1には、電源回路の一例が開示されている。特許文献1に記載の電力供給回路は、実装基板と、半導体スイッチング素子と、2つの受動部品と、を備える。半導体スイッチング素子は、MOS (Metal Oxide Semiconductor) トランジスタあるいはバイポーラトランジスタである。2つの受動部品の一方は、ダイオードであり、他方は、キャパシタである。半導体スイッチング素子および2つの受動部品（ダイオードおよびキャパシタ）は、実装基板上に配置される。特許文献1では、このような電力供給回路を昇圧回路に用いた例が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-60404号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に記載の電力供給回路では、局所シールド手段を設けることで、ノイズの低減を図っている。しかしながら、特許文献1に記載の電力供給回路においても、ノイズの低減を図る上で、未だ改善の余地があった。

[0005] 本開示は、従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記事情に鑑み、ノイズの低減を図った半導体装置

を提供することを一の課題とする。本開示の他の課題は、ノイズの低減を図った半導体装置を備える電子装置を提供することにある。

課題を解決するための手段

[0006] 本開示の第1の側面によって提供される半導体装置は、第1電極、第2電極および第3電極を有し、前記第3電極に入力される駆動信号に応じて、前記第1電極と前記第2電極との間で導通するスイッチング素子と、第4電極および第5電極を有し、前記第4電極と前記第5電極との間で導通する半導体素子と、前記スイッチング素子および前記半導体素子を覆う封止樹脂と、一部ずつが前記封止樹脂から露出する複数の端子と、を備える。前記第1電極と前記第4電極とは、前記封止樹脂の内部で電氣的に接続されている。前記複数の端子は、第1端子、第2端子および第3端子を含む。前記第1端子は、前記第2電極に導通し、前記第2端子は、前記第5電極に導通し、前記第3端子は、前記第1電極および前記第4電極の各々に導通する。前記第1端子と前記第2端子とは、互いに隣り合う。

[0007] 本開示の第2の側面によって提供される電子装置は、第1の側面によって提供される半導体装置と、コンデンサと、前記半導体装置および前記コンデンサが実装された実装基板と、を備える。前記コンデンサの一方の電極は、前記第1端子に電氣的に接続され、前記コンデンサの他方の電極は、前記第2端子に電氣的に接続される。

発明の効果

[0008] 上記構成によれば、半導体装置（延いては電子装置）においてノイズの低減を図ることができる。

図面の簡単な説明

[0009] [図1]図1は、第1実施形態にかかる半導体装置を示す平面図であって、封止樹脂を想像線で示している。

[図2]図2は、図1の平面図において、2つの導電板の一方（上方の導電板）を省略した図である。

[図3]図3は、図2の平面図において、スイッチング素子および接続部材を省

略した図である。

[図4]図4は、図3の平面図において、2つの導電板の他方（下方の導電板）を省略した図である。

[図5]図5は、第1実施形態にかかる半導体装置を示す底面図である。

[図6]図6は、第1実施形態にかかる半導体装置を示す正面図である。

[図7]図7は、第1実施形態にかかる半導体装置を示す背面図である。

[図8]図8は、第1実施形態にかかる半導体装置を示す左側面図である。

[図9]図9は、第1実施形態にかかる半導体装置を示す右側面図である。

[図10]図10は、図1のX-X線に沿う断面図である。

[図11]図11は、図1のX1-X1線に沿う断面図である。

[図12]図12は、図1のX11-X11線に沿う断面図である。

[図13]図13は、第1実施形態にかかる半導体装置を備える電子装置の回路構成例を示す図である。

[図14]図14は、第1実施形態にかかる半導体装置を備える電子装置の平面レイアウト例を示す図である。

[図15]図15は、図14において、半導体装置、コンデンサ、インダクタ、および駆動回路を想像線で示した図である。

[図16]図16は、第1実施形態の変形例にかかる半導体装置を示す平面図であって、封止樹脂を想像線で示している。

[図17]図17は、図16の平面図において、2つの導電板の一方（上方の導電板）を省略した図である。

[図18]図18は、図17の平面図において、半導体素子を省略した図である。

[図19]図19は、図18の平面図において、2つの導電板の他方（下方の導電板）を省略した図である。

[図20]図20は、第1実施形態の変形例にかかる半導体装置を示す底面図である。

[図21]図21は、図16のXX1-XX1線に沿う断面図である。

[図22]図22は、図16のXXII-XXII線に沿う断面図である。

[図23]図23は、第2実施形態にかかる半導体装置を示す平面図であって、封止樹脂を想像線で示している。

[図24]図24は、図23の平面図において、2つの導電板の一方（上方の導電板）を省略した図である。

[図25]図25は、図24の平面図において、半導体素子を省略した図である。

[図26]図26は、図25の平面図において、2つの導電板の他方（下方の導電板）を省略した図である。

[図27]図27は、第2実施形態にかかる半導体装置を示す底面図である。

[図28]図28は、図23のXXV-XXV線に沿う断面図である。

[図29]図29は、図23のXXIX-XXIX線に沿う断面図である。

[図30]図30は、第2実施形態にかかる半導体装置を備える電子装置の回路構成例を示す図である。

[図31]図31は、第2実施形態にかかる半導体装置を備える電子装置の平面レイアウト例を示す図である。

[図32]図32は、図31において、半導体装置、コンデンサ、インダクタ、および駆動回路を想像線で示した図である。

[図33]図33は、第2実施形態の変形例にかかる半導体装置を示す平面図であって、封止樹脂を想像線で示している。

[図34]図34は、図33の平面図において、3つの導電板の1つ（上方の導電板）を省略した図である。

[図35]図35は、図34の平面図において、スイッチング素子を省略した図である。

[図36]図36は、図35の平面図において、他の導電板（下方の導電板を含む）を省略した図である。

[図37]図37は、図33のXXXV-XXXV線に沿う断面図であ

る。

[図38]図38は、図33のXXXV | | | - XXXV | | |線に沿う断面図である。

[図39]図39は、図33のXXX | X - XXX | X線に沿う断面図である。

[図40]図40は、第3実施形態にかかる半導体装置を示す平面図であって、封止樹脂を想像線で示している。

[図41]図41は、図40の平面図において、2つの導電板を省略した図である。

[図42]図42は、第3実施形態にかかる半導体装置を示す底面図である。

[図43]図43は、図40のXL | | | - XL | | |線に沿う断面図である。

[図44]図44は、図40のXL | V - XL | V線に沿う断面図である。

[図45]図45は、図40のXL V - XL V線に沿う断面図である。

[図46]図46は、第3実施形態の変形例にかかる半導体装置を示す平面図であって、封止樹脂を想像線で示している。

[図47]図47は、図46の平面図において、導電板を省略した図である。

[図48]図48は、第3実施形態の変形例にかかる半導体装置を示す底面図である。

[図49]図49は、図46のXL | X - XL | X線に沿う断面図である。

[図50]図50は、図46のL - L線に沿う断面図である。

[図51]図51は、図46のL | - L |線に沿う断面図である。

[図52]図52は、第4実施形態にかかる半導体装置を示す平面図であって、封止樹脂を想像線で示している。

[図53]図53は、図52の平面図において、2つの導電板を省略した図である。

[図54]図54は、第4実施形態にかかる半導体装置を示す底面図である。

[図55]図55は、図52のLV - LV線に沿う断面図である。

[図56]図56は、図52のLV | - LV |線に沿う断面図である。

[図57]図57は、図52のLV | | - LV | |線に沿う断面図である。

[図58]図58は、第4実施形態の変形例にかかる半導体装置を示す平面図であって、封止樹脂を想像線で示している。

[図59]図59は、図58の平面図において、導電板を省略した図である。

[図60]図60は、第4実施形態の変形例にかかる半導体装置を示す底面図である。

[図61]図61は、図58のL X I - L X I 線に沿う断面図である。

[図62]図62は、図58のL X I I - L X I I 線に沿う断面図である。

[図63]図63は、図58のL X I I I - L X I I I 線に沿う断面図である。

[図64]図64は、変形例にかかる半導体装置を示す平面図であって、封止樹脂および2つの導電板の一方（上方の導電板）を省略した図である。

[図65]図65は、他の変形例にかかる半導体装置を示す平面図であって、封止樹脂および2つの導電板の一方（上方の導電板）を省略した図である。

[図66]図66は、図64の半導体装置を備える電子装置の平面レイアウト例を示す図である。

[図67]図67は、図65の半導体装置を備える電子装置の平面レイアウト例を示す図である。

[図68]図68は、他の変形例にかかる半導体装置を示す平面図であって、封止樹脂および2つの導電板の一方（上方の導電板）を省略した図である。

[図69]図69は、他の変形例にかかる半導体装置を示す平面図であって、封止樹脂および2つの導電板の一方（上方の導電板）を省略した図である。

[図70]図70は、他の変形例にかかる半導体装置を示す平面図である。

[図71]図71は、図70のL X X I - L X X I 線に沿う断面図である。

発明を実施するための形態

[0010] 本開示の半導体装置および電子装置の好ましい実施の形態について、図面を参照して、以下に説明する。以下では、同一あるいは類似の構成要素に、同じ符号を付して、重複する説明を省略する。本開示における「第1」、「第2」、「第3」等の用語は、単にラベルとして用いたものであり、必ずしもそれらの対象物に順列を付することを意図していない。

[0011] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B（の）上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B（の）上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B（の）上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B（の）上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B（の）上に位置していること」を含む。また、「ある方向に見てある物Aがある物Bに重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。また、「ある物A（の材料）がある材料Cを含む」とは、「ある物A（の材料）がある材料Cからなる場合」、および、「ある物A（の材料）の主成分がある材料Cである場合」を含む。

[0012] 第1実施形態：

図1～図12は、第1実施形態にかかる半導体装置A10を示している。半導体装置A10は、スイッチング素子1、半導体素子2、封止樹脂3、複数の端子4、ダイパッド48、2つの導電板51、52、接続部材61および複数の接合材71～76を備える。

[0013] 以下の説明では、互いに直交する厚さ方向z、第1方向yおよび第2方向xを参照する。一例として、厚さ方向zは、半導体装置A10の厚さ方向に相当する。第1方向yは、厚さ方向zに直交する。第2方向xは、厚さ方向zおよび第1方向yに直交する。本開示において、「上」、「下」、「上方」、「下方」、「上面」および「下面」などの記載は、厚さ方向zにおける

各部品等の相対的位置関係を示すものであり、必ずしも重力方向との関係を規定する用語ではない。

[0014] 半導体装置A10は、電気機器および電気自動車などの回路基板（後述の実装基板9）に面実装されるタイプのものである。半導体装置A10は、たとえばDC/DCコンバータに用いられる。図1～図5に示すように、半導体装置A10は、厚さ方向zに見て矩形である。半導体装置A10の厚さ方向zに見たサイズは、何ら限定されないが、たとえば3.3mm四方である。また、半導体装置A10の厚さ（厚さ方向zの寸法）は、何ら限定されないが、たとえば1.5mmである。

[0015] スイッチング素子1は、たとえばMOSFETである。スイッチング素子1は、MOSFETではなく、MISFET（Metal-Insulator-Semiconductor FET）、HEMT（High Electron Mobility Transistor）を含む電界効果トランジスタ、あるいは、IGBTのようなバイポーラトランジスタなど、他のトランジスタであってもよい。また、スイッチング素子1は、トランジスタではなく、サイリスタであってもよい。図2に示すように、スイッチング素子1は、厚さ方向zに見て矩形である。スイッチング素子1の厚さ方向zに見たサイズは、何ら限定されないが、たとえば、長辺が1.6mmであり、短辺が1.1mmである。半導体装置A10では、図1および図2に示すように、長辺が第2方向xに沿い、短辺が第1方向yに沿う。スイッチング素子1の厚さ（厚さ方向zの寸法）は、何ら限定されないが、たとえば0.15mmである。

[0016] スイッチング素子1は、素子主面101および素子裏面102を有する。図10～図12に示すように、素子主面101および素子裏面102は、厚さ方向zにおいて互いに離間する。半導体装置A10では、素子主面101は、厚さ方向z上方（z2側）を向き、素子裏面102は、厚さ方向z下方（z1側）を向く。

[0017] スイッチング素子1は、複数の電極11, 12, 13を有する。図10～図12に示すように、電極11は、素子裏面102に配置され、図10に示

すように、2つの電極12, 13はそれぞれ、素子主面101に配置される。スイッチング素子1がMOSFETである例において、電極11はドレイン、電極12はソース、電極13はゲートである。スイッチング素子1が他のトランジスタである場合には、MOSFETにおけるドレイン、ソース、ゲートをそれぞれ、当該他のトランジスタの対応する電極に置き換えればよい（たとえばスイッチング素子1としてIGBTを用いる場合には、電極11はコレクタ、電極12はエミッタ、電極13はベースにそれぞれ対応する）。スイッチング素子1は、電極13に入力される駆動信号（ゲート信号）に応じて、電極11と電極12との間で導通する。電極11は、「第1電極」の一例であり、電極12は、「第2電極」の一例であり、電極13は、「第3電極」の一例である。

[0018] 半導体素子2は、たとえばショットキーバリアダイオード（SBD：Schottky Barrier Diode）である。半導体素子2は、SBDと異なる他のダイオードであってもよい。図4に示すように、半導体素子2は、厚さ方向zに見て矩形である。半導体素子2の厚さ方向zに見たサイズは、何ら限定されないが、たとえば1.7mm四方である。よって、図示された例では、厚さ方向zに見て、半導体素子2は、スイッチング素子1よりも大きい。半導体素子2の厚さ（厚さ方向zの寸法）は、何ら限定されないが、たとえば0.26mmである。よって、図示された例では、半導体素子2は、スイッチング素子1よりも厚い。スイッチング素子1と半導体素子2との大小関係は、半導体装置A10の仕様（スイッチング素子1および半導体素子2の各仕様）に応じて、適宜変更される。

[0019] 半導体素子2は、素子主面201および素子裏面202を有する。図10～図12に示すように、素子主面201および素子裏面202は、厚さ方向zにおいて互いに離間する。半導体装置A10では、素子主面201は、厚さ方向z上方（z2側）を向き、素子裏面202は、厚さ方向z下方（z1側）を向く。

[0020] 半導体素子2は、複数の電極21, 22を有する。図10～図12に示す

ように、電極 21 は、素子主面 201 に配置され、電極 22 は、素子裏面 202 に配置される。半導体素子 2 が SBD である例において、電極 21 はアノード、電極 22 はカソードである。半導体素子 2 は、電極 21 と電極 22 との間に順方向電圧が印加されると、電極 21 から電極 22 に順方向電流が流れる。電極 21 は、「第 4 電極」の一例であり、電極 22 は、「第 5 電極」の一例である。

[0021] 本実施形態では、スイッチング素子 1 および半導体素子 2 は、厚さ方向 z に見て、互いに重なる。図 10～図 12 に示すように、半導体素子 2 は、厚さ方向 z において、スイッチング素子 1 の厚さ方向 z の下方 (z 1 側) に配置される。

[0022] 後に詳述される構成から理解されるように、半導体装置 A10 では、スイッチング素子 1 の電極 11 (ドレイン) と半導体素子 2 の電極 21 (アノード) とが、封止樹脂 3 の内部で電氣的に接続されている。半導体装置 A10 は、後述するインダクタ L1 とともに、昇圧回路を構成する。

[0023] 封止樹脂 3 は、スイッチング素子 1 および半導体素子 2 を覆う。封止樹脂 3 は、複数の端子 4 の一部ずつ、ダイパッド 48 の一部、2 つの導電板 51, 52、接続部材 61 および複数の接合材 71～76 を覆う。封止樹脂 3 は、厚さ方向 z に見て、矩形である。封止樹脂 3 は、たとえば絶縁性樹脂を含む。当該絶縁性樹脂は、たとえばエポキシ樹脂である。

[0024] 封止樹脂 3 は、樹脂主面 31、樹脂裏面 32 および複数の樹脂側面 331～334 を有する。図 6～図 12 に示すように、樹脂主面 31 と樹脂裏面 32 とは、厚さ方向 z に離間する。樹脂主面 31 は、厚さ方向 z の z 2 側を向き、樹脂裏面 32 は、厚さ方向 z の z 1 側を向く。樹脂主面 31 および樹脂裏面 32 はそれぞれ、平坦である。複数の樹脂側面 331～334 はそれぞれ、厚さ方向 z において、樹脂主面 31 と樹脂裏面 32 との間に配置され、樹脂主面 31 と樹脂裏面 32 とに繋がる。図 1～図 7 および図 10 に示すように、2 つの樹脂側面 331, 332 は、第 2 方向 x に離間する。樹脂側面 331 は、第 2 方向 x の x 1 側を向き、樹脂側面 332 は、第 2 方向 x の x

2側を向く。図1～図5、図8、図9、図11および図12に示すように、2つの樹脂側面333、334は、第1方向yに離間する。樹脂側面333は、第1方向yのy1側を向き、樹脂側面334は、第1方向yのy2側を向く。複数の樹脂側面331～334はそれぞれ、平坦である。

[0025] 複数の端子4の一部ずつはそれぞれ、封止樹脂3から露出する。複数の端子4の各々は、たとえば銅を含む。複数の端子4は、たとえばリードフレームから形成される。複数の端子4は、第1端子41、第2端子42、第3端子43および第4端子44を含む。

[0026] 第1端子41は、電極12（ソース）に導通する。第2端子42は、電極22（カソード）に導通する。第3端子43は、電極11（ドレイン）および電極21（アノード）に導通する。よって、第3端子43は、電極11および電極21の共通端子である。第4端子44は、電極13（ゲート）に導通する。

[0027] 図1～図5に示すように、第1端子41および第2端子42は、第2方向xにおいて互いに隣り合う。図示された例では、第1端子41は、第2端子42の第2方向xのx2側に位置する。この例と異なり、第1端子41は、第2端子42の第2方向xのx1側に配置されてもよい。第1端子41および第2端子42はそれぞれ、ダイパッド48に対して、第1方向yのy2側に配置される。図5および図7に示すように、第1端子41および第2端子42は、部分的に樹脂裏面32および樹脂側面334の各々において露出する。

[0028] 図1～図5に示すように、第3端子43および第4端子44は、第2方向xにおいて互いに隣り合う。図示された例では、第4端子44は、第3端子43の第2方向xのx2側に位置する。この例とは異なり、第4端子44は、第3端子43の第2方向xのx1側に配置されてもよい。第3端子43および第4端子44はそれぞれ、ダイパッド48に対して第1方向yのy1側に配置される。図5および図6に示すように、第3端子43および第4端子44はそれぞれ、部分的に樹脂裏面32および樹脂側面333の各々におい

て露出する。第3端子43は、第1方向yに見て第2端子42に重なる。第4端子44は、第1方向yに見て第1端子41に重なる。

[0029] ダイパッド48は、スイッチング素子1および半導体素子2を支持する。図10～図12に示すように、ダイパッド48には、半導体素子2が搭載され、電極22（カソード）が接合される。図4に示すように、ダイパッド48には、第2端子42が繋がる。第2端子42とダイパッド48とは、一体的に形成されている。この構成により、第2端子42は、ダイパッド48を介して、電極22（カソード）に導通する。ダイパッド48の厚さ方向zに見た形状は、図示された例に限定されない。

[0030] 2つの導電板51, 52はそれぞれ、金属材料により構成される。当該金属材料は、たとえば銅を含む。2つの導電板51, 52はそれぞれ、金属材料で構成されたものに限定されず、電気を通す材料で構成されていけばよい。2つの導電板51, 52はそれぞれ、封止樹脂3に覆われている。

[0031] 導電板51は、図3および図12に示すように、接合部511および延出部512を含む。接合部511と延出部512とは、一体的に形成されている。接合部511は、スイッチング素子1と半導体素子2とに挟まれている。接合部511は、電極11（ドレイン）および電極21（アノード）の各々に接合されている。接合部511は、スイッチング素子1に対して、厚さ方向z下方（z1側）に配置され、半導体素子2に対して、厚さ方向z上方（z2側）に配置される。接合部511は、厚さ方向zに直交する平面に沿って拡がる。図10～図12に示すように、接合部511は、部分的に厚さ方向z下方（z1側）に突き出ている。本実施形態では、この突き出た部分が、電極21に接合されている。この例と異なり、接合部511は、部分的に厚さ方向z下方（z1側）に屈曲し、当該屈曲した部分が電極21に接合されてもよい。延出部512は、第3端子43に接合されている。延出部512は、接合部511から厚さ方向z下方（z1側）に延びる。導電板51は、第3端子43と、電極11および電極21の各々とを電氣的に接続する。

[0032] 導電板52は、図1および図10～図12に示すように、接合部521および延出部522を含む。接合部521と延出部522とは、一体的に形成されている。接合部521は、スイッチング素子1に対して、厚さ方向zの上方（z2側）に配置される。導電板52は、スイッチング素子1の電極12（ソース）に接合されている。接合部521は、厚さ方向zに直交する平面に沿って広がる。図10および図12に示すように、接合部521は、部分的に厚さ方向z下方（z1側）に突き出ている。本実施形態では、この突き出た部分が、電極12に接合されている。この例と異なり、接合部521は、部分的に厚さ方向z下方（z1側）に屈曲し、当該屈曲した部分が電極12に接合されてもよい。接合部521には、切り欠き521aが形成されている。当該切り欠き521aにより、スイッチング素子1の電極13は、厚さ方向zに見て、導電板52に重ならない。放熱性の向上のため、接合部521の上面（厚さ方向zのz2側を向く面）は、封止樹脂3の樹脂主面31から露出していてもよい。延出部522は、接合部521から厚さ方向z下方（z1側）に延びる。導電板52は、第2端子42と、電極12とを電氣的に接続する。

[0033] 接続部材61は、互いに離間する2つの部位を電氣的に接続する。図示された例では、接続部材61は、ボンディングワイヤである。接続部材61の構成材料は、何ら限定されないが、たとえば金、アルミニウム、銀、あるいは、銅を含む。図11に示すように、接続部材61は、電極13（ゲート）と第4端子44とに接合される。この構成により、第4端子44は、接続部材61を介して、電極13に導通する。

[0034] 複数の接合材71～76はそれぞれ、2つの部位を導通接合する。複数の接合材71～76はそれぞれ、たとえばはんだである。複数の接合材71～76は、はんだではなく、焼結金属あるいは金属ペースト材であってもよい。図1～図5の各図においては、複数の接合材71～76の図示を省略する。

[0035] 接合材71は、スイッチング素子1の電極11（ドレイン）を接合するた

めのものである。半導体装置A10では、接合材71は、図10～図12に示すように、電極11と導電板51（接合部511）との間に介在し、これらを導通接合する。

[0036] 接合材72は、スイッチング素子1の電極12（ソース）を接合するためのものである。半導体装置A10では、接合材72は、図10および図12に示すように、電極12と導電板52（接合部521）との間に介在し、これらを導通接合する。

[0037] 接合材73は、半導体素子2の電極21（アノード）を接合するためのものである。半導体装置A10では、接合材73は、図10～図12に示すように、電極21と導電板51（接合部511）との間に介在し、これらを導通接合する。

[0038] 接合材74は、半導体素子2の電極22（カソード）を接合するためのものである。半導体装置A10では、接合材74は、図10～図12に示すように、電極22とダイパッド48との間に介在し、これらを導通接合する。

[0039] 接合材75は、導電板51（延出部512）を接合するためのものである。半導体装置A10では、接合材75は、図12に示すように、導電板51（延出部512）と第3端子43との間に介在し、これらを導通接合する。

[0040] 接合材76は、導電板52（延出部522）を接合するためのものである。半導体装置A10では、接合材76は、図11に示すように、導電板52（延出部522）と第2端子42との間に介在し、これらを導通接合する。

[0041] 図13～図15は、半導体装置A10を備える電子装置B1を示している。これらの図に示すように、電子装置B1は、半導体装置A10の他、実装基板9、コンデンサC1、インダクタL1および駆動回路Dを備える。

[0042] 電子装置B1は、図13に示すように、半導体装置A10、スイッチング素子1のドレイン（電極11）と半導体素子2のアノード（電極21）とが電氣的に接続されている。これらの接続点は、第3端子43に導通する。インダクタL1は、第3端子43と入力端子T11との間に接続される。コンデンサC1の一方の電極は、半導体装置A10の第2端子42に電氣的に接

続され、コンデンサC 1の他方の電極は、半導体装置A 1 0の第1端子4 1に電氣的に接続されている。つまり、コンデンサC 1は、半導体素子2のカソード（電極2 2）と、スイッチング素子1のソース（電極1 2）とにそれぞれ接続されている。コンデンサC 1は、一对の出力端子T 2 1, T 2 2に接続されている。コンデンサC 1は、半導体装置A 1 0の出力側に配置された出力コンデンサとして機能する。電子装置B 1（スイッチング素子1および半導体素子2）の通電時において、第2端子4 2の電位は、第1端子4 1の電位よりも高く、半導体素子2は、スイッチング素子1よりも高電位側に接続される。図1 3に示す例では、電子装置B 1は、昇圧回路（昇圧チョッパ回路）を構成する。電子装置B 1は、一对の入力端子T 1 1, T 1 2に印加される電圧V 1を、スイッチング素子1のスイッチング動作によって、電圧V 2に昇圧する。そして、昇圧後の電圧V 2を一对の出力端子T 2 1, T 2 2から出力する。入力端子T 1 2と出力端子T 2 2とは、たとえばグラウンドに接地される。

[0043] 駆動回路Dは、スイッチング素子1の駆動信号を生成し、当該駆動信号を、スイッチング素子1のゲート（電極1 3）に出力する。駆動回路Dは、たとえば集積回路（IC：Integrated Circuit）により構成される。

[0044] 実装基板9は、電気製品および電気自動車などの各モジュールに搭載される。実装基板9は、たとえばプリント基板である。実装基板9は、プリント基板ではなく、半導体基板、ガラス基板、あるいは樹脂基板などであってもよい。実装基板9は、基材9 1および配線パターン9 2を備える。

[0045] 基材9 1は、半導体装置A 1 0、コンデンサC 1、インダクタL 1および駆動回路Dなどを支持する。実装基板9がプリント基板である例において、基材9 1はガラスエポキシ樹脂により構成される。配線パターン9 2は、基材9 1に形成される。配線パターン9 2の構成材料は何ら限定されないが、たとえば銅を含む。配線パターン9 2の構成材料は、銅を含むものに限定されず、金、銀あるいはアルミニウムなどを含むものであってもよい。配線パターン9 2は、電子装置B 1が図1 3に示す回路構成となるように、半導体

装置A10、コンデンサC1、インダクタL1および駆動回路Dを電氣的に接続する。図示された例では配線パターン92は、裏面配線921を含む。裏面配線921は、たとえば基材91を貫通する貫通ビアを介して、基材91の上面に形成された配線パターン92に導通する。裏面配線921ではなく、基材91の内方を通る配線であってもよい。配線パターン92は、裏面配線921を含むことなく、入力端子T12と出力端子T22と接続してもよい。

[0046] 半導体装置A10および電子装置B1の作用および効果は、次の通りである。

[0047] 半導体装置A10では、スイッチング素子1の電極11と半導体素子2の電極21とは、封止樹脂3の内部で電氣的に接続されている。半導体装置A10において、電極11は、ドレインであり、電極21は、アノードである。この構成によれば、スイッチング素子1と半導体素子2とがそれぞれ別のディクリート部品で構成された場合よりも、電極11と電極21との導通距離を短くできる。この導通距離の短縮化により、半導体装置A10を昇圧回路として電極11および電極21をインダクタL1に接続する場合において、スイッチングノードの配線面積（図15のSW1参照）を縮小にすることができる。スイッチングノードの配線面積の縮小は、ノイズの低減に有効である。したがって、半導体装置A10は、ノイズの低減を図ることができる。

[0048] 半導体装置A10では、第1端子41と第2端子42とは、互いに隣り合う。第1端子41は、スイッチング素子1の電極12に導通し、第2端子42は、半導体素子2の電極22に導通する。半導体装置A10において、電極12は、ソースであり、電極22は、カソードである。この構成によれば、第1端子41と第2端子42とが封止樹脂3の互いに反対側の側面（たとえば樹脂側面333および樹脂側面334）に配置された場合よりも、第1端子41と第2端子42との離間距離を短くできる。この離間距離の短縮化により、半導体装置A10を昇圧回路として電極12および電極22をコン

デンサC 1 に接続する場合において、コンデンサC 1 を通る電流ループL p 1 (図1 3 および図1 5 参照) の距離を短くできる。当該電流ループL p 1 の距離の短縮は、ノイズの低減に有効である。したがって、半導体装置A 1 0 は、さらにノイズの低減を図ることができる。

[0049] 半導体装置A 1 0 では、スイッチング素子1 および半導体素子2 は、厚さ方向z に見て互いに重なる。この構成では、スイッチング素子1 と半導体素子2 とを厚さ方向z に積み重ねた構成となる。したがって、厚さ方向z に見た半導体装置A 1 0 の面積を縮小することができる。

[0050] 半導体装置A 1 0 では、スイッチング素子1 は、半導体素子2 に対して、厚さ方向z 上方 (z 2 側) に配置されている。厚さ方向z に見て、半導体素子2 は、スイッチング素子1 よりも大きい。この構成では、スイッチング素子1 と半導体素子2 とを積み重ねる場合において、厚さ方向z 上方 (z 2 側) に配置されるもの (半導体装置A 1 0 ではスイッチング素子1) を安定して載置することが可能となる。このため、製造時において、スイッチング素子1 が傾くことおよびスイッチング素子1 の転倒を抑制できるので、半導体装置A 1 0 の製造不良が抑制される。したがって、半導体装置A 1 0 は、製造品質を向上させることができる。

[0051] 半導体装置A 1 0 では、第1 端子4 1 および第2 端子4 2 は、樹脂側面3 3 4 から露出し、第3 端子4 3 および第4 端子4 4 は、樹脂側面3 3 3 から露出する。この構成によれば、第1 端子4 1、第2 端子4 2 および第3 端子4 3 の各面積を適度に確保することが可能となる。第1 端子4 1、第2 端子4 2 および第3 端子4 3 には、たとえば昇圧回路におけるメイン電流 (電源電圧に応じた電流) が流れており、第1 端子4 1、第2 端子4 2 および第3 端子4 3 の面積に応じて、半導体装置A 1 0 の許容電流を低下させる。したがって、半導体装置A 1 0 は、許容電流の低下を抑制できる。

[0052] 以下に、本開示の半導体装置および電子装置の他の実施形態および変形例について、説明する。各実施形態および各変形例における各部の構成は、技術的な矛盾が生じない範囲において相互に組み合わせ可能である。

[0053] 第1実施形態の変形例：

図16～図22は、第1実施形態の変形例にかかる半導体装置A11を示している。半導体装置A11は、半導体装置A10と比較して、次の点で異なる。第1に、スイッチング素子1が導電板51（接合部511）の厚さ方向zのz2側に配置され、半導体素子2が導電板51（接合部511）の厚さ方向zのz1側に配置されている。第2に、半導体装置A11では、スイッチング素子1は、素子主面101を厚さ方向zの下方（z1側）に向けて配置されている。第3に、半導体装置A11では、半導体素子2は、素子主面201を厚さ方向zの下方（z1側）に向けて配置されている。半導体装置A11は、半導体装置A10と同様に、昇圧回路の一部として、電子装置B1に備えられる（図13～図15参照）。

[0054] 半導体装置A11では、図21に示すように、スイッチング素子1の電極13（ゲート）は、第4端子44に接合されている。半導体装置A11では、図19に示すように、ダイパッド48には、切り欠き481が形成されている。当該切り欠き481により、第4端子44は、厚さ方向zに見て、スイッチング素子1の電極13に重なる領域まで延出されている。これにより、スイッチング素子1の電極13を第4端子44に接合することが可能となる。このように、電極13を第4端子44に直接接合することで、第4端子44は電極13に電氣的に接続されるので、半導体装置A11は、接続部材61を備えていない。スイッチング素子1の電極12（ソース）は、ダイパッド48に接合されている。よって、図21および図22に示すように、スイッチング素子1は、ダイパッド48および第4端子44に跨って、フリップチップ実装されている。スイッチング素子1の電極11（ドレイン）は、導電板51（接合部511）に接合されている。これにより、第3端子43は、導電板51を介して、電極11に導通する。

[0055] 半導体装置A11では、図19に示すように、第2端子42は、ダイパッド48に繋がっておらず、第1端子41がダイパッド48に繋がっている。第1端子41とダイパッド48とは、一体的に形成されている。よって、第

- 1端子41は、ダイパッド48を介して、電極12（ソース）に導通する。
- [0056] 半導体装置A11では、図21および図22に示すように、半導体素子2の素子主面201は、導電板51（接合部511）に対向し、半導体素子2の電極21（アノード）は、導電板51（接合部511）に接合されている。これにより、第3端子43は、導電板51を介して、電極21に導通する。先述の通り、第3端子43は、導電板51を介して、電極11（ドレイン）に導通するので、第3端子43は、電極11（ドレイン）および電極21（アノード）の共通端子である。半導体素子2の素子裏面202は、導電板52（接合部521）に対向し、半導体素子2の電極22（カソード）は、導電板52（接合部521）に接合されている。これにより、第2端子42は、導電板52を介して、電極22に導通する。
- [0057] 図21および図22に示すように、半導体装置A11では、接合材72は、電極12（ソース）とダイパッド48との間に介在し、これらを導通接合する。接合材74は、電極22（カソード）と導電板52（接合部521）との間に介在し、これらを導通接合する。接合材76は、導電板52（延出部522）と第2端子42との間に介在し、これらを導通接合する。
- [0058] 半導体装置A11は、複数の接合材71～76の他に、接合材77を備える。接合材77は、電極13（ゲート）を接合するためのものである。図21に示すように、接合材77は、電極13と第4端子44との間に介在し、これらを導通接合する。図16～図19において、複数の接合材71～77の図示は省略している。
- [0059] 半導体装置A11では、半導体装置A10と同様に、スイッチング素子1の電極11（ドレイン）と半導体素子2の電極21（アノード）とが、封止樹脂3の内部で電氣的に接続されている。したがって、半導体装置A11は、半導体装置A10と同様に、ノイズの低減を図ることができる。さらに、半導体装置A11では、半導体装置A10と同様に、スイッチング素子1の電極12（ソース）に導通する第1端子41と、半導体素子2の電極22（カソード）に導通する第2端子42とが、互いに隣り合う。したがって、半

導体装置A11は、半導体装置A10と同様に、さらにノイズの低減を図ることができる。その他、半導体装置A11は、半導体装置A10と共通する構成により、半導体装置A10と同様の効果を奏する。

[0060] 半導体装置A11では、スイッチング素子1は、素子主面101を厚さ方向zのz1側に向けて配置されている。この構成では、スイッチング素子1は、フリップチップ実装されている。このため、半導体装置A11は、接続部材61を備えていない。したがって、半導体装置A11は、半導体装置A10と比較して、接続部材61の形成工程（ワイヤボンディング工程）を削減できる。

[0061] 半導体装置A11では、スイッチング素子1がダイパッド48に搭載されている。そして、スイッチング素子1の電極12は、ダイパッド48に接合されている。本実施形態では、電極12は、ソースである。半導体装置A11は、半導体装置A10と同様に、昇圧回路に用いられており、たとえばスイッチング素子1の電極12はグランドに接地されている。したがって、スイッチング素子1の電極12が、ダイパッド48を介して、実装基板9のグランドに繋がる。このことは、半導体装置A11の放熱性を向上させることに有効である。つまり、半導体装置A11は、半導体装置A10よりも放熱性を向上できる。

[0062] 第2実施形態：

図23～図29は、第2実施形態にかかる半導体装置A20を示している。半導体装置A20は、半導体装置A10と比較して、次の点で異なる。第1に、第1端子41は、スイッチング素子1の電極12（ソース）ではなく、スイッチング素子1の電極11（ドレイン）に導通する。第2に、第2端子42は、半導体素子2の電極22（カソード）ではなく、半導体素子2の電極21（アノード）に導通する。第3に、第3端子43は、スイッチング素子1の電極11（ドレイン）および半導体素子2の電極21（アノード）ではなく、スイッチング素子1の電極12（ソース）および半導体素子2の電極22（カソード）に導通する。後に詳述される構成から理解されるよう

に、電極 1 1（ドレイン）は、「第 2 電極」の一例であり、電極 1 2（ソース）は、「第 1 電極」の一例であり、電極 1 3（ゲート）は、「第 3 電極」の一例である。電極 2 1（アノード）は、「第 5 電極」の一例であり、電極 2 2（カソード）は、「第 4 電極」の一例である。

[0063] 半導体装置 A 2 0 では、第 1 端子 4 1 は、ダイパッド 4 8 に繋がり、ダイパッド 4 8 と一体的に形成されている。ダイパッド 4 8 には、スイッチング素子 1 の電極 1 1（ドレイン）が接合されている。図 2 8 および図 2 9 に示すように、ダイパッド 4 8 と電極 1 1 とは、接合材 7 1 により接合されている。これにより、第 1 端子 4 1 は、電極 1 1（ドレイン）に導通する。

[0064] 半導体装置 A 2 0 では、第 2 端子 4 2 には、導電板 5 2（延出部 5 2 2）が接合されている。図 2 9 に示すように、導電板 5 2（延出部 5 2 2）と第 2 端子 4 2 とは、接合材 7 6 により接合されている。導電板 5 2（接合部 5 2 1）には、半導体素子 2 の電極 2 1（アノード）が接合されている。図 2 8 および図 2 9 に示すように、導電板 5 2（接合部 5 2 1）と電極 2 1 とは、接合材 7 3 により接合されている。これにより、第 2 端子 4 2 は、電極 2 1（アノード）に導通する。

[0065] 半導体装置 A 2 0 では、第 3 端子 4 3 には、導電板 5 1（延出部 5 1 2）が接合されている。図 2 9 に示すように、導電板 5 1（延出部 5 1 2）と第 3 端子 4 3 とは、接合材 7 5 により接合されている。導電板 5 1（接合部 5 1 1）には、スイッチング素子 1 の電極 1 2（ソース）および半導体素子 2 の電極 2 2（カソード）が接合されている。図 2 8 および図 2 9 に示すように、導電板 5 1（接合部 5 1 1）と電極 1 2 とは、接合材 7 2 により接合され、導電板 5 1（接合部 5 1 1）と電極 2 2 とは、接合材 7 4 により接合されている。これにより、第 3 端子 4 3 は、電極 1 2（ソース）および電極 2 2（カソード）に導通する。

[0066] 第 4 端子 4 4 には、接続部材 6 1 が接合されており、接続部材 6 1 は、スイッチング素子 1 の電極 1 3（ゲート）に接合されている。これにより、第 4 端子 4 4 は、電極 1 3（ゲート）に導通する。図 2 3 および図 2 4 に示す

ように、スイッチング素子 1 は、2つの導電板 5 1, 5 2 および半導体素子 2 に対して第 2 方向 x に少しずれて配置されている。これにより、スイッチング素子 1 の電極 1 3 は、厚さ方向 z に見て、2つの導電板 5 1, 5 2 および半導体素子 2 のいずれにも重ならないので、電極 1 3 に接続部材 6 1 を接合することが可能となる。

[0067] 図 3 0 ~ 図 3 2 は、半導体装置 A 2 0 を備える電子装置 B 2 を示している。これらの図に示すように、電子装置 B 2 は、半導体装置 A 2 0 の他、実装基板 9、コンデンサ C 2、インダクタ L 2 および駆動回路 D を備える。

[0068] 電子装置 B 2 は、図 3 0 に示すように、半導体装置 A 2 0 において、スイッチング素子 1 のソース（電極 1 2）と半導体素子 2 のカソード（電極 2 2）とが電氣的に接続されている。これらの接続点は、第 3 端子 4 3 に導通する。インダクタ L 2 は、第 3 端子 4 3 と出力端子 T 2 1 との間に接続されている。コンデンサ C 2 の一方の電極は、半導体装置 A 2 0 の第 1 端子 4 1 に電氣的に接続され、コンデンサ C 2 の他方の電極は、半導体装置 A 2 0 の第 2 端子 4 2 に電氣的に接続されている。つまり、コンデンサ C 2 は、スイッチング素子 1 のドレイン（電極 1 1）と半導体素子 2 のアノード（電極 2 1）とにそれぞれ接続されている。コンデンサ C 2 は、一对の入力端子 T 1 1, T 1 2 に接続されている。コンデンサ C 2 は、半導体装置 A 2 0 の入力側に配置された入力コンデンサとして機能する。電子装置 B 2（スイッチング素子 1 および半導体素子 2）の通電時において、第 1 端子 4 1 の電位は、第 2 端子 4 2 の電位よりも高く、スイッチング素子 1 は、半導体素子 2 よりも高電位側に接続されている。図 3 0 に示す例では、電子装置 B 2 は、降圧回路（降圧チョッパ回路）を構成する。電子装置 B 2 は、一对の入力端子 T 1 1, T 1 2 に印加される電圧 V 1 を、スイッチング素子 1 のスイッチング動作によって、電圧 V 2 に降圧する。そして、降圧後の電圧 V 2 を一对の出力端子 T 2 1, T 2 2 から出力する。入力端子 T 1 2 と出力端子 T 2 2 とは、たとえばグラウンドに接地される。

[0069] 半導体装置 A 2 0 および電子装置 B 2 の作用および効果は、次の通りであ

る。

[0070] 半導体装置A20では、スイッチング素子1の電極12と半導体素子2の電極22とは、封止樹脂3の内部で電氣的に接続されている。半導体装置A20において、電極12は、ソースであり、電極22は、カソードである。この構成によれば、スイッチング素子1と半導体素子2とがそれぞれ別のダイクリート部品で構成された場合よりも、電極12と電極22との導通距離を短くできる。この導通距離の短縮化により、半導体装置A20を降圧回路として電極12および電極22をインダクタL2に接続する場合において、スイッチングノードの配線面積（図32のSW2参照）を縮小することができる。スイッチングノードの配線面積の縮小は、ノイズの低減に有効である。したがって、半導体装置A20は、ノイズの低減を図ることができる。

[0071] 半導体装置A20では、第1端子41と第2端子42とは、互いに隣り合う。第1端子41は、スイッチング素子1の電極11に導通し、第2端子42は、半導体素子2の電極21に導通する。半導体装置A20において、電極11は、ドレインであり、電極21は、アノードである。この構成によれば、第1端子41と第2端子42とが封止樹脂3の互いに反対側の側面（たとえば樹脂側面333および樹脂側面334）に配置された場合よりも、第1端子41と第2端子42との離間距離を短くできる。この離間距離の短縮化により、半導体装置A20を降圧回路として電極11および電極21をコンデンサC2に接続する場合において、コンデンサC2を通る電流ループLp2（図30および図32参照）の距離を短くできる。当該電流ループLp2の距離の短縮は、ノイズの低減に有効である。したがって、半導体装置A20は、さらにノイズの低減を図ることができる。

[0072] 半導体装置A20は、他の半導体装置A10、A11と共通する構成により、この半導体装置A10、A11と同様の効果を奏する。

[0073] 第2実施形態の変形例：

図33～図39は、第2実施形態の変形例にかかる半導体装置A21を示している。半導体装置A21は、半導体装置A20と比較して、次の点で異

なる。第1に、スイッチング素子1が導電板51（接合部511）の厚さ方向zのz2側に配置され、半導体素子2が導電板51（接合部511）の厚さ方向zのz1側に配置されている。第2に、スイッチング素子1は、素子主面101を厚さ方向zのz1側に向けて配置され、半導体素子2は、素子主面201を厚さ方向zのz1側に向けて配置されている。半導体装置A21は、半導体装置A20と同様に、降圧回路の一部として、電子装置B2に備えられる（図30～図32参照）。半導体装置A21の底面図と半導体装置A10の底面図とは、同じ外観である。

[0074] 半導体装置A21では、図37および図38に示すように、スイッチング素子1の電極11（ドレイン）は、接合材71により、導電板52（接合部521）に接合されている。スイッチング素子1の電極12は、接合材72により、導電板51（接合部511）に接合されている。半導体素子2の電極21は、接合材73により、ダイパッド48に接合されている。半導体素子2の電極22は、接合材74により、導電板51（接合部511）に接合されている。

[0075] 図34、図35、図37および図39に示すように、半導体装置A21は、導電板59をさらに備える。導電板59は、たとえば金属材料により構成される。当該金属材料は、銅を含む。導電板59は、電気を通すものであれば、金属材料により構成されたものに限定されない。導電板59は、スイッチング素子1の電極13（ゲート）と第4端子44とに接合され、これらを導通させる。図37に示すように、電極13は、接合材77により、導電板59に接合されている。図39に示すように、導電板59は、接合材590により、第4端子44に接合される。接合材590は、たとえばはんだ、焼結金属あるいは金属ペースト材である。図37に示す例では、半導体装置A10は、導電板59を支持しつつ、半導体素子2との絶縁を確保するために、絶縁性のブロック591を備えている。

[0076] 半導体装置A21では、半導体装置A20と同様に、スイッチング素子1の電極12（ソース）と半導体素子2の電極22（カソード）とが、封止樹

脂3の内部で電氣的に接続されている。したがって、半導体装置A21は、半導体装置A20と同様に、ノイズの低減を図ることができる。さらに、半導体装置A21では、半導体装置A20と同様に、スイッチング素子1の電極11（ドレイン）に導通する第1端子41と、半導体素子2の電極21（アノード）に導通する第2端子42とが、互いに隣り合う。したがって、半導体装置A21は、半導体装置A20と同様に、さらにノイズの低減を図ることができる。その他、半導体装置A21は、他の半導体装置A10、A11、A20と共通する構成により、この半導体装置A10、A11、A21と同様の効果を奏する。

[0077] 半導体装置A21では、半導体素子2がダイパッド48に搭載されている。そして、半導体素子2の電極21は、ダイパッド48に接合されている。本実施形態では、電極21は、アノードである。半導体装置A21は、半導体装置A20と同様に、降圧回路に用いられており、たとえば半導体素子2の電極21はグラウンドに接地されている。したがって、半導体素子2の電極21が、ダイパッド48を介して、実装基板9のグラウンドに繋がる。このことは、半導体装置A21の放熱性を向上させることに有効である。つまり、半導体装置A21は、半導体装置A20よりも放熱性を向上できる。

[0078] 第3実施形態：

図40～図45は、第3実施形態にかかる半導体装置A30を示している。半導体装置A30は、半導体装置A10と比較して、次の点で異なる。それは、スイッチング素子1と半導体素子2とが、厚さ方向zに見て重ならない点である。半導体装置A30は、半導体装置A10と同様に、昇圧回路の一部として、電子装置B1に用いられる（図13～図15参照）。

[0079] 半導体装置A30では、図40、図41および図43に示すように、スイッチング素子1と半導体素子2とは、ダイパッド48に搭載されている。本実施形態では、スイッチング素子1は、素子裏面102を厚さ方向zのz1側に向けて配置されている。よって、図43および図44に示すように、素子裏面102は、ダイパッド48に対向し、電極11（ドレイン）は、接合

材71により、ダイパッド48に接合されている。これにより、ダイパッド48は、電極11に導通する。半導体素子2は、素子主面201を厚さ方向zのz1側に向けて配置されている。よって、図43および図45に示すように、素子主面201は、ダイパッド48に対向し、電極21（アノード）は、接合材73により、ダイパッド48に接合されている。これにより、ダイパッド48は、電極21に導通する。

[0080] 半導体装置A30では、図40および図41に示すように、第3端子43は、ダイパッド48に繋がり、ダイパッド48と一体的に形成されている。先述の通り、ダイパッド48は電極11および電極21に導通することから、第3端子43は、ダイパッド48を介して、電極11（ドレイン）および電極21（アノード）に導通する。

[0081] 半導体装置A30は、2つの導電板51, 52の代わりに、2つの導電板53, 54を備える。2つの導電板53, 54はそれぞれ、金属材料により構成される。当該金属材料は、たとえば銅を含む。2つの導電板53, 54はそれぞれ、金属材料で構成されたものに限定されず、電気を通す材料で構成されていけばよい。

[0082] 導電板53は、図40および図44に示すように、接合部531および延出部532を含む。接合部531と延出部532とは、一体的に形成されている。接合部531は、スイッチング素子1上に配置される。図43および図44に示すように、接合部531は、部分的に厚さ方向z下方（z1側）に突き出ている。本実施形態では、この突き出た部分が、スイッチング素子1の電極12（ソース）に接合されている。この例と異なり、接合部531は、部分的に厚さ方向z下方（z1側）に屈曲し、当該屈曲した部分が電極12に接合されてもよい。延出部532は、第1端子41に接合されている。延出部532は、接合部531から厚さ方向z下方（z1側）に延びる。導電板53は、第1端子41と電極12とを電氣的に接続する。

[0083] 導電板54は、図40および図45に示すように、接合部541および延出部542を含む。接合部541と延出部542とは、一体的に形成されて

いる。接合部541は、半導体素子2上に配置される。図43および図45に示すように、接合部541は、部分的に厚さ方向z下方（z1側）に突き出ている。本実施形態では、この突き出た部分が、半導体素子2の電極22（カソード）に接合されている。この例と異なり、接合部541は、部分的に厚さ方向z下方（z1側）に屈曲し、当該屈曲した部分が電極22に接合されてもよい。延出部542は、第2端子42に接合されている。延出部542は、接合部541から厚さ方向z下方（z1側）に延びる。導電板54は、第2端子42と電極22とを電氣的に接続する。

[0084] 図43に示すように、半導体装置A30では、接合材71は、電極11とダイパッド48との間に介在し、これらを導通接合する。接合材72は、電極12と導電板53（接合部531）との間に介在し、これらを導通接合する。接合材73は、電極21とダイパッド48との間に介在し、これらを導通接合する。接合材74は、電極22と導電板54（接合部541）との間に介在し、これらを導通接合する。

[0085] 半導体装置A30は、2つの接合材781, 782をさらに備える。2つの接合材781, 782はそれぞれ、たとえばはんだである。2つの接合材781, 782は、はんだではなく、焼結金属あるいは金属ペースト材であってもよい。接合材781は、導電板53（延出部532）を接合するためのものである。接合材781は、図44に示すように、導電板53（延出部532）と第1端子41との間に介在し、これらを導通接合する。接合材782は、導電板54（延出部542）を接合するためのものである。接合材782は、図45に示すように、導電板54（延出部542）と第2端子42との間に介在し、これらを導通接合する。図40および図41において、複数の接合材71~74, 781, 782の図示を省略する。

[0086] 半導体装置A30では、半導体装置A10と同様に、スイッチング素子1の電極11（ドレイン）と半導体素子2の電極21（アノード）とが、封止樹脂3の内部で電氣的に接続されている。したがって、半導体装置A30は、半導体装置A10と同様に、ノイズの低減を図ることができる。さらに、

半導体装置A30では、半導体装置A10と同様に、スイッチング素子1の電極12（ソース）に導通する第1端子41と、半導体素子2の電極22（カソード）に導通する第2端子42とが、互いに隣り合う。したがって、半導体装置A30は、半導体装置A10と同様に、さらにノイズの低減を図ることができる。その他、半導体装置A30は、他の半導体装置A10, A11, A20, A21と共通する構成により、この半導体装置A10, A11, A20, A21と同様の効果を奏する。

[0087] 半導体装置A30では、スイッチング素子1および半導体素子2は、厚さ方向zに見て互いに重ならない。この構成では、スイッチング素子1と半導体素子2とを厚さ方向zに直交する平面に沿って配置される。このため、半導体装置A30は、半導体装置A10よりも、厚さ方向zの寸法を縮小することができる。

[0088] 第3実施形態の変形例：

図46～図51は、第3実施形態の変形例にかかる半導体装置A31を示している。半導体装置A31は、半導体装置A30と比較して、次の点で異なる。第1に、スイッチング素子1は、素子主面101を厚さ方向zのz1側に向けて配置されている。第2に、半導体素子2は、素子裏面202を厚さ方向zのz1側に向けて配置されている。第3に、半導体装置A31は、ダイパッド48の代わりに、2つのダイパッド491, 492を備える。第4に、半導体装置A31は、2つの導電板53, 54を備えず、導電板55を備える。半導体装置A31は、半導体装置A30と同様に、昇圧回路の一部として、電子装置B1に用いられる。

[0089] 2つのダイパッド491, 492は、互いに離間する。図47に示す例では、2つのダイパッド491, 492は、第2方向xに沿って配置されている。第3端子43は、2つのダイパッド491, 492のいずれにも繋がっていない。

[0090] ダイパッド491には、図47および図49に示すように、スイッチング素子1が搭載され、電極12（ソース）が接合されている。ダイパッド49

1には、第1端子41が繋がる。第1端子41とダイパッド491とは、一体的に形成されている。この構成により、第1端子41は、ダイパッド491を介して、電極12（ソース）に導通する。

[0091] ダイパッド492には、図47および図49に示すように、半導体素子2が搭載され、電極22（カソード）が接合されている。ダイパッド492には、第2端子42が繋がる。第2端子42とダイパッド492とは、一体的に形成されている。この構成により、第2端子42は、ダイパッド492を介して、電極22（カソード）に導通する。

[0092] 導電板55は、金属材料により構成される。当該金属材料は、たとえば銅を含む。導電板55はそれぞれ、金属材料で構成されたものに限定されず、電気を通す材料で構成されていけばよい。

[0093] 導電板55は、図46および図49～図51に示すように、接合部551および延出部552を含む。接合部551と延出部552とは、一体的に形成されている。接合部551は、厚さ方向zに見て、スイッチング素子1および半導体素子2に跨っている。接合部551は、スイッチング素子1の電極11（ドレイン）に接合されるとともに、半導体素子2の電極21（アノード）に接合されている。図49に示すように、接合部551は、部分的に厚さ方向z下方（z1側）に突き出ており、当該突き出た部分が、電極11および電極21にそれぞれ接合されている。この例と異なり、接合部551は、部分的に厚さ方向z下方（z1側）に屈曲し、当該屈曲した部分が、電極11および電極21にそれぞれ接合されてもよい。延出部552は、第3端子43に接合されている。延出部552は、接合部551から厚さ方向z下方（z1側）に延びる。導電板55は、第3端子43と、電極11および電極21とを電氣的に接続する。

[0094] 半導体装置A31は、接合材79をさらに備える。接合材79は、たとえばはんだである。接合材79は、はんだではなく、焼結金属あるいは金属ペースト材であってもよい。接合材79は、導電板55（延出部552）を接合するためのものである。接合材79は、図51に示すように、導電板55

(延出部552)と第3端子43との間に介在し、これらを導通接合する。図46および図47においては、複数の接合材71~74, 77, 79の図示を省略する。

[0095] 半導体装置A31では、半導体装置A30と同様に、スイッチング素子1の電極11(ドレイン)と半導体素子2の電極21(アノード)とが、封止樹脂3の内部で電氣的に接続されている。したがって、半導体装置A31は、半導体装置A30と同様に、ノイズの低減を図ることができる。さらに、半導体装置A31では、半導体装置A30と同様に、スイッチング素子1の電極12(ソース)に導通する第1端子41と、半導体素子2の電極22(カソード)に導通する第2端子42とが、互いに隣り合う。したがって、半導体装置A31は、半導体装置A30と同様に、さらにノイズの低減を図ることができる。その他、半導体装置A31は、他の半導体装置A10, A11, A20, A21, A30と共通する構成により、この半導体装置A10, A11, A20, A21, A30と同様の効果を奏する。

[0096] 第4実施形態：

図52~図57は、第4実施形態にかかる半導体装置A40を示している。半導体装置A40は、半導体装置A30と比較して、次の点で異なる。第1に、スイッチング素子1は、素子主面101を厚さ方向zのz1側に向けて配置されている。第2に、半導体素子2は、素子裏面202を厚さ方向zのz1側に向けて配置されている。半導体装置A40は、半導体装置A20と同様に、降圧回路として、電子装置B2に用いられる(図30~図32参照)。

[0097] 半導体装置A40では、図55および図56に示すように、スイッチング素子1の電極11(ドレイン)は、接合材71により、導電板53(接合部531)に接合されている。導電板53(延出部532)は、接合材781により、第1端子41に接合されているので、第1端子41は、電極11に導通する。スイッチング素子1の電極12(ソース)は、接合材72により、ダイパッド48に接合されている。ダイパッド48は、第3端子43に繋

がるので、第3端子43は、電極12に導通する。図56に示すように、スイッチング素子1の電極13（ゲート）は、接合材77により、第4端子44に接合されている。よって、第4端子44は、電極13に導通する。図52および図53において、複数の接合材71～74，781，782の図示を省略する。

[0098] 半導体装置A40では、図55および図57に示すように、半導体素子2の電極21（アノード）は、接合材73により、導電板54（接合部541）に接合されている。導電板54（延出部542）は、接合材782により、第2端子42に接合されているので、第2端子42は、電極21に導通する。半導体素子2の電極22（カソード）は、接合材74により、ダイパッド48に接合されている。ダイパッド48は、第3端子43に繋がるので、第3端子43は、電極22に導通する。

[0099] 半導体装置A40では、半導体装置A20と同様に、スイッチング素子1の電極12（ソース）と半導体素子2の電極22（カソード）とが、封止樹脂3の内部で電氣的に接続されている。したがって、半導体装置A40は、半導体装置A20と同様に、ノイズの低減を図ることができる。さらに、半導体装置A40では、半導体装置A20と同様に、スイッチング素子1の電極11（ドレイン）に導通する第1端子41と、半導体素子2の電極21（アノード）に導通する第2端子42とが、互いに隣り合う。したがって、半導体装置A40は、半導体装置A20と同様に、さらにノイズの低減を図ることができる。その他、半導体装置A40は、他の半導体装置A10，A11，A20，A21，A30，A31と共通する構成により、この半導体装置A10，A11，A20，A21，A30，A31と同様の効果を奏する。

[0100] 第4実施形態の変形例：

図58～図63は、第4実施形態の変形例にかかる半導体装置A41を示している。半導体装置A41は、半導体装置A40と比較して、次の点で異なる。第1に、スイッチング素子1は、素子主面101を厚さ方向zのz2

側に向けて配置されている。第2に、半導体素子2は、素子裏面202を厚さ方向zのz2側に向けて配置されている。第3に、半導体装置A41は、ダイパッド48の代わりに、2つのダイパッド491, 492を備える。第4に、半導体装置A41は、2つの導電板53, 54を備えず、導電板55を備える。半導体装置A41は、半導体装置A40と同様に、降圧回路として、電子装置B2に用いられる。

[0101] 半導体装置A41では、図61および図62に示すように、スイッチング素子1の電極11（ドレイン）は、接合材71により、ダイパッド491に接合されている。ダイパッド491は、第1端子41に繋がるので、第1端子41は、電極11に導通する。スイッチング素子1の電極12（ソース）は、接合材72により、導電板55（接合部551）に接合されている。導電板55（延出部552）は、接合材79により、第3端子43に接合されているので、第3端子43は、電極12に導通する。図62に示すように、スイッチング素子1の電極13（ゲート）は、接続部材61を介して、第4端子44に導通する。

[0102] 半導体装置A41では、図61および図63に示すように、半導体素子2の電極21（アノード）は、接合材73により、ダイパッド492に接合されている。ダイパッド492は、第2端子42に繋がるので、第2端子42は、電極21に導通する。半導体素子2の電極22（カソード）は、接合材74により、導電板55（接合部551）に接合されている。導電板55（延出部552）は、接合材79により、第3端子43に接合されているので、第3端子43は、電極22に導通する。図58および図59において、複数の接合材71～74, 79の図示は省略する。

[0103] 半導体装置A41では、半導体装置A40と同様に、スイッチング素子1の電極12（ソース）と半導体素子2の電極22（カソード）とが、封止樹脂3の内部で電氣的に接続されている。したがって、半導体装置A41は、半導体装置A40と同様に、ノイズの低減を図ることができる。さらに、半導体装置A41では、半導体装置A40と同様に、スイッチング素子1の電

極 1 1 (ドレイン) に導通する第 1 端子 4 1 と、半導体素子 2 の電極 2 1 (アノード) に導通する第 2 端子 4 2 とが、互いに隣り合う。したがって、半導体装置 A 4 1 は、半導体装置 A 4 0 と同様に、さらにノイズの低減を図ることができる。その他、半導体装置 A 4 1 は、他の半導体装置 A 1 0, A 1 1, A 2 0, A 2 1, A 3 0, A 3 1, A 4 0 と共通する構成により、この半導体装置 A 1 0, A 1 1, A 2 0, A 2 1, A 3 0, A 3 1, A 4 0 と同様の効果を奏する。

[0104] 上記第 1 ないし上記第 4 実施形態 (これらの変形例を含む) と異なる例において、第 4 端子 4 4 は、第 1 端子 4 1 および第 2 端子 4 2 と同じ樹脂側面 3 3 4 において露出してもよい。つまり、第 4 端子 4 4 は、ダイパッド 4 8 に対して、第 1 方向 y において第 1 端子 4 1 および第 2 端子 4 2 と同じ側に配置されてもよい。図 6 4 および図 6 5 は、このような変形例にかかる半導体装置 A 5 0, A 5 1 をそれぞれ示している。図 6 4 および図 6 5 においては、封止樹脂 3 および導電板 5 2 を想像線で示している。

[0105] 各半導体装置 A 5 0, A 5 1 は、半導体装置 A 1 0 において、第 4 端子 4 4 を、第 1 端子 4 1 の第 2 方向 x の x 2 側に配置したものである。図示された例では、第 4 端子 4 4 は、第 1 端子 4 1 の第 2 方向 x の x 2 側に配置されているが、第 2 端子 4 2 の第 2 方向 x の x 1 側に配置されてもよい。半導体装置 A 5 0 では、厚さ方向 z に見た第 2 端子 4 2 の面積は、厚さ方向 z に見た第 1 端子 4 1 の面積よりも大きい。一方、半導体装置 A 5 1 では、厚さ方向 z に見た第 1 端子 4 1 の面積は、厚さ方向 z に見た第 1 端子 4 1 の面積よりも大きい。

[0106] 図 6 6 は、半導体装置 A 5 0 を備える電子装置 B 3 1 を示している。電子装置 B 3 1 では、半導体装置 A 5 0 の配置からコンデンサ C 1 の高電位側の電極 C 1 1 までの導通距離 (第 1 距離) と、半導体装置 A 5 0 の配置からコンデンサ C 1 の低電位側の電極 C 1 2 までの導通距離 (第 2 距離) とに差がある。図 6 6 に示す例では、第 1 距離が第 2 距離よりも大きい。このような例では、第 1 距離を短くする上で、第 2 端子 4 2 が第 1 端子 4 1 よりも大き

いことが好ましい。第1距離および第2距離は、先述の電流ループL p 1の一部であるので、第1距離の短縮は、電流ループL p 1の距離の短縮に有効である。つまり、第1距離が第2距離よりも大きい電子装置B 3 1において、半導体装置A 5 0は、電流ループL p 1の短縮（すなわち、ノイズの低減）にとって好ましい。図6 7は、半導体装置A 5 1を備える電子装置B 3 2を示している。図6 7に示す例では、先述の第2距離が先述の第1距離よりも大きい。このような例では、第2距離を短くする上で、第1端子4 1が第2端子4 2よりも大きいことが好ましい。先述の通り、第1距離および第2距離は、電流ループL p 1の一部であるので、第2距離の短縮は、電流ループL p 1の距離の短縮に有効である。つまり、第2距離が第1距離よりも大きい電子装置B 3 2において、半導体装置A 5 1は、電流ループL p 1の短縮（すなわち、ノイズの低減）にとって好ましい。

[0107] 半導体装置A 5 0, A 5 1では、半導体装置A 1 0において第4端子4 4の位置を変更した例を示したが、他の半導体装置A 1 1, A 2 0, A 2 1, A 3 0, A 3 1, A 4 0, A 4 1においても同様に、第4端子4 4の位置を変更してもよい。たとえば、図6 8および図6 9は、半導体装置A 2 0において、第4端子4 4が樹脂側面3 3 4から露出する構成を示している。図6 8に示す例では、厚さ方向zに見た第2端子4 2の面積は、厚さ方向zに見た第1端子4 1の面積よりも大きい。一方、図6 9は、厚さ方向zに見た第1端子4 1の面積は、厚さ方向zに見た第1端子4 1の面積よりも大きい。

[0108] 上記半導体装置A 5 0, A 5 1では、第1端子4 1と第2端子4 2との大小関係が電流ループL p 1の短縮にとって好ましい例を示したが、この例と異なり、次の観点により、第1端子4 1と第2端子4 2との大小関係を考慮してもよい。それは、入力端子T 1 1から出力端子T 2 1までの距離が短縮させるように、第1端子4 1と第2端子4 2との大小関係を考慮してもよい。

[0109] 上記第1ないし上記第4実施形態（これらの変形例を含む）において、樹脂主面3 1から露出する放熱パッドをさらに設けてもよい。図7 0および図

71は、このような変形例にかかる半導体装置A60を示している。半導体装置A60は、半導体装置A20において、放熱パッド81を設けたものである。

[0110] 放熱パッド81は、導電板52の接合部521の厚さ方向zのz2側に配置される。放熱パッド81は、導電板52の接合部521に接する。放熱パッド81と接合部521との間に絶縁層が介在していてもよい。当該絶縁層は、熱伝導性が良好なものが好ましい。放熱パッド81は、樹脂主面31から露出する。図71に示す例では、放熱パッド81の上面（厚さ方向zのz2側を向く面）は、樹脂主面31と面一であるが、樹脂主面31に対して、厚さ方向zのz2側に突き出てもよいし、厚さ方向zのz1側に窪んでもよい。

[0111] 半導体装置A60では、半導体装置A20に放熱パッド81を設けた例を示したが、他の半導体装置A10, A11, A21, A30, A31, A40, A41に放熱パッド81を設けてもよい。半導体装置A30, A40においては、2つの導電板53, 54に跨って1つの放熱パッド81を設けてもよいし、2つの導電板53, 54に2つの放熱パッド81をそれぞれ個別に設けてもよいし、2つの導電板53, 54の一方にのみ放熱パッド81を設けてもよい。半導体装置A31, A41において、導電板55上に放熱パッド81が配置される。

[0112] 上記第1ないし第4実施形態（これらの変形例を含む）では、半導体素子2がダイオード（SBD）である例を示したが、半導体素子2は、スイッチング素子1と同様のスイッチング素子であってもよい。つまり、本開示の半導体装置は、スイッチング素子とダイオードとが直列に接続されて非同期整流型の昇圧回路あるいは降圧回路であるものに限定されず、2つのスイッチング素子が直列に接続された同期整流型の昇圧回路あるいは降圧回路であってもよい。この例においては、複数の端子4は、半導体素子2の駆動信号を入力するための端子を含む。

[0113] 本開示にかかる半導体装置および電子装置は、上記した実施形態に限定さ

れるものではない。本開示の半導体装置および電子装置の各部の具体的な構成は、種々に設計変更自在である。本開示は、以下の付記に記載された実施形態を含む。

付記 1.

第 1 電極、第 2 電極および第 3 電極を有し、前記第 3 電極に入力される駆動信号に応じて、前記第 1 電極と前記第 2 電極との間で導通するスイッチング素子と、

第 4 電極および第 5 電極を有し、前記第 4 電極と前記第 5 電極との間で導通する半導体素子と、

前記スイッチング素子および前記半導体素子を覆う封止樹脂と、

一部ずつが前記封止樹脂から露出する複数の端子と、

を備え、

前記第 1 電極と前記第 4 電極とは、前記封止樹脂の内部で電氣的に接続されており、

前記複数の端子は、第 1 端子、第 2 端子および第 3 端子を含み、

前記第 1 端子は、前記第 2 電極に導通し、

前記第 2 端子は、前記第 5 電極に導通し、

前記第 3 端子は、前記第 1 電極および前記第 4 電極の各々に導通し、

前記第 1 端子と前記第 2 端子とは、互いに隣り合う、半導体装置。

付記 2.

前記スイッチング素子と前記半導体素子とは、前記封止樹脂の厚さ方向に見て互いに重なる、付記 1 に記載の半導体装置。

付記 3.

前記第 1 電極および前記第 4 電極の各々が接合された第 1 導電板をさらに備え、

前記第 1 導電板は、前記厚さ方向において前記スイッチング素子と前記半導体素子とに挟まれており、且つ前記第 3 端子に接合されている、付記 2 に記載の半導体装置。

付記 4.

前記スイッチング素子が搭載され、且つ前記第 2 電極が接合されたダイパッドをさらに備え、

前記スイッチング素子は、前記厚さ方向において前記ダイパッドと前記第 1 導電板との間に挟まれており、

前記第 1 端子は、前記ダイパッドに繋がる、付記 3 に記載の半導体装置。

付記 5.

前記第 5 電極に接合された第 2 導電板をさらに備え、

前記半導体素子は、前記厚さ方向において前記第 1 導電板と前記第 2 導電板との間に挟まれており、

前記第 2 導電板は、前記第 2 端子に接合されている、付記 4 に記載の半導体装置。

付記 6.

前記半導体素子が搭載され、且つ前記第 5 電極が接合されたダイパッドをさらに備え、

前記半導体素子は、前記厚さ方向において前記ダイパッドと前記第 1 導電板との間に挟まれており、

前記第 2 端子は、前記ダイパッドに繋がる、付記 3 に記載の半導体装置。

付記 7.

前記第 2 電極に接合された第 2 導電板をさらに備え、

前記スイッチング素子は、前記厚さ方向において前記第 1 導電板と前記第 2 導電板との間に挟まれており、

前記第 2 導電板は、前記第 1 端子に接合されている、付記 6 に記載の半導体装置。

付記 8.

前記厚さ方向において、前記第 2 導電板に対して、前記スイッチング素子および前記半導体素子とは反対側に配置された放熱パッドをさらに備え、

前記封止樹脂は、前記厚さ方向において互いに離間する樹脂主面および樹

脂裏面を有し、

前記複数の端子の各々は、前記樹脂裏面から露出し、

前記放熱パッドは、前記樹脂主面から露出する、付記 5 または付記 7 に記載の半導体装置。

付記 9.

前記スイッチング素子と前記半導体素子は、前記封止樹脂の厚さ方向に見て重ならない、付記 1 に記載の半導体装置。

付記 10.

前記スイッチング素子および前記半導体素子の各々が搭載されたダイパッドをさらに備え、

前記ダイパッドには、前記第 1 電極および前記第 4 電極が接合されており、

、

前記第 3 端子は、前記ダイパッドに繋がる、付記 9 に記載の半導体装置。

付記 11.

前記第 2 電極に接合された第 1 導電板と、

前記第 4 電極に接合された第 2 導電板と、をさらに備え、

前記第 1 導電板は、前記第 1 端子に接合されており、

前記第 2 導電板は、前記第 2 端子に接合されている、付記 10 に記載の半導体装置。

付記 12.

前記スイッチング素子が搭載され、且つ前記第 2 電極が接合された第 1 ダイパッドと、

前記半導体素子が搭載され、且つ前記第 5 電極が接合された第 2 ダイパッドと、をさらに備え、

前記第 1 ダイパッドと前記第 2 ダイパッドとは、互いに離間しており、

前記第 1 端子は、前記第 1 ダイパッドに繋がり、

前記第 2 端子は、前記第 2 ダイパッドに繋がる、付記 9 に記載の半導体装置。

付記 1 3.

前記第 1 電極および前記第 2 電極の各々が接合された導電板をさらに備え

、

前記導電板は、前記第 3 端子に接合されている、付記 1 2 に記載の半導体装置。

付記 1 4.

前記封止樹脂は、前記厚さ方向に直交する第 1 方向において、互いに反対側を向く第 1 樹脂側面および第 2 樹脂側面を有し、

前記第 1 端子および前記第 2 端子の各々は、前記第 1 樹脂側面から露出し

、

前記第 3 端子は、前記第 2 樹脂側面から露出する、付記 2 ないし付記 1 3 のいずれかに記載の半導体装置。

付記 1 5.

前記複数の端子は、前記第 3 電極に導通する第 4 端子を含む、付記 1 4 に記載の半導体装置。

付記 1 6.

前記第 4 端子は、前記第 2 樹脂側面から露出する、付記 1 5 に記載の半導体装置。

付記 1 7.

前記第 4 端子は、前記第 1 樹脂側面から露出する、付記 1 5 に記載の半導体装置。

付記 1 8.

前記スイッチング素子および前記半導体素子の通電時において、前記第 1 端子の電位は、前記第 2 端子の電位よりも高く、

前記スイッチング素子は、前記半導体素子よりも高電位側に接続される、付記 1 ないし付記 1 7 のいずれかに記載の半導体装置。

付記 1 9.

前記スイッチング素子および前記半導体素子の通電時において、前記第 2

端子の電位は、前記第 1 端子の電位よりも高く、

前記半導体素子は、前記スイッチング素子よりも高電位側に接続される、
付記 1 ないし付記 17 のいずれかに記載の半導体装置。

付記 20.

前記スイッチング素子は、トランジスタであり、

前記半導体素子は、ダイオードである、付記 1 ないし付記 19 のいずれか
に記載の半導体装置。

付記 21.

付記 1 ないし付記 20 のいずれかに記載の半導体装置と、

コンデンサと、

前記半導体装置および前記コンデンサが実装された実装基板と、
を備え、

前記コンデンサの一方の電極は、前記第 1 端子に電氣的に接続され、

前記コンデンサの他方の電極は、前記第 2 端子に電氣的に接続される、電
子装置。

付記 22.

前記実装基板に実装されたインダクタをさらに備え、

前記インダクタは、前記第 3 端子に電氣的に接続される、付記 21 に記載
の電子装置。

符号の説明

[0114] A10, A11, A20, A21, A30, A31, A40, A41 : 半導
体装置

A50, A51, A60 : 半導体装置

B1, B2, B31, B32 : 電子装置

C1, C2 : コンデンサ C11 : 電極

C12 : 電極 D : 駆動回路

L1, L2 : インダクタ Lp1, Lp2 : 電流ループ

T11, T12 : 入力端子 T21, T22 : 出力端子

1 : スイッチング素子 1 0 1 : 素子主面
1 0 2 : 素子裏面 1 1, 1 2, 1 3 : 電極
2 : 半導体素子 2 0 1 : 素子主面
2 0 2 : 素子裏面 2 1, 2 2 : 電極
3 : 封止樹脂 3 1 : 樹脂主面
3 2 : 樹脂裏面 3 3 1, 3 3 2, 3 3 3, 3 3 4 : 樹脂側面
4 : 端子 4 1 : 第 1 端子
4 2 : 第 2 端子 4 3 : 第 3 端子
4 4 : 第 4 端子 4 8, 4 9 1, 4 9 2 : ダイパッド
4 8 1 : 切り欠き 5 1, 5 2, 5 3, 5 4, 5 5, 5 9 : 導電板
5 1 1, 5 2 1, 5 3 1, 5 4 1, 5 5 1 : 接合部
5 1 2, 5 2 2, 5 3 2, 5 4 2, 5 5 2 : 延出部
5 2 1 a : 切り欠き 5 9 0 : 接合材
5 9 1 : ブロック 6 1 : 接続部材
7 1 ~ 7 7, 7 8 1, 7 8 2, 7 9 : 接合材
8 1 : 放熱パッド 9 : 実装基板
9 1 : 基材 9 2 : 配線パターン 9 2 1 : 裏面配線

請求の範囲

- [請求項1] 第1電極、第2電極および第3電極を有し、前記第3電極に入力される駆動信号に応じて、前記第1電極と前記第2電極との間で導通するスイッチング素子と、
- 第4電極および第5電極を有し、前記第4電極と前記第5電極との間で導通する半導体素子と、
- 前記スイッチング素子および前記半導体素子を覆う封止樹脂と、
- 一部ずつが前記封止樹脂から露出する複数の端子と、
- を備え、
- 前記第1電極と前記第4電極とは、前記封止樹脂の内部で電氣的に接続されており、
- 前記複数の端子は、第1端子、第2端子および第3端子を含み、
- 前記第1端子は、前記第2電極に導通し、
- 前記第2端子は、前記第5電極に導通し、
- 前記第3端子は、前記第1電極および前記第4電極の各々に導通し、
- 、
- 前記第1端子と前記第2端子とは、互いに隣り合う、半導体装置。
- [請求項2] 前記スイッチング素子と前記半導体素子とは、前記封止樹脂の厚さ方向に見て互いに重なる、請求項1に記載の半導体装置。
- [請求項3] 前記第1電極および前記第4電極の各々が接合された第1導電板をさらに備え、
- 前記第1導電板は、前記厚さ方向において前記スイッチング素子と前記半導体素子とに挟まれており、且つ前記第3端子に接合されている、請求項2に記載の半導体装置。
- [請求項4] 前記スイッチング素子が搭載され、且つ前記第2電極が接合されたダイパッドをさらに備え、
- 前記スイッチング素子は、前記厚さ方向において前記ダイパッドと前記第1導電板との間に挟まれており、

前記第 1 端子は、前記ダイパッドに繋がる、請求項 3 に記載の半導体装置。

[請求項5] 前記第 5 電極に接合された第 2 導電板をさらに備え、
前記半導体素子は、前記厚さ方向において前記第 1 導電板と前記第 2 導電板との間に挟まれており、
前記第 2 導電板は、前記第 2 端子に接合されている、請求項 4 に記載の半導体装置。

[請求項6] 前記半導体素子が搭載され、且つ前記第 5 電極が接合されたダイパッドをさらに備え、
前記半導体素子は、前記厚さ方向において前記ダイパッドと前記第 1 導電板との間に挟まれており、
前記第 2 端子は、前記ダイパッドに繋がる、請求項 3 に記載の半導体装置。

[請求項7] 前記第 2 電極に接合された第 2 導電板をさらに備え、
前記スイッチング素子は、前記厚さ方向において前記第 1 導電板と前記第 2 導電板との間に挟まれており、
前記第 2 導電板は、前記第 1 端子に接合されている、請求項 6 に記載の半導体装置。

[請求項8] 前記厚さ方向において、前記第 2 導電板に対して、前記スイッチング素子および前記半導体素子とは反対側に配置された放熱パッドをさらに備え、
前記封止樹脂は、前記厚さ方向において互いに離間する樹脂主面および樹脂裏面を有し、
前記複数の端子の各々は、前記樹脂裏面から露出し、
前記放熱パッドは、前記樹脂主面から露出する、請求項 5 または請求項 7 に記載の半導体装置。

[請求項9] 前記スイッチング素子と前記半導体素子は、前記封止樹脂の厚さ方向に見て重ならない、請求項 1 に記載の半導体装置。

- [請求項10] 前記スイッチング素子および前記半導体素子の各々が搭載されたダイパッドをさらに備え、
前記ダイパッドには、前記第1電極および前記第4電極が接合されており、
前記第3端子は、前記ダイパッドに繋がる、請求項9に記載の半導体装置。
- [請求項11] 前記第2電極に接合された第1導電板と、
前記第4電極に接合された第2導電板と、をさらに備え、
前記第1導電板は、前記第1端子に接合されており、
前記第2導電板は、前記第2端子に接合されている、請求項10に記載の半導体装置。
- [請求項12] 前記スイッチング素子が搭載され、且つ前記第2電極が接合された第1ダイパッドと、
前記半導体素子が搭載され、且つ前記第5電極が接合された第2ダイパッドと、をさらに備え、
前記第1ダイパッドと前記第2ダイパッドとは、互いに離間しており、
前記第1端子は、前記第1ダイパッドに繋がり、
前記第2端子は、前記第2ダイパッドに繋がる、請求項9に記載の半導体装置。
- [請求項13] 前記第1電極および前記第2電極の各々が接合された導電板をさらに備え、
前記導電板は、前記第3端子に接合されている、請求項12に記載の半導体装置。
- [請求項14] 前記封止樹脂は、前記厚さ方向に直交する第1方向において、互いに反対側を向く第1樹脂側面および第2樹脂側面を有し、
前記第1端子および前記第2端子の各々は、前記第1樹脂側面から露出し、

前記第3端子は、前記第2樹脂側面から露出する、請求項2ないし請求項13のいずれかに記載の半導体装置。

[請求項15] 前記複数の端子は、前記第3電極に導通する第4端子を含む、請求項14に記載の半導体装置。

[請求項16] 前記第4端子は、前記第2樹脂側面から露出する、請求項15に記載の半導体装置。

[請求項17] 前記第4端子は、前記第1樹脂側面から露出する、請求項15に記載の半導体装置。

[請求項18] 前記スイッチング素子および前記半導体素子の通電時において、前記第1端子の電位は、前記第2端子の電位よりも高く、
前記スイッチング素子は、前記半導体素子よりも高電位側に接続される、請求項1ないし請求項17のいずれかに記載の半導体装置。

[請求項19] 前記スイッチング素子および前記半導体素子の通電時において、前記第2端子の電位は、前記第1端子の電位よりも高く、
前記半導体素子は、前記スイッチング素子よりも高電位側に接続される、請求項1ないし請求項17のいずれかに記載の半導体装置。

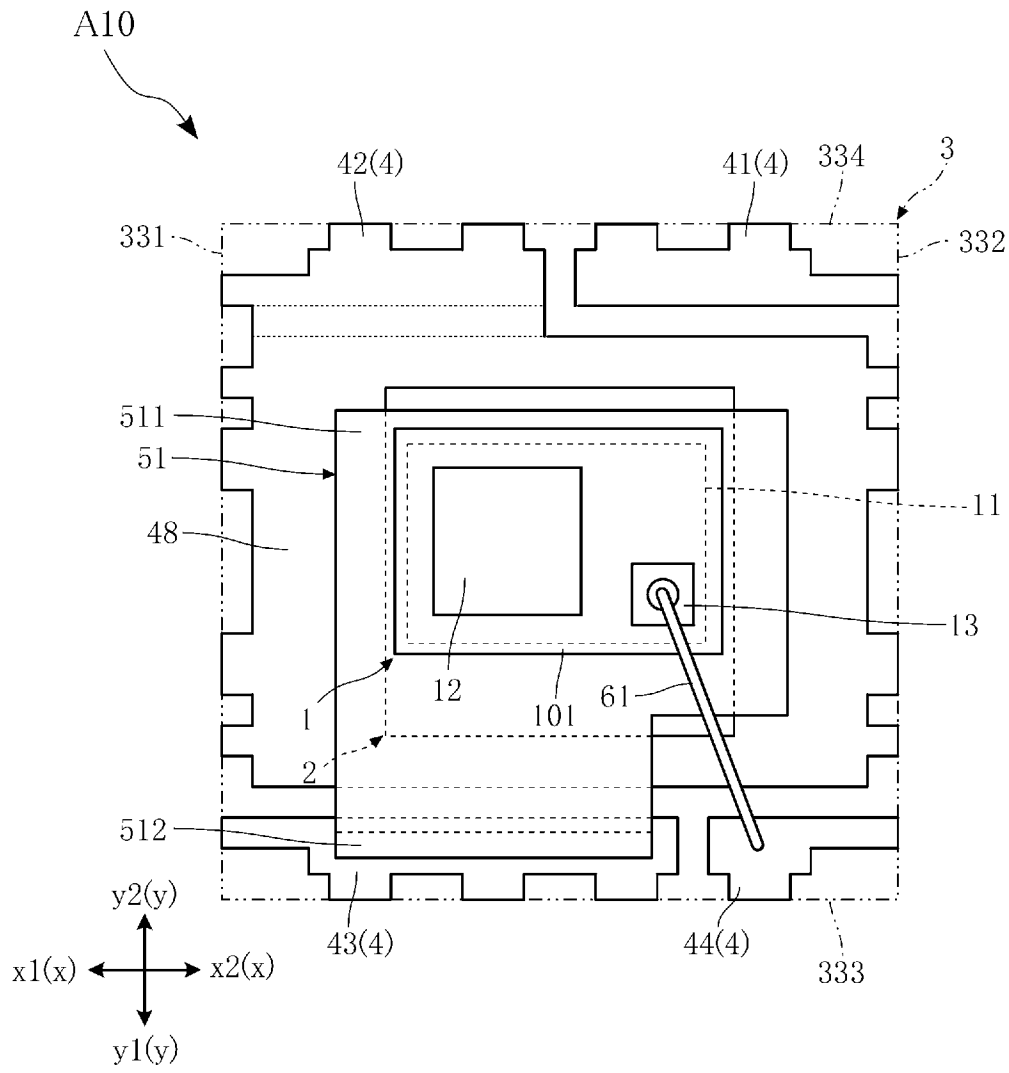
[請求項20] 前記スイッチング素子は、トランジスタであり、
前記半導体素子は、ダイオードである、請求項1ないし請求項18のいずれかに記載の半導体装置。

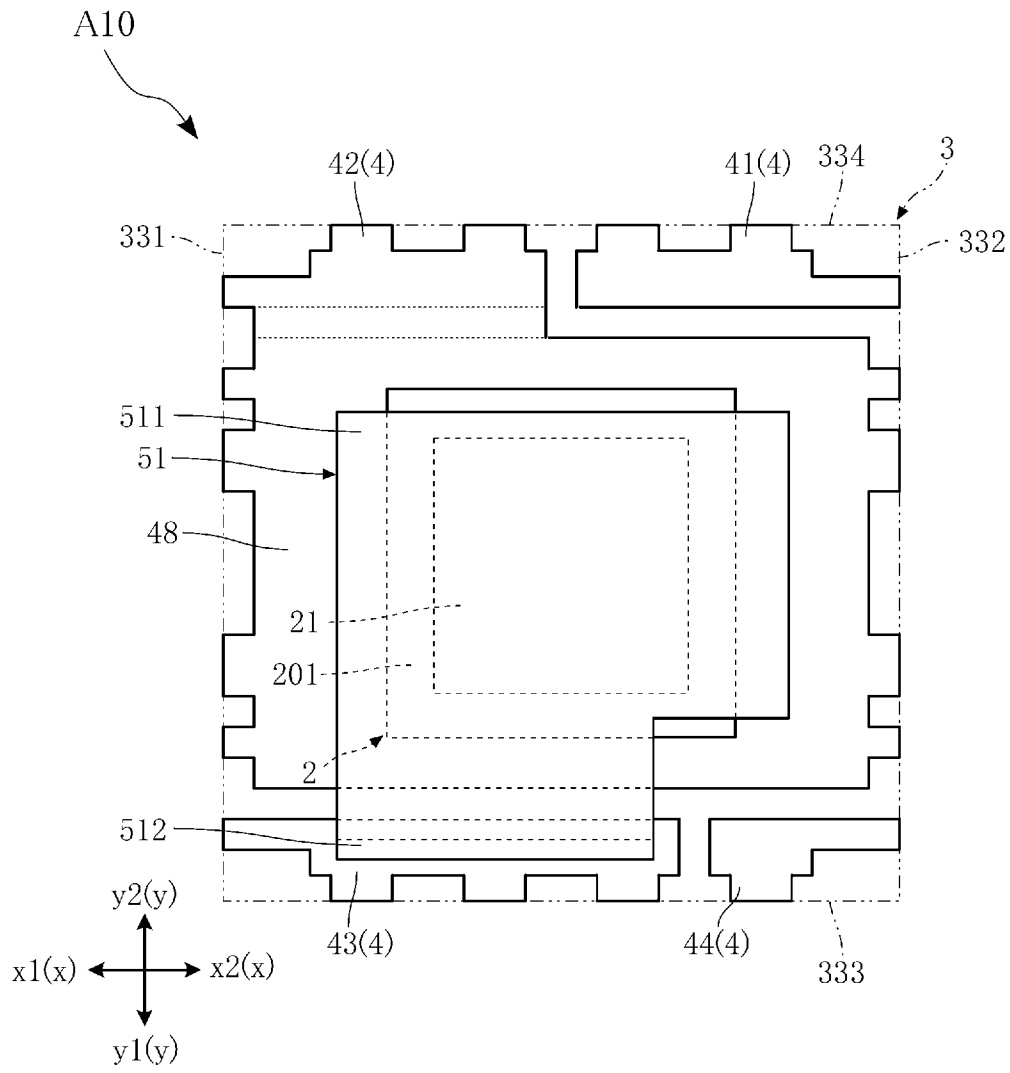
[請求項21] 請求項1ないし請求項20のいずれかに記載の半導体装置と、
コンデンサと、
前記半導体装置および前記コンデンサが実装された実装基板と、
を備え、
前記コンデンサの一方の電極は、前記第1端子に電氣的に接続され、
前記コンデンサの他方の電極は、前記第2端子に電氣的に接続される、電子装置。

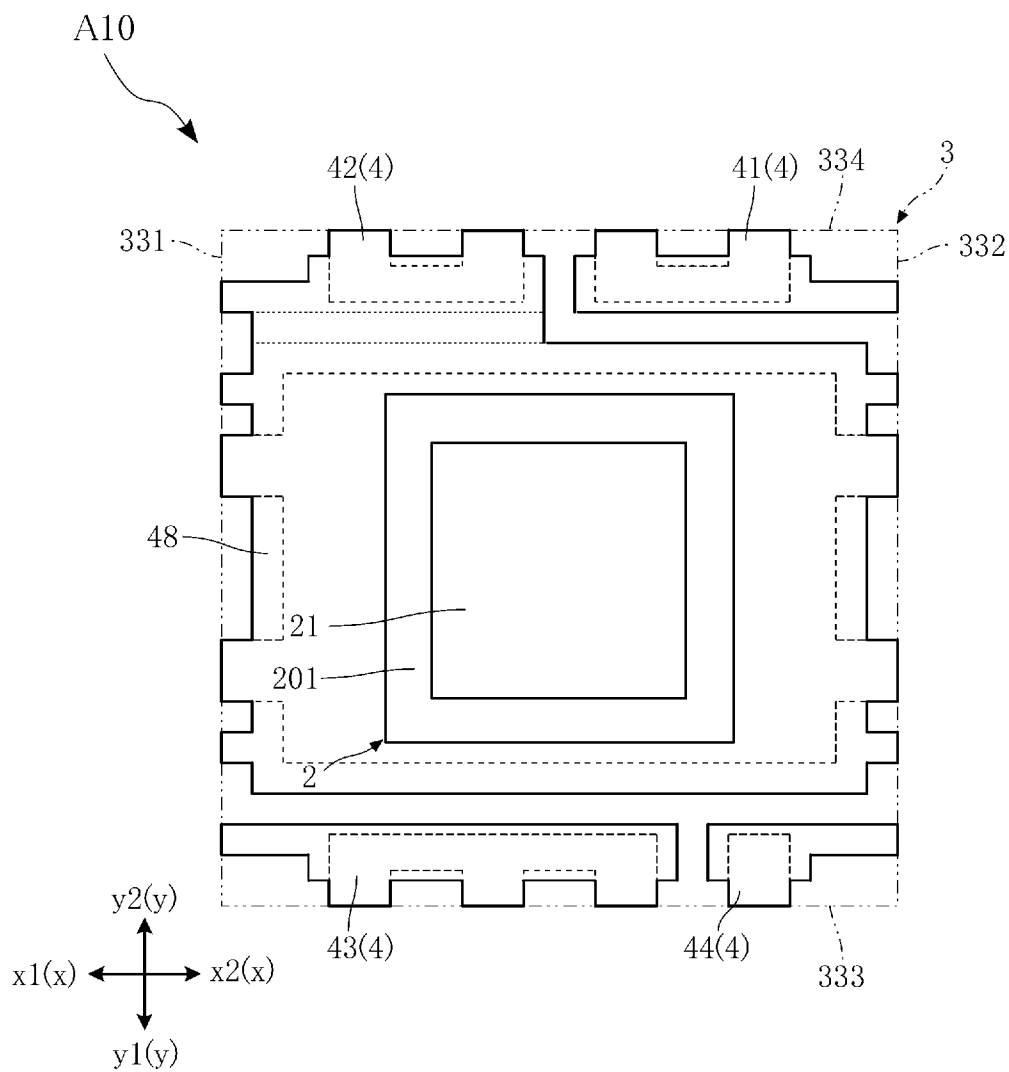
[請求項22] 前記実装基板に実装されたインダクタをさらに備え、

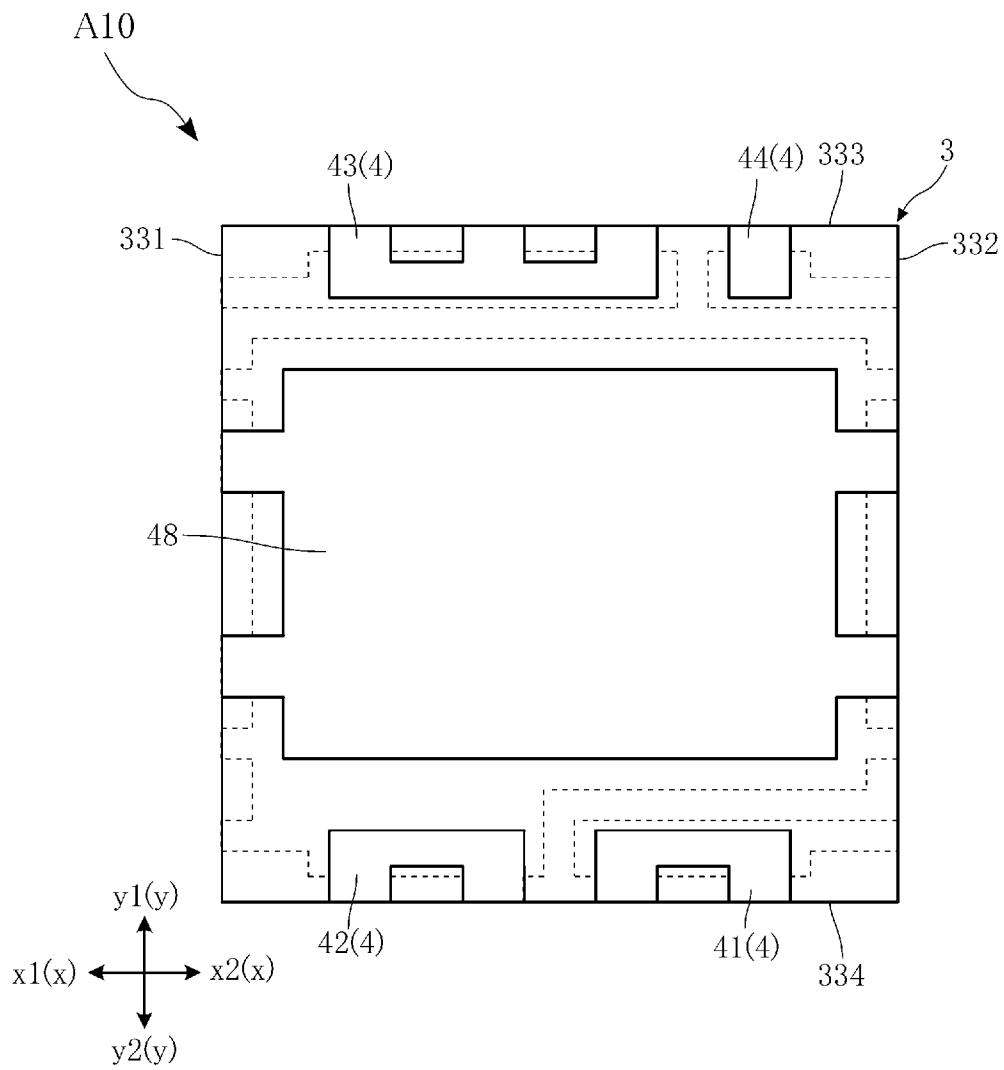
前記インダクタは、前記第3端子に電氣的に接続される、請求項2
1に記載の電子装置。

[図2]
FIG.2

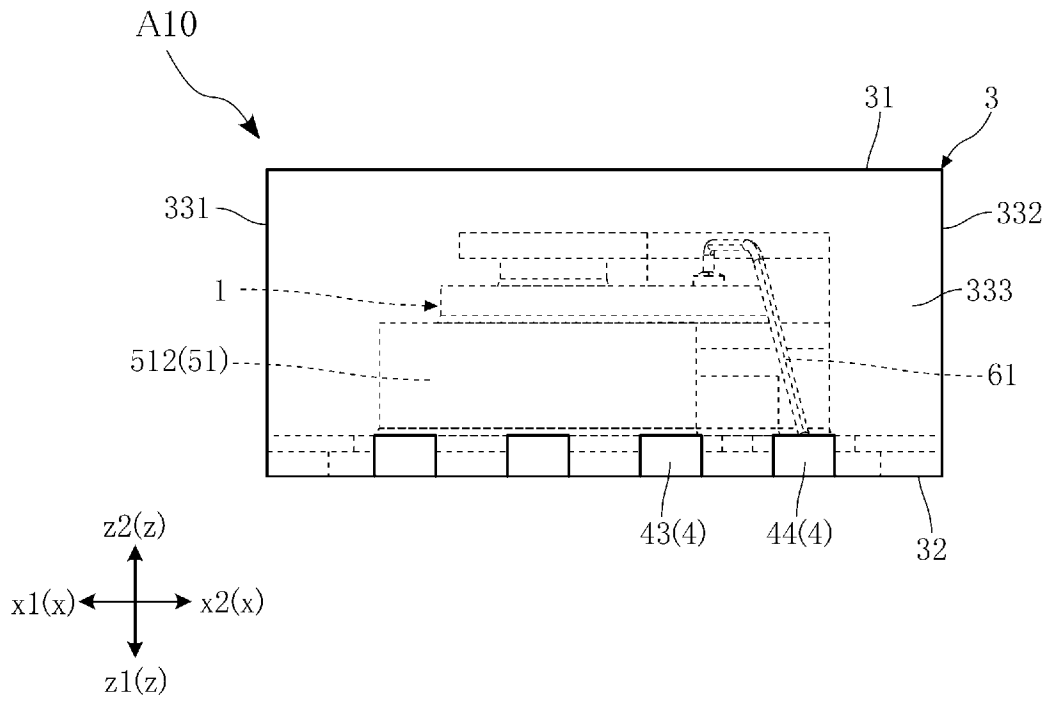


[]3
FIG.3

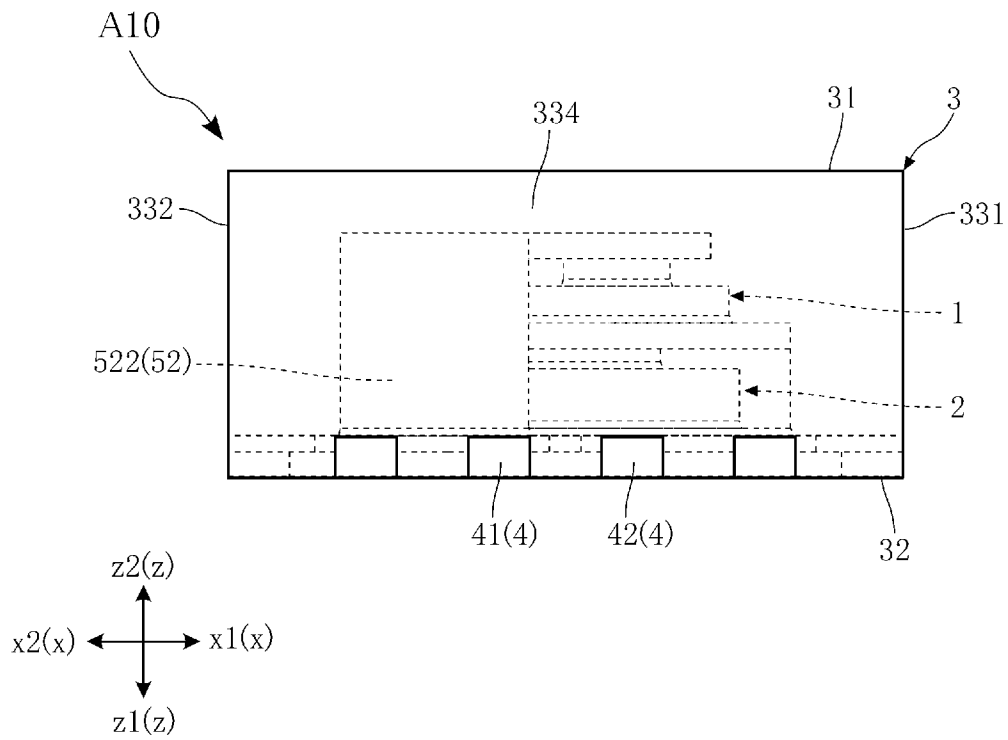
[図4]
FIG.4

[図5]
FIG.5

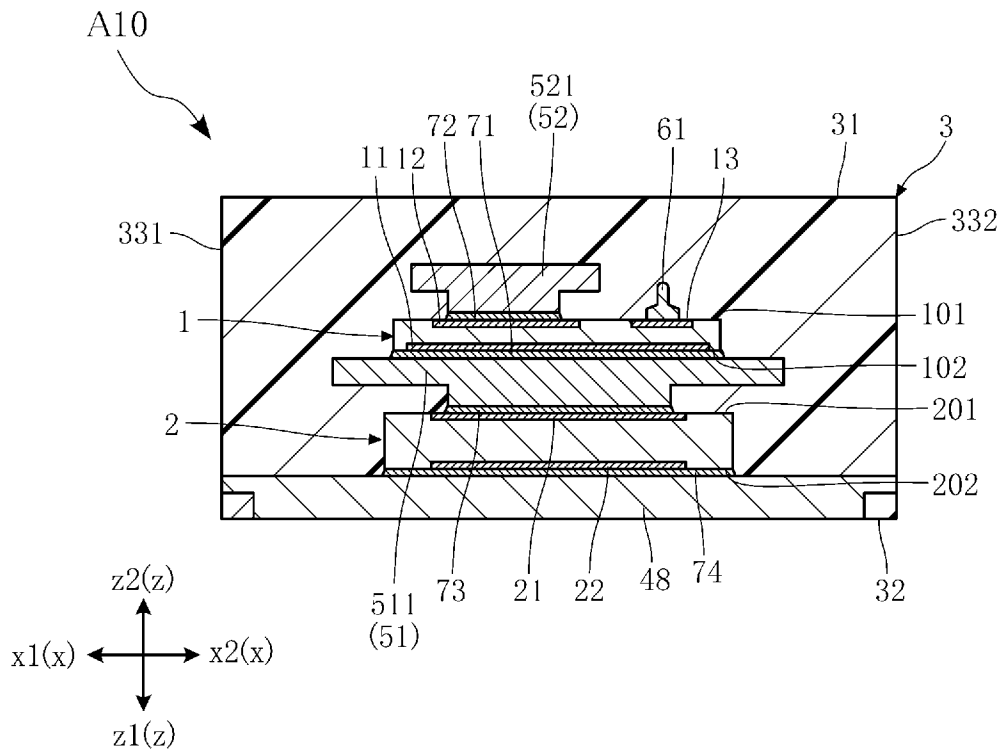
[] FIG. 6



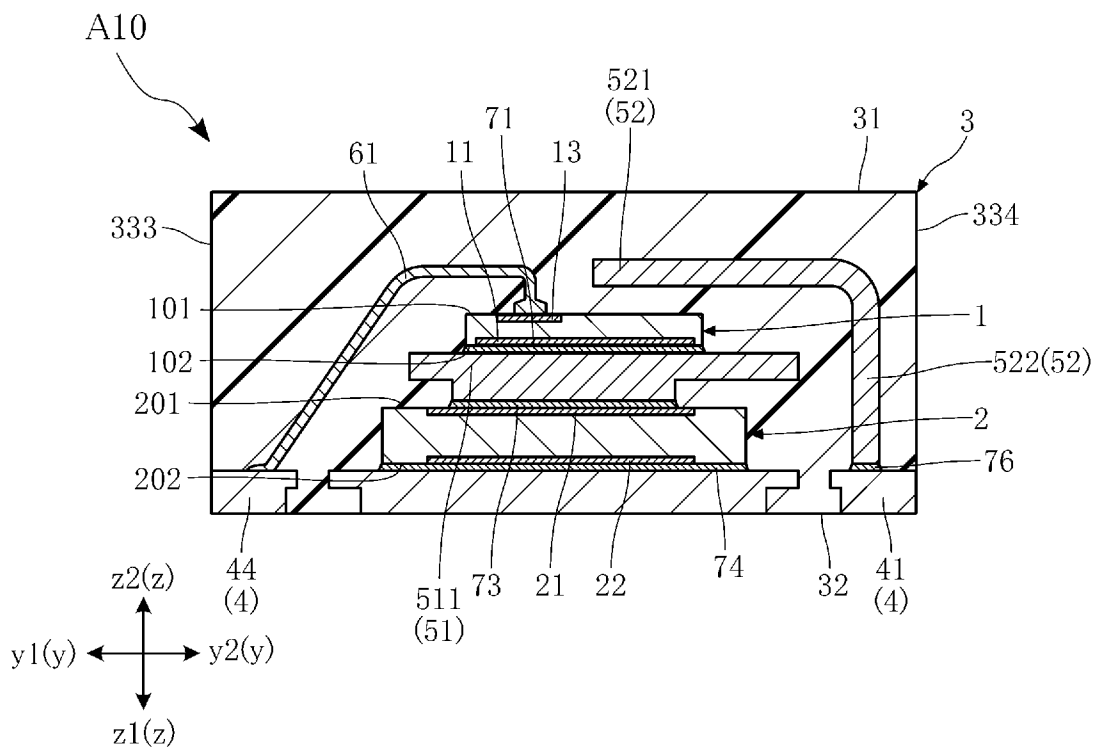
[] FIG. 7



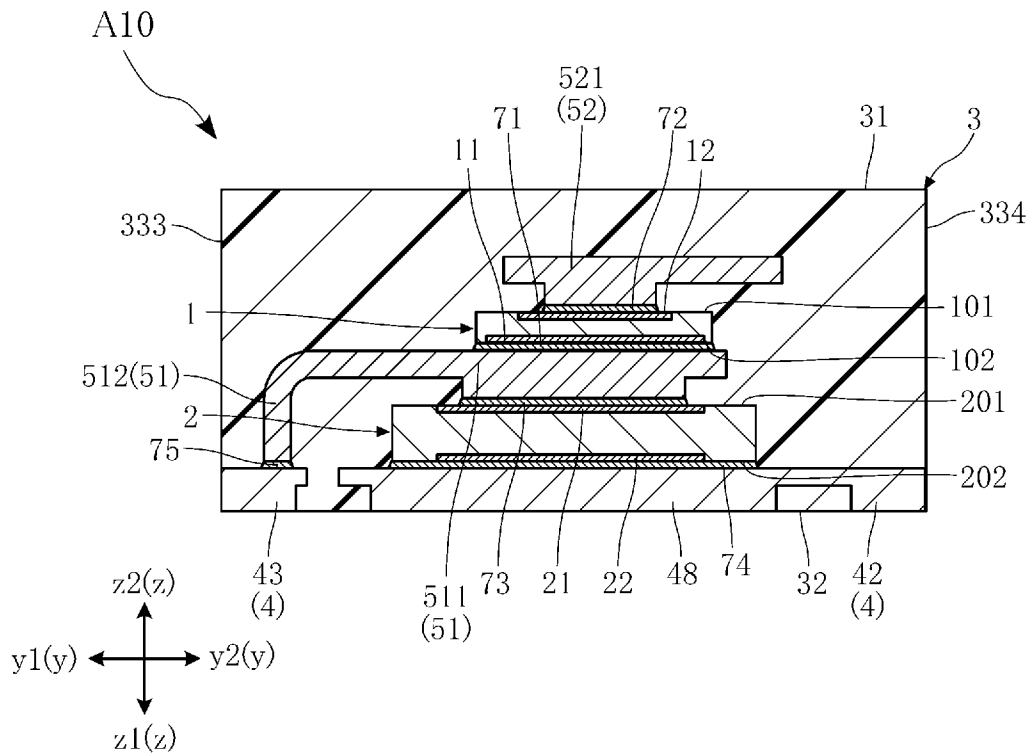
[]10]
FIG.10



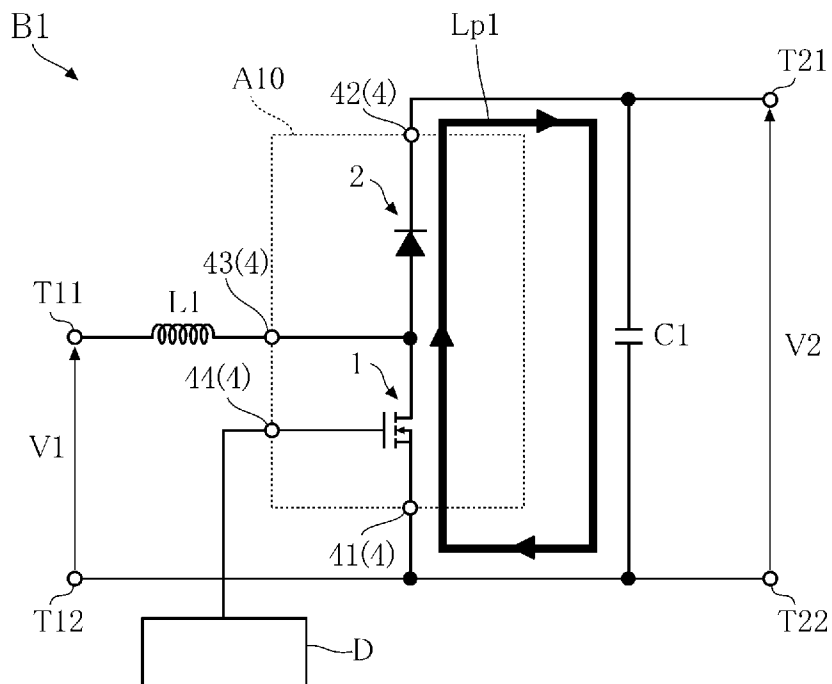
[]11]
FIG.11



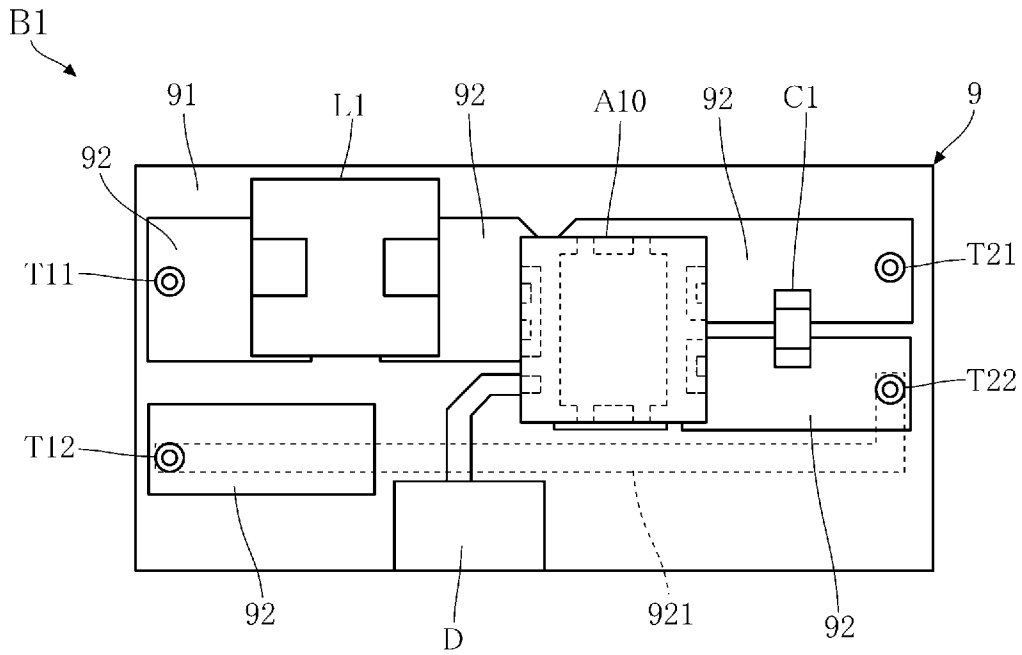
[
FIG.12



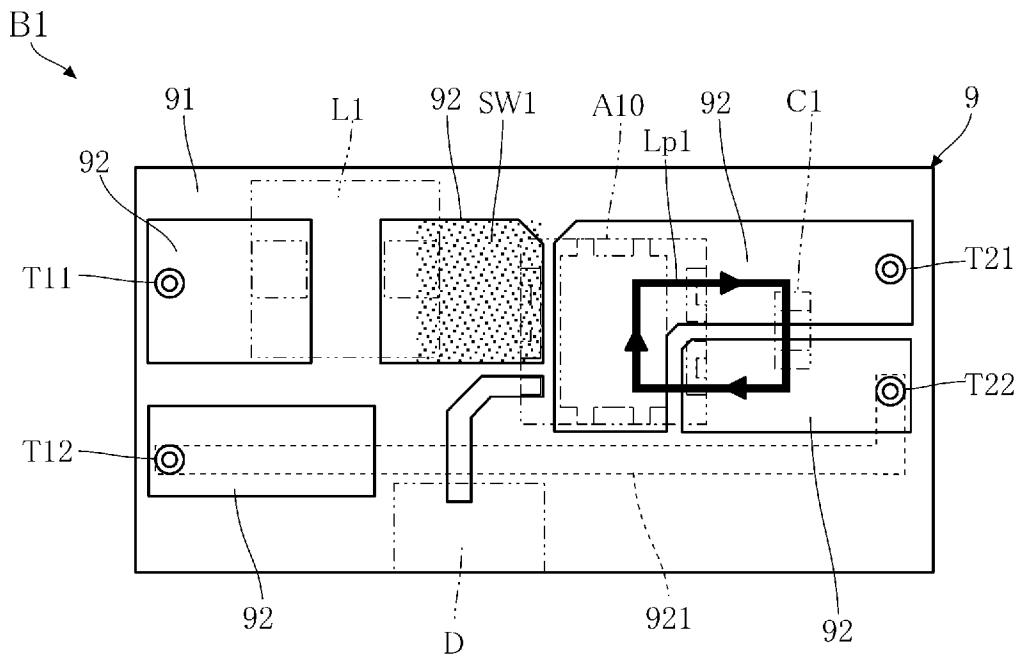
[
FIG.13



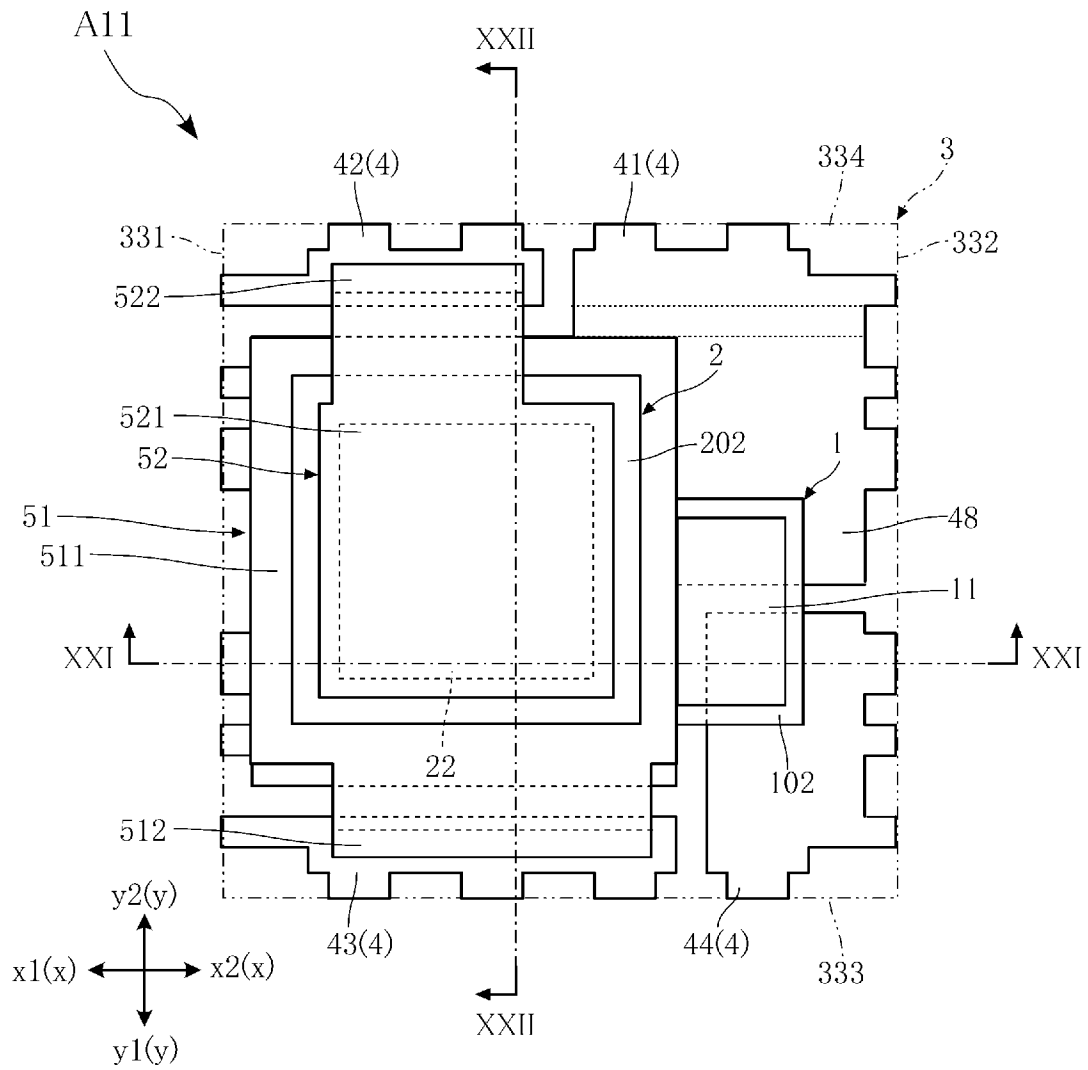
[14]
FIG.14



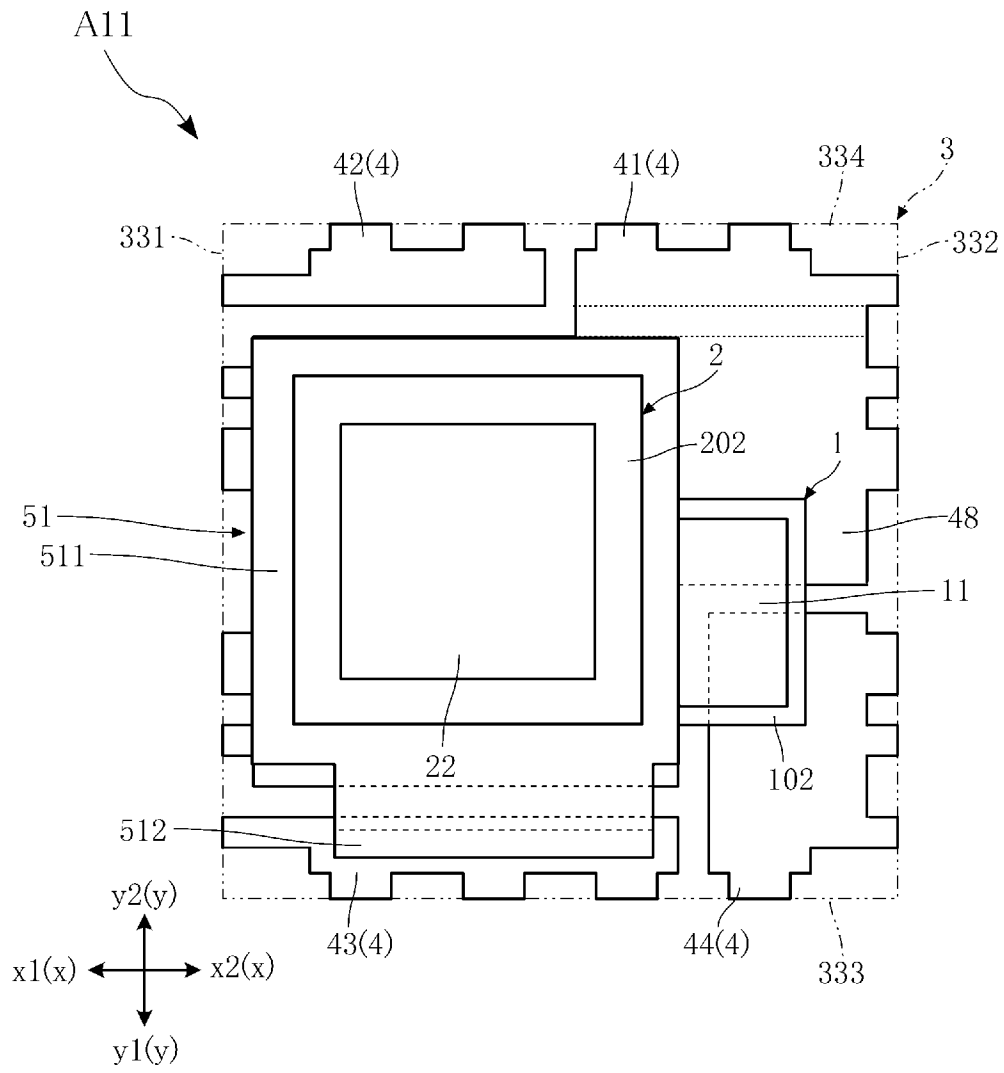
[15]
FIG.15

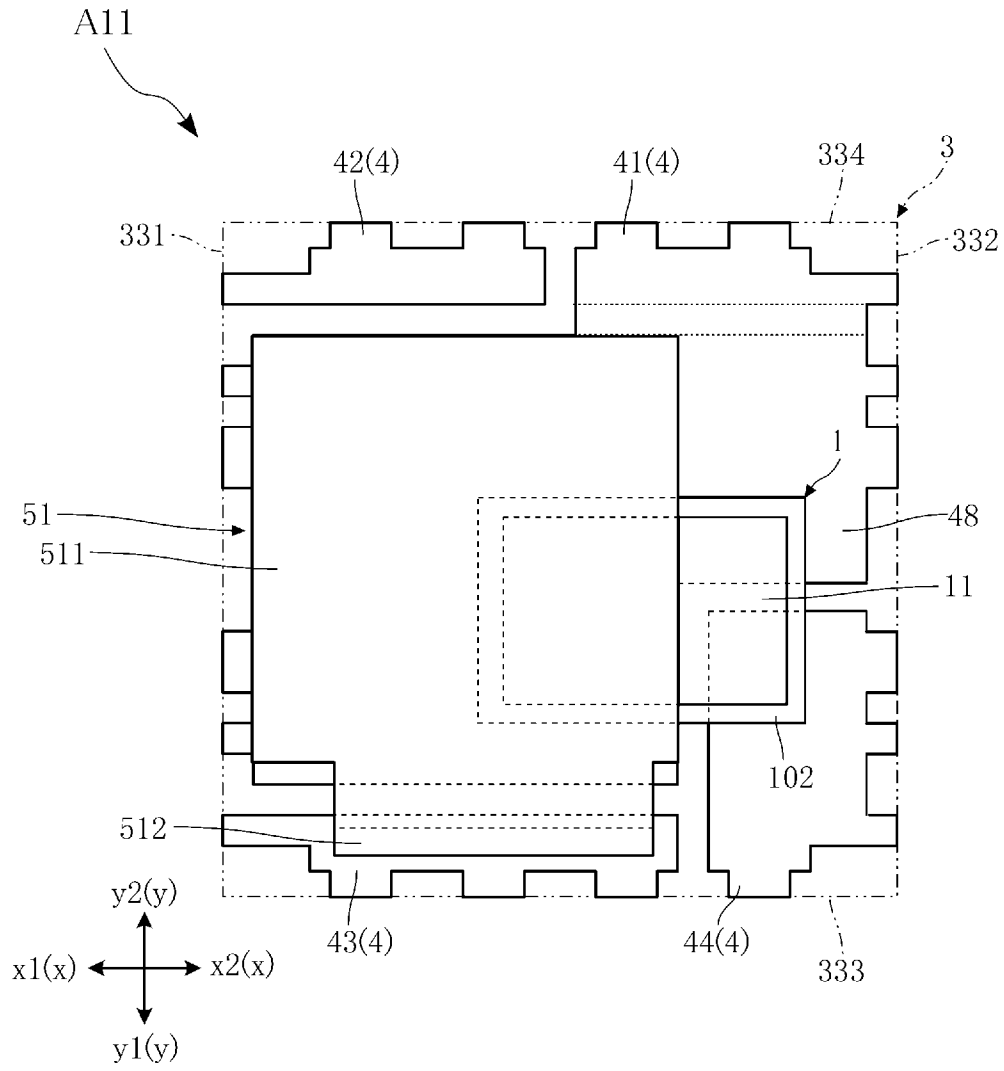


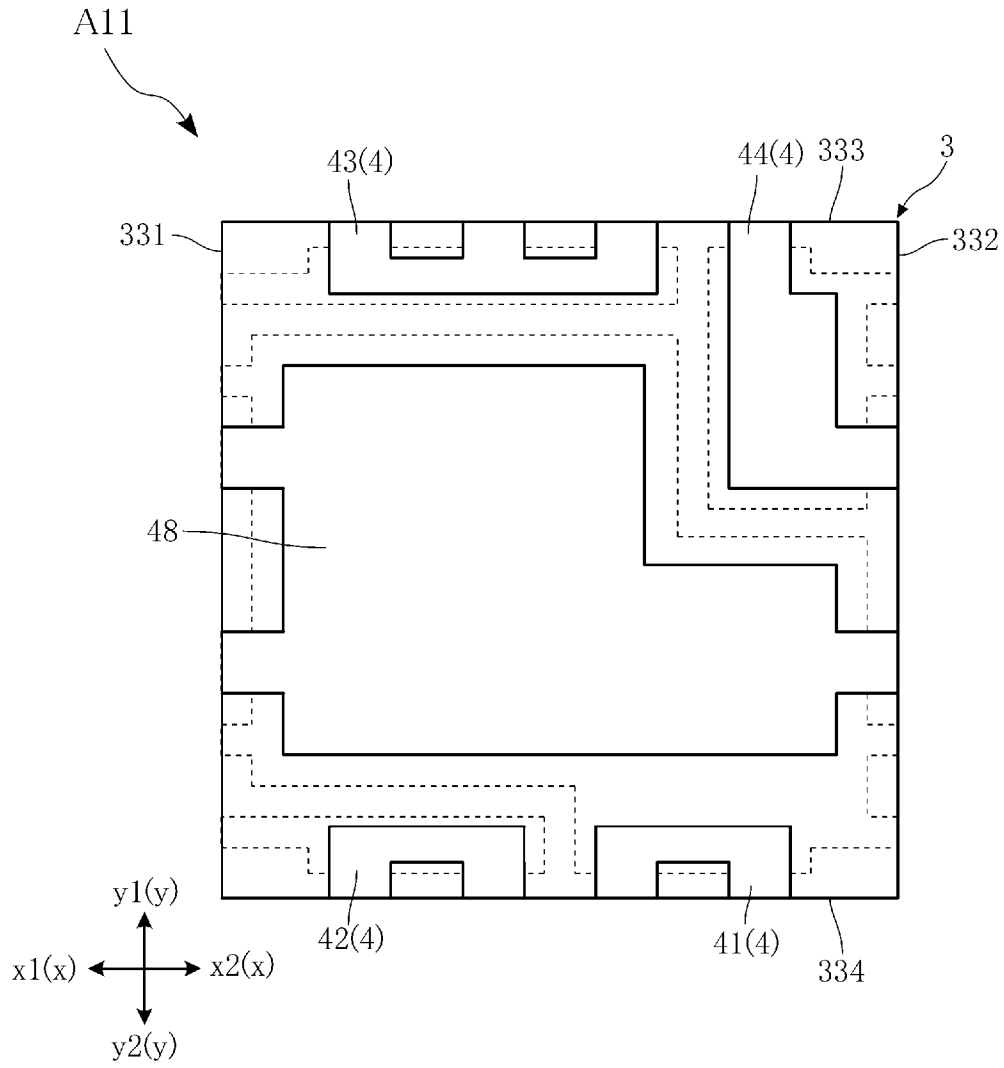
[16]
FIG.16




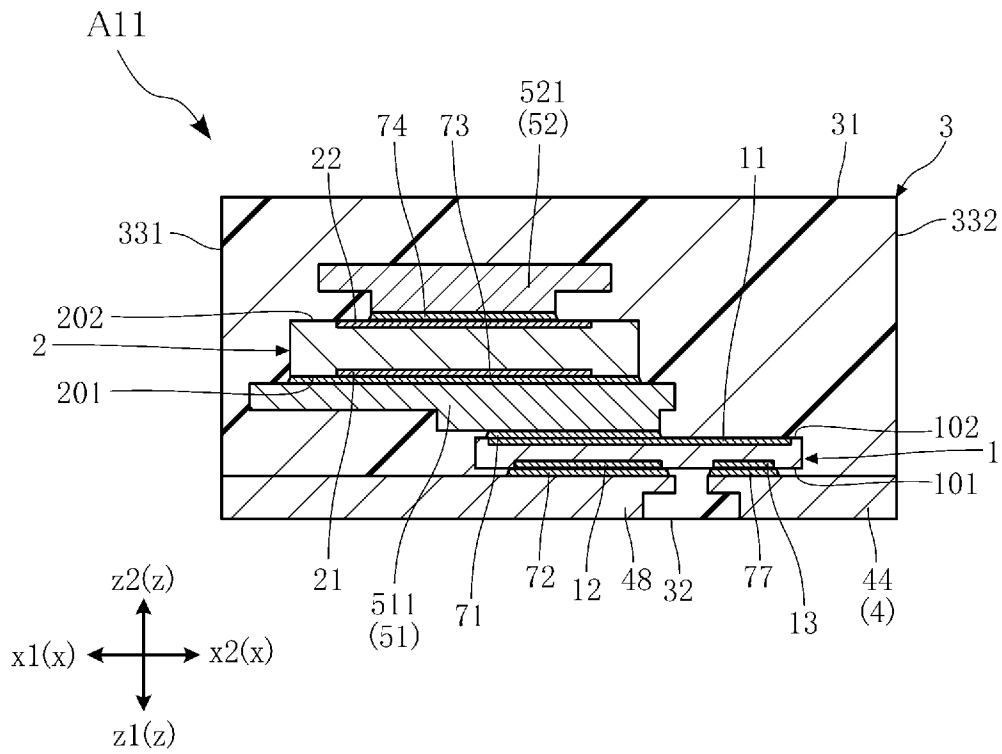
[17]
FIG.17



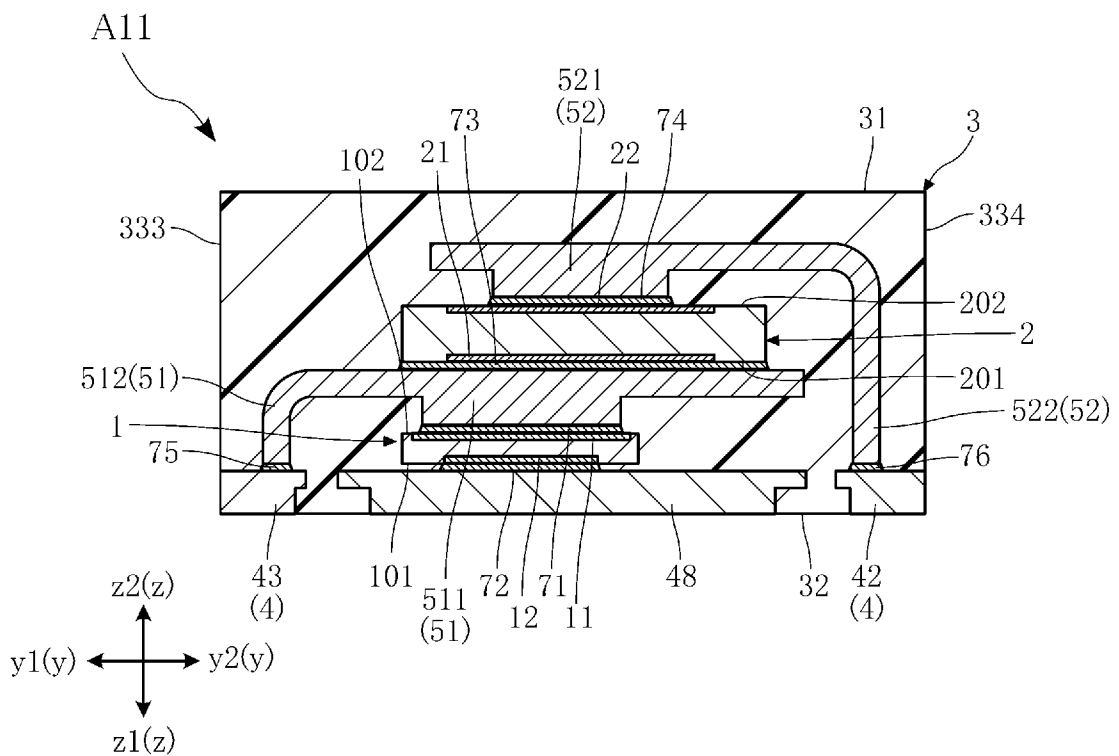
[図18]
FIG.18


[
FIG.20

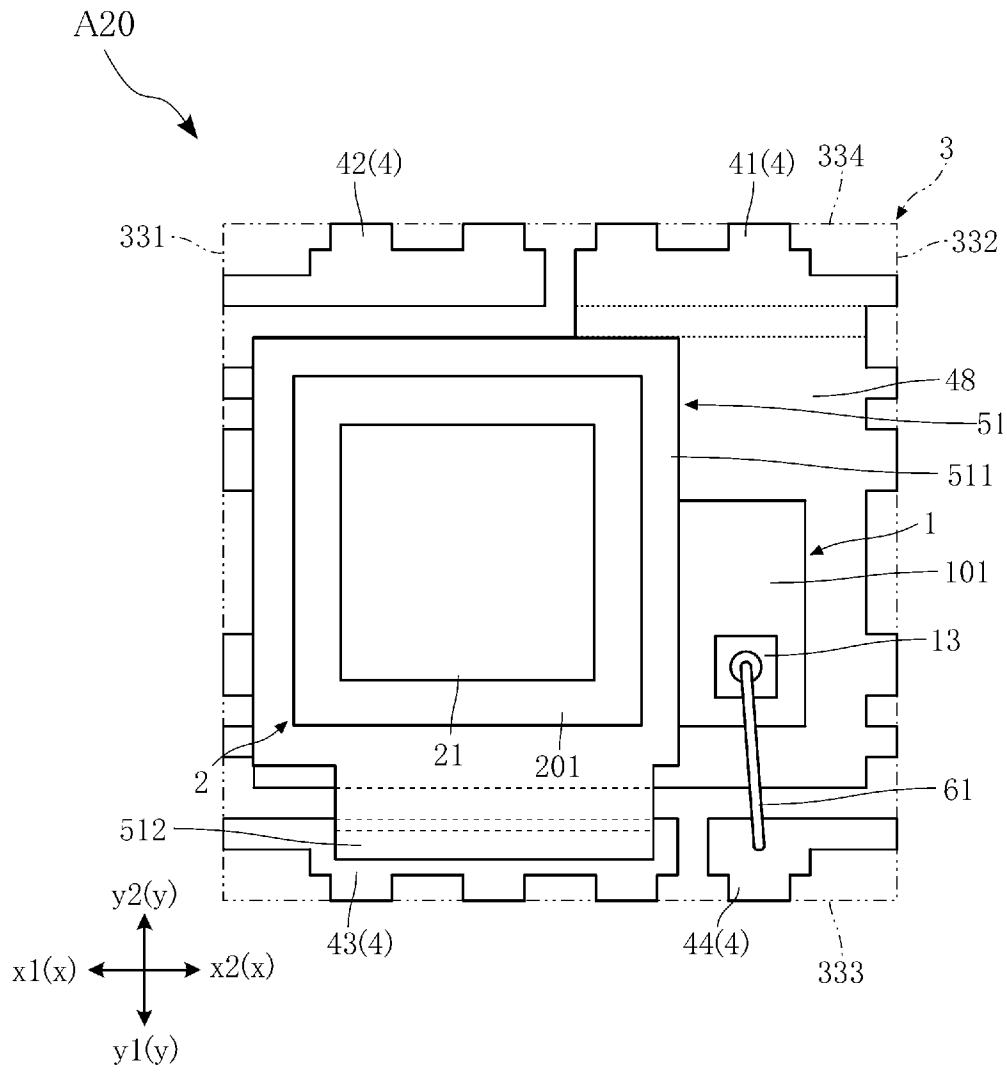
[] FIG.21

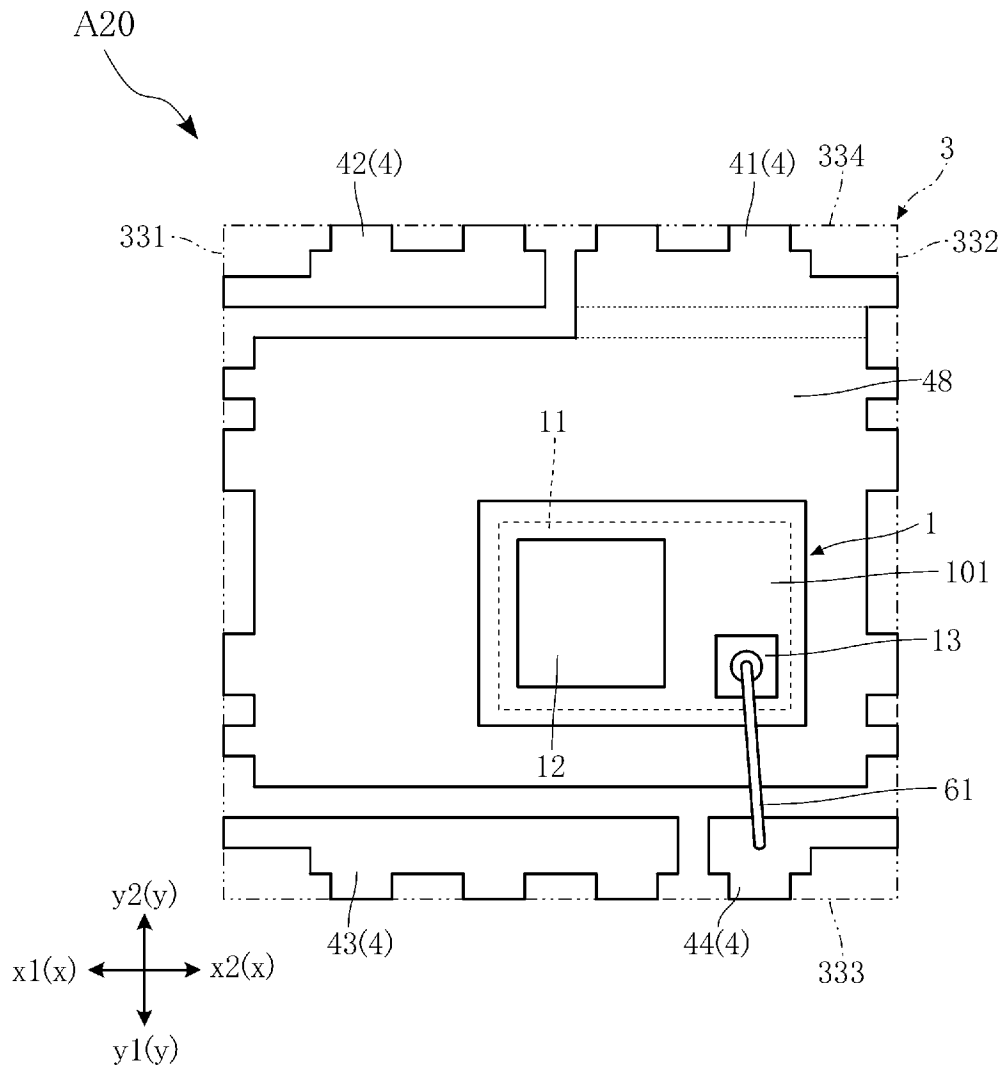


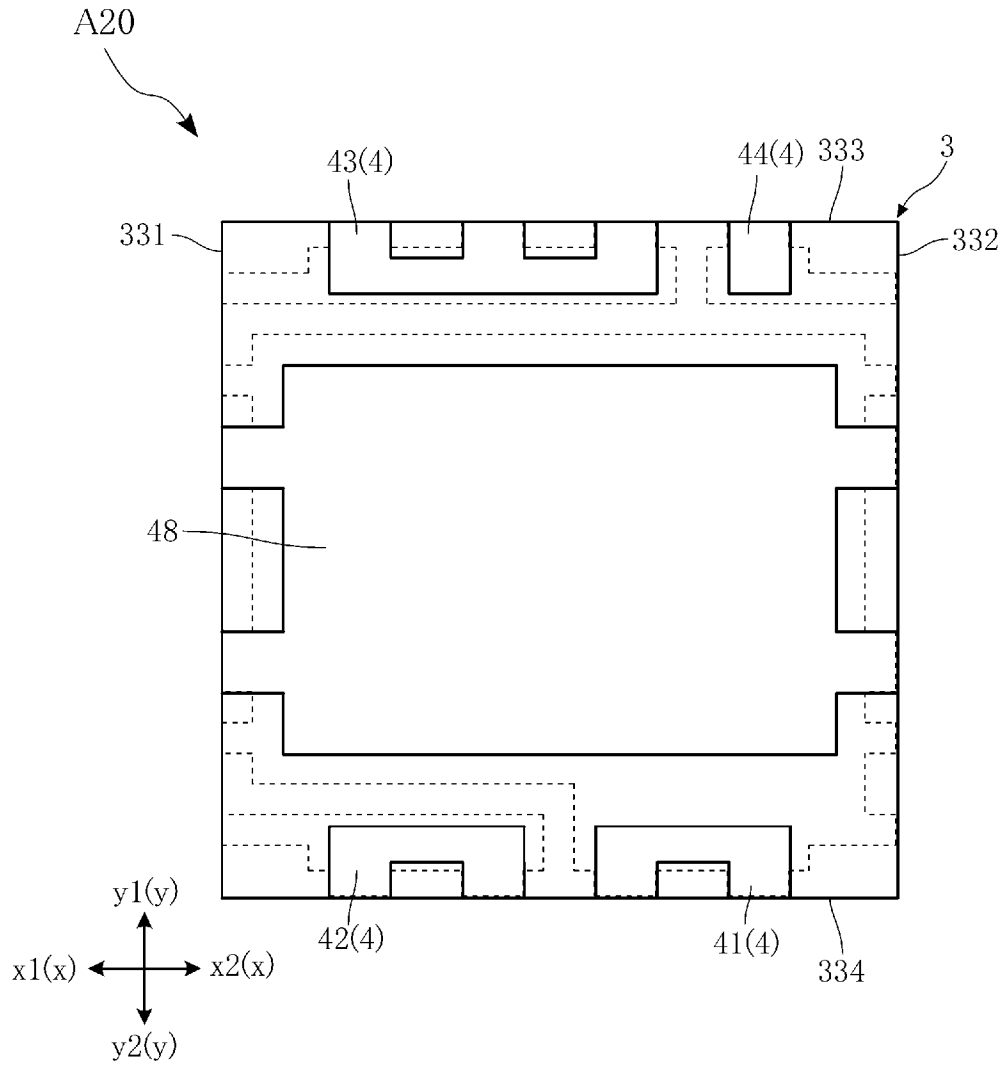
[] FIG.22




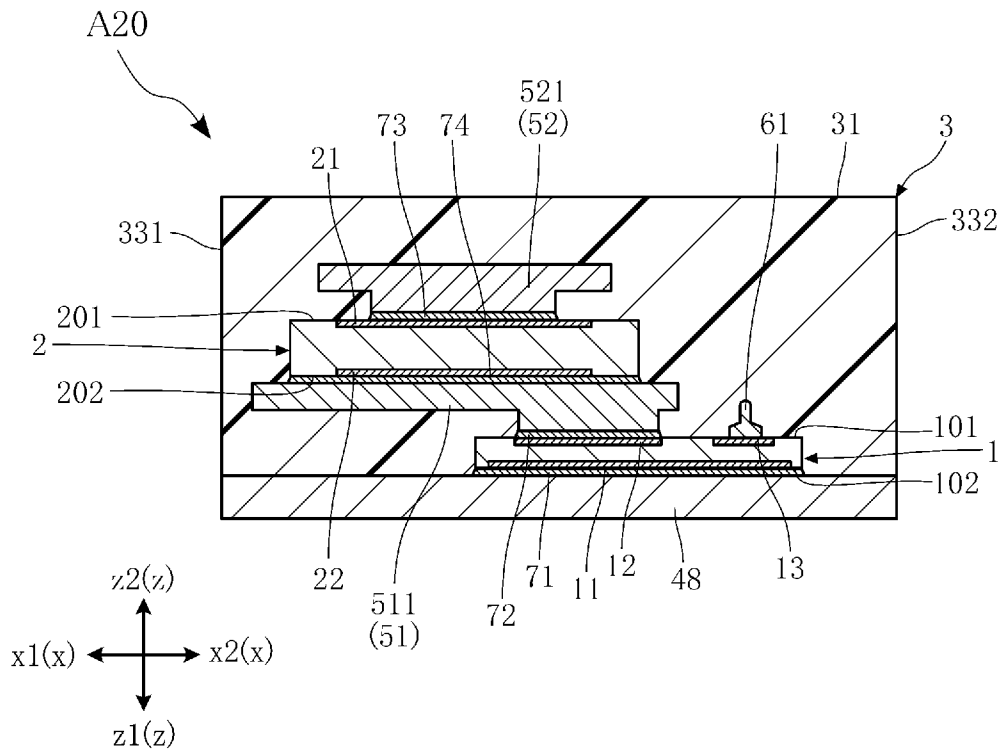
[24]
FIG.24




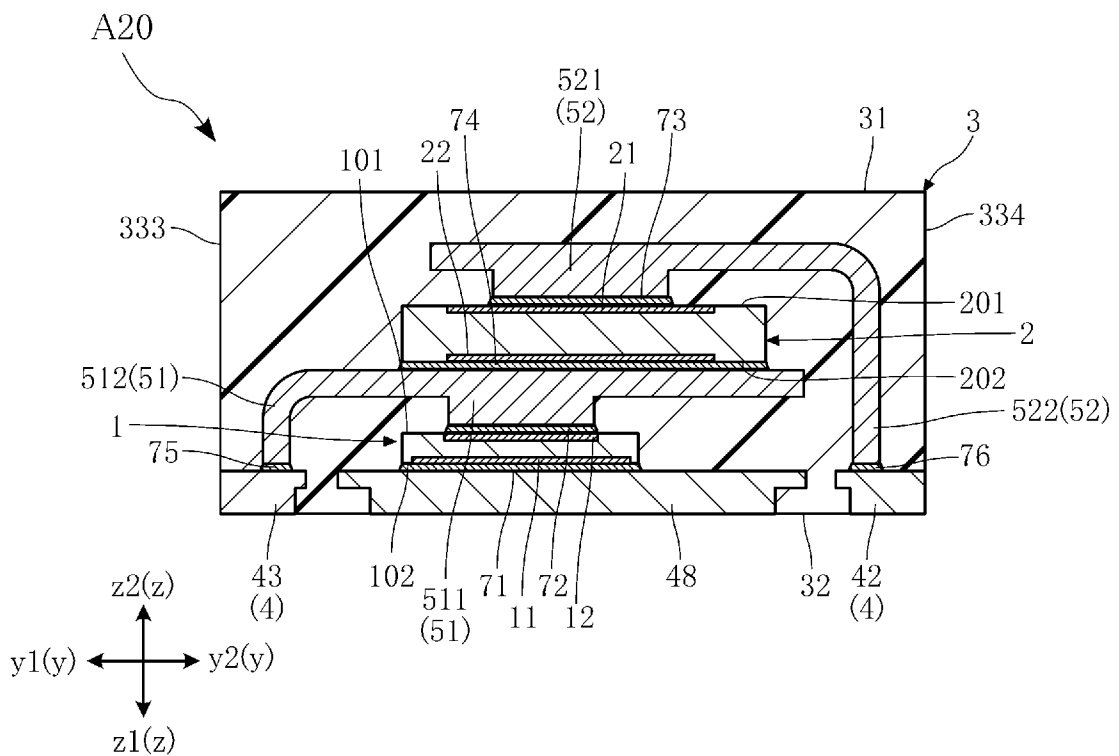
[
FIG.26


[] 27
FIG.27

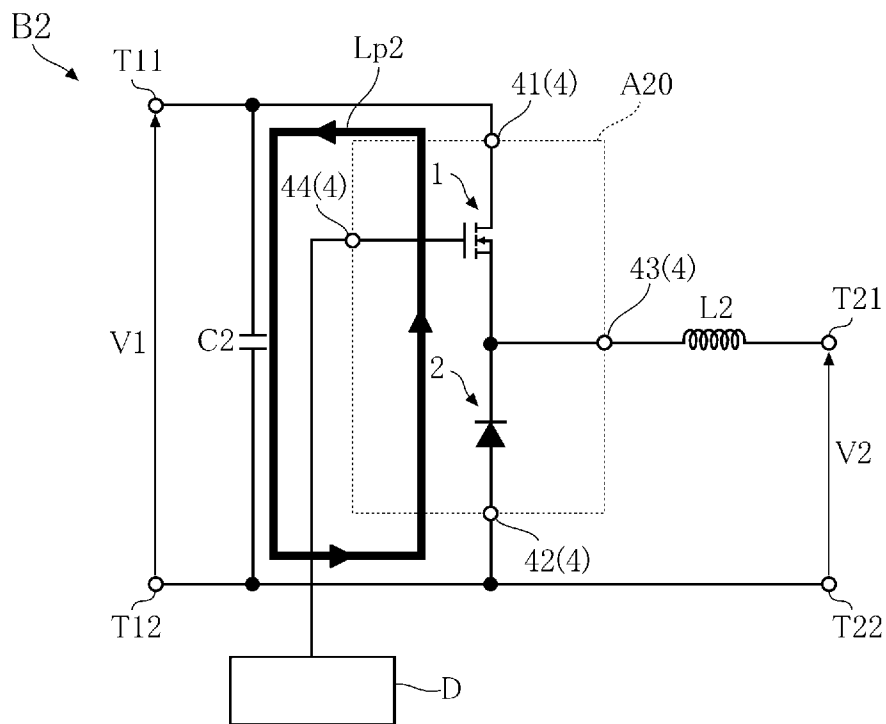
[]28]
FIG.28



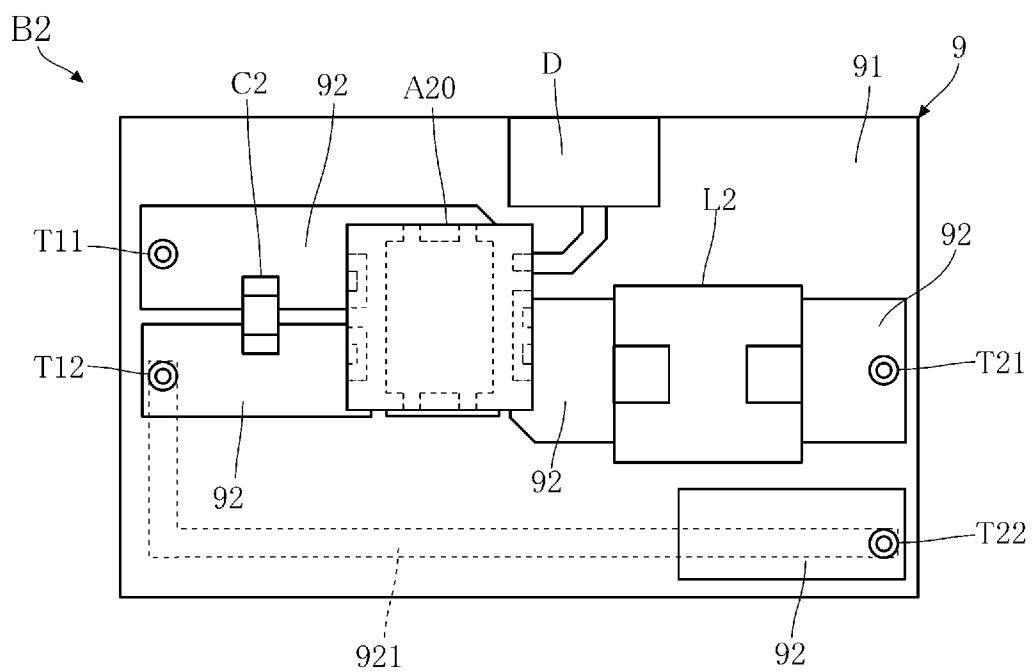
[]29]
FIG.29


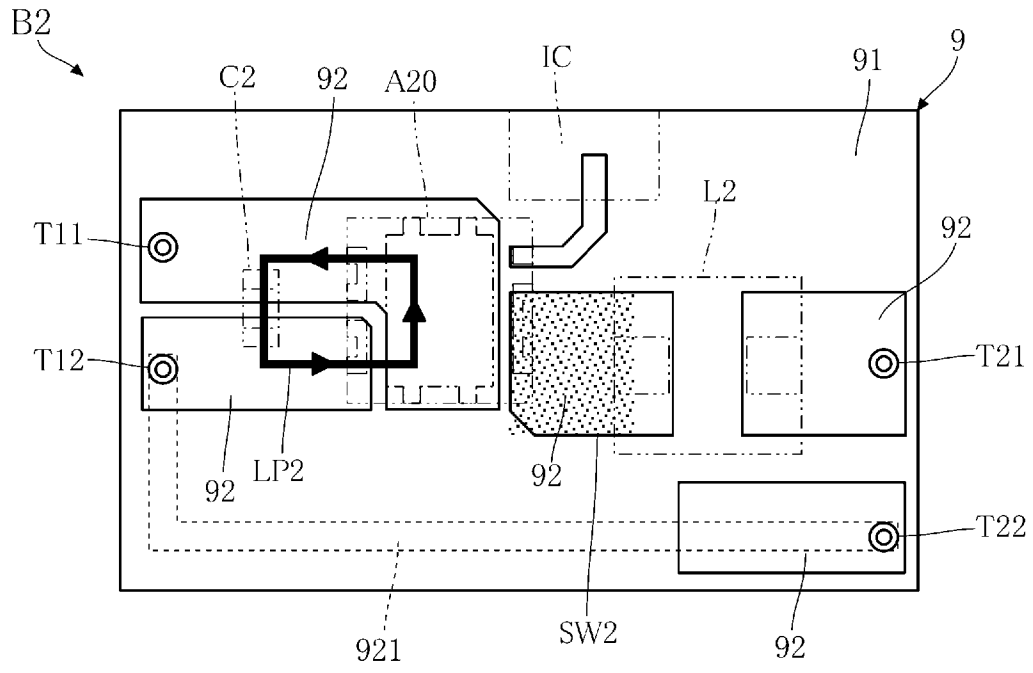


[30]
FIG.30

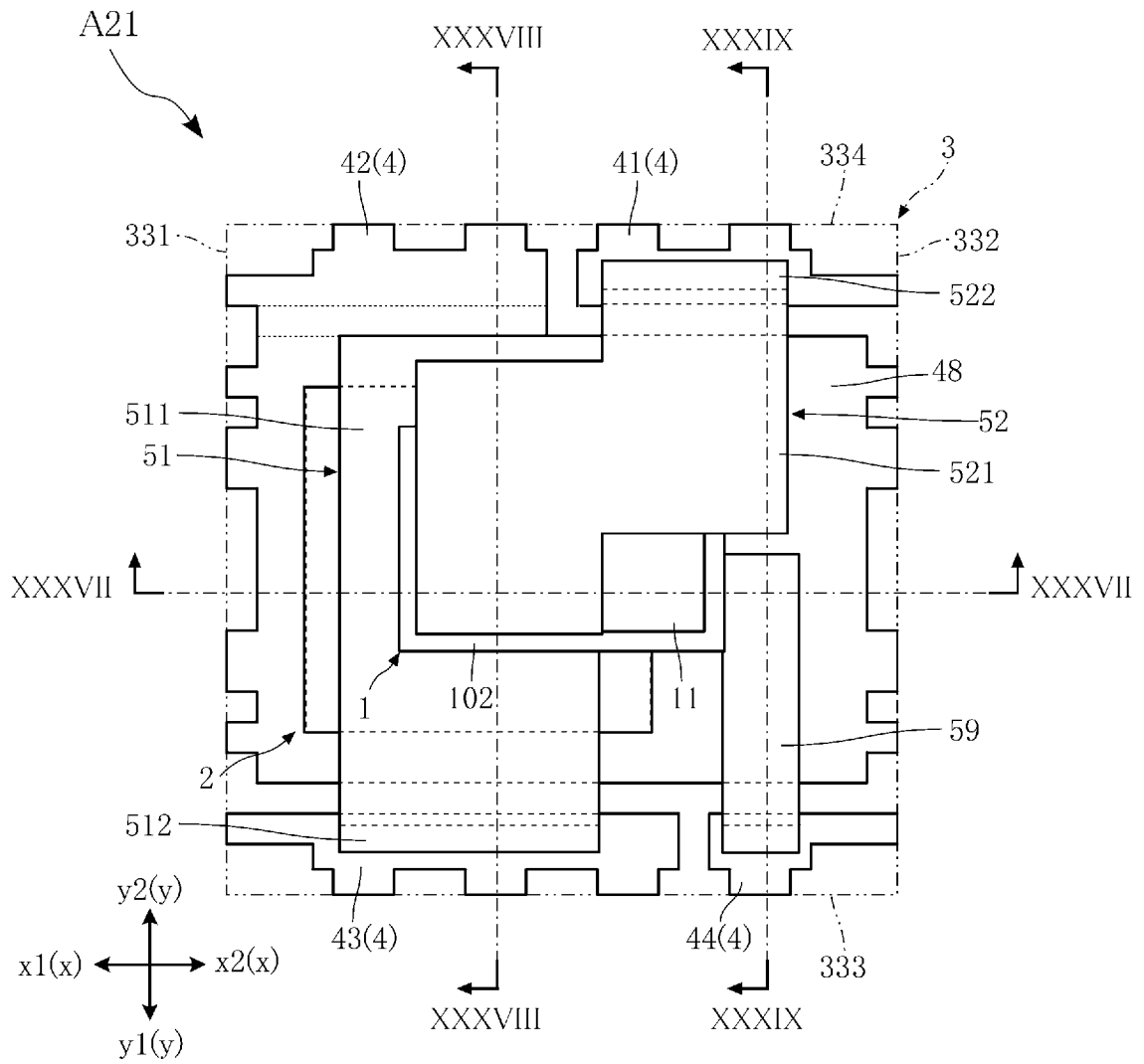



[31]
FIG.31

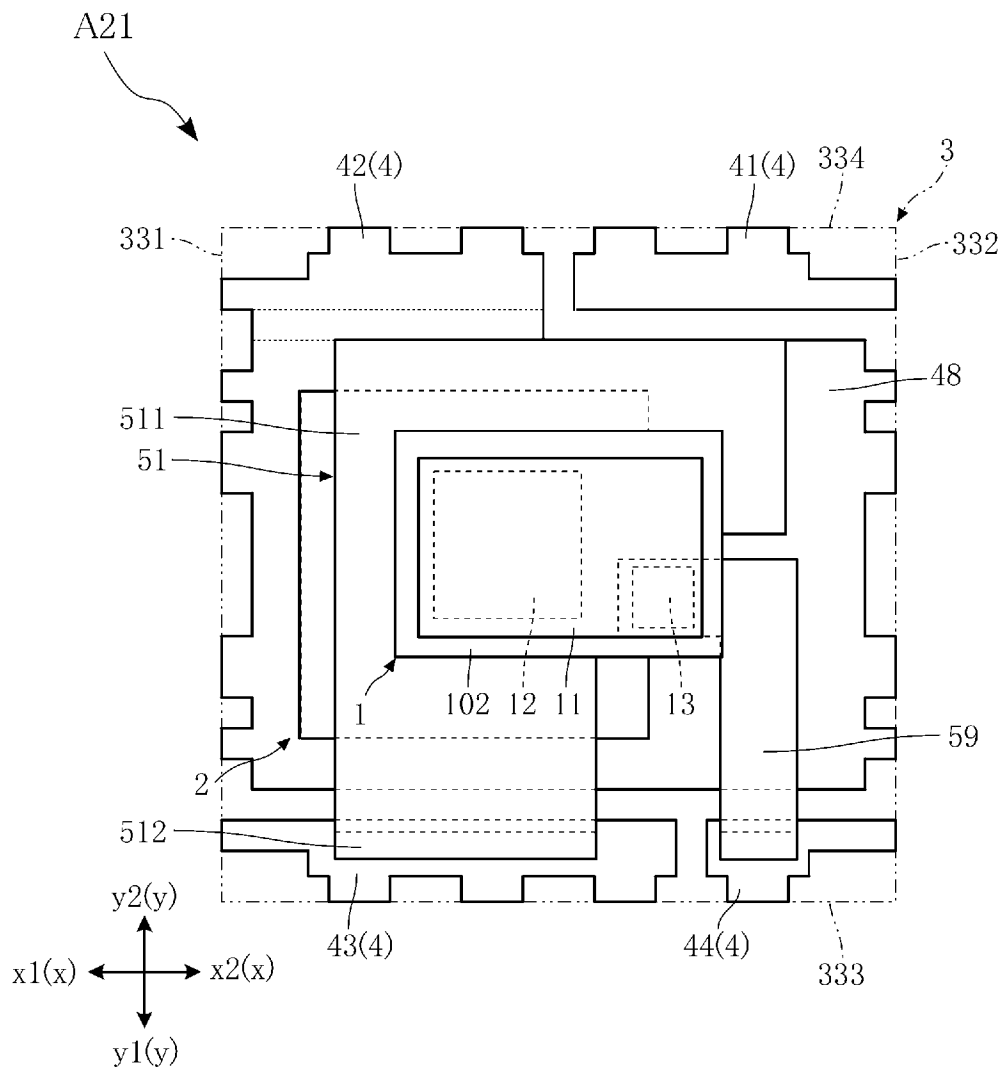



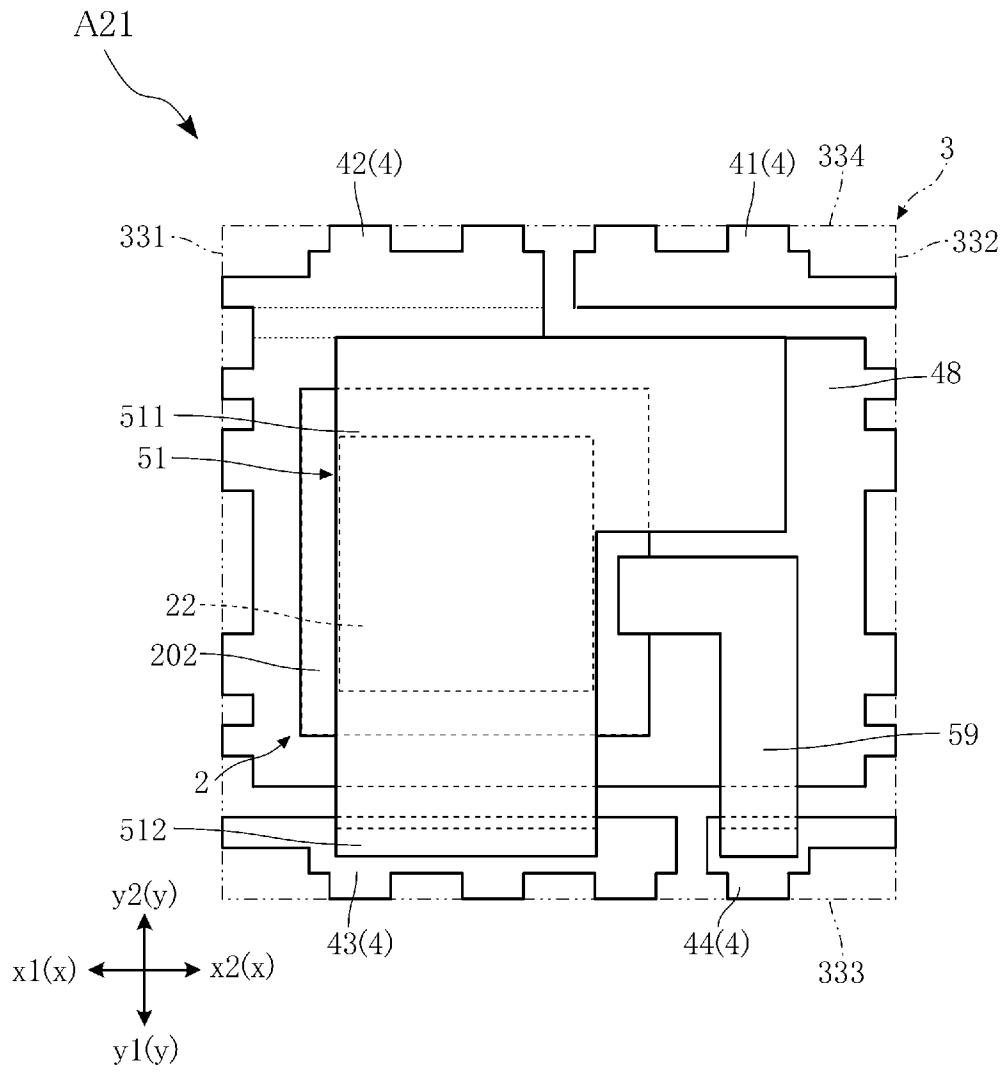
[]32]
FIG.32


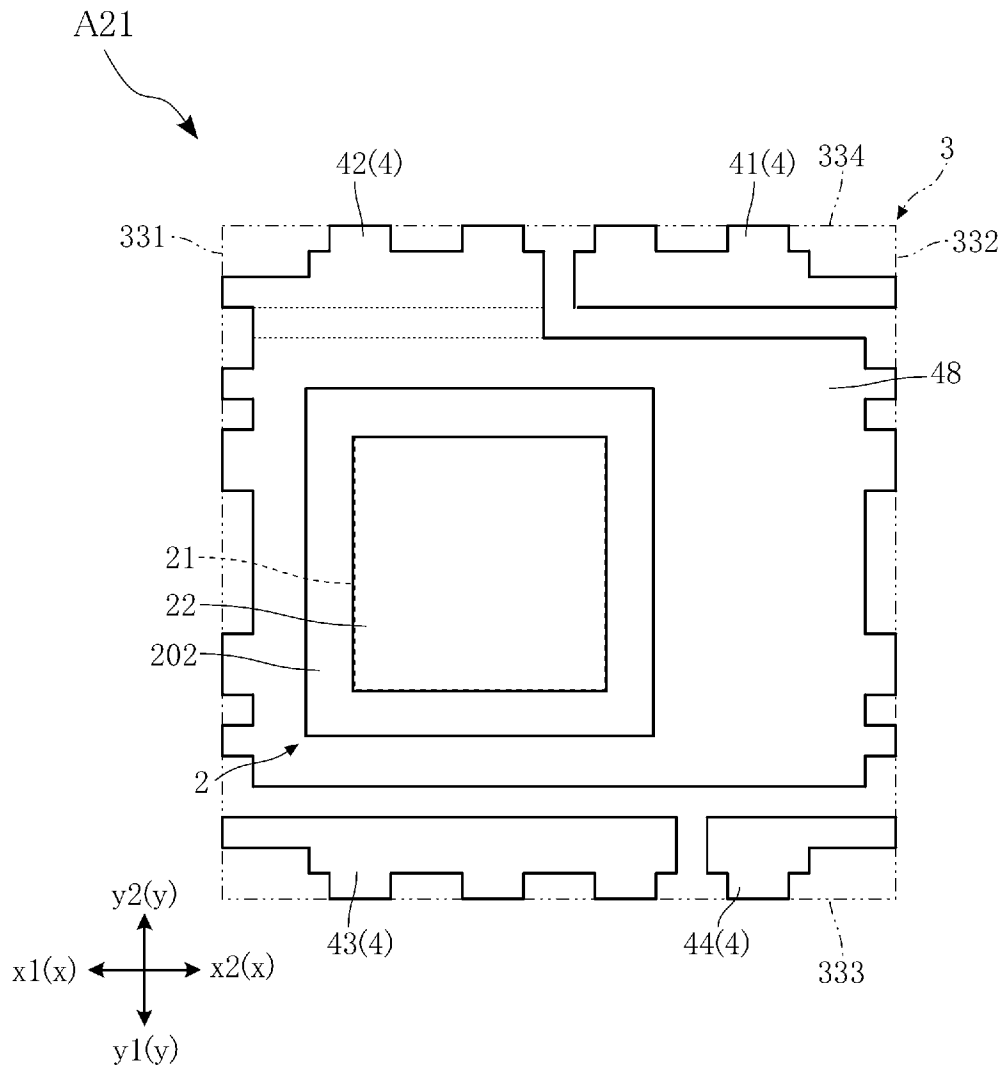
[33]
FIG.33


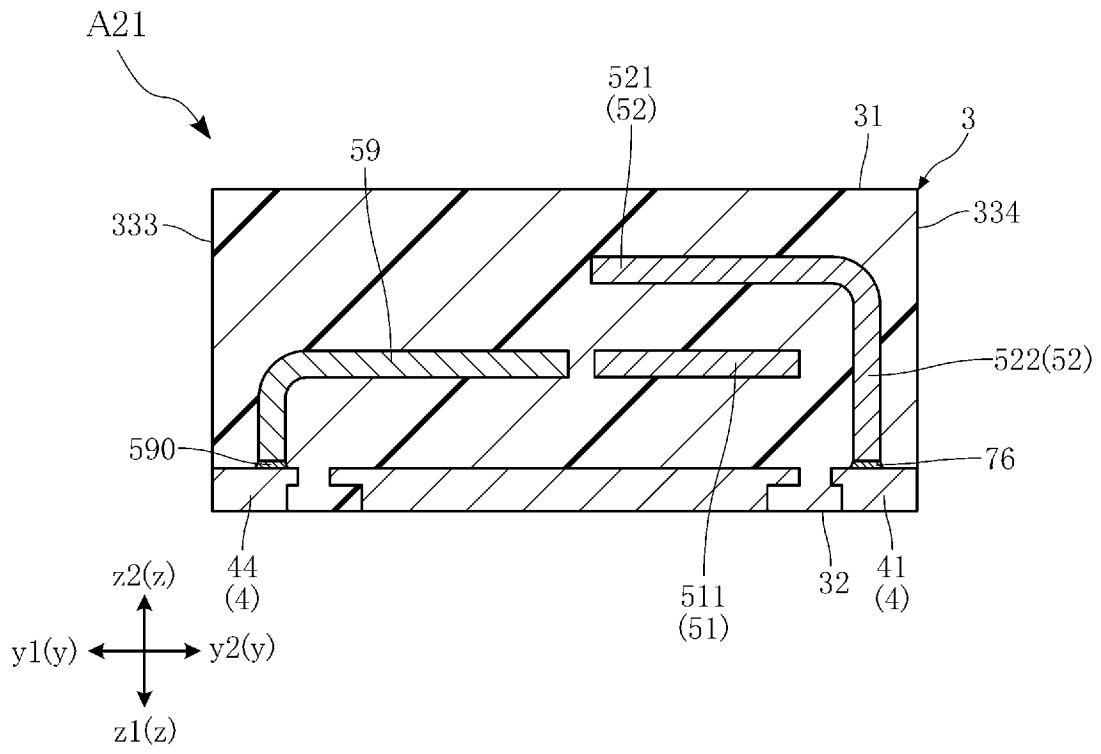



[34]
FIG.34

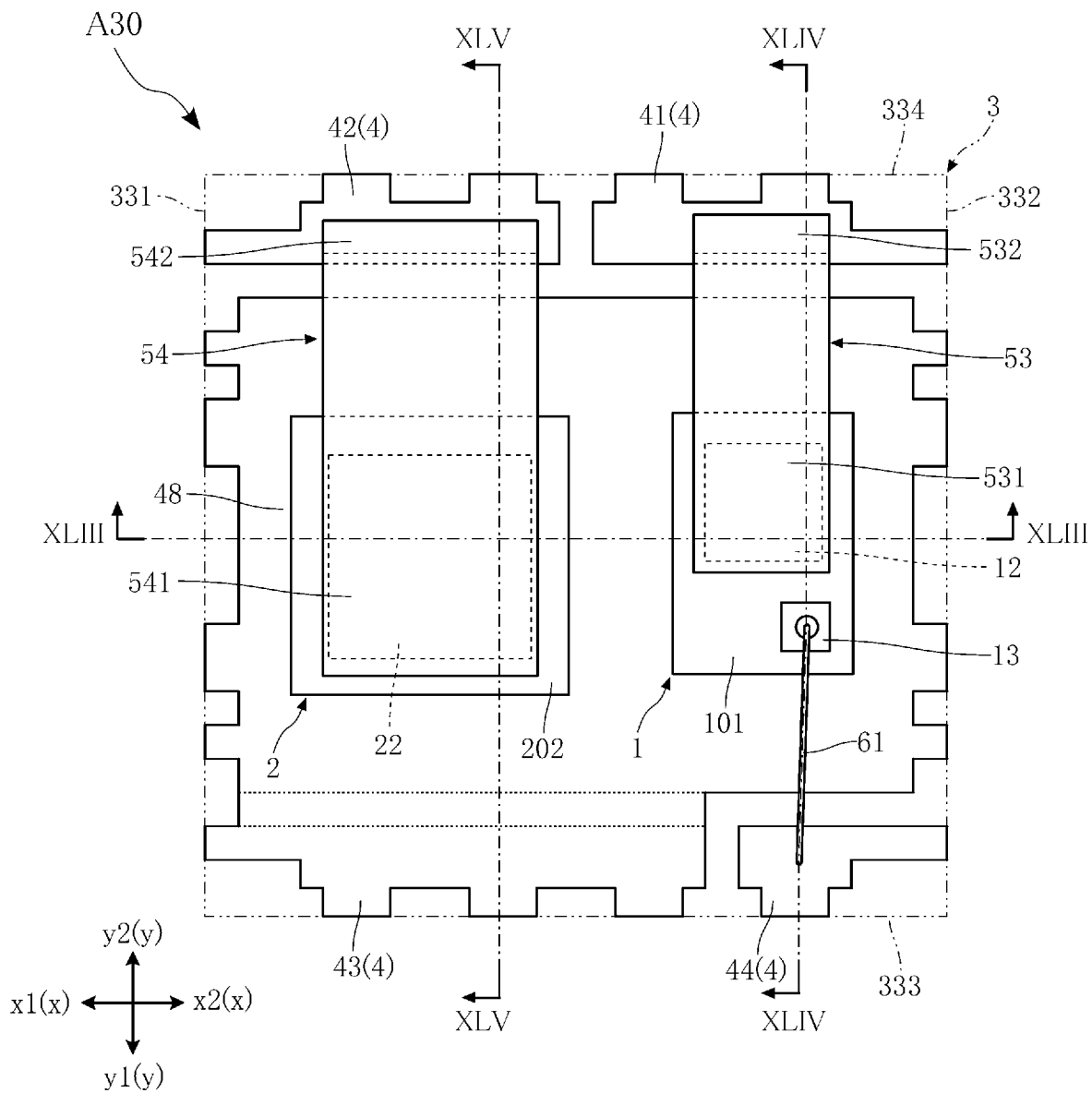


[]35
FIG.35

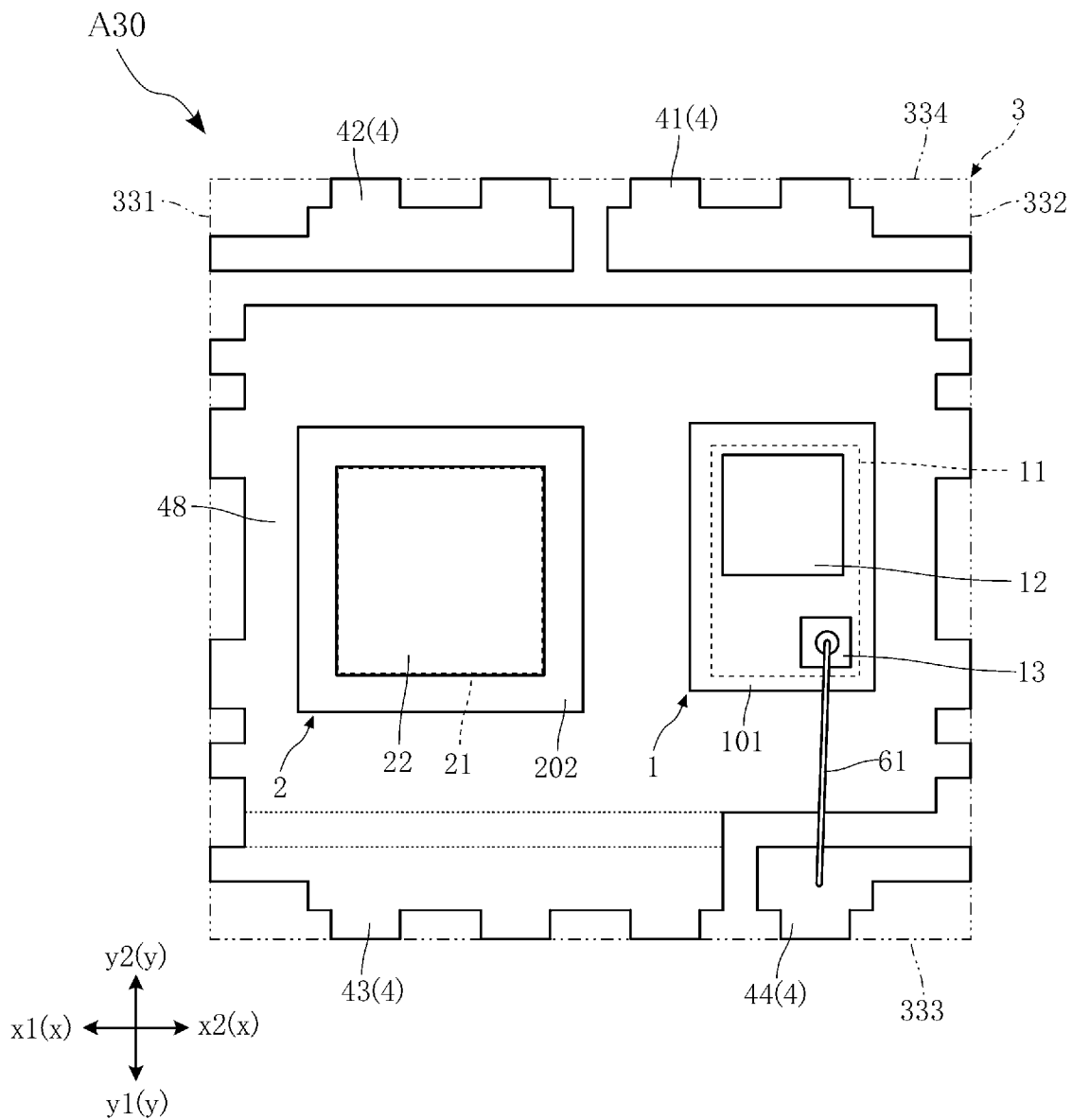
[36]
FIG.36

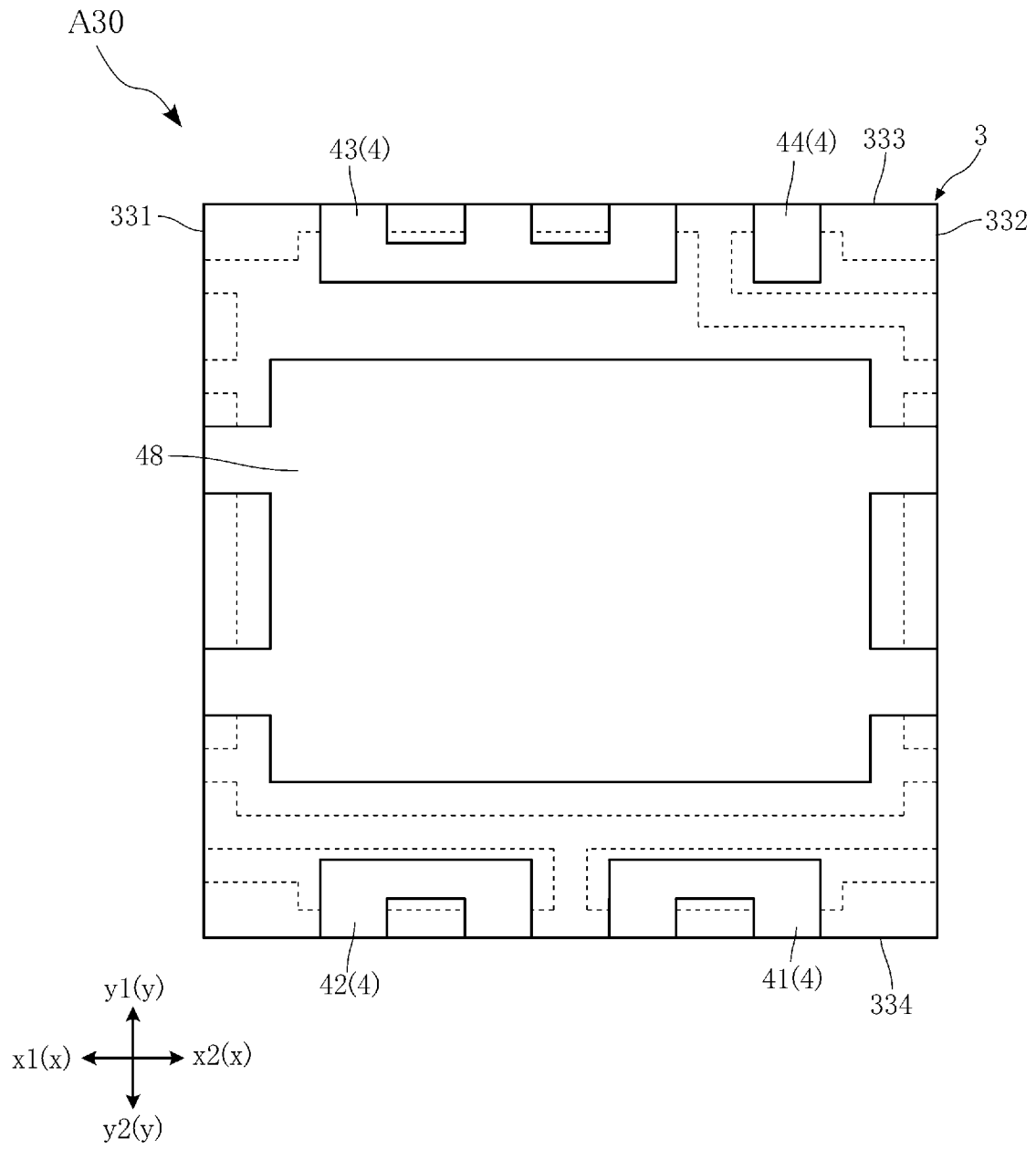
[]39]
FIG.39


[]40
FIG.40

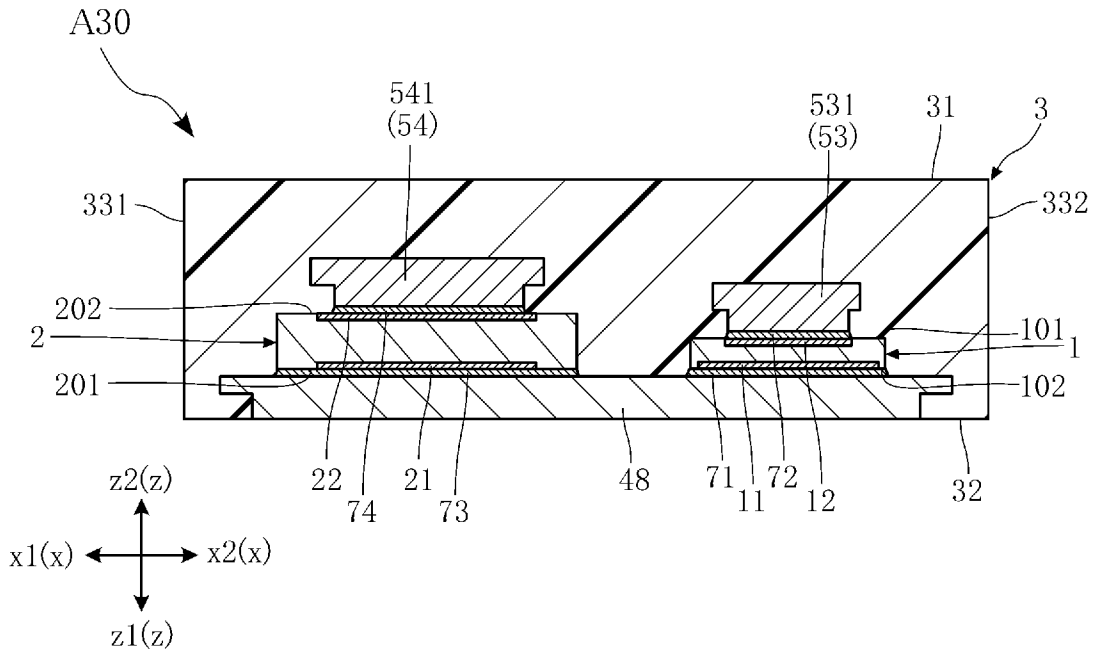


[41]
FIG.41

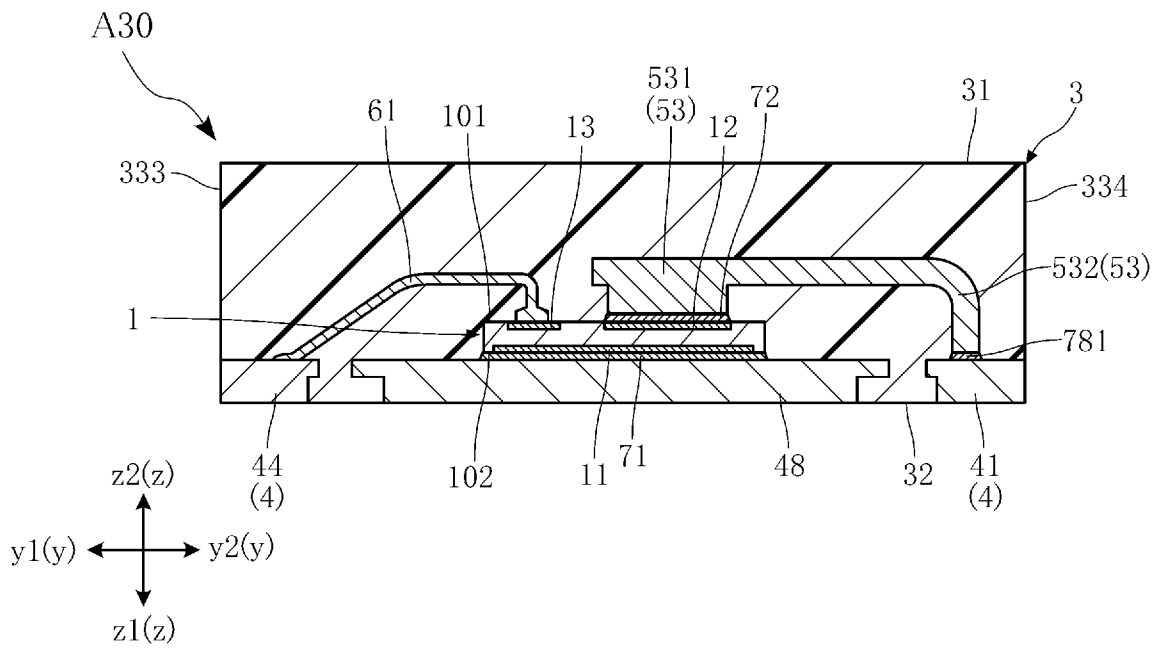


[図42]
FIG.42

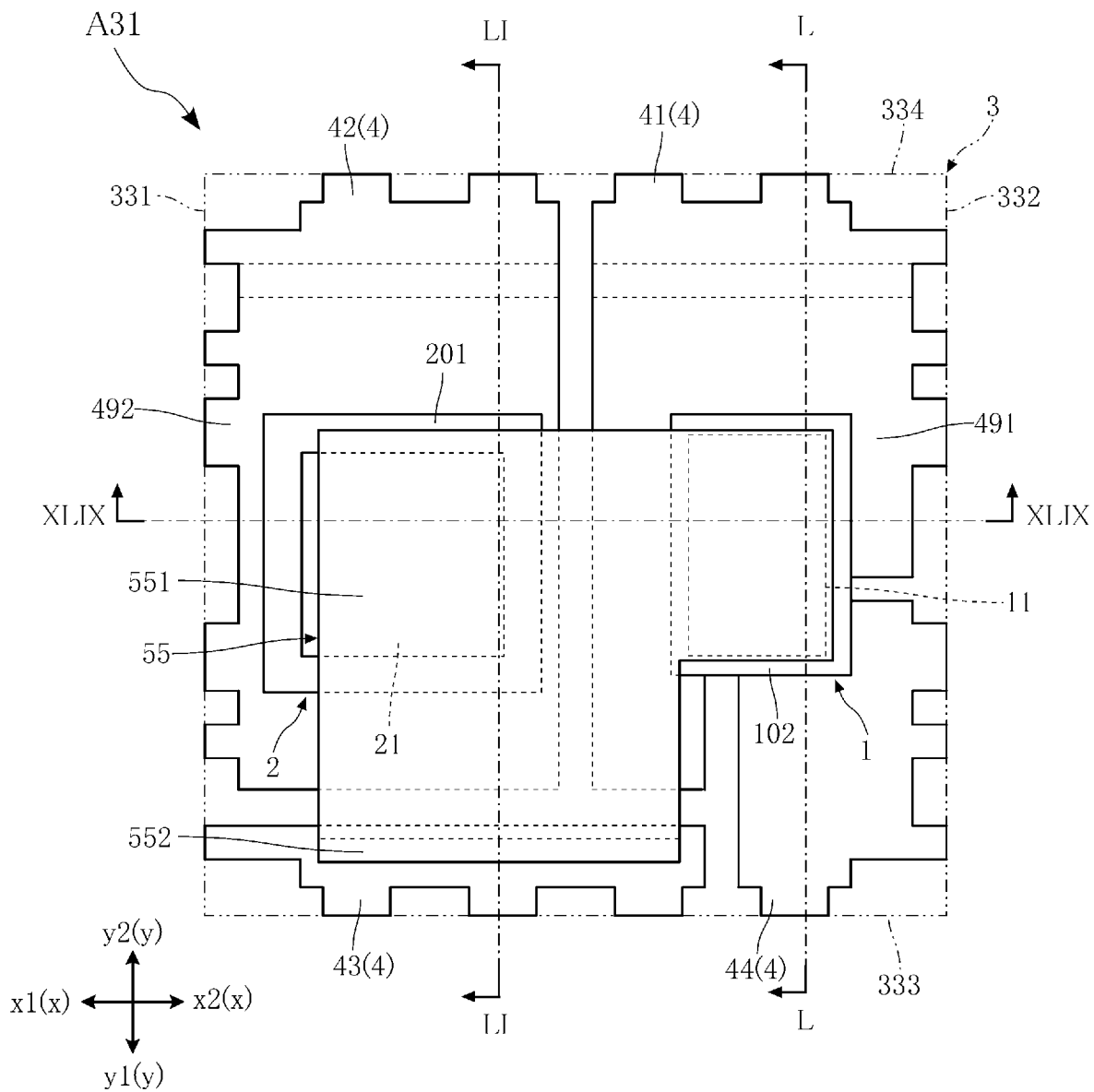
[]43]
FIG.43

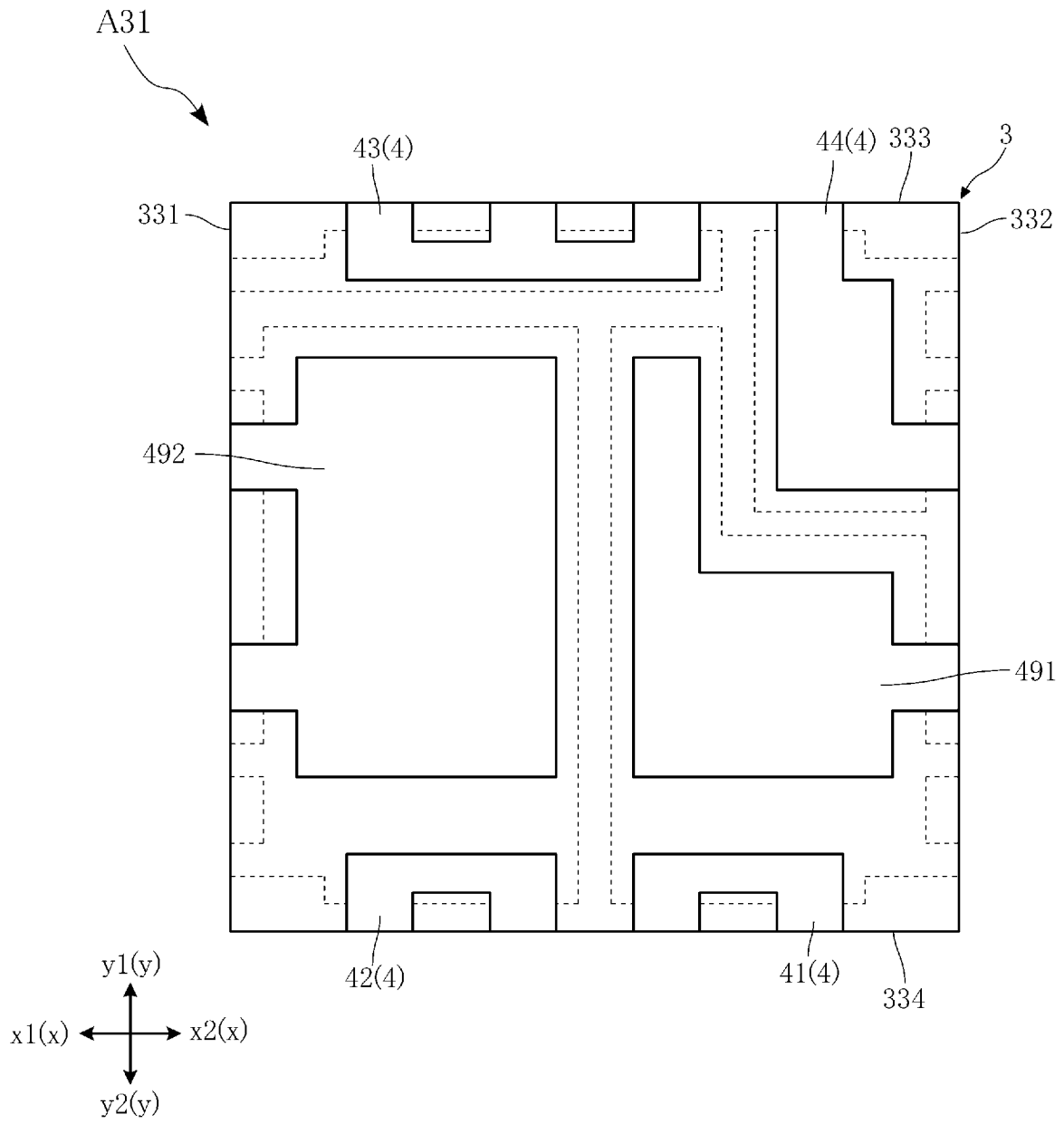



[]44]
FIG.44

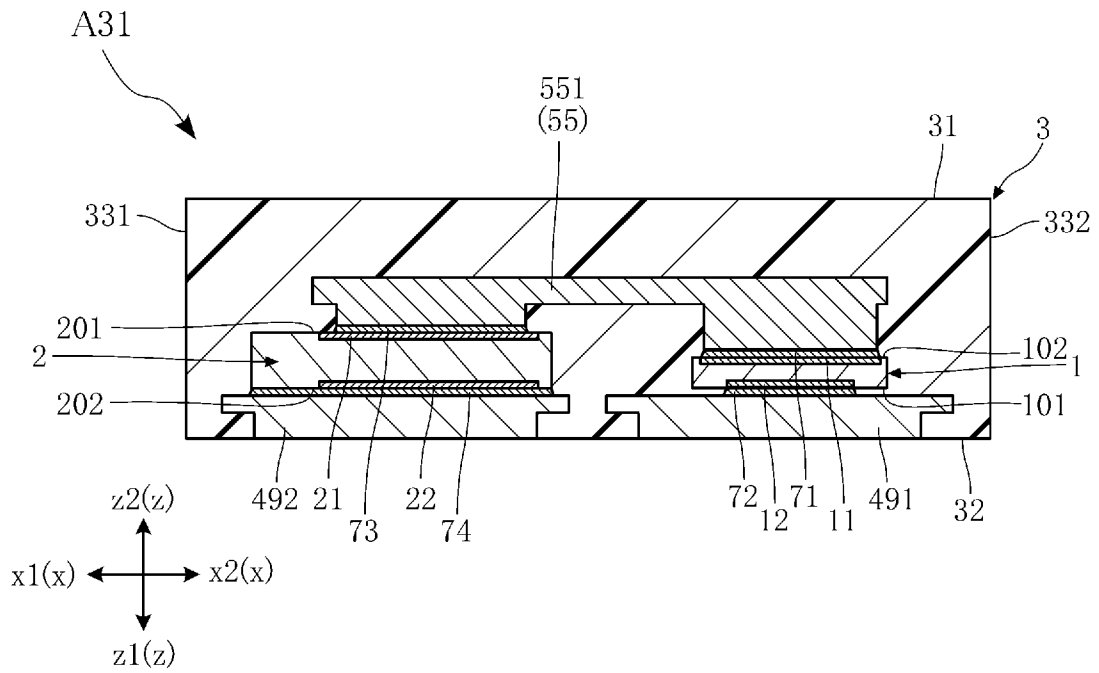



[46]
FIG.46

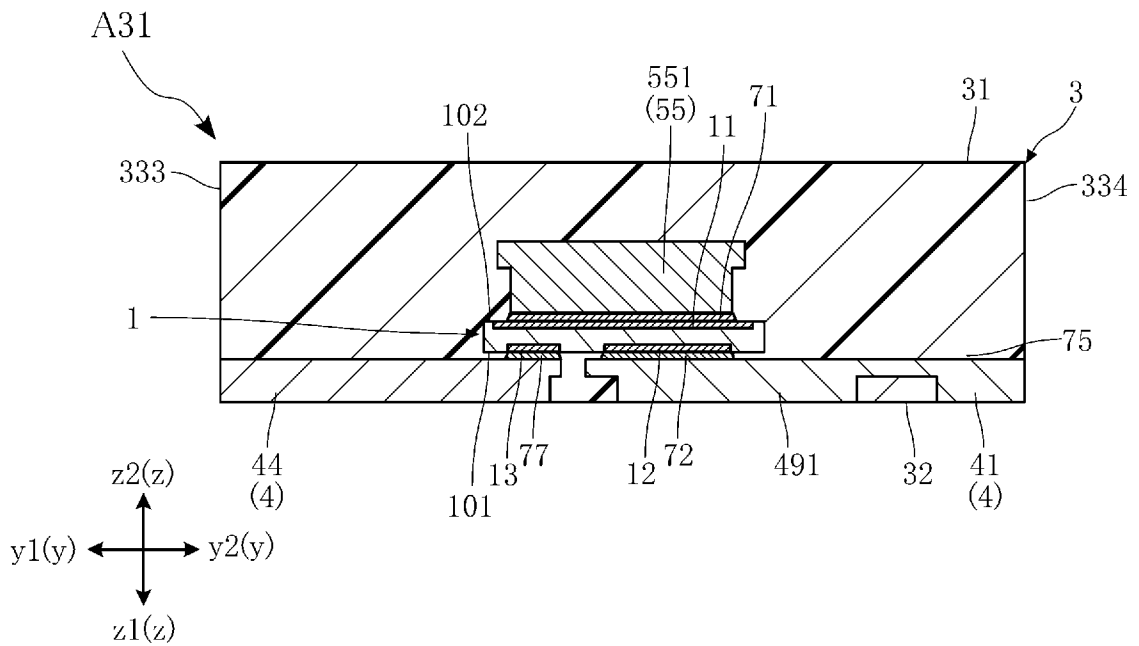


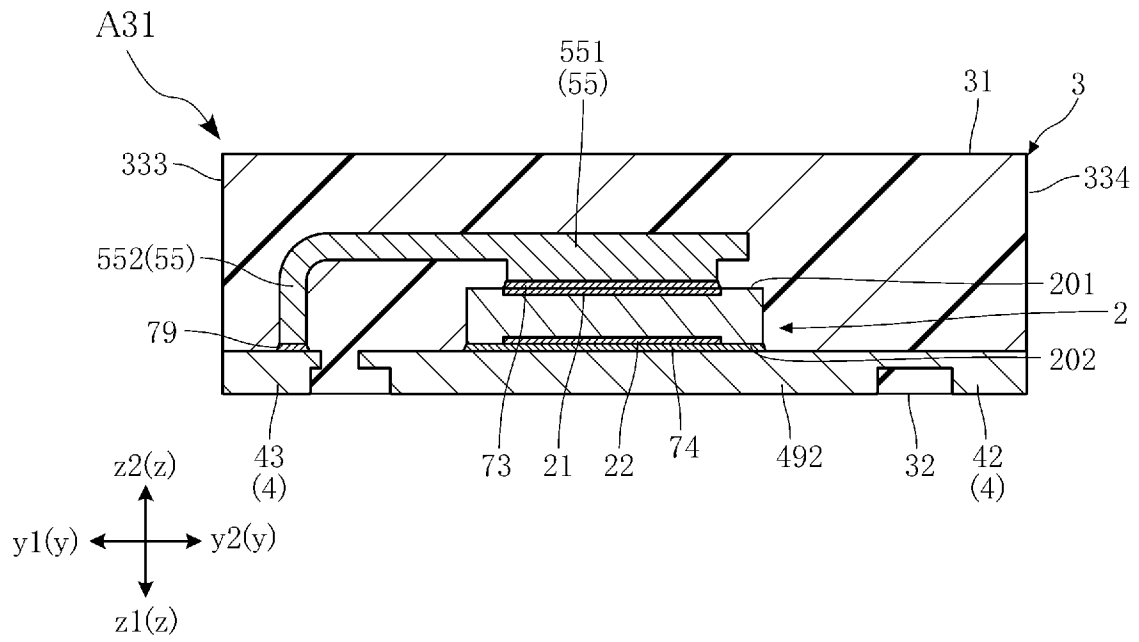
[48]
FIG.48


[49]
FIG.49

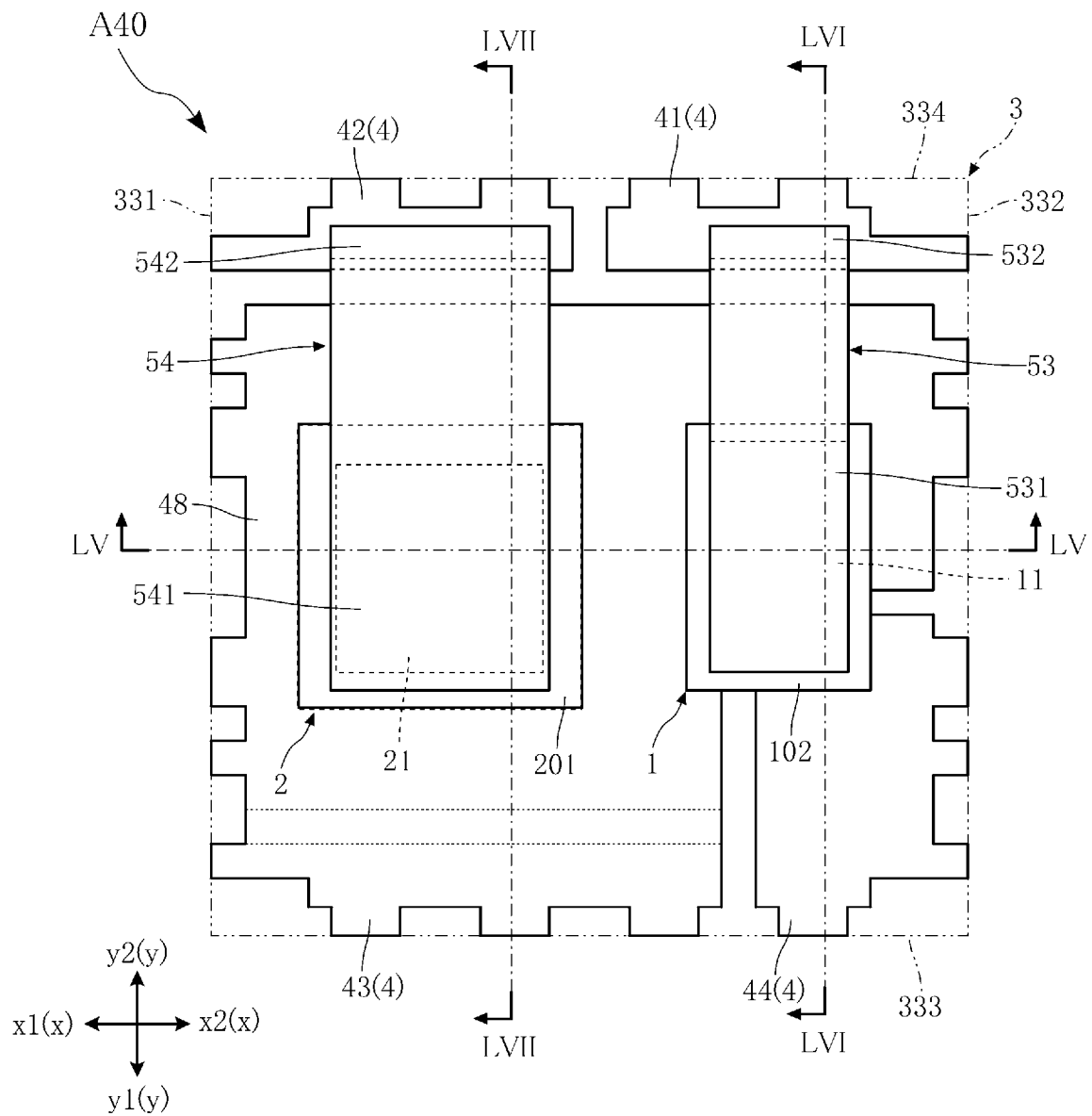



[50]
FIG.50

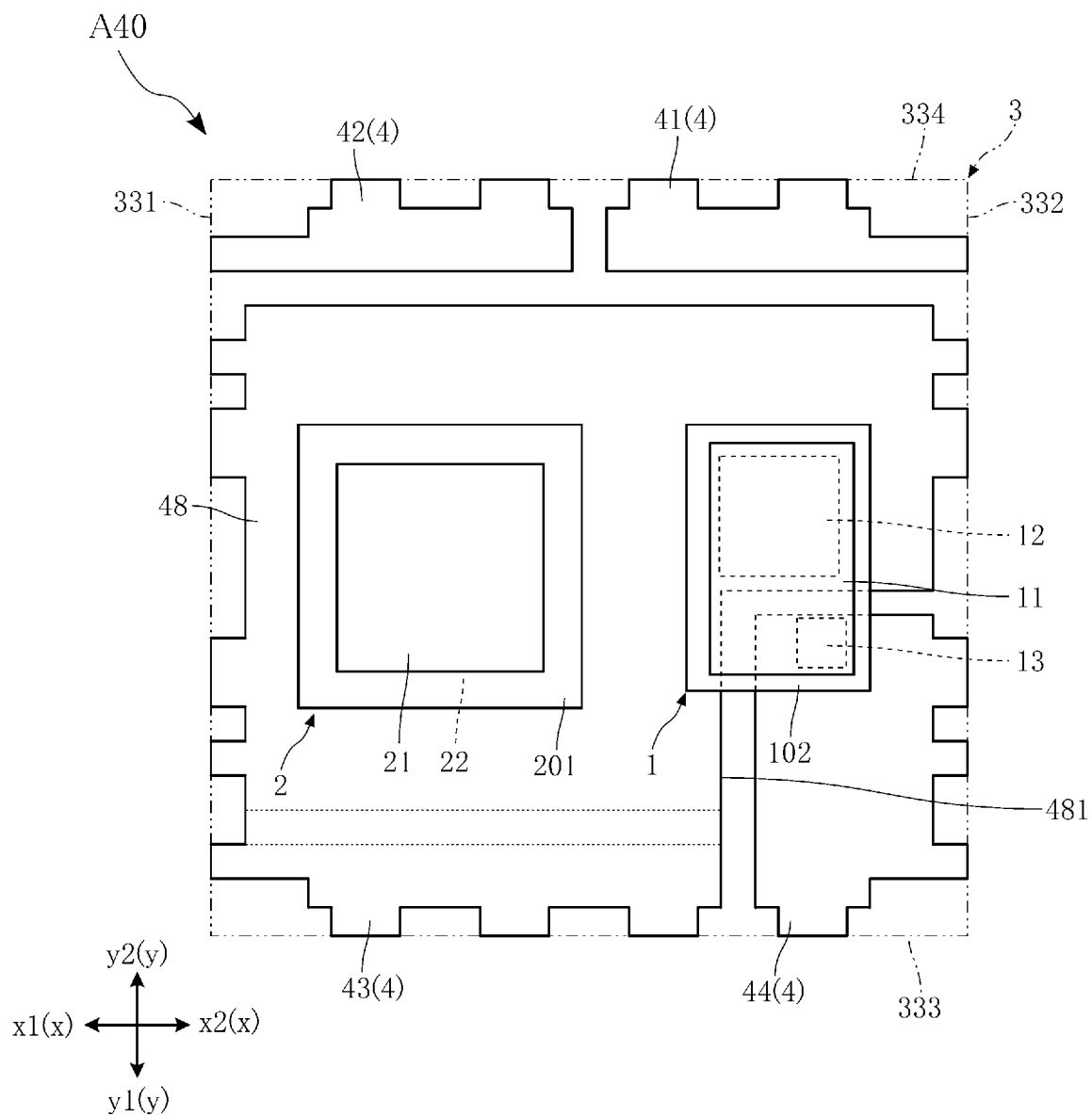



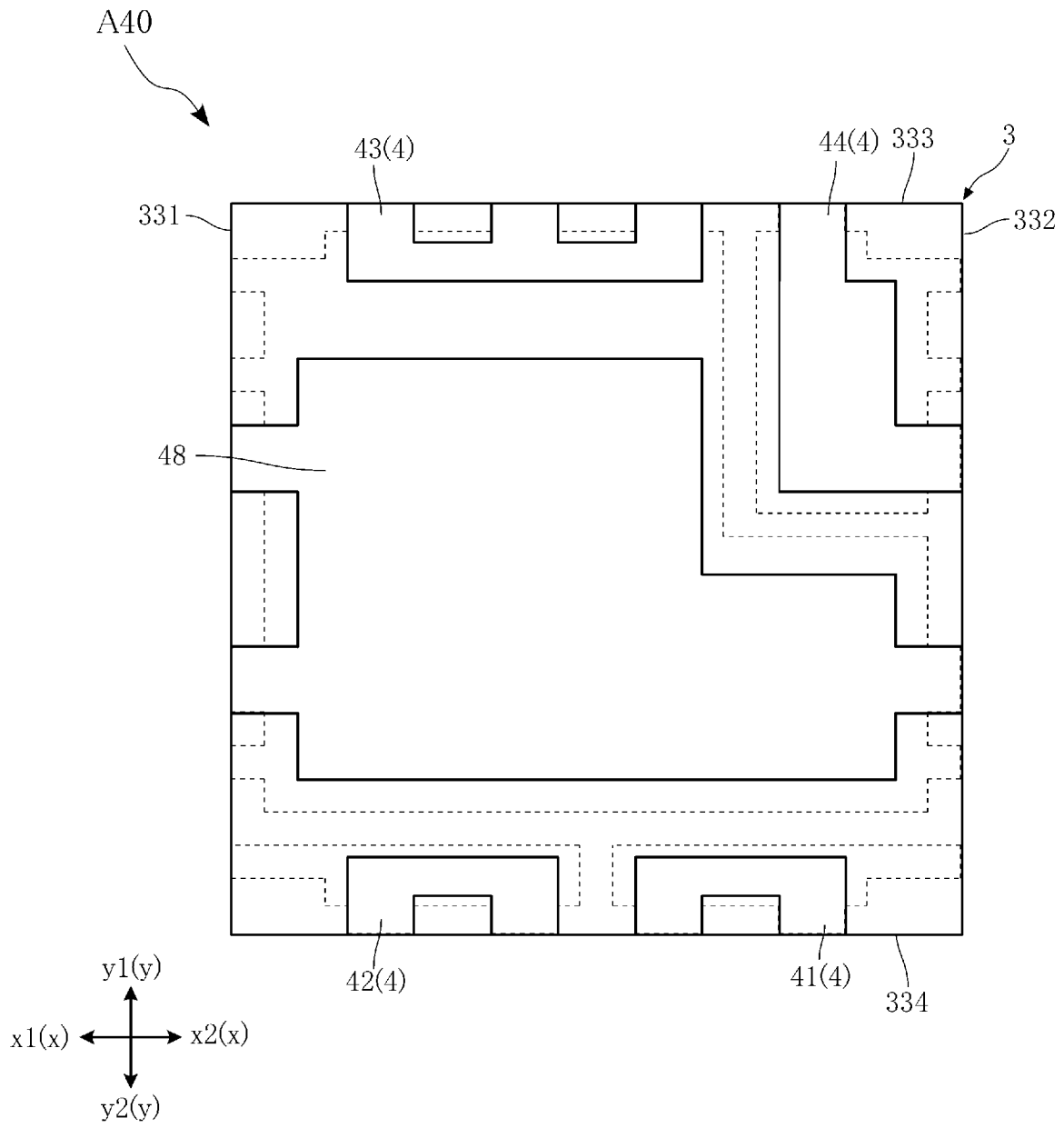
[図51]
FIG.51


[52]
FIG.52

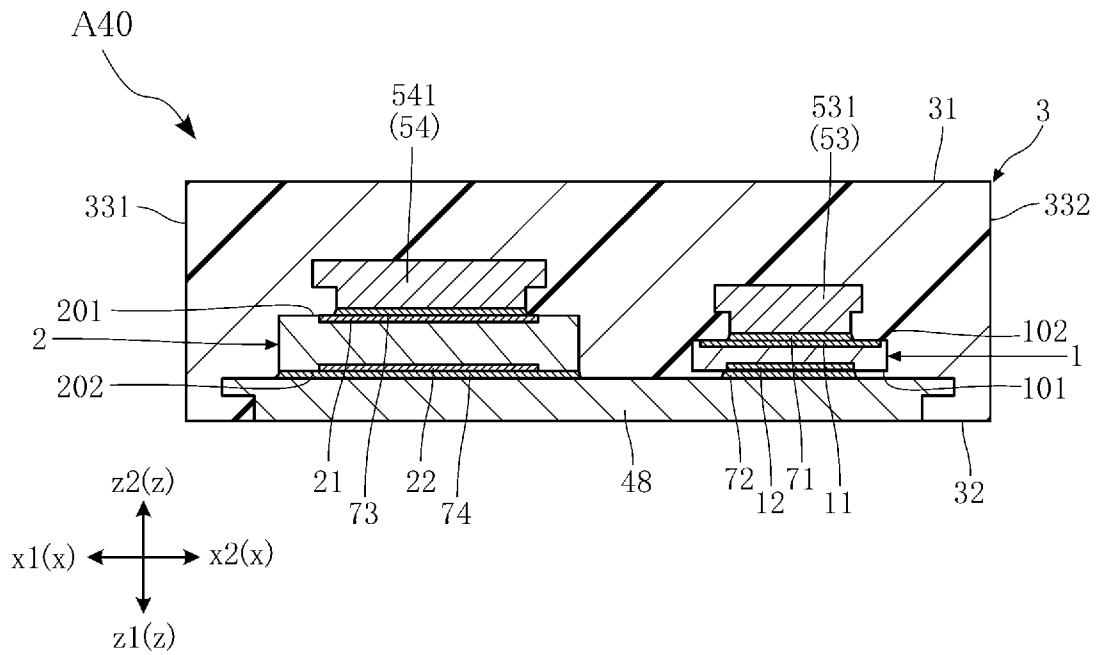



[53]
FIG.53

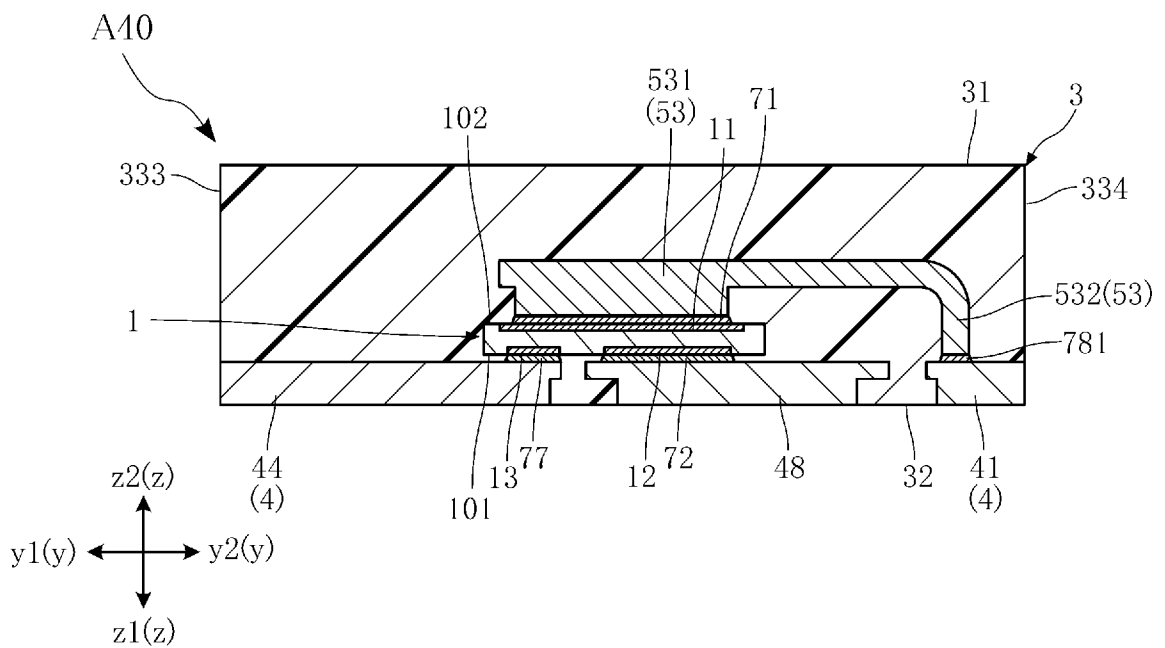



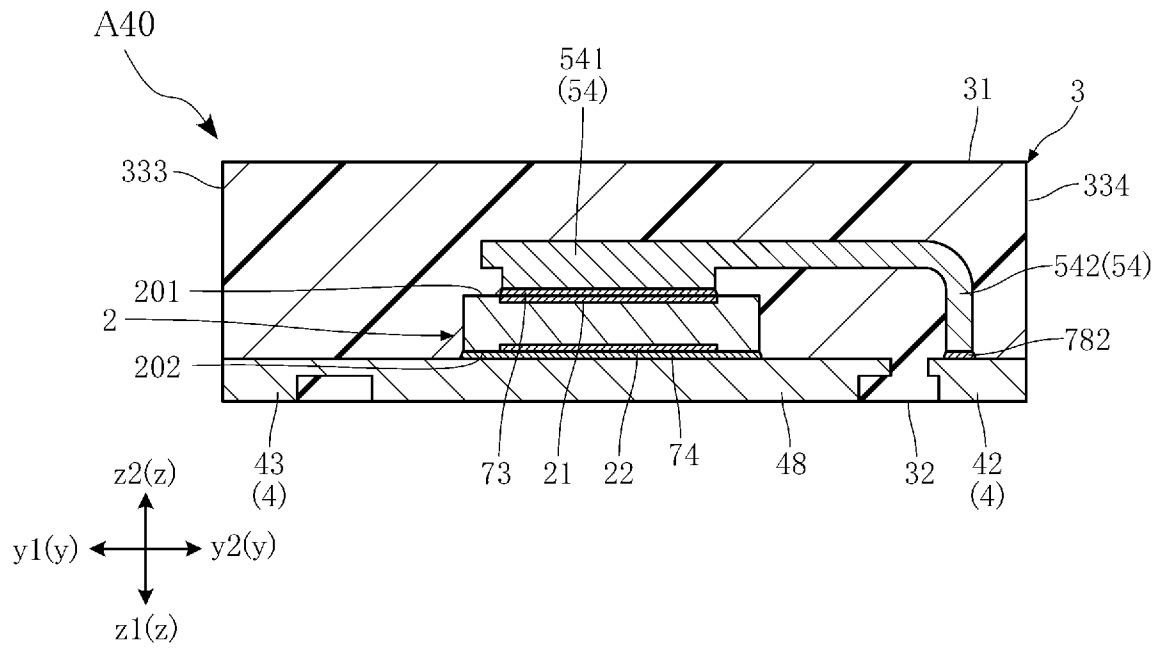
[54]
FIG.54


[55]
FIG.55

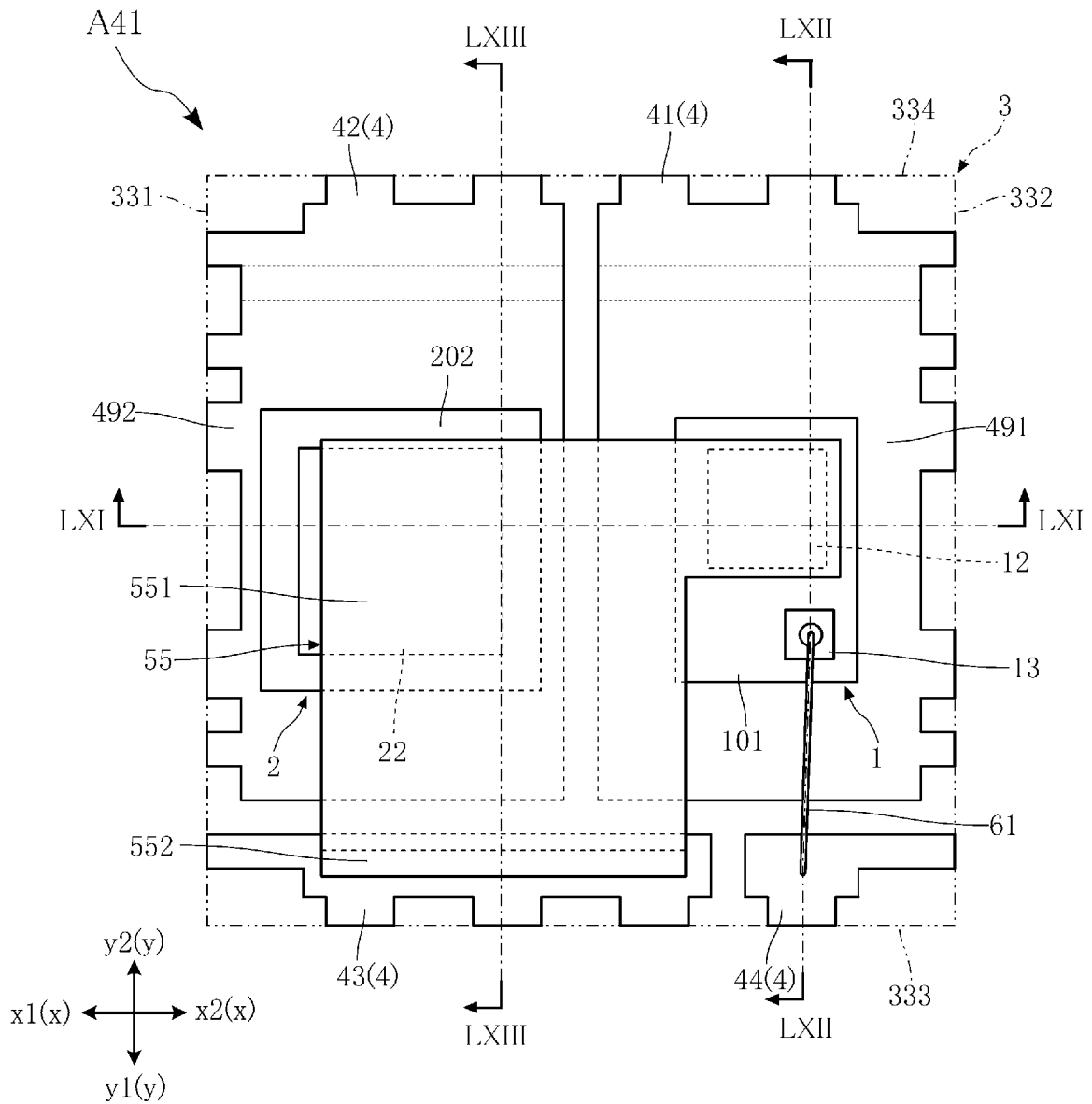



[56]
FIG.56

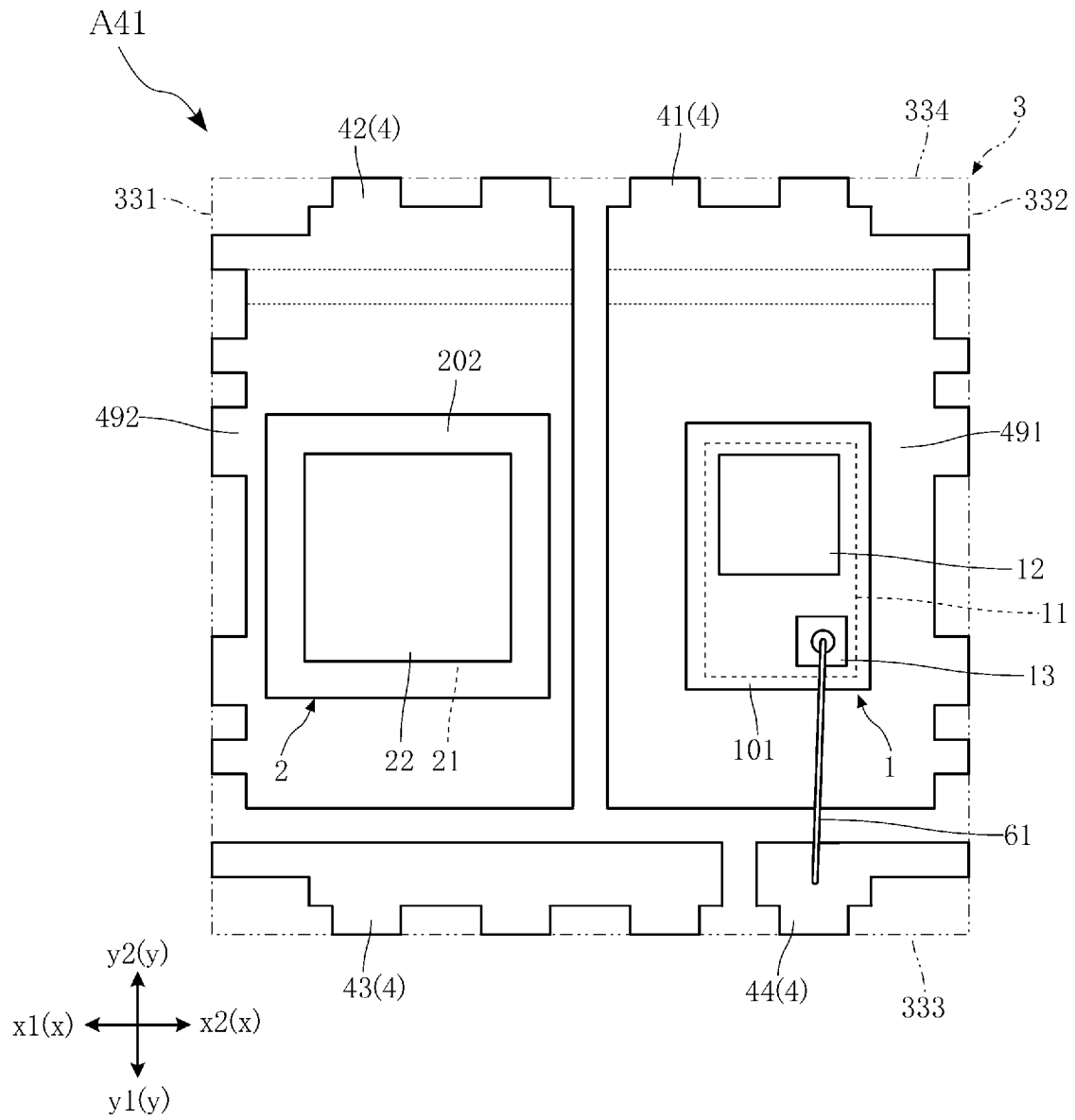


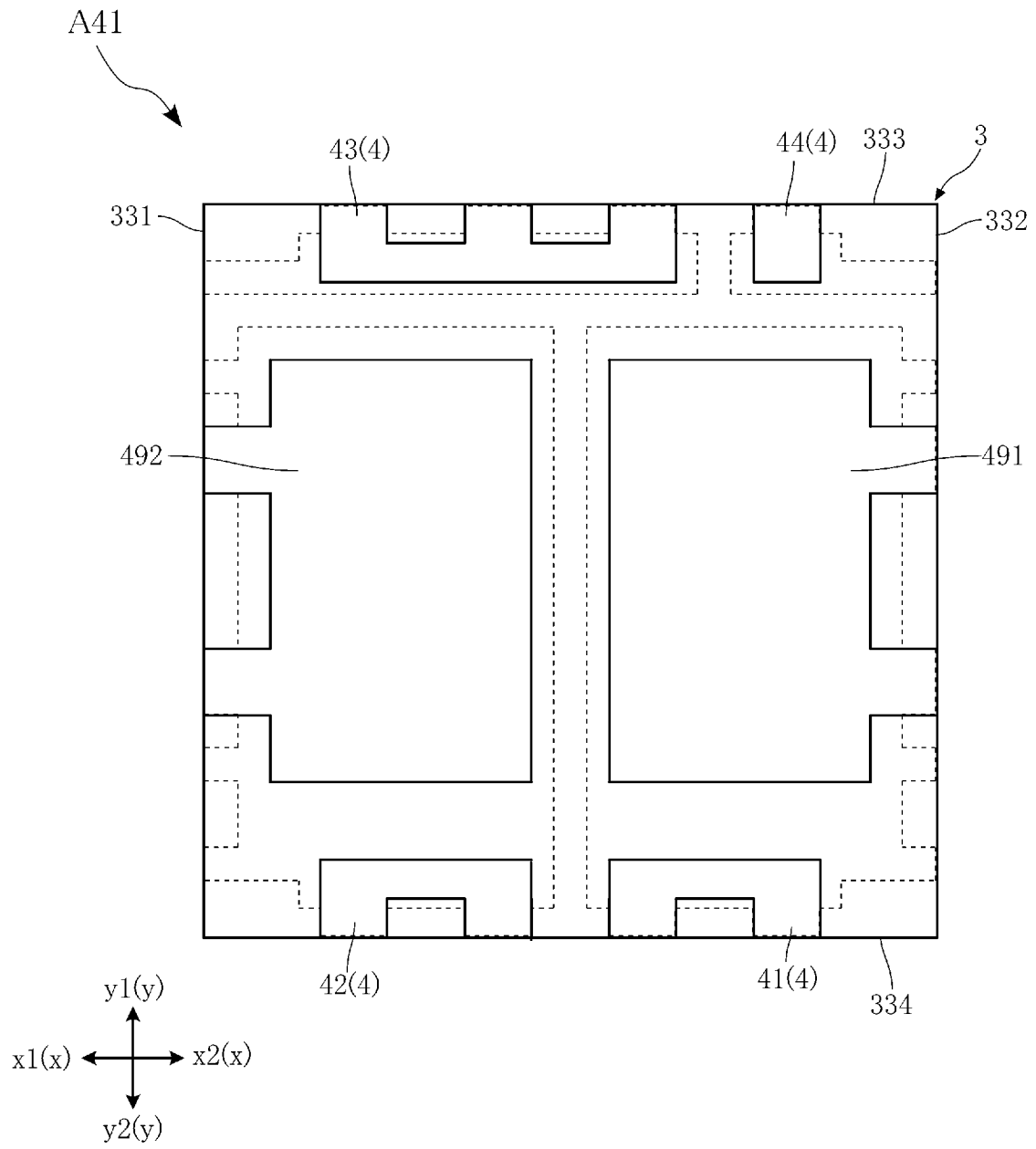
[57]
FIG.57


[58]
FIG.58

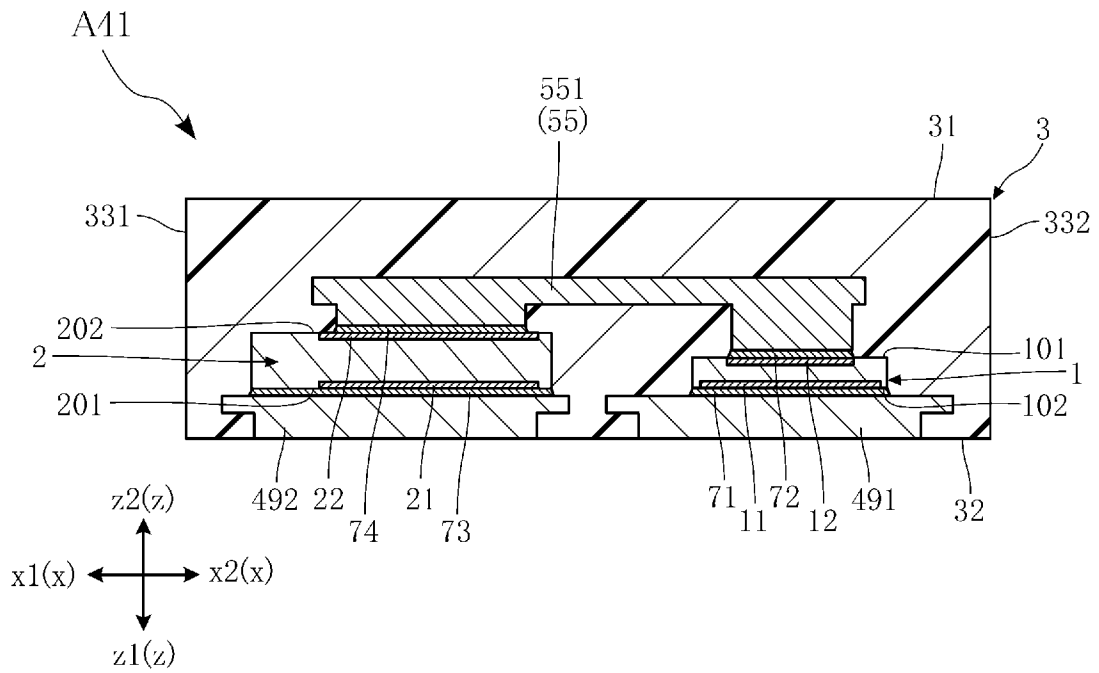



[59]
FIG.59

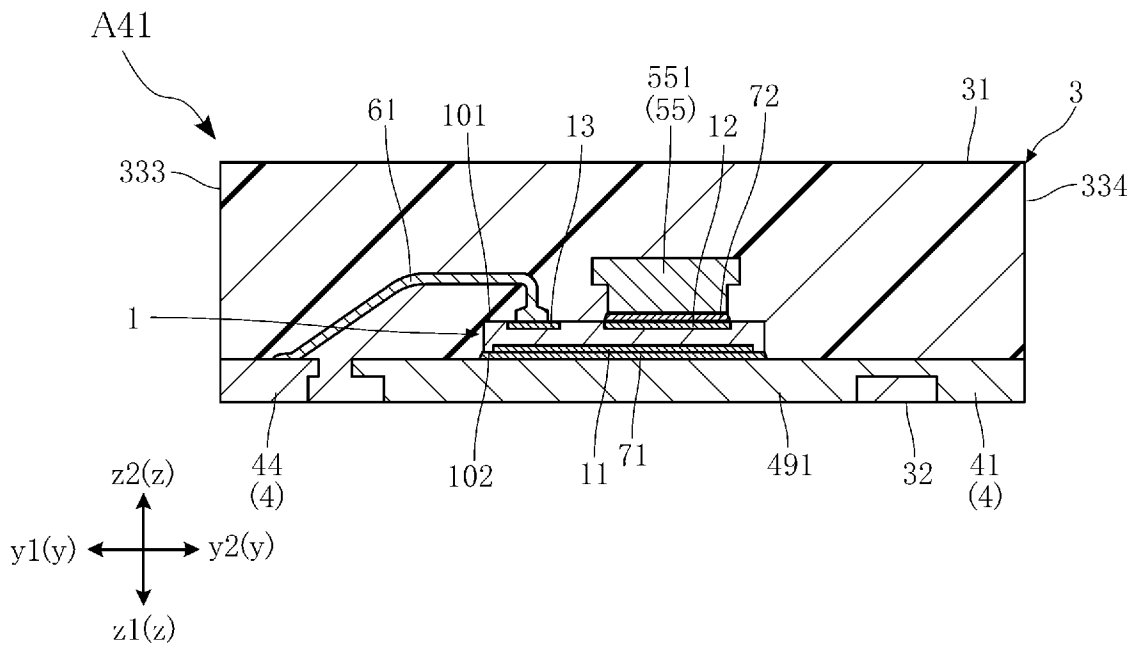



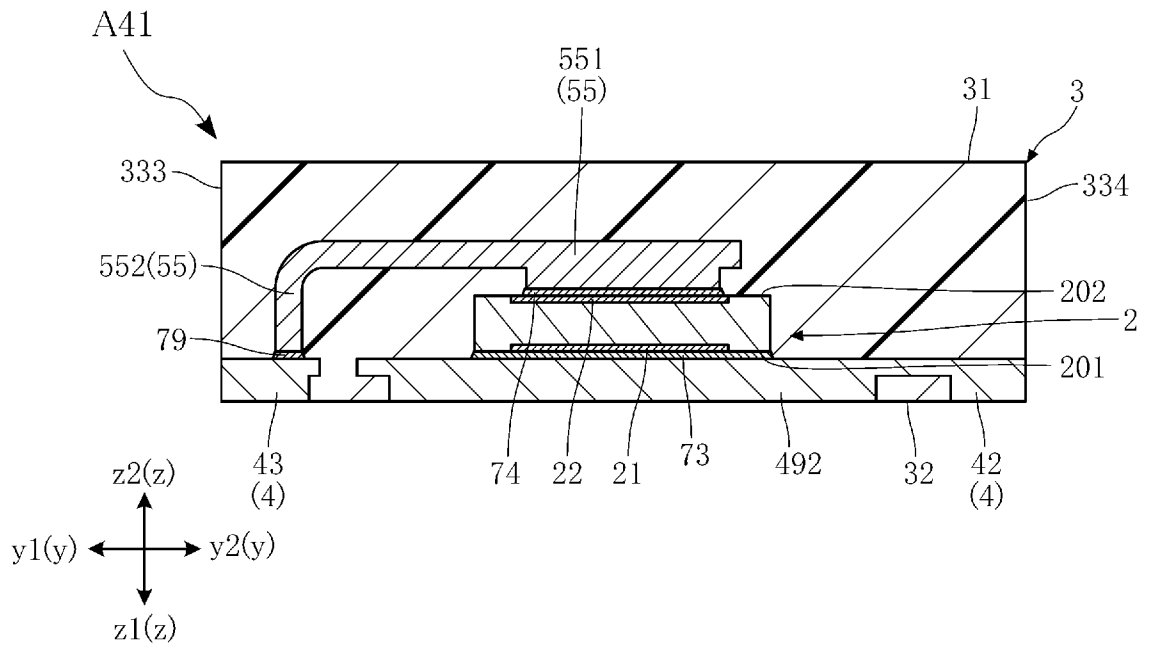
[
FIG. 60

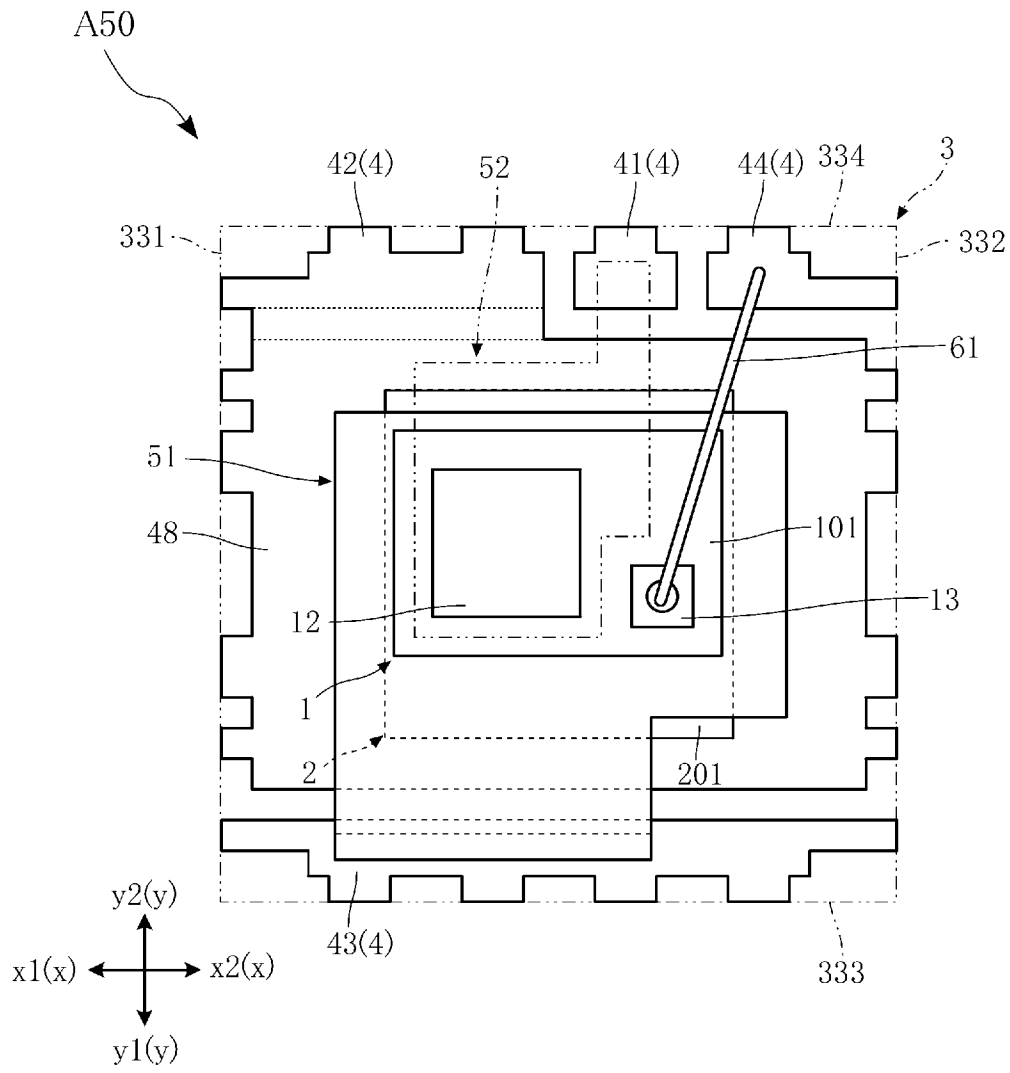
[61]
FIG.61

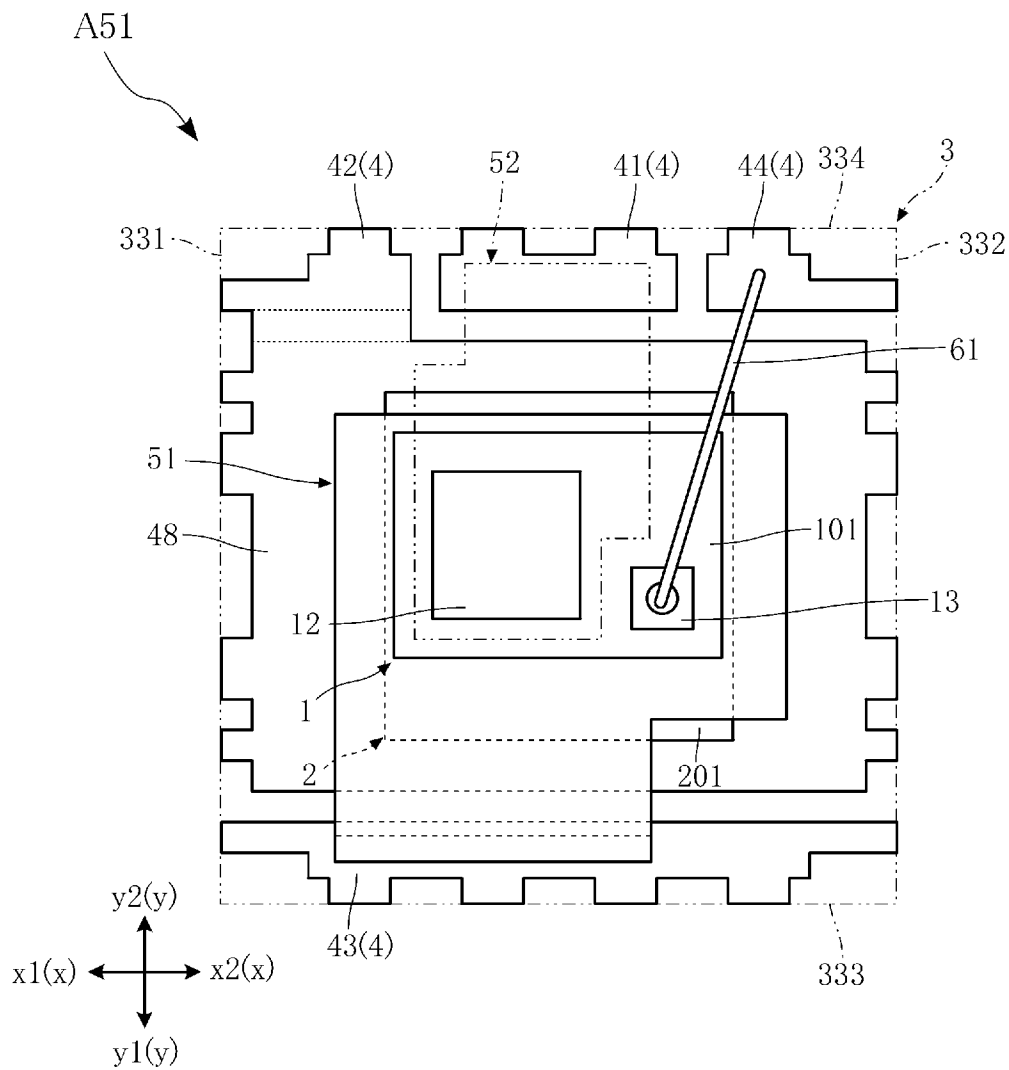



[62]
FIG.62

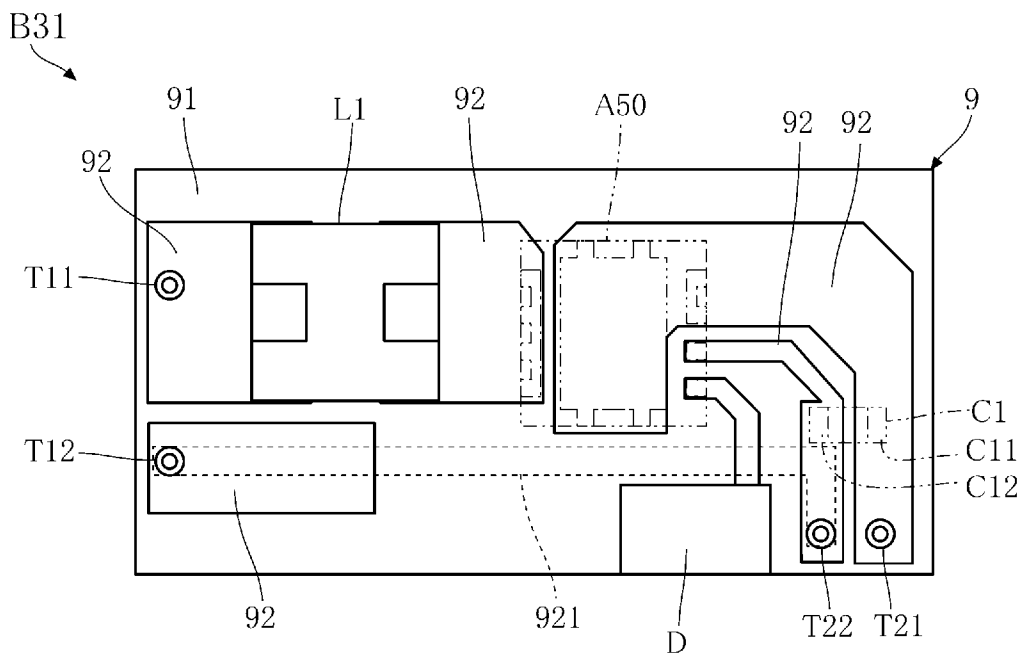



[63]
FIG.63

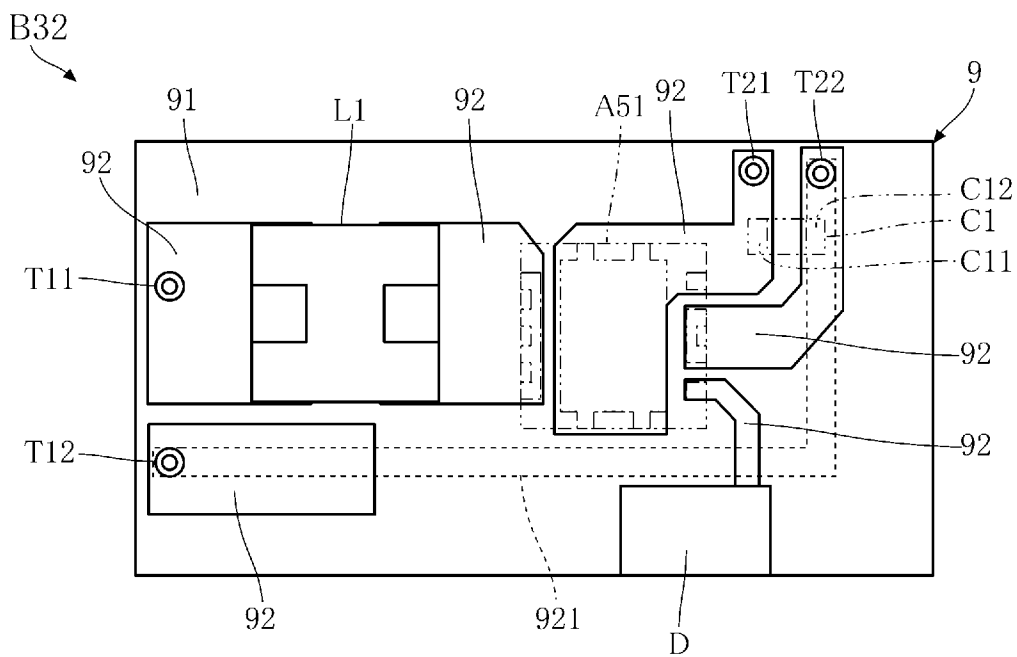
[図64]
FIG.64


[図65]
FIG.65

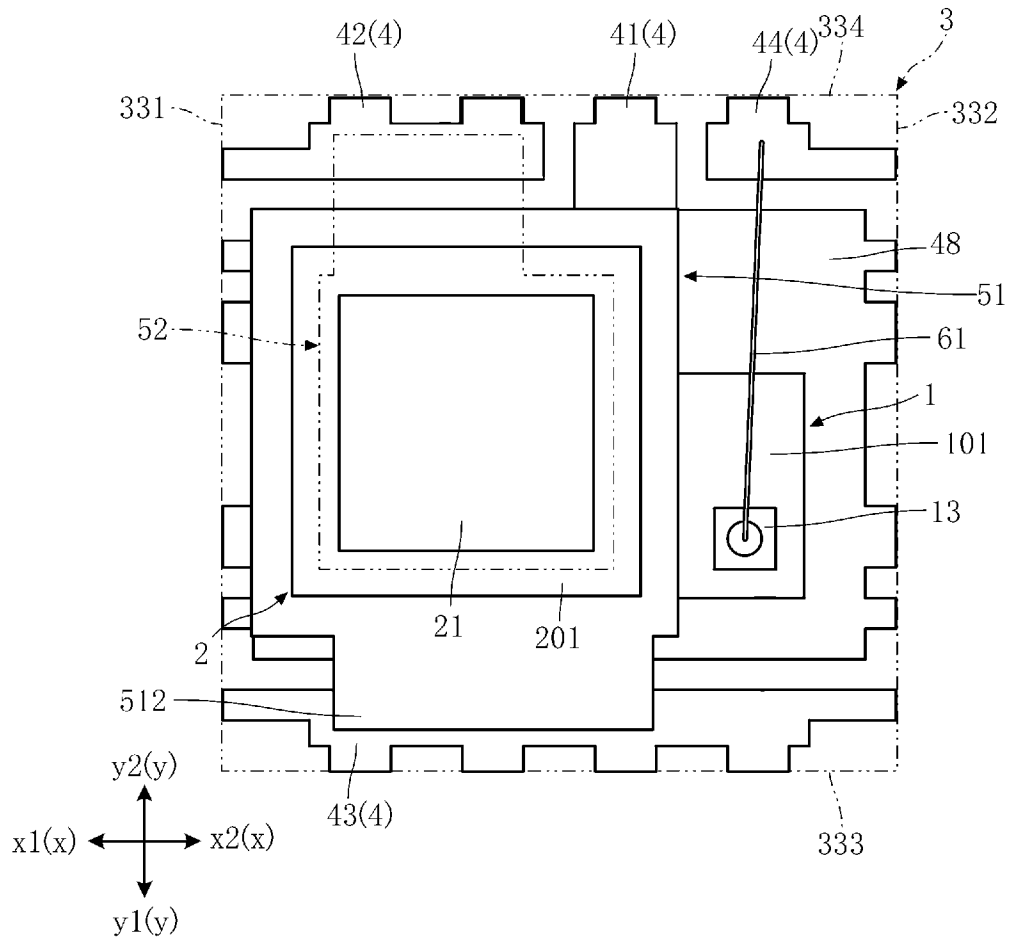
[66]
FIG.66




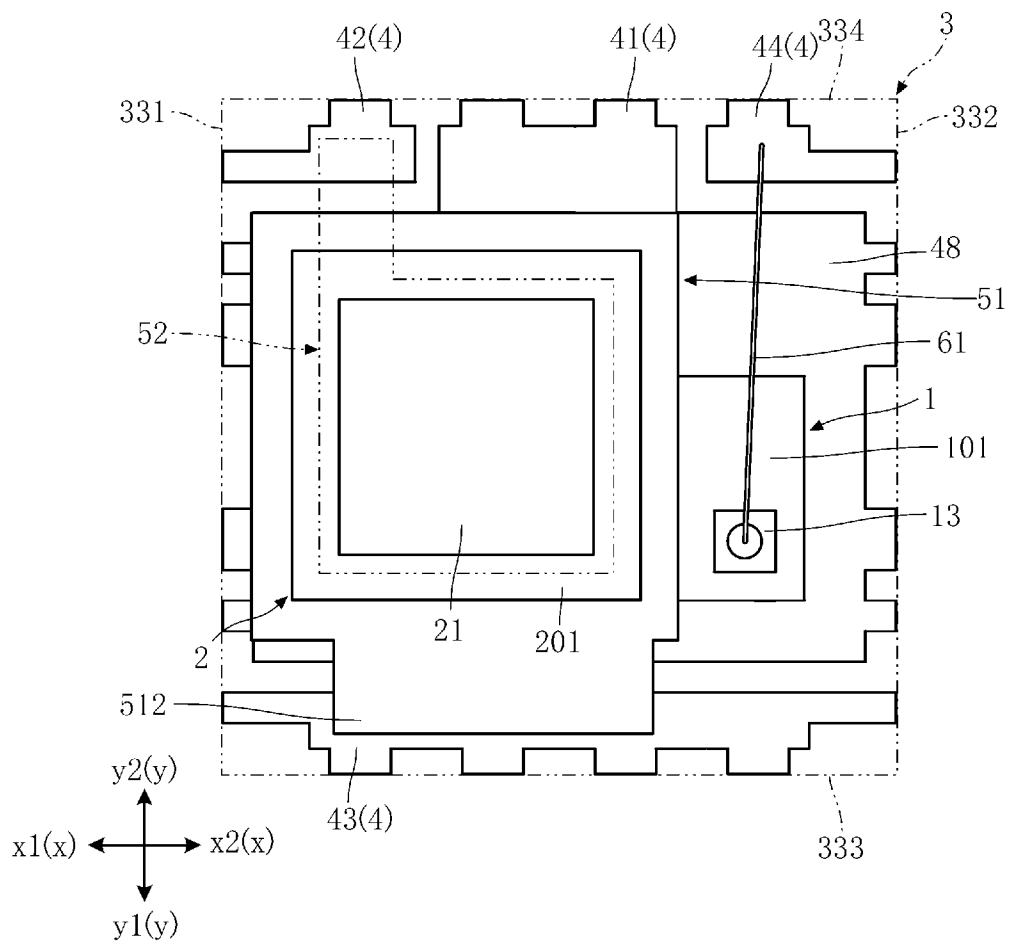
[67]
FIG.67


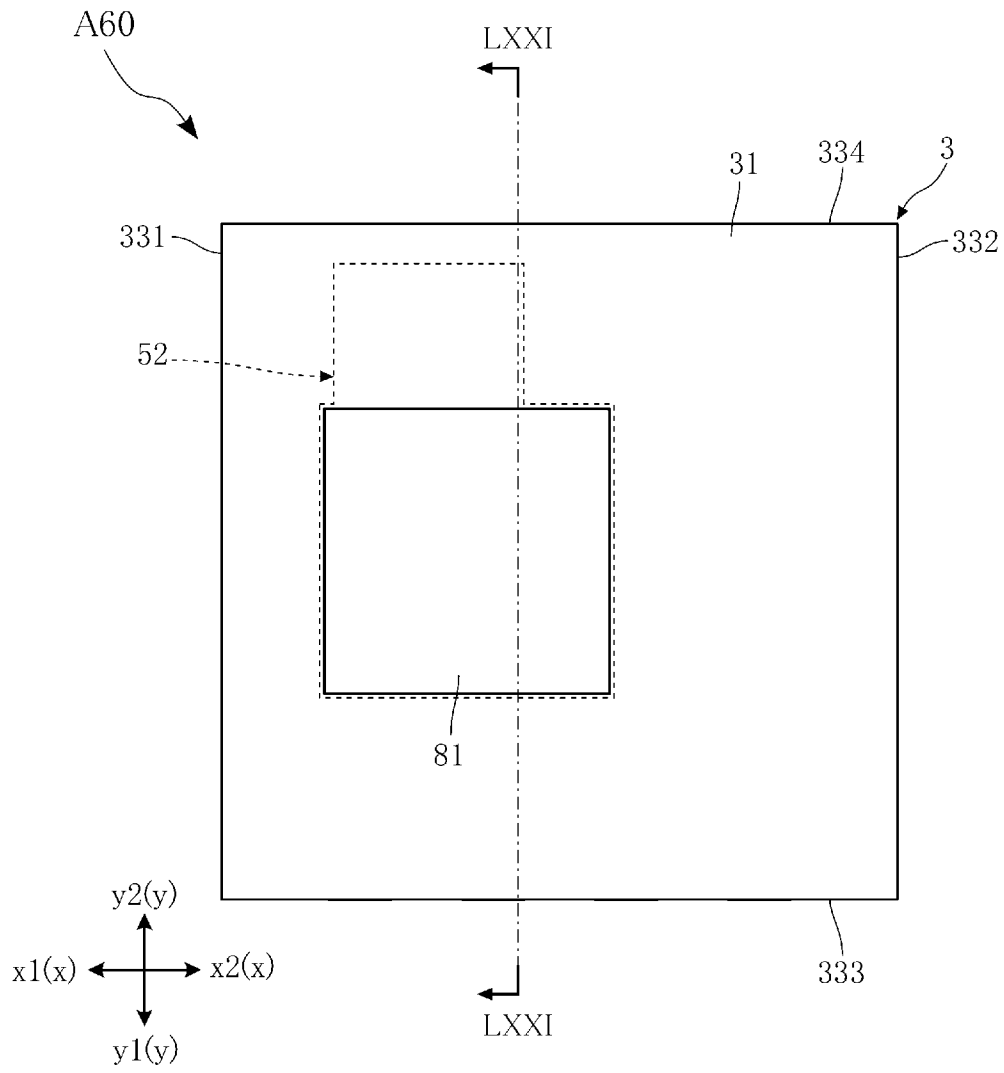


[68]
FIG.68

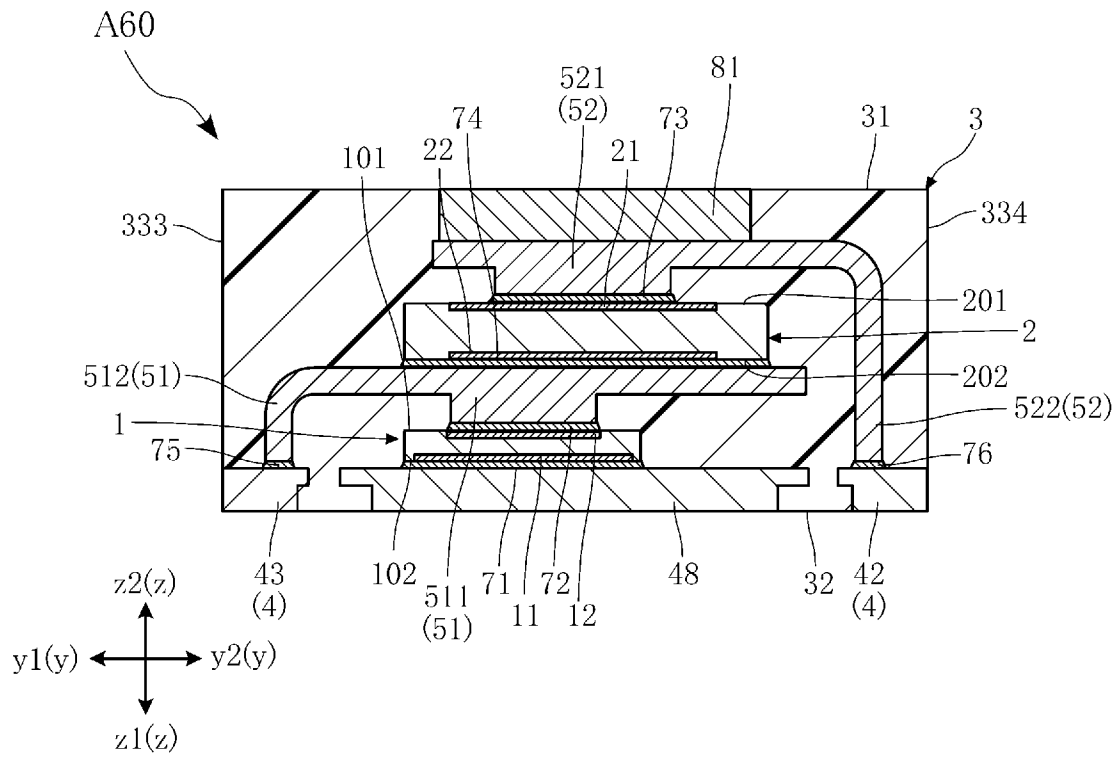


[69]
FIG.69



[
FIG.70

[71]
FIG. 71



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/004795

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 25/18</i> (2023.01)i; <i>H01L 23/48</i> (2006.01)i; <i>H01L 23/29</i> (2006.01)n FI: H01L25/04; H01L23/48 P; H01L23/36 A		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L25/18; H01L23/48; H01L23/29		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 10-150140 A (INTERNATL. RECTIFIER CORP.) 02 June 1998 (1998-06-02) paragraphs [0012]-[0013], [0017], [0026], fig. 1, 3-9	1, 9, 10, 14, 15, 17, 18, 20 3-8, 11-13
X A	JP 2007-294669 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 08 November 2007 (2007-11-08) paragraphs [0029], [0031]-[0033], fig. 1, 2, 8	1, 9, 10, 14, 15, 17, 19-22 3-8, 11-13
X A	US 2008/0024102 A1 (HEBERT, Francois) 31 January 2008 (2008-01-31) paragraphs [0008], [0030]-[0032], [0035], fig. 1., 4A, 4B paragraphs [0010]-[0011], fig. 2	1, 2, 14-16, 18, 20 3-8, 11-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 12 March 2024		Date of mailing of the international search report 26 March 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2024/004795

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	10-150140	A	02 June 1998	US 5814884 A column 2, lines 46-67, column 3, line 18 to column 4, line 36, fig. 1, 3-9	
				US 2002/0008319 A1	
-----				(Family: none)	
JP	2007-294669	A	08 November 2007		

US	2008/0024102	A1	31 January 2008	CN 101359661 A	
				TW 200905853 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/18(2023.01)i; H01L 23/48(2006.01)i; H01L 23/29(2006.01)n FI: H01L25/04; H01L23/48 P; H01L23/36 A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L25/18; H01L23/48; H01L23/29 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 10-150140 A (インターナショナル レクチファイア コーポレーション) 02.06.1998 (1998-06-02) [0012]-[0013], [0017], [0026], 図1, 図3-図9	1, 9, 10, 14, 15, 17, 18, 20 3-8, 11-13
X A	JP 2007-294669 A (松下電器産業株式会社) 08.11.2007 (2007-11-08) [0029], [0031]-[0033], 図1, 図2, 図8	1, 9, 10, 14, 15, 17, 19-22 3-8, 11-13
X A	US 2008/0024102 A1 (HEBERT, Francois) 31.01.2008 (2008-01-31) [0008], [0030]-[0032], [0035], Fig. 1. Fig. 4A, Fig. 4B [0010]-[0011], Fig. 2	1, 2, 14-16, 18, 20 3-8, 11-13
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 12. 03. 2024	国際調査報告の発送日 26. 03. 2024	
名称及びあて先 日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 清水 稔 5F 8525 電話番号 03-3581-1101 内線 3551	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/004795

引用文献	公表日	パテントファミリー文献	公表日
JP 10-150140 A	02.06.1998	US 5814884 A 第2欄第46-67行, 第3欄第18 行-第4欄第36行, FIG. 1, FIG. 3-FIG. 9	

JP 2007-294669 A	08.11.2007	(ファミリーなし)	

US 2008/0024102 A1	31.01.2008	CN 101359661 A TW 200905853 A	
