

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年11月26日(26.11.2020)



(10) 国際公開番号

WO 2020/234681 A1

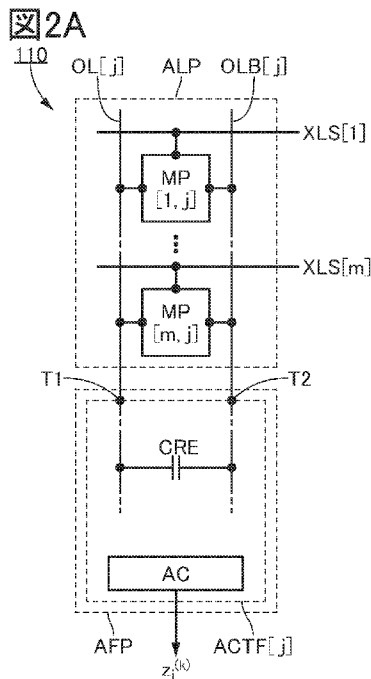
- (51) 国際特許分類:
G06G 7/16 (2006.01) G06G 7/60 (2006.01)
G06G 7/184 (2006.01) G06N 3/063 (2006.01)
G06G 7/19 (2006.01)
- (21) 国際出願番号: PCT/IB2020/054307
- (22) 国際出願日: 2020年5月7日(07.05.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-093998 2019年5月17日(17.05.2019) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷 3 9 8 Kanagawa (JP).
- (72) 発明者: 木村肇(KIMURA, Hajime); 〒2430036
神奈川県厚木市長谷 3 9 8 株式会社半導
体エネルギー研究所内 Kanagawa (JP). 上妻
宗広(KOZUMA, Munehiro); 〒2430036 神奈川

県厚木市長谷 3 9 8 株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体装置、及び電子機器



(57) Abstract: Provided is a semiconductor device capable of executing arithmetic operation with low power consumption. The semiconductor device includes first and second circuits, a first amplification circuit, first to fourth switches, and a capacitor, wherein the first circuit is electrically connected to first wiring, and the second circuit is electrically connected to second wiring. The first wiring is electrically connected to a first terminal of the capacitor through a first switch, and the second wiring is electrically connected to the first terminal of the capacitor through a third switch. The first terminal of the capacitor is electrically connected to a first terminal of the second switch, and a second terminal of the capacitor is electrically connected to the first amplification circuit through a fourth switch. Currents corresponding to a result of multiply - accumulate operation flow through the first and second wiring, and the currents are converted into potentials by the first and second circuits, respectively. A difference between the converted potentials is held by the capacitor. The difference is input to the first amplification circuit, and output as a potential corresponding to a result of arithmetic operation.

LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：少ない消費電力で演算が可能な半導体装置を提供する。第1、第2回路と、第1増幅回路と、第1乃至第4スイッチと、容量と、を有する半導体装置であって、第1回路は、第1配線に電氣的に接続され、第2回路は第2配線に電氣的に接続されている。第1配線は、第1スイッチを介して、容量の第1端子に電氣的に接続され、第2配線は、第3スイッチを介して、容量の第1端子に電氣的に接続されている。また、容量の第1端子は、第2スイッチの第1端子に電氣的に接続され、容量の第2端子は、第4スイッチを介して、第1増幅回路に電氣的に接続されている。第1、第2配線のそれぞれには積和演算の結果に応じた電流が流れ、当該電流のそれぞれは、第1、第2回路によって電位に変換される。変換された電位の差分は容量に保持され、また、当該差分は、第1増幅回路に入力されて、演算結果に応じた電位として出力される。

明細書

発明の名称

半導体装置、及び電子機器

技術分野

[0001]

本発明の一態様は、半導体装置、及び電子機器に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、又はそれらの検査方法を一例として挙げることができる。

背景技術

[0003]

現在、人間の脳の仕組みを模した集積回路の開発が盛んに進められている。当該集積回路は、脳の仕組みが電子回路として組み込まれており、人間の脳の「ニューロン」と「シナプス」に相当する回路を有する。そのため、そのような集積回路を、「ニューロモーフィック」や「ブレインモーフィック」や「ブレインインスパイア」と呼ぶこともある。当該集積回路は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行えると期待されている。

[0004]

「ニューロン」と「シナプス」とを有する神経回路網を模した情報処理のモデルは、人工ニューラルネットワーク（ANN）と呼ばれる。例えば、非特許文献1、及び非特許文献2には、SRAM（Static Random Access Memory）を用いて、人工ニューラルネットワークを構成した演算装置について開示されている。

[先行技術文献]

[非特許文献]

[0005]

[非特許文献1] M. Kang et al., "IEEE Journal Of Solid-State Circuits", 2018, Volume 53, No. 2, p. 642-655.

[非特許文献2] J. Zhang et al., "IEEE Journal Of Solid-State Circuits", 2017, Volume 52, No. 4, p. 915-924.

発明の概要

発明が解決しようとする課題

[0006]

人工ニューラルネットワークでは、2つのニューロン同士を結合するシナプスの結合強度（重み

係数という場合がある）と、2つのニューロン間で伝達する信号と、を乗じる計算が行われる。特に、階層型の人工ニューラルネットワークでは、第1層の複数の第1ニューロンと第2層の第2ニューロンの一との間のそれぞれのシナプスの結合強度と、第1層の複数の第1ニューロンから第2層の第2ニューロンの一に入力されるそれぞれの信号と、を乗じて足し合わせる（積和演算を行う）必要があり、人工ニューラルネットワークの規模に応じて、例えば、当該結合強度の数、及び当該信号を示すパラメータの数が決まる。つまり、人工ニューラルネットワークは、階層の数、ニューロンの数などが多くなる程、「ニューロン」及び「シナプス」のそれぞれに相当する回路の数が多くなり、演算量も膨大になることがある。

[0007]

例えば、ニューラルネットワークの演算には、積和演算の他に、活性化関数の演算などが挙げられる。活性化関数の演算では、人工ニューラルネットワークの規模が大きくなるほど、消費電力が高くなる傾向がある。

[0008]

本発明の一態様は、階層型の人工ニューラルネットワークが構築された半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、消費電力が低い半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、新規な半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、上記半導体装置を有する電子機器を提供することを課題の一とする。

[0009]

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

課題を解決するための手段

[0010]

(1)

本発明の一態様は、セルと、第1回路と、を有し、第1回路は、第1容量と、第1入力端子と、第2入力端子と、を有し、セルは、第1配線を介して、第1入力端子に電氣的に接続され、セルは、第2配線を介して、第2入力端子に電氣的に接続され、セルは、第1データを保持する機能と、セルに第2データが入力されることによって、セルと第1配線との間に第1データと第2データとに応じた第1電流を流し、かつセルと第2配線との間に第1データと第2データとに応じた第2電流を流す機能と、を有し、第1容量は、第1電流に応じた第1電位と、第2電流に応じた第2電位と、の差分電圧を保持する機能を有する、半導体装置である。

[0011]

(2)

又は、本発明の一態様は、上記(1)の構成において、第1回路は、第2回路を有し、第2回路は、差分電圧を取得して、差分電圧に応じた信号を出力する機能を有する、半導体装置である。

[0012]

(3)

又は、本発明の一態様は、上記(2)の構成において、第1回路は、第1電流電圧変換回路と、第2電流電圧変換回路と、第1スイッチと、第2スイッチと、第3スイッチと、第4スイッチと、を有し、第1入力端子は、第1スイッチの第1端子と、第1電流電圧変換回路の第1端子と、に電氣的に接続され、第1スイッチの第2端子は、第2スイッチの第1端子と、第1容量の第1端子と、に電氣的に接続され、第2入力端子は、第3スイッチの第1端子と、第2電流電圧変換回路の第1端子と、に電氣的に接続され、第3スイッチの第2端子は、第4スイッチの第1端子と、第1容量の第2端子と、に電氣的に接続され、第4スイッチの第2端子は、第2回路の第1端子に電氣的に接続され、第1電流電圧変換回路は、第1電流電圧変換回路の第1端子に入力された第1電流に応じて、第1電流電圧変換回路の第1端子の電位を第1電位にする機能を有し、第2電流電圧変換回路は、第2電流電圧変換回路の第1端子に入力された第2電流に応じて、第2電流電圧変換回路の第1端子の電位を第2電位にする機能を有する、半導体装置である。

[0013]

(4)

又は、本発明の一態様は、上記(3)の構成において、第2スイッチの第2端子は、基準電位を与える第3配線に電氣的に接続され、第1回路は、第1スイッチと、第3スイッチと、をオン状態にし、第2スイッチと、第4スイッチと、をオフ状態にして、第1容量の第1端子を第1電位にし、第1容量の第2端子を第2電位にする機能と、第1スイッチと、第3スイッチと、第4スイッチと、をオフ状態にし、第2スイッチをオン状態にして、第1容量の第1端子を第1電位から基準電位に変化させることで、容量結合によって、第1容量の第2端子の第2電位を第3電位に変化させる機能と、第1スイッチと、第2スイッチと、第3スイッチと、をオフ状態にし、第4スイッチをオン状態にして、第2回路の第1端子に差分電圧に応じた第3電位を入力する機能と、を有する、半導体装置である。

[0014]

(5)

又は、本発明の一態様は、セルと、第1回路と、を有し、第1回路は、第1容量と、第2容量と、第1入力端子と、第2入力端子と、を有し、セルは、第1配線を介して、第1入力端子に電氣的に接続され、セルは、第2配線を介して、第2入力端子に電氣的に接続され、セルは、第1データを保持する機能と、セルに第2データが入力されることによって、セルと第1配線との間に第1データと第2データとに応じた第1電流を流し、かつセルと第2配線との間に第1データと第2データとに応じた第2電流を流す機能と、を有し、第1容量は、第1電流に応じた第1電位と、第2電流に応じた第2電位と、の第1差分電圧を保持する機能を有し、第2容量は、第1電流に応じた第1電位と、第2電流に応じた第2電位と、の第2差分電圧を保持する機能を有する、半導体装置である。

[0015]

(6)

又は、本発明の一態様は、上記(5)の構成において、第1回路は、第2回路と、第3回路と、を有し、第2回路は、第1容量の第1端子の電位を基準とした、第1差分電圧を取得して、第1差分電圧に応じた第1信号を出力する機能を有し、第3回路は、第2容量の第2端子の電位を基準とした、第2差分電圧を取得して、第2差分電圧に応じた第2信号を出力する機能を有する、半導体

装置である。

[0016]

(7)

又は、本発明の一態様は、上記（6）の構成において、第1回路は、第1電流電圧変換回路と、第2電流電圧変換回路と、第1スイッチと、第2スイッチと、第3スイッチと、第4スイッチと、第5スイッチと、第6スイッチと、第7スイッチと、第8スイッチと、を有し、第1入力端子は、第1スイッチの第1端子と、第5スイッチの第1端子と、第1電流電圧変換回路の第1端子と、に電氣的に接続され、第1スイッチの第2端子は、第2スイッチの第1端子と、第1容量の第1端子と、に電氣的に接続され、第5スイッチの第2端子は、第6スイッチの第1端子と、第2容量の第1端子と、に電氣的に接続され、第2入力端子は、第3スイッチの第1端子と、第7スイッチの第1端子と、第2電流電圧変換回路の第1端子と、に電氣的に接続され、第3スイッチの第2端子は、第4スイッチの第1端子と、第1容量の第2端子に電氣的に接続され、第7スイッチの第2端子は、第8スイッチの第1端子と、第2容量の第2端子と、に電氣的に接続され、第4スイッチの第2端子は、第2回路の第1端子に電氣的に接続され、第6スイッチの第2端子は、第3回路の第1端子に電氣的に接続され、第1電流電圧変換回路は、第1電流電圧変換回路の第1端子に入力された第1電流に応じて、第1電流電圧変換回路の第1端子の電位を第1電位にする機能を有し、第2電流電圧変換回路は、第2電流電圧変換回路の第1端子に入力された第2電流に応じて、第2電流電圧変換回路の第1端子の電位を第2電位にする機能を有する、半導体装置である。

[0017]

(8)

又は、本発明の一態様は、上記（7）の構成において、第2スイッチの第2端子は、基準電位を与える第3配線に電氣的に接続され、第8スイッチの第2端子は、基準電位を与える第3配線に電氣的に接続され、第1回路は、第1スイッチと、第3スイッチと、をオン状態にし、第2スイッチと、第4スイッチと、をオフ状態にして、第1容量の第1端子を第1電位にし、第1容量の第2端子を第2電位にする機能と、第5スイッチと、第7スイッチと、をオン状態にし、第6スイッチと、第8スイッチと、をオフ状態にして、第2容量の第1端子を第1電位にし、第2容量の第2端子を第2電位にする機能と、第1スイッチと、第3スイッチと、第4スイッチと、をオフ状態にし、第2スイッチをオン状態にして、第1容量の第1端子を第1電位から基準電位に変化させることで、容量結合によって、第1容量の第2端子の第2電位を第3電位に変化させる機能と、第5スイッチと、第6スイッチと、第7スイッチと、をオフ状態にし、第8スイッチをオン状態にして、第2容量の第2端子を第2電位から基準電位に変化させることで、容量結合によって、第1容量の第1端子の第1電位を第4電位に変化させる機能と、第1スイッチと、第2スイッチと、第3スイッチと、をオフ状態にし、第4スイッチをオン状態にして、第2回路の第1端子に第1差分電圧に応じた第3電位を入力する機能と、第5スイッチと、第7スイッチと、第8スイッチと、をオフ状態にし、第6スイッチをオン状態にして、第3回路の第1端子に第2差分電圧に応じた第4電位を入力する機能と、を有する、半導体装置である。

[0018]

(9)

又は、本発明の一態様は、上記（1）乃至（8）のいずれか一の構成において、セルは、第1セルと、第2セルと、を有し、第1セルは、第1配線と、第2配線と、第1入力配線と、第2入力配

線と、に電氣的に接続され、第2セルは、第1配線と、第2配線と、第1入力配線と、第2入力配線と、に電氣的に接続され、第1入力配線及び第2入力配線のそれぞれは、第2データに応じた電位を与える機能を有し、第1セルは、第1入力配線に第1入力電位が入力され、かつ第2入力配線に第2入力電位が入力されたとき、第1電流を第1配線に流す機能と、第1入力配線に第2入力電位が入力され、かつ第2入力配線に第1入力電位が入力されたとき、第2電流を第2配線に流す機能と、第1入力配線に第2入力電位が入力され、かつ第2入力配線に第2入力電位が入力されたとき、第1セルと第1配線との間、及び第1セルと第2配線との間を非導通状態にする機能と、を有し、第2セルは、第1入力配線に第1入力電位が入力され、かつ第2入力配線に第2入力電位が入力されたとき、第2電流を第2配線に流す機能と、第1入力配線に第2入力電位が入力され、かつ第2入力配線に第1入力電位が入力されたとき、第1電流を第1配線に流す機能と、第1入力配線に第2入力電位が入力され、かつ第2入力配線に第2入力電位が入力されたとき、第2セルと第1配線との間、及び第2セルと第2配線との間を非導通状態にする機能と、を有する、半導体装置である。

[0019]

(10)

又は、本発明の一態様は、上記(9)の構成において、第1セルは、第1トランジスタと、第9スイッチと、第10スイッチと、第11スイッチと、第12スイッチと、第3容量と、を有し、第2セルは、第2トランジスタと、第13スイッチと、第14スイッチと、第15スイッチと、第16スイッチと、第4容量と、を有し、第1トランジスタの第1端子は、第9スイッチの第1端子と、第10スイッチの第1端子と、第11スイッチの第1端子と、に電氣的に接続され、第1トランジスタのゲートは、第3容量の第1端子と、第12スイッチの第1端子と、に電氣的に接続され、第9スイッチの第2端子は、第12スイッチの第2端子に電氣的に接続され、第10スイッチの第2端子は、第1配線に電氣的に接続され、第10スイッチの制御端子は、第1入力配線に電氣的に接続され、第11スイッチの第2端子は、第2配線に電氣的に接続され、第11スイッチの制御端子は、第2入力配線に電氣的に接続され、第2トランジスタの第1端子は、第13スイッチの第1端子と、第14スイッチの第1端子と、第15スイッチの第1端子と、に電氣的に接続され、第2トランジスタのゲートは、第4容量の第1端子と、第16スイッチの第1端子と、に電氣的に接続され、第13スイッチの第2端子は、第16スイッチの第2端子に電氣的に接続され、第14スイッチの第2端子は、第2配線に電氣的に接続され、第14スイッチの制御端子は、第1入力配線に電氣的に接続され、第15スイッチの第2端子は、第1配線に電氣的に接続され、第15スイッチの制御端子は、第2入力配線に電氣的に接続されている、半導体装置である。

[0020]

(11)

又は、本発明の一態様は、上記(10)の構成において、第12スイッチは、第3トランジスタを有し、第3トランジスタは、チャネル形成領域に金属酸化物を有し、第16スイッチは、第4トランジスタを有し、第4トランジスタは、チャネル形成領域に金属酸化物を有する、半導体装置である。

[0021]

(12)

又は、本発明の一態様は、上記(1)乃至(11)のいずれか一の半導体装置と、筐体と、を有

し、半導体装置によってニューラルネットワークの演算を行う電子機器である。

[0022]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

[0023]

また、本明細書等において、XとYとが接続されていると記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に開示されているものとする。X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

[0024]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示デバイス、発光デバイス、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

[0025]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

[0026]

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。

[0027]

また、例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」

と表現することができる。又は、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0028]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0029]

また、本明細書等において、「抵抗素子」とは、例えば、 $0\ \Omega$ よりも高い抵抗値を有する回路素子、配線などとすることができる。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソースドレイン間に電流が流れるトランジスタ、ダイオード、コイルなどを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」、「負荷」、「抵抗値を有する領域」などの用語に言い換えることができ、逆に「抵抗」、「負荷」、「抵抗値を有する領域」という用語は、「抵抗素子」などの用語に言い換えることができる。抵抗値としては、例えば、好ましくは $1\ \text{m}\Omega$ 以上 $10\ \Omega$ 以下、より好ましくは $5\ \text{m}\Omega$ 以上 $5\ \Omega$ 以下、更に好ましくは $10\ \text{m}\Omega$ 以上 $1\ \Omega$ 以下とすることができる。また、例えば、 $1\ \Omega$ 以上 $1 \times 10^9\ \Omega$ 以下としてもよい。

[0030]

また、本明細書等において、「容量素子」とは、例えば、 $0\ \text{F}$ よりも高い静電容量の値を有する回路素子、静電容量の値を有する配線の領域、寄生容量、トランジスタのゲート容量などとすることができる。そのため、本明細書等において、「容量素子」は、1対の電極と、当該電極の間に含まれている誘電体と、を含む回路素子だけでなく、配線と配線との間に現れる寄生容量、トランジスタのソース又はドレインの一方とゲートとの間に現れるゲート容量などを含むものとする。また、「容量素子」、「寄生容量」、「ゲート容量」などという用語は、「容量」などの用語に言い換えることができ、逆に、「容量」という用語は、「容量素子」、「寄生容量」、「ゲート容量」などの用語に言い換えることができる。また、「容量」の「1対の電極」という用語は、「1対の導電体」、「1対の導電領域」、「1対の領域」などに言い換えることができる。なお、静電容量の値としては、例えば、 $0.05\ \text{fF}$ 以上 $10\ \text{pF}$ 以下とすることができる。また、例えば、 $1\ \text{pF}$ 以上 $10\ \mu\text{F}$ 以下としてもよい。

[0031]

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型（nチャネル型、pチャネル型）及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、言い換えることができるものとする。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第1ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第2ゲートと呼称することがある。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、3以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第1ゲート、第2ゲート、第3ゲートなどと呼称することがある。

[0032]

また、本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0033]

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも0Vを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

[0034]

「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正のキャリアが移動する方向とし、正の電流量で記載する。換言すると、負のキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」等の記載は「素子Bから素子Aに電流が流れる」等に言い換えることができるものとする。また、「素子Aに電流が入力される」等の記載は「素子Aから電流が出力される」等に言い換えることができるものとする。

[0035]

また、本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素

の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0036]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成要素同士の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成要素同士の位置関係は、各構成要素を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

[0037]

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0038]

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」、「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

[0039]

また、本明細書等において「電極」、「配線」、「端子」などの用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」や「電極」の一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」、「配線」、「端子」などが一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」、「配線」、「端子」などの用語は、場合によって、「領域」などの用語に置き換える場合がある。

[0040]

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」、「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」な

どの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様に「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様に、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

[0041]

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of States) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。具体的には、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0042]

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。一例としては、電気的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

[0043]

電気的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM (Metal Insulator Metal) ダイオード、MIS (Metal Insulator Semiconductor) ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

[0044]

機械的なスイッチの一例としては、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

[0045]

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」又は「概略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、

「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

発明の効果

[0046]

本発明の一態様によって、階層型の人工ニューラルネットワークが構築された半導体装置などを提供することができる。又は、本発明の一態様によって、消費電力が低い半導体装置などを提供することができる。又は、本発明の一態様は、新規な半導体装置などを提供することができる。又は、本発明の一態様は、上記半導体装置を有する電子機器を提供することができる。

[0047]

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

[0048]

図1A、図1Bは、階層型のニューラルネットワークを説明する図である。

図2Aは半導体装置の構成例を示す回路図であり、図2B及び図2Cは半導体装置に含まれる回路の構成例を示す回路図である。

図3A乃至図3Cは、半導体装置の構成例と動作例を示す回路図である。

図4A、図4Bは、半導体装置の構成例と動作例を示す回路図である。

図5は、半導体装置の構成例を示す回路図である。

図6A乃至図6Cは、半導体装置が有する回路の構成例を示す回路図である。

図7A乃至図7Cは、半導体装置に含まれている回路の構成例を示す回路図である。

図8は、半導体装置の構成例を示す回路図である。

図9は、半導体装置の動作例を説明するタイミングチャートである。

図10は、半導体装置が有する回路の構成例を示す回路図である。

図11A、図11Bは、半導体装置が有する回路の構成例を示す回路図である。

図12は、半導体装置の構成例を示す回路図である。

図13A乃至図13Dは、半導体装置が有する回路の構成例を示す回路図である。

図14A乃至図14Cは、半導体装置が有する回路の構成例を示す回路図である。

図15は、半導体装置の構成例を示す回路図である。

図16は、半導体装置の構成例を示す回路図である。

図17は、半導体装置の構成例を示す回路図である。

図18A、図18Bは、半導体装置が有する回路の構成例を示す回路図である。

図19A乃至図19Eは、半導体装置が有する回路の構成例を示す回路図である。

図20A乃至図20Cは、半導体装置が有する回路の構成例を示す回路図である。

図21A、図21Bは、半導体装置が有する回路の構成例を示す回路図である。

図 2 2 A、図 2 2 Bは、半導体装置が有する回路の構成例を示す回路図である。

図 2 3 A乃至図 2 3 Cは、半導体装置の動作例を説明するタイミングチャートである。

図 2 4 A乃至図 2 4 Cは、半導体装置の動作例を説明するタイミングチャートである。

図 2 5 A乃至図 2 5 Cは、半導体装置の動作例を説明するタイミングチャートである。

図 2 6 A乃至図 2 6 Cは、半導体装置の動作例を説明するタイミングチャートである。

図 2 7 A、図 2 7 Bは、半導体装置が有する回路の構成例を示す回路図である。

図 2 8 A、図 2 8 Bは、半導体装置が有する回路の構成例を示す回路図である。

図 2 9 A乃至図 2 9 Cは、半導体装置が有する回路の構成例を示す回路図である。

図 3 0 A乃至図 3 0 Cは、半導体装置が有する回路の構成例を示す回路図である。

図 3 1 A乃至図 3 1 Cは、半導体装置が有する回路の構成例を示す回路図である。

図 3 2 A及び図 3 2 Bは、半導体装置が有する回路の構成例を示す回路図である。

図 3 3は、半導体装置の構成例を説明する断面模式図である。

図 3 4は、半導体装置の構成例を説明する断面模式図である。

図 3 5 A乃至図 3 5 Cは、半導体装置の構成例を説明する断面模式図である。

図 3 6 A、図 3 6 Bは、トランジスタの構成例を説明する断面模式図である。

図 3 7は、半導体装置の構成例を説明する断面模式図である。

図 3 8 A、図 3 8 Bは、トランジスタの構成例を説明する断面模式図である。

図 3 9は、半導体装置の構成例を説明する断面模式図である。

図 4 0 Aは容量の構成例を示す上面図であり、図 4 0 B、図 4 0 Cは容量の構成例を示す断面斜視図である。

図 4 1 Aは容量の構成例を示す上面図であり、図 4 1 Bは容量の構成例を示す断面図であり、図 4 1 Cは容量の構成例を示す断面斜視図である。

図 4 2 Aは I G Z O の結晶構造の分類を説明する図であり、図 4 2 Bは結晶性 I G Z O の X R D スペクトルを説明する図であり、図 4 2 Cは結晶性 I G Z O の極微電子線回折パターンを説明する図である。

図 4 3 Aは半導体ウェハの一例を示す斜視図であり、図 4 3 Bはチップの一例を示す斜視図であり、図 4 3 C、図 4 3 Dは電子部品の一例を示す斜視図である。

図 4 4は、電子機器の一例を示す斜視図である。

図 4 5 A乃至図 4 5 Cは、電子機器の一例を示す斜視図である。

発明を実施するための形態

[0049]

人工ニューラルネットワーク（以後、ニューラルネットワークと呼称する。）において、シナプスの結合強度は、ニューラルネットワークに既存の情報を与えることによって、変化することができる。このように、ニューラルネットワークに既存の情報を与えて、結合強度を決める処理を「学習」と呼ぶ場合がある。

[0050]

また、「学習」を行った（結合強度を定めた）ニューラルネットワークに対して、何らかの情報を与えることにより、その結合強度に基づいて新たな情報を出力することができる。このように、ニューラルネットワークにおいて、与えられた情報と結合強度に基づいて新たな情報を出力する処理を「推論」又は「認知」と呼ぶ場合がある。

[0051]

ニューラルネットワークのモデルとしては、例えば、ホップフィールド型、階層型などが挙げられる。特に、多層構造としたニューラルネットワークを「ディープニューラルネットワーク」(DNN)と呼称し、ディープニューラルネットワークによる機械学習を「ディープラーニング」と呼称する場合がある。

[0052]

本明細書等において、金属酸化物(metal oxide)とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体(透明酸化物導電体を含む)、酸化物半導体(Oxide Semiconductor又は単にOSともいう)などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも1つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体(metal oxide semiconductor)、略してOSと呼ぶことができる。また、OS FET、又はOSトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

[0053]

また、本明細書等において、窒素を有する金属酸化物も金属酸化物(metal oxide)と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物(metal oxynitride)と呼称してもよい。

[0054]

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

[0055]

なお、ある一つの実施の形態の中で述べる内容(一部の内容でもよい)は、その実施の形態で述べる別の内容(一部の内容でもよい)と、一つ若しくは複数の別の実施の形態で述べる内容(一部の内容でもよい)との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

[0056]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

[0057]

なお、ある一つの実施の形態において述べる図(一部でもよい)は、その図の別の部分、その実施の形態において述べる別の図(一部でもよい)と、一つ若しくは複数の別の実施の形態において述べる図(一部でもよい)との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0058]

本明細書に記載の実施の形態については、図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の

形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

[0059]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“—1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。

[0060]

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0061]

また、本明細書等について、 $I_n : G_a : Z_n = 4 : 2 : 3$ またはその近傍とは、原子数の総和に対して、 I_n が4の場合、 G_a が1以上3以下 ($1 \leq G_a \leq 3$) であり、 Z_n が2以上4.1以下 ($2 \leq Z_n \leq 4.1$) とする。また、 $I_n : G_a : Z_n = 5 : 1 : 6$ またはその近傍とは、原子数の総和に対して、 I_n が5の場合、 G_a が0.1より大きく2以下 ($0.1 < G_a \leq 2$) であり、 Z_n が5以上7以下 ($5 \leq Z_n \leq 7$) とする。また、 $I_n : G_a : Z_n = 1 : 1 : 1$ またはその近傍とは、原子数の総和に対して、 I_n が1の場合、 G_a が0.1より大きく2以下 ($0.1 < G_a \leq 2$) であり、 Z_n が0.1より大きく2以下 ($0.1 < Z_n \leq 2$) とする。また、 $I_n : G_a : Z_n = 5 : 1 : 3$ またはその近傍とは、原子数の総和に対して、 I_n が5の場合、 G_a が0.5以上1.5以下 ($0.5 \leq G_a \leq 1.5$) であり、 Z_n が2以上4.1以下 ($2 \leq Z_n \leq 4.1$) とする。また、 $I_n : G_a : Z_n = 10 : 1 : 3$ またはその近傍とは、原子数の総和に対して、 I_n が10の場合、 G_a が0.5以上1.5以下 ($0.5 \leq G_a \leq 1.5$) であり、 Z_n が2以上4.1以下 ($2 \leq Z_n \leq 4.1$) とする。また、 $I_n : Z_n = 2 : 1$ またはその近傍とは、原子数の総和に対して、 I_n が1の場合、 Z_n は0.25より大きく0.75以下 ($0.25 < Z_n \leq 0.75$) とする。また、 $I_n : Z_n = 5 : 1$ またはその近傍とは、原子数の総和に対して、 I_n が1の場合、 Z_n は0.12より大きく0.25以下 ($0.12 < Z_n \leq 0.25$) とする。また、 $I_n : Z_n = 10 : 1$ またはその近傍とは、原子数の総和に対して、 I_n が1の場合、 Z_n は0.07より大きく0.12以下 ($0.07 < Z_n \leq 0.12$) とする。

[0062]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置である、ニューラルネットワークの演算を行う演算回路について説明する。

[0063]

<階層型のニューラルネットワーク>

初めに、階層型のニューラルネットワークについて説明する。階層型のニューラルネットワークは、一例としては、一の入力層と、一又は複数の中間層（隠れ層）と、一の出力層と、を有し、合

計3以上の層によって構成されている。図1Aに示す階層型のニューラルネットワーク100はその一例を示しており、ニューラルネットワーク100は、第1層乃至第R層（ここでのRは4以上の整数とすることができる。）を有している。特に、第1層は入力層に相当し、第R層は出力層に相当し、それら以外の層は中間層に相当する。なお、図1Aには、中間層として第 $(k-1)$ 層、第k層（ここでのkは3以上 $R-1$ 以下の整数とする。）を図示しており、それ以外の中間層については図示を省略している。

[0064]

ニューラルネットワーク100の各層は、一又は複数のニューロンを有する。図1Aにおいて、第1層はニューロン $N_1^{(1)}$ 乃至ニューロン $N_p^{(1)}$ （ここでのpは1以上の整数である。）を有し、第 $(k-1)$ 層はニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ （ここでのmは1以上の整数である。）を有し、第k層はニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ （ここでのnは1以上の整数である。）を有し、第R層はニューロン $N_1^{(R)}$ 乃至ニューロン $N_q^{(R)}$ （ここでのqは1以上の整数である。）を有する。

[0065]

なお、図1Aには、ニューロン $N_1^{(1)}$ 、ニューロン $N_p^{(1)}$ 、ニューロン $N_1^{(k-1)}$ 、ニューロン $N_m^{(k-1)}$ 、ニューロン $N_1^{(k)}$ 、ニューロン $N_n^{(k)}$ 、ニューロン $N_1^{(R)}$ 、ニューロン $N_q^{(R)}$ に加えて、第 $(k-1)$ 層のニューロン $N_i^{(k-1)}$ （ここでのiは1以上m以下の整数である。）、第k層のニューロン $N_j^{(k)}$ （ここでのjは1以上n以下の整数である。）も図示しており、それ以外のニューロンについては図示を省略している。

[0066]

次に、前層のニューロンから次層のニューロンへの信号の伝達、及びそれぞれのニューロンにおいて入出力される信号について説明する。なお、本説明では、第k層のニューロン $N_j^{(k)}$ に着目する。

[0067]

図1Bには、第k層のニューロン $N_j^{(k)}$ と、ニューロン $N_j^{(k)}$ に入力される信号と、ニューロン $N_j^{(k)}$ から出力される信号と、を示している。

[0068]

具体的には、第 $(k-1)$ 層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれの出力信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ が、ニューロン $N_j^{(k)}$ に向けて出力されている。そして、ニューロン $N_j^{(k)}$ は、 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ に応じて $z_j^{(k)}$ を生成して、 $z_j^{(k)}$ を出力信号として第 $(k+1)$ 層（図示しない。）の各ニューロンに向けて出力する。

[0069]

前層のニューロンから次層のニューロンに入力される信号は、それらのニューロン同士を接続するシナプスの結合強度（以後、重み係数と呼称する。）によって、信号の伝達の度合いが定まる。ニューラルネットワーク100では、前層のニューロンから出力された信号は、対応する重み係数を乗じられて、次層のニューロンに入力される。iを1以上m以下の整数として、第 $(k-1)$ 層のニューロン $N_i^{(k-1)}$ と第k層のニューロン $N_j^{(k)}$ との間のシナプスの重み係数を $w_{i^{(k-1)}j^{(k)}}$ としたとき、第k層のニューロン $N_j^{(k)}$ に入力される信号は、式(1.1)で表すことができる。

[0070]

[数 1]

$$w_i^{(k-1)} \cdot z_i^{(k-1)} \quad \dots(1.1)$$

[0071]

つまり、第 $(k-1)$ 層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれから第 k 層のニューロン $N_j^{(k)}$ に信号が伝達するとき、当該信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ には、それぞれの信号に対応する重み係数 $(w_1^{(k-1)})_j^{(k)}$ 乃至 $w_m^{(k-1)}_j^{(k)}$ が乗じられる。そして、第 k 層のニューロン $N_j^{(k)}$ には、 $w_1^{(k-1)}_j^{(k)} \cdot z_1^{(k-1)}$ 乃至 $w_m^{(k-1)}_j^{(k)} \cdot z_m^{(k-1)}$ が入力される。このとき、第 k 層のニューロン $N_j^{(k)}$ に入力される信号の総和 $u_j^{(k)}$ は、式 (1.2) となる。

[0072]

[数 2]

$$u_j^{(k)} = \sum_{i=1}^m w_i^{(k-1)} \cdot z_i^{(k-1)} \quad \dots(1.2)$$

[0073]

また、重み係数 $w_1^{(k-1)}_j^{(k)}$ 乃至 $w_m^{(k-1)}_j^{(k)}$ と、ニューロンの信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ と、の積和の結果には、偏りとしてバイアスを与えてもよい。バイアスを b としたとき、式 (1.2) は、次の式に書き直すことができる。

[0074]

[数 3]

$$u_j^{(k)} = \sum_{i=1}^m w_i^{(k-1)} \cdot z_i^{(k-1)} + b \quad \dots(1.3)$$

[0075]

ニューロン $N_j^{(k)}$ は、 $u_j^{(k)}$ に応じて、出力信号 $z_j^{(k)}$ を生成する。ここで、ニューロン $N_j^{(k)}$ からの出力信号 $z_j^{(k)}$ を次の式で定義する。

[0076]

[数 4]

$$z_j^{(k)} = f(u_j^{(k)}) \quad \dots(1.4)$$

[0077]

関数 $f(u_j^{(k)})$ は、階層型のニューラルネットワークにおける活性化関数であり、ステップ関数、線形ランプ関数、シグモイド関数などを用いることができる。なお、活性化関数は、全てのニューロンにおいて同一でもよいし、又は異なってもよい。加えて、ニューロンの活性化関数は、層毎において、同一でもよいし、異なってもよい。

[0078]

ところで、各層のニューロンが出力する信号、重み係数 w 、または、バイアス b は、アナログ値としてもよいし、デジタル値としてもよい。デジタル値としては、例えば、2 値としてもよいし、3 値としてもよい。さらに大きなビット数の値でもよい。一例として、アナログ値の場合、活性化

関数として、例えば、線型ランプ関数、シグモイド関数などを用いればよい。デジタル値の2値の場合、例えば、出力を-1若しくは1、又は、0若しくは1、とするステップ関数を用いればよい。また、各層のニューロンが出力する信号は3値以上としてもよい。例えば、3値を出力する活性化関数としては、出力は-1、0、若しくは1とするステップ関数、又は、0、1、若しくは2とするステップ関数などを用いればよい。また、例えば、5値を出力する活性化関数として、-2、-1、0、1、若しくは2とするステップ関数などを用いてもよい。各層のニューロンが出力する信号、重み係数 w 、または、バイアス b について、少なくとも一つについて、デジタル値を用いることにより、回路規模を小さくすること、消費電力を低減すること、または、演算スピードを速くすること、などができる。また、各層のニューロンが出力する信号、重み係数 w 、または、バイアス b について、少なくとも一つについて、アナログ値を用いることにより、演算の精度を向上させることができる。

[0079]

ニューラルネットワーク100は、第1層（入力層）に入力信号が入力されることによって、第1層（入力層）から最後の層（出力層）までの各層において順次に、前層から入力された信号を基に、式（1. 1）、式（1. 2）（又は式（1. 3））、式（1. 4）を用いて出力信号を生成して、当該出力信号を次層に出力する動作を行う。最後の層（出力層）から出力された信号が、ニューラルネットワーク100によって計算された結果に相当する。

[0080]

<演算回路の構成例1>

ここでは、上述のニューラルネットワーク100において、式（1. 2）（又は式（1. 3））、及び式（1. 4）の演算を行うことができる演算回路の例について説明する。なお、当該演算回路において、一例として、ニューラルネットワーク100のシナプス回路の重み係数を、2値以上のデジタル値、又はアナログ値とすることができ、また、ニューロンの活性化関数をステップ関数などとすることができる。また、本明細書等において、重み係数と、前層のニューロンから次層のニューロンに入力される信号の値（演算値と呼称する場合がある）とについて、そのいずれか一方を第1データと呼称し、他方を第2データと呼称する場合がある。なお、ニューラルネットワーク100のシナプス回路の重み係数や、演算値は、デジタル値に限定されず、少なくとも一方について、アナログ値を用いることも可能である。

[0081]

図2Aに示す演算回路110は、一例として、アレイ部ALPと、回路AFPと、を有する半導体装置である。演算回路110は、例えば、図1A、及び図1Bにおける第 k 層のニューロン $N_j^{(k)}$ に入力される信号を処理して、ニューロン $N_j^{(k)}$ から出力される信号 $z_j^{(k)}$ を生成する回路である。ただし、本発明の一態様は、これに限定されない。演算回路110は、一例として、記憶装置、または、メモリ回路として機能してもよい。例えば、演算回路110は、一例として、DRAM、SRAM、または、フラッシュメモリとして機能してもよい。または、演算回路110は、一例として、メモリ回路内で計算を行う回路、つまり、インメモリーコンピューティング回路として機能してもよい。

[0082]

アレイ部ALPは、一例として、回路MP[1, j]乃至回路MP[m , j]を有する。また、回路AFPは、一例として、回路ACTF[j]を有し、更に、回路ACTF[j]は、容量CR

Eと、回路ACと、端子T1と、端子T2と、を有する。

[0083]

なお、容量CREは、通常の容量素子を用いて実現してもよいが、本発明の一態様は、これに限定されない。例えば、容量CREは、一例として、図2B、または、図2Cなどに示すように、トランジスタのゲート容量を用いて実現してもよい。この場合、トランジスタは、Nチャネル型を用いてもよいし、Pチャネル型を用いてもよいし、両方を用いて、並列に接続してもよい。なお、図2B及び図2Cでは、容量CREの代わりに、トランジスタCRETを用いている。トランジスタCRETとしては、例えば、OSトランジスタを適用することができる。なお、OSトランジスタについては、実施の形態5で詳述する。また、OSトランジスタ以外としては、例えば、チャネル形成領域にシリコンを有するトランジスタ（以後、Siトランジスタと呼称する。）などとすることができる。また、当該シリコンとしては、例えば、単結晶シリコン、水素化アモルファスシリコン、微結晶シリコン、または多結晶シリコン等を用いることができる。また、OSトランジスタ、Siトランジスタ以外のトランジスタとしては、例えば、Geを活性層としたトランジスタ、ZnSe、CdS、GaAs、InP、GaN、SiGeなどの化合物半導体を活性層としたトランジスタ、カーボンナノチューブを活性層としたトランジスタ、有機半導体を活性層としたトランジスタ等を用いることができる。

[0084]

回路MP[1, j]乃至回路MP[m, j]のそれぞれは、配線OL[j]と、配線OLB[j]と、に電氣的に接続されている。また、回路MP[1, j]乃至回路MP[m, j]のそれぞれは、配線XLS[1]乃至配線XLS[m]に電氣的に接続されている。また、配線OL[j]は、端子T1に電氣的に接続され、端子T1は、容量CREの第1端子に電氣的に接続され、配線OLB[j]は、端子T2に電氣的に接続され、端子T2は、容量CREの第2端子に電氣的に接続されている。なお、例えば、端子T1と、容量CREの第1端子との間には、何らかの素子や回路など（例えば、スイッチ、トランジスタなど）が接続されていてもよい。同様に、例えば、端子T2と、容量CREの第2端子との間には、何らかの素子や回路など（例えば、スイッチ、トランジスタなど）が接続されていてもよい。

[0085]

配線XLS[1]乃至配線XLS[m]のそれぞれは、一例としては、ニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ から出力される信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ に応じた電位を送信する機能を有する。

[0086]

回路MP[1, j]は、一例として、ニューロン $N_1^{(k-1)}$ とニューロン $N_j^{(k)}$ との間の重み係数 $w_1^{(k-1)} j^{(k)}$ （ここでは第1データとする）を保持する機能を有し、同様に、回路MP[m, j]は、一例として、ニューロン $N_m^{(k-1)}$ とニューロン $N_j^{(k)}$ との間の重み係数 $w_m^{(k-1)} j^{(k)}$ を保持する機能を有する。

[0087]

また、回路MP[1, j]は、一例として、ニューロン $N_1^{(k-1)}$ から出力される信号 $z_1^{(k-1)}$ （ここでは第2データとする）と第1データ $w_1^{(k-1)} j^{(k)}$ との積を出力する機能を有する。同様に、回路MP[m, j]は、一例として、ニューロン $N_m^{(k-1)}$ から出力される信号 $z_m^{(k-1)}$ （ここでは第2データとする）と第1データ $w_m^{(k-1)} j^{(k)}$ との積を出力する機能を有する。

[0088]

具体的な例としては、回路MP [1, j] に、配線XLS [1] を介して第2データ $z_1^{(k-1)}$ に応じた電位が入力されることで、回路MP [1, j] は、第1データ $w_1^{(k-1)} j^{(k)}$ と第2データ $z_1^{(k-1)}$ との積に応じた情報（例えば、電流、電圧など）を配線OL [j]、及び／又は配線OLB [j] に出力する。また、別の具体的な例としては、同様に、回路MP [m, j] に、配線XLS [m] を介して第2データ $z_m^{(k-1)}$ に応じた電位が入力されることで、回路MP [m, j] は、第1データ $w_m^{(k-1)} j^{(k)}$ と第2データ $z_m^{(k-1)}$ との積に応じた情報（例えば、電流、電圧など）を配線OL [j]、及び／又は配線OLB [j] に出力する。

[0089]

このため、例えば、配線OLにおいて、回路MP [1, j] 乃至回路MP [m, j] のそれぞれから出力された情報（例えば、電流、電圧など）の足し合わせが行われる。同様に、例えば、配線OLBにおいて、回路MP [1, j] 乃至回路MP [m, j] のそれぞれから出力された情報（例えば、電流、電圧など）の足し合わせが行われる。つまり、配線OL及び配線OLBのそれぞれには、第1データ $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ と第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ の積和に応じた情報（例えば、電流、電圧など）が流れる。ただし、本発明の一態様は、これに限定されない。例えば、配線OLまたは配線OLBの少なくとも一方において、何らかの基準（例えば、リファレンス、プリチャージ、バイアスなど）となる情報（例えば、電流、電圧など）が流れてもよい。

[0090]

なお、回路MP [1, j] 乃至回路MP [m, j] の具体的な回路構成については、後述する。

[0091]

回路ACTF [j] は、一例として、配線OL [j] 及び配線OLB [j] から、第1データと第2データの積和に応じた情報（例えば、電流、電圧など）を取得して、ニューロン $N_j^{(k)}$ から出力される信号 $z_j^{(k)}$ を生成する回路として機能する。具体的には、回路ACTF [j] に含まれている回路ACによって、当該情報から、二値、多値などのデジタル値やアナログ値によって表される出力信号 $z_j^{(k)}$ （演算値という場合がある）が生成される。つまり、回路ACは、一例として、活性化関数回路として扱われる。

[0092]

回路ACとしては、例えば、アナログデジタル変換回路（センスアンプなどと呼称する場合がある。）などとすることができる。具体的には、回路ACは、一例として、積和の結果が“0”以下であるときに、出力信号 $z_j^{(k)}$ として“0”の値のデジタル信号を出力し、積和の結果が“正”であるときに、出力信号 $z_j^{(k)}$ として“正”のデジタル値を出力するアナログデジタル変換回路などとすることができる。

[0093]

なお、本明細書等において、回路MP [1, j] 乃至回路MP [m, j] のそれぞれを区別しない場合は、回路MPと記載するものとする。同様に、配線XLS [1] 乃至配線XLS [m] のそれぞれを区別しない場合は、配線XLSと記載するものとする。また、配線OL [j] 及び配線OLB [j] のそれぞれの [j] を省略して、配線OL及び配線OLBと記載する場合がある。また、同様に、回路ACTF [j] の [j] を省略して、回路ACTFと記載する場合がある。

[0094]

< 演算回路の動作例 1 >

次に、図 2 A の回路 ACT F [j] の動作例について説明する。図 3 A 乃至図 3 C のそれぞれは、回路 ACT F [j] の動作例の順序を示した回路図である。

[0 0 9 5]

図 3 A では、回路 ACT F [j] の容量 CRE の第 1 端子—第 2 端子間の電圧を 0 V に初期化する動作例を示している。具体的には、図 3 A の回路において、配線 OL [j] 及び配線 OLB [j] のそれぞれには、初期化用の電位として、例えば、 V_{ini} が与えられているものとする。 V_{ini} の一例としては、配線 OL から回路 MP の方に電流が流れる場合には、VDD となり、回路 MP から配線 OL の方に電流が流れる場合には、VSS や GND となる。

[0 0 9 6]

図 3 B では、回路 MP [1, j] 乃至回路 MP [m, j] のそれぞれによって、第 1 データ $w_{1^{(k-1)}j^{(k)}}$ 乃至 $w_{m^{(k-1)}j^{(k)}}$ と第 2 データ $z_{1^{(k-1)}}^{(k)}$ 乃至 $z_{m^{(k-1)}}^{(k)}$ との積和に応じた情報（例えば、電流、電圧、電荷など）が配線 OL [j] 及び配線 OLB [j] に出力されて、回路 ACT F [j] が当該情報を取得する動作例を示している。このとき、容量 CRE の第 1 端子の電位 V_{in_i} は、回路 MP から配線 OL [j] を介して回路 ACT F [j] に入力された情報に基づいて電位 V_{OL} に変化し、また、容量 CRE の第 2 端子の電位 V_{in_i} は、回路 MP から配線 OLB [j] を介して回路 ACT F [j] に入力された情報に基づいて電位 V_{OLB} に変化するものとする。なお、このとき、容量 CRE の第 1 端子—第 2 端子間の電圧を $|V_{RD}| (= |V_{OLB} - V_{OL}|)$ とする。この $|V_{RD}|$ は、一例としては、配線 OL [j] に流れる情報の総和量と、配線 OLB [j] に流れる情報の総和量との差分に相当する。一例として、配線 OL [j] が正の値の総和であり、配線 OLB [j] が負の値での総和であるとする、 $|V_{RD}|$ は、正の値の総和と負の値での総和の差分に相当する。そのため、 $|V_{RD}|$ は、積和演算の結果に相当する。つまり、回路 MP [1, j] 乃至回路 MP [m, j] で行われた第 1 データ $w_{1^{(k-1)}j^{(k)}}$ 乃至 $w_{m^{(k-1)}j^{(k)}}$ と第 2 データ $z_{1^{(k-1)}}^{(k)}$ 乃至 $z_{m^{(k-1)}}^{(k)}$ との積和の結果を電圧 $|V_{RD}|$ として、容量 CRE の第 1 端子—第 2 端子間に保持することができる。

[0 0 9 7]

図 3 C では、一例として、容量 CRE に保存された電圧（電荷）を、回路 AC に入力して、容量 CRE に保存された電圧（電荷）の量をセンシングする。この場合、電位 V_{OL} 、および、電位 V_{OLB} は、積和の結果に応じて、大きく変化する。そのため、その電位をそのまま回路 AC に入力する場合には、回路 AC の回路構成が複雑になる場合や、回路 AC の動作範囲が小さくなる場合があるなどのデメリットが生じることがある。そこで、一例として、電位 V_{OL} 、および、電位 V_{OLB} の大きさが異なっても、それらの差である $|V_{RD}| (= |V_{OLB} - V_{OL}|)$ が同じ電圧になる場合には、回路 AC には、その同じ電圧が入力されるような構成となっていることが望ましい。例えば、電位 $V_{OL} = 1$ 、電位 $V_{OLB} = 2$ の場合も、電位 $V_{OL} = 3$ 、電位 $V_{OLB} = 4$ の場合も、どちらも $|V_{RD}| = 1$ となり、 $|V_{RD}|$ は同じ大きさになる。そのような場合であっても、回路 AC には、同じ電圧が入力されるような構成となっていることが望ましい。そこで、一例として、容量 CRE の第 1 端子及び第 2 端子の少なくとも一つを電氣的に浮遊状態にして、その後、容量 CRE の第 1 端子、または、容量 CRE の第 2 端子のいずれか一方に基準電位（ここでは一例として GND 電位（0 V）とする。ただし、本発明の一態様は、これに限定されず、VDD 電位、プリチャージ電位、 $(VDD/2)$ の電位などでもよい）を与える。すると、容量 CRE の第 1 端子、または、容量 CRE

の第2端子のいずれか他方の電位は、 $|V_{RD}|$ とすることができる。つまり、電位 V_{OL} 、および、電位 V_{OLB} の大きさが異なっているとしても、 $|V_{RD}|$ が同じ場合には、同じ電位を回路ACに入力することができる。そして回路ACは、例えば、容量CREの第2端子の電位をセンシングして、電圧 V_{RD} に応じた信号 $z_j^{(k)}$ を出力する。つまり、図3Cに示す動作例によって、回路MP[1, j]乃至回路MP[m, j]によって出力された第1データと第2データとの積和に応じた結果として、信号 $z_j^{(k)}$ が出力される。

[0098]

ここで、上記の動作の具体例を説明する。

[0099]

第1データ $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ のそれぞれは、説明を簡単にするため、例えば、“+1”、“0”、“-1”のいずれかの値をとり、第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ のそれぞれは、例えば、“+1”、“0”、“-1”のいずれかの値をとるものとする。

[0100]

また、図3Aの動作例において、配線OL、及び配線OLBに与えられる電位 V_{ini} は、高レベル電位として、プリチャージされているものとする。

[0101]

また、回路MPにおいて、第1データと第2データの積が“+1”であるとき、回路MPと配線OLとの間が導通状態となり、回路MPと配線OLBとの間が非導通状態となるものとする。そして、配線OLから回路MPに“+1”に応じた電流が流れるものとする。また、回路MPにおいて、第1データと第2データの積が“-1”であるとき、回路MPと配線OLとの間が非導通状態となり、回路MPと配線OLBとの間が導通状態となるものとする。そして、配線OLBから回路MPに“-1”に応じた電流（つまり、“+1”に応じた電流と同じ大きさの電流）が流れるものとする。また、回路MPにおいて、第1データと第2データの積が“0”であるとき、回路MPと配線OLとの間、及び回路MPと配線OLBとの間が非導通状態となるものとする。つまり、配線OLには、正の総和の大きさの電流が流れ、配線OLBには、負の総和の絶対値の大きさの電流が流れる。

[0102]

このとき、図3Bの動作例において、電位 V_{OL} の大きさは、第1データと第2データの積が“+1”となっている回路MPの個数によって決まる。具体的には、第1データと第2データの積が“+1”となっている回路MPの個数が多いほど、配線OLから回路MP[1, j]乃至回路MP[m, j]に流れる合計の電流量が大きくなる。また、配線OLには、高レベル電位である電位 V_{ini} がプリチャージされているため、回路MP[1, j]乃至回路MP[m, j]に流れる合計の電流量が大きいくほど、配線OLの電位 V_{ini} からの電圧低下が大きくなる。つまり、第1データと第2データの積が“+1”となっている回路MPの個数が多いほど、電位 V_{OL} は低くなる。

[0103]

同様に、電位 V_{OLB} の大きさは、第1データと第2データの積が“-1”となっている回路MPの個数によって決まる。具体的には、第1データと第2データの積が“-1”となっている回路MPの個数が多いほど、配線OLBから回路MP[1, j]乃至回路MP[m, j]に流れる合計の電流量が大きくなる。また、配線OLBには、高レベル電位である電位 V_{ini} がプリチャージされているため、回路MP[1, j]乃至回路MP[m, j]に流れる合計の電流量が大きいくほど、配

線OLBの電位 V_{ini} からの電圧低下が大きくなる。つまり、第1データと第2データの積が“−1”となっている回路MPの個数が多いほど、電位 V_{OLB} は低くなる。

[0104]

上記より、第1データと第2データの積が“+1”となっている回路MPの個数が、第1データと第2データの積が“−1”となっている回路MPの個数よりも大きいとき、容量CREの第1端子の電位 V_{OL} は、容量CREの第2端子の電位 V_{OLB} よりも低くなる。つまり、第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ と第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和が“正”となるとき、電位 V_{OL} は電位 V_{OLB} よりも低くなる。また、第1データと第2データの積が“−1”となっている回路MPの個数が、第1データと第2データの積が“+1”となっている回路MPの個数よりも大きいとき、容量CREの第1端子の電位 V_{OL} は、容量CREの第2端子の電位 V_{OLB} よりも高くなる。つまり、第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ と第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和が“負”となるとき、電位 V_{OL} は電位 V_{OLB} よりも高くなる。

[0105]

また、第1データと第2データの積が“+1”となっている回路MPの個数が、第1データと第2データの積が“−1”となっている回路MPの個数と等しいとき、又は、回路MP[1, j]乃至回路MP[m, j]の全てにおいて、第1データと第2データの積が“0”となっているとき、容量CREの第1端子の電位 V_{OL} は、容量CREの第2端子の電位 V_{OLB} と等しくなる。つまり、第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ と第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和が“0”となるとき、電位 V_{OL} と電位 V_{OLB} とは、同じ電位になる。さらに、全てにおいて、第1データと第2データの積が“0”となっているときは、電位 V_{OL} と電位 V_{OLB} とは、電位 V_{ini} のままとなる。

[0106]

なお、第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ と第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和の絶対値が大きいほど、電位 V_{OL} と電位 V_{OLB} との電位差（第1容量の第1端子−第2端子間の電圧の絶対値）が大きくなる。

[0107]

また、上記の動作例では、第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ のそれぞれは、例えば、“+1”、“0”、“−1”のいずれかの値をとる場合について説明したが、本発明の一態様の半導体装置の動作は、これに限定されない。例えば、第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ のとり得る値を、“+2”、“+1”、“0”、“−1”、“−2”等のように3値を超える多値としてもよいし、“+1”、“−1”等のように2値としてもよい。また、回路MP[1, j]乃至回路MP[m, j]と配線OL及び／又は配線OLBとの間に流れる電流量は、回路MP[1, j]乃至回路MP[m, j]のそれぞれに保持されている第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ の取り得る値と第2データとの積の結果に応じて決めればよい。具体的には、例えば、第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ のそれぞれが“+2”、“+1”、“0”、“−1”、“−2”のいずれか一をとり、第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ のそれぞれは、“+1”、“0”、“−1”のいずれかの値をとる場合を考える。ここで、回路MPにおいて、第1データと第2データの積が“+1”であるとき、回路MPと配線OLとの間が導通状態となり、回路MPと配線OLBとの間が非導通状態となるものとして、配線OLから回路MPに電流量 I_{ut} の電流が流れるものとする。また、回路MPにおいて、第1データと第2データの積が“+2”であるとき、

回路MPと配線OLとの間が導通状態となり、回路MPと配線OLBとの間が非導通状態となるものとして、配線OLから回路MPに電流量 $2 \times I_{ut}$ の電流が流れるものとすればよい。また、第1データと第2データの積が“−1”であるとき、回路MPと配線OLとの間が非導通状態となり、回路MPと配線OLBとの間が導通状態となるものとして、配線OLBから回路MPに電流量 I_{ut} の電流が流れるものとすればよく、また、第1データと第2データの積が“−2”であるとき、回路MPと配線OLとの間が非導通状態となり、回路MPと配線OLBとの間が導通状態となるものとして、配線OLBから回路MPに電流量 $2 \times I_{ut}$ の電流が流れるものとすればよい。また、第1データと第2データの積が“0”であるとき、回路MPと配線OLとの間が非導通状態となり、回路MPと配線OLBとの間が非導通状態となるものとすればよい。

[0108]

以上より、図3Bの動作例を行うことによって、第1容量の第1端子ー第2端子間の電圧を、第1データ $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ と第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和に応じた、電位 V_{OL} と電位 V_{OLB} との電位差（電圧 $|V_{RD}|$ ）とすることができる。

[0109]

その後、図3Cに示す動作例に示すように、例えば、容量CREの第2端子を電氣的に浮遊状態にして（容量CREの第1端子も電氣的に浮遊状態にしてもよい）、その後に、容量CREの第1端子の電位をGND電位にすることで、容量CREの第2端子の電位を V_{RD} にする。第1データ $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ と第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和が“正”である場合、容量CREの第2端子の電位 V_{RD} は正の電位となり、第1データ $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ と第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和が“負”である場合、容量CREの第2端子の電位 V_{RD} は負の電位となる。また、第1データ $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ と第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和が“0”である場合、容量CREの第1端子ー第2端子間の差分電圧は概ね0であるため、容量CREの第2端子の電位 V_{RD} はGND電位となる。

[0110]

そして、回路ACによって、容量CREの第2端子の電位をセンシングすることによって、電圧 V_{RD} に応じた出力信号 $z_j^{(k)}$ を出力することができる。つまり、容量CREの第1端子の電位 V_{OL} と、容量CREの第2端子の電位 V_{OLB} とが互いに大きい場合でも、又は、容量CREの第1端子の電位 V_{OL} と、容量CREの第2端子の電位 V_{OLB} とが互いに小さい場合でも、電位 V_{OL} と電位 V_{OLB} との差分電圧がそれぞれの場合において等しければ、容量CREによって当該差分電圧を検出して、同じ大きさの電圧を回路ACに入力し、同じ結果を出力信号 $z_j^{(k)}$ として出力することができる。その結果、電位 V_{OL} と電位 V_{OLB} の大きさに依存せずに、より正確な積和結果を取得することができる。

[0111]

特に、階層型のニューラルネットワークの場合、回路ACとしては、活性化関数回路とすればよく、活性化関数の種類に応じて、例えば、第1データと第2データの積和の結果が“0”以下であるときに、出力信号 $z_j^{(k)}$ として“0”の値のデジタル信号を出力し、第1データと第2データの積和の結果が“正”であるときに、出力信号 $z_j^{(k)}$ として“正”の多値を出力することができる回路とすればよい。このような回路としては、例えば、正の電圧のみセンシングが可能なアナログデジタル変換回路（センスアンプ、コンパレータなど）などを用いることが好ましい。

[0112]

なお、上記の例では、ニューラルネットワークでの利用例を示したが、本発明の一態様は、これに限定されない。例えば、配線OLには、読み取り対象のメモリセルからの信号を出力し、配線OLBには、リファレンス用のメモリセルからの信号を出力することによって、読み取り対象のメモリセルに保持された情報を読み出す機能として利用してもよい。つまり、DRAM、SRAM、または、フラッシュメモリとして利用してもよい。例えば、多値のデータの読み取りとして、動作させてもよい。または、一例として、メモリ回路内で計算を行う回路、つまり、インメモリーコンピューティング回路として利用してもよい。

[0113]

ところで、第1データと第2データの積和の結果が“負”である場合に、出力信号 $z_j^{(k)}$ として“負”の多値を出力したい場合、例えば、回路ACとしては、正の電圧に加え、負の電圧もセンシングが可能なアナログデジタル変換回路などを用いればよい。または、図3Cにおいて、容量CREの第1端子の電位をGND電位にするのではなく、容量CREの第1端子の電位を $(VDD/2)$ にしてもよい。このようにすれば、第1データと第2データの積和の結果が“ゼロ”である場合に、回路ACには、 $(VDD/2)$ の電位で入力される。そして、第1データと第2データの積和の結果が“正”の場合だけでなく“負”である場合でも、その絶対値が小さい場合には、回路ACには、正の電位で入力されるようになる。その結果、正の電圧のみセンシングが可能なアナログデジタル変換回路（センスアンプ、コンパレータなど）などを用いることが可能となる。また、アナログデジタル変換回路（センスアンプ、コンパレータなど）は、入力電圧が正の電圧のみの場合には、回路の簡略化が可能である。つまり、負の電源電圧を必要としなくなるため、電源回路の簡略化も可能となる。また、入力電圧の範囲を広くとれるようになるため、ノイズに対するマージンを大きくとることができ、正確な処理を行うことが可能となる。

[0114]

また、上記とは異なる、第1データと第2データの積和の結果が“負”である場合に、出力信号 $z_j^{(k)}$ として“負”の多値を出力する方法としては、例えば、図2Aの演算回路110を、図4Aに示す演算回路120に変更すればよい。つまり、容量CREの個数を増やすことにより、積和演算の結果が“負”の場合でも、正の電圧のみセンシングが可能なアナログデジタル変換回路（センスアンプ、コンパレータなど）などを用いることが可能となる。一例としては、演算回路120は、容量CREPと、容量CREMと、回路ACPと、回路ACMと、を有する。容量CREPの第1端子は端子T1に電氣的に接続され、容量CREPの第2端子は端子T2に電氣的に接続されている。容量CREMの第1端子は端子T1に電氣的に接続され、容量CREMの第2端子は端子T2に電氣的に接続されている。なお、例えば、端子T1と、容量CREP（容量CREM）の第1端子との間には、何らかの素子や回路など（例えば、スイッチ、トランジスタなど）が接続されていてもよい。同様に、例えば、端子T2と、容量CREP（容量CREM）の第2端子との間には、何らかの素子や回路など例えば、スイッチ、トランジスタなど）が接続されていてもよい。また、回路ACP及び回路ACMは、図2Aの演算回路110に用いた回路ACと同様に、例えば、正の電圧のセンシングが可能であり、アナログデジタル変換回路（センスアンプ、コンパレータなど）とする。なお、回路ACP、回路ACMのそれぞれはセンシング前には初期化されているものとし、回路ACPは、容量CREPの第2端子の電位をセンシングし、回路ACMは、容量CREMの第1端子の電位をセンシングする。つまり、容量CREPと容量CREMとで、センシングする端子を変えるようにする。

[0115]

図4Aの演算回路120は、図3A及び図3Bの動作例と同様に、配線OLの電位を V_{OL} とし、配線OLの電位を V_{OLB} として、容量CREPの第1端子ー第2端子間の電圧、及び容量CREPの第1端子ー第2端子間の電圧を $|V_{RE}|$ とすることができる。

[0116]

ここで、図4Bの動作例のとおり、容量CREPの第2端子、容量CREMの第1端子のそれぞれを電氣的に浮遊状態にし（容量CREPの第1端子、および、容量CREMの第2端子も電氣的に浮遊状態にしてもよい）、その後、容量CREPの第1端子と、容量CREMの第2端子と、のそれぞれの電位をGND電位にする。これにより、容量CREPの第2端子の電位が V_{RD} となり、容量CREMの第1端子の電位が $-V_{RD}$ となる。第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ と第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和の結果が“正”であるとき、 V_{RD} は0より高い電位となり、第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ と第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和の結果が“負”であるとき、 V_{RD} は0より低い電位となる。つまり、第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ と第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和の結果が“正”であるとき、回路ACMは、容量CREMの第1端子の電位 $-V_{RD}$ が負であるため、回路ACMから電位の出力が行われず（または、ゼロが出力され）、回路ACPは、容量CREPの第2端子の電位 V_{RD} が正であるため、センシングを行って、回路ACPから電位 V_{RD} に応じた電位を出力する。また、第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ と第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和の結果が“負”であるとき、回路ACPは、容量CREPの第2端子の電位 V_{RD} が負であるため、回路ACPから電位の出力が行われず（または、ゼロが出力され）、回路ACMは、容量CREMの第1端子の電位 $-V_{RD}$ が正であるため、センシングを行って、回路ACMから電位 V_{RD} に応じた電位を出力する。なお、第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ と第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和の結果が“0”であるとき、回路ACPが、容量CREPの第1端子の電位がGND電位であるため、回路ACPから電位の出力が行われず（または、ゼロが出力され）、また、回路ACMが、容量CREMの第2端子の電位がGND電位であるため、回路ACMから電位の出力が行われない（または、ゼロが出力される）。

[0117]

ここで、回路ACPから出力された電位を“正”の多値に対応させ、回路ACMから出力された電位を“負”の多値に対応させることによって、正の電圧のみセンシングが可能なアナログデジタル変換回路（センスアンプ、コンパレータなど）などを用いる場合であっても、第1データと第2データの積和の結果が“負”の場合でも、出力信号 $z_j^{(k)}$ として“負”の多値を出力することができる。なお、回路ACについて、図4においては、回路ACPと、回路ACMとを有する場合の例を示したが、本発明の一態様は、これに限定されない。回路ACPと、回路ACMとを回路ACのみとし、回路ACで2回センシングを行うようにしてもよい。つまり、回路ACの動作を2回に分けて、時分割で動作させてもよい。これにより、処理時間は長くなるが、回路の規模を小さくすることができる。

[0118]

<演算回路の構成例2>

次に、回路ACTF[j]の具体的な回路構成の例について説明する。回路ACTF[j]は、一例として、図5に示す回路構成とすることができる。図5は、一例として、配線OL[j]、配

線OLB[j]から入力された電流に応じて、信号 $z_j^{(k)}$ を生成する回路である。具体的には、図5には、多値、又はアナログ値によって表される出力信号 $z_j^{(k)}$ を出力する、演算回路の一例を示している。このため、回路ACTF[j]は、一例として、ニューラルネットワークにおける活性化関数回路としての機能を有する構成とすることができる。なお、図5には、回路ACTF[j]と周辺の回路との電氣的な接続の構成を示すため、アレイ部ALPと、回路AFPと、も図示している。

[0119]

図5に示す回路ACTF[j]は、一例として、スイッチSWR1と、スイッチSWR1Bと、スイッチSWR2と、スイッチSWR2Bと、回路IVTRと、回路IVTRrと、容量CREと、回路ACと、を有する。

[0120]

スイッチSWR1、スイッチSWR1B、スイッチSWR2、及びスイッチSWR2Bのそれぞれとしては、例えば、アナログスイッチやトランジスタなどの電氣的なスイッチなどを適用することができる。なお、スイッチSWR1、スイッチSWR1B、スイッチSWR2、及びスイッチSWR2Bの少なくとも一に、例えば、トランジスタを適用する場合、当該トランジスタは、トランジスタCRETに用いることができるトランジスタとすることができる。また、電氣的なスイッチ以外では、機械的なスイッチを適用してもよい。

[0121]

回路IVTRは、端子T1と、スイッチSWR1の第1端子と、に電氣的に接続されている。スイッチSWR1の第2端子は、容量CREの第1端子と、スイッチSWR2の第1端子と、に電氣的に接続されている。スイッチSWR2の第2端子は、配線VCN3に電氣的に接続されている。回路IVTRrは、端子T2と、スイッチSWR1Bの第1端子と、に電氣的に接続されている。スイッチSWR1Bの第2端子は、容量CREの第2端子と、スイッチSWR2Bの第1端子と、に電氣的に接続されている。スイッチSWR2Bの第2端子は、回路ACの端子mbt1に電氣的に接続されている。

[0122]

配線VCN3は、定電圧を与える配線として機能する。当該定電圧としては、例えば、接地電位GND、又は低レベル電位とすることができる。または、一例としては、VDD（高レベル電位）とすることができる。

[0123]

回路ACは、端子mbt1と、端子mbt2と、を有する。回路ACとしては、上述した通り、一例として、アナログデジタル変換回路などとすることができる。図5に示す回路ACは、端子mbt1に与えられる電位をセンシングして、デジタル信号として、端子mbt2から当該電位に応じた出力信号 $z_j^{(k)}$ を出力する機能を有する。そのため、例えば、回路ACが1ビットのデジタル信号に変換するアナログデジタル変換回路である場合、端子mbt2は1個となり、また、例えば、回路ACがkビット（kは2以上の整数である。）のデジタル信号に変換するアナログデジタル変換回路である場合は、端子mbt2はk個となる。なお、図5では、端子mbt2を複数の端子として図示している。一例としては、回路ACは、所定の複数の電位を基準にして、アナログデジタル変換を行い、端子mbt1のアナログ電位（または、多値のデジタル値）を、デジタル信号に変換して、出力する。

[0124]

特に、図5の回路ACTF[j]を、階層型のニューラルネットワークにおけるニューロンの活性化関数の回路として適用する場合、例えば、回路ACを、アナログデジタル変換において、回路ACの端子mbt1の電位が、配線VCN3が与える電位よりも低い場合（第1データと第2データの積和の結果が負となる場合）に、その値で出力するのではなく、ゼロを出力する構成にすることによって、当該活性化関数の回路をステップ関数の値を出力する回路として動作することができる。

[0125]

回路IVTRは、配線OL[j]に流れる電流を電圧値（または電荷量）に変換する機能を有する回路である。また、回路IVTRrは、配線OLB[j]に流れる電流を電圧値（または電荷量）に変換する機能を有する回路であって、回路IVTRと同様の構成とすることができる。これにより、図5の回路ACTF[j]において、回路IVTRは、配線OL[j]に流れる電流を電圧値（または電荷量）に変換して、当該電圧値をスイッチSWR1の第1端子に与えることができ、回路IVTRrは、配線OLB[j]に流れる電流を電圧値（または電荷量）に変換して、当該電圧値をスイッチSWR1Bの第1端子に与えることができる。

[0126]

回路IVTR（回路IVTRr）は、例えば、図6A乃至図6Cに示す回路構成とすることができる。なお、回路IVTRと回路IVTRrとを区別するため、図6A乃至図6Cでは、配線OLB[j]や、回路IVTRrに含まれる回路素子等の符号は括弧内に記している。

[0127]

図6Aに示す回路IVTR（回路IVTRr）は、スイッチSWR3（スイッチSWR3B）と、容量CRT（容量CRTB）と、を有する。配線OL[j]（配線OLB[j]）は、スイッチSWR3（スイッチSWR3B）の第1端子と、容量CRT（容量CRTB）の第1端子と、に電気的に接続されている。スイッチSWR3（スイッチSWR3B）の第2端子は、容量CRT（容量CRTB）の第2端子と、配線VCN4に電気的に接続されている。

[0128]

スイッチSWR3、スイッチSWR3Bのそれぞれとしては、例えば、前述したスイッチSWR1、スイッチSWR1B、スイッチSWR2、及びスイッチSWR2Bと同様に適用できるスイッチを用いることができる。

[0129]

配線VCN4は、一例として、定電圧を与える配線として機能する。当該定電圧としては、例えば、高レベル電位、接地電位、又は、低レベル電位とすることができる。一例としては、配線VCN4は、後述する配線VSOと同じ電位が与えられていてもよい。または一例として、配線VCN4は、配線VSOと電気的に接続されていてもよい。つまり、配線VCN4と配線VSOとを1本の配線にまとめてもよい。

[0130]

図6Aに示す回路IVTR（回路IVTRr）は、スイッチSWR3（スイッチSWR3B）をオン状態にすることで、配線OL[j]（配線OLB[j]）と配線VCN4との間を導通状態にすることができ、配線OL[j]（配線OLB[j]）に配線VCN4の定電圧を与えることができる。配線OL[j]（配線OLB[j]）に配線VCN4の定電圧を与える動作は、回路MP

[1, j] 乃至回路MP [m, j] から情報（電流、電圧など）を読み出すための初期動作に相当する。または、容量CRT（容量CRTB）に蓄積されている電荷を初期化する動作に相当する。また、図6Aに示す回路IVTR（回路IVTRr）は、スイッチSWR3（スイッチSWR3B）をオフ状態にすることで、配線OL[j]（配線OLB[j]）に流れる電流量を電荷として容量CRTの第1端子に充電することができる。つまり、容量CRTの第1端子の電位は、配線OL[j]（配線OLB[j]）に流れる電流量に応じて決められる。

[0131]

また、配線OL[j]（配線OLB[j]）に流れる電流量は、一例として、回路MP[1, j] 乃至回路MP[m, j] と配線OL[j]（配線OLB[j]）との間に流れる電流の総和とすることができる。そのため、回路MP[1, j] 乃至回路MP[m, j] のそれぞれと配線OL[j]（配線OLB[j]）との間に流れる電流を、一定時間だけ流すようにすることにより、容量CRTの第1端子に充電される電荷は、配線OL[j]（配線OLB[j]）に流れる電流量と当該一定時間とによって決められる。つまり、回路IVTRr（回路IVTRr）がスイッチSWR1（スイッチSWR1B）の第1端子に与える電圧は、回路MP[1, j] 乃至回路MP[m, j] のそれぞれが流す電流量と時間とによって決められる。

[0132]

ところで、配線OL[j]（配線OLB[j]）に係る寄生抵抗、又は寄生容量によって、配線OL[j]（配線OLB[j]）に流れる電流が電圧に変換される場合、回路IVTR（回路IVTRr）は、図6Bに示す回路構成とすることができる。つまり、図6Aの回路IVTR（回路IVTRr）において容量CRT（容量CRTB）を省略することができる。

[0133]

図6Cに示す回路IVTR（回路IVTRr）は、スイッチSWR3（スイッチSWR3B）と、抵抗RRT（抵抗RRTB）と、を有する。配線OL[j]（配線OLB[j]）は、スイッチSWR3（スイッチSWR3B）の第1端子と、抵抗RRT（抵抗RRTB）の第1端子と、に電氣的に接続されている。スイッチSWR3（スイッチSWR3B）の第2端子は、抵抗RRT（抵抗RRTB）の第2端子と、配線VCN4に電氣的に接続されている。

[0134]

図6Cに示す回路IVTR（回路IVTRr）は、スイッチSWR3（スイッチSWR3B）をオン状態にすることで、配線OL[j]（配線OLB[j]）と配線VCN4との間を導通状態にすることができ、配線OL[j]（配線OLB[j]）に配線VCN4の定電圧を与えることができる。配線OL[j]（配線OLB[j]）に配線VCN4の定電圧を与える動作は、回路MP[1, j] 乃至回路MP[m, j] から情報（電流、電圧など）を読み出すための初期動作に相当する。また、図6Cに示す回路IVTR（回路IVTRr）は、スイッチSWR3（スイッチSWR3B）をオフ状態にすることで、配線OL[j]（配線OLB[j]）に流れる電流量は、スイッチSWR3（スイッチSWR3B）を介さず、抵抗RRT（抵抗RRTB）を介して、配線VCN4に流れる。このとき、抵抗RRT（抵抗RRTB）の第1端子と第2端子との間には、抵抗RRT（抵抗RRTB）の抵抗値と、当該電流量と、に応じた電圧が生じる。つまり、容量CRTの第1端子の電位は、配線OL[j]（配線OLB[j]）に流れる電流量と、抵抗RRT（抵抗RRTB）の抵抗値と、に応じて決められる。なお、スイッチSWR3（スイッチSWR3B）は、必ずしも設けなくてもよい。

[0135]

次に、図5の回路ACTF [j]とは異なる、図2の回路ACTF [j]に適用できる回路構成の例について説明する。

[0136]

図7Aに示す回路ACTF [j]は、図5の回路ACTF [j]の回路構成を変更した構成例となっている。具体的には、スイッチSWR2の第2端子に回路ACの端子mbt1が電氣的に接続され、スイッチSWR2Bの第2端子に配線VCN3が電氣的に接続されている点で、図5の回路ACTF [j]と異なっている。

[0137]

また、図2の回路ACTF [j]に適用できる回路構成としては、例えば、図7Bに示す回路ACTF [j]とすることができる。図7Bの回路ACTF [j]は、スイッチSWR2と、スイッチSWR2Bと、スイッチSWR6と、スイッチSWR6Bと、スイッチSWR7と、スイッチSWR7Bと、容量CREと、回路IVTRと、回路IVTRrと、回路ACと、を有する。

[0138]

スイッチSWR6の第1端子は、端子T1に電氣的に接続され、スイッチSWR6の第2端子は、スイッチSWR7の第1端子と、スイッチSWR2の第1端子と、容量CREの第1端子と、に電氣的に接続されている。スイッチSWR7の第2端子は、回路IVTRに電氣的に接続され、スイッチSWR2の第2端子は配線VCN3に電氣的に接続されている。スイッチSWR6Bの第1端子は、端子T2に電氣的に接続され、スイッチSWR6Bの第2端子は、スイッチSWR7Bの第1端子と、スイッチSWR2Bの第1端子と、容量CREの第2端子と、に電氣的に接続されている。スイッチSWR7Bの第2端子は、回路IVTRrに電氣的に接続され、スイッチSWR2Bの第2端子は回路ACに電氣的に接続されている。

[0139]

スイッチSWR6、スイッチSWR6B、スイッチSWR7、及びスイッチSWR7Bのそれぞれとしては、例えば、前述したスイッチSWR1、スイッチSWR1B、スイッチSWR2、及びスイッチSWR2Bと同様に適用できるスイッチを用いることができる。

[0140]

回路AC、回路IVTR、及び回路IVTRrのそれぞれについては、図5の回路ACTF [j]に含まれている回路AC、回路IVTR、及び回路IVTRrの説明を参酌する。

[0141]

また、図2Aの回路ACTF [j]に適用できる回路構成としては、例えば、図7Cに示す回路ACTF [j]とすることができる。図7Cの回路ACTF [j]は、図7Bの回路ACTF [j]にスイッチSWR7と、スイッチSWR2Bと、を設けない構成となっている。つまり、図7Cの回路ACTF [j]において、スイッチSWR6の第2端子は、回路IVTRに電氣的に接続され、回路ACの端子mbt1は、容量CREの第2端子と、スイッチSWR6Bの第2端子と、スイッチSWR7Bの第1端子と、に電氣的に接続されている。

[0142]

図7A乃至図7Cのいずれか一の回路ACTF [j]を、図2の回路ACTF [j]に適用することによって、図5の回路ACTF [j]と同様に、第1データと第2データとの積和に応じた結果として、信号 $z_j^{(k)}$ を出力することができる。

[0143]

<演算回路の動作例2>

続いて、図5の回路ACTF[j]の動作例について説明する。なお、本動作例の説明では、一例として、図8に示す演算回路110Aを用いる。演算回路110Aは、図5に示す回路ACTF[j]に含まれている回路IVTR、回路IVTRrとして、図6Aの回路IVTR（回路IVTRr）を適用した構成となっている。

[0144]

また、図8には、一例として、回路ACTF[J]に含まれているスイッチSWR1、スイッチSWR2、スイッチSWR3、スイッチSWR1B、スイッチSWR2B、スイッチSWR3Bのそれぞれのオン状態とオフ状態との切り替えを行うための配線として、配線SRL1、配線SRL2-1、配線SRL2-2、配線SRL3が図示されている。具体的には、配線SRL1は、スイッチSWR1の制御端子と、スイッチSWR1Bの制御端子と、に電氣的に接続され、配線SRL2-1は、スイッチSWR2の制御端子に電氣的に接続され、配線SRL2-2は、スイッチSWR2Bの制御端子に電氣的に接続され、配線SRL3は、スイッチSWR3の制御端子と、スイッチSWR3Bの制御端子と、に電氣的に接続されている。なお、例えば、スイッチSWR1、スイッチSWR2、スイッチSWR3、スイッチSWR1B、スイッチSWR2B、または、スイッチSWR3Bは、場合によっては、または、状況に応じて、それらの一部を省略することができる。つまり、例えば、スイッチSWR1、スイッチSWR2、スイッチSWR1B、スイッチSWR2Bは、それらのスイッチの一部が常にオン状態になっているような回路構成となってもよい。また、例えば、他のスイッチを利用することにより、スイッチSWR3、スイッチSWR3Bは、それらのスイッチの一部が常にオフ状態になっているような回路構成となってもよい。または例えば、スイッチSWR1、スイッチSWR2、スイッチSWR3、スイッチSWR1B、スイッチSWR2B、スイッチSWR3Bは、接続構成の一部を変更することも可能である。なお、例えば、配線SRL1、配線SRL2-1、配線SRL2-2、または、配線SRL3は、場合によっては、または、状況に応じて、それらの一部を省略することができる。例えば、配線SRL2-1と配線SRL2-2とを、1本の配線にまとめてしまってもよい。または例えば、スイッチSWR1とスイッチSWR2（スイッチSWR2B）のオンオフの極性を逆にすることにより、配線SRL1と配線SRL2-1（配線SRL2-2）とを、1本の配線にまとめてしまってもよい。これにより、1本の配線で、スイッチSWR1とスイッチSWR2（スイッチSWR2B）を、互い違いにオンオフさせることができる。

[0145]

また、図8には、スイッチSWR1の第1端子と、容量CRTの第1端子と、スイッチSWR3の第1端子と、の電氣的接続点として、ノードn4を図示し、スイッチSWR1Bの第1端子と、容量CRTBの第1端子と、スイッチSWR3Bの第1端子と、の電氣的接続点として、ノードn4rを図示している。また、スイッチSWR1の第2端子と、容量CREの第1端子と、スイッチSWR2の第1端子と、の電氣的接続点として、ノードn5を図示し、スイッチSWR1Bの第2端子と、容量CREの第2端子と、スイッチSWR2Bの第1端子と、の電氣的接続点として、ノードn5rを図示している。

[0146]

図9は、図8の演算回路110Aの回路ACTF[j]の動作例を示したタイミングチャートで

あり、当該タイミングチャートは、時刻T 0 1から時刻T 0 8までの間、及びその近傍における、配線X L S [1]乃至配線X L S [m]、配線S R L 1、配線S R L 2-1、配線S R L 2-2、配線S R L 3、ノードn 4、ノードn 4 r、ノードn 5、ノードn 5 rの電位の変動を示している。なお、図9に示しているh i g hは、高レベル電位を示し、l o wは低レベル電位を示している。

[0147]

なお、本動作例において、スイッチS W R 1、スイッチS W R 2、スイッチS W R 1 B、及びスイッチS W R 2 Bのそれぞれは、制御端子に高レベル電位が入力されたときにオン状態となり、制御端子に低レベル電位が入力されたときにオフ状態となるものとする。

[0148]

また、図9のタイミングチャートは、配線X L S [1]乃至配線X L S [m]をまとめて図示している。また、図9のタイミングチャートで、配線X L S [1]乃至配線X L S [m]に第2データが入力されている期間をハッチングで示している。

[0149]

なお、本動作例では、配線O L [j]から回路M Pに電流が流れ、また、配線O L B [j]から回路M Pに電流が流れるものとする。そのため、回路M Pには、V S S（低レベル電位）を与える配線（例えば、実施の形態2で説明する配線V E、配線V E rとすることができる）が電氣的に接続されているものとし（図8には図示しない）かつ、配線V C N 4が与える定電圧をV D D（高レベル電位）とする。また、配線O L [j]から回路M Pに流れる電流量、及び配線O L B [j]から回路M Pに流れる電流量は、回路M Pに保持されている第1データと、配線X L Sから入力される第2データによって決まる。また、配線O L [j]から回路M Pに流れる電流量、及び／又は配線O L B [j]から回路M Pに流れる電流量は、ゼロである場合もある。また、配線V C N 3が与える定電圧をV S Sとする。

[0150]

時刻T 0 1より前において、回路M P [1, j]乃至回路M P [m, j]のそれぞれには第1データとして、重み係数 $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ が保持されているものとする。

[0151]

また、時刻T 0 1より前において、配線X L S [1]乃至配線X L S [m]には、低レベル電位が入力され、配線S R L 1、配線S R L 2-1、配線S R L 2-2、及び配線S R L 3には低レベル電位が入力されている。また、ノードn 4、ノードn 4 r、ノードn 5、及びノードn 5 rのそれぞれの電位をV S Sとする。

[0152]

時刻T 0 1から時刻T 0 2までの間において、配線S R L 1、及び配線S R L 3には高レベル電位が入力される。配線S R L 1に高レベル電位が入力されることによって、スイッチS W R 1及びスイッチS W R 1 Bがオン状態となり、配線S R L 3に高レベル電位が入力されることによって、スイッチS W R 3、及びスイッチS W R 3 Bがオン状態となる。

[0153]

また、時刻T 0 1から時刻T 0 2までの間において、配線S R L 2-1、及び配線S R L 2-2には低レベル電位が入力される。配線S R L 2-1、及び配線S R L 2-2に低レベル電位が入力されることによって、スイッチS W R 2、及びスイッチS W R 2 Bがオフ状態となる。

[0154]

これにより、配線VCN4と配線OL[j]との間、配線VCN4と容量CREの第1端子との間、が導通状態となる。また、配線VCN4と配線OLB[j]との間、配線VCN4と容量CREの第2端子との間、配線VCN4と端子mbt1との間が導通状態となる。また、配線VCN3と容量CREの第1端子との間は非導通状態となる。このため、ノードn4、ノードn4r、ノードn5、及びノードn5rのそれぞれの電位は、VDDとなる。

[0155]

時刻T02から時刻T03までの間において、配線SRL3には低レベル電位が入力される。配線SRL3に低レベル電位が入力されることによって、スイッチSWR3及びスイッチSWR3Bがオフ状態となる。このため、配線VCN4と配線OL[j]との間が非導通状態となり、配線VCN4と配線OLB[j]との間が非導通状態となり、ノードn4、ノードn5、ノードn4r、及びノードn5rはフローティング状態となる。

[0156]

時刻T03から時刻T04までの間において、アレイ部ALPの回路MP[1, j]乃至回路MP[m, j]のそれぞれに対して、第2データとしてニューロンの信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ が送られる。

[0157]

これによって、回路MP[i, j]において、重み係数 $w_i^{(k-1)}j^{(k)}$ とニューロンの信号 $z_1^{(k-1)}$ に応じて、配線OL[j]又は配線OLB[j]の一方と回路MCとの間に電流が流れ、配線OL[j]又は配線OLB[j]の他方と回路MCrとの間に電流が流れる。ここで、回路MP[1, j]乃至回路MP[m, j]のそれぞれと配線OL[j]との間に流れる電流の総和を $I_{out}[j]$ とし、回路MP[1, j]乃至回路MP[m, j]のそれぞれと配線OLB[j]との間に流れる電流の総和を $I_{Bout}[j]$ とする。

[0158]

このとき、ノードn4及びノードn5の電位は、配線OL[j]に流れる電流によって低下し、また、ノードn4r及びノードn5rの電位は、配線OLB[j]に流れる電流によって低下する。

[0159]

なお、本動作例では、 $I_{Bout}[j]$ よりも $I_{out}[j]$ が大きいものとする。そのため、時刻T03から時刻T04までの間における、ノードn4及びノードn5の電位の低下は、ノードn4r及びノードn5rの電位の低下よりも大きいものとする。図9のタイミングチャートでは、時刻T04において、ノードn4及びノードn5の電位は V_{Iout} まで低下し、ノードn4r及びノードn5rの電位 V_{IBout} まで低下したものとしている。

[0160]

また、時刻T04において、配線SRL1には低レベル電位が入力される。配線SRL1に低レベル電位が入力されることによって、スイッチSWR1及びスイッチSWR1Bがオフ状態となる。このため、容量CREの第1端子と配線OL[j]との間が非導通状態となり、容量CREの第2端子と配線OLB[j]との間が非導通状態となる。これによって、容量CREの第1端子（ノードn5）での電位の低下が停止し、容量CREの第2端子（ノードn5r）での電位の低下が停止する。また、容量CREの第1端子（ノードn5）と容量CREの第2端子（ノードn5r）との間の電圧が保持される。なお、ノードn4及びノードn4rのそれぞれの電位は時刻T04以前から引き続き、低下する。

[0161]

時刻T05から時刻T06までの間において、配線XLS[1]乃至配線XLS[m]のそれぞれに低レベル電位が入力される。これにより、アレイ部ALPの回路MP[1, j]乃至回路MP[m, j]のそれぞれに対する、第2データに応じたニューロンの信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ の供給が停止する。これによって、配線OL[j]から回路MPに流れる電流が停止し、かつ配線OLB[j]から回路MPに流れる電流が停止する。そのため、ノードn4及びノードn4rのそれぞれの電位の低下が停止する。

[0162]

時刻T06から時刻T07までの間において、配線SRL2-1には高レベル電位が入力される。配線SRL2-1に高レベル電位が入力されることによって、スイッチSWR2がオン状態となる。このため、容量CREの第1端子と配線VCN3との間が導通状態となり、容量CREの第1端子（ノードn5）の電位がVSSとなる。

[0163]

ところで、容量CREの第2端子（ノードn5r）はフローティング状態であるため、容量CREの第1端子（ノードn5）の電位が $V_{I_{out}}$ からVSSに変化したことによって、容量結合によって容量CREの第2端子（ノードn5r）の電位も変化する。なお、容量結合による電位の変化量は容量結合係数に応じて定まるが、本明細書等では、簡易的に説明するため、容量CREの第1端子の電位が $V_{I_{out}}$ からVSSに変化したとき、容量CREの第2端子の電位は、 $V_{I_{out}} - (V_{I_{out}} - VSS)$ （図9のタイミングチャートでは、 V_{OP} と表記）に変化するものとする。つまり、この電位の変化は、容量CRE及び周辺の回路素子に応じて定まる容量結合係数を1とした場合に相当する。

[0164]

時刻T07から時刻T08までの間において、配線SRL2-2には高レベル電位が入力される。配線SRL2-2に高レベル電位が入力されることによって、スイッチSWR2Bがオン状態となる。このため、容量CREの第2端子（ノードn5r）と端子mbt1との間が導通状態となる。

[0165]

このとき、回路ACの端子mbt1に、容量CREの第2端子（ノードn5r）の電位である V_{OP} が入力される。

[0166]

これにより、回路ACは、端子mbt1に入力された電位 V_{OP} に応じたデジタル信号として、 $z_j^{(k)}$ の値の信号が出力される。

[0167]

$z_j^{(k)}$ は、配線OL[j]に流れる電流量に応じた電位 $V_{I_{out}}$ と、配線OLB[j]に流れる電流量に応じた電位 $V_{I_{out}}$ と、の電位差に基づいて出力された値である。つまり、電位 $V_{I_{out}}$ 、電位 $V_{I_{out}}$ は、 $I_{out}[j]$ 及び $I_{out}[j]$ と、スイッチSWR1及びスイッチSWR2がオン状態となっている時間（時刻T03から時刻T04までの時間）と、によって決められる。 $I_{out}[j]$ 及び $I_{out}[j]$ は、回路MP[1, j]乃至回路MP[m, j]のそれぞれに保持されている第1データである第1データ $w_1^{(k-1)}j^{(k)}$ 乃至 $w_m^{(k-1)}j^{(k)}$ と、回路MP[1, j]乃至回路MP[m, j]に入力された第2データである信号の値 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ と、の積和演算の結果、つまり式(1.2)の $u_j^{(k)}$ に応じた電流である。一方、電位 $V_{I_{out}}$ 、電位 $V_{I_{out}}$

t は、スイッチSWR 1及びスイッチSWR 2がオン状態となっている時間（時刻T 0 3から時刻T 0 4までの時間）に応じて変化するため、当該時間は、回路ACに応じて適切に設定されていることが好ましい。

[0168]

本動作例では、電流量である $I_{out}[j]$ と $I_{Bout}[j]$ のそれぞれを電位に変換して、それらの電位差が回路ACに入力されることによって、 $z_j^{(k)}$ の値が出力される。つまり、回路ACを、階層型のニューラルネットワークにおける活性化関数の回路とすることで、デジタル信号として出力された $z_j^{(k)}$ の値は式(1.4)の $z_j^{(k)}$ に相当する電位とすることができる。

[0169]

ところで、時刻T 0 7から時刻T 0 8までの間において、スイッチSWR 2 Bがオン状態となった段階では、厳密には、寄生抵抗や寄生容量などの影響も考慮すると、端子mbt 1に入力される電位は V_{Op} から変動する場合がある。この場合、回路ACは、容量CREの第2端子と端子mbt 1との間の配線の抵抗を考慮して、端子mbt 1に入力される電位を適切に補正するように設計されていることが好ましい。

[0170]

また、上述の動作例では、 $I_{Bout}[j]$ よりも $I_{out}[j]$ が大きい場合を説明した。一方、 $I_{out}[j]$ よりも $I_{Bout}[j]$ が大きい場合、時刻T 0 4において、ノードn 5の電位 V_{Iout} よりもノードn 5 rの電位 V_{IBout} が低くなる。このため、時刻T 0 6から時刻T 0 7までの間において、スイッチSWR 2がオン状態になったとき、ノードn 5 rの電位は、容量CREの容量結合によって、VSSよりも低い電位となる。そして、時刻T 0 7から時刻T 0 8までの間において、端子mbt 1にはVSSよりも低い電位が入力される。このとき、回路ACの構成として、例えば、端子mbt 2に出力信号 $z_j^{(k)}$ として0に応じたデジタル信号を出力する構成としてもよい。これは、階層型のニューラルネットワークにおける活性化関数 $f(u_j^{(k)})$ が、 $u_j^{(k)}$ が負であるとき0を出力するランプ関数などとして機能することに相当する。

[0171]

<演算回路の構成例3>

なお、本発明の一態様は、演算回路に含まれている図5の回路ACTF[j]の回路構成に限定されない。例えば、本発明の一態様の半導体装置（演算回路）に含まれている図5の回路ACTF[j]は、図10の回路ACTF[j]に示す回路構成に変更することができる。図10の回路ACTF[j]は、スイッチSWR 1と、スイッチSWR 1 Bと、スイッチSWR 2と、スイッチSWR 2 Bと、スイッチSWR 3と、スイッチSWR 3 Bと、スイッチSWR 4と、スイッチSWR 4 Bと、負荷LEと、負荷LE Bと、オペアンプOPと、オペアンプOP Bと、回路ACと、を有する。なお、図5に示す回路ACTF[j]と内容が重複する部分については説明を省略する。

[0172]

スイッチSWR 3、スイッチSWR 3 B、スイッチSWR 4、スイッチSWR 4 Bのそれぞれとしては、例えば、スイッチSWR 1、スイッチSWR 1 B、スイッチSWR 2、及びスイッチSWR 2 Bと同様に適用できるスイッチとすることができる。

[0173]

スイッチSWR 3の第1端子は、端子T 1と、スイッチSWR 4の第1端子と、負荷LEの第1端子と、に電氣的に接続されている。スイッチSWR 3の第2端子は、配線VCN 4に電氣的に接

続されている。オペアンプOPの非反転入力端子は、配線V r e f 1 Lに電氣的に接続され、オペアンプOPの反転入力端子は、スイッチSWR 4の第2端子に電氣的に接続され、オペアンプOPの出力端子は、負荷LEの第2端子と、スイッチSWR 1の第1端子と、に電氣的に接続されている。

[0174]

スイッチSWR 3 Bの第1端子は、端子T 2と、スイッチSWR 4 Bの第1端子と、負荷LE Bの第1端子と、に電氣的に接続されている。スイッチSWR 3 Bの第1端子は、配線VCN 4に電氣的に接続されている。オペアンプOP Bの非反転入力端子は、配線V r e f 2 Lに電氣的に接続され、オペアンプOP Bの反転入力端子は、スイッチSWR 4 Bの第2端子に電氣的に接続され、オペアンプOP Bの出力端子は、負荷LE Bの第2端子と、スイッチSWR 1 Bの第1端子と、に電氣的に接続されている。

[0175]

なお、ここでの配線V r e f 1 L、配線V r e f 2 Lは、互いに等しい電圧、又は異なる電圧を供給する配線として機能する。したがって、配線V r e f 1 L、配線V r e f 2 Lは、1本の配線にまとめることができる場合がある。

[0176]

図10の回路ACTF [j] は、スイッチSWR 3（スイッチSWR 3 B）をオン状態にし、スイッチSWR 4（スイッチSWR 4 B）をオフ状態にすることによって、図10と同様に、配線OL [j]（配線OLB [j]）に配線VCN 4の定電圧を与える初期動作を行うことができる。

[0177]

図10の回路ACTF [j] において、負荷LE、負荷LE Bとしては、例えば、抵抗、容量などとすることができる。特に、負荷LE、負荷LE Bとして容量を用いることによって、オペアンプOPと負荷LE、オペアンプOP Bと負荷LE B、はそれぞれ積分回路として機能する。つまり、スイッチSWR 3、スイッチSWR 3 Bをオフ状態にし、スイッチSWR 4、スイッチSWR 4 Bをオン状態にすることによって、配線OL [j] または配線OLB [j] に流れる電流量に応じて、それぞれの容量（負荷LE、負荷LE B）に電荷が蓄えられる。つまり、配線OL [j]、OLB [j] から流れる電流は、積分回路によって電圧に変換されて、それぞれの電圧はオペアンプOP、オペアンプOP Bの出力端子から出力される。

[0178]

負荷LE、負荷LE Bを容量とすることによって、図10の回路ACTF [j] は、配線OL [j] に流れる電荷量を電圧値に変換して、当該電圧値をスイッチSWR 1の第1端子に与えることができ、また、配線OLB [j] に流れる電荷量を電圧値に変換して、当該電圧値をスイッチSWR 1 Bの第1端子に与えることができる。

[0179]

また、図5の回路ACTF [j] は、図11Aの回路ACTF [j] に示す回路構成に変更することができる。図11Aの回路ACTF [j] は、スイッチSWR 3と、スイッチSWR 3 Bと、スイッチSWR 4と、スイッチSWR 4 Bと、スイッチSWR 5と、負荷LE Aと、負荷LE ABと、オペアンプOPAと、回路ACと、を有する。

[0180]

スイッチSWR 3、スイッチSWR 3 B、スイッチSWR 4、スイッチSWR 4 B、スイッチS

WR 5のそれぞれとしては、例えば、スイッチSWR 1、スイッチSWR 1 B、スイッチSWR 2、及びスイッチSWR 2 Bと同様に適用できるスイッチとすることができる。

[0181]

スイッチSWR 3の第1端子は、端子T 1と、スイッチSWR 4の第1端子と、負荷LEAの第1端子と、に電氣的に接続されている。スイッチSWR 3の第2端子は、配線VCN 4に電氣的に接続されている。オペアンプOPの反転入力端子は、スイッチSWR 4の第2端子に電氣的に接続されている。負荷LEAの第2端子は、スイッチSWR 5の第1端子に電氣的に接続されている。スイッチSWR 3 Bの第1端子は、端子T 2と、スイッチSWR 4 Bの第1端子と、負荷LEABの第1端子と、に電氣的に接続されている。スイッチSWR 3 Bの第2端子は、配線VCN 4に電氣的に接続されている。オペアンプOPの非反転入力端子は、スイッチSWR 4 Bの第2端子に電氣的に接続されている。負荷LEABの第2端子は、配線VCN 5に電氣的に接続されている。オペアンプOPの出力端子は、スイッチSWR 5の第2端子と、回路ACの端子mbt 1と、に電氣的に接続されている。

[0182]

なお、配線VCN 5は、定電圧を与える配線として機能する。当該定電圧としては、例えば、接地電位、又は低レベル電位とすることができる。

[0183]

図11Aの回路ACTF [j] は、スイッチSWR 3（スイッチSWR 3 B）をオン状態にし、スイッチSWR 4（スイッチSWR 4 B）をオフ状態にし、スイッチSWR 5をオフ状態にすることによって、図10と同様に、配線OL [j]（配線OLB [j]）に配線VCN 4の定電圧を与える初期動作を行うことができる。

[0184]

図11Aの回路ACTF [j] において、負荷LEA、負荷LEABとしては、例えば、抵抗、容量などとすることができる。また、オペアンプOPAを用いて減算回路を構成する場合は、負荷LEA、負荷LEABとしては、抵抗を用いることができる。負荷LEA、負荷LEABを抵抗にすることによって、負荷LEAの第1端子－第2端子間と、負荷LEABの第1端子－第2端子間と、に流れる電流の差分に応じた電圧を、オペアンプOPAの出力端子から出力することができる。これにより、スイッチSWR 3、スイッチSWR 3 Bをオフ状態にし、スイッチSWR 4、スイッチSWR 4 Bをオン状態にし、スイッチSWR 5をオン状態にすることによって、配線OL [j]、配線OLB [j] のそれぞれに流れる電流の差分に応じた電圧をオペアンプOPAの出力端子から出力することができる。

[0185]

また、オペアンプOPAの出力端子から出力された電圧は回路ACの入力端子に入力される。これにより、オペアンプOPAの出力端子から出力されたアナログ電圧を、回路ACによって、デジタル信号に変換することができる。また、当該デジタル信号は、ニューロンの信号の演算値 $z_j^{(k)}$ として、回路ACの端子mbt 2から出力することができる。

[0186]

また、図11Aの回路ACTF [j] の回路構成を変更して、図11Bの回路ACTF [j] としてもよい。図11Bの回路ACTF [j] は、図11Aの回路ACTF [j] に回路ACを設けない構成としたものであって、これにより、オペアンプOPAの出力端子から出力されたアナログ

電圧を、ニューロンの信号の演算値 $z_j^{(k)}$ とすることができる。

[0187]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0188]

(実施の形態2)

本実施の形態では、上記の実施の形態で説明した演算回路110、演算回路110A、及び演算回路120の周辺の回路構成と、その演算回路における動作例について説明する。

[0189]

<演算回路の構成例1>

図12に示す演算回路130は、一例として、アレイ部ALPと、回路ILDと、回路WLDと、回路XLDと、回路AFPと、を有する半導体装置である。演算回路130は、図1A及び図1Bにおける第k層のニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ に入力される信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ を処理して、ニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ のそれぞれから出力される信号 $z_1^{(k)}$ 乃至 $z_n^{(k)}$ を生成する回路である。

[0190]

なお、演算回路130の全体、または、その一部において、ニューラルネットワークやAI以外の用途で使用してよい。例えば、グラフィック向けの計算や、科学計算用の計算などにおいて、積和演算処理や行列演算処理を行う場合に、演算回路130の全体、または、その一部を用いて、処理を行ってもよい。つまり、AI向けの計算だけでなく、一般的な計算のために、演算回路130の全体、または、その一部を用いてもよい。また、例えば、演算回路130の全体、または、その一部において、記憶装置等の用途で使用してもよい。

[0191]

回路ILDは、一例として、配線IL[1]乃至配線IL[n]と、配線ILB[1]乃至配線ILB[n]と、に電氣的に接続される。回路WLDは、一例として、配線WLS[1]乃至配線WLS[m]に電氣的に接続される。回路XLDは、一例として、配線XLS[1]乃至配線XLS[m]に電氣的に接続されている。回路AFPは、一例として、配線OL[1]乃至配線OL[n]と、配線OLB[1]乃至配線OLB[n]と、に電氣的に接続されている。

[0192]

<<アレイ部ALP>>

アレイ部ALPは、一例として、 $m \times n$ 個の回路MPを有している。回路MPは、一例として、アレイ部ALP内において、m行n列のマトリクス状に配置されている。なお、図12では、i行j列（ここでのiは1以上m以下の整数であって、jは1以上n以下の整数である。）に位置する回路MPを、回路MP[i, j]と表記している。但し、図12では、回路MP[1, 1]、回路MP[m, 1]、回路MP[i, j]、回路MP[1, n]、回路MP[m, n]を抜粋して図示している。

[0193]

回路MP[i, j]は、一例として、配線IL[j]と、配線ILB[j]と、配線WLS[i]と、配線XLS[i]と、配線OL[j]と、配線OLB[j]と、に電氣的に接続されている。

[0194]

回路MP[i, j]は、一例としては、上記の実施の形態で説明した回路MP[1, j]乃至回

路MP [m, j] と同様の機能を有する。更に、回路MP [i, j] は、回路MP [i, j] に保持される重み係数（第1データ）を、配線IL[j] 及び配線ILB[j] から取得する機能を有する。なお、図12では、配線IL[j] 及び配線ILB[j] が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。配線IL[j] 及び配線ILB[j] のいずれか一方のみが配置されていてもよい。

[0195]

なお、回路MP [1, 1] 乃至回路MP [m, n] の具体的な説明については後述する。

[0196]

<<回路XLD>>

図12の回路XLDは、一例として、配線XLS[1] 乃至配線XLS[m] を介して、回路MP [1, 1] 乃至回路MP [m, n] のそれぞれに対して、ニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k)}$ から出力された演算値である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ （第1データ又は第2データと呼称する場合がある。ここでは第2データとする。）を供給する機能を有する。具体的には、回路XLDは、回路MP [i, 1] 乃至回路MP [i, n] に対して、ニューロン $N_i^{(k-1)}$ から出力された第2データ $z_i^{(k-1)}$ に対応する情報（例えば、電位、電流値など）を、配線XLS[i] によって供給する。なお、配線XLS[i] が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。例えば、図12の演算回路130において、配線XLS[i] を複数本の配線としてもよい。

[0197]

<<回路WLD>>

図12の回路WLDは、一例として、回路ILDから入力される重み係数（第1データ又は第2データと呼称する場合がある。ここでは第1データとする。）に応じた情報（例えば、電位、抵抗値、電流値など）の書き込む先となる回路MPを選択する機能を有する。例えば、アレイ部ALPのi行目に位置する回路MP [i, 1] 乃至回路MP [i, n] に情報（例えば、電位、抵抗値、電流値など）の書き込みを行う場合、回路WLDは、例えば、回路MP [i, 1] 乃至回路MP [i, n] に含まれる書き込み用スイッチング素子をオン状態又はオフ状態にするための信号を配線WLS[i] に供給し、i行目以外の回路MPに含まれる書き込み用スイッチング素子をオフ状態にする電位を配線WLSに供給すればよい。なお、配線WLS[i] が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。配線WLS[i] の他に、例えば、配線WLS[i] に入力される信号の反転信号を送信する配線が別途配置されていてもよい。つまり、配線WLS[i] を複数の配線として置き換えてもよい。なお、回路WLDは、回路XLDと別の回路として配置されていてもよいが、本発明の一態様は、これに限定されない。例えば、回路WLDは、回路XLDと一体の回路となってもよい。

[0198]

<<回路AFP>>

図12の回路AFPは、一例としては、回路ACTF [1] 乃至回路ACTF [n] を有する。回路ACTF [1] 乃至回路ACTF [n] は、一例としては、上記実施の形態で説明した回路ACTF [j] を適用することができる。これにより、回路ACTF [1] 乃至回路ACTF [n] は、一例として、配線OL[j] と配線OLB[j] から入力されるそれぞれの情報（例えば、電位、電流値など）に応じた信号を生成することができる。一例としては、配線OL[j] と配線OLB[j] から入力されるそれぞれの情報（例えば、電位、電流値など）に応じた信号を生成することができる。一例としては、配線OL[j] と配線OLB[j] から入力されるそれぞれの情報（例えば、電位、電流値など）に応じた信号を生成することができる。

LB [j] から入力されるそれぞれの情報（例えば、電位、電流値など）を比較し、その比較結果に応じた信号を生成する。当該信号は、ニューロン $N_j^{(k)}$ から出力される信号 $z_j^{(k)}$ に相当する。つまり、回路ACTF [1] 乃至回路ACTF [n] は、一例としては、上述したニューラルネットワークの活性化関数の演算を行う回路として機能する。

[0199]

<<回路MP>>

ここで、演算回路130に適用できる回路MP [i, j] の構成例について説明する。

[0200]

図13Aは、演算回路130に適用できる回路MP [i, j] の構成例を示しており、回路MP [i, j] は、一例としては、回路MCと、回路MCrと、を有する。回路MC及び回路MCrは、回路MPにおいて、第1データと、第2データと、の積を計算する回路である。回路MCは、回路MCrと同様の構成、又は回路MCrと異なる構成とすることができる。そのため、回路MCrは、回路MCと区別をするため、符号に「r」を付している。また、回路MCrに含まれている、後述する回路素子の符号にも「r」を付している。

[0201]

回路MCは、一例としては、保持部HCを有し、回路MCrは、保持部HCrを有する。保持部HC、及び保持部HCrは、それぞれ情報（例えば、電位、抵抗値、電流値など）を保持する機能を有する。なお、回路MP [i, j] に設定される第1データ $w_i^{(k-1)} j^{(k)}$ は、保持部HC、及び保持部HCrのそれぞれに保持される情報（例えば、電位、抵抗値、電流値など）に応じて定められる。そのため、保持部HC及び保持部HCrのそれぞれは、第1データ $w_i^{(k-1)} j^{(k)}$ に応じた各情報（例えば、電位、抵抗値、電流値など）を供給する配線OL [j] 及び配線OLB [j] に電氣的に接続されている。

[0202]

図13Aにおいて、回路MP [i, j] は、配線VE [j] と、配線VER [j] と、に電氣的に接続されている。配線VE [j]、配線VER [j] は、定電圧を供給する配線として機能する。また、配線VE [j] には、一例として、回路MCを介して配線OLからの電流が流れる。また、配線VER [j] には、一例として、回路MCrを介して配線OLBからの電流が流れる。

[0203]

図13Aに示した配線WL [i] は、図12における配線WLS [i] に相当する。配線WL [i] は、保持部HC及び保持部HCrのそれぞれに電氣的に接続されている。回路MP [i, j] に含まれる保持部HC、及び保持部HCrに第1データ $w_i^{(k-1)} j^{(k)}$ に応じた情報（例えば、電位、抵抗値、電流値など）を書き込むとき、配線WL [i] に所定の電位を供給することによって、配線OL [j] と保持部HCとの間を導通状態にし、かつ配線OLB [j] と保持部HCrとの間を導通状態にする。そして、配線IL [j]、ILB [j] のそれぞれに第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位などを供給することによって、保持部HC、及び保持部HCrのそれぞれに当該電位などを入力することができる。その後、配線WL [i] に所定の電位を供給して、配線IL [j] と保持部HCとの間を非導通状態にし、かつ配線ILB [j] と保持部HCrとの間を非導通状態にする。そして、保持部HC、及び保持部HCrのそれぞれに第1データ $w_i^{(k-1)} j^{(k)}$ に応じた各電流などが保持される。

[0204]

例えば、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“−1”、“0”、“1”の3値のいずれかをとる場合を考える。第1データ $w_{i^{(k-1)}j^{(k)}}$ が“1”である場合、一例として、配線 $IL[j]$ から回路 MC を介して配線 $VE[j]$ に“1”に応じた電流が流れるように、保持部 HC には所定の電位が保持され、かつ配線 $ILB[j]$ から回路 MCr を介して配線 $VEr[j]$ に電流が流れないように、保持部 HCr には電位 V_0 が保持される。また、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“−1”である場合、一例として、配線 $IL[j]$ から回路 MC を介して配線 $VE[j]$ に電流が流れないように、保持部 HC には電位 V_0 が保持され、かつ配線 $ILB[j]$ から回路 MCr を介して配線 $VEr[j]$ に“−1”に応じた電流が流れるように、保持部 HCr には所定の電位が保持される。そして、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“0”である場合、一例として、配線 $IL[j]$ から回路 MC を介して配線 $VE[j]$ に電流が流れないように、保持部 HC に電位 V_0 が保持され、かつ配線 $ILB[j]$ から回路 MCr を介して配線 $VEr[j]$ に電流が流れないように、保持部 HCr に電位 V_0 が保持される。なお、電位 V_0 は、後述する図14Aの説明において、配線 VCN が与える電位とすることができる。

[0205]

なお、別の例として、第1データ $w_{i^{(k-1)}j^{(k)}}$ がアナログ値、具体的には、“負のアナログ値”、“0”、または、“正のアナログ値”をとる場合を考える。第1データ $w_{i^{(k-1)}j^{(k)}}$ が“正のアナログ値”である場合、一例として、配線 $IL[j]$ から回路 MC を介して配線 $VE[j]$ に“正のアナログ値”に応じたアナログ電流が流れるように、保持部 HC には所定の電位が保持され、かつ配線 $ILB[j]$ から回路 MCr を介して配線 $VEr[j]$ に電流が流れないように、保持部 HCr には電位 V_0 が保持される。また、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“負のアナログ値”である場合、一例として、配線 $IL[j]$ から回路 MC を介して配線 $VE[j]$ に電流が流れないように、保持部 HC には電位 V_0 が保持され、かつ配線 $ILB[j]$ から回路 MCr を介して配線 $VEr[j]$ に“負のアナログ値”に応じたアナログ電流が流れるように、保持部 HCr には所定の電位が保持される。そして、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“0”である場合、一例として、配線 $IL[j]$ から回路 MC を介して配線 $VE[j]$ に電流が流れないように、保持部 HC に電位 V_0 が保持され、かつ配線 $ILB[j]$ から回路 MCr を介して配線 $VEr[j]$ に電流が流れないように、保持部 HCr に電位 V_0 が保持される。なお、電位 V_0 は、先の例と同様に、後述する図14Aの説明において、配線 VCN が与える電位とすることができる。

[0206]

また、一例として、回路 MC は、保持部 HC に保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流、電圧などを、配線 $OL[j]$ 又は配線 $OLB[j]$ の一方に出力する機能を有し、回路 MCr は、保持部 HCr に保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流、電圧などを、配線 $OL[j]$ 又は配線 $OLB[j]$ の他方に出力する機能を有する。例えば、保持部 HC に第1電位が保持されている場合、回路 MC は配線 $OL[j]$ 又は配線 $OLB[j]$ から配線 VE に第1電流値を持つ電流を流すものとし、保持部 HC に第2電位が保持されている場合、回路 MC は配線 $OL[j]$ 又は配線 $OLB[j]$ から配線 VE に第2電流値を持つ電流を流すものとする。同様に、保持部 HCr に第1電位が保持されている場合、回路 MCr は配線 $OL[j]$ 又は配線 $OLB[j]$ から配線 VEr に第1電流値を持つ電流を流すものとし、保持部 HCr に第2電位が保持されている場合、回路 MCr は配線 $OL[j]$ 又は配線 $OLB[j]$ から配線 VE に第2電流値を持つ電流を流すものとする。なお、第1電流値、第2電流値のそれぞれ

れの大きさは、第1データ $w_{i^{(k-1)}j^{(k)}}$ の値によって定められる。一例としては、第1電流値は第2電流値よりも大きい場合もあり、又は小さい場合もある。更に、一例としては、第1電流値又は第2電流値の一方はゼロ電流、つまり電流値が0の場合もある。または、第1電流値を持つ電流と第2電流値を持つ電流とで、電流が流れる向きが異なる場合もある。

[0207]

特に、例えば、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“−1”、“0”、“1”の3値のいずれかをとる場合、第1電流値又は第2電流値の一方がゼロとなるように、回路MC、回路MC_rを構成するのが好ましい。なお、第1データ $w_{i^{(k-1)}j^{(k)}}$ がアナログ値、例えば、“負のアナログ値”、“0”、または、“正のアナログ値”をとる場合には、第1電流値又は第2電流値についても、一例としては、アナログ値をとることができる。

[0208]

ところで、配線OL[j]又は配線OLB[j]から（配線IL[j]から）、回路MCを介して配線VE[j]に流す電流と、配線OL[j]又は配線OLB[j]から（配線ILB[j]から）、回路MC_rを介して配線VER[j]に流す電流と、を等しくする場合、トランジスタの作製工程などを起因として当該トランジスタの特性がバラつくことがあるため、回路MCに保持する電位と、回路MC_rに保持する電位と、は等しくならないことがある。本発明の一態様の半導体装置は、トランジスタの特性にバラつきがあっても、配線OL[j]又は配線OLB[j]から（配線IL[j]から）、回路MCを介して配線VE[j]に流す電流の量を、配線OL[j]又は配線OLB[j]から（配線ILB[j]から）、回路MC_rを介して配線VER[j]に流す電流の量に、ほぼ等しくすることができる場合がある。

[0209]

なお、本明細書などにおいて、保持部HC、保持部HC_rに保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流または電圧などは、正の電流または電圧などとしてもよいし、負の電流または電圧などとしてもよいし、ゼロ電流またはゼロ電圧などとしてもよいし、正と負と0とが混在していてもよい。

[0210]

図13Aに示した配線X1L[i]、及び配線X2L[i]は、図12における配線XLS[i]に相当する。なお、回路MP[i, j]に入力される第2データ $z_{i^{(k-1)}}$ は、一例としては、配線X1L[i]、及び配線X2L[i]のそれぞれの電位または電流などによって定められる。そのため、回路MC、回路MC_rには、例えば、配線X1L[i]及び配線X2L[i]を介して、第2データ $z_{i^{(k-1)}}$ に応じた各電位が入力される。

[0211]

回路MC及び回路MC_rは、一例としては、配線X1L[i]及び配線X2L[i]に入力された電位または電流などに応じて、配線OL[j]及び配線OLB[j]に、第1データ $w_{i^{(k-1)}j^{(k)}}$ と第2データ $z_{i^{(k-1)}}$ との積に応じた電流または電位などを出力する。具体的な例としては、回路MC、及び回路MC_rからの電流の出力先は、配線X1L[i]及び配線X2L[i]の電位によって定められる。例えば、回路MC、及び回路MC_rは、回路MCから出力される電流が配線OL[j]又は配線OLB[j]の一方に流れ、回路MC_rから出力される電流が配線OL[j]又は配線OLB[j]の他方に流れるような回路構成となっている。つまり、回路MC、及び回路MC_rから出力されたそれぞれの電流は、同一の配線でなく、互いに異なる配線に流れる。なお、

一例としては、回路MC、及び回路MC_rから、配線OL[j]又は配線OLB[j]のいずれにも電流が流れない場合もある。

[0212]

例えば、第2データ $z_i^{(k-1)}$ が“−1”、“0”、“1”の3値のいずれかをとる場合を考える。一例として、第2データ $z_i^{(k-1)}$ が“1”である場合、回路MPは、回路MCと配線OL[j]との間を導通状態にし、回路MC_rと配線OLB[j]との間を導通状態にする。また、一例として、第2データ $z_i^{(k-1)}$ が“−1”である場合、回路MPは、回路MCと配線OLB[j]との間を導通状態にし、回路MC_rと配線OL[j]との間を導通状態にする。また、一例として、第2データ $z_i^{(k-1)}$ が“0”である場合、回路MC、MC_rのそれぞれが出力した電流を、配線OL[j]、及び配線OLB[j]のいずれにも流さないようにするため、回路MPは、回路MCと配線OL[j]との間、及び、回路MCと配線OLB[j]との間を非導通状態にし、回路MC_rと配線OL[j]との間、及び、回路MCと配線OLB[j]との間を非導通状態にする。

[0213]

以上の動作をまとめた場合の例を示す。第1データ $w_i^{(k-1)}j^{(k)}$ が“1”の場合には、回路MCを介して配線OL[j]または配線OLB[j]から配線VE[j]に電流が流れる場合があり、回路MC_rを介して配線OL[j]または配線OLB[j]から配線VE_r[j]に電流が流れない。第1データ $w_i^{(k-1)}j^{(k)}$ が“−1”の場合には、回路MCを介して配線OL[j]または配線OLB[j]から配線VE[j]に電流が流れず、回路MC_rを介して配線OL[j]または配線OLB[j]から配線VE_r[j]に電流が流れる場合がある。そして、第2データ $z_i^{(k-1)}$ が“1”の場合には、回路MCと配線OL[j]との間、および、回路MC_rと配線OLB[j]との間が導通状態になる。第2データ $z_i^{(k-1)}$ が“−1”の場合には、回路MCと配線OLB[j]との間、および、回路MC_rと配線OL[j]との間が導通状態になる。以上のことより、第1データ $w_i^{(k-1)}j^{(k)}$ と第2データ $z_i^{(k-1)}$ の積が正の値の場合には、回路MC_rを介して配線OL[j]から配線VE[j]に電流が流れる、又は、回路MC_rを介して配線OL[j]から配線VE_r[j]に電流が流れる、の一方となる。第1データ $w_i^{(k-1)}j^{(k)}$ と第2データ $z_i^{(k-1)}$ の積が負の値の場合には、回路MC_rを介して配線OL[j]から配線VE_r[j]に電流が流れる、又は、回路MCを介して配線OLB[j]から配線VE[j]に電流が流れる、の一方となる。第1データ $w_i^{(k-1)}j^{(k)}$ と第2データ $z_i^{(k-1)}$ の積がゼロの値の場合には、配線OL[j]または配線OLB[j]から配線VE[j]に電流が流れず、配線OL[j]または配線OLB[j]から配線VE_r[j]に電流が流れない。

[0214]

上述した例を具体的な例として記すと、第1データ $w_i^{(k-1)}j^{(k)}$ が“1”であって、第2データ $z_i^{(k-1)}$ が“1”である場合、例えば、回路MCから配線OL[j]に第1電流値を持つ電流I1[i, j]が流れ、回路MC_rから配線OLB[j]に第2電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロ、つまり、回路MC_rから配線OLB[j]に電流が流れないものとすることができる。第1データ $w_i^{(k-1)}j^{(k)}$ が“−1”であって、第2データ $z_i^{(k-1)}$ が“1”である場合、例えば、回路MCから配線OL[j]に第2電流値を持つ電流I1[i, j]が流れ、回路MC_rから配線OLB[j]に第1電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロ、つまり、回路MCから配線OL[j]に電流が流れないものとすることができる。第1データ $w_i^{(k-1)}j^{(k)}$

が“0”であって、第2データ $z_i^{(k-1)}$ が“1”である場合、回路MCから配線OL[j]に第2電流値を持つ電流I1[i, j]が流れ、回路MC rから配線OLB[j]に第2電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロ、つまり、回路MCから配線OL[j]に電流が流れないものとし、かつ回路MC rから配線OLB[j]に電流が流れないものとすることができる。

$$[0 \ 2 \ 1 \ 5]$$

また、第1データ $w_i^{(k-1)} j^{(k)}$ が“1”であって、第2データ $z_i^{(k-1)}$ が“-1”である場合、回路MCから配線OLB[j]に第1電流値を持つ電流I1[i, j]が流れ、回路MCrから配線OL[j]に第2電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロ、つまり、回路MCrから配線OL[j]に電流が流れないものとすることができる。第1データ $w_i^{(k-1)} j^{(k)}$ が“-1”であって、第2データ $z_i^{(k-1)}$ が“-1”である場合、回路MCから配線OLB[j]に第2電流値を持つ電流I1[i, j]が流れ、回路MCrから配線OL[j]に第1電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロ、つまり、回路MCから配線OLB[j]に電流が流れないものとすることができる。第1データ $w_i^{(k-1)} j^{(k)}$ が“0”であって、第2データ $z_i^{(k-1)}$ が“-1”である場合、回路MCから配線OLB[j]に第2電流値を持つ電流I1[i, j]が流れ、回路MCrから配線OL[j]に第2電流値を持つ電流I2[i, j]が流れる。このとき、第2電流値の大きさは、一例としては、ゼロ、つまり、回路MCから配線OLB[j]に電流が流れないものとし、かつ回路MCrから配線OL[j]に電流が流れないものとすることができる。

$$[0 \ 2 \ 1 \ 6]$$

また、第2データ $z_i^{(k-1)}$ が“0”である場合、一例としては、回路MCと配線OL[j]との間、及び、回路MCと配線OLB[j]との間が非導通状態となる。同様に、回路MC rと配線OL[j]との間、及び、回路MC rと配線OLB[j]との間が非導通状態となる。そのため、第1データ $w_i^{(k-1)} j^{(k)}$ がどんな値であっても、回路MC及び回路MC rから配線OL[j]及び配線OLB[j]に電流は出力されない。

$$[0 \ 2 \ 1 \ 7]$$

このように、一例としては、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積の値が正の値を取る場合には、回路MCまたは回路MC r のいずれかから、配線OL [j] に電流が流れる。このとき、第1データ $w_i^{(k-1)} j^{(k)}$ が正の値の場合には、回路MCから配線OL [j] に電流が流れ、第1データ $w_i^{(k-1)} j^{(k)}$ が負の値の場合には、回路MC r から配線OL [j] に電流が流れる。一方、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積の値が、負の値を取る場合には、回路MCまたは回路MC r のいずれかから、配線OLB [j] に電流が流れる。このとき、第1データ $w_i^{(k-1)} j^{(k)}$ が正の値の場合には、回路MCから配線OLB [j] に電流が流れ、第1データ $w_i^{(k-1)} j^{(k)}$ が負の値の場合には、回路MC r から配線OLB [j] に電流が流れる。そのため、配線OL [j] に接続された複数の回路MCまたは回路MC r から出力された電流の総和が、配線OL [j] に流れることになる。つまり、配線OL [j] では、正の値の和をとった値となる電流が流れることになる。一方、配線OLB [j] に接続された複数の回路MCまたは回路MC r から出力された電流の総和が、配線OLB [j] に流れることになる。つまり、配線OLB [j] では、負の値の和をとった値となる電流が流れることになる。以上のような動作の結果、配線OL [i] に流れる総電流値、つまり、正の値の総和と、配線OLB [i] に流れる総電流値、

つまり、負の値の総和とを利用することにより、積和演算処理を行うことができる。例えば、配線 $OL[j]$ に流れる総電流値の方が、配線 $OLB[j]$ に流れる総電流値よりも大きい場合には、積和演算の結果としては、正の値をとると判断することができる。配線 $OL[j]$ に流れる総電流値の方が、配線 $OLB[j]$ に流れる総電流値よりも小さい場合には、積和演算の結果としては、負の値をとると判断することができる。配線 $OL[j]$ に流れる総電流値と、配線 $OLB[j]$ に流れる総電流値とが概ね同じ値である場合には、積和演算の結果としては、ゼロの値をとると判断することができる。なお、活性化関数としての機能も持っていると考えた場合には、積和演算の結果として、負の値をとると判断した場合には、ゼロの値として出力してもよい。つまり、配線 $OL[j]$ に流れる総電流値と、配線 $OLB[j]$ に流れる総電流値とが概ね同じ値である場合だけでなく、配線 $OL[j]$ に流れる総電流値の方が、配線 $OLB[j]$ に流れる総電流値よりも小さい場合にも、積和演算の結果としては、ゼロの値をとると判断してもよい。

[0218]

なお、第2データ $z_i^{(k-1)}$ が“−1”、“0”、“1”のうちの、いずれか2値、例えば、“−1”、“1”の2値の場合、または、“0”、“1”の2値の場合も、同様に動作させることができる。同様に、第1データ $w_i^{(k-1)}j^{(k)}$ が“−1”、“0”、“1”、でのうちの、いずれか2値、例えば、“−1”、“1”の2値の場合、または、“0”、“1”の2値の場合も、同様に動作させることができる。

[0219]

なお、第1データ $w_i^{(k-1)}j^{(k)}$ は、アナログ値、または、多ビット（多値）のデジタル値を取ってもよい。具体的な例としては、“−1”の代わりに“負のアナログ値”、および、“1”の代わりに“正のアナログ値”をとってもよい。この場合、回路MCまたは回路MC_rから流れる電流の大きさも、一例としては、第1データ $w_i^{(k-1)}j^{(k)}$ の値の絶対値に応じたアナログ値となる。

[0220]

次に、図13Aの回路MP[i, j]を変形した例について、説明する。なお、回路MP[i, j]の変形例については、図13Aの回路MP[i, j]と異なる部分を主に説明し、図13Aの回路MP[i, j]と共通する部分については説明を省略することがある。

[0221]

図13Bに示す回路MP[i, j]は、図13Aの回路MP[i, j]において、配線 $IL[i]$ と配線 $ILB[i]$ と、を配線 $IL[j]$ としてまとめた構成となっている。

[0222]

図13Bに示した配線 $W1L[i]$ 、 $W2L[i]$ は、図12における配線 $WLS[i]$ に相当する。配線 $W1L[i]$ は保持部HCに電氣的に接続され、配線 $W2L[i]$ は保持部HC_rに電氣的に接続されている。

[0223]

また、配線 $IL[j]$ は、保持部HCと、保持部HC_rと、に電氣的に接続されている。

[0224]

図13Bの回路MP[i, j]において、保持部HCと保持部HC_rのそれぞれに異なる情報（例えば、電圧、抵抗値、電流など）を保持するとき、保持部HCと保持部HC_rへの情報の保持動作は、同時ではなく、順に行うのが好ましい。例えば、回路MP[i, j]の第1データ $w_i^{(k-1)}j^{(k)}$ は、保持部HCに第1の情報、保持部HC_rに第2の情報を保持することによって表現で

きる場合を考える。初めに、配線W1L[i]及び配線W2L[i]のそれぞれに所定の電位を与えて、保持部HCと配線IL[j]との間を導通状態にし、かつ保持部HCrと配線IL[j]との間を非導通状態にする。次に、配線IL[j]に第1情報に応じた電流、電圧などを供給することで、保持部HCに第1の情報を与えることができる。その後、配線W1L[i]及び配線W2L[i]のそれぞれに所定の電位を与えて、保持部HCと配線IL[j]との間を非導通状態にし、かつ保持部HCrと配線IL[j]との間を導通状態にする。そして、配線IL[j]に第2の情報に応じた電流、電圧などを供給することで、保持部HCrに第2の情報を与えることができる。これにより、回路MP[i, j]は、第1データとして $w_i^{(k-1)} j^{(k)}$ を設定することができる。

[0225]

なお、保持部HCと保持部HCrのそれぞれにほぼ等しい情報を保持（例えば、電圧、抵抗値、電流など）する場合（回路MP[i, j]の第1データ $w_i^{(k-1)} j^{(k)}$ が、保持部HCと保持部HCrのそれぞれにほぼ等しい情報を保持することによって設定される場合）、保持部HCと配線IL[j]との間を導通状態とし、かつ保持部HCrと配線IL[j]との間を導通状態となるように、配線W1L[i]及び配線W2L[i]のそれぞれに所定の電位を与えて、その後、配線IL[j]から保持部HC、保持部HCrに対して当該情報に応じた電流、電圧などを供給すればよい。

[0226]

図13Bの回路MP[i, j]は、保持部HC、保持部HCrに第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位を保持し、第2データ $z_i^{(k-1)}$ に応じた電位を配線X1L[i]及び配線X2L[i]に供給することによって、図13Aの回路MP[i, j]と同様に、配線OL[j]及び配線OLB[j]に、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積に応じた電流を出力することができる。

[0227]

図13Cに示す回路MP[i, j]は、図13Aの回路MP[i, j]の変形例である。図13Cの回路MP[i, j]は、図13Aの回路MP[i, j]と同様に、回路MCと、回路MCrと、を有する。但し、図13Cの回路MP[i, j]と図13Aの回路MP[i, j]は、電氣的に接続されている配線の構成が異なっている。

[0228]

具体的には、図13Cの回路MP[i, j]は、図13Aの回路MP[i, j]において、配線OL[j]と回路MCrとが電氣的に接続されていなく、かつ配線OLB[j]と回路MCとが電氣的に接続されていない構成となっている。また、そのため、図13Cの回路MP[i, j]は、図13Aの回路MP[i, j]における、配線X1L[i]及び配線X2L[i]を配線XL[i]に置き換えた構成となっている。なお、配線XL[i]は、図12における配線XLS[i]に相当し、回路MCと、回路MCrと、に電氣的に接続されている。

[0229]

図13Cの回路MP[i, j]は、配線OL[j]と回路MCrとが電氣的に接続されず、配線OLB[j]と回路MCとが電氣的に接続されていないため、回路MPに輸入される第2データ（ニューロンの信号の値）は、図13Aの回路MP[i, j]と異なる場合がある。例えば、配線XLに高レベル電位が印加されているとき、第2データ（ニューロンの信号の値）を“+1”とし、配線XLに低レベル電位が印加されているとき、第2データ（ニューロンの信号の値）を“0”と

することができる。

[0230]

図13Dに示す回路MP [i, j] は、図13Aと同様に、配線OL [j] 及び配線OLB [j] に、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積に応じた電流を出力することが可能な回路である。なお、図13Dの回路MP [i, j] は、例えば、図12の演算回路130に適用することができる。

[0231]

図13Dの回路MP [i, j] は、回路MCと、回路MCrと、に加えて、トランジスタMZを有する。

[0232]

トランジスタMZの第1端子は、回路MCの第1端子と、回路MCrの第1端子と、に電氣的に接続されている。トランジスタMZの第2端子は、配線VLに電氣的に接続されている。トランジスタMZのゲートは、配線XL [i] に電氣的に接続されている。

[0233]

配線VLは、一例としては、図13A乃至図13Cに示した配線VE [j]、及び配線VER [j]と同様に、定電圧を与える配線として機能する。当該定電圧は、回路MP [i, j] や演算回路130などの構成によって決めることが好ましい。当該定電圧としては、例えば、高レベル電位であるVDD、低レベル電位であるVSS、接地電位などとするすることができる。

[0234]

また、図13Dに示した配線WL [i] は、図12の演算回路130における配線WLS [i] に相当する。配線WL [i] は、保持部HCと、保持部HCrと、に電氣的に接続されている。

[0235]

また、配線OL [j] は、回路MCの第2端子に電氣的に接続されている。また、配線OLB [j] は、回路MCrの第2端子に電氣的に接続されている。

[0236]

また、配線IL [j] は、保持部HCに電氣的に接続され、配線ILB [j] は、保持部HCrに電氣的に接続されている。

[0237]

図13Dの回路MP [i, j] において、保持部HCと保持部HCrのそれぞれに第1データに応じた電位を保持する場合の動作については、図13Aの回路MP [i, j] における第1データに応じた電位を保持する動作の説明を参酌する。

[0238]

図13Dの回路MP [i, j] において、回路MCは、回路MCの第1端子に配線VLが与える定電圧が供給されているときに、保持部HCに保持された電位に応じた電流を、回路MCの第1端子と第2端子との間に流す機能を有する。また、回路MCrは、回路MCの第1端子に配線VLが与える定電圧が供給されているときに、保持部HCrに保持された電位に応じた電流を、回路MCrの第1端子と第2端子との間に流す機能を有する。つまり、回路MP [i, j] の保持部HC、保持部HCrのそれぞれに第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位を保持することによって、回路MCの第1端子と第2端子との間に流れる電流量と、回路MCrの第1端子と第2端子との間に流れる電流量を定めることができる。なお、回路MC（回路MCr）の第1端子に配線VLが与える

定電圧が供給されていない場合、回路MC（回路MC r）は、例えば、回路MC（回路MC r）の第1端子と第2端子との間に電流を流さないものとしてもよい。

[0239]

例えば、保持部HC、保持部HC rのそれぞれに“1”の第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位が保持されているとき、回路MCに配線VLが与える定電圧が与えられることによって、回路MCは、回路MCの第1端子と第2端子との間に所定の電流を流す。そのため、回路MCと配線OLとの間に電流が流れる。なお、このとき、回路MC rは回路MC rの第1端子と第2端子との間に電流を流さないものとする。そのため、回路MC rと配線OLBとの間には電流は流れない。また、例えば、保持部HC、保持部HC rのそれぞれに“-1”の第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位が保持されているとき、回路MCに配線VLが与える定電圧が与えられることによって、回路MC rは、回路MC rの第1端子と第2端子との間に所定の電流を流す。そのため、回路MC rと配線OLBとの間に電流が流れる。なお、このとき、回路MCは回路MCの第1端子と第2端子との間に電流を流さないものとする。そのため、回路MCと配線OLとの間には電流は流れない。また、例えば、保持部HC、保持部HC rのそれぞれに“0”の第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位が保持されているとき、回路MC及び回路MC rに配線VLの定電圧が与えられるかどうかに関わらず、回路MCは回路MCの第1端子と第2端子との間に電流を流さず、回路MC rは回路MC rの第1端子と第2端子との間に電流を流さない。つまり、回路MCと配線OLとの間には電流は流れず、回路MC rと配線OLBとの間には電流は流れない。

[0240]

なお、図13Dの回路MP [i, j]において、保持部HC、保持部HC rに保持される、第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位の具体例については、図10Aの回路MP [i, j]の記載を参酌する。また、図13Dの回路MP [i, j]において、保持部HC、保持部HC rは、図10Aの回路MP [i, j]と同様に、電位でなく、電流、抵抗値などの情報を保持する機能を有し、回路MC、回路MC rは当該情報に応じた電流を流す機能を有してもよい。

[0241]

図13Dに示した配線XL [i]は、図12の演算回路130における配線XLS [i]に相当する。なお、回路MP [i, j]に入力される第2データ $z_i^{(k-1)}$ は、一例としては、配線XL [i]の電位、電流などによって定められる。そのため、トランジスタMZのゲートには、例えば、配線XL [i]を介して、第2データ $z_i^{(k-1)}$ に応じた電位が入力される。

[0242]

例えば、第2データ $z_i^{(k-1)}$ が“0”、“1”の2値のいずれかをとり場合を考える。例えば、第2データ $z_i^{(k-1)}$ が“1”である場合、配線XL [i]には高レベル電位が与えられるものとする。このとき、トランジスタMZがオン状態となるので、回路MPは、配線VLと回路MCの第1端子との間を導通状態にし、配線VLと回路MC rの第1端子との間を導通状態にする。つまり、第2データ $z_i^{(k-1)}$ が“1”であるとき、回路MCと、回路MC rと、に配線VLからの定電圧が与えられる。また、例えば、第2データ $z_i^{(k-1)}$ が“0”である場合、配線XL [i]には低レベル電位が与えられるものとする。このとき、回路MPは、回路MCと配線OLB [j]との間を非導通状態とし、回路MC rと配線OL [j]との間を非導通状態とする。つまり、第2データ $z_i^{(k-1)}$ が“0”であるとき、回路MCと、回路MC rと、には、配線VLからの定電圧が与えられない。

[0243]

ここで、例えば、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“1”であって、第2データ $z_{i^{(k-1)}}^{(k)}$ が“1”である場合、回路MCと配線OLとの間には電流は流れ、回路MC rと配線OLBとの間には電流は流れない結果となる。また、例えば、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“-1”であって、第2データ $z_{i^{(k-1)}}^{(k)}$ が“1”である場合、回路MCと配線OLとの間には電流は流れず、回路MC rと配線OLBとの間には電流は流れる結果となる。また、例えば、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“0”であって、第2データ $z_{i^{(k-1)}}^{(k)}$ が“1”である場合、回路MCと配線OLとの間、及び回路MC rと配線OLBとの間には電流は流れない結果となる。また、例えば、第2データ $z_{i^{(k-1)}}^{(k)}$ が“0”である場合、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“-1”、“0”、“1”のいずれかであっても、回路MCと配線OLとの間、及び回路MC rと配線OLBとの間には電流は流れない結果となる。

[0244]

つまり、図13Dの回路MP [i, j] は、図13Cの回路MP [i, j] と同様に、一例として、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“-1”、“0”、“1”の3値のいずれかを取り、第2データ $z_{i^{(k-1)}}^{(k)}$ が“0”、“1”の2値をとる場合における、演算を行うことができる。また、図13Cの回路MP [i, j] と同様に、図13Dの回路MP [i, j] は、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“-1”、“0”、“1”のうちの、いずれか2値、例えば、“-1”、“1”の2値の場合、または、“0”、“1”の2値の場合も、動作させることができる。なお、第1データ $w_{i^{(k-1)}j^{(k)}}$ は、アナログ値、または、多ビット（多値）のデジタル値を取ってもよい。具体的な例としては、“-1”の代わりに“負のアナログ値”、および、“1”の代わりに“正のアナログ値”をとってもよい。この場合、回路MCまたは回路MC rから流れる電流の大きさも、一例としては、第1データ $w_{i^{(k-1)}j^{(k)}}$ の値の絶対値に応じたアナログ値となる。

[0245]

<<回路ILD>>

回路ILDは、一例として、配線IL [1] 乃至配線IL [n] と、配線ILB [1] 乃至配線ILB [n] と、を介して、回路MP [1, 1] 乃至回路MP [m, n] のそれぞれに対して、重み係数である第1データ $w_{1^{(k-1)}1^{(k)}}$ 乃至 $w_{m^{(k-1)}n^{(k)}}$ に対応する情報（例えば、電位、抵抗値、電流値など）を入力する機能を有する。具体的な例としては、回路ILDは、回路MP [i, j] に対して、重み係数である第1データ $w_{i^{(k-1)}j^{(k)}}$ に対応する情報（例えば、電位、抵抗値、または、電流値など）を、配線IL [j]、配線ILB [j] を介して、供給する。

[0246]

図14Aは、演算回路130に適用できる、回路ILDの回路構成の例を示している。なお、図14Aには、回路ILDとアレイ部ALPとの電氣的な接続を説明するため、配線OL [j] 及び配線OLB [j] も図示している。回路ILDは、電流源回路ISCと、スイッチSWIAと、スイッチSWIABと、スイッチSWLAと、スイッチSWLABと、を有する。配線OL [j] は、スイッチSWIAの第1端子と、スイッチSWLAの第1端子と、に電氣的に接続されている。配線OLB [j] は、スイッチSWIABの第1端子と、スイッチSWLABの第1端子と、に電氣的に接続されている。電流源回路ISCは、スイッチSWIAの第2端子と、スイッチSWIABの第2端子と、に電氣的に接続されている。配線VCNは、スイッチSWLAの第2端子と、スイッチSWLABの第2端子と、に電氣的に接続されている。

[0247]

電流源回路 I SC は、例えば、一つ又は複数の定電流源を有しており、図 1 4 A では、一例として、複数の定電流源として、定電流源回路 I SC 1 と、定電流源回路 I SC 2 と、定電流源回路 I SC 3 と、を有する。また、電流源回路 I SC は、一例として、複数の定電流源を選択するために、複数のスイッチを有しており、図 1 4 A では、複数のスイッチとして、スイッチ SWC 1 と、スイッチ SWC 2 と、スイッチ SWC 3 と、を有する。なお、電流源回路 I SC が 1 つの定電流源のみを有する場合、電流源回路 I SC はスイッチを有さなくてもよい。または、定電流源回路 I SC 1 と、定電流源回路 I SC 2 と、定電流源回路 I SC 3 とが、それぞれ、電流を出力するか否かを制御する機能を有する場合には、スイッチ SWC 1 と、スイッチ SWC 2 と、スイッチ SWC 3 と、は、設けなくてもよい。

[0248]

ところで、回路 MP [1, j] 乃至回路 MP [m, j] のいずれか一に、第 1 データ（重み係数）を保持するための、配線 OL [j]、及び配線 OLB [j] のそれぞれに流れる電流は、図 1 4 A に示すとおり、同じ電流源回路 I SC で生成されることが好ましい。配線 OL [j]、配線 OLB [j] のそれぞれに流す電流を異なる電流源回路で生成する場合、トランジスタの作製工程時などを起因とする当該トランジスタの特性のバラつきが生じることがあるため、異なる電流源回路同士では性能に差が現れることがある。一方、同一の電流源回路を用いる場合には、配線 OL [j] と、配線 OLB [j] とに、同じ大きさの電流を流すことが可能となり、演算精度を向上させることができる。

[0249]

なお、図 1 4 A で説明するスイッチ SWIA、スイッチ SWIAB、スイッチ SWLA、スイッチ SWLAB、スイッチ SWC 1、スイッチ SWC 2、スイッチ SWC 3 のそれぞれとしては、例えば、前述したスイッチ SWR 1、スイッチ SWR 1B、スイッチ SWR 2、及びスイッチ SWR 2B と同様に適用できるスイッチを用いることができる。

[0250]

定電流源回路 I SC 1 乃至定電流源回路 I SC 3 の具体的な構成例を図 1 4 B、及び図 1 4 C に示す。図 1 4 B に示す定電流源回路 I SC 1（定電流源回路 I SC 2、定電流源回路 I SC 3）は、p チャネル型トランジスタであるトランジスタ PTr を有し、トランジスタ PTr の第 1 端子は、配線 VSO に電氣的に接続され、トランジスタ PTr の第 2 端子は、スイッチ SWC 1（スイッチ SWC 2、スイッチ SWC 3）の第 2 端子に電氣的に接続され、トランジスタ PTr のゲートは、配線 VB に電氣的に接続されている。また、図 1 4 C に示す定電流源回路 I SC 1（定電流源回路 I SC 2、定電流源回路 I SC 3）は、n チャネル型トランジスタのトランジスタ NTr を有し、トランジスタ NTr の第 1 端子は、配線 VSO に電氣的に接続され、トランジスタ NTr の第 2 端子は、スイッチ SWC 1（スイッチ SWC 2、スイッチ SWC 3）の第 2 端子に電氣的に接続され、トランジスタ NTr のゲートは、配線 VB に電氣的に接続されている。図 1 4 B 及び図 1 4 C のそれぞれの定電流源回路 I SC 1（定電流源回路 I SC 2、定電流源回路 I SC 3）において、配線 VB は、それぞれのトランジスタのゲートにバイアス電圧を入力するための配線として機能する。なお、配線 VB に、パルス信号を供給してもよい。これにより、それぞれの定電流源回路から電流を出力するか否かを制御することができる。その場合、スイッチ SWC 1 と、スイッチ SWC 2 と、スイッチ SWC 3 は、設けなくてもよい。または、配線 VB に、アナログ電圧を供給してもよい。これにより、定電流源回路から、アナログ電流を供給することができる。

[0251]

配線VSOは、定電流源回路ISC1乃至定電流源回路ISC3のそれぞれに対して、定電圧を供給する配線として機能する。例えば、回路ILD（配線VSO）から、配線OL又は配線OLBに電流が流れる場合、当該定電圧としては、接地電位よりも高い電位（例えば、VDDなど）とするのが好ましく、更に、図14Bに示す定電流源回路ISC1（定電流源回路ISC2、定電流源回路ISC3）を用いるのが好ましい。また、例えば、配線OL又は配線OLBから、回路ILD（配線VSO）に電流が流れる場合、当該定電圧としては、接地電位よりも高く当該高レベル電位よりも低い電位、接地電位、負電位などとするのが好ましく、更に、図14Cに示す定電流源回路ISC1（定電流源回路ISC2、定電流源回路ISC3）を用いるのが好ましい。なお、本明細書等において、回路ILDから、配線OL又は配線OLBに流れる電流を正の電流と記載する場合がある。そのため、配線OL又は配線OLBから、回路ILDに流れる電流を負の電流と記載する場合がある。

[0252]

ところで、定電流源回路ISC1が流す電流を I_{ut} としたとき、一例としては、定電流源回路ISC2が流す電流は $2I_{ut}$ とするのが好ましく、定電流源回路ISC3が流す電流は $4I_{ut}$ とするのが好ましい。つまり、電流源回路ISCが、P個（Pは1以上の整数である。）の定電流源を有する場合、p番目（pは1以上P以下の整数である。）の定電流源が流す電流は、 $2^{(p-1)} \times I_{ut}$ とするのが好ましい。つまり、スイッチSWC1乃至SWC3などのそれぞれをオン状態とオフ状態の切り替えを行うことによって、電流源回路ISCから流れる電流の大きさを変更することができる。

[0253]

例えば、電流源回路ISCの定電流源の個数を3個（ $P=3$ ）とする。配線OL[j]に I_{ut} の電流を流したい場合は、スイッチSWIAをオン状態、スイッチSWIABをオフ状態にした上で、スイッチSWC1をオン状態にし、スイッチSWC2、及びスイッチSWC3をオフ状態にすればよい。また、配線OL[j]に $5I_{ut}$ の電流を流したい場合は、スイッチSWC1、及びスイッチSWC3をオン状態にし、スイッチSWC2をオフ状態にすればよい。つまり、電流源回路ISCから出力される電流量は、8値（“0”、“ I_{ut} ”、“ $2I_{ut}$ ”、“ $3I_{ut}$ ”、“ $4I_{ut}$ ”、“ $5I_{ut}$ ”、“ $6I_{ut}$ ”、“ $7I_{ut}$ ”）のいずれか一とすることができる。なお、8値よりも大きな値の電流を出力したい場合には、定電流源の個数を4個以上にすればよい。また、同様に、スイッチSWIAをオフ状態、スイッチSWIABをオン状態にすることによって、配線OLB[j]に8値のいずれか一の電流量を流すことができる。なお、電流源回路ISCから電流の出力をしない場合、電流源回路ISCのスイッチSWC1乃至スイッチSWC3をオフ状態にせず、スイッチSWIA、及びスイッチSWIABをオフ状態にしてもよい。このように複数の定電流源を配置することにより、電流量を多値とした電流を生成できる回路を容易に実現することができる。なお、電流源回路を1個のみ配置して、アナログ的に出力される電流値を変更するように動作させてもよい。

[0254]

配線VCNは、配線OL[j]及び／又は配線OLB[j]に対して、定電圧を供給する配線として機能する。例えば、回路ILDから、配線OL又は配線OLBに電流（正の電流）が流れる場合、配線VCNが与える定電圧としては、低レベル電位（例えばVSSなど。）とするのが好まし

い。また、例えば、配線OL又は配線OLBから、回路ILDに電流（負の電流）が流れる場合、配線VCNが与える定電位としては、高レベル電位とするのが好ましい。なお、後述する図20A乃至図20C、図21A、図21Bなどに示すように、容量C1がトランジスタM1などのソース端子に電氣的に接続され、そのソース端子が電源線などに接続されている場合には、回路ILDから、配線OL又は配線OLBに正の電流が流れる場合、配線VCNが与える定電圧としては、低レベル電位（例えばVSSなど。）とするのが好ましい。つまり、配線VCNから定電圧を供給するときに、容量C1の両端の電位差がゼロに近くなるようにすることが望ましい。言い換えると、回路MCより、電流が出力されなくなるような電位、例えば、配線VEが与える電位とほぼ等しい電位を配線VCNに供給することが望ましい。

[0255]

ここで、回路MPに入力される第1データ（重み係数）について説明する。

[0256]

回路MPに正の第1データを入力したいとき、配線OL[j]に当該第1データに応じた電流を入力し、配線OLB[j]に配線VCNが与える定電位を入力すればよい。一例としては、電流源回路ISCと配線OL[j]との間を導通状態にし、電流源回路ISCと配線OLB[j]との間を非導通状態にし、配線VCNと配線OL[j]との間を非導通状態にし、配線VCNと配線OLB[j]との間を導通状態にすればよい。すなわち、スイッチSWIA、及びスイッチSWLABをオン状態とし、スイッチSWIAB、及びスイッチSWLAのそれぞれをオフ状態とすればよい。これにより、電流源回路ISCと配線OL[j]との間が導通状態となるので、電流源回路ISCから、配線OL[j]を介して、回路MPに電流を流すことができる。ところで、電流源回路ISCの定電流源の個数をP個としたとき、当該電流は、 $2^P - 1$ 値のいずれか一となる（ゼロ電流を含まない）。回路MPに入力される正の重み係数は当該電流に応じて決まるため、当該重み係数は $2^P - 1$ 値のいずれか一とすることができる。また、配線VCNと配線OLB[j]との間が導通状態となるので、配線OLB[j]には、配線VCNからの定電圧が入力される。

[0257]

また、回路MPに負の第1データを入力したいとき、配線OLB[j]に当該第1データに応じた電流を入力し、配線OL[j]に配線VCNが与える定電位を入力すればよい。一例としては、電流源回路ISCと配線OL[j]との間を非導通状態にし、電流源回路ISCと配線OLB[j]との間を導通状態にし、配線VCNと配線OL[j]との間を導通状態にし、配線VCNと配線OLB[j]との間を非導通状態にすればよい。すなわち、スイッチSWIAB、スイッチSWLAをオン状態とし、スイッチSWIA、SWLABのそれぞれをオフ状態とすればよい。これにより、電流源回路ISCと配線OLB[j]との間が導通状態となるので、電流源回路ISCから、配線OLB[j]を介して、回路MPに電流を流すことができる。ところで、電流源回路ISCの定電流源の個数をP個としたとき、当該電流は、 $2^P - 1$ 値のいずれか一となる（ゼロ電流を含まない）。回路MPに入力される負の重み係数は当該電流に応じて決まるため、当該重み係数は $2^P - 1$ 値のいずれか一とすることができる。また、配線VCNと配線OL[j]との間が導通状態となるので、配線OL[j]には、配線VCNからの定電圧が入力される。

[0258]

また、回路MPに0の第1データを入力したいとき、配線OL[j]、配線OLB[j]のそれぞれに配線VCNが与える定電位を入力すればよい。一例としては、電流源回路ISCと配線OL

[j] との間を非導通状態にし、電流源回路ISCと配線OLB[j] との間を非導通状態にし、配線VCNと配線OL[j] との間を導通状態にし、配線VCNと配線OLB[j] との間を導通状態にすればよい。すなわち、スイッチSWLA、スイッチSWLABをオン状態とし、スイッチSWIA、スイッチSWIABのそれぞれをオフ状態とすればよい。これにより、配線VCNと配線OL[j] との間が導通状態となり、配線VCNと配線OLB[j] との間が導通状態となるので、配線OL[j]、配線OLB[j] には、配線VCNからの定電圧が入力される。

[0259]

つまり、電流源回路ISCの定電流源の個数をP個とすることによって、回路MPに入力できる重み係数の数（正の重み係数、負の重み係数、0の重み係数の合計）は、 $2^{P+1}-1$ 個となる。

[0260]

なお、上記では、回路ILDは、電流源回路ISCを有する構成について説明したが、本発明の一態様は、これに限定されない。例えば、電流源回路ISCを有さず、その代わりに、電圧源回路を配置してもよい。また、例えば、電流源回路ISCは、配線OL[j] のための回路と、配線OLB[j] のための回路として、それぞれ別々の回路として、少なくとも1個ずつ配置されていてもよい。また、例えば、図14Aに示すように、配線OL[j]、および、配線OLB[j] という一組の配線について、少なくとも1個の電流源回路ISCを有していてもよい。なお、回路ILDは、回路AFPと別の回路として配置されていてもよいが、本発明の一態様は、これに限定されない。例えば、回路ILDは、回路AFPと一体の回路となってもよい。

[0261]

<演算回路の動作例>

次に、図12の演算回路130の動作例について、説明する。なお、本動作例の説明では、一例として、図15に示す演算回路130Aを用いる。

[0262]

図15に示す演算回路130Aは、図12の演算回路130に、図8に示す回路ACTF[j] を適用した図であり、また、図12の演算回路130のj列目に位置する回路に着目して図示したものである。そのため、図15の演算回路130Aは、図1Aに示したニューラルネットワーク100における、ニューロン $N_j^{(k)}$ に入力される、ニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ からの信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ （第1データ又は第2データと呼称する場合がある。ここでは第2データと呼称する。）と、重み係数 $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ （第1データ又は第2データと呼称する場合がある。ここでは第1データと呼称する。）と、の積和演算と、当該積和演算の結果を用いた活性化関数の演算と、を行う回路に相当する。

[0263]

また、図15の演算回路130Aのアレイ部ALPに含まれている回路MPは、図13Aの回路MPを適用しており、配線WLS[1]乃至配線WLS[m]として配線WL[1]乃至配線WL[m]を図示し、配線XLS[1]乃至配線XLS[m]として配線X1L[1]乃至配線X1L[m]と、配線X2L[1]乃至配線X2L[m]と、を図示している。また、図15の演算回路130Aの回路ACTF[j]に含まれている回路IVTR、及び回路IVTRrとしては、図6Aに示す回路IVTR（回路IVTRr）を適用している。

[0264]

初めに、演算回路130Aにおいて、回路MP[1, j]乃至回路MP[m, j]に第1データ

$w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ が設定される。第1データ $w_1^{(k-1)} j^{(k)}$ の設定の方法としては、回路WLDによって、配線WLS [1] 乃至配線WLS [m] に順に所定の電位を入力して、回路MP [1, j] 乃至回路MP [m, j] を順に選択していき、選択された回路MPに含まれている回路MC、回路MC r の保持部HC、保持部HC r に対して、回路ILDから、配線OL [j]、配線OLB [j] を介して、第1データに応じた電位、電流などを供給する。そして、電位、電流などの供給後に、回路WLDによって回路MP [1, j] 乃至回路MP [m, j] のそれぞれを非選択にすることにより、回路MP [1, j] 乃至回路MP [m, j] のそれぞれが有する回路MCの保持部HC、及び回路MC r の保持部HC r に第1データ $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ に応じた電位、電流などを保持することができる。一例としては、第1データ $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ のいずれかについて、正の値を取る場合には、保持部HCには、その正の値に応じた値を入力し、保持部HC r には、ゼロに相当する値を入力する。一方、第1データ $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ のいずれかについて、負の値を取る場合には、保持部HCには、ゼロに相当する値を入力し、保持部HC r には、負の値の絶対値に応じた値を入力する。また、第1データ $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ のいずれかについて、0の値を取る場合には、保持部HCには、ゼロに相当する値を入力し、保持部HC r には、ゼロの値の絶対値に応じた値を入力する。

[0265]

次に、回路XLDによって、配線X1L [1] 乃至配線X1L [m]、配線X2L [1] 乃至配線X2L [m] のそれぞれに、第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ を供給する。具体的な一例としては、配線X1L [i] 及び配線X2L [i] に第2データ $z_1^{(k-1)}$ が供給される。

[0266]

回路MP [1, j] 乃至回路MP [m, j] のそれぞれに入力される第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ に応じて、回路MP [1, j] 乃至回路MP [m, j] に含まれる回路MC、回路MC r と配線OL [j]、配線OLB [j] との導通状態が決まる。具体的な例としては、回路MP [i, j] は、第2データ $z_1^{(k-1)}$ に応じて、「回路MCと配線OL [j] との間が導通状態になり、回路MC r と配線OLB [j] との間が導通状態になる」モードと、「回路MCと配線OLB [j] との間が導通状態になり、回路MC r と配線OL [j] との間が導通状態になる」モードと、「回路MC、回路MC r はそれぞれ配線OL [j]、OLB [j] と非導通状態になる」モードと、のいずれか一をとる。一例としては、第2データ $z_1^{(k-1)}$ について、正の値を取る場合には、配線X1L [1] には、回路MCと配線OL [j] との間が導通状態となり、かつ、回路MC r と配線OLB [j] との間が導通状態とすることができる値を入力する。そして、配線X2L [1] には、回路MCと配線OLB [j] との間が非導通状態となり、かつ、回路MC r と配線OL [j] との間が非導通状態となることのできる値を入力する。そして、第2データ $z_1^{(k-1)}$ について、負の値を取る場合には、配線X1L [1] には、回路MCと配線OLB [j] との間が導通状態となり、かつ、回路MC r と配線OL [j] との間が導通状態とすることができる値を入力する。そして、配線X2L [1] には、回路MCと配線OL [j] との間が非導通状態となり、かつ、回路MC r と配線OLB [j] との間が非導通状態となることのできる値を入力する。そして、第2データ $z_1^{(k-1)}$ について、ゼロの値を取る場合には、配線X1L [1] には、回路MCと配線OLB [j] との間が非導通状態となり、かつ、回路MC r と配線OL [j] との間が非導通状態となることのできる値を入力する。そして、配線X2L [1] には、回路MCと配線OL [j] との間が非導通状態となり、かつ、回路MC r と配線OLB [j] との間が非導通状態となること

ができる値を入力する。

[0267]

回路MP [i, j] に入力される第2データ $z_i^{(k-1)}$ に応じて、回路MP [i, j] に含まれる回路MC、回路MC r と配線OL [j]、配線OLB [j] との間の導通状態が決まることによって、回路MC、回路MC r と配線OL [j]、配線OLB [j] との間で電流の入出力が行われる。更に、当該電流の量は、回路MP [i, j] に設定された第1データ $w_i^{(k-1)} j^{(k)}$ 及び／又は第2データ $z_i^{(k-1)}$ に応じて決まる。

[0268]

例えば、回路MP [i, j] において、配線OL [j] から、回路MC又は回路MC r に流れる電流を $I[i, j]$ とし、配線OLB [j] から、回路MC又は回路MC r に流れる電流を $I_B[i, j]$ とする。そして、回路ACTF [j] から配線OL [j] に流れる電流を $I_{out}[j]$ とし、配線OLB [j] から回路ACTF [j] に流れる電流を $I_{Bout}[j]$ とすると、 $I_{out}[j]$ 及び $I_{Bout}[j]$ は、次の式で表すことができる。

[0269]

[数5]

$$I_{out}[j] = \sum_{l=1}^m I[l, j] \quad \dots(1.5)$$

$$I_{Bout}[j] = \sum_{l=1}^m I_B[l, j] \quad \dots(1.6)$$

[0270]

回路MP [i, j] において、一例として、第1データ $w_i^{(k-1)} j^{(k)}$ が“+1”であるとき、回路MCと配線OL [j] 又は配線OLB [j] の一方の間には $I(+1)$ が流れ、回路MC r と配線OL [j] 又は配線OLB [j] の他方の間には $I(-1)$ が流れるものとし、第1データ $w_i^{(k-1)} j^{(k)}$ が“-1”であるとき、回路MCと配線OL [j] 又は配線OLB [j] の一方の間には $I(-1)$ が流れ、回路MC r と配線OL [j] 又は配線OLB [j] の他方の間には $I(+1)$ が流れるものとし、第1データ $w_i^{(k-1)} j^{(k)}$ が“0”であるとき、回路MCと配線OL [j] 又は配線OLB [j] の一方の間には $I(-1)$ が流れ、回路MC r と配線OL [j] 又は配線OLB [j] の他方の間には $I(-1)$ が流れるものとする。

[0271]

更に、回路MP [i, j] は、第2データ $z_i^{(k-1)}$ が“+1”であるときに、「回路MCと配線OL [j] との間が導通状態になり、回路MC r と配線OLB [j] との間が導通状態になり、回路MCと配線OLB [j] との間が非導通状態になり、回路MC r と配線OL [j] との間が非導通状態になる」構成をとり、第2データ $z_i^{(k-1)}$ が“-1”であるときに、「回路MCと配線OLB [j] との間が導通状態になり、回路MC r と配線OL [j] との間が導通状態になり、回路MCと配線OL [j] との間が非導通状態になり、回路MC r と配線OLB [j] との間が非導通状態になる」構成をとり、第2データ $z_i^{(k-1)}$ が“0”であるときに、「回路MCと配線OL [j] との間、および、回路MCとOLB [j] との間は、非導通状態になり、回路MC r と配線OL [j] との間、および、回路MC r とOLB [j] との間は、非導通状態になる」構成をとるものとする。

[0272]

このとき、回路MP [i, j] において、配線OL [j] から、回路MC又は回路MC_rに流れる電流 $I[i, j]$ と、配線OLB [j] から、回路MC又は回路MC_rに流れる電流 $I_B[i, j]$ と、は、下表に示すとおりとなる。なお、場合によっては、 $I(-1)$ の電流量が0となるように、回路MP [i, j] を構成してもよい。なお、電流 $I[i, j]$ は、回路MC又は回路MC_rから配線OL [j] に流れる電流であつてもよい。同様に、電流 $I_B[i, j]$ は、回路MC又は回路MC_rから配線OLB [j] に流れる電流であつてもよい。

[0273]

[表1]

$w_i^{(k-1)(k)}[j]$	$z_i^{(k-1)}$	$I[j]$	$I_B[j]$
0	+1	$I(-1)$	$I(-1)$
+1	+1	$I(+1)$	$I(-1)$
-1	+1	$I(-1)$	$I(+1)$
0	-1	$I(-1)$	$I(-1)$
+1	-1	$I(-1)$	$I(+1)$
-1	-1	$I(+1)$	$I(-1)$
0	0	0	0
+1	0	0	0
-1	0	0	0

[0274]

そして、回路ACTF [j] は、例えば、配線OL [j]、配線OLB [j] に流れる $I_{out}[j]$ 及び $I_{Bout}[j]$ のそれぞれに応じた電圧を生成する。そして、 $I_{out}[j]$ に応じた電圧と $I_{Bout}[j]$ に応じた電圧との差に応じて、ニューロン $N_j^{(k)}$ が第 (k+1) 層のニューロンに送信する信号 $z_j^{(k)}$ を出力する。

[0275]

なお、回路ACTF [j] の動作については、実施の形態1の図8の演算回路110Aの動作例の説明を参酌する。

[0276]

<演算回路の構成例2>

なお、図15に示す演算回路130Aは、 $I_{Bout}[j]$ よりも $I_{out}[j]$ が大きい場合 ($u_j^{(k)}$ が正である場合) に、回路ACは、正の値である信号 $z_j^{(k)}$ を出力し、 $I_{out}[j]$ よりも $I_{Bout}[j]$ が大きい場合 ($u_j^{(k)}$ が負である場合) に、回路ACは、デジタル信号として、0の出力信号 $z_j^{(k)}$ を出力する構成となっているが、本発明の一態様は、これに限定されない。例えば、演算回路130Aは、 $I_{out}[j]$ よりも $I_{Bout}[j]$ が大きい場合 ($u_j^{(k)}$ が負である場合) に、回路ACは、負の値である出力信号 $z_j^{(k)}$ を出力する構成に変更してもよい。

[0277]

そのような演算回路の例を図16に示す。図16に示す演算回路140は、図15の演算回路130Aの回路AFPに含まれている回路ACTF [j] を変更した構成となっている。また、演算

回路140の回路構成は、図4Aに示した演算回路120の一例でもある。回路ACTF[j]は、スイッチSWR1Mと、スイッチSWR1MBと、スイッチSWR1Pと、スイッチSWR1PBと、スイッチSWR2Mと、スイッチSWR2MBと、スイッチSWR2Pと、スイッチSWR2PBと、容量CREMと、容量CREPと、回路ACMと、回路ACPと、回路IVTRと、回路IVTRrと、を有する。また、回路ACPは、端子mbt1pと、端子mbt2pと、を有し、回路ACMは、端子mbt1mと、端子mbt2mと、を有する。

[0278]

なお、演算回路140の回路ACTF[j]に含まれている、スイッチSWR1P、スイッチSWR2P、スイッチSWR1PB、スイッチSWR2PB、容量CREP、回路ACPのそれぞれは、図15の回路ACTF[j]に含まれている、スイッチSWR1、スイッチSWR2、スイッチSWR1B、スイッチSWR2B、容量CRE、回路ACに相当する。また、図16の回路ACPが有する端子mbt1p及び端子mbt2pのそれぞれは、図15の回路ACが有する端子mbt1及び端子mbt2に相当する。そのため、スイッチSWR1P、スイッチSWR2P、スイッチSWR1PB、スイッチSWR2PB、容量CREP、回路ACPのそれぞれの接続構成、機能などについては図15に示す回路ACTF[j]の説明を参酌する。

[0279]

スイッチSWR1Mの第1端子は、回路IVTRと、端子T1と、スイッチSWR1Pの第1端子と、に電氣的に接続されている。スイッチSWR1Mの第2端子は、容量CREMの第1端子と、スイッチSWR2MBの第1端子と、に電氣的に接続されている。スイッチSWR2MBの第2端子は、回路ACMの端子mbt1mに電氣的に接続されている。スイッチSWR1MBの第1端子は、回路IVTRrと、端子T2と、スイッチSWR1PBの第1端子と、に電氣的に接続されている。スイッチSWR1MBの第2端子は、容量CREMの第2端子と、スイッチSWR2Mの第1端子と、に電氣的に接続されている。スイッチSWR2Mの第2端子は、配線VCN3に電氣的に接続されている。

[0280]

回路ACMは、例えば、回路ACP、つまり図15の回路ACと同様の回路構成とすることができる。また、回路ACPは、端子mbt1pに所定の電位（例えば、GND電位）よりも低い電位が入力されたとき、一例として、端子mbt2pからデジタル信号として0の値の信号を出力する構成とし、同様に、回路ACMは、端子mbt1mに所定の電位（例えば、GND電位）よりも低い電位が入力されたとき、一例として、端子mbt2mからデジタル信号として0の値の信号を出力する構成としてもよい。

[0281]

また、スイッチSWR1M、スイッチSWR2M、スイッチSWR1MB、及びスイッチSWR2MBのそれぞれとしては、例えば、前述したスイッチSWR1、スイッチSWR1B、スイッチSWR2、及びスイッチSWR2Bと同様に適用できるスイッチを用いることができる。また、ここでは、スイッチSWR1M、スイッチSWR2M、スイッチSWR1MB、スイッチSWR2MB、スイッチSWR1P、スイッチSWR2P、スイッチSWR1PB、及びスイッチSWR2PBのそれぞれは、制御端子に高レベル電位が入力されたときにオン状態となり、制御端子に低レベル電位が入力されたときにオフ状態となるものとする。

[0282]

また、スイッチSWR1M、スイッチSWR1P、スイッチSWR1MB、スイッチSWR1PBのそれぞれの制御端子は、同一の配線に電氣的に接続されていることが好ましい。つまり、スイッチSWR1M、スイッチSWR1P、スイッチSWR1MB、スイッチSWR1PBのそれぞれは、同時に互いにオン状態、又はオフ状態となるように動作することが好ましい。

[0283]

また、スイッチSWR2M、及びスイッチSWR2Pのそれぞれの制御端子は、同一の配線に電氣的に接続されていることが好ましい。つまり、スイッチSWR2M、スイッチSWR2Pのそれぞれは、同時に互いにオン状態、又はオフ状態となるように動作することが好ましい。

[0284]

また、スイッチSWR2MB、スイッチSWR2PBのそれぞれの制御端子は、同一の配線に電氣的に接続されていることが好ましい。つまり、スイッチSWR2MB、スイッチSWR2PBのそれぞれは、同時に互いにオン状態、又はオフ状態となるように動作することが好ましい。

[0285]

ここで、図16の演算回路140において、回路ACTF[j]が、配線OL[j]から流れる $I_{out}[j]$ 、配線OLB[j]から流れる $I_{Bout}[j]$ を読み出す場合を考える。なお、スイッチSWR1M、スイッチSWR1P、スイッチSWR1MB、スイッチSWR1PBのそれぞれの制御端子は、配線SRL1に電氣的に接続され、スイッチSWR2M、スイッチSWR2Pのそれぞれの制御端子は、配線SRL2-1に電氣的に接続され、スイッチSWR2MB、スイッチSWR2PBのそれぞれの制御端子は、配線SRL2-2に電氣的に接続されているものとする。

[0286]

電流 $I_{out}[j]$ が $I_{Bout}[j]$ よりも大きい場合、前述した動作例の通り、時刻T04において、容量CREPの第1端子の電位 V_{Iout} は、容量CREPの第2端子の電位 V_{IBout} よりも低くなる。そして、時刻T04から時刻T05までの間において、容量CREPの第1端子-第2端子間の電圧が保持されて、時刻T06から時刻T07までの間において、容量CREPの容量結合によって、容量CREPの第2端子の電位がGND電位よりも高い電位となる。時刻T07以降では、当該電位が回路ACPの端子mbt1pに入力されて、回路ACPの端子mbt2pから、当該電位に応じたデジタル信号が出力される。

[0287]

一方、時刻T04において、容量CREMの第1端子の電位 V_{Iout} は、容量CREMの第2端子の電位 V_{IBout} よりも低くなる。そして、時刻T04から時刻T05までの間において、容量CREMの第1端子-第2端子間の電圧が保持されて、時刻T06から時刻T07までの間において、容量CREMの容量結合によって、容量CREMの第1端子の電位がGND電位よりも低い電位となる。時刻T07以降では、当該電位が回路ACMの端子mbt1mに入力されて、回路ACMの端子mbt2mから、0の値のデジタル信号が出力される。

[0288]

つまり、電流 $I_{out}[j]$ が $I_{Bout}[j]$ よりも大きいとき、回路ACPの端子mbt2pから端子mbt1pの電位に応じたデジタル信号 z が出力され、回路ACMの端子mbt2mからGND電位が出力される。そして、それらの2つのデジタル信号の組を、回路ACTF[j]が出力する、正の値の出力信号 $z_j^{(k)}$ とすることができる。

[0289]

また、電流 $I_{out}[j]$ が $I_{Bout}[j]$ よりも小さい場合、前述した動作例の通り、時刻 $T04$ において、容量 $CREP$ の第1端子の電位 V_{Iout} は、容量 $CREP$ の第2端子の電位 V_{IBout} よりも高くなる。そして、時刻 $T04$ から時刻 $T05$ までの間において、容量 $CREP$ の第1端子—第2端子間の電圧が保持されて、時刻 $T06$ から時刻 $T07$ までの間において、容量 $CREP$ の容量結合によって、容量 $CREP$ の第2端子の電位が GND 電位よりも低い電位となる。時刻 $T07$ 以降では、当該電位が回路 ACP の端子 $mbt1p$ に入力されて、回路 ACP の端子 $mbt2p$ から、0の値のデジタル信号が出力される。

[0290]

一方、時刻 $T04$ において、容量 $CREM$ の第1端子の電位 V_{Iout} は、容量 $CREM$ の第2端子の電位 V_{IBout} よりも高くなる。そして、時刻 $T04$ から時刻 $T05$ までの間において、容量 $CREM$ の第1端子—第2端子間の電圧が保持されて、時刻 $T06$ から時刻 $T07$ までの間において、容量 $CREM$ の容量結合によって、容量 $CREM$ の第1端子の電位が GND 電位よりも高い電位となる。時刻 $T07$ 以降では、当該電位が回路 ACM の端子 $mbt1m$ に入力されて、回路 ACM の端子 $mbt2m$ から、当該電位に応じたデジタル信号が出力される。

[0291]

つまり、電流 $I_{out}[j]$ が $I_{Bout}[j]$ よりも小さいとき、回路 ACP の端子 $mbt2p$ から GND 電位が出力され、回路 ACM の端子 $mbt2m$ から端子 $mbt1p$ の電位に応じたデジタル信号が出力される。そして、それらの2つデジタル信号の組を、回路 $ACTF[j]$ が出力する、負の値の出力信号 $z_j^{(k)}$ とすることができる。

[0292]

<演算回路の構成例3>

なお、図12に示す演算回路130では、回路 $MP[i, j]$ に対して、配線 $IL[j]$ と、配線 $ILB[j]$ と、配線 $OL[j]$ と、配線 $OL[j]$ と、が電氣的に接続されているが、本発明の一態様は、これに限定されない。例えば、演算回路130は、配線 $IL[j]$ と配線 $OL[j]$ とをまとめて配線 $OL[j]$ とし、配線 $ILB[j]$ と配線 $OLB[j]$ とをまとめて配線 $OLB[j]$ とした構成とすることができる。

[0293]

この演算回路の構成例を図17に示す。図17に示す演算回路150は、演算回路130において、配線 $IL[j]$ と配線 $OL[j]$ とをまとめて配線 $OL[j]$ とし、配線 $ILB[j]$ と配線 $OLB[j]$ とをまとめて配線 $OLB[j]$ とした構成となっている。

[0294]

また、演算回路150は、切り替え回路 $TW[1]$ 乃至切り替え回路 $TW[n]$ を有する。切り替え回路 $TW[1]$ 乃至 $TW[n]$ のそれぞれは、端子 TSa と、端子 $TSaB$ と、端子 TSb と、端子 $TSbB$ と、端子 TSc と、端子 $TSbB$ と、を有する。端子 TSa は配線 $OL[j]$ に電氣的に接続され、端子 $TSbB$ は回路 ILD に電氣的に接続され、端子 TSb は回路 $ACTF[i]$ に電氣的に接続されている。端子 $TSaB$ は配線 $OLB[j]$ に電氣的に接続され、端子 $TSbB$ は回路 ILD に電氣的に接続され、端子 TSb は回路 $ACTF[j]$ に電氣的に接続されている。

[0295]

切り替え回路 $TW[j]$ は、端子 TSa と、端子 TSb 又は端子 TSb の一方との間を導通状態にし、端子 TSa と、端子 TSb 又は端子 TSb の他方との間を非導通状態にする機能を有する。

また、切り替え回路TW [j] は、端子TS a Bと、端子TS b B又は端子TS c Bの一方との間を導通状態にし、端子TS a Bと、端子TS b B又は端子TS c Bの他方との間を非導通状態にする機能を有する。

[0296]

つまり、回路MP [1, j] 乃至回路MP [m, j] のいずれかに重み係数である第1データ $w_1^{(k-1)} \quad 1^{(k)}$ 乃至 $w_m^{(k-1)} \quad n^{(k)}$ に対応する情報（例えば、電位、抵抗値、電流値など）を入力したい場合、切り替え回路TW [j] において、端子TS a と端子TS b との間を導通状態にし、かつ端子TS a Bと端子TS b Bとの間を導通状態にすることで、回路ILDから配線OL [j]、及び配線OLB [j] に第1データ $w_1^{(k-1)} \quad 1^{(k)}$ 乃至 $w_m^{(k-1)} \quad n^{(k)}$ に対応する情報（例えば、電位、抵抗値、電流値など）を供給することができる。

[0297]

また、回路ACTF [j] が回路MP [1, j] 乃至回路MP [m, j] によって計算された、重み係数とニューロンの信号の値との積和（式（1. 2））の結果を取得したい場合、切り替え回路TW [j] において、端子TS a と端子TS c との間を導通状態にし、かつ端子TS a Bと端子TS c Bとの間を導通状態にすることで、配線OL [j]、及び配線OLB [j] から回路ACTF [j] に当該積和の結果に応じた情報（例えば、電位、電流値など）を供給することができる。また、回路ACTF [j] において、入力された積和の結果から活性化関数の値が計算されて、例えば、ニューロンの出力信号として信号 $z_j^{(k)}$ を得ることができる。

[0298]

次に、演算回路150に含まれる切り替え回路TW [j] と、回路ILDと、について説明する。図18Aには、演算回路150に適用することができる、切り替え回路TW [j] と、回路ILDと、の構成例を示している。なお、図18Aでは、切り替え回路TW [j] と、回路ILDと、の電気的な接続の構成を示すため、配線OL [j] と、配線OLB [j] と、回路AFPと、も図示している。

[0299]

切り替え回路TW [j] は、一例として、スイッチSWIと、スイッチSWIBと、スイッチSWOと、スイッチSWOBと、スイッチSWLと、スイッチSWLBと、を有する。

[0300]

回路ILDは、一例として、電流源回路ISCを有する。なお、電流源回路ISCの構成については、図14Aの回路ILDの電流源回路ISCと同様の構成とすることができる。そのため、図18Aの電流源回路ISCは、図14Aの回路ILDに含まれている回路ISCの説明を参酌する。

[0301]

なお、図18Aで説明するスイッチSWI、スイッチSWIB、スイッチSWO、スイッチSWOB、スイッチSWL、スイッチSWLBとしては、例えば、前述したスイッチSWR1、スイッチSWR1B、スイッチSWR2、及びスイッチSWR2Bと同様に適用できるスイッチを用いることができる。

[0302]

切り替え回路TW [j] の一例において、端子TS a は、スイッチSWIの第1端子と、スイッチSWOの第1端子と、スイッチSWLの第1端子と、に電気的に接続されている。端子TS a Bは、スイッチSWIBの第1端子と、スイッチSWOBの第1端子と、スイッチSWLBの第1端

子と、に電氣的に接続されている。スイッチSWIの第2端子は、端子TSb1に電氣的に接続されている。スイッチSWIBの第2端子は、端子TSbB1に電氣的に接続されている。スイッチSWOの第2端子は、端子TScに電氣的に接続されている。スイッチSWOBの第2端子は、端子TScBに電氣的に接続されている。スイッチSWLの第2端子は、端子TSb2に電氣的に接続されている。スイッチSWLBの第2端子は、端子TSbB2に電氣的に接続されている。

[0303]

図18Aに図示している端子TSb1、及び端子TSb2は、図17に図示している端子TSbに相当する。また、図18Aに図示している端子TSbB1、及び端子TSbB2は、図17に図示している端子TSbBに相当する。

[0304]

配線VCNは、図14Aの回路ILDの配線VCNと同様に、配線OL[j]及び／又は配線OLB[j]に対して、定電圧を供給する配線として機能する。そのため、図18Aの配線VCNは、図14Aの配線VCNの説明を参酌する。

[0305]

切り替え回路TW[j]は、スイッチSWI、スイッチSWIB、スイッチSWO、スイッチSWOB、スイッチSWL、スイッチSWLBのそれぞれをオン状態又はオフ状態に切り替えることによって、配線OL[j]及び配線OLB[j]と導通状態となる回路を変更することができる。

[0306]

例えば、回路MPに正の重み係数を入力したいとき、配線OL[j]に当該重み係数に応じた電流を入力し、配線OLB[j]に配線VCNが与える定電位を入力すればよい。一例としては、電流源回路ISCと配線OL[j]との間を導通状態にし、電流源回路ISCと配線OLB[j]との間を非導通状態にし、回路AFPと配線OL[j]との間を非導通状態にし、回路AFPと配線OLB[j]との間を非導通状態にし、配線VCNと配線OL[j]との間を非導通状態にし、配線VCNと配線OLB[j]との間を導通状態にすればよい。すなわち、切り替え回路TW[j]において、スイッチSWI、及びスイッチSWLBをオン状態とし、スイッチSWIB、スイッチSWO、スイッチSWOB、及びスイッチSWLのそれぞれをオフ状態とすればよい。これにより、電流源回路ISCと配線OL[j]との間が導通状態となるので、電流源回路ISCから、配線OL[j]を介して、回路MPに電流を流すことができる。また、配線VCNと配線OLB[j]との間が導通状態となるので、配線OLB[j]には、配線VCNからの定電圧が入力される。

[0307]

また、例えば、回路MPに負の重み係数を入力したいとき、配線OLB[j]に当該重み係数に応じた電流を入力し、配線OL[j]に配線VCNが与える定電位を入力すればよい。一例としては、電流源回路ISCと配線OL[j]との間を非導通状態にし、電流源回路ISCと配線OLB[j]との間を導通状態にし、回路AFPと配線OL[j]との間を非導通状態にし、回路AFPと配線OLB[j]との間を非導通状態にし、配線VCNと配線OL[j]との間を導通状態にし、配線VCNと配線OLB[j]との間を非導通状態にすればよい。すなわち、切り替え回路TW[j]において、スイッチSWIB、及びスイッチSWLをオン状態とし、スイッチSWI、スイッチSWO、スイッチSWOB、及びスイッチSWLBのそれぞれをオフ状態とすればよい。これにより、電流源回路ISCと配線OLB[j]との間が導通状態となるので、電流源回路ISCから、配線OLB[j]を介して、回路MPに電流を流すことができる。また、配線VCNと配線O

L [j] との間が導通状態となるので、配線OL [j] には、配線VCNからの定電圧が入力される。

[0308]

また、例えば、回路MPに0の重み係数を入力したいとき、配線OL [j]、配線OLB [j] のそれぞれに配線VCNが与える定電位を入力すればよい。一例としては、電流源回路ISCと配線OL [j] との間を非導通状態にし、電流源回路ISCと配線OLB [j] との間を非導通状態にし、回路AFPと配線OL [j] との間を非導通状態にし、回路AFPと配線OLB [j] との間を非導通状態にし、配線VCNと配線OL [j] との間を導通状態にし、配線VCNと配線OLB [j] との間を導通状態にすればよい。すなわち、切り替え回路TW [j] において、スイッチSWL、スイッチSWLBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWO、及びスイッチSWOBのそれぞれをオフ状態とすればよい。これにより、配線VCNと配線OL [j] との間が導通状態となり、配線VCNと配線OLB [j] との間が導通状態となるので、配線OL [j]、及び配線OLB [j] には、配線VCNからの定電圧が入力される。

[0309]

また、例えば、回路MP [i, j] から回路AFPに情報（例えば、電位、電流など）を供給する時には、一例としては、電流源回路ISCと配線OL [j] との間を非導通状態にし、電流源回路ISCと配線OLB [j] との間を非導通状態にし、回路AFPと配線OL [j] との間を導通状態にし、回路AFPと配線OLB [j] との間を導通状態にし、配線VCNと配線OL [j] との間を非導通状態にし、配線VCNと配線OLB [j] との間を非導通状態にすればよい。すなわち、切り替え回路TW [j] において、スイッチSWO、及びスイッチSWOBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWL、及びスイッチSWLBのそれぞれをオフ状態とすればよい。これにより、回路AFPと回路MP [i, j] との間が導通状態となるので、回路MP [i, j] から回路AFPに情報（例えば、電位、電流など）を供給することができる。

[0310]

なお、本発明の一態様の演算回路150に適用できる切り替え回路TW [j]、及び回路ILDは、図18Aに示す回路構成に限定されない。切り替え回路TW [j]、及び回路ILDのそれぞれの回路構成は、状況に応じて、変更することができる。例えば、図18Aに示す切り替え回路TW [j] にスイッチSWHと、スイッチSWHBと、を加え、回路ILDに配線VCN2を設けてもよい。そのような構成の例を図18Bに示す。

[0311]

図18Bにおいて、スイッチSWHの第1端子は、配線OL [j] に電氣的に接続され、スイッチSWHの第2端子は、配線VCN2に電氣的に接続されている。また、スイッチSWHBの第1端子は、配線OLB [j] に電氣的に接続され、スイッチSWHBの第2端子は、配線VCN2に電氣的に接続されている。

[0312]

配線VCN2は、配線OL [j] 及び／又は配線OLB [j] に対して、定電圧を供給する配線として機能する。例えば、回路ILDから、切り替え回路TW [j] を介して配線OL又は配線OLBに電流（正の電流）が流れる場合、配線VCN2が与える定電圧としては、高レベル電位（例えばVDDなど。）とするのが好ましい。また、例えば、配線OL又は配線OLBから、切り替え回路TW [j] を介して回路ILDに電流（負の電流）が流れる場合、配線VCN2が与える定電

位としては、接地電位、又は低レベル電位（例えばVSSなど）とするのが好ましい。特に、配線VCN4が与える電圧は、図6A及び図6Cで説明した配線VCN4とするのが好ましい。

[0313]

図18Bの回路構成において、スイッチSWI、スイッチSWIB、スイッチSWO、スイッチSWOB、スイッチSWL、及びスイッチSWLBをオフ状態にし、スイッチSWH、及びスイッチSWHBをオン状態にすることによって、配線OL[j]と、配線OLB[J]と、のそれぞれに配線VCN2が与える電圧を入力することができる。ここで、例えば、配線VCN2が与える電圧を、図6A乃至図6Cで説明した配線VCN4と同様の電圧としたとき、図9のタイミングチャートの動作例での時刻T01から時刻T02までの間において、スイッチSWR3、及びスイッチSWR3Bをオン状態ではなく、スイッチSWH、及びスイッチSWHBをオン状態にすることで配線OL[j]及び配線OLB[j]に配線VCN4と同様の電圧を与えることができる。つまり、図18Bの回路構成を演算回路140に適用することによって、図6A乃至図6Cの回路IVTR（回路IVTRr）に図示したスイッチSWR3（スイッチSWR3B）を省略することができる。

[0314]

ここで、演算回路150に適用できる回路MP[i, j]の構成例について説明する。

[0315]

図19Aは、演算回路150に適用できる回路MP[i, j]の構成例を示している。具体的には、図19Aの回路MP[i, j]は、図13Aの回路MP[i, j]の構成を変更した回路であって、図13Aの回路MP[i, j]の配線IL[j]と配線OL[j]とを1本にまとめ、かつ配線ILB[j]と配線OLB[j]とを1本にまとめた構成となっている。そのため、図19Aの回路MP[i, j]については、図13Aの回路MP[i, j]の説明を参酌する。

[0316]

次に、図19Aの回路MP[i, j]を変形した例について、説明する。なお、回路MP[i, j]の変形例については、図19Aの回路MP[i, j]と異なる部分を主に説明し、図19Aの回路MP[i, j]と共通する部分については説明を省略することがある。

[0317]

図19Bに示す回路MP[i, j]は、図19Aの回路MP[i, j]において、配線X1L[i]を配線WX1L[i]に置き換えた構成となっている。すなわち、図19Bの回路MP[i, j]において、配線WX1L[i]と配線WL[i]は、配線OL[j]と保持部HCとの間を導通状態、又は非導通状態の切り替えと、配線OLB[j]と保持部HCrとの間を導通状態、又は非導通状態の切り替えを行うために、所定の電位を供給する配線として機能する。また、図19Bの回路MP[i, j]において、配線WX1L[i]と配線X2L[i]は、回路MP[i, j]に入力される第2データ $z_i^{(k-1)}$ に応じた電流、電圧などを与える配線として機能する。なお、図19Bの具体的な回路構成については、実施の形態3で説明する。

[0318]

次に、図19Bとは異なる、図19Aの回路MP[i, j]を変形した例について、説明する。図19Cに示す回路MP[i, j]は、図19Aの回路MP[i, j]の変形例である。図19Cの回路MP[i, j]は、図19Aの回路MP[i, j]と同様に、回路MCと、回路MCrと、を有する。但し、図19Cの回路MP[i, j]は、回路MCrに保持部HCrが含まれていない点で、図19Aの回路MP[i, j]と異なる。

[0319]

また、回路MC_rは保持部HC_rを有していないため、図19Cの回路MP[i, j]を適用した演算回路は、保持部HC_rに保持する電位を供給するための配線を有さなくてもよい。加えて、回路MC_rは配線WL[i]に電氣的に接続されていなくてもよい。

[0320]

図19Cの回路MP[i, j]において、回路MCに含まれる保持部HCは、回路MC_rに電氣的に接続されている。つまり、図19Cの回路MP[i, j]は、回路MC_rと回路MCとが互いに保持部HCを共有するような構成となっている。一例としては、保持部HCで保持された信号に対して、反転した信号を、保持部HCから回路MC_rに供給することができる。これにより、回路MCと回路MC_rとで、異なる動作をすることが可能となる。または、回路MCと回路MC_rとで、内部の回路構成が異なるようにして、その結果、保持部HCで保持された同一の信号に対して、回路MCと回路MC_rとで、出力する電流の大きさが異なるようにすることも可能である。ここで、保持部HCに第1データ $w_i^{(k-1)}j^{(k)}$ に応じた電位を保持し、第2データ $z_i^{(k-1)}$ に応じた電位を配線X1L[i]及び配線X2L[i]に供給することによって、回路MP[i, j]は、配線OL[j]及び配線OLB[j]に、第1データ $w_i^{(k-1)}j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積に応じた電流を出力することができる。なお、図19Cの具体的な回路構成については、実施の形態3で説明する。

[0321]

図19Dに示す回路MP[i, j]は、図19Aの回路MP[i, j]の変形例であり、図13Cの回路MP[i, j]の変形例でもある。具体的には、図19Dの回路MP[i, j]は、図13Cにおいて配線IL[j]と配線OL[j]とを1本の配線OL[j]としてまとめ、かつ配線ILB[j]と配線OLB[j]とを1本の配線OLB[j]としてまとめた構成となっている。そのため、図19Dの回路MP[i, j]については、図13Cの回路MP[i, j]の説明を参酌する。

[0322]

図19Eに示す回路MP[i, j]は、図19Aの回路MP[i, j]の変形例であり、図13Dの回路MP[i, j]の変形例でもある。具体的には、図19Dの回路MP[i, j]は、図13Dにおいて配線IL[j]、及び配線ILB[j]を設けていない構成となっている。そのため、図19Dの回路MP[i, j]については、図13Dの回路MP[i, j]の説明を参酌する。

[0323]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0324]

(実施の形態3)

本実施の形態では、実施の形態1及び実施の形態2で説明した回路MPの具体的な構成例について説明する。

[0325]

なお、実施の形態1及び実施の形態2では、回路MPの符号に、アレイ部ALP内の位置を示す[1, 1]、[i, j]、[m, n]等を付記したが、本実施の形態では、特に断らない限り、回路MPの符号に対して[1, 1]、[i, j]、[m, n]等の記載を省略する。

[0326]

<構成例1>

初めに、図13Aの回路MPに適用できる回路構成の例について説明する。図20Aに示す回路MPは、図13Aの回路MPの構成の一例であり、図20Aの回路MPに含まれている回路MCは、一例としては、トランジスタM1と、スイッチS2乃至スイッチS5と、容量C1と、を有する。なお、例えば、スイッチS2と、スイッチS5と、容量C1とによって、保持部HCが構成されている。

[0327]

なお、スイッチS2乃至スイッチS5は、電氣的なスイッチ、又は機械的なスイッチとしてもよい。また、電氣的なスイッチとしては、例えば、トランジスタとしてもよい。つまり、スイッチS2乃至スイッチS5は、トランジスタM1と同様のトランジスタとしてもよい。特にスイッチS2には、容量C1の第1端子に電位を長い時間保持させる目的として、オフ電流が非常に小さいOSトランジスタを適用することが好ましい。なお、OSトランジスタについては、実施の形態5で詳述する。

[0328]

図20Aの回路MPにおいて、回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。

[0329]

図20Aに図示しているトランジスタM1は、一例としては、チャンネルの上下にゲートを有するマルチゲート構造のnチャンネル型トランジスタとしており、トランジスタM1は第1ゲートと第2ゲートとを有する。但し、本明細書等において、便宜上、一例として、第1ゲートをゲート（フロントゲートと記載する場合がある。）、第2ゲートをバックゲートとして区別するように記載しているが、第1ゲートと第2ゲートは互いに入れ替えることができる。そのため、本明細書等において、「ゲート」という語句は「バックゲート」という語句と入れ替えて記載することができる。同様に、「バックゲート」という語句は「ゲート」という語句と入れ替えて記載することができる。具体例としては、「ゲートは第1配線に電氣的に接続され、バックゲートは第2配線に電氣的に接続されている」という接続構成は、「バックゲートは第1配線に電氣的に接続され、ゲートは第2配線に電氣的に接続されている」という接続構成として置き換えることができる。例えば、図20Bに示すとおり、トランジスタM1のバックゲートを容量C1の第1端子と、スイッチS2の第1端子と、に電氣的に接続される構成としてもよい。

[0330]

また、本発明の一態様の半導体装置は、トランジスタのバックゲートの接続構成に依らない。図20Aに図示されているトランジスタM1には、バックゲートが図示され、当該バックゲートの接続構成については図示されていないが、当該バックゲートの電氣的な接続先は、設計の段階で決めることができる。例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのオン電流を高めるために、ゲートとバックゲートとを電氣的に接続してもよい。つまり、例えば、トランジスタM1のゲートとバックゲートとを電氣的に接続してもよい。また、例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのしきい値電圧を変動させるため、または、そのトランジスタのオフ電流を小さくするために、外部回路などと電氣的に接続されている配線を設けて、当該外部回路などによってトランジスタのバックゲートに電位を与えてもよい。なお、これ

については、図20Aだけでなく、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

[0331]

また、本発明の一態様の半導体装置は、当該半導体装置に含まれるトランジスタの構造に依らない。例えば、図20Aに図示しているトランジスタM1は、図20Cに示すとおり、バックゲートを有さないような構成、つまり、シングルゲート構造のトランジスタとしてもよい。また、一部のトランジスタはバックゲートを有している構成であり、別の一部のトランジスタは、バックゲートを有さない構成であってもよい。なお、これについては、図20Aに示す回路図だけでなく、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

[0332]

また、本明細書等において、トランジスタとして、様々な構造のトランジスタを用いることができる。よって、用いるトランジスタの種類に限定はない。トランジスタの一例としては、単結晶シリコンを有するトランジスタ、または、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有するトランジスタなどを用いることができる。または、それらの半導体を薄膜化した薄膜トランジスタ（TFET）などを用いることができる。TFETを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。または、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透光性を有する基板上にトランジスタを製造できる。または、透光性を有する基板上のトランジスタを用いて表示素子での光の透過を制御することができる。または、トランジスタの膜厚が薄いため、トランジスタを形成する膜の一部は、光を透過させることができる。そのため、開口率を向上させることができる。

[0333]

なお、トランジスタの一例としては、化合物半導体（例えば、SiGe、GaAsなど）、又は酸化物半導体（例えば、ZnO、InGaZnO、InZnO、InSnO（ITO）、SnO、TiO、AlZnSnO（AZTO）、InSnZnOなど）などを有するトランジスタを用いることができる。または、これらの化合物半導体、又は、これらの酸化物半導体を薄膜化した薄膜トランジスタなどを用いることができる。これらにより、製造温度を低くできるため、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板又はフィルム基板などに直接トランジスタを形成することができる。なお、これらの化合物半導体又は酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることもできる。例えば、これらの化合物半導体又は酸化物半導体を配線、抵抗素子、画素電極、又は透光性を有する電極などとして用いることができる。それらをトランジスタと同時に成膜又は形成することが可能なため、コストを低減できる。

[0334]

なお、トランジスタの一例としては、インクジェット法又は印刷法を用いて形成したトランジスタなどを用いることができる。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。よって、マスク（レチクル）を用いなくても製造することが可能となるため、

トランジスタのレイアウトを容易に変更することができる。または、レジストを用いずに製造することが可能なので、材料費が安くなり、工程数を削減できる。または、必要な部分にのみ膜を付けることが可能なので、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストで作製できる。

[0335]

なお、トランジスタの一例としては、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することができる。有機半導体やカーボンナノチューブを有するトランジスタを用いた装置は、衝撃に強くすることができる。

[0336]

なお、トランジスタとしては、他にも様々な構造のトランジスタを用いることができる。例えば、トランジスタとして、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを用いることができる。トランジスタとしてMOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることができる。よって、多数のトランジスタを搭載することができる。トランジスタとしてバイポーラトランジスタを用いることにより、大きな電流を流すことができる。よって、高速に回路を動作させることができる。なお、MOS型トランジスタとバイポーラトランジスタとを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することができる。

[0337]

なお、トランジスタの一例としては、活性層の上下にゲート電極が配置されている構造のトランジスタを適用することができる。活性層の上下にゲート電極が配置される構造にすることにより、複数のトランジスタが並列に接続されたような回路構成となる。よって、チャネル形成領域が増えるため、電流値の増加を図ることができる。または、活性層の上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることができる。

[0338]

なお、トランジスタの一例としては、活性層の上にゲート電極が配置されている構造、活性層の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャネル領域を複数の領域に分けた構造、活性層を並列に接続した構造、又は活性層が直列に接続する構造などのトランジスタを用いることができる。または、トランジスタとして、プレーナ型、FIN型（フィン型）、TRI-GATE型（トライゲート型）、トップゲート型、ボトムゲート型、ダブルゲート型（チャネルの上下にゲートが配置されている）、など、様々な構成をとることができる。

[0339]

なお、トランジスタの一例としては、活性層（もしくはその一部）にソース電極やドレイン電極が重なっている構造のトランジスタを用いることができる。活性層（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、活性層の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。

[0340]

なお、トランジスタの一例としては、LDD領域を設けた構造を適用できる。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上（信頼性の向上）を図ることができる。または、LDD領域を設けることにより、飽和領域で動作する時に、ドレインとソースとの間

の電圧が変化しても、ドレイン電流があまり変化しない電圧・電流特性を得ることができる。

[0341]

例えば、本明細書等において、様々な基板を用いて、トランジスタを形成することができる。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、ポリテトラフルオロエチレン（PTFE）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

[0342]

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

[0343]

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

[0344]

なお、所定の機能を実現させるために必要な回路の全てを、同一の基板（例えば、ガラス基板、プラスチック基板、単結晶基板、又はSOI基板など）に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

[0345]

なお、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されていることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板（又はSOI基板）に形成されることが可能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成される単結晶基板（ICチップともいう）を、COG（Chip On Glass）によって、ガラス基板に接続して、ガラス基板にそのICチップを配置することが可能である。または、ICチップを、TAB（Tape Automated Bonding）、COF（Chip On Film）、SMT（Surface Mount Technology）、又はプリント基板などを用いてガラス基板と接続することが可能である。このように、回路の一部が画素部と同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。特に、駆動電圧が大きい部分の回路、又は駆動周波数が高い部分の回路などは、消費電力が大きくなってしまう場合が多い。そこで、このような回路を、画素部とは別の基板（例えば単結晶基板）に形成して、ICチップを構成する。このICチップを用いることによって、消費電力の増加を防ぐことができる。

[0346]

図20Aの回路MPにおいて、トランジスタM1の第1端子は、配線VEに電氣的に接続されている。トランジスタM1の第2端子は、スイッチS3の第1端子と、スイッチS4の第1端子と、スイッチS5の第1端子と、に電氣的に接続されている。トランジスタM1のゲートは、容量C1の第1端子と、スイッチS2の第1端子と、に電氣的に接続されている。容量C1の第2端子は、配線VEに電氣的に接続されている。スイッチS2の第2端子は、スイッチS5の第2端子と、配線ILと、に電氣的に接続されている。スイッチS2の制御端子は配線WLに電氣的に接続されている。スイッチS3の第2端子は配線OLに電氣的に接続され、スイッチS3の制御端子は、配線X1Lに電氣的に接続されている。スイッチS4の第2端子は配線OLBに電氣的に接続され、スイッチS4の制御端子は、配線X2Lに電氣的に接続されている。

[0347]

回路MCrにおいて、回路MCと異なる接続構成について説明する。スイッチS3rの第2端子は、配線OLでなく、配線OLBに電氣的に接続され、スイッチS4rの第2端子は、配線OLBでなく、配線OLに電氣的に接続されている。トランジスタM1rの第1端子と、容量C1rの第1端子と、は、配線VERに電氣的に接続されている。

[0348]

なお、図20Aの回路MPの構成は、図21Aの回路MPの構成に変更してもよい。具体的には、トランジスタM1の第1端子が、配線VEではなく、別の配線VEmに電氣的に接続され、トランジスタM1rの第1端子が、配線VERではなく、別の配線VEmrに電氣的に接続されていてもよい。なお、図20Aの回路MPだけでなく、他の図面の回路図においても、トランジスタM1の第1端子が、配線VEではなく、別の配線VEmに電氣的に接続されるような構成、及び／又は、トランジスタM1rの第1端子が、配線VERではなく、別の配線VEmrに電氣的に接続されるような構成にしてもよい。

[0349]

なお、図20Aに示す保持部HCにおいて、トランジスタM1のゲートと、容量C1の第1端子と、スイッチS2の第1端子と、の電氣的接続点をノードn1としている。

[0350]

保持部HCは、実施の形態1で説明したとおり、一例としては、第1データに応じた電位を保持する機能を有する。図20Aの回路MCに含まれている保持部HCへの当該電位の保持は、スイッチS2、スイッチS5をオン状態としたときに、配線ILから電位を入力して、容量C1に書き込み、その後にスイッチS2をオフ状態にすることで行われる。これによって、ノードn1の電位を、第1データに応じた電位として保持することができる。このとき、配線OLから電流を入力し、その電流の大きさに応じた大きさの電位を容量C1に保持することができる。そのため、トランジスタM1の電流特性のばらつきの影響を低減することができる。

[0351]

また、トランジスタM1は、ノードn1の電位を長時間保持するため、オフ電流が少ないトランジスタを適用することが好ましい。オフ電流が少ないトランジスタとしては、例えば、OSトランジスタを用いることができる。また、トランジスタM1として、バックゲートを有するトランジスタを適用し、バックゲートに低レベル電位を印加して、閾値電圧をプラス側にシフトさせて、オフ電流を小さくする構成としてもよい。

[0352]

後述する動作例において、回路MPに入出する電流について簡易的に説明するため、図20Aに示す配線ILの一端をノードinaとし、配線OLの一端をノードoutaとし、配線ILBの一端をノードinbとし、配線OLBの一端をノードoutbとする。

[0353]

配線VEは、一例としては、定電圧を供給する配線として機能する。当該定電圧としては、スイッチS3、スイッチS3r、スイッチS4、または、スイッチS4rがnチャネル型トランジスタである場合、及び／又は図14A乃至図14Cにおいて配線VSOが与える電位が高レベル電位である場合には、例えば、低レベル電位であるVSS、接地電位、または、それら以外の低レベル電位などとすることができる。また、配線VEm、配線VEr、配線VEmrのそれぞれは、配線VEと同様に、定電圧を供給する電圧線として機能し、当該定電圧としては、低レベル電位であるVSS、VSS以外の低レベル電位、接地電位などとすることができる。また、当該定電圧としては、高レベル電位であるVDDとしてもよい。この場合、演算回路110の回路IVTR（回路IVTRr）として、図6A乃至図6Cのいずれかを適用している場合、回路ACTF[1]乃至回路ACTF[n]に電氣的に接続されている配線VCN4が与える定電圧は、配線VE、及び配線VErが与える電位VDDよりも高い電位とするのが好ましい。

[0354]

また、配線VE、配線VEm、配線VEr、配線VEmr、のそれぞれが供給する定電圧は、互いに異なってもよいし、一部又は全てが同一であってもよい。また、それぞれの配線が供給する電圧が同一である場合には、それらの配線を選択して、同一の配線としてもよい。例えば、配線VE、配線VEm、配線VEr、配線VEmrのそれぞれの与える定電圧がほぼ等しい場合、図21Bの回路MPのとおり、配線VEm、配線VEr、配線VEmrは配線VEと同一の配線とすることができる。または、例えば、配線VE、配線VErのそれぞれの与える定電圧がほぼ等しい場合、配

線VEと配線VE_rとを一本の同一の配線とすることができる。または、図21Aにおいても、例えば、配線VEと配線VE_rとを一本の同一の配線として、配線VE_mと配線VE_{m r}とを一本の同一の配線としてもよい。または例えば、配線VEと配線VE_{m r}とを一本の同一の配線として、配線VE_mと配線VE_rとを一本の同一の配線としてもよい（図示しない）。

[0355]

また、図20Aの回路MPの構成は、状況に応じて、変更することができる。例えば、図22Aに示すとおり、図20Aの回路MPのトランジスタM1、トランジスタM1_rのそれぞれをpチャネル型トランジスタであるトランジスタM1_p、トランジスタM1_{p r}に置き換えてもよい。また、この場合、配線VE、配線VE_rが与える定電圧は、高レベル電位であるVDDとするのが好ましい。また、この場合に加え、演算回路110の回路ACTF[1]乃至回路ACTF[n]に含まれている回路IVTR及び回路IVTR_rとして、図6A乃至図6Cのいずれかを適用している場合、配線VCN4が与える定電圧は、接地電位、又はVSSとするのが好ましい。このように、配線の電位を変更した場合には、電流の流れる向きも変更することになる。

[0356]

また、例えば、図22Bに示す通り、図20Aの回路MPのスイッチS3、スイッチS3_r、スイッチS4、スイッチS4_rのそれぞれをアナログスイッチAS3、アナログスイッチAS4、アナログスイッチAS3_r、アナログスイッチAS4_rとしてもよい。なお、図22Bには、アナログスイッチAS3、アナログスイッチAS4、アナログスイッチAS3_r、アナログスイッチAS4_rを動作させるため、配線X1LB、X2LBも図示している。配線X1LBは、アナログスイッチAS3、アナログスイッチAS3_rに電氣的に接続され、配線X2LBは、アナログスイッチAS4、アナログスイッチAS4_rに電氣的に接続されている。配線X1LBには、配線X1Lに入力される信号の反転信号が入力され、配線X2LBには、配線X2Lに入力される信号の反転信号が入力される。また、配線X1L、配線X2Lを1本の配線としてまとめ、かつ配線X1LB、X2LBを1本の配線としてまとめてもよい（図示しない）。なお、一例としては、アナログスイッチAS3、アナログスイッチAS4、アナログスイッチAS3_r、及びアナログスイッチAS4_rは、nチャネル型トランジスタとpチャネル型トランジスタとを用いたCMOS構成としてもよい。

[0357]

また、図20A乃至図20C、図21A、図21B、図22Aに示したスイッチS3、スイッチS3_r、スイッチS4、及びスイッチS4_rにトランジスタを適用した場合、それぞれのサイズ、例えば、チャネル長及びチャネル幅は互いに等しいことが好ましい。このような回路構成とすることにより、効率的にレイアウトできる可能性がある。また、スイッチS3、スイッチS3_r、スイッチS4、及びスイッチS4_rに流れる電流を揃えることができる可能性がある。また、同様に、図20A乃至図20C、図21A、図21Bに示したトランジスタM1、トランジスタM1_rのサイズはそれぞれ等しいことが好ましい。また、同様に、図20A乃至図20C、図21A、図21Bに示したスイッチS2、及びスイッチS2_rにトランジスタを適用した場合、それぞれのトランジスタのサイズはそれぞれ等しいことが好ましい。

<<動作例1>>

次に、図20Aに示した回路MPの動作例について説明する。図23A乃至図23C、図24A乃至図24C、図25A乃至図25Cは、回路MPの動作例を示したタイミングチャートであり、

それぞれ、配線WL、配線X1L、配線X2L、ノードn1、ノードn1rの電位の変動を示している。なお、図23A乃至図23C、図24A乃至図24C、図25A乃至図25Cのそれぞれに記載しているhighは高レベル電位を示し、lowは低レベル電位を示している。また、本動作例において、ノードinaから配線ILに（または、配線ILからノードinaに）入力される電流量を I_{IL} とし、ノードinbから配線ILBに（または、配線ILBからノードinbに）入力される電流量を I_{ILB} とする。また、配線OLからノードoutaに（または、ノードoutaから配線OLに）出力される電流量を I_{OL} とし、配線OLBからノードoutbに（または、ノードoutbから配線OLBに）出力される電流量を I_{OLB} としている。図23A乃至図23C、図24A乃至図24C、図25A乃至図25Cに示すタイミングチャートでは、電流量 I_{IL} 、 I_{ILB} 、 I_{OL} 、 I_{OLB} の変化量も図示している。

[0358]

なお、本動作例では、配線VE、配線VEm、配線VER、配線VEmrが与える定電圧はVSS（低レベル電位）とする。この場合、図14Aにおいて、配線VSOには高レベル電位が与えられ、配線VSOから配線OLを介して、配線VE又は配線VERに電流が流れることになる。同様に、配線VSOから配線OLBを介して、配線VE又は配線VERに電流が流れることになる。なお、図14Aに示す回路構成において、配線VCNが与える電位をVSSとする。配線VCNとトランジスタM1の第2端子との間を導通状態にすることによって、トランジスタM1の第2端子にはVSSが与えられる。詳しくは後述するが、このとき、トランジスタM1のゲートの電位もVSSになるため、トランジスタM1はオフ状態となる。同様に、配線VCNとトランジスタM1rの第2端子との間を導通状態にすることによって、トランジスタM1rの第2端子とゲートの電位はVSSとなるため、トランジスタM1rはオフ状態となる。

[0359]

また、本動作例では、回路ACTFに含まれている回路IVTR（回路IVTRr）は、図6Aに示す回路IVTR（回路IVTRr）とする。また、図6Aに示す回路IVTR（回路IVTRr）において、配線VCN4が与える電位をVDDとする。

[0360]

図20Aに示した回路MPにおいて、スイッチS2、スイッチS5がオン状態のとき、トランジスタM1はダイオード接続の構成となる。そのため、配線OLから回路MCに電流が流れるとき、トランジスタM1の第2端子とトランジスタM1のゲートと、のそれぞれの電位はほぼ等しくなる。当該電位は、配線OLから回路MCに流れる電流量とトランジスタM1の第1端子の電位（ここではVSS）などによって定められる。ここで、トランジスタM1のゲートの電位を容量C1に保持し、その後にスイッチS2をオフ状態にすることによって、トランジスタM1は、トランジスタM1のゲートの電位に応じた電流を流す電流源として機能する。そのため、トランジスタM1の電流特性のばらつきの影響を低減することができる。

[0361]

例えば、スイッチS2、及びスイッチS5がオン状態で、配線OLから回路MCを介して配線VEに I_1 の電流量が流れたとき、トランジスタM1のゲート（ノードn1）の電位は V_1 となるものとする。ここで、スイッチS2をオフ状態にすることによって、 V_1 は保持部HCによって保持される。これにより、トランジスタM1は、トランジスタM1の第1端子の電位VSSと、トランジスタM1のゲートの電位 V_1 に応じた電流である I_1 をトランジスタM1のソースドレイン間に流

すことができる。本明細書等では、このような動作を「トランジスタM1は、トランジスタM1のソースドレイン間に流れる電流量を I_1 に設定（プログラミング）された」などと呼称する。

[0362]

本動作例では、配線OLから回路MCに流れる電流量を0、 I_1 、 I_2 の3種類とする。このため、トランジスタM1に設定される電流量は0、 I_1 、 I_2 の3種類となる。例えば、保持部HCに保持されている、トランジスタM1のゲートの電位がVSSであるとき、トランジスタM1の第1端子、第2端子のそれぞれの電位もVSSであるため、トランジスタM1のしきい値電圧が0より高ければ、トランジスタM1はオフ状態となる。このため、トランジスタM1のソースドレイン間に電流は流れないので、トランジスタM1のソースドレイン間に流れる電流量は0に設定されている、ということができる。また、例えば、保持部HCに保持されている、トランジスタM1のゲートの電位が V_1 であるとき、トランジスタM1のしきい値電圧が $V_1 - VSS$ よりも低ければ、トランジスタM1はオン状態となる。このとき、トランジスタM1に流れる電流量を I_1 とする。このため、トランジスタM1のゲートの電位が V_1 であるとき、トランジスタM1のソースドレイン間に流れる電流量は I_1 に設定されている、ということができる。また、例えば、保持部HCに保持されている、トランジスタM1のゲートの電位が V_2 であるとき、トランジスタM1のしきい値電圧が $V_2 - VSS$ よりも低ければ、トランジスタM1はオン状態となる。このとき、トランジスタM1に流れる電流量を I_2 とする。このため、トランジスタM1のゲートの電位が V_2 であるとき、トランジスタM1のソースドレイン間に流れる電流量は I_2 に設定されている、ということができる。

[0363]

なお、 I_1 の電流量は、0よりも大きく、 I_2 よりも小さいものとする。また、電位 V_1 は、VSSよりも高く、 V_2 よりも低いものとする。また、トランジスタM1のしきい値電圧は、0よりも高く、 $V_1 - VSS$ よりも低いものとする。また、 I_1 は、例えば、図14Aの説明における、定電流源回路ISC1が生成する I_{ut} に置き換えることができ、また、 I_2 は、例えば、図14Aの説明における、定電流源回路ISC2が生成する $2I_{ut}$ に置き換えることができる。

[0364]

また、動作例を説明する前に、回路MPが保持する第1データ（例えば、ここでは重み係数とする。）を次の通りに定義する。保持部HCのノードn1にVSS、保持部HC rのノードn1 rにVSSが保持されているとき、回路MPは第1データ（重み係数）として“0”を保持しているものとする。保持部HCのノードn1に V_1 、保持部HC rのノードn1 rにVSSが保持されているとき、回路MPは第1データ（重み係数）として“+1”を保持しているものとする。保持部HCのノードn1に V_2 、保持部HC rのノードn1 rにVSSが保持されているとき、回路MPは第1データ（重み係数）として“+2”を保持しているものとする。保持部HCのノードn1にVSS、保持部HC rのノードn1 rに V_1 が保持されているとき、回路MPは第1データ（重み係数）として“-1”を保持しているものとする。保持部HCのノードn1にVSS、保持部HC rのノードn1 rに V_2 が保持されているとき、回路MPは第1データ（重み係数）として“-2”を保持しているものとする。

[0365]

また、回路MPに入力される第2データ（例えば、ここではニューロンの信号の値（演算値）とする。）を一例として次の通りに定義する。配線X1Lに高レベル電位、配線X2Lに低レベル電位が印加されているとき、回路MPには、第2データ（ニューロンの信号の値）として“+1”が

入力されている。配線X 1 Lに低レベル電位、配線X 2 Lに高レベル電位が印加されているとき、回路MPには、第2データ（ニューロンの信号の値）として“−1”が入力されている。配線X 1 Lに低レベル電位、配線X 2 Lに低レベル電位が印加されているとき、回路MPには、第2データ（ニューロンの信号の値）として“0”が入力されるものとする。なお、一例としては、高レベル電位としては、VDD、または、VDDよりも10%以上、もしくは、20%以上高い電位をとるものとする。

[0366]

また、本明細書などにおいて、トランジスタM1、トランジスタM1 rは、特に断りの無い場合は、オン状態の場合は最終的に飽和領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、飽和領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。供給される電圧の振幅値を小さくするために、トランジスタM1、トランジスタM1 rは、線形領域で動作してもよい。なお、第1データ（重み係数）をアナログ値とする場合には、第1データ（重み係数）の大きさに応じて、例えば、トランジスタM1、トランジスタM1 rは、線形領域で動作する場合と、飽和領域で動作する場合とが混在していてもよい。

[0367]

また、本明細書などにおいて、スイッチS2、スイッチS2 r、スイッチS3、スイッチS3 r、スイッチS4、スイッチS4 r、スイッチS5、スイッチS5 rは、特に断りの無い場合は、制御端子に高レベル電位が入力されたとき、オン状態となり、また、制御端子に低レベル電位が入力されたとき、オフ状態となるものとする。

[0368]

以下では、第1データ（例えば、以下では重み係数とする。）、及び第2データ（例えば、以下では、ニューロンの信号の値（演算値）など）のそれぞれが取り得る値の組み合わせ毎に、回路MPの動作例を説明する。

[0369]

[条件1]

初めに、一例として、第1データ（重み係数）が“0”であって、回路MPに入力される第2データ（ニューロンの信号の値（演算値））が“+1”である場合を考える。図23Aは、その場合における回路MPのタイミングチャートである。

[0370]

時刻T11から時刻T12までの間では、保持部HC、保持部HC rには、初期の電位が保持されている。図23Aでは、例えば、ノードn1、ノードn1 rには、初期の電位として、電位VSSよりも高い電位が保持されているものとする。

[0371]

また、配線WL、配線X 1 L、配線X 2 Lには、低レベル電位が印加されている。これによって、スイッチS2、スイッチS2 r、スイッチS3、スイッチS3 r、スイッチS4、スイッチS4 r、スイッチS5、及びスイッチS5 rのそれぞれの制御端子には、低レベル電位が入力されるため、スイッチS2、スイッチS2 r、スイッチS3、スイッチS3 r、スイッチS4、スイッチS4 r、スイッチS5、及びスイッチS5 rのそれぞれはオフ状態となる。

[0372]

時刻T 1 2から時刻T 1 3までの間において、配線WLには、高レベル電位が印加される。これにより、スイッチS 2、スイッチS 2 r、スイッチS 5、及びスイッチS 5 rのそれぞれの制御端子には、高レベル電位が入力されるため、スイッチS 2、スイッチS 2 r、スイッチS 5、及びスイッチS 5 rのそれぞれのオン状態となる。

[0373]

また、図23Aには図示していないが、配線IL、配線ILBのそれぞれには、初期化電位として V_{ini} が印加される。スイッチS 2、スイッチS 2 r、スイッチS 5、及びスイッチS 5 rのそれぞれのオン状態となっているため、保持部HCのノードn 1、及び保持部HC rのノードn 1 rのそれぞれの電位は V_{ini} となる。つまり、時刻T 1 2から時刻T 1 3までの間では、保持部HCのノードn 1、及び保持部HC rのノードn 1 rのそれぞれの電位の初期化が行われる。

[0374]

なお、初期化電位の V_{ini} としては、例えば、接地電位とすることが好ましい。また、初期化電位の V_{ini} としては、VSS、接地電位よりも高い電位、又は接地電位よりも低い電位としてもよい。また、配線IL、配線ILBのそれぞれに与える初期化電位 V_{ini} は互いに異なる電位としてもよい。なお、配線IL、配線ILBのそれぞれに初期化電位 V_{ini} を入力しなくてもよい。なお、必ずしも、時刻T 1 2から時刻T 1 3までの期間を設けなくてもよい。または、必ずしも、時刻T 1 2から時刻T 1 3までの間において、初期化を行わなくてもよい。なお、図14Aに示す回路ILDには、初期化電位 V_{ini} を与える配線と、当該配線と配線IL及び配線ILBと、の間を導通状態にするスイッチを図示していないが、本動作例では、図14Aに示す回路ILDは、配線IL及び配線ILBに初期化電位 V_{ini} を与える機能を有するものとする。

[0375]

時刻T 1 3から時刻T 1 4までの間において、配線ILから回路MCに電位VSSが入力され、配線ILBから回路MC rに電位VSSが入力される。これは、図14Aにおいて、スイッチSWLA、スイッチSWLABをオン状態にし、スイッチSWIA、スイッチSWIABをオフ状態にすることによって行われる。また、図6Aにおいて、スイッチSWR3（スイッチSWR3B）をオフ状態にすることによって、行われる。これによって、保持部HCのノードn 1の電位はVSSとなり、保持部HC rのノードn 1 rの電位はVSSとなる。これにより、回路MCにおいて、トランジスタM1は電流量として0を流すように設定されるため、配線OLから回路MCを介して配線VEに電流は流れない。また、回路MC rにおいて、トランジスタM1 rは電流量として0となるように設定されるため、配線OLBから回路MC rを介して配線VE rに電流は流れない。換言すると、時刻T 1 3から時刻T 1 4までの間において、トランジスタM1、トランジスタM1 rはオフ状態となるため、配線OLと配線VEとの間是非導通状態となり、配線OLBと配線VE rとの間是非導通状態となる。

[0376]

時刻T 1 4から時刻T 1 5までの間において、配線WLと、配線X 1 Lには、低レベル電位が印加される。これにより、スイッチS 2、スイッチS 2 r、スイッチS 5、及びスイッチS 5 rのそれぞれの制御端子には、低レベル電位が入力されるため、スイッチS 2、スイッチS 2 r、スイッチS 5、及びスイッチS 5 rのそれぞれのオフ状態となる。スイッチS 2、及びスイッチS 2 rがオフ状態になることにより、保持部HCのノードn 1の電位VSSが保持され、保持部HC rのノードn 1 rの電位VSSが保持される。また、スイッチS 5がオフ状態になることによって、配線

I Lから回路MCを介して配線VEに電流は流れなくなる。また、同様に、スイッチS 5 rがオフ状態になることによって、配線I L Bから回路MC rを介して配線VE rに電流は流れなくなる。なお、時刻T 1 4から時刻T 1 5までの間において、図6 Aに示すスイッチSWR 3、スイッチSWR 3 Bをオン状態にして、配線OL、および、配線OL Bの電位を初期化してもよい。配線OL、および、配線OL Bの電位を初期化することにより、時刻T 1 5以降において、回路MPから出力される電流によって、配線OL、および、配線OL Bの電位を変化させることができる。

[0377]

時刻T 1 1から時刻T 1 5までの動作によって、回路MPの第1データ（重み係数）として“0”が設定される。また、回路MPに第1データ（重み係数）が設定された後は、図1 4 Aにおいて、スイッチSW I A、スイッチSW I A B、スイッチSW L A、及びスイッチSW L A Bをオフ状態としてもよい。なお、回路MPに重み係数が設定された後に、図6 Aに示すスイッチSWR 3、及びスイッチSWR 3 Bをオン状態にして、配線OL、及び配線OL Bの電位を初期化してもよい。配線OL、配線OL Bの電位を初期化した後は、スイッチSWR 3、及びスイッチSWR 3 Bをオフ状態としてもよい。

[0378]

時刻T 1 5以降において、回路MPへのニューロンの信号（演算値）“+1”の入力として、配線X 1 Lに高レベル電位、配線X 2 Lに低レベル電位が入力される。このとき、スイッチS 3、スイッチS 3 rのそれぞれの制御端子に高レベル電位が入力され、スイッチS 4、スイッチS 4 rのそれぞれの制御端子に低レベル電位が入力される。このため、スイッチS 3、スイッチS 3 rのそれぞれはオン状態となり、スイッチS 4、スイッチS 4 rのそれぞれはオフ状態になる。つまり、この動作によって、回路MCと配線OLとの間、及び、回路MC rと配線OL Bとの間が導通状態になり、回路MCと配線OL Bとの間、及び、回路MC rと配線OLとの間が非導通状態になる。これにより、回路MCと回路AFPとの間が導通状態になり、また回路MC rと回路AFPとの間が導通状態になる。

[0379]

なお、トランジスタM 1はオフ状態となっているため（電流量が0となるように設定されているため）、回路MCにおいて、配線OL、配線OL Bから配線VEまでの間に電流は流れない。同様に、トランジスタM 1 rはオフ状態となっているため（電流量が0となるように設定されているため）、回路MC rにおいて、配線OL、OL Bから配線VE rまでの間に電流は流れない。以上より、配線OLのノードout aから出力される電流 I_{OL} 、及び配線OL Bのノードout bから出力される電流 I_{OLB} は、時刻T 1 5の前後で変化しない。そのため、回路AFPと配線OLとの間には電流 I_{OL} は流れず、かつ回路AFPと配線OL Bとの間には電流 I_{OLB} は流れない。

[0380]

ところで、本条件は、第1データ（重み係数）を“0”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“+1”としているため、式（1. 1）を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“0”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、回路MPの動作では、時刻T 1 5以降において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、図1 5において、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0381]

なお、第1データ（例えば、重み係数など）は、一旦入力すると、その値を更新せずに、第2データ（ニューロンの信号の値、又は演算値など）の方のみを変更することによって、複数の積和演算処理を行ってもよい。この場合、第1データ（重み係数）の更新が不要となるため、消費電力を低減することができる。なお、第1データ（重み係数）の更新を少なくするためには、第1データ（重み係数）を長期間保持する必要がある。このとき、例えば、OSトランジスタを用いると、オフ電流が低いことを利用して、第1データ（重み係数）を長期間保持することが可能となる。

[0382]

[条件2]

次に、一例として、第1データ（重み係数）が“+1”であって、回路MPに入力される第2データ（ニューロンの信号の値（演算値））が“+1”である場合を考える。図23Bは、その場合における回路MPのタイミングチャートである。

[0383]

時刻T11から時刻T13までの間の動作については、条件1の時刻T11から時刻T13までの間の動作と同様であるため、条件1の時刻T11から時刻T13までの間の動作の説明を参酌する。

[0384]

時刻T13から時刻T14までの間において、配線ILから回路MCに電流量として I_1 が入力され、配線ILBから回路MCrに電位VSSが入力される。これは、図14において、スイッチSWIA、及びスイッチSWLABをオン状態にし、スイッチSWIAB、及びスイッチSWLAをオフ状態にすることによって行われる。これによって、保持部HCのノードn1の電位は V_1 となり、保持部HCrのノードn1rの電位はVSSとなる。これにより、回路MCにおいて、トランジスタM1は電流量として I_1 を流すように設定されるため、配線ILから回路MCを介して配線VEに電流量として I_1 が流れる。また、回路MCrにおいて、トランジスタM1rは電流量として0を流すように設定されるため、配線ILBから回路MCrを介して配線VERに電流は流れない。

[0385]

時刻T14から時刻T15までの間において、配線WLには、低レベル電位が印加される。これにより、スイッチS2、スイッチS2r、スイッチS5、及びスイッチS5rのそれぞれの制御端子には、低レベル電位が入力されるため、スイッチS2、スイッチS2r、スイッチS5、及びスイッチS5rのそれぞれのオフ状態となる。スイッチS2、及びスイッチS2rがオフ状態になることにより、保持部HCのノードn1の電位 V_1 が保持され、保持部HCrのノードn1rの電位VSSが保持される。また、スイッチS5がオフ状態になることにより、配線OLから回路MCを介して配線VEに電流は流れなくなる。また、同様に、スイッチS5rがオフ状態になることにより、配線OLBから回路MCrを介して配線VERに電流は流れなくなる。なお、時刻T14から時刻T15までの間において、図6Aに示すスイッチSWR3、及びスイッチSWR3Bをオン状態にして、配線OL、及び配線OLBの電位を初期化してもよい。配線OL、及び配線OLBの電位を初期化することにより、時刻T15以降において、回路MPから出力される電流によって、配線OL、及び配線OLBの電位を変化させることができる。

[0386]

時刻T 1 1から時刻T 1 5までの動作によって、回路MPの第1データ（重み係数）として“+1”が設定される。また、回路MPに第1データ（重み係数）が設定された後は、図1 4 Aにおいて、スイッチSW I A、スイッチSW I A B、スイッチSW L A、及びスイッチSW L A Bをオフ状態としてもよい。なお、回路MPに第1データ（重み係数）が設定された後に、スイッチSW R 3、及びスイッチSW R 3 Bをオン状態にして、配線OL、及び配線OL Bの電位を初期化してもよい。配線OL、及び配線OL Bの電位を初期化した後は、スイッチSW R 3、及びスイッチSW R 3 Bをオフ状態としてもよい。

[0 3 8 7]

時刻T 1 5以降において、回路MPへの第2データ（ニューロンの信号の値（演算値））“+1”の入力として、配線X 1 Lに高レベル電位、配線X 2 Lに低レベル電位が入力される。このとき、スイッチS 3、及びスイッチS 3 rのそれぞれの制御端子に高レベル電位が入力され、スイッチS 4、及びスイッチS 4 rのそれぞれの制御端子に低レベル電位が入力される。このため、スイッチS 3、及びスイッチS 3 rのそれぞれはオン状態となり、スイッチS 4、及びスイッチS 4 rのそれぞれはオフ状態になる。つまり、この動作によって、回路MCと配線OLとの間、及び、回路MC rと配線OL Bとの間が導通状態になり、回路MCと配線OL Bとの間、及び、回路MC rと配線OLとの間が非導通状態になる。これにより、回路MCと回路AFPとの間が導通状態になり、また回路MC rと回路AFPとの間が導通状態になる。

[0 3 8 8]

回路MCにおいて、スイッチS 3がオン状態になっており、かつトランジスタM 1がオン状態になっているため（電流量として I_1 を流すように設定されているため）、配線OLから配線VEまでの間に電流が流れる。また、回路MCにおいて、スイッチS 4がオフ状態になっているため、配線OL Bから配線VEまでの間に電流は流れない。一方、回路MC rにおいて、スイッチS 3 rがオン状態になっているが、トランジスタM 1 rがオフ状態になっているため（電流量として0を流すように設定されているため）、配線OL Bから配線VE rまでの間に電流は流れない。また、回路MC rにおいて、スイッチS 4 rがオフ状態になっているため、配線OLから配線VE rまでの間に電流は流れない。以上より、配線OLのノードout aから出力される電流 I_{OL} は、時刻T 1 5の経過後に I_1 増加し、配線OL Bのノードout bから出力される電流 I_{OLB} は、時刻T 1 5の前後で変化しない。そのため、回路AFPと配線OLとの間には電流量 I_1 の電流 I_{OL} が流れ、かつ回路AFPと配線OL Bとの間には電流 I_{OLB} は流れない。

[0 3 8 9]

ところで、本条件は、第1データ（重み係数）を“+1”とし、回路MPに入力される第2データ（ニューロンの信号の値）を“+1”としているため、式（1. 1）を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“+1”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“+1”となる結果は、回路MPの動作では、時刻T 1 5以降において電流 I_{OL} が I_1 増加し、電流 I_{OLB} が変化しない場合に対応する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“+1”となる結果は、図1 5において、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0 3 9 0]

なお、本条件の時刻T 1 3から時刻T 1 4までの間において、例えば、配線OLから回路MCに流れる電流を I_1 でなく I_2 に設定することで、保持部HCに V_2 を保持することができる。これに

より、回路MPの第1データ（重み係数）として“+2”が設定される。第1データ（重み係数）を“+2”とし、回路MPに入力されるニューロンの信号を“+1”とすることにより、式（1.1）から、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“+2”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“+2”となる結果は、回路MPの動作では、時刻T15以降において電流 I_{OL} が I_2 増加し、電流 I_{OLB} が変化しない場合に対応する。このように、回路MC_rにおいて保持部HC_rにVSSを保持し、かつ回路MCにおいて電流量 I_1 以外を設定することで、回路MPの第1データ（重み係数）として“+1”以外の正の値を設定することができる。

[0391]

[条件3]

次に、一例として、第1データ（重み係数） w が“-1”であって、回路MPに入力される第2データ（ニューロンの信号の値（演算値））が“+1”である場合を考える。図23Cは、その場合における回路MPのタイミングチャートである。

[0392]

時刻T11から時刻T13までの間の動作については、条件1の時刻T11から時刻T13までの間の動作と同様であるため、条件1の時刻T11から時刻T13までの間の動作の説明を参酌する。

[0393]

時刻T13から時刻T14までの間において、配線ILから回路MCに電位VSSが入力され、配線ILBから回路MC_rに電流量として I_1 が入力される。これは、図14において、スイッチSWIAB、及びスイッチSWLAをオン状態にし、スイッチSWIA、及びスイッチSWLABをオフ状態にすることによって行われる。これによって、保持部HCのノードn1の電位はVSSとなり、保持部HC_rのノードn1_rの電位は V_1 となる。これにより、回路MC_rにおいて、トランジスタM1は電流量が0となるように設定されるため、配線ILから回路MCを介して配線VEに電流は流れない。また、回路MC_rにおいて、トランジスタM1_rは電流量として I_1 を流すように設定されるため、配線ILBから回路MC_rを介して配線VE_rに電流量として I_1 が流れる。

[0394]

時刻T14から時刻T15までの間において、配線WLには、低レベル電位が印加される。これにより、スイッチS2、スイッチS2_r、スイッチS5、及びスイッチS5_rのそれぞれの制御端子には、低レベル電位が入力されるため、スイッチS2、スイッチS2_r、スイッチS5、及びスイッチS5_rのそれぞれはオフ状態となる。スイッチS2、スイッチS2_rがオフ状態になることにより、保持部HCのノードn1の電位VSSが保持され、保持部HC_rのノードn1_rの電位 V_1 が保持される。また、スイッチS5がオフ状態になることにより、配線OLから回路MCを介して配線VEに電流は流れなくなる。また、同様に、スイッチS5_rがオフ状態になることにより、配線OLBから回路MC_rを介して配線VE_rに電流は流れなくなる。なお、時刻T14から時刻T15までの間において、図6Aに示すスイッチSWR3、及びスイッチSWR3Bをオン状態にして、配線OL、及び配線OLBの電位を初期化してもよい。配線OL、及び配線OLBの電位を初期化することにより、時刻T15以降において、回路MPから出力される電流によって、配線OL、及び配線OLBの電位を変化させることができる。

[0395]

時刻T11から時刻T15までの動作によって、回路MPの第1データ（重み係数）として“−1”が設定される。また、回路MPに第1データ（重み係数）が設定された後は、図14において、スイッチSWIA、スイッチSWIAB、スイッチSWLA、及びスイッチSWLABをオフ状態としてもよい。なお、回路MPに第1データ（重み係数）が設定された後に、スイッチSWR3、及びスイッチSWR3Bをオン状態にして、配線OL、配線OLBの電位を初期化してもよい。配線OL、配線OLBの電位を初期化した後は、スイッチSWR3、及びスイッチSWR3Bをオフ状態としてもよい。

[0396]

時刻T15以降において、回路MPへの第2データ（ニューロンの信号（演算値））“+1”の入力として、配線X1Lに高レベル電位、配線X2Lに低レベル電位が入力される。このとき、スイッチS3、及びスイッチS3rのそれぞれの制御端子に高レベル電位が入力され、スイッチS4、及びスイッチS4rのそれぞれの制御端子に低レベル電位が入力される。このため、スイッチS3、及びスイッチS3rのそれぞれはオン状態となり、スイッチS4、及びスイッチS4rのそれぞれはオフ状態になる。つまり、この動作によって、回路MCと配線OLとの間、及び、回路MCrと配線OLBとの間が導通状態になり、回路MCと配線OLBとの間、及び、回路MCrと配線OLとの間が非導通状態になる。これにより、回路MCと回路AFPとの間が導通状態になり、また回路MCrと回路AFPとの間が導通状態になる。

[0397]

なお、回路MCにおいて、スイッチS3がオン状態になっているが、トランジスタM1がオフ状態になっているため（電流量として0を流すように設定されているため）、配線OLから配線VEまでの間に電流が流れない。また、回路MCにおいて、スイッチS4がオフ状態になっているため、配線OLBから配線VEまでの間に電流は流れない。一方、回路MCrにおいて、スイッチS3rがオン状態になっており、かつトランジスタM1rがオン状態になっているため（電流量として I_1 を流すように設定されているため）、配線OLBから配線VERまでの間に電流が流れる。また、回路MCrにおいて、スイッチS4rがオフ状態になっているため、配線OLから配線VERまでの間に電流は流れない。以上より、配線OLのノードoutaから出力される電流 I_{OL} は、時刻T15の前後で変化せず、配線OLBのノードoutbから出力される電流 I_{OLB} は、時刻T15の経過後に I_1 増加する。そのため、回路AFPと配線OLとの間には電流 I_{OL} は流れず、かつ回路AFPと配線OLBとの間には電流量 I_1 の電流 I_{OLB} が流れる。

[0398]

ところで、本条件は、第1データ（重み係数）を“−1”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“+1”としているため、式(1.1)を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“−1”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“−1”となる結果は、回路MPの動作では、時刻T15以降において電流 I_{OL} が変化せず、電流 I_{OLB} は I_1 増加する場合に対応する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“−1”となる結果は、図15において、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0399]

なお、本条件の時刻T13から時刻T14までの間において、例えば、配線OLBから回路MC

rに流れる電流を I_1 でなく I_2 に設定することで、保持部HC rに V_2 を保持することができる。これにより、回路MPの第1データ（重み係数）として“−2”が設定される。第1データ（重み係数）を“−2”とし、回路MPに入力される第2データ（ニューロンの信号の値）を“+1”とすることにより、式（1. 1）から、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“−2”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“−2”となる結果は、回路MPの動作では、時刻T 1 5以降において電流 I_{OL} が変化せず、電流 I_{OLB} が I_2 増加する場合に対応する。このように、回路MCにおいて保持部HCにVSSを保持し、かつ回路MC rにおいて電流量として I_1 以外を設定することで、回路MPの重み係数として“+1”以外の正の値を設定することができる。

[0400]

[条件4]

本条件では、一例として、第1データ（重み係数）を“0”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“−1”とする場合の回路MPの動作を考える。図24Aは、その場合における回路MPのタイミングチャートである。

[0401]

時刻T 1 1から時刻T 1 5までの間の動作については、条件1の時刻T 1 1から時刻T 1 5までの間の動作と同様であるため、条件1の時刻T 1 1から時刻T 1 5までの間の動作の説明を参酌する。

[0402]

時刻T 1 5以降において、回路MPへの第2データ（ニューロンの信号の値（演算値））“−1”の入力として、配線X 1 Lに低レベル電位、配線X 2 Lに高レベル電位が入力される。このとき、スイッチS 3、及びスイッチS 3 rのそれぞれの制御端子に低レベル電位が入力され、スイッチS 4、及びスイッチS 4 rのそれぞれの制御端子に高レベル電位が入力される。このため、スイッチS 3、及びスイッチS 3 rのそれぞれはオフ状態となり、スイッチS 4、及びスイッチS 4 rのそれぞれはオン状態になる。つまり、この動作によって、回路MCと配線OLとの間、及び、回路MC rと配線OLBとの間が非導通状態になり、回路MCと配線OLBとの間、及び、回路MC rと配線OLとの間が導通状態になる。これにより、回路MCと回路AFPとの間が導通状態になり、また回路MC rと回路AFPとの間が導通状態になる。

[0403]

なお、トランジスタM1はオフ状態となっているため（電流量が0となるように設定されているため）、回路MCにおいて、配線OL、及び配線OLBから配線VEまでの間に電流は流れない。つまり、配線OLのノードout aから出力される電流 I_{OL} 、及び配線OLBのノードout bから出力される電流 I_{OLB} は、時刻T 1 5の前後で変化しない。同様に、トランジスタM1 rはオフ状態となっているため（電流量が0となるように設定されているため）、回路MC rにおいて、配線OL、及び配線OLBから配線VE rまでの間に電流は流れない。つまり、配線OLのノードout aから出力される電流 I_{OL} 、及び配線OLBのノードout bから出力される電流 I_{OLB} も、時刻T 1 5の前後で変化しない。そのため、回路AFPと配線OLとの間には電流 I_{OL} は流れず、かつ回路AFPと配線OLBとの間には電流 I_{OLB} は流れない。

[0404]

ところで、本条件は、第1データ（重み係数）を“0”とし、回路MPに入力される第2データ

(ニューロンの信号の値(演算値))を“−1”としているため、式(1. 1)を用いると、第1データ(重み係数)と第2データ(ニューロンの信号の値)の積は、“0”となる。第1データ(重み係数)と第2データ(ニューロンの信号の値)の積が“0”となる結果は、回路MPの動作では、時刻T15以降において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応し、これは条件1の回路動作の結果と一致する。なお、第1データ(重み係数)と第2データ(ニューロンの信号の値)の積が“0”となる結果は、条件1と同様に、図15において、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0405]

[条件5]

本条件では、一例として、第1データ(重み係数)を“+1”とし、回路MPに入力される第2データ(ニューロンの信号の値(演算値))を“−1”とする場合の回路MPの動作を考える。図24Bは、その場合における回路MPのタイミングチャートである。

[0406]

時刻T11から時刻T15までの間の動作については、条件2の時刻T11から時刻T15までの間の動作と同様であるため、条件2の時刻T11から時刻T15までの間の動作の説明を参酌する。

[0407]

時刻T15以降において、回路MPへの第2データ(ニューロンの信号の値(演算値))“−1”の入力として、配線X1Lに低レベル電位、配線X2Lに高レベル電位が入力される。このとき、スイッチS3、及びスイッチS3rのそれぞれの制御端子に低レベル電位が入力され、スイッチS4、及びスイッチS4rのそれぞれの制御端子に高レベル電位が入力される。このため、スイッチS3、及びスイッチS3rのそれぞれはオフ状態となり、スイッチS4、及びスイッチS4rのそれぞれはオン状態になる。つまり、この動作によって、回路MCと配線OLとの間、及び、回路MCrと配線OLBとの間が非導通状態になり、回路MCと配線OLBとの間、及び、回路MCrと配線OLとの間が導通状態になる。これにより、回路MCと回路AFPとの間が導通状態になり、また回路MCrと回路AFPとの間が導通状態になる。

[0408]

回路MCにおいて、スイッチS3がオフ状態になっているため、配線OLから配線VEまでの間に電流は流れない。また、回路MCにおいて、スイッチS4がオン状態になっており、かつトランジスタM1がオン状態になっているため(電流量として I_1 を流すように設定されているため)、配線OLBから配線VEまでの間に電流が流れる。一方、回路MCrにおいて、スイッチS3rがオフ状態になっているため、配線OLBから配線VERまでの間に電流は流れない。また、回路MCrにおいて、スイッチS4rがオン状態になっているが、かつトランジスタM1がオフ状態になっているため(電流量として0を流すように設定されているため)、配線OLから配線VERまでの間に電流は流れない。以上より、配線OLのノードoutaから出力される電流 I_{OL} は、時刻T15の前後で変化せず、配線OLBのノードoutbから出力される電流 I_{OLB} は、時刻T15の経過後に I_1 増加する。そのため、回路AFPと配線OLとの間には電流 I_{OL} は流れず、かつ回路AFPと配線OLBとの間には電流量 I_1 の電流 I_{OLB} が流れる。

[0409]

ところで、本条件は、第1データ(重み係数)を“+1”とし、回路MPに入力される第2デー

タ（ニューロンの信号の値（演算値））を“−1”としているため、式（1. 1）を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“−1”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“−1”となる結果は、回路MPの動作では、時刻T 1 5以降において電流 I_{OL} が変化せず、電流 I_{OLB} は I_1 増加する場合に対応し、これは条件3の回路動作の結果と一致する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“−1”となる結果は、条件3と同様に、図1 5において、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0 4 1 0]

なお、条件2でも記載した通り、本条件の時刻T 1 3から時刻T 1 4までの間において、例えば、配線OLから回路MCに流れる電流を I_1 でなく I_2 に設定して、保持部HCに V_2 を保持してもよい。これにより、回路MPの第1データ（重み係数）として“+2”が設定される。第1データ（重み係数）を“+2”とし、回路MPに入力されるニューロンの信号を“−1”とすることにより、式（1. 1）から、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“−2”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“−2”となる結果は、回路MPの動作では、時刻T 1 5以降において電流 I_{OL} が変化せず、電流 I_{OLB} が I_2 増加する場合に対応する。このように、回路MC rにおいて保持部HC rにVSSを保持し、かつ回路MCにおいて電流量 I_1 以外を設定することで、回路MPの重み係数として“+1”以外の正の値を設定することができる。

[0 4 1 1]

[条件6]

本条件では、一例として、第1データ（重み係数）を“−1”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“−1”とする場合の回路MPの動作を考える。図2 4 Cは、その場合における回路MPのタイミングチャートである。

[0 4 1 2]

時刻T 1 1から時刻T 1 5までの間の動作については、条件3の時刻T 1 1から時刻T 1 5までの間の動作と同様であるため、条件3の時刻T 1 1から時刻T 1 5までの間の動作の説明を参酌する。

[0 4 1 3]

時刻T 1 5以降において、回路MPへの第2データ（ニューロンの信号の値（演算値））“−1”の入力として、配線X 1 Lに低レベル電位、配線X 2 Lに高レベル電位が入力される。このとき、スイッチS 3、及びスイッチS 3 rのそれぞれの制御端子に低レベル電位が入力され、スイッチS 4、及びスイッチS 4 rのそれぞれの制御端子に高レベル電位が入力される。このため、スイッチS 3、及びスイッチS 3 rのそれぞれはオフ状態となり、スイッチS 4、及びスイッチS 4 rのそれぞれはオン状態になる。つまり、この動作によって、回路MCと配線OLとの間、及び、回路MC rと配線OLBとの間が非導通状態になり、回路MCと配線OLBとの間、及び、回路MC rと配線OLとの間が導通状態になる。これにより、回路MCと回路AFPとの間が導通状態になり、また回路MC rと回路AFPとの間が導通状態になる。

[0 4 1 4]

回路MCにおいて、スイッチS 3がオフ状態になっているため、配線OLから配線VEまでの間に電流は流れない。また、回路MCにおいて、スイッチS 4がオン状態になっているが、トランジ

スタM1がオフ状態になっているため（電流量として0を流すように設定されているため）、配線OLBから配線VEまでの間に電流は流れない。一方、回路MC_rにおいて、スイッチS3_rがオフ状態になっているため、配線OLBから配線VE_rまでの間に電流は流れない。また、回路MC_rにおいて、スイッチS4_rがオン状態になっており、かつトランジスタM1がオン状態になっているため（電流量として I_1 を流すように設定されているため）、配線OLから配線VE_rまでの間に電流が流れる。以上より、配線OLのノードout_aから出力される電流 I_{OL} は、時刻T15の経過後に I_1 増加し、配線OLBのノードout_bから出力される電流 I_{OLB} は、時刻T15の前後で変化しない。そのため、回路AFPと配線OLとの間には電流量 I_1 の電流 I_{OL} が流れ、かつ回路AFPと配線OLBとの間には電流 I_{OLB} は流れない。

[0415]

ところで、本条件は、第1データ（重み係数）を“−1”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“−1”としているため、式（1.1）を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“+1”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“+1”となる結果は、回路MPの動作では、時刻T16以降において電流 I_{OL} が変化し、電流 I_{OLB} が変化しない場合に対応し、これは条件2の回路動作の結果と一致する。なお、第1データ（重み係数）と第1データ（ニューロンの信号の値）の積が“+1”となる結果は、条件2と同様に、図15において、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0416]

なお、条件3でも記載した通り、本条件の時刻T13から時刻T14までの間において、例えば、配線OLBから回路MC_rに流れる電流を I_1 でなく I_2 に設定して、保持部HCに V_2 を保持してもよい。これにより、回路MPの第1データ（重み係数）として“−2”が設定される。第1データ（重み係数）を“−2”とし、回路MPに入力される第2データ（ニューロンの信号の値）を“−1”とすることにより、式（1.1）から、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“+2”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“+2”となる結果は、回路MPの動作では、時刻T15以降において電流 I_{OL} が変化せず、電流 I_{OLB} が I_2 増加する場合に対応する。このように、回路MCにおいて保持部HCにVSSを保持し、かつ回路MC_rにおいて電流量 I_1 以外を設定することで、回路MPの重み係数として“+1”以外の正の値を設定することができる。

[0417]

[条件7]

本条件では、一例として、第1データ（重み係数）が“0”であって、回路MPに入力される第2データ（ニューロンの信号の値（演算値））が“0”である場合を条件7として、回路MPの動作を考える。図25Aは、その場合における回路MPのタイミングチャートである。

[0418]

時刻T11から時刻T15までの間の動作については、条件1の時刻T11から時刻T15までの間の動作と同様であるため、条件1の時刻T11から時刻T15までの間の動作の説明を参酌する。

[0419]

時刻T15以降において、回路MPへの第2データ（ニューロンの信号の値（演算値））“0”

の入力として、配線X 1 Lに低レベル電位、配線X 2 Lに低レベル電位が入力される。このとき、スイッチS 3、スイッチS 3 r、スイッチS 4、及びスイッチS 4 rのそれぞれの制御端子に低レベル電位が入力される。このため、スイッチS 3、スイッチS 3 r、スイッチS 4、及びスイッチS 4 rのそれぞれはオフ状態となる。つまり、この動作によって、回路MCと配線OLとの間、回路MC rと配線OL Bとの間、回路MCと配線OL Bとの間、及び、回路MC rと配線OLとの間が非導通状態になる。これにより、回路MCと回路AFPとの間が非導通状態になり、また回路MC rと回路AFPとの間が非導通状態になる。

[0420]

このため、回路MCにおいて、トランジスタM 1に流れる、設定された電流の量に関わらず、配線OLから配線VE又は配線VE rの一方までの間に電流は流れない。同様に、回路MC rにおいて、トランジスタM 1 rに流れる、設定された電流の量に関わらず、配線OL Bから配線VE又は配線VE rの他方までの間にも電流は流れない。つまり、配線OLのノードout aから出力される電流 I_{OL} 、及び、配線OL Bのノードout bから出力される電流 I_{OLB} のそれぞれは、時刻T 15の前後で変化しない。したがって、回路AFPと配線OLとの間には電流 I_{OL} は流れず、かつ回路AFPと配線OL Bとの間には電流 I_{OLB} は流れない。

[0421]

ところで、本条件は、第1データ（重み係数）を“0”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“0”としているため、式（1. 1）を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“0”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、回路MPの動作では、時刻T 15以降において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応し、これは条件1、条件4の回路動作の結果と一致する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、条件1、条件4と同様に、図15において、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0422]

[条件8]

本条件では、一例として、第1データ（重み係数）が“+1”であって、回路MPに入力される第2データ（ニューロンの信号の値（演算値））が“0”である場合を条件8として、回路MPの動作を考える。図25Bは、その場合における回路MPのタイミングチャートである。

[0423]

時刻T 11から時刻T 15までの間の動作については、条件2の時刻T 11から時刻T 15までの間の動作と同様であるため、条件2の時刻T 11から時刻T 15までの間の動作の説明を参酌する。

[0424]

時刻T 15以降において、回路MPへの第2データ（ニューロンの信号の値（演算値））“0”の入力として、配線X 1 Lに低レベル電位、配線X 2 Lに低レベル電位が入力される。このとき、スイッチS 3、スイッチS 3 r、スイッチS 4、及びスイッチS 4 rのそれぞれの制御端子に低レベル電位が入力される。このため、スイッチS 3、スイッチS 3 r、スイッチS 4、スイッチS 4 rのそれぞれはオフ状態となる。つまり、条件7と同様に、この動作によって、トランジスタM 1、トランジスタM 1 rのそれぞれに流れる、設定された電流の量に関わらず、回路MCと配線OLと

の間、回路MC r と配線OL Bとの間、回路MC と配線OL Bとの間、及び、回路MC r と配線OL との間が非導通状態になる。これにより、回路MC と回路AFP との間が非導通状態になり、また回路MC r と回路AFP との間が非導通状態になる。このため、配線OL から配線VE 又は配線VE r の一方までの間に電流は流れず、かつ配線OL Bから配線VE 又は配線VE r の他方までの間にも電流は流れないため、配線OL のノードout a から出力される電流 I_{OL} 、及び、配線OL Bのノードout b から出力される電流 I_{OLB} のそれぞれは、時刻T 1 5の前後で変化しない。したがって、回路AFP と配線OL との間には電流 I_{OL} は流れず、かつ回路AFP と配線OL Bとの間には電流 I_{OLB} は流れない。

[0425]

ところで、本条件は、第1データ（重み係数）を“+1”とし、回路MPに入力される第2データ（ニューロンの信号（演算値））を“0”としているため、式（1. 1）を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“0”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、回路MPの動作では、時刻T 1 5以降において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応し、これは条件1、条件4、条件7の回路動作の結果と一致する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、条件1、条件4、条件7と同様に、図15において、回路AFP から信号 $z_j^{(k)}$ として出力される。

[0426]

[条件9]

本条件では、一例として第1データ（重み係数）が“-1”であって、回路MPに入力される第2データ（ニューロンの信号の値（演算値））が“0”である場合を条件9として、回路MPの動作を考える。図25Cは、その場合における回路MPのタイミングチャートである。

[0427]

時刻T 1 1から時刻T 1 5までの間の動作については、条件3の時刻T 1 1から時刻T 1 5までの間の動作と同様であるため、条件3の時刻T 1 1から時刻T 1 5までの間の動作の説明を参酌する。

[0428]

時刻T 1 5以降において、回路MPへの第2データ（ニューロンの信号の値（演算値））“0”の入力として、配線X 1 Lに低レベル電位、配線X 2 Lに低レベル電位が入力される。このとき、スイッチS 3、スイッチS 3 r、スイッチS 4、及びスイッチS 4 rのそれぞれの制御端子に低レベル電位が入力される。このため、スイッチS 3、スイッチS 3 r、スイッチS 4、及びスイッチS 4 rのそれぞれはオフ状態となる。つまり、条件7と同様に、この動作によって、トランジスタM 1、トランジスタM 1 rのそれぞれに流れる、設定された電流の量に関わらず、回路MC と配線OL との間、回路MC r と配線OL Bとの間、回路MC と配線OL Bとの間、及び、回路MC r と配線OL との間が非導通状態になる。これにより、回路MC と回路AFP との間が非導通状態になり、また回路MC r と回路AFP との間が非導通状態になる。このため、配線OL から配線VE 又は配線VE r の一方までの間に電流は流れず、かつ配線OL Bから配線VE 又は配線VE r の他方までの間にも電流は流れないため、配線OL のノードout a から出力される電流 I_{OL} 、及び、配線OL Bのノードout b から出力される電流 I_{OLB} のそれぞれは、時刻T 1 5の前後で変化しない。したがって、回路AFP と配線OL との間には電流 I_{OL} は流れず、かつ回路AFP と配線OL

Bとの間には電流 I_{OLB} は流れない。

[0429]

ところで、本条件は、第1データ（重み係数）を“−1”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“0”としているため、式（1.1）を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“0”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、回路MPの動作では、時刻T15以降において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応し、これは条件1、条件4、条件7、条件8の回路動作の結果と一致する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、条件1、条件4、条件7、条件8と同様に、図15において、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0430]

上述した条件1乃至条件9の動作例の結果を下表にまとめる。なお、下表では、高レベル電位を high と記載し、低レベル電位を low と記載している。

[0431]

[表2]

条件	重み係数	nl	nlr	信号	X1L	X2L	重み係数 × 信号	I_{OL} の変化量	I_{OLB} の変化量
条件1	0	VSS	VSS	+1	high	low	0	0	0
条件2	+1	V_i	VSS	+1	high	low	+1	I_i	0
条件3	−1	VSS	V_i	+1	high	low	−1	0	I_i
条件4	0	VSS	VSS	−1	low	high	0	0	0
条件5	+1	V_i	VSS	−1	low	high	−1	0	I_i
条件6	−1	VSS	V_i	−1	low	high	+1	I_i	0
条件7	0	VSS	VSS	0	low	low	0	0	0
条件8	+1	V_i	VSS	0	low	low	0	0	0
条件9	−1	VSS	V_i	0	low	low	0	0	0

[0432]

ここでは、配線OL、配線OLBに、回路MC、回路MC r が1個ずつ接続されている場合を一例として示した。これについて、図2乃至図5、図8、図12、図15乃至図17などに示すように、配線OL、配線OLBに、回路MC、回路MC r が複数個ずつ接続されている場合には、各回路MC、回路MC r から出力される電流が、キルヒホッフの電流則に基づいて、足し合わせられることになる。その結果、和の演算が行われることとなる。つまり、回路MC、回路MC r において、積の演算が行われ、複数の回路MC、回路MC r からの電流の足し合わせにより、和の演算が行われる。以上の結果、積和演算処理が行われることとなる。

[0433]

ところで、回路MPの動作において、第1データ（重み係数）を“+1”、“−1”の2値のみとし、第2データ（ニューロンの信号の値）を“+1”、“−1”の2値のみとした計算を行うことで、回路MPは排他的論理和の否定の回路（一致回路）と同様の動作を行うことができる。

[0434]

また、回路MPの動作において、第1データ（重み係数）を“+1”、“0”の2値のみとし、第2データ（ニューロンの信号の値）を“+1”、“0”の2値のみとした計算を行うことで、回路MPは論理積の回路と同様の動作を行うことができる。

[0435]

ところで、本動作例では、回路MPの回路MC、回路MC_rが有する保持部HC、保持部HC_rに保持されている電位を、VSS、V₁、V₂などのように多値としたが、保持部HC、保持部HC_rには2値、又はアナログ値を示す電位を保持してもよい。例えば、第1データ（重み係数）として“正のアナログ値”の場合には、保持部HCのノードn₁に高レベルのアナログ電位、保持部HC_rのノードn_{1r}に低レベル電位が保持されている。第1データ（重み係数）として“負のアナログ値”の場合には、例えば、保持部HCのノードn₁に低レベル電位、保持部HC_rのノードn_{1r}に高レベルのアナログ電位が保持されている。そして、電流I_{OL}及び電流I_{OLB}の電流の大きさは、アナログ電位に応じた大きさとなる。また、保持部HC、保持部HC_rにはアナログ値を示す電位を保持することについては、図19Aの回路MPの動作例に限定されず、本明細書等に示す他の回路MPに対しても行ってもよい。

[0436]

<<動作例2>>

また、回路AFCに含まれている回路ACTF[j]において、回路IVTR及び回路IVTR_rとして、図6Aの回路IVTR（回路IVTR_r）を適用した場合、又は回路AFCに含まれている回路ACTF[j]として、負荷LE、負荷LEBを容量CRT、CRTBとした図10の回路ACTF[j]を適用した場合、回路MPへの第2データ（ニューロンの信号の値）の入力時間に応じて、配線OLから回路MC又は回路MC_rの一方に入力される電流量、及び配線OLBから回路MC又は回路MC_rの他方に入力される電流量が定まるため、スイッチSWR1及びスイッチSWR1Bのそれぞれの第1端子に入力される電位もそれぞれの電流量に応じて決まる。ここで、第2データ（ニューロンの信号の値）を入力時間に応じて定義することによって、第2データ（ニューロンの信号の値）を多値、又はアナログ値の情報として、回路MPに入力することができる。これにより、第1データと、多値、又はアナログ値とした第2データの積和演算を行うことができる。

[0437]

図26A乃至図26Cに示すそれぞれタイミングチャートは、図23Bのタイミングチャート（条件2）の時刻T15以降の動作例を示している。なお、図26A乃至図26Cのタイミングチャートには、ノードn₁、及びノードn_{1r}の電位を示してなく、代わりに容量CRTの第1端子に蓄積される電荷量Q_{OL}と、容量CRTBの第1端子に蓄積される電荷量Q_{OLB}と、を示している。

[0438]

図26Aは、回路MPへの第2データ（ニューロンの信号の値）の入力時間をt_{ut}とした場合の演算回路110の動作例を示している。図26Aでは、時刻T15から時刻T16までの間を入力時間として、t_{ut}としている。時刻T15から時刻T16までの期間において、第2データ（ニューロンの信号の値）が入力されているため、配線OLは、回路MCに電流量としてI₁が流れる。また、この期間において、容量CRTの第1端子には、I₁×t_{ut}の電荷量が蓄積される。なお、図26Aのタイミングチャートでは、I₁×t_{ut}をQ₁として記載している。

[0439]

また、図26Bは、回路MPへの第2データ（ニューロンの信号の値）の入力時間を2t_{ut}とした場合の演算回路110の動作例を示している。図26Bでは、時刻T15から時刻T16までの間を入力時間として、2t_{ut}としている。図26Aのタイミングチャートと同様に考えると、図2

6 Bに示す動作例では、時刻T 1 5から時刻T 1 6までの期間において、容量C R Tの第1端子には、 $I_1 \times 2 t_{ut} = 2 Q_1$ の電荷量が蓄積される。

[0440]

図26A、図26Bより、第2データ（ニューロンの信号の値）の入力時間に応じて、容量C R Tの第1端子に蓄積される電荷量が決まる。つまり、第2データ（ニューロンの信号の値）の入力時間に応じて、スイッチS W R 1の第1端子に入力される電位を決めることができる。ここで、例えば、第2データ（ニューロンの信号の値）の絶対値が“1”のときは、入力時間を t_{ut} とし、第2データ（ニューロンの信号の値）の絶対値が“2”のときは、入力時間を $2 t_{ut}$ とする、などのように、第2データ（ニューロンの信号の値）の絶対値をその入力時間で定義することによって、第2データ（ニューロンの信号の値）を多値として積和演算を行うことができる。

[0441]

また、図26A、図26Bでは、正の第2データ（ニューロンの信号の値）として、配線X 1 Lに高レベル電位、配線X 2 Lに低レベル電位を入力したが、負の第2データ（ニューロンの信号の値）として、配線X 1 Lに低レベル電位、配線X 2 Lに高レベル電位を入力してもよい。例えば、図26Bの動作例で、配線X 1 Lに低レベル電位、配線X 2 Lに高レベル電位を入力した場合、配線O Lから回路M C、回路M C rに電流は流れず、配線O Lから回路M C rに電流が流れ、配線O L Bから回路M Cに電流が流れるため、 Q_{OL} は0、 Q_{OLB} は $2 Q_1$ となる。また、0の第2データ（ニューロンの信号の値）として、配線X 1 Lに低レベル電位、配線X 2 Lに低レベル電位を入力してもよい。この場合、第2データ（ニューロンの信号の値）の入力時間によらず、配線O Lから回路M C及び回路M C rに電流は流れず、また、配線O L Bから回路M C及び回路M C rに電流は流れないため、 Q_{OL} は0となり、 Q_{OLB} は0となる。

[0442]

また、図26A及び、図26Bでは、回路M Pに第1データ（重み係数）として“+1”を保持した場合について説明したが、回路M Pに第1データ（重み係数）として“-1”を保持して、図26A、及び図26Bと同様に動作を行ってもよい。また、第1データ（重み係数）として“+2”、“0”、“-2”などを保持して動作してもよい。例えば、第1データ（重み係数）として“+2”は、回路M Cから配線V Eに流れる電流を $2 I_1$ に設定し、回路M C rから配線V E rに流れる電流量を0に設定することで、定義されている場合、図26Bと同様に、第2データ（ニューロンの信号の値）の入力時間を $2 t_{ut}$ としたとき、 Q_{OL} は $2 I_1 \times 2 t_{ut} = 4 Q_1$ となり、 Q_{OLB} は0となる。つまり、多値の第1データと、多値の第2データとの積を行うことができる。

[0443]

また、上記では、多値の第1データと、多値の第2データとの積について説明したが、アナログ値又は多値の第1データと、アナログ値又は多値の第2データと、の積としてもよい。例えば、アナログ値の第1データを扱う場合には、回路M Cから配線V Eに流れる電流、又は回路M C rから配線V E rに流れる電流を離散的な電流値でなく、連続的な電流値（アナログ電流と呼ぶ場合がある）とすればよい。例えば、アナログ値の第2データを扱う場合には、第2データの入力時間を、離散的な入力時間ではなく、連続的な入力時間とすればよい。

[0444]

また、回路M Pへの第2データ（ニューロンの信号の値）の入力の方法は、図26A、図26Bの動作例に限定されない。例えば、図26Cに示す通り、第2データ（ニューロンの信号の値）の

入力を、時刻T 1 5から時刻T 1 6までの間、時刻T 1 6から時刻T 1 7までの間、時刻T 1 7から時刻T 1 8までの間に分けて行ってもよい。具体的には、図2 6 Cでは、時刻T 1 5から時刻T 1 6までの間の入力時間を t_{ut} とし、時刻T 1 6から時刻T 1 7までの間の入力時間を $2 t_{ut}$ とし、時刻T 1 7から時刻T 1 8までの間の入力時間を $4 t_{ut}$ としている。なお、本明細書などでは、それぞれの期間を第1サブ期間、第2サブ期間、第3サブ期間、と呼称する。

[0 4 4 5]

図2 6 Cの動作例では、第1サブ期間と、第3サブ期間において、回路MPへの第2データ（ニューロンの信号の値）の入力として、配線X 1 Lに高レベル電位、配線X 2 Lに低レベル電位が入力される。そのため、時刻T 1 5から時刻T 1 6までの間と、時刻T 1 7から時刻T 1 8までの間と、に配線O Lから回路MCに電流 I_1 が流れるため、 Q_{OL} は $I_1 \times t_{ut} + I_1 \times 4 t_{ut} = 5 Q_1$ となり、 Q_{OLB} は0となる。

[0 4 4 6]

上述の通り、回路MPへの第2データ（ニューロンの信号の値）の入力時間として、第1乃至第3サブ期間を適宜選択することによって、入力時間の合計を0、 t_{ut} 、 $2 t_{ut}$ 、 $3 t_{ut}$ 、 $4 t_{ut}$ 、 $5 t_{ut}$ 、 $6 t_{ut}$ 、 $7 t_{ut}$ のいずれかにすることができる。また、図2 6 Cでは、第1乃至第3サブ期間の3つのサブ期間での動作例を取り上げたが、状況に応じて、サブ期間を増やしてもよい。

[0 4 4 7]

図2 6 Cでは、正の第2データ（ニューロンの信号の値）として、配線X 1 Lに高レベル電位、配線X 2 Lに低レベル電位を入力したが、負の第2データ（ニューロンの信号の値）として、配線X 1 Lに低レベル電位、配線X 2 Lに高レベル電位を入力してもよい。また、0の第2データ（ニューロンの信号の値）として、配線X 1 Lに低レベル電位、配線X 2 Lに低レベル電位を入力してもよい。

[0 4 4 8]

また、図2 6 Cでは、回路MPに第1データ（重み係数）として“+1”を保持した場合について説明したが、回路MPに第1データ（重み係数）として“-2”、“-1”、“0”、“+2”などを保持して、図2 6 Cと同様に動作を行ってもよい。また、第1データ（重み係数）としてアナログ値などを保持して、図2 6 Cと同様に動作してもよい。

[0 4 4 9]

なお、本構成例は、本明細書で示す他の構成例などと適宜組み合わせることができる。

[0 4 5 0]

<構成例2>

次に、図2 0 A乃至図2 0 C、図2 1 A、及び図2 1 Bのそれぞれの回路構成とは異なる、図1 9 Bに図示した回路MPに適用できる回路構成の例について説明する。

[0 4 5 1]

図2 7 Aに示す回路MPは、図1 9 Bの回路MPの構成例を示しており、図2 0 Aの回路MPとの違いは、配線I Lが配線O Lとまとめられ、かつ配線I L Bが配線O L Bとまとめられている点と、スイッチS 5、スイッチS 5 rが設けられていない点と、である。また、そのため、スイッチS 2の第2端子は、配線O Lに電氣的に接続され、スイッチS 2 rの第2端子は、配線O L Bに電氣的に接続されている。

[0 4 5 2]

図27Aの回路MPにおいて、配線WX1Lと、配線X2Lと、に高レベル電位を入力することで、トランジスタM1をダイオード接続の構成にすることができる。つまり、図27Aの回路MPにおいて、第1データを書き込む動作は、配線WX1Lと、配線X2Lと、に高レベル電位を入力し、かつ配線OLから第1データに応じた電流量を回路MCに流し、配線OLBから第1データに応じた電流量を回路MCrに流すことで行われる。これにより、図27Aの回路MPは、図20Aの回路MPとほぼ同様に演算を行うことができる。

[0453]

また、図27Aとは異なる、図19Bに図示した回路MPに適用できる回路構成の別の例について説明する。図27Bに示す回路MPは、図19Bの回路MPの構成例を示しており、図27Aの回路MPとの違いは、スイッチS2の第2端子が、配線OLでなく、トランジスタM1の第2端子と、スイッチS3の第1端子と、スイッチS4の第1端子と、に電氣的に接続されている点と、スイッチS2rの第2端子が、配線OLBでなく、トランジスタM1rの第2端子と、スイッチS3rの第1端子と、スイッチS4rの第1端子と、に電氣的に接続されている点と、である。

[0454]

図27Bの回路MPは、図27Aの回路MPとほぼ同様に動作することができる。

[0455]

<構成例3>

次に、図19Eに図示した回路MPに適用できる回路構成の例について説明する。

[0456]

図28Aに示す回路MPは、例えば、図17の演算回路150に適用できる図19Eの回路MPの構成例を示している。図28Aの回路MPは、回路MCと、回路MCrと、トランジスタMZと、を有し、回路MCは、保持部HCと、トランジスタM20と、を有し、回路MCrは、保持部HCrと、トランジスタM20rと、を有する。なお、保持部HCは、トランジスタM1と、容量C1と、を有し、保持部HCrは、トランジスタM1rと、容量C1rと、を有する。

[0457]

なお、図28Aの回路MPの回路MCrは、回路MCとほぼ同様の回路構成となっている。そのため、回路MCrの有する回路素子には、回路MCの有する回路素子と区別をするため、符号に「r」を付している。

[0458]

なお、本明細書などにおいて、トランジスタMZは、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。

[0459]

トランジスタM20の第1端子は、トランジスタMZの第1端子に電氣的に接続され、トランジスタM20のゲートは、トランジスタM1の第2端子と、容量C1の第1端子と、に電氣的に接続され、トランジスタM20の第2端子は、配線OLに電氣的に接続されている。容量C1の第2端子は、配線VLに電氣的に接続されている。トランジスタM1の第1端子は、配線OLに電氣的に接続されている。

[0460]

また、トランジスタM20rの第1端子は、トランジスタMZの第1端子に電氣的に接続され、トランジスタM20rのゲートは、トランジスタM1rの第2端子と、容量C1rの第1端子と、に電氣的に接続され、トランジスタM20rの第2端子は、配線OLBに電氣的に接続されている。容量C1rの第2端子は、配線VLに電氣的に接続されている。トランジスタM1の第1端子は、配線OLBに電氣的に接続されている。

[0461]

配線VLは、一例としては、定電圧を与える配線として機能する。当該定電圧としては、例えば、低レベル電位であるVSS、接地電位（GND）などとすることができる。

[0462]

図28Aの回路MPに含まれている保持部HC、保持部HCrは、図20Aなどに示している回路MPに含まれている保持部HC、保持部HCrと同様に、重み係数に相当する電流量を設定することができる。具体的には、例えば、保持部HCにおいて、配線XLに所定の電位を与えてトランジスタMZをオン状態にし、配線WLに所定の電位を与えてトランジスタM1をオン状態にして、配線OLから容量C1の第1端子、及びトランジスタM20の第2端子に、重み係数に相当する電流量を流す。このとき、トランジスタM20は、ダイオード接続となっているため、トランジスタM20のゲートーソース間電圧は、当該電流量（ソースドレイン間に流れる電流の量）に応じて定められる。このとき、トランジスタM20のソースの電位は配線VLが与える電位とすると、トランジスタM20のゲートの電位が定められる。ここで、トランジスタM1をオフ状態にすることによって、トランジスタM20のゲートの電位を保持することができる。なお、保持部HCrについても同様に、配線OLBから容量C1rの第1端子、及びトランジスタM20rの第2端子に、重み係数に相当する電流量を流すことによって、当該電流量に応じた電位をトランジスタM20rのゲートに保持することができる。

[0463]

ここで、例えば、図28Aの回路MPに設定される重み係数は、保持部HCのトランジスタM20に I_{ut} の電流が設定され、かつ保持部HCrのトランジスタM20rに電流が流れないように設定されたときに“+1”とし、保持部HCのトランジスタM20に電流が流れないように設定され、かつ保持部HCrのトランジスタM20rに I_{ut} の電流が設定されたときに“-1”とし、保持部HC、保持部HCrのそれぞれのトランジスタM20、トランジスタM20rに電流が流れないように設定されたときに“0”とする。

[0464]

保持部HC、及び保持部HCrのそれぞれに重み係数に応じた電流が設定されることによって、トランジスタM20及びトランジスタM20rのそれぞれのゲートの電位が定まる。ここで、配線XLに、例えば、ニューロンの信号の値に応じた電位を与えることによって、配線OL、及び／又は配線OLBと回路MPとの間に流れる電流が定まる。例えば、配線XLに“+1”の第2データとして高レベル電位が与えられたとき、配線VLが与える定電圧がトランジスタM20の第1端子と、トランジスタM20rの第1端子と、に与えられる。また、例えば、配線XLに“0”の第2データとして低レベル電位が与えられたとき、配線VLが与える定電圧はトランジスタM20の第1端子と、トランジスタM20rの第1端子と、に与えられない。つまり、トランジスタM20、及びトランジスタM20rには電流が流れない。

[0465]

ここで、トランジスタM20に電流量として I_{ut} が設定されているとき、トランジスタM20のソースに配線VLからの電位が与えられることで、トランジスタM20の第1端子と第2端子との間に電流量として I_{ut} が流れる。また、トランジスタM20に電流が流れないように設定されているとき、トランジスタM20のソースに配線VLからの電位が与えられても、トランジスタM20の第1端子と第2端子との間には電流が流れない。同様に、トランジスタM20rに電流量として I_{ut} が設定されているとき、トランジスタM20rのソースに配線VLからの電位が与えられることで、トランジスタM20rの第1端子と第2端子との間に電流量として I_{ut} が流れる。また、トランジスタM20rに電流が流れないように設定されているとき、トランジスタM20rのソースに配線VLからの電位が与えられても、トランジスタM20rの第1端子と第2端子との間には電流が流れない。

[0466]

つまり、上記をまとめると、重み係数とニューロンの信号の値との積が“+1”であるとき、回路MCと配線OLとの間に I_{ut} の電流量が流れ、回路MCrと配線OLBとの間に電流が流れない。また、重み係数とニューロンの信号の値との積が“-1”であるとき、回路MCrと配線OLBとの間に I_{ut} の電流量が流れ、回路MCと配線OLとの間に電流が流れない。また、重み係数とニューロンの信号の値との積が“0”であるとき、回路MCと配線OLとの間に電流が流れず、回路MCrと配線OLBとの間に電流が流れない。

[0467]

以上より、図28Aの回路MPは、重み係数が“+1”、“-1”、“0”の3値と、ニューロンの信号（演算値）が“+1”、“0”の2値と、の積を計算することができる。また、図28Aの回路MPは、一例として、トランジスタM20、及びトランジスタM20rに設定する電流量を変更することによって、第1データ（重み係数）が“正の多値”、“0”、“負の多値”と、第2データ（ニューロンの信号の値）が“+1”、“0”の2値と、の積を計算することができる。

[0468]

また、図28Aに示した回路MPは、例えば、図28Bに示した回路MPに変更してもよい。図28Bに示す回路MPは、容量C1の第2端子と、容量C1rの第2端子と、が配線VLでなく、配線CVLに電氣的に接続されている点で、図28Aの回路MPと異なる。

[0469]

配線CVLは、一例として、定電圧を与える配線として機能する。当該定電圧としては、例えば、高レベル電位、低レベル電位、接地電位などとすることができる。

[0470]

なお、本構成例は、本明細書で示す他の構成例などと適宜組み合わせることができる。

[0471]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0472]

（実施の形態4）

実施の形態2の演算回路の構成例1乃至演算回路の構成例3では、階層型のニューラルネットワークに係る演算が可能な演算回路に含まれる回路MPの構成例について説明したが、本発明の一態様は、これに限定されない。実施の形態1で説明した回路AFP、特に回路ACTF[j]は、記憶装置の読み出し回路として適用することができる。本実施の形態では、回路AFPを記憶装置の

読み出し回路としたとき、アレイ部ALPの回路MPに適用できるメモリセルの構成例について説明する。

[0473]

図29Aに示す回路MPは、図17の演算回路150に適用できる回路MPであって、DRAM (Dynamic Random Access Memory) を含む回路MC、回路MC_rを有している。回路MCは、トランジスタM10と、容量C5と、を有する。

[0474]

なお、図29Aの回路MPにおいて、回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。

[0475]

トランジスタM10としては、例えば、OSトランジスタを適用することが好ましい。なお、OSトランジスタについては、実施の形態5で詳述する。また、トランジスタM10としては、OSトランジスタ以外としては、Siトランジスタを適用してもよい。また、例えば、トランジスタM10は、OSトランジスタ、Siトランジスタ以外としては、例えば、化合物半導体を活性層としたトランジスタ、カーボンナノチューブを活性層としたトランジスタ、有機半導体を活性層としたトランジスタ等としてもよい。

[0476]

トランジスタM10の第1端子は、容量C5の第1端子に電氣的に接続され、トランジスタM10の第2端子は、配線OLに電氣的に接続され、トランジスタM10のゲートは、配線WR1Lに電氣的に接続されている。容量C5の第2端子は、配線VEAに電氣的に接続されている。

[0477]

また、回路MC_rにおいて、トランジスタM10_rの第2端子は、配線OLBに電氣的に接続されている。また、トランジスタM10_rのゲートは、配線WR2Lに電氣的に接続されている。

[0478]

配線VEA、配線VEA_rは、一例としては、定電圧を供給する配線として機能する。当該定電圧としては、接地電位、低レベル電位などとすることができる。

[0479]

配線WR1Lは、トランジスタM10のオン状態とオフ状態の切り替えを行うための配線として機能し、配線WR2Lは、トランジスタM10のオン状態とオフ状態の切り替えを行うための信号を供給する配線として機能する。なお、配線WR1Lと配線WR2Lは、1本の配線としてまとめてもよい。

[0480]

また、配線W1L、配線W2Lの組は、図17の演算回路150の配線WLSに相当することができる。

[0481]

次に、図29Aの回路MPの読み出し動作について説明する。なお、ここでは、回路MPの読み出し回路は、図15に示す回路ACTF[j]とする。また、図29Aの回路MPには、あらかじめ、情報が書き込まれているものとし、例えば、回路MCの容量C5の第1端子には電位V₀が保持され、回路MC_rの容量C5_rの第1端子には電位V₁が保持されているものとする。つまり、

回路MCに保持されている電位 V_0 と、回路MC_rに保持されている電位 V_1 と、は、当該情報に応じた電位としている。

[0482]

電位 V_0 としては、例えば、接地電位、低レベル電位（VSS）などとすることができる。また、電位 V_1 としては、例えば、高レベル電位（例えばVDD）、デジタル電位、アナログ電位などとすることができる。なお、ここでは、電位 V_0 を低レベル電位（VSS）として説明する。

[0483]

ここで、図15の回路ACTF[j]において、配線SRL1と配線SRL3に高レベル電位を入力して、スイッチSWR1と、スイッチSWR1Bと、スイッチSWR3と、スイッチSWR3Bと、をオン状態にして、配線OL、配線OLB及びノードn5、ノードn5_rに配線VCN4の電位をプリチャージする。なお、ここでの配線VCN4が与える電位は、低レベル電位（VSS）とすることができる。その後、配線SRL3に低レベル電位を入力して、スイッチSWR3と、スイッチSWR3Bと、をオフ状態にする。

[0484]

そして、配線WR1L、配線WR2Lのそれぞれに高レベル電位を入力して、トランジスタM10、トランジスタM10_rをオン状態にする。これにより、容量C5の第1端子と配線OLとの間が導通状態になり、配線OL、及びノードn5の電位は、プリチャージされた配線VCN4の電位と電位 V_0 とに応じた電位となる。また、容量C5_rの第1端子と配線OLBとの間が導通状態になり、配線OLB、及びノードn5_rの電位は、プリチャージされた配線VCN4の電位と電位 V_1 とに応じた電位となる。

[0485]

配線VCN3が与える電位を接地電位として、図9のタイミングチャートの時刻T04から時刻T05までの動作を行うことで、容量CREに回路MCと回路MC_rとのそれぞれから読み出された電位の差分を保持することができる。その後、時刻T06から時刻T07までの動作を行うことで、その電位の差分が接地電位を基準とした電位に変換される。そして、時刻T07以降の動作を行うことで、当該電位を回路ACの端子mbt1に供給することができ、その結果、回路ACの端子mbt2から、回路MPに保持された情報に応じた電位を出力することができる。

[0486]

図29Bに示す回路MPは、図17の演算回路150に適用できる回路MPであって、NOSRAM（Nonvolatile Oxide Semiconductor Random Access Memory）（登録商標）と呼ばれる回路構成を含む回路MC、回路MC_rを有している。回路MCは、トランジスタM11と、トランジスタM12と、容量C6と、を有する。

[0487]

なお、図29Bの回路MPにおいて、回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別するため、符号に「r」を付している。

[0488]

トランジスタM11、トランジスタM12には、前述したトランジスタM10と同様のトランジスタを用いることができる。例えば、トランジスタM11、トランジスタM12は、OSトランジスタを適用するのが好ましい。また、トランジスタM11、トランジスタM12は、OSトランジ

スタ以外としては、Siトランジスタとしてもよい。また、トランジスタM11とトランジスタM12とのそれぞれの半導体層は互いに材料が異なってもよい。

[0489]

トランジスタM11の第1端子は、容量C6の第1端子と、トランジスタM12のゲートと、に電氣的に接続され、トランジスタM11の第2端子は、配線OLに電氣的に接続され、トランジスタM11のゲートは、配線W1Lに電氣的に接続されている。容量C6の第2端子は、配線RLに電氣的に接続されている。トランジスタM12の第1端子は、配線OLに電氣的に接続され、トランジスタM12の第2端子は、配線VEに電氣的に接続されている。

[0490]

また、回路MCrにおいて、トランジスタM11rの第1端子は、配線OLBに電氣的に接続されている。また、トランジスタM11rのゲートは、配線W2Lに電氣的に接続されている。

[0491]

配線VE、配線VERは、一例としては、定電圧を供給する配線として機能する。当該定電圧としては、接地電位、低レベル電位などとすることができる。なお、ここでは、当該定電圧を低レベル電位として説明する。

[0492]

配線W1Lは、トランジスタM11のオン状態とオフ状態の切り替えを行うための配線として機能し、配線W2Lは、トランジスタM11rのオン状態とオフ状態の切り替えを行うための信号を供給する配線として機能する。なお、配線W1Lと配線W2Lは、1本の配線としてまとめてもよい。

[0493]

配線RLは、読み出しを行う回路MPを選択するための信号を供給する配線として機能する。

[0494]

また、配線W1L、配線W2L、及び配線RLの組は、図17の演算回路150の配線WLSに相当することができる。又は、配線W1L、配線W2Lの組は、図17の演算回路150の配線WLSに相当し、配線RLは、図17の演算回路150の配線XLSに相当することができる。そのため、図17の演算回路150の回路XLDは、読み出しワード線ドライバ回路として機能させてもよい。

[0495]

次に、図29Bの回路MPの書き込み動作について説明する。初めに、配線RLに、例えば、高レベル電位を入力する。次に、配線W1L、配線W2Lのそれぞれに高レベル電位を入力して、トランジスタM11、トランジスタM11rのそれぞれをオン状態にする。その後に、配線OL、配線OLBから、回路MPに書き込む情報に応じた電位を、回路MC、及び回路MCrのそれぞれに供給する。ここでは、例えば、配線OLから回路MCに電位V₁が書き込まれ、配線OLBから回路MCrに電位V₀が書き込まれるものとする。つまり、回路MCに保持される電位V₁と、回路MCrに保持される電位V₀と、は、当該情報に応じた電位としている。回路MC、回路MCrのそれぞれに電位が書き込まれた後では、配線W1L、配線W2Lのそれぞれに低レベル電位を入力して、トランジスタM11、トランジスタM11rのそれぞれをオフ状態にして、容量C6の第1端子、及び容量C6rの第1端子をフローティング状態にする。そして、配線RLの電位を、例えば、十分に下げることで（例えば、低レベル電位にまで下げることで）、容量結合によって、容量C6

の第1端子、及び容量C6rの第1端子のそれぞれの電位を低下させる。これによって、トランジスタM12、トランジスタM12rをオフ状態にする。

[0496]

なお、電位 V_0 としては、例えば、接地電位、低レベル電位(VSS)などとすることができる。また、電位 V_1 としては、例えば、高レベル電位(例えばVDD)、デジタル電位、アナログ電位などとすることができる。なお、ここでは、電位 V_0 を低レベル電位(VSS)として説明する。

[0497]

次に、図29Bの回路MPの読み出し動作について説明する。なお、ここでは、回路MPの読み出し回路は、図15に示す回路ACTF[j]とする。初めに、配線RLに、書き込み動作のときと同様に、高レベル電位を入力して、容量結合によって、容量C6の第1端子、及び容量C6rの第1端子のそれぞれの電位を上昇させる。これによって、容量C6の第1端子、及び容量C6rの第1端子のそれぞれの電位を、回路MC、回路MCrに書き込んだ時の電位に戻すことができる。

[0498]

次に、図15の回路ACTF[j]において、配線SRL1と配線SRL3に高レベル電位を入力して、スイッチSWR1と、スイッチSWR1Bと、スイッチSWR3と、スイッチSWR3Bと、をオン状態にする。これにより、配線OL、配線OLB及びノードn5、ノードn5rの電位が配線VCN4の電位となる。なお、ここでの配線VCN4が与える電位は、高レベル電位(VDD)とすることができる。その後、配線SRL3に低レベル電位を入力して、スイッチSWR3と、スイッチSWR3Bと、をオフ状態にして、配線OL、配線OLBをフローティング状態にする。そして、配線RLに、高レベル電位を入力して、トランジスタM12、トランジスタM12rのそれぞれのゲートに当該高レベル電位を印加する。このとき、トランジスタM12、トランジスタM12rのそれぞれのソースドレイン間に電流が流れる場合がある。なお、トランジスタM12のゲートは、 V_1 となっているため、トランジスタM12はオン状態となり、また、トランジスタM12rのゲートは、 V_0 となっているため、トランジスタM12rはオフ状態となる。つまり、トランジスタM12のゲートソース間に電流が流れ、トランジスタM12rのゲートソース間に電流は流れない。そのため、トランジスタM12のソースドレイン間に電流が流れるため、配線OL及びノードn5の電位は、VDDから低下する。一方、トランジスタM12rのソースドレイン間には電流が流れないため、配線OLB及びノードn5rの電位は、VDDのまま変化しない。

[0499]

そして、配線VCN3が与える電位を接地電位として、図9のタイミングチャートの時刻T04から時刻T05までの動作を行うことで、容量CREに回路MCと回路MCrとのそれぞれから読み出された電位の差分を保持することができる。その後、時刻T06から時刻T07までの動作を行うことで、その電位の差分が接地電位を基準とした電位に変換される。そして、時刻T07以降の動作を行うことで、当該電位を回路ACの端子mbt1に供給することができ、その結果、回路ACの端子mbt2から、回路MPに保持された情報に応じたデジタル信号を出力することができる。

[0500]

図29Cに示す回路MPは、図17の演算回路150に適用できる回路MPであって、図29Bと同様に、NOSRAM(登録商標)と呼ばれる回路構成を含む回路MC、回路MCrを有している。但し、図29Cの回路MPは、トランジスタの個数や接続構成などの点で、図29Bの回路M

Pと異なる。

[0501]

図29Cの回路MPにおいて、回路MCは、トランジスタM11と、トランジスタM12と、トランジスタM13と、容量C6と、を有する。

[0502]

トランジスタM13には、前述したトランジスタM10と同様のトランジスタを用いることができる。例えば、トランジスタM10は、OSトランジスタを適用するのが好ましい。

[0503]

トランジスタM11の第1端子は、トランジスタM12のゲートと、容量C6の第1端子と、に電氣的に接続され、トランジスタM11の第2端子は、配線OLに電氣的に接続され、トランジスタM11のゲートは、配線W1Lに電氣的に接続されている。トランジスタM12の第1端子は、配線VEに電氣的に接続され、トランジスタM12の第2端子は、トランジスタM13の第1端子に電氣的に接続されている。トランジスタM13の第2端子は、配線OLに電氣的に接続され、トランジスタM13のゲートは、配線RLに電氣的に接続されている。

[0504]

また、回路MCrにおいて、トランジスタM11rの第2端子は、配線OLBに電氣的に接続されている。また、トランジスタM11rのゲートは、配線W2Lに電氣的に接続されている。

[0505]

配線VE、配線VERは、一例としては、定電圧を供給する配線として機能する。当該定電圧としては、接地電位、低レベル電位などとすることができる。なお、ここでは、当該定電圧を低レベル電位として説明する。

[0506]

配線W1Lは、トランジスタM11のオン状態とオフ状態の切り替えを行うための配線として機能し、配線W2Lは、トランジスタM11rのオン状態とオフ状態の切り替えを行うための信号を供給する配線として機能する。なお、配線W1Lと配線W2Lは、1本の配線としてまとめてもよい。

[0507]

配線RLは、読み出しを行う回路MPを選択するための信号を供給する配線として機能する。

[0508]

また、配線W1L、配線W2L、及び配線RLの組は、図17の演算回路150の配線WLSに相当することができる。又は、配線W1L、配線W2Lの組は、図17の演算回路150の配線WLSに相当し、配線RLは、図17の演算回路150の配線XLSに相当することができる。そのため、図17の演算回路150の回路XLDは、読み出しワード線ドライバ回路として機能させてもよい。

[0509]

次に、図29Cの回路MPの書き込み動作について説明する。初めに、配線W1L、配線W2Lのそれぞれに高レベル電位を入力して、トランジスタM11、及びトランジスタM11rのそれぞれをオン状態にする。また、配線RLに低レベル電位を入力する。その後に、配線OL、及び配線OLBのそれぞれから、回路MPに書き込む情報に応じた電位を、回路MC、及び回路MCrのそれぞれに供給する。ここでは、例えば、配線OLから回路MCに電位V₁が書き込まれ、配線OL

Bから回路MC_rに電位V₀が書き込まれるものとする。つまり、回路MCに保持される電位V₁と、回路MC_rに保持される電位V₀と、は、当該情報に応じた電位としている。回路MC、回路MC_rのそれぞれに電位が書き込まれた後では、配線W_{1L}、配線W_{2L}のそれぞれに低レベル電位を入力して、トランジスタM₁₁、トランジスタM_{11r}のそれぞれをオフ状態にして、容量C₆の第1端子、及び容量C_{6r}の第1端子をフローティング状態にする。

[0510]

なお、電位V₀としては、例えば、接地電位、低レベル電位（VSS）などとすることができる。また、電位V₁としては、例えば、高レベル電位（例えばVDD）、デジタル電位、アナログ電位などとすることができる。なお、ここでは、電位V₀を低レベル電位（VSS）として説明する。

[0511]

次に、図29Cの回路MPの読み出し動作について説明する。なお、ここでは、回路MPの読み出し回路は、図15に示す回路ACTF[j]とする。

[0512]

図15の回路ACTF[j]において、配線SRL₁と配線SRL₃に高レベル電位を入力して、スイッチSWR₁と、スイッチSWR_{1B}と、スイッチSWR₃と、スイッチSWR_{3B}と、をオン状態にする。これにより、配線OL、配線OLB及びノードn₅、ノードn_{5r}の電位が配線VCN₄の電位となる。なお、ここでの配線VCN₄が与える電位は、高レベル電位（VDD）とすることができる。その後、配線SRL₃に低レベル電位を入力して、スイッチSWR₃と、スイッチSWR_{3B}と、をオフ状態にして、配線OL、配線OLBをフローティング状態にする。そして、配線RLに、高レベル電位を入力して、トランジスタM₁₃、トランジスタM_{13r}のそれぞれのゲートに当該高レベル電位を印加する。このとき、トランジスタM₁₃、トランジスタM_{13r}のそれぞれのゲートソース電圧に応じて、トランジスタM₁₃、トランジスタM_{13r}のそれぞれは、ソースドレイン間に電流が流れる場合がある。なお、トランジスタM₁₂のゲートは、V₁となっているため、トランジスタM₁₂はオン状態となり、また、トランジスタM_{12r}のゲートは、V₀となっているため、トランジスタM_{12r}はオフ状態となる。つまり、トランジスタM₁₂のゲートソース間に電流が流れ、トランジスタM_{12r}のゲートソース間に電流は流れない。そのため、トランジスタM₁₂のソースドレイン間に電流が流れるため、配線OL及びノードn₅の電位は、VDDから低下する。一方、トランジスタM_{12r}のソースドレイン間には電流が流れないため、配線OLB及びノードn_{5r}の電位は、VDDのまま変化しない。

[0513]

そして、配線VCN₃が与える電位を接地電位として、図9のタイミングチャートの時刻T₀₄から時刻T₀₅までの動作を行うことで、容量CREに回路MCと回路MC_rとのそれぞれから読み出された電位の差分を保持することができる。その後、時刻T₀₆から時刻T₀₇までの動作を行うことで、その電位の差分が接地電位を基準とした電位に変換される。そして、時刻T₀₇以降の動作を行うことで、当該電位を回路ACの端子mbt₁に供給することができ、その結果、回路ACの端子mbt₂から、回路MPに保持された情報に応じたデジタル信号を出力することができる。

[0514]

図30Aに示す回路MPは、図17の演算回路150に適用できる回路MPであって、ReRAM（Resistive Random Access Memory）を含む回路MC、回路M

C_rを有している。回路MCは、トランジスタM₁₀と、抵抗変化素子R_Mと、を有する。

[0515]

なお、図30Aの回路MPにおいて、回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。

[0516]

トランジスタM₁₀は、例えば、図29Aで説明した回路MPに含まれているトランジスタM₁₀と同様の構成とすることができる。

[0517]

トランジスタM₁₀の第1端子は、抵抗変化素子R_Mの第1端子に電氣的に接続され、トランジスタM₁₀の第2端子は、配線OLに電氣的に接続され、トランジスタM₁₀のゲートは、配線WR_{1L}に電氣的に接続されている。抵抗変化素子R_Mの第2端子は配線VEに電氣的に接続されている。

[0518]

また、回路MC_rにおいて、トランジスタM_{10r}の第1端子は、配線OL_Bに電氣的に接続されている。また、トランジスタM_{10r}のゲートは、配線WR_{2L}に電氣的に接続されている。

[0519]

配線VE、配線VE_rは、一例としては、定電圧を供給する配線として機能する。当該定電圧としては、接地電位、低レベル電位などとすることができる。なお、ここでは、当該定電圧を低レベル電位として説明する。

[0520]

配線WR_{1L}は、トランジスタM₁₁のオン状態とオフ状態の切り替えを行うための配線として機能し、配線WR_{2L}は、トランジスタM_{11r}のオン状態とオフ状態の切り替えを行うための信号を供給する配線として機能する。なお、配線WR_{1L}と配線WR_{2L}は、1本の配線としてまとめてもよい。

[0521]

また、配線WR_{1L}、配線WR_{2L}の組は、図17の演算回路150の配線WLSに相当することができる。又は、配線WR_{1L}、配線WR_{2L}の組は、図17の演算回路150の配線XLSに相当してもよい。そのため、図17の演算回路150の回路XLDは、読み出しワード線ドライバ回路として機能させてもよい。

[0522]

抵抗変化素子R_Mは、その第1端子と第2端子との間に印加される電圧に応じて、第1端子と第2端子との間の抵抗値が定められる回路素子である。そのため、回路MCは、配線WR_{1L}に高レベル電位を入力し、トランジスタM₁₀をオン状態にして、配線OLに書き込み用の電位を入力することによって、抵抗変化素子R_Mの抵抗値を変化させることができる。これによって、回路MCは、書き込み用の電位に応じた情報を保持することができる。また、回路MCからデータを読み出すときは、配線WR_{1L}に高レベル電位を入力し、トランジスタM₁₀をオン状態にして、配線OLに読み出し用の電位を入力し、配線OLから配線VEに流れる電流量を測定することによって行われる。また、回路MC_rについても、回路MCと同様に情報の書き込み、及び読み出しを行うことができる。

[0523]

ここで、図30Aの回路MPの読み出し動作において、図15に示す回路ACTF[j]を用いた場合を説明する。図30Aの回路MPには、あらかじめ、情報が書き込まれているものとし、例えば、回路MCの抵抗変化素子RMの抵抗値を R_1 とし、回路MCrの抵抗変化素子RMrの抵抗値を R_0 とする。つまり、回路MCの抵抗変化素子RMの抵抗値 R_1 と、回路MCrの抵抗変化素子RMrの抵抗値 R_0 と、は、当該情報に応じた電位としている。

[0524]

なお、抵抗値 R_1 は、抵抗値 R_0 よりも低いものとする。また、抵抗値 R_1 、 R_0 が取り得る値としては、2値などのデジタル値、アナログ値などとしてすることができる。

[0525]

図30Aの回路MPは、例えば、あらかじめ配線OL、及び配線OLBを配線VCN4の電位にプリチャージして、その後、トランジスタM10、及びトランジスタM10rをオン状態にすることにより、配線OLから回路MCを介して配線VEに流れる電流量と、配線OLBから回路MCrを介して配線VERに流れる電流量と、によって、回路MPに保持されている情報を読み出すことができる。例えば、配線OLから回路MCを介して配線VEに、抵抗値 R_1 に応じた電流量が流れ、配線OLBから回路MCrを介して配線VERに、抵抗値 R_0 に応じた電流量が流れる。抵抗値 R_1 に応じた電流量は回路IVTRによって電圧に変換され、抵抗値 R_0 に応じた電流量は、回路IVTRrによって電圧に変換される。

[0526]

そのため、配線VCN3が与える電位を接地電位として、図9のタイミングチャートの時刻T04から時刻T05までの動作を行うことで、容量CREに回路MCと回路MCrとのそれぞれから読み出された電流に応じた電位の差分を保持することができる。その後、時刻T06から時刻T07までの動作を行うことで、その電位の差分が接地電位を基準とした電位に変換される。そして、時刻T07以降の動作を行うことで、当該電位を回路ACの端子mbt1に供給することができ、その結果、回路ACの端子mbt2から、回路MPに保持された情報に応じた電位を出力することができる。

[0527]

なお、回路AFPを記憶装置の読み出し回路としたとき、アレイ部ALPの回路MPに適用できるメモリセルの一例として、図30Aの回路MPでは、抵抗変化素子を有する構成の例について説明したが、回路MPは抵抗変化素子の代わりに別の回路素子を有する構成としてもよい。例えば、回路MPに適用できるメモリセルとして、図30Bに示す回路MPのとおり、図30Aの回路MPの抵抗変化素子RM、RMrのそれぞれをMTJ（磁気トンネル接合）素子MR、MTJ素子MRrを有する回路構成としてもよい。また、例えば、抵抗変化素子やMTJ素子でなく、相変化メモリ（PCM）などに用いられる、相変化材料が含まれる抵抗素子としてもよい（本明細書等では、便宜上、当該抵抗素子を相変化メモリと呼称する。）。図30Cに示す回路MPには、図30Aの回路MPの抵抗変化素子RM、抵抗変化素子RMrのそれぞれを相変化メモリPCM1、相変化メモリPCM1rとした回路構成を示している。

[0528]

また、回路AFPを記憶装置の読み出し回路としたとき、アレイ部ALPの回路MPに適用できるメモリセルの一例として、SRAM（Static Random Access Memor

y)を含む回路構成としてもよい。例えば、図31Aに示す回路MPは、SRAMを含む回路MC、回路MC_rを有する構成を有している。

[0529]

図31Aの回路MPにおいて、回路MCは、トランジスタM10と、インバータループ回路IVRSと、を有する。

[0530]

なお、図31Aの回路MPにおいて、回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。

[0531]

トランジスタM10は、例えば、図29Aで説明した回路MPに含まれているトランジスタM10と同様の構成とすることができる。

[0532]

図31Aの回路MCは、インバータループ回路IVRSによって、情報を保持することができる。

[0533]

インバータループ回路IVRSは、一例として、インバータ回路IV1と、インバータ回路IV2と、を有する。インバータ回路IV1と、インバータ回路IV2と、のそれぞれは、入力端子に入力信号が入力されたとき、当該入力信号の反転信号を出力端子から出力する機能を有する。インバータ回路IV1の入力端子は、インバータ回路IV2の出力端子に電氣的に接続され、インバータ回路IV2の出力端子は、インバータ回路IV1の入力端子に電氣的に接続されている。また、インバータループ回路IVRS_rは、一例として、インバータ回路IV1_rと、インバータ回路IV2_rと、を有する。インバータ回路IV1_rと、インバータ回路IV2_rと、のそれぞれは、インバータ回路IV1、及びインバータ回路IV2と同様に、入力端子に入力信号が入力されたとき、当該入力信号の反転信号を出力端子から出力する機能を有する。インバータ回路IV1_rの入力端子は、インバータ回路IV2_rの出力端子に電氣的に接続され、インバータ回路IV2_rの出力端子は、インバータ回路IV1_rの入力端子に電氣的に接続されている。

[0534]

なお、インバータループ回路IVRSは、例えば、CMOS (Complementary MOS) 回路として構成することができる。また、インバータループ回路IVRSは、CMOS回路ではなく、nチャネル型トランジスタのみ、または、pチャネル型トランジスタのみの単極性回路で構成してもよい。

[0535]

また、インバータ回路IV1、及びインバータ回路IV2としては、例えば、NAND回路、NOR回路、XOR回路、これらを組み合わせた回路等とすることができる。具体的には、インバータ回路をNAND回路に置き換える場合、NAND回路の2入力端子の一方に固定電位として高レベル電位を入力することで、NAND回路をインバータ回路として機能することができる。また、インバータ回路をNOR回路に置き換える場合、NOR回路の2入力端子の一方に固定電位として低レベル電位を入力することで、NOR回路をインバータ回路として機能することができる。また、インバータ回路をXOR回路に置き換える場合、XOR回路の2入力端子の一方に固定電位として高レベル電位を入力することで、XOR回路をインバータ回路として機能することができる。この

ように、本明細書等に記載されているインバータ回路は、NAND回路、NOR回路、XOR回路、又はこれらを組み合わせた回路などの論理回路に置き換えることができる。そのため、本明細書などにおいて、「インバータ回路」という用語は、「論理回路」と呼称することができる。

[0536]

トランジスタM10の第1端子は、インバータループ回路IVRSのインバータ回路IV1の入力端子と、インバータ回路IV2の出力端子と、に電氣的に接続され、トランジスタM10の第2端子は、配線OLに電氣的に接続され、トランジスタM10のゲートは、配線WR1Lに電氣的に接続されている。

[0537]

また、トランジスタM10rの第2端子は、配線OLBに電氣的に接続され、トランジスタM10rのゲートは、配線WR2Lに電氣的に接続されている。

[0538]

配線WR1Lは、トランジスタM10のオン状態とオフ状態の切り替えを行うための配線として機能し、配線WR2Lは、トランジスタM10rのオン状態とオフ状態の切り替えを行うための信号を供給する配線として機能する。なお、配線WR1Lと配線WR2Lは、1本の配線としてまとめてもよい。

[0539]

また、配線WR1L、配線WR2Lの組は、図17の演算回路150の配線WLSに相当することができる。

[0540]

図31Aの回路MPにおいて、インバータループ回路IVRSによって、回路MCは、高レベル電位又は低レベル電位の一方を保持することができ、インバータループ回路IVRSrによって、回路MCrは、高レベル電位又は低レベル電位の一方を保持することができる。つまり、トランジスタM10、トランジスタM10rのそれぞれをオン状態にして、配線OL、配線OLBのそれぞれに書き込み用の電位を入力することによって、回路MPは、回路MC、回路MCrのそれぞれに電位に応じた情報を書き込むことができる。なお、回路MC、回路MCrのそれぞれへの書き込み用の電位は、互いに同一としてもよいし、異なってもよい。なお、回路MC、MCrのそれぞれに電位に応じた情報を書き込んだ後は、トランジスタM10、トランジスタM10rのそれぞれをオフ状態にする。

[0541]

ここで、図31Aの回路MPの読み出し動作において、図15に示す回路ACTF[j]を用いた場合を説明する。図31Aの回路MPには、あらかじめ、情報が書き込まれているものとし、例えば、回路MCには低レベル電位が保持され、回路MCrには高レベル電位が保持されているものとする。つまり、回路MCに保持されている低レベル電位と、回路MCに保持されている高レベル電位と、は、当該情報に応じた電位としている。

[0542]

図31Aの回路MPは、トランジスタM10、トランジスタM10rをオン状態にすることによって、配線OL、配線OLBのそれぞれに、回路MC、回路MCrのそれぞれに保持された電位を出力することができる。つまり、図15に示す回路ACTF[j]において、回路IVTR、回路IVTRrのそれぞれで電流を電圧に変換する必要はないため、スイッチSWR3、スイッチSW

R 3 Bは常にオフ状態とする。また、スイッチSWR 2、スイッチSWR 2 Bをオフ状態にし、トランジスタM1 0、トランジスタM1 0 rをオン状態にした後に、スイッチSWR 1、スイッチSWR 1 Bをオン状態にすることによって、容量CREに高レベル電位と低レベル電位との電位差を保持することができる。

[0543]

配線VCN 3が与える電位を接地電位としたとき、図9のタイミングチャートの時刻T 0 6から時刻T 0 7までの動作を行うことで、その電位差が接地電位を基準とした電位に変換される。そして、時刻T 0 7以降の動作を行うことで、当該電位を回路ACの端子mb t 1に供給することができる、その結果、回路ACの端子mb t 2から、回路MPに保持された情報に応じた電位を出力することができる。

[0544]

また、本発明の一態様は、図3 1 Aを有する記憶装置（演算回路という場合がある）に限定されない。例えば、図3 1 Bに示す回路MPのとおり、図3 1 Aの回路MC、及び回路MC rのそれぞれに、回路NM、及び回路NM rを設けた構成としてもよい。回路NM及び回路NM rは、不揮発性のメモリ回路であって、例えば、図3 0 A乃至図3 0 Cにおいて説明した、抵抗変化素子、MTJ素子、相変化メモリなどを含む回路とすることができる。図3 1 Bの回路MPを記憶装置（演算回路という場合がある）に適用することによって、例えば、インバータループ回路IVRS、インバータループ回路IVRS rの電源電圧の供給を停止しても、回路NM、及び回路NM rによって、回路MC及び回路MC rに書き込んだ情報を保持することができる。

[0545]

また、図3 1 Bの回路MPに含まれる回路NM、及び回路NM rとしては、抵抗変化素子、MTJ素子、相変化メモリを設けず、容量とトランジスタとを有する回路構成としてもよい。図3 1 Cの回路MPに含まれている回路NMは、容量C 7と、トランジスタM1 4と、を有し、回路NM rは、容量C 7 rと、トランジスタM1 4 rと、を有する。

[0546]

トランジスタM1 4は、インバータループ回路IVRSに電氣的に接続され、トランジスタM1 4の第2端子は、容量C 7の第1端子に電氣的に接続され、容量C 7の第2端子は、配線VEに電氣的に接続されている。トランジスタM1 4のゲートは、配線HLに電氣的に接続されている。また、トランジスタM1 4 rは、インバータループ回路IVRS rに電氣的に接続され、トランジスタM1 4 rの第2端子は、容量C 7 rの第1端子に電氣的に接続され、容量C 7 rの第2端子は、配線VE rに電氣的に接続されている。また、トランジスタM1 4 rのゲートは、配線HL rに電氣的に接続されている。

[0547]

配線VE、及び配線VE rは、定電圧を与える配線として機能する。当該定電圧としては、例えば、高レベル電位、低レベル電位、接地電位などとすることができる。

[0548]

配線HL、及び配線HL rのそれぞれは、トランジスタM1 4、トランジスタM1 4 rのオン状態とオフ状態とを切り替えるための配線として機能する。

[0549]

トランジスタM1 4をオン状態にすることによって、インバータループ回路IVRSと容量C 7

の第1端子との間が導通状態となる。このとき、インバータループ回路IVRSで保持されている電位を容量C7の第1端子に供給することができる。その後、トランジスタM14をオフ状態にすることによって、容量C7に当該電位を保持することができる。

[0550]

トランジスタM14としては、例えば、OSトランジスタを用いることが好ましい。OSトランジスタは、オフ電流が非常に低い特性を有するため、容量C7に長時間、電位を保持することができる。

[0551]

図32Aに示す回路MPは、図12の演算回路130に適用できる回路MPであって、図31Aの回路MPと同様に、インバータループ回路IVRS、インバータループ回路IVRSrのそれぞれを含む回路MC、回路MCrを有している。また、回路MCは、トランジスタM10と、トランジスタM12と、トランジスタM13と、を有する。

[0552]

なお、図32Aの回路MPにおいて、回路MCrは、回路MCとほぼ同様の回路構成となっている。そのため、回路MCrの有する回路素子などには、回路MCの有する回路素子などと区別するため、符号に「r」を付している。

[0553]

トランジスタM10、トランジスタM12と、トランジスタM13と、のそれぞれは、例えば、図29Aの回路MPに含まれているトランジスタM10に適用できるトランジスタを用いるのが好ましい。特に、トランジスタM10、トランジスタM13としては、OSトランジスタを適用することが好ましい。トランジスタM10、トランジスタM12と、トランジスタM13と、のそれぞれの半導体層は互いに材料が異なってもよい。

[0554]

トランジスタM10の第1端子は、インバータループ回路IVRSの第1端子に電氣的に接続され、トランジスタM10の第2端子は、配線ILに電氣的に接続され、トランジスタM10のゲートは、配線WLに電氣的に接続されている。

[0555]

トランジスタM12の第1端子は、配線VEに電氣的に接続され、トランジスタM12の第2端子は、配線OLに電氣的に接続され、トランジスタM12のゲートは、インバータループ回路IVRSの第2端子に電氣的に接続されている。トランジスタM13の第2端子は、配線OLに電氣的に接続され、トランジスタM13のゲートは、配線RLに電氣的に接続されている。

[0556]

また、回路MCrにおいて、トランジスタM13rの第2端子は、配線OLBに電氣的に接続されている。

[0557]

配線VE、配線VERは、一例としては、定電圧を供給する配線として機能する。当該定電圧としては、接地電位、低レベル電位などとすることができる。なお、ここでは、当該定電圧を低レベル電位として説明する。

[0558]

配線WLは、トランジスタM10のオン状態とオフ状態の切り替えを行うための配線として機能

する。

[0559]

配線RLは、読み出しを行う回路MPを選択するための信号を供給する配線として機能する。

[0560]

また、配線WL、配線RLの組は、図12の演算回路130の配線WLSに相当することができる。又は、配線WLは、図12の演算回路130の配線WLSに相当し、配線RLは、図12の演算回路130の配線XLSに相当することができる。そのため、図12の演算回路130の回路XLDは、読み出しワード線ドライバ回路として機能させてもよい。

[0561]

インバータループ回路IVRS（インバータループ回路IVRSr）は、インバータループ回路IVRS（インバータループ回路IVRSr）の第1端子に入力された信号の反転信号をインバータループ回路IVRS（インバータループ回路IVRSr）の第2端子に出力する機能を有する。また、インバータループ回路IVRS（インバータループ回路IVRSr）に電源電圧が供給されているとき、回路MC（回路MCr）は、インバータループ回路IVRS（インバータループ回路IVRSr）によって、インバータループ回路IVRS（インバータループ回路IVRSr）の第1端子及び第2端子の電位を保持する機能を有する。

[0562]

次に、図32Aの回路MPの書き込み動作について説明する。初めに、配線WL、に高レベル電位を入力して、トランジスタM10、及びトランジスタM10rのそれぞれをオン状態にする。その後、配線IL、及び配線ILBのそれぞれから、回路MPに書き込む情報に応じた電位を、回路MC、及び回路MCrのそれぞれに供給する。ここでは、例えば、配線OLから回路MCに低レベル電位であるVSSが書き込まれ、配線OLBから回路MCrに高レベル電位であるVDDが書き込まれるものとする。つまり、回路MCに保持されるVSSと、回路MCrに保持されるVDDと、は、当該情報に応じた電位としている。回路MC、回路MCrのそれぞれに電位が書き込まれた後では、配線WLに低レベル電位を入力して、トランジスタM10、トランジスタM10rのそれぞれをオフ状態にして、インバータループ回路IVRS、及びインバータループ回路IVRSrのそれぞれによって電位を保持する。

[0563]

次に、図32Aの回路MPの読み出し動作について説明する。なお、ここでは、回路MPの読み出し回路は、図15に示す回路ACTF[j]とする。初めに、配線RLに、低レベル電位を入力して、トランジスタM13、トランジスタM13rのそれぞれをオフ状態にする。

[0564]

次に、図15の回路ACTF[j]において、配線SRL1と配線SRL3に高レベル電位を入力して、スイッチSWR1と、スイッチSWR1Bと、スイッチSWR3と、スイッチSWR3Bと、をオン状態にする。これにより、配線OL、配線OLB及びノードn5、ノードn5rの電位が配線VCN4の電位となる。なお、ここでの配線VCN4が与える電位は、高レベル電位（VDD）とすることができる。その後、配線SRL3に低レベル電位を入力して、スイッチSWR3と、スイッチSWR3Bと、をオフ状態にして、配線OL、配線OLBをフローティング状態にする。そして、配線RLに、高レベル電位を入力して、トランジスタM13、トランジスタM13rのそれぞれをオン状態にすることによって、トランジスタM12、トランジスタM12rのそれぞれの

ゲートソース電圧に応じて、ソースドレイン間に電流が流れる場合がある。なお、トランジスタM12のゲートは、VDDとなっているため、トランジスタM12はオン状態となり、また、トランジスタM12rのゲートは、VSSとなっているため、トランジスタM12はオフ状態となる。つまり、トランジスタM12のゲートソース間に電流が流れ、トランジスタM12rのゲートソース間に電流は流れない。そのため、トランジスタM12のソースドレイン間に電流が流れるため、配線OL及びノードn5の電位は、VDDから低下する。一方、トランジスタM12rのソースドレイン間には電流が流れないため、配線OLB及びノードn5rの電位は、VDDのまま変化しない。

[0565]

そして、配線VCN3が与える電位を接地電位として、図9のタイミングチャートの時刻T04から時刻T05までの動作を行うことで、容量CREに回路MCと回路MCrとのそれぞれから読み出された電位の差分を保持することができる。その後、時刻T06から時刻T07までの動作を行うことで、その電位の差分が接地電位を基準とした電位に変換される。そして、時刻T07以降の動作を行うことで、当該電位を回路ACの端子mbt1に供給することができ、その結果、回路ACの端子mbt2から、回路MPに保持された情報に応じたデジタル信号を出力することができる。

[0566]

また、本発明の一態様は、図32Aの回路MPを有する記憶装置（演算回路の場合もある）に限定されない。例えば、図32Aに図示している配線OLは、配線ILと1本の配線にまとめ、配線OLBは、配線ILBと1本の配線にまとめてもよい。図32Bに示す回路MPは、図32Aの回路MPにおいて、配線OLと配線ILとを1本の配線OLとしてまとめ、かつ配線OLBと配線ILBとを1本の配線OLBとしてまとめた構成となっている。図32Bの回路MPを記憶装置（演算回路）に適用することによって、配線数を減らすことができるため、当該記憶装置（演算回路）の回路面積を低減することができる。

[0567]

なお、図29A乃至図29C、図30A乃至図30C、図31A乃至図31C、図32A、図32Bでは、図15に示す回路ACTF[j]を読み出し回路とした記憶装置に適用できる回路MPの一例を説明したが、本発明の一態様はこれに限定されない。実施の形態1、実施の形態2で述べた回路MPに、図29A乃至図29C、図30A乃至図30C、図31A乃至図31C、図32A、図32Bのそれぞれの回路MPを適用することができ、階層型のニューラルネットワークに係る演算が可能な演算回路を構成することができる。

[0568]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0569]

（実施の形態5）

本実施の形態では、上記実施の形態で説明した演算回路の構成例、及び当該演算回路に適用可能なトランジスタの構成例について説明する。

[0570]

<半導体装置の構成例>

図33に示す半導体装置は、トランジスタ300と、トランジスタ500と、容量素子600と、

を有している。図35Aはトランジスタ500のチャネル長方向の断面図であり、図35Bはトランジスタ500のチャネル幅方向の断面図であり、図35Cはトランジスタ300のチャネル幅方向の断面図である。

[0571]

トランジスタ500は、チャネル形成領域に金属酸化物を有するトランジスタ（OSトランジスタ）である。トランジスタ500は、オフ電流が小さいため、これを半導体装置、例えば、演算回路110、演算回路120、演算回路140などに含まれるスイッチS2などに用いることにより、長期にわたり書き込んだデータを保持することが可能である。つまり、リフレッシュ動作の頻度が少ない、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

[0572]

本実施の形態で説明する半導体装置は、図33に示すようにトランジスタ300、トランジスタ500、容量素子600を有する。トランジスタ500はトランジスタ300の上方に設けられ、容量素子600はトランジスタ300、及びトランジスタ500の上方に設けられている。なお、容量素子600は、上記実施の形態で説明した演算回路110、演算回路120、演算回路140などに含まれる回路MPの容量C1、容量C1rなどとすることができる。

[0573]

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、ソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。なお、トランジスタ300は、例えば、上記実施の形態で説明した演算回路110、演算回路120、演算回路140などに含まれる回路MPのトランジスタM1などに適用することができる。

[0574]

また、基板311としては、半導体基板（例えば単結晶基板又はシリコン基板）を用いることが好ましい。

[0575]

トランジスタ300は、図35Cに示すように、半導体領域313の上面及びチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

[0576]

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0577]

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域314a、及び低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を

用いることで、トランジスタ300をHEMT (High Electron Mobility Transistor) としてもよい。

[0578]

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、又はホウ素などのp型の導電性を付与する元素を含む。

[0579]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

[0580]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0581]

なお、図33に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、半導体装置をOSトランジスタのみの単極性回路とする場合、図34に示すとおり、トランジスタ300の構成を、酸化物半導体を用いているトランジスタ500と同様の構成にすればよい。なお、トランジスタ500の詳細については後述する。

[0582]

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。

[0583]

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0584]

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0585]

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨 (CMP) 法等を用いた平坦化処理により平坦化されていてもよい。

[0586]

また、絶縁体 3 2 4 には、基板 3 1 1、又はトランジスタ 3 0 0 などから、トランジスタ 5 0 0 が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0 5 8 7]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 5 0 0 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 5 0 0 と、トランジスタ 3 0 0 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0 5 8 8]

水素の脱離量は、例えば、昇温脱離ガス分析法 (TDS) などを用いて分析することができる。例えば、絶縁体 3 2 4 の水素の脱離量は、TDS 分析において、膜の表面温度が 5 0 °C から 5 0 0 °C の範囲において、水素原子に換算した脱離量が、絶縁体 3 2 4 の面積当たりに換算して、 $1 0 \times 1 0^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 1 0^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0 5 8 9]

なお、絶縁体 3 2 6 は、絶縁体 3 2 4 よりも誘電率が低いことが好ましい。例えば、絶縁体 3 2 6 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また、例えば、絶縁体 3 2 6 の比誘電率は、絶縁体 3 2 4 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0 5 9 0]

また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、及び絶縁体 3 2 6 には容量素子 6 0 0、又はトランジスタ 5 0 0 と接続する導電体 3 2 8、及び導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、及び導電体 3 3 0 は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0 5 9 1]

各プラグ、及び配線 (導電体 3 2 8、導電体 3 3 0 等) の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0 5 9 2]

絶縁体 3 2 6、及び導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 3 3 において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、トランジスタ 3 0 0 と接続するプラグ、又は配線としての機能を有する。なお導電体 3 5 6 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 5 9 3]

なお、例えば、絶縁体 3 5 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体

を用いることが好ましい。また、導電体 3 5 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 5 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 5 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

[0 5 9 4]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 3 0 0 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 3 5 0 と接する構造であることが好ましい。

[0 5 9 5]

絶縁体 3 5 4、及び導電体 3 5 6 上に、配線層を設けてもよい。例えば、図 3 3 において、絶縁体 3 6 0、絶縁体 3 6 2、及び絶縁体 3 6 4 が順に積層して設けられている。また、絶縁体 3 6 0、絶縁体 3 6 2、及び絶縁体 3 6 4 には、導電体 3 6 6 が形成されている。導電体 3 6 6 は、プラグ又は配線としての機能を有する。なお導電体 3 6 6 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 5 9 6]

なお、例えば、絶縁体 3 6 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 6 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 6 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 5 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

[0 5 9 7]

絶縁体 3 6 4、及び導電体 3 6 6 上に、配線層を設けてもよい。例えば、図 3 3 において、絶縁体 3 7 0、絶縁体 3 7 2、及び絶縁体 3 7 4 が順に積層して設けられている。また、絶縁体 3 7 0、絶縁体 3 7 2、及び絶縁体 3 7 4 には、導電体 3 7 6 が形成されている。導電体 3 7 6 は、プラグ又は配線としての機能を有する。なお導電体 3 7 6 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 5 9 8]

なお、例えば、絶縁体 3 7 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 7 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 7 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 5 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

[0 5 9 9]

絶縁体 3 7 4、及び導電体 3 7 6 上に、配線層を設けてもよい。例えば、図 3 3 において、絶縁体 3 8 0、絶縁体 3 8 2、及び絶縁体 3 8 4 が順に積層して設けられている。また、絶縁体 3 8 0、

絶縁体 382、及び絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグ又は配線としての機能を有する。なお導電体 386 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[0600]

なお、例えば、絶縁体 380 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

[0601]

上記において、導電体 356 を含む配線層、導電体 366 を含む配線層、導電体 376 を含む配線層、及び導電体 386 を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体 356 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 356 を含む配線層と同様の配線層を 5 層以上にしてもよい。

[0602]

絶縁体 384 上には絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 が、順に積層して設けられている。絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0603]

例えば、絶縁体 510、及び絶縁体 514 には、例えば、基板 311、又はトランジスタ 300 を設ける領域などから、トランジスタ 500 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 324 と同様の材料を用いることができる。

[0604]

水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0605]

また、水素に対するバリア性を有する膜として、例えば、絶縁体 510、及び絶縁体 514 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0606]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

[0607]

また、例えば、絶縁体512、及び絶縁体516には、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体512、及び絶縁体516として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0608]

また、絶縁体510、絶縁体512、絶縁体514、及び絶縁体516には、導電体518、及びトランジスタ500を構成する導電体（例えば、導電体503）等が埋め込まれている。なお、導電体518は、容量素子600、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体518は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[0609]

特に、絶縁体510、及び絶縁体514と接する領域の導電体518は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0610]

絶縁体516の上方には、トランジスタ500が設けられている。

[0611]

図35A、及び図35Bに示すように、トランジスタ500は、絶縁体514及び絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516及び導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542a及び導電体542bと、導電体542a及び導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の底面及び側面に配置された酸化物530cと、酸化物530cの形成面に配置された絶縁体550と、絶縁体550の形成面に配置された導電体560と、を有する。

[0612]

また、図35A、及び図35Bに示すように、酸化物530a、酸化物530b、導電体542a、及び導電体542bと、絶縁体580との間に絶縁体544が配置されることが好ましい。また、図35A、及び図35Bに示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図35A、及び図35Bに示すように、絶縁体580、導電体560、及び絶縁体550の上に絶縁体574が配置されることが好ましい。

[0613]

なお、以下において、酸化物530a、酸化物530b、及び酸化物530cをまとめて酸化物530という場合がある。

[0614]

なお、トランジスタ500では、チャネルが形成される領域と、その近傍において、酸化物53

0 a、酸化物 530 b、及び酸化物 530 c の 3 層を積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、酸化物 530 b の単層、酸化物 530 b と酸化物 530 a の 2 層構造、酸化物 530 b と酸化物 530 c の 2 層構造、又は 4 層以上の積層構造を設ける構成にしてもよい。また、トランジスタ 500 では、導電体 560 を 2 層の積層構造として示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体 560 が、単層構造であってもよいし、3 層以上の積層構造であってもよい。また、図 33、図 35 A に示すトランジスタ 500 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0615]

ここで、導電体 560 は、トランジスタのゲート電極として機能し、導電体 542 a 及び導電体 542 b は、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体 560 は、絶縁体 580 の開口、及び導電体 542 a と導電体 542 b に挟まれた領域に埋め込まれるように形成される。導電体 560、導電体 542 a 及び導電体 542 b の配置は、絶縁体 580 の開口に対して、自己整合的に選択される。つまり、トランジスタ 500 において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体 560 を位置合わせのマージンを設けることなく形成することができるので、トランジスタ 500 の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

[0616]

さらに、導電体 560 が、導電体 542 a と導電体 542 b の間の領域に自己整合的に形成されるので、導電体 560 は、導電体 542 a 又は導電体 542 b と重畳する領域を有さない。これにより、導電体 560 と導電体 542 a 及び導電体 542 b との間に形成される寄生容量を低減することができる。よって、トランジスタ 500 のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

[0617]

導電体 560 は、第 1 のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体 503 は、第 2 のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体 503 に印加する電位を、導電体 560 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 500 のしきい値電圧を制御することができる。特に、導電体 503 に負の電位を印加することにより、トランジスタ 500 のしきい値電圧を 0 V より大きくし、オフ電流を低減することが可能となる。したがって、導電体 503 に負の電位を印加したほうが、印加しない場合よりも、導電体 560 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

[0618]

導電体 503 は、酸化物 530、及び導電体 560 と、重なるように配置する。これにより、導電体 560、及び導電体 503 に電位を印加した場合、導電体 560 から生じる電界と、導電体 503 から生じる電界と、がつながり、酸化物 530 に形成されるチャネル形成領域を覆うことができる。本明細書等において、第 1 のゲート電極、及び第 2 のゲート電極の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、`surrounded channel (S-channel)` 構造とよぶ。

[0619]

また、導電体503は、導電体518と同様の構成であり、絶縁体514及び絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。なお、トランジスタ500では、導電体503a及び導電体503bを積層する構成について示しているが、本発明の一態様はこれに限られるものではない。例えば、導電体503は、単層、又は3層以上の積層構造として設ける構成にしてもよい。

[0620]

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、すべての拡散を抑制する機能とする。

[0621]

例えば、導電体503aが酸素の拡散を抑制する機能を持つことにより、導電体503bが酸化して導電率が低下することを抑制することができる。

[0622]

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。その場合、導電体503aは、必ずしも設けなくともよい。なお、導電体503bを単層で図示したが、積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層としてもよい。

[0623]

絶縁体520、絶縁体522、及び絶縁体524は、第2のゲート絶縁膜としての機能を有する。

[0624]

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体524には、過剰酸素領域が形成されることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損を低減し、トランジスタ500の信頼性を向上させることができる。

[0625]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、又は 100°C 以上 400°C 以下の範囲が好ましい。

[0626]

また、上記過剰酸素領域を有する絶縁体と、酸化物530と、を接して加熱処理、マイクロ波処理、またはRF処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物530中の水、または水素を除去することができる。例えば、酸化物530において、 $\text{V}_\text{O}\text{H}$ の結合が切断される反応が起きる、別言すると「 $\text{V}_\text{O}\text{H} \rightarrow \text{V}_\text{O} + \text{H}$ 」という反応が起きて、脱水素化す

ることができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物530、または酸化物530近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体542a、及び導電体542bに拡散または捕獲（ゲッタリングともいう）される場合がある。

[0627]

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物530、または酸化物530近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を133Pa以上、好ましくは200Pa以上、さらに好ましくは400Pa以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比（ $O_2 / (O_2 + Ar)$ ）が50%以下、好ましくは10%以上30%以下で行うとよい。

[0628]

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100℃以上450℃以下、より好ましくは350℃以上400℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損（ V_O ）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気で行ってもよい。

[0629]

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_O + O \rightarrow null$ 」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合して V_OH が形成されるのを抑制することができる。

[0630]

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

[0631]

絶縁体522が、酸素や不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素は、絶縁体520側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524や、酸化物530が有する酸素と反応することを抑制することができる。

[0632]

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ $SrTiO_3$ ）、又は（Ba, Sr） TiO_3 （BST）

などのいわゆる *high-k* 材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体に *high-k* 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0633]

特に、不純物、及び酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウム的一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウム的一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

[0634]

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

[0635]

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好適である。また、*high-k* 材料の絶縁体と、酸化シリコン又は酸化窒化シリコンと、を組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体520を得ることができる。

[0636]

なお、図35A、及び図35Bのトランジスタ500では、3層の積層構造からなる第2のゲート絶縁膜として、絶縁体520、絶縁体522、及び絶縁体524が図示されているが、第2のゲート絶縁膜は、単層、2層、又は4層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0637]

トランジスタ500は、チャネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物530として、 $In-M-Zn$ 酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。特に、酸化物530として適用できる $In-M-Zn$ 酸化物は、CAAC-OS（*C-Axis Aligned Crystalline Oxide Semiconductor*）、CAC-OS（*Cloud-Aligned Composite Oxide Semiconductor*）であることが好ましい。また、酸化物530として、 $In-Ga$ 酸化物、 $In-Zn$ 酸化物、 In 酸化物などを用いてもよい。

[0638]

また、トランジスタ500には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属

酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0639]

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。また、酸化物530中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合し V_OH を形成する場合がある。 V_OH はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界などのストレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物530中の V_OH をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、 V_OH が十分低減された金属酸化物を得るには、金属酸化物中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。 V_OH などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0640]

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0641]

よって、金属酸化物を酸化物530に用いる場合、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0642]

また、酸化物530に金属酸化物を用いる場合、当該金属酸化物は、バンドギャップが高く、真性（I型ともいう。）、又は実質的に真性である半導体であって、かつチャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 未満であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、

チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0643]

また、酸化物530に金属酸化物を用いる場合、導電体542a及び導電体542bと酸化物530とが接することで、酸化物530中の酸素が導電体542a及び導電体542bへ拡散し、導電体542a及び導電体542bが酸化する場合がある。導電体542a及び導電体542bが酸化することで、導電体542a及び導電体542bの導電率が低下する蓋然性が高い。なお、酸化物530中の酸素が導電体542a及び導電体542bへ拡散することを、導電体542a及び導電体542bが酸化物530中の酸素を吸収する、と言い換えることができる。

[0644]

また、酸化物530中の酸素が導電体542a及び導電体542bへ拡散することで、導電体542aと酸化物530bとの間、および、導電体542bと酸化物530bとの間に異層が形成される場合がある。当該異層は、導電体542a及び導電体542bよりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体542a又は導電体542bと、当該異層と、酸化物530bとの3層構造は、金属－絶縁体－半導体からなる3層構造とみなすことができ、MIS (Metal-Insulator-Semiconductor) 構造と呼ぶ、またはMIS構造を主としたダイオード接合構造と呼ぶ場合がある。

[0645]

なお、上記異層は、導電体542a及び導電体542bと酸化物530bとの間に形成されることに限られず、例えば、異層が、導電体542a及び導電体542bと酸化物530cとの間に形成される場合や、導電体542a及び導電体542bと酸化物530bとの間、導電体542a及び導電体542bと酸化物530cとの間に形成される場合がある。

[0646]

酸化物530においてチャネル形成領域として機能する金属酸化物は、バンドギャップが2 eV以上、好ましくは2.5 eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0647]

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。また、酸化物530b上に酸化物530cを有することで、酸化物530cよりも上方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。

[0648]

なお、酸化物530は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物530cは、酸化物530a又は酸化物530bに用いること

ができる金属酸化物を、用いることができる。

[0649]

具体的には、酸化物530aとして、InとGaとZnとの原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 、または $1 : 1 : 0.5$ の金属酸化物を用いればよい。また、酸化物530bとして、InとGaとZnとの原子数比が $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ 、または $1 : 1 : 1$ の金属酸化物を用いればよい。また、酸化物530cとして、InとGaとZnとの原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 、またGaとZnの原子数比が $\text{Ga} : \text{Zn} = 2 : 1$ 、または $\text{Ga} : \text{Zn} = 2 : 5$ の金属酸化物を用いればよい。また、酸化物530cを積層構造とする場合の具体例としては、InとGaとZnとの原子数比が $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ と、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ との積層構造、またGaとZnの原子数比が $\text{Ga} : \text{Zn} = 2 : 1$ と、InとGaとZnとの原子数比が $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ との積層構造、GaとZnの原子数比が $\text{Ga} : \text{Zn} = 2 : 5$ と、InとGaとZnとの原子数比が $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ との積層構造、酸化ガリウムと、InとGaとZnとの原子数比が $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ との積層構造などが挙げられる。

[0650]

また、例えば、酸化物530aに用いる金属酸化物における元素Mに対するInの原子数比が、酸化物530bに用いる金属酸化物における元素Mに対するInの原子数比より小さい場合、酸化物530bとして、InとGaとZnとの原子数比が $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 6$ またはその近傍、 $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 3$ またはその近傍、 $\text{In} : \text{Ga} : \text{Zn} = 10 : 1 : 3$ またはその近傍などの組成であるIn-Ga-Zn酸化物を用いることができる。

[0651]

また、上述した以外の組成としては、酸化物530bには、例えば、 $\text{In} : \text{Zn} = 2 : 1$ の組成、 $\text{In} : \text{Zn} = 5 : 1$ の組成、 $\text{In} : \text{Zn} = 10 : 1$ の組成、これらのいずれか一の近傍の組成などを有する金属酸化物を用いることができる。

[0652]

これらの酸化物530a、酸化物530b、酸化物530cを上記の原子数比の関係を満たして組み合わせることが好ましい。例えば、酸化物530a、および酸化物530cを、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ の組成およびその近傍の組成を有する金属酸化物、酸化物530bを、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ から4.1の組成およびその近傍の組成を有する金属酸化物とするのが好ましい。なお、上記組成は、基体上に形成された酸化物中の原子数比、またはスパッタターゲットにおける原子数比を示す。また、酸化物530bの組成として、Inの比率を高めることで、トランジスタのオン電流、または電界効果移動度などを高めることができるため好適である。

[0653]

また、酸化物530a及び酸化物530cの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなるのが好ましい。また、言い換えると、酸化物530a及び酸化物530cの電子親和力が、酸化物530bの電子親和力より小さいのが好ましい。

[0654]

ここで、酸化物530a、酸化物530b、及び酸化物530cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530a、酸化物530b、及び酸化物530cの接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面、及び

酸化物 530b と酸化物 530c との界面において形成される混合層の欠陥準位密度を低くするとよい。

[0655]

具体的には、酸化物 530a と酸化物 530b、酸化物 530b と酸化物 530c が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 530b が $In-Ga-Zn$ 酸化物の場合、酸化物 530a 及び酸化物 530c として、 $In-Ga-Zn$ 酸化物、 $Ga-Zn$ 酸化物、酸化ガリウムなどを用いるとよい。

[0656]

このとき、キャリアの主たる経路は酸化物 530b となる。酸化物 530a、酸化物 530c を上述の構成とすることで、酸化物 530a と酸化物 530b との界面、及び酸化物 530b と酸化物 530c との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 500 は高いオン電流を得られる。

[0657]

酸化物 530b 上には、ソース電極、及びドレイン電極として機能する導電体 542a、及び導電体 542b が設けられる。導電体 542a、及び導電体 542b としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

[0658]

また、図 35A、及び図 35B では、導電体 542a、及び導電体 542b を単層構造として示したが、2 層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

[0659]

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

[0660]

また、図 35A に示すように、酸化物 530 の、導電体 542a（導電体 542b）との界面と

その近傍には、低抵抗領域として、領域 5 4 3 a、及び領域 5 4 3 b が形成される場合がある。このとき、領域 5 4 3 a はソース領域又はドレイン領域の一方として機能し、領域 5 4 3 b はソース領域又はドレイン領域の他方として機能する。また、領域 5 4 3 a と領域 5 4 3 b に挟まれる領域にチャネル形成領域が形成される。

[0661]

酸化物 5 3 0 と接するように上記導電体 5 4 2 a（導電体 5 4 2 b）を設けることで、領域 5 4 3 a（領域 5 4 3 b）の酸素濃度が低減する場合がある。また、領域 5 4 3 a（領域 5 4 3 b）に導電体 5 4 2 a（導電体 5 4 2 b）に含まれる金属と、酸化物 5 3 0 の成分とを含む金属化合物層が形成される場合がある。このような場合、領域 5 4 3 a（領域 5 4 3 b）のキャリア濃度が増加し、領域 5 4 3 a（領域 5 4 3 b）は、低抵抗領域となる。

[0662]

絶縁体 5 4 4 は、導電体 5 4 2 a、及び導電体 5 4 2 b を覆うように設けられ、導電体 5 4 2 a、及び導電体 5 4 2 b の酸化を抑制する。このとき、絶縁体 5 4 4 は、酸化物 5 3 0 の側面を覆い、絶縁体 5 2 4 と接するように設けられてもよい。

[0663]

絶縁体 5 4 4 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体 5 4 4 として、窒化酸化シリコン又は窒化シリコンなども用いることができる。

[0664]

特に、絶縁体 5 4 4 として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいことが好ましい。なお、導電体 5 4 2 a、及び導電体 5 4 2 b が耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない場合、絶縁体 5 4 4 は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0665]

絶縁体 5 4 4 を有することで、絶縁体 5 8 0 に含まれる水、及び水素などの不純物が酸化物 5 3 0 c、絶縁体 5 5 0 を介して、酸化物 5 3 0 b に拡散することを抑制することができる。また、絶縁体 5 8 0 が有する過剰酸素により、導電体 5 6 0 が酸化するのを抑制することができる。

[0666]

絶縁体 5 5 0 は、第 1 のゲート絶縁膜として機能する。絶縁体 5 5 0 は、酸化物 5 3 0 c の内側（上面、及び側面）に接して配置することが好ましい。絶縁体 5 5 0 は、上述した絶縁体 5 2 4 と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

[0667]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化

窒化シリコンは熱に対し安定であるため好ましい。

[0668]

加熱により酸素が放出される絶縁体を、絶縁体550として、酸化物530cの上面に接して設けることにより、絶縁体550から、酸化物530cを通じて、酸化物530bのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体524と同様に、絶縁体550中の水又は水素などの不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1nm以上20nm以下とするのが好ましい。

[0669]

また、絶縁体550が有する過剰酸素を、効率的に酸化物530へ供給するために、絶縁体550と導電体560との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体550から導電体560への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体550から導電体560への過剰酸素の拡散が抑制される。つまり、酸化物530へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体560の酸化を抑制することができる。当該金属酸化物としては、絶縁体544に用いることができる材料を用いればよい。

[0670]

なお、絶縁体550は、第2のゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0671]

第1のゲート電極として機能する導電体560は、図35A、及び図35Bでは2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0672]

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体550に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウムなどを用いることが好ましい。また、導電体560aとして、酸化物530に適用できる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体にすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

[0673]

また、導電体560bは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材

料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層構造としてもよい。

[0674]

絶縁体580は、絶縁体544を介して、導電体542a、及び導電体542b上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などを有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

[0675]

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体580を、酸化物530cと接して設けることで、絶縁体580中の酸素を、酸化物530cを通じて、酸化物530へと効率良く供給することができる。なお、絶縁体580中の水又は水素などの不純物濃度が低減されていることが好ましい。

[0676]

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

[0677]

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

[0678]

絶縁体574は、絶縁体580の上面、導電体560の上面、及び絶縁体550の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体550、及び絶縁体580へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

[0679]

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

[0680]

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

[0681]

また、絶縁体 574 の上に、層間膜として機能する絶縁体 581 を設けることが好ましい。絶縁体 581 は、絶縁体 524 などと同様に、膜中の水又は水素などの不純物濃度が低減されていることが好ましい。

[0682]

また、絶縁体 581、絶縁体 574、絶縁体 580、及び絶縁体 544 に形成された開口に、導電体 540a、及び導電体 540b を配置する。導電体 540a 及び導電体 540b は、導電体 560 を挟んで対向して設ける。導電体 540a 及び導電体 540b は、後述する導電体 546、及び導電体 548 と同様の構成である。

[0683]

絶縁体 581 上には、絶縁体 582 が設けられている。絶縁体 582 は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体 582 には、絶縁体 514 と同様の材料を用いることができる。例えば、絶縁体 582 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0684]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

[0685]

また、絶縁体 582 上には、絶縁体 586 が設けられている。絶縁体 586 は、絶縁体 320 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 586 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0686]

また、絶縁体 520、絶縁体 522、絶縁体 524、絶縁体 544、絶縁体 580、絶縁体 574、絶縁体 581、絶縁体 582、及び絶縁体 586 には、導電体 546、及び導電体 548 等が埋め込まれている。

[0687]

導電体 546、及び導電体 548 は、容量素子 600、トランジスタ 500、又はトランジスタ 300 と接続するプラグ、又は配線としての機能を有する。導電体 546、及び導電体 548 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[0688]

なお、トランジスタ 500 の形成後、トランジスタ 500 を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ 500 を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ 500 をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでよい。なお、トランジスタ 500 を囲むように開口を形成する場合、例えば、絶縁体 514 または絶縁体 522 に達する開口を形成し、絶縁体 514 または絶

縁体 5 2 2 に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ 5 0 0 の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体 5 2 2 と同様の材料を用いればよい。

[0 6 8 9]

続いて、トランジスタ 5 0 0 の上方には、容量素子 6 0 0 が設けられている。容量素子 6 0 0 は、導電体 6 1 0 と、導電体 6 2 0、絶縁体 6 3 0 とを有する。

[0 6 9 0]

また、導電体 5 4 6、及び導電体 5 4 8 上に、導電体 6 1 2 を設けてもよい。導電体 6 1 2 は、トランジスタ 5 0 0 と接続するプラグ、又は配線としての機能を有する。導電体 6 1 0 は、容量素子 6 0 0 の電極としての機能を有する。なお、導電体 6 1 2、及び導電体 6 1 0 は、同時に形成することができる。

[0 6 9 1]

導電体 6 1 2、及び導電体 6 1 0 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0 6 9 2]

図 3 3 では、導電体 6 1 2、及び導電体 6 1 0 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0 6 9 3]

絶縁体 6 3 0 を介して、導電体 6 1 0 と重畳するように、導電体 6 2 0 を設ける。なお、導電体 6 2 0 は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンをを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

[0 6 9 4]

導電体 6 2 0、及び絶縁体 6 3 0 上には、絶縁体 6 5 0 が設けられている。絶縁体 6 5 0 は、絶縁体 3 2 0 と同様の材料を用いて設けることができる。また、絶縁体 6 5 0 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0 6 9 5]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。又は、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

[0 6 9 6]

次に、図 3 3、及び図 3 4 に図示している、OS トランジスタの別の構成例について説明する。図 3 6 A、及び図 3 6 B は、図 3 5 A、及び図 3 5 B に示すトランジスタ 5 0 0 の変形例であって、

図36Aは、トランジスタ500のチャンネル長方向の断面図であり、図36Bはトランジスタ500のチャンネル幅方向の断面図である。なお、図36A、及び図36Bに示す構成は、トランジスタ300等、本発明の一態様の半導体装置が有する他のトランジスタにも適用することができる。

[0697]

図36A、及び図36Bに示す構成のトランジスタ500は、絶縁体402及び絶縁体404を有する点が、図35A、及び図35Bに示す構成のトランジスタ500と異なる。また、導電体540aの側面に接して絶縁体552が設けられ、導電体540bの側面に接して絶縁体552が設けられる点が、図35A、及び図35Bに示す構成のトランジスタ500と異なる。さらに、絶縁体520を有さない点が、図35A、及び図35Bに示す構成のトランジスタ500と異なる。

[0698]

図36A、及び図36Bに示す構成のトランジスタ500は、絶縁体512上に絶縁体402が設けられている。また、絶縁体574上、及び絶縁体402上に絶縁体404が設けられている。

[0699]

図36A、及び図36Bに示す構成のトランジスタ500では、絶縁体514、絶縁体516、絶縁体522、絶縁体524、絶縁体544、絶縁体580、及び絶縁体574が設けられており、絶縁体404がこれらを覆う構造になっている。つまり、絶縁体404は、絶縁体574の上面、絶縁体574の側面、絶縁体580の側面、絶縁体544の側面、絶縁体524の側面、絶縁体522の側面、絶縁体516の側面、絶縁体514の側面、絶縁体402の上面とそれぞれ接する。これにより、酸化物530等は、絶縁体404と絶縁体402によって外部から隔離される。

[0700]

絶縁体402及び絶縁体404は、水素（例えば、水素原子、水素分子などの少なくとも一）又は水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体402及び絶縁体404として、水素バリア性が高い材料である、窒化シリコン又は窒化酸化シリコンを用いることが好ましい。これにより、酸化物530に水素等が拡散することを抑制することができるので、トランジスタ500の特性が低下することを抑制することができる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

[0701]

絶縁体552は、絶縁体581、絶縁体404、絶縁体574、絶縁体580、及び絶縁体544に接して設けられる。絶縁体552は、水素又は水分子の拡散を抑制する機能を有することが好ましい。例えば、絶縁体552として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、又は窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるので、絶縁体552として用いると好適である。絶縁体552として水素バリア性が高い材料を用いることにより、水又は水素等の不純物が、絶縁体580等から導電体540a及び導電体540bを通じて酸化物530に拡散することを抑制することができる。また、絶縁体580に含まれる酸素が導電体540a及び導電体540bに吸収されることを抑制することができる。以上により、本発明の一態様の半導体装置の信頼性を高めることができる。

[0702]

図37は、トランジスタ500及びトランジスタ300を図36A、及び図36Bに示す構成とした場合における、半導体装置の構成例を示す断面図である。導電体546の側面に、絶縁体552が設けられている。

[0703]

また、図36A、及び図36Bに示すトランジスタ500は、状況に応じて、トランジスタの構成を変更してもよい。例えば、図36A、及び図36Bのトランジスタ500は、変更例として、図38に示すトランジスタにすることができる。図38Aはトランジスタのチャネル長方向の断面図であり、図38Bはトランジスタのチャネル幅方向の断面図である。図38A、及び図38Bに示すトランジスタは、酸化物530cが酸化物530c1及び酸化物530c2の2層構造である点で、図36A、及び図36Bに示すトランジスタと異なる。

[0704]

酸化物530c1は、絶縁体524の上面、酸化物530aの側面、酸化物530bの上面及び側面、導電体542a及び導電体542bの側面、絶縁体544の側面、及び絶縁体580の側面と接する。酸化物530c2は、絶縁体550と接する。

[0705]

酸化物530c1として、例えばIn-Zn酸化物を用いることができる。また、酸化物530c2として、酸化物530cが1層構造である場合に酸化物530cに用いることができる材料と同様の材料を用いることができる。例えば、酸化物530c2として、 $n:Ga:Zn=1:3:4$ [原子数比]、 $Ga:Zn=2:1$ [原子数比]、または $Ga:Zn=2:5$ [原子数比]の金属酸化物を用いることができる。

[0706]

酸化物530cを酸化物530c1及び酸化物530c2の2層構造とすることにより、酸化物530cを1層構造とする場合より、トランジスタのオン電流を高めることができる。そのため、トランジスタは、例えばパワーMOSトランジスタとして適用することができる。なお、図35A、及び図35Bに示す構成のトランジスタが有する酸化物530cも、酸化物530c1と酸化物530c2の2層構造とすることができる。

[0707]

図38A、及び図38Bに示す構成のトランジスタは、例えば、図33、図34に示すトランジスタ300に適用することができる。また、例えば、トランジスタ300は、前述のとおり、上記実施の形態で説明した演算回路110、演算回路120、演算回路140などに含まれる回路MPのトランジスタM1などに適用することができる。なお、図38A、及び図38Bに示すトランジスタは、本発明の一態様の半導体装置が有する、トランジスタ300、及びトランジスタ500以外のトランジスタにも適用することができる。

[0708]

図39は、トランジスタ500を図35Aに示すトランジスタの構成とし、トランジスタ300を図38Aに示すトランジスタ構成とした場合における、半導体装置の構成例を示す断面図である。なお、図37と同様に、導電体546の側面に絶縁体552を設ける構成としている。図39に示すように、本発明の一態様の半導体装置は、トランジスタ300とトランジスタ500を両方ともOSトランジスタとしつつ、トランジスタ300とトランジスタ500のそれぞれを異なる構成にすることができる。

[0709]

次に、図33、及び図34の半導体装置に適用できる容量素子について説明する。

[0710]

図40では、図33に示す半導体装置に適用できる容量素子600Aの一例として容量素子600Aについて示している。図40Aは容量素子600Aの上面図であり、図40Bは容量素子600Aの一点鎖線L3-L4における断面を示した斜視図であり、図40Cは容量素子600Aの一点鎖線W3-L4における断面を示した斜視図である。

[0711]

導電体610は、容量素子600Aの一对の電極の一方として機能し、導電体620は、容量素子600Aの一对の電極の他方として機能する。また、絶縁体630は、一对の電極に挟まれる誘電体として機能する。

[0712]

絶縁体630としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、酸化ジルコニウムなどを用いればよく、積層または単層で設けることができる。

[0713]

また、例えば、絶縁体630には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率(high-k)材料との積層構造を用いてもよい。当該構成により、容量素子600Aは、高誘電率(high-k)の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子600Aの静電破壊を抑制することができる。

[0714]

なお、高誘電率(high-k)材料(高い比誘電率の材料)の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

[0715]

または、絶縁体630は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO_3)または(Ba, Sr) TiO_3 (BST)などのhigh-k材料を含む絶縁体を単層または積層で用いてもよい。例えば、絶縁体630を積層とする場合、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、が順に形成された3層積層や、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、酸化アルミニウムと、が順に形成された4層積層などを用いれば良い。また、絶縁体630としては、ハフニウムと、ジルコニウムとが含まれる化合物などを用いても良い。半導体装置の微細化、および高集積化が進むと、ゲート絶縁体、および容量素子に用いる誘電体の薄膜化により、トランジスタや容量素子のリーク電流などの問題が生じる場合がある。ゲート絶縁体、および容量素子に用いる誘電体として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、および容量素子の容量の確保が可能となる。

[0716]

容量素子600は、導電体610の下部において、導電体546と、導電体548とに電氣的に接続されている。導電体546と、導電体548は、別の回路素子と接続するためのプラグ、又は配線として機能する。また図40A乃至図40Cでは、導電体546と、導電体548と、をまと

めて導電体540と記載している。

[0717]

また、図40A乃至図40Cでは、図を明瞭に示すために、導電体546及び導電体548が埋め込まれている絶縁体586と、導電体620及び絶縁体630を覆っている絶縁体650と、を省略している。

[0718]

なお、図33、図34、図40A乃至図40Cに示す容量素子600はプレーナ型であるが、容量素子の形状はこれに限定されない。例えば、容量素子600は、図41A乃至図41Cに示すシリンドラ型の容量素子600Bとしてもよい。

[0719]

図41Aは容量素子600Bの上面図であり、図41Bは容量素子600Bの一点鎖線L3-L4における断面図であり、図41Cは容量素子600Bの一点鎖線W3-L4における断面を示した斜視図である。

[0720]

図41Bにおいて、容量素子600Bは、導電体540が埋め込まれている絶縁体586上の絶縁体631と、開口部を有する絶縁体651と、一対の電極の一方として機能する導電体610と、一対の電極の他方として機能する導電体620と、を有する。

[0721]

また、図41Cでは、図を明瞭に示すために、絶縁体586と、絶縁体650と、絶縁体651と、を省略している。

[0722]

絶縁体631としては、例えば、絶縁体586と同様の材料を用いることができる。

[0723]

また、絶縁体631には、導電体540に電氣的に接続されるように導電体611が埋め込まれている。導電体611は、例えば、導電体330、導電体518と同様の材料を用いることができる。

[0724]

絶縁体651としては、例えば、絶縁体586と同様の材料を用いることができる。

[0725]

また、絶縁体651は、前述の通り、開口部を有し、当該開口部は導電体611に重畳している。

[0726]

導電体610は、当該開口部の底部と、側面と、に形成されている。つまり、導電体610は、導電体611に重畳し、かつ導電体611に電氣的に接続されている。

[0727]

なお、導電体610の形成方法としては、エッチング法などによって絶縁体651に開口部を形成し、次に、スパッタリング法、ALD法などによって導電体610を成膜する。その後、CMP (Chemical Mechanical Polishing) 法などによって、開口部に成膜された導電体610を残して、絶縁体651上に成膜された導電体610を除去すればよい。

[0728]

絶縁体630は、絶縁体651上と、導電体610の形成面上と、に位置する。なお、絶縁体6

30は、容量素子において、一対の電極に挟まれる誘電体として機能する。

[0729]

導電体620は、絶縁体651の開口部が埋まるように、絶縁体630上に形成されている。

[0730]

絶縁体650は、絶縁体630と、導電体620と、を覆うように形成されている。

[0731]

図41A乃至図41Cに示すシリンダ型の容量素子600Bは、プレーナ型の容量素子600Aよりも静電容量の値を高くすることができる。そのため、例えば、上記の実施の形態で説明した容量C1などとして、容量素子600Bを適用することによって、長時間、容量の端子間の電圧を維持することができる。

[0732]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0733]

(実施の形態6)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化物（以下、酸化物半導体ともいう。）について説明する。

[0734]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

[0735]

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図42Aを用いて説明を行う。図42Aは、酸化物半導体、代表的にはIGZO（Inと、Gaと、Znと、を含む金属酸化物）の結晶構造の分類を説明する図である。

[0736]

図42Aに示すように、酸化物半導体は、大きく分けて「Amorphous（無定形）」と、「Crystalline（結晶性）」と、「Crystal（結晶）」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、及びCAC（cloud-aligned composite）が含まれる（excluding single crystal and poly crystal）。なお、「Crystalline」の分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

[0737]

なお、図42Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crysta

l (結晶)」との間の中間状態であり、新しい境界領域 (New crystalline phase) に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous (無定形)」や、「Crystal (結晶)」とは全く異なる構造と言い換えることができる。
[0738]

なお、膜または基板の結晶構造は、X線回折 (XRD: X-Ray Diffraction) スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD (Grazing-Incidence XRD) 測定で得られるXRDスペクトルを図42Bに示す (縦軸は強度 (Intensity) を任意単位 (a. u.) で表している)。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図42Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図42Bに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3 [原子数比] 近傍である。また、図42Bに示すCAAC-IGZO膜の厚さは、500nmである。
[0739]

図42Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図42Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。
[0740]

また、膜または基板の結晶構造は、極微電子線回折法 (NBED: Nano Beam Electron Diffraction) によって観察される回折パターン (極微電子線回折パターンともいう。) にて評価することができる。CAAC-IGZO膜の回折パターンを、図42Cに示す。図42Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図42Cに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3 [原子数比] 近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。
[0741]

図42Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。
[0742]

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図42Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、などが含まれる。
[0743]

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。
[0744]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0745]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0746]

また、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M，Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M，Zn）層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0747]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

[0748]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

[0749]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0750]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0751]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0752]

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0753]

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

[0754]

<<酸化物半導体の構成>>

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

[0755]

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0756]

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0757]

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

[0758]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

[0759]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0760]

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

[0761]

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSは、材料の一部では導電性の

機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流 (I_{on})、高い電界効果移動度 (μ)、および良好なスイッチング動作を実現することができる。

[0762]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0763]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0764]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0765]

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

[0766]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0767]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0768]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0769]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0770]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体

において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0771]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0772]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0773]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[0774]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0775]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0776]

(実施の形態7)

本実施の形態は、上記実施の形態に示す半導体装置などが形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

[0777]

<半導体ウェハ>

初めに、半導体装置などが形成された半導体ウェハの例を、図43Aを用いて説明する。

[0778]

図43Aに示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

[0779]

半導体ウェハ4800は、ウェハ4801の表面に対して、前工程によって複数の回路部4802を形成することで作製することができる。また、その後、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801の薄膜化をしてもよい。この工程により、ウェハ4801の反りなどを低減し、部品としての小型化を図ることができる。

[0780]

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインSCL1及びスクライブラインSCL2（ダイシングライン、又は切断ラインと呼ぶ場合がある）に沿って行われる。なお、スペーシング4803は、ダイシング工程を容易に行うために、複数のスクライブラインSCL1が平行になるように設け、複数のスクライブラインSCL2が平行になるように設け、スクライブラインSCL1とスクライブラインSCL2が垂直になるように設けるのが好ましい。

[0781]

ダイシング工程を行うことにより、図43Bに示すようなチップ4800aを、半導体ウェハ4800から切り出すことができる。チップ4800aは、ウェハ4801aと、回路部4802と、スペーシング4803aと、を有する。なお、スペーシング4803aは、極力小さくなるようにするのが好ましい。この場合、隣り合う回路部4802の間のスペーシング4803の幅が、スクライブラインSCL1の切りしろと、又はスクライブラインSCL2の切りしろとほぼ同等の長さであればよい。

[0782]

なお、本発明の一態様の素子基板の形状は、図43Aに図示した半導体ウェハ4800の形状に限定されない。例えば、矩形状の半導体ウェハであってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

[0783]

<電子部品>

図43Cに電子部品4700および電子部品4700が実装された基板（実装基板4704）の斜視図を示す。図43Cに示す電子部品4700は、モールド4711内にチップ4800aを有している。なお、図43Cに示すチップ4800aには、回路部4802が積層された構成を示している。つまり、回路部4802として、上記の実施の形態で説明した半導体装置を適用することができる。図43Cは、電子部品4700の内部を示すために、一部を省略している。電子部品4700は、モールド4711の外側にランド4712を有する。ランド4712は電極パッド4713と電気的に接続され、電極パッド4713はチップ4800aとワイヤ4714によって電気的に接続されている。電子部品4700は、例えばプリント基板4702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板4702上で電気的に接続されることで実装基板4704が完成する。

[0784]

図43Dに電子部品4730の斜視図を示す。電子部品4730は、SiP（System i

n package) またはMCM (Multi Chip Module) の一例である。電子部品4730は、パッケージ基板4732 (プリント基板) 上にインターポーザ4731が設けられ、インターポーザ4731上に半導体装置4735、および複数の半導体装置4710が設けられている。

[0785]

電子部品4730では、半導体装置4710を有する。半導体装置4710としては、例えば、上記実施の形態で説明した半導体装置、広帯域メモリ (HBM: High Bandwidth Memory) などとすることができる。また、半導体装置4735は、CPU、GPU、FPGA、記憶装置などの集積回路 (半導体装置) を用いることができる。

[0786]

パッケージ基板4732は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ4731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0787]

インターポーザ4731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ4731は、インターポーザ4731上に設けられた集積回路をパッケージ基板4732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ4731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板4732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV (Through Silicon Via) を用いることもできる。

[0788]

インターポーザ4731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0789]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0790]

また、シリコンインターポーザを用いたSiPやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ (2.5次元実装) では、シリコンインターポーザを用いることが好ましい。

[0791]

また、電子部品4730と重ねてヒートシンク (放熱板) を設けてもよい。ヒートシンクを設ける場合は、インターポーザ4731上に設ける集積回路の高さを揃えることが好ましい。例えば、

本実施の形態に示す電子部品 4 7 3 0 では、半導体装置 4 7 1 0 と半導体装置 4 7 3 5 の高さを揃えることが好ましい。

[0 7 9 2]

電子部品 4 7 3 0 を他の基板に実装するため、パッケージ基板 4 7 3 2 の底部に電極 4 7 3 3 を設けてもよい。図 4 3 D では、電極 4 7 3 3 を半田ボールで形成する例を示している。パッケージ基板 4 7 3 2 の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極 4 7 3 3 を導電性のピンで形成してもよい。パッケージ基板 4 7 3 2 の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。

[0 7 9 3]

電子部品 4 7 3 0 は、BGA および PGA に限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QFJ (Quad Flat J-leaded package)、または QFN (Quad Flat Non-leaded package) などの実装方法を用いることができる。

[0 7 9 4]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0 7 9 5]

(実施の形態 8)

本実施の形態では、上記実施の形態で説明した半導体装置を有する電子機器の一例について説明する。なお、図 4 4 には、当該半導体装置を有する電子部品 4 7 0 0 (BMP、ブレインモーフィックプロセッサなどと呼ばれる場合がある) が各電子機器に含まれている様子を図示している。

[0 7 9 6]

[携帯電話]

図 4 4 に示す情報端末 5 5 0 0 は、情報端末の一種である携帯電話 (スマートフォン) である。情報端末 5 5 0 0 は、筐体 5 5 1 0 と、表示部 5 5 1 1 と、を有しており、入力用インターフェースとして、タッチパネルが表示部 5 5 1 1 に備えられ、ボタンが筐体 5 5 1 0 に備えられている。

[0 7 9 7]

情報端末 5 5 0 0 は、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部 5 5 1 1 に表示するアプリケーション、表示部 5 5 1 1 に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部 5 5 1 1 に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

[0 7 9 8]

[ウェアラブル端末]

また、図 4 4 には、ウェアラブル端末の一例としてスマートウォッチ 5 9 0 0 が図示されている。スマートウォッチ 5 9 0 0 は、筐体 5 9 0 1、表示部 5 9 0 2、操作ボタン 5 9 0 3、操作子 5 9 0 4、バンド 5 9 0 5 などを有する。

[0 7 9 9]

ウェアラブル端末は、先述した情報端末 5500 と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、ウェアラブル端末を装着した人の健康状態を管理するアプリケーション、目的地を入力することで最適な道を選択して誘導するナビゲーションシステムなどが挙げられる。

[0800]

[情報端末]

また、図 44 には、デスクトップ型情報端末 5300 が図示されている。デスクトップ型情報端末 5300 は、情報端末の本体 5301 と、ディスプレイ 5302 と、キーボード 5303 と、を有する。

[0801]

デスクトップ型情報端末 5300 は、先述した情報端末 5500 と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、デスクトップ型情報端末 5300 を用いることで、新規の人工知能の開発を行うことができる。

[0802]

なお、上述では、電子機器としてスマートフォン、及びデスクトップ用情報端末を例として、それぞれ図 44 に図示したが、スマートフォン、及びデスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、及びデスクトップ用情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、ノート型情報端末、ワークステーションなどが挙げられる。

[0803]

[電化製品]

また、図 44 には、電化製品の一例として電気冷凍冷蔵庫 5800 が図示されている。電気冷凍冷蔵庫 5800 は、筐体 5801、冷蔵室用扉 5802、冷凍室用扉 5803 等を有する。

[0804]

電気冷凍冷蔵庫 5800 に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する電気冷凍冷蔵庫 5800 を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫 5800 は、電気冷凍冷蔵庫 5800 に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫 5800 に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

[0805]

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0806]

[ゲーム機]

また、図 44 には、ゲーム機の一例である携帯ゲーム機 5200 が図示されている。携帯ゲーム

機５２００は、筐体５２０１、表示部５２０２、ボタン５２０３等を有する。

[０８０７]

更に、図４４には、ゲーム機の一例である据え置き型ゲーム機７５００が図示されている。据え置き型ゲーム機７５００は、本体７５２０と、コントローラ７５２２を有する。なお、本体７５２０には、無線または有線によってコントローラ７５２２を接続することができる。また、図４４に示していないが、コントローラ７５２２は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネルやスティック、回転式つまみ、スライド式つまみなどを備えることができる。また、コントローラ７５２２は、図４４に示す形状に限定されず、ゲームのジャンルに応じて、コントローラ７５２２の形状を様々に変更してもよい。例えば、FPS（First Person Shooter）などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、及び／又は音声によって操作する形式としてもよい。

[０８０８]

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

[０８０９]

携帯ゲーム機５２００に上記実施の形態で説明した半導体装置を適用することによって、低消費電力の携帯ゲーム機５２００を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[０８１０]

更に、携帯ゲーム機５２００に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する携帯ゲーム機５２００を実現することができる。

[０８１１]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機５２００に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

[０８１２]

また、携帯ゲーム機５２００で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、１人でもゲームを行うことができる。

[０８１３]

図４４では、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、家庭用の据え置き型ゲーム機、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に

設置されるバッティング練習用の投球マシンなどが挙げられる。

[0814]

[移動体]

上記実施の形態で説明した半導体装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

[0815]

図44には移動体の一例である自動車5700が図示されている。

[0816]

自動車5700の運転席周辺には、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することができるインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

[0817]

特に当該表示装置には、自動車5700に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを補うことができ、安全性を高めることができる。

[0818]

上記実施の形態で説明した半導体装置は人工知能の構成要素として適用できるため、例えば、当該コンピュータを自動車5700の自動運転システムに用いることができる。また、当該半導体装置を道路案内、危険予測などを行うシステムに用いることができる。当該表示装置には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0819]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様の半導体装置を適用して、人工知能を利用したシステムを付与することができる。

[0820]

[カメラ]

上記実施の形態で説明した半導体装置は、カメラに適用することができる。

[0821]

図44には、撮像装置の一例であるデジタルカメラ6240が図示されている。デジタルカメラ6240は、筐体6241、表示部6242、操作ボタン6243、シャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置や、ビューファインダー等を別途装着することができる構成としてもよい。

[0822]

デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響

を少なくすることができる。

[0823]

更に、デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有するデジタルカメラ6240を実現することができる。人工知能を利用することによって、デジタルカメラ6240は、顔、物体など被写体を自動的に認識する機能、又は当該被写体に合わせたピント調節、環境に合わせて自動的にフラッシュを焚く機能、撮像した画像を調色する機能などを有することができる。

[0824]

[ビデオカメラ]

上記実施の形態で説明した半導体装置は、ビデオカメラに適用することができる。

[0825]

図44には、撮像装置の一例であるビデオカメラ6300が図示されている。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作キー6304、レンズ6305、接続部6306等を有する。操作キー6304及びレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

[0826]

ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。人工知能を利用することによって、ビデオカメラ6300は、エンコードの際に、人工知能によるパターン認識を行うことができる。このパターン認識によって、連続する撮像画像データに含まれる人、動物、物体などの差分データを算出して、データの圧縮を行うことができる。

[0827]

[PC用の拡張デバイス]

上記実施の形態で説明した半導体装置は、PC（Personal Computer）などの計算機、情報端末用の拡張デバイスに適用することができる。

[0828]

図45Aは、当該拡張デバイスの一例として、持ち運びのできる、演算処理が可能なチップが搭載された、PCに外付けする拡張デバイス6100を示している。拡張デバイス6100は、例えば、USB（Universal Serial Bus）などでPCに接続することで、当該チップによる演算処理を行うことができる。なお、図45Aは、持ち運びが可能な形態の拡張デバイス6100を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファンなどを搭載した比較的大きな形態の拡張デバイスとしてもよい。

[0829]

拡張デバイス6100は、筐体6101、キャップ6102、USBコネクタ6103及び基板6104を有する。基板6104は、筐体6101に収納されている。基板6104には、上記実施の形態で説明した半導体装置などを駆動する回路が設けられている。例えば、基板6104には、チップ6105（例えば、上記実施の形態で説明した半導体装置、電子部品4700、メモリチッ

プなど。)、コントローラチップ6106が取り付けられている。USBコネクタ6103は、外部装置と接続するためのインターフェースとして機能する。

[0830]

拡張デバイス6100をPCなど用いることにより、当該PCの演算処理能力を高くすることができる。これにより、処理能力の足りないPCでも、例えば、人工知能、動画処理などの演算を行うことができる。

[0831]

[放送システム]

上記実施の形態で説明した半導体装置は、放送システムに適用することができる。

[0832]

図45Bは、放送システムにおけるデータ伝送を模式的に示している。具体的には、図45Bは、放送局5680から送信された電波（放送信号）が、各家庭のテレビジョン受信装置（TV）5600に届くまでの経路を示している。TV5600は、受信装置を備え（図示しない。）、アンテナ5650で受信された放送信号は、当該受信装置を介して、TV5600に送信される。

[0833]

図45Bでは、アンテナ5650は、UHF（Ultra High Frequency）アンテナを図示しているが、アンテナ5650としては、BS・110°CSアンテナ、CSアンテナなども適用できる。

[0834]

電波5675A、電波5675Bは地上波放送用の放送信号であり、電波塔5670は受信した電波5675Aを増幅して、電波5675Bの送信を行う。各家庭では、アンテナ5650で電波5675Bを受信することで、TV5600で地上波放送を視聴することができる。なお、放送システムは、図45Bに示す地上波放送に限定せず、人工衛星を用いた衛星放送、光回線によるデータ放送などとしてもよい。

[0835]

上述した放送システムは、上記実施の形態で説明した半導体装置を適用して、人工知能を利用した放送システムとしてもよい。放送局5680から各家庭のTV5600に放送データを送信するとき、エンコーダによって放送データの圧縮が行われ、アンテナ5650が当該放送データを受信したとき、TV5600に含まれる受信装置のデコーダによって当該放送データの復元が行われる。人工知能を利用することによって、例えば、エンコーダの圧縮方法の一である動き補償予測において、表示画像に含まれる表示パターンの認識を行うことができる。また、人工知能を利用したフレーム内予測などを行うこともできる。また、例えば、解像度の低い放送データを受信して、解像度の高いTV5600で当該放送データの表示を行うとき、デコーダによる放送データの復元において、アップコンバートなどの画像の補間処理を行うことができる。

[0836]

上述した人工知能を利用した放送システムは、放送データの量が増大する超高精細度テレビジョン（UHDTV：4K、8K）放送に対して好適である。

[0837]

また、TV5600側における人工知能の応用として、例えば、TV5600に人工知能を有する録画装置を設けてもよい。このような構成にすることによって、当該録画装置にユーザの好みを

人工知能に学習させることで、ユーザの好みにあった番組を自動的に録画することができる。

[0838]

[認証システム]

上記実施の形態で説明した半導体装置は、認証システムに適用することができる。

[0839]

図45Cは、掌紋認証装置を示しており、筐体6431、表示部6432、掌紋読み取り部6433、配線6434を有している。

[0840]

図45Cには、掌紋認証装置が手6435の掌紋を取得する様子を示している。取得した掌紋は、人工知能を利用したパターン認識の処理が行われ、当該掌紋が本人のものであるかどうかの判別を行うことができる。これにより、セキュリティの高い認証を行うシステムを構築することができる。また、本発明の一態様に係る認証システムは、掌紋認証装置に限定されず、指紋、静脈、顔、虹彩、声紋、遺伝子、体格などの生体情報を取得して生体認証を行う装置であつてもよい。

[0841]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[符号の説明]

[0842]

$N_1^{(1)}$: ニューロン、 $N_p^{(1)}$: ニューロン、 $N_1^{(k-1)}$: ニューロン、 $N_i^{(k-1)}$: ニューロン、 $N_m^{(k-1)}$: ニューロン、 $N_1^{(k)}$: ニューロン、 $N_j^{(k)}$: ニューロン、 $N_n^{(k)}$: ニューロン、 $N_1^{(R)}$: ニューロン、 $N_q^{(R)}$: ニューロン、ALP : アレイ部、ILD : 回路、WLD : 回路、XLD : 回路、AFP : 回路、MP : 回路、MP[1, 1] : 回路、MP[m, 1] : 回路、MP[1, n] : 回路、MP[m, n] : 回路、MP[i, j] : 回路、MC : 回路、MCr : 回路、HC : 保持部、HCr : 保持部、ACTF[1] : 回路、ACTF[j] : 回路、ACTF[n] : 回路、ISC : 電流源回路、IVTR : 回路、IVTRr : 回路、AC : 回路、ACM : 回路、ACP : 回路、TW[1] : 切り替え回路、TW[j] : 切り替え回路、TW[n] : 切り替え回路、IL[1] : 配線、IL[j] : 配線、IL[n] : 配線、ILB[1] : 配線、ILB[j] : 配線、ILB[n] : 配線、OL[1] : 配線、OL[j] : 配線、OL[n] : 配線、OLB[1] : 配線、OLB[j] : 配線、OLB[n] : 配線、WLS[1] : 配線、WLS[i] : 配線、WLS[m] : 配線、XLS[1] : 配線、XLS[i] : 配線、XLS[m] : 配線、WL[i] : 配線、W1L[i] : 配線、W2L[i] : 配線、XL[i] : 配線、X1L[i] : 配線、X2L[i] : 配線、WX1L[i] : 配線、VE[j] : 配線、VEr[j] : 配線、VCN : 配線、VCN2 : 配線、VCN3 : 配線、VCN4 : 配線、VCN5 : 配線、VSO : 配線、VB : 配線、Vref1L : 配線、Vref2L : 配線、SRL1 : 配線、SRL2-1 : 配線、SRL2-2 : 配線、SRL3 : 配線、mbt1 : 端子、mbt2 : 端子、mbt1m : 端子、mbt2m : 端子、mbt1p : 端子、mbt2p : 端子、TSa : 端子、TSaB : 端子、TSb : 端子、TSbB : 端子、TSb1 : 端子、TSbB1 : 端子、TSb2 : 端子、TSbB2 : 端子、TSb3 : 端子、TSbB3 : 端子、TSc : 端子、TScB : 端子、T1 : 端子、T2 : 端子、n1 : ノード、n1r : ノード、n4 : ノード、n4r : ノード、n5 : ノード、n5r : ノード、ina : ノード、inb : ノード、outa : ノード、outb : ノード、SWIA : スイッチ、SWIAB : スイッチ、SWLA : スイッチ、SWLAB : スイッチ、SWC

1 : スイッチ、SWC 2 : スイッチ、SWC 3 : スイッチ、SWR 1 : スイッチ、SWR 1 B : スイッチ、SWR 1 M : スイッチ、SWR 1 MB : スイッチ、SWR 1 P : スイッチ、SWR 1 P B : スイッチ、SWR 2 : スイッチ、SWR 2 B : スイッチ、SWR 2 M : スイッチ、SWR 2 M B : スイッチ、SWR 2 P : スイッチ、SWR 2 P B : スイッチ、SWR 3 : スイッチ、SWR 3 B : スイッチ、SWR 4 : スイッチ、SWR 4 B : スイッチ、SWR 5 : スイッチ、SWR 6 : スイッチ、SWR 6 B : スイッチ、SWR 7 : スイッチ、SWR 7 B : スイッチ、SWI : スイッチ、SWI B : スイッチ、SWO : スイッチ、SWO B : スイッチ、SWL : スイッチ、SWL B : スイッチ、SWH : スイッチ、SWH B : スイッチ、ISC 1 : 定電流源回路、ISC 2 : 定電流源回路、ISC 3 : 定電流源回路、CRE : 容量、CREM : 容量、CREP : 容量、CRT : 容量、CRTB : 容量、RRT : 抵抗、RRTB : 抵抗、LE : 負荷、LEB : 負荷、LEA : 負荷、LEEAB : 負荷、OP : オペアンプ、OPB : オペアンプ、OPA : オペアンプ、CRET : トランジスタ、M1 : トランジスタ、M1 r : トランジスタ、M1 p : トランジスタ、M1 p r : トランジスタ、M1 0 : トランジスタ、M1 0 r : トランジスタ、M1 1 : トランジスタ、M1 1 r : トランジスタ、M1 2 : トランジスタ、M1 2 r : トランジスタ、M1 3 : トランジスタ、M1 3 r : トランジスタ、M1 4 : トランジスタ、M1 4 r : トランジスタ、NTr : トランジスタ、PTr : トランジスタ、C1 : 容量、C1 r : 容量、C5 : 容量、C5 r : 容量、C6 : 容量、C6 r : 容量、C7 : 容量、C7 r : 容量、S2 : スイッチ、S2 r : スイッチ、S3 : スイッチ、S3 r : スイッチ、S4 : スイッチ、S4 r : スイッチ、S5 : スイッチ、S5 r : スイッチ、AS3 : アナログスイッチ、AS3 r : アナログスイッチ、AS4 : アナログスイッチ、AS4 r : アナログスイッチ、RM : 抵抗変化素子、RM r : 抵抗変化素子、MR : MTJ 素子、MR r : MTJ 素子、PCM1 : 相変化メモリ、PCM1 r : 相変化メモリ、IVRS : インバータループ回路、IVRS r : インバータループ回路、IV1 : インバータ回路、IV1 r : インバータ回路、IV2 : インバータ回路、IV2 r : インバータ回路、IL : 配線、ILB : 配線、OL : 配線、OLB : 配線、WL : 配線、W1L : 配線、W2L : 配線、X1L : 配線、X2L : 配線、X1LB : 配線、X2LB : 配線、WX1L : 配線、WR1L : 配線、WR2L : 配線、RL : 配線、VE : 配線、VE r : 配線、VE m : 配線、VE m r : 配線、VEA : 配線、VEA r : 配線、HL : 配線、HL r : 配線、MZ : トランジスタ、M20 : トランジスタ、M20 r : トランジスタ、VL : 配線、NM : 回路、NM r : 回路、100 : ニューラルネットワーク、110 : 演算回路、110A : 演算回路、120 : 演算回路、130 : 演算回路、130A : 演算回路、140 : 演算回路、150 : 演算回路、300 : トランジスタ、311 : 基板、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、330 : 導電体、350 : 絶縁体、352 : 絶縁体、354 : 絶縁体、356 : 導電体、360 : 絶縁体、362 : 絶縁体、364 : 絶縁体、366 : 導電体、370 : 絶縁体、372 : 絶縁体、374 : 絶縁体、376 : 導電体、380 : 絶縁体、382 : 絶縁体、384 : 絶縁体、386 : 導電体、402 : 絶縁体、404 : 絶縁体、500 : トランジスタ、503 : 導電体、503a : 導電体、503b : 導電体、505 : 導電体、510 : 絶縁体、512 : 絶縁体、514 : 絶縁体、516 : 絶縁体、518 : 導電体、520 : 絶縁体、522 : 絶縁体、524 : 絶縁体、530 : 酸化物、530a : 酸化物、530b : 酸化物、530c : 酸化物、530c1 : 酸化物、530c2 : 酸化物、540 : 導電体、540a : 導電体、540b : 導電体、542a : 導電体、542b : 導電体、543a : 領

域、543b：領域、544：絶縁体、546：導電体、548：導電体、550：絶縁体、552：絶縁体、560：導電体、560a：導電体、560b：導電体、574：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、586：絶縁体、600：容量素子、600A：容量素子、600B：容量素子、610：導電体、611：導電体、612：導電体、620：導電体、621：導電体、630：絶縁体、631：絶縁体、650：絶縁体、651：絶縁体、4700：電子部品、4702：プリント基板、4704：実装基板、4710：半導体装置、4730：電子部品、4731：インターポーザ、4732：パッケージ基板、4733：電極、4735：半導体装置、4800：半導体ウェハ、4800a：チップ、4801：ウェハ、4801a：ウェハ、4802：回路部、4803：スペーシング、4803a：スペーシング、5200：携帯ゲーム機、5201：筐体、5202：表示部、5203：ボタン、5300：デスクトップ型情報端末、5301：本体、5302：ディスプレイ、5303：キーボード、5500：情報端末、5510：筐体、5511：表示部、5600：TV、5650：アンテナ、5670：電波塔、5675A：電波、5675B：電波、5680：放送局、5700：自動車、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵室用扉、5803：冷凍室用扉、5901：筐体、5902：表示部、5903：操作ボタン、5904：操作子、5905：バンド、6100：拡張デバイス、6101：筐体、6102：キャップ、6103：USBコネクタ、6104：基板、6105：チップ、6106：コントローラチップ、6240：デジタルカメラ、6241：筐体、6242：表示部、6243：操作ボタン、6244：シャッターボタン、6246：レンズ、6300：ビデオカメラ、6301：第1筐体、6302：第2筐体、6303：表示部、6304：操作キー、6305：レンズ、6306：接続部、6431：筐体、6432：表示部、6433：掌紋読み取り部、6434：配線、6435：手、7500：据え置き型ゲーム機、7520：本体、7522：コントローラ

請求の範囲

[請求項 1]

セルと、第 1 回路と、を有し、

前記第 1 回路は、第 1 容量と、第 1 入力端子と、第 2 入力端子と、を有し、

前記セルは、第 1 配線を介して、前記第 1 入力端子に電氣的に接続され、

前記セルは、第 2 配線を介して、前記第 2 入力端子に電氣的に接続され、

前記セルは、

第 1 データを保持する機能と、

前記セルに第 2 データが入力されることによって、前記セルと前記第 1 配線との間に前記第 1 データと前記第 2 データとに応じた第 1 電流を流し、かつ前記セルと前記第 2 配線との間に前記第 1 データと前記第 2 データとに応じた第 2 電流を流す機能と、を有し、

前記第 1 容量は、前記第 1 電流に応じた第 1 電位と、前記第 2 電流に応じた第 2 電位と、の差分電圧を保持する機能を有する、

半導体装置。

[請求項 2]

請求項 1 において、

前記第 1 回路は、第 2 回路を有し、

前記第 2 回路は、前記差分電圧を取得して、前記差分電圧に応じた信号を出力する機能を有する、半導体装置。

[請求項 3]

請求項 2 において、

前記第 1 回路は、第 1 電流電圧変換回路と、第 2 電流電圧変換回路と、第 1 スイッチと、第 2 スイッチと、第 3 スイッチと、第 4 スイッチと、を有し、

前記第 1 入力端子は、前記第 1 スイッチの第 1 端子と、前記第 1 電流電圧変換回路の第 1 端子と、に電氣的に接続され、

前記第 1 スイッチの第 2 端子は、前記第 2 スイッチの第 1 端子と、前記第 1 容量の第 1 端子と、に電氣的に接続され、

前記第 2 入力端子は、前記第 3 スイッチの第 1 端子と、前記第 2 電流電圧変換回路の第 1 端子と、に電氣的に接続され、

前記第 3 スイッチの第 2 端子は、前記第 4 スイッチの第 1 端子と、前記第 1 容量の第 2 端子と、に電氣的に接続され、

前記第 4 スイッチの第 2 端子は、前記第 2 回路の第 1 端子に電氣的に接続され、

前記第 1 電流電圧変換回路は、前記第 1 電流電圧変換回路の第 1 端子に入力された前記第 1 電流に応じて、前記第 1 電流電圧変換回路の第 1 端子の電位を前記第 1 電位にする機能を有し、

前記第 2 電流電圧変換回路は、前記第 2 電流電圧変換回路の第 1 端子に入力された前記第 2 電流に応じて、前記第 2 電流電圧変換回路の第 1 端子の電位を前記第 2 電位にする機能を有する、

半導体装置。

[請求項 4]

請求項 3 において、

前記第 2 スイッチの第 2 端子は、基準電位を与える第 3 配線に電氣的に接続され、

前記第1回路は、

前記第1スイッチと、前記第3スイッチと、をオン状態にし、前記第2スイッチと、前記第4スイッチと、をオフ状態にして、前記第1容量の第1端子を前記第1電位にし、前記第1容量の第2端子を前記第2電位にする機能と、

前記第1スイッチと、前記第3スイッチと、前記第4スイッチと、をオフ状態にし、前記第2スイッチをオン状態にして、前記第1容量の第1端子を前記第1電位から前記基準電位に変化させることで、容量結合によって、前記第1容量の第2端子の前記第2電位を第3電位に変化させる機能と、

前記第1スイッチと、前記第2スイッチと、前記第3スイッチと、をオフ状態にし、前記第4スイッチをオン状態にして、前記第2回路の第1端子に前記差分電圧に応じた前記第3電位を入力する機能と、を有する、

半導体装置。

[請求項5]

セルと、第1回路と、を有し、

前記第1回路は、第1容量と、第2容量と、第1入力端子と、第2入力端子と、を有し、

前記セルは、第1配線を介して、前記第1入力端子に電氣的に接続され、

前記セルは、第2配線を介して、前記第2入力端子に電氣的に接続され、

前記セルは、

第1データを保持する機能と、

前記セルに第2データが入力されることによって、前記セルと前記第1配線との間に前記第1データと前記第2データとに応じた第1電流を流し、かつ前記セルと前記第2配線との間に前記第1データと前記第2データとに応じた第2電流を流す機能と、を有し、

前記第1容量は、前記第1電流に応じた第1電位と、前記第2電流に応じた第2電位と、の第1差分電圧を保持する機能を有し、

前記第2容量は、前記第1電流に応じた第1電位と、前記第2電流に応じた第2電位と、の第2差分電圧を保持する機能を有する、

半導体装置。

[請求項6]

請求項5において、

前記第1回路は、第2回路と、第3回路と、を有し、

前記第2回路は、前記第1容量の第1端子の電位を基準とした、前記第1差分電圧を取得して、前記第1差分電圧に応じた第1信号を出力する機能を有し、

前記第3回路は、前記第2容量の第2端子の電位を基準とした、前記第2差分電圧を取得して、前記第2差分電圧に応じた第2信号を出力する機能を有する、

半導体装置。

[請求項7]

請求項6において、

前記第1回路は、第1電流電圧変換回路と、第2電流電圧変換回路と、第1スイッチと、第2スイッチと、第3スイッチと、第4スイッチと、第5スイッチと、第6スイッチと、第7スイッチと、第8スイッチと、を有し、

前記第1入力端子は、前記第1スイッチの第1端子と、前記第5スイッチの第1端子と、前記第1電流電圧変換回路の第1端子と、に電氣的に接続され、

前記第1スイッチの第2端子は、前記第2スイッチの第1端子と、前記第1容量の第1端子と、に電氣的に接続され、

前記第5スイッチの第2端子は、前記第6スイッチの第1端子と、前記第2容量の第1端子と、に電氣的に接続され、

前記第2入力端子は、前記第3スイッチの第1端子と、前記第7スイッチの第1端子と、前記第2電流電圧変換回路の第1端子と、に電氣的に接続され、

前記第3スイッチの第2端子は、前記第4スイッチの第1端子と、前記第1容量の第2端子に電氣的に接続され、

前記第7スイッチの第2端子は、前記第8スイッチの第1端子と、前記第2容量の第2端子と、に電氣的に接続され、

前記第4スイッチの第2端子は、前記第2回路の第1端子に電氣的に接続され、

前記第6スイッチの第2端子は、前記第3回路の第1端子に電氣的に接続され、

前記第1電流電圧変換回路は、前記第1電流電圧変換回路の第1端子に入力された前記第1電流に応じて、前記第1電流電圧変換回路の第1端子の電位を前記第1電位にする機能を有し、

前記第2電流電圧変換回路は、前記第2電流電圧変換回路の第1端子に入力された前記第2電流に応じて、前記第2電流電圧変換回路の第1端子の電位を前記第2電位にする機能を有する、半導体装置。

[請求項8]

請求項7において、

前記第2スイッチの第2端子は、基準電位を与える第3配線に電氣的に接続され、

前記第8スイッチの第2端子は、前記基準電位を与える前記第3配線に電氣的に接続され、

前記第1回路は、

前記第1スイッチと、前記第3スイッチと、をオン状態にし、前記第2スイッチと、前記第4スイッチと、をオフ状態にして、前記第1容量の第1端子を前記第1電位にし、前記第1容量の第2端子を前記第2電位にする機能と、

前記第5スイッチと、前記第7スイッチと、をオン状態にし、前記第6スイッチと、前記第8スイッチと、をオフ状態にして、前記第2容量の第1端子を前記第1電位にし、前記第2容量の第2端子を前記第2電位にする機能と、

前記第1スイッチと、前記第3スイッチと、前記第4スイッチと、をオフ状態にし、前記第2スイッチをオン状態にして、前記第1容量の第1端子を前記第1電位から前記基準電位に変化させることで、容量結合によって、前記第1容量の第2端子の前記第2電位を第3電位に変化させる機能と、

前記第5スイッチと、前記第6スイッチと、前記第7スイッチと、をオフ状態にし、前記第8スイッチをオン状態にして、前記第2容量の第2端子を前記第2電位から前記基準電位に変化させることで、容量結合によって、前記第2容量の第1端子の前記第1電位を第4電位に変化させる機能と、

前記第1スイッチと、前記第2スイッチと、前記第3スイッチと、をオフ状態にし、前記第4スイッチをオン状態にして、前記第2回路の第1端子に前記第1差分電圧に応じた前記第3電位を

入力する機能と、

前記第5スイッチと、前記第7スイッチと、前記第8スイッチと、をオフ状態にし、前記第6スイッチをオン状態にして、前記第3回路の第1端子に前記第2差分電圧に応じた前記第4電位を入力する機能と、

を有する、

半導体装置。

[請求項9]

請求項1乃至請求項8のいずれか一において、

前記セルは、第1セルと、第2セルと、を有し、

前記第1セルは、前記第1配線と、前記第2配線と、第1入力配線と、第2入力配線と、に電氣的に接続され、

前記第2セルは、前記第1配線と、前記第2配線と、前記第1入力配線と、前記第2入力配線と、に電氣的に接続され、

前記第1入力配線及び前記第2入力配線のそれぞれは、前記第2データに応じた電位を与える機能を有し、

前記第1セルは、

前記第1入力配線に第1入力電位が入力され、かつ前記第2入力配線に第2入力電位が入力されたとき、前記第1電流を前記第1配線に流す機能と、

前記第1入力配線に前記第2入力電位が入力され、かつ前記第2入力配線に前記第1入力電位が入力されたとき、前記第2電流を前記第2配線に流す機能と、

前記第1入力配線に前記第2入力電位が入力され、かつ前記第2入力配線に前記第2入力電位が入力されたとき、前記第1セルと前記第1配線との間、及び前記第1セルと前記第2配線との間を非導通状態にする機能と、を有し、

前記第2セルは、

前記第1入力配線に第1入力電位が入力され、かつ前記第2入力配線に第2入力電位が入力されたとき、前記第2電流を前記第2配線に流す機能と、

前記第1入力配線に前記第2入力電位が入力され、かつ前記第2入力配線に前記第1入力電位が入力されたとき、前記第1電流を前記第1配線に流す機能と、

前記第1入力配線に前記第2入力電位が入力され、かつ前記第2入力配線に前記第2入力電位が入力されたとき、前記第2セルと前記第1配線との間、及び前記第2セルと前記第2配線との間を非導通状態にする機能と、を有する、

半導体装置。

[請求項10]

請求項9において、

前記第1セルは、第1トランジスタと、第9スイッチと、第10スイッチと、第11スイッチと、第12スイッチと、第3容量と、を有し、

前記第2セルは、第2トランジスタと、第13スイッチと、第14スイッチと、第15スイッチと、第16スイッチと、第4容量と、を有し、

前記第1トランジスタの第1端子は、前記第9スイッチの第1端子と、前記第10スイッチの第1端子と、前記第11スイッチの第1端子と、に電氣的に接続され、

前記第1トランジスタのゲートは、前記第3容量の第1端子と、前記第12スイッチの第1端子と、に電氣的に接続され、

前記第9スイッチの第2端子は、前記第12スイッチの第2端子に電氣的に接続され、

前記第10スイッチの第2端子は、前記第1配線に電氣的に接続され、

前記第10スイッチの制御端子は、前記第1入力配線に電氣的に接続され、

前記第11スイッチの第2端子は、前記第2配線に電氣的に接続され、

前記第11スイッチの制御端子は、前記第2入力配線に電氣的に接続され、

前記第2トランジスタの第1端子は、前記第13スイッチの第1端子と、前記第14スイッチの第1端子と、前記第15スイッチの第1端子と、に電氣的に接続され、

前記第2トランジスタのゲートは、前記第4容量の第1端子と、前記第16スイッチの第1端子と、に電氣的に接続され、

前記第13スイッチの第2端子は、前記第16スイッチの第2端子に電氣的に接続され、

前記第14スイッチの第2端子は、前記第2配線に電氣的に接続され、

前記第14スイッチの制御端子は、前記第1入力配線に電氣的に接続され、

前記第15スイッチの第2端子は、前記第1配線に電氣的に接続され、

前記第15スイッチの制御端子は、前記第2入力配線に電氣的に接続されている、

半導体装置。

[請求項11]

請求項10において、

前記第12スイッチは、第3トランジスタを有し、

前記第3トランジスタは、チャネル形成領域に金属酸化物を有し、

前記第16スイッチは、第4トランジスタを有し、

前記第4トランジスタは、チャネル形成領域に金属酸化物を有する、

半導体装置。

[請求項12]

請求項1乃至請求項11のいずれか一の半導体装置と、筐体と、を有し、

前記半導体装置によってニューラルネットワークの演算を行う電子機器。

図1A

100

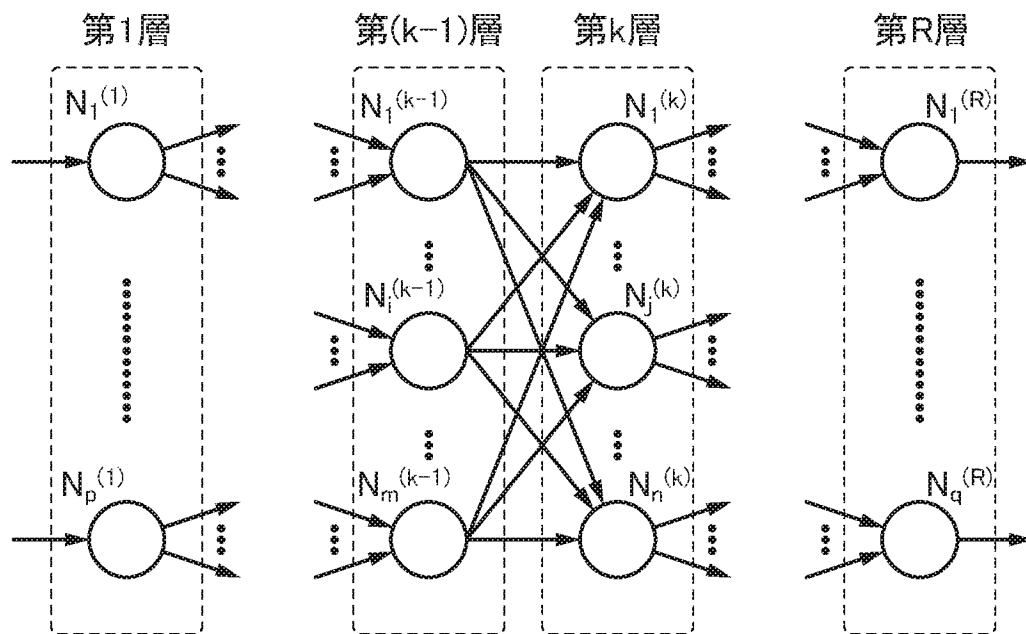
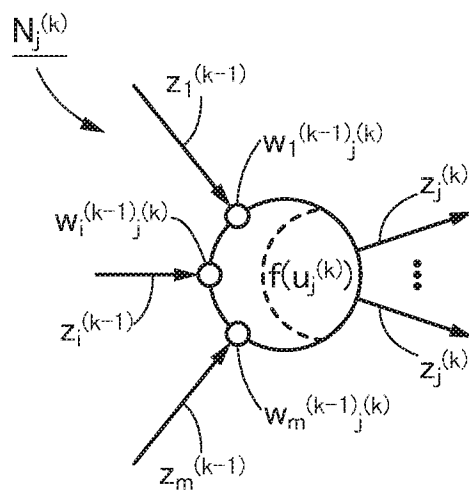


図1B



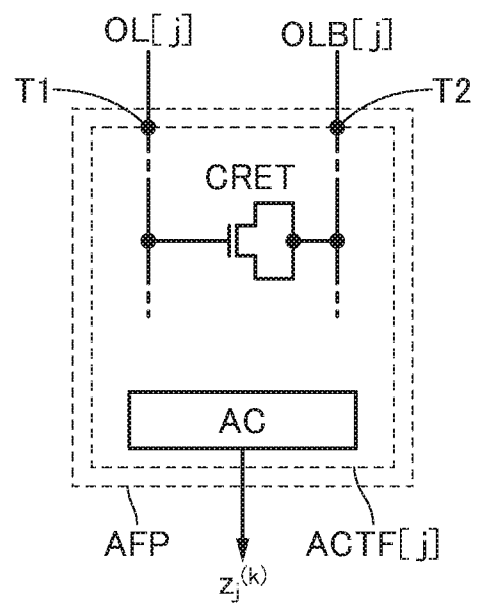
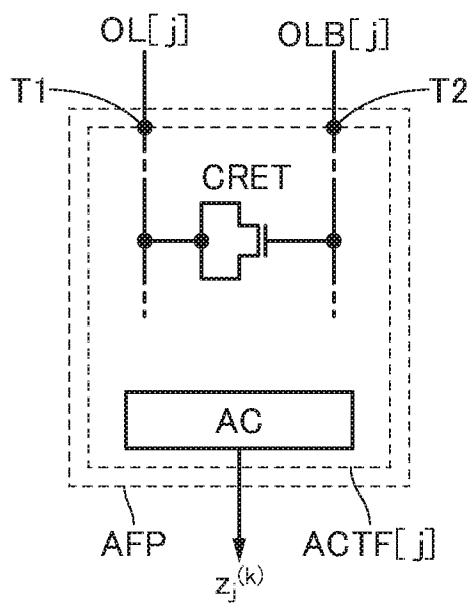
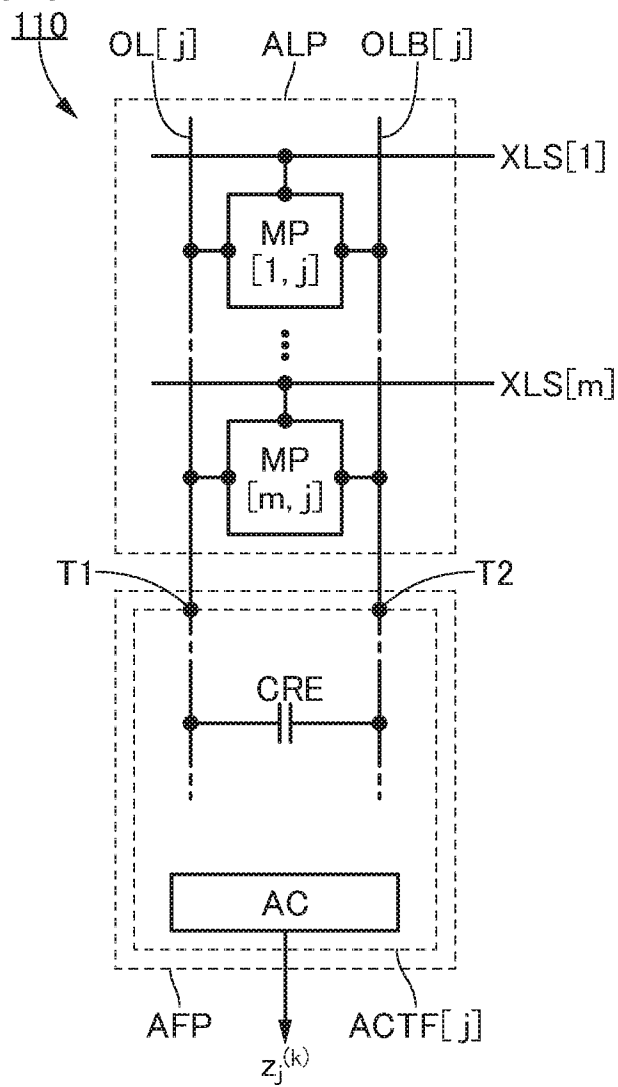


図3A

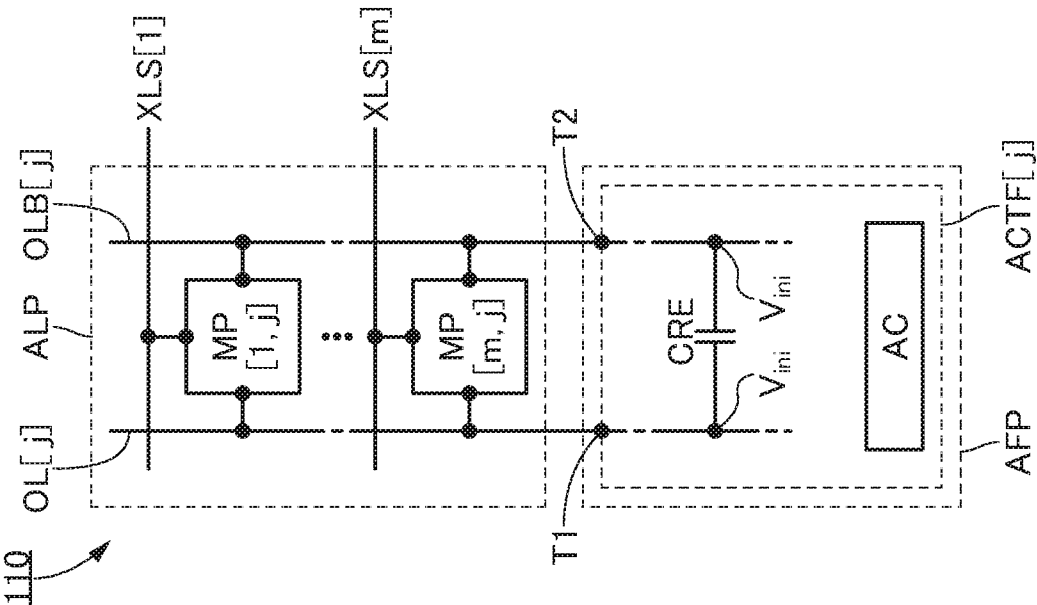


図3B

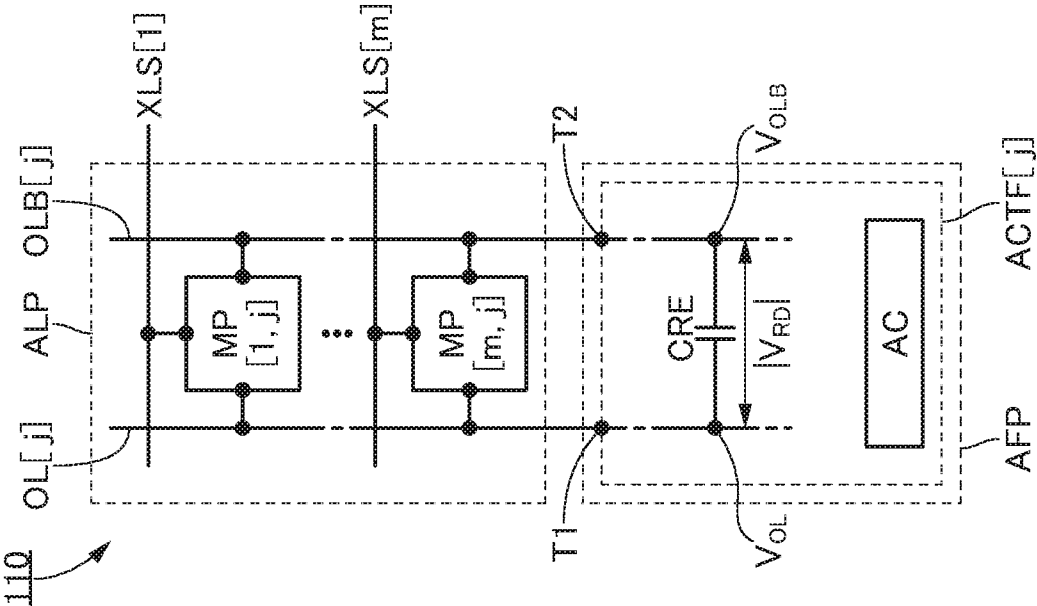


図3C

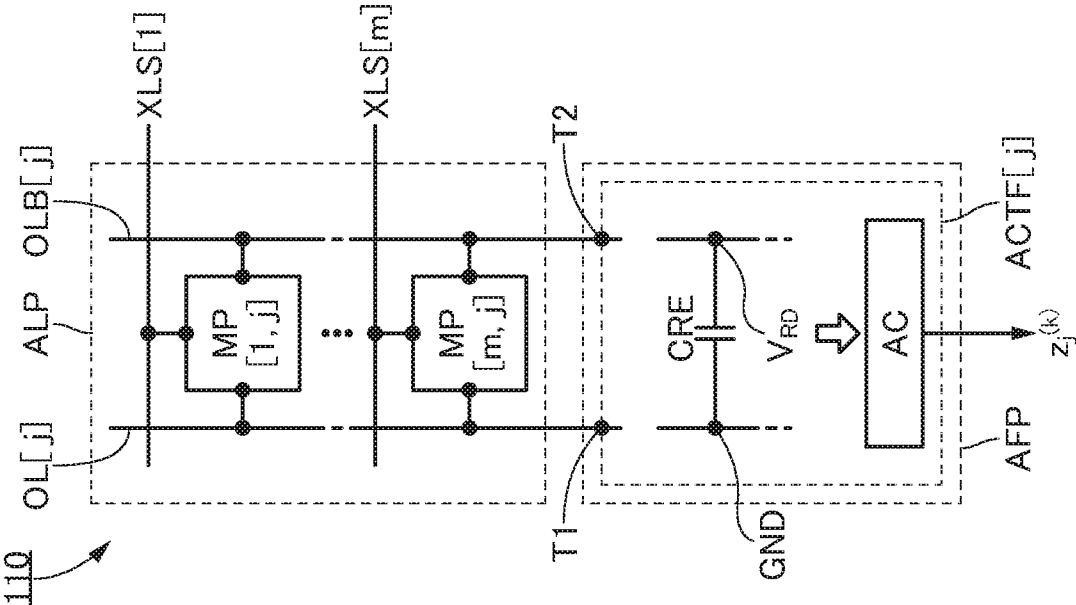


図4A

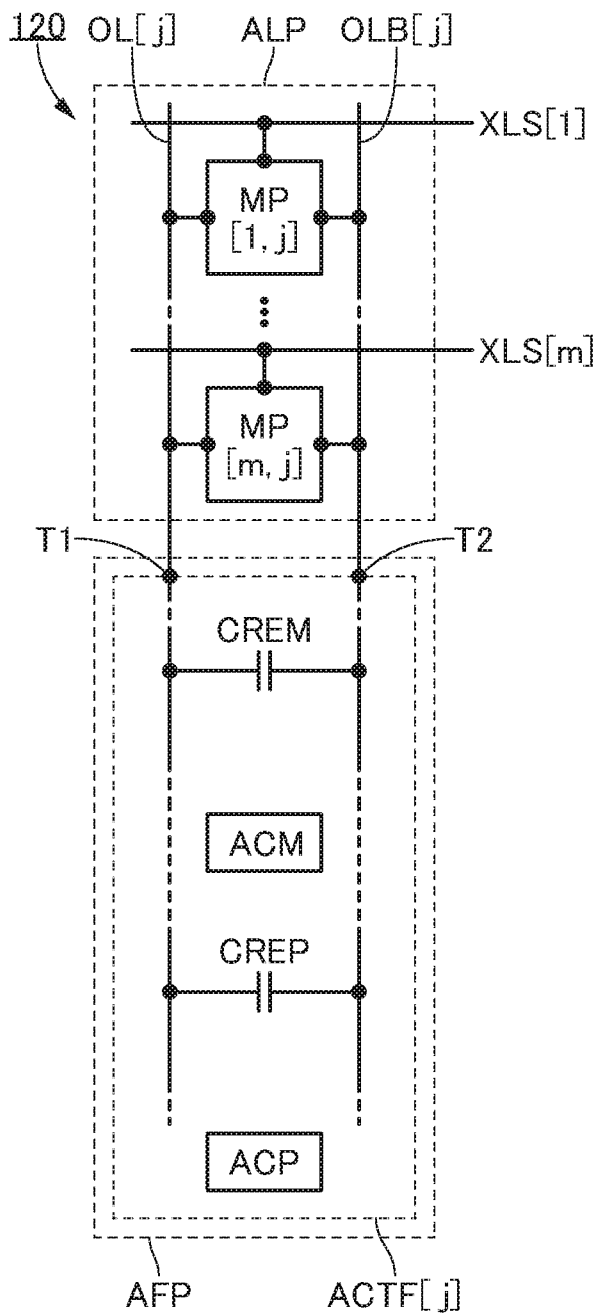
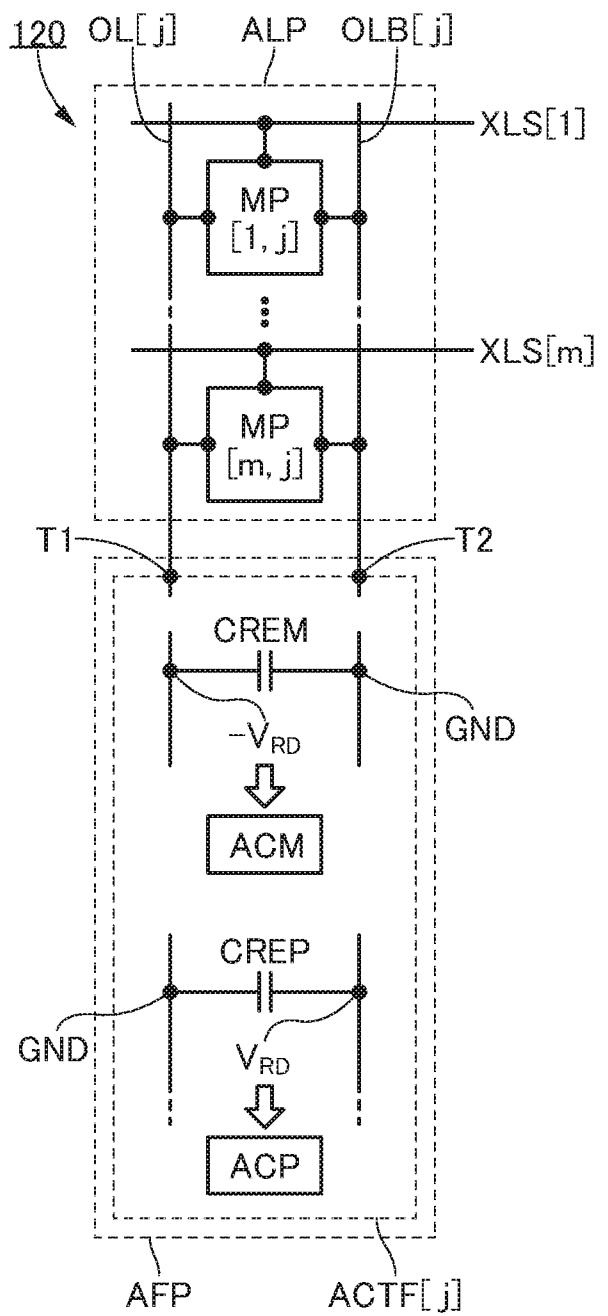


図4B



 5

5/45

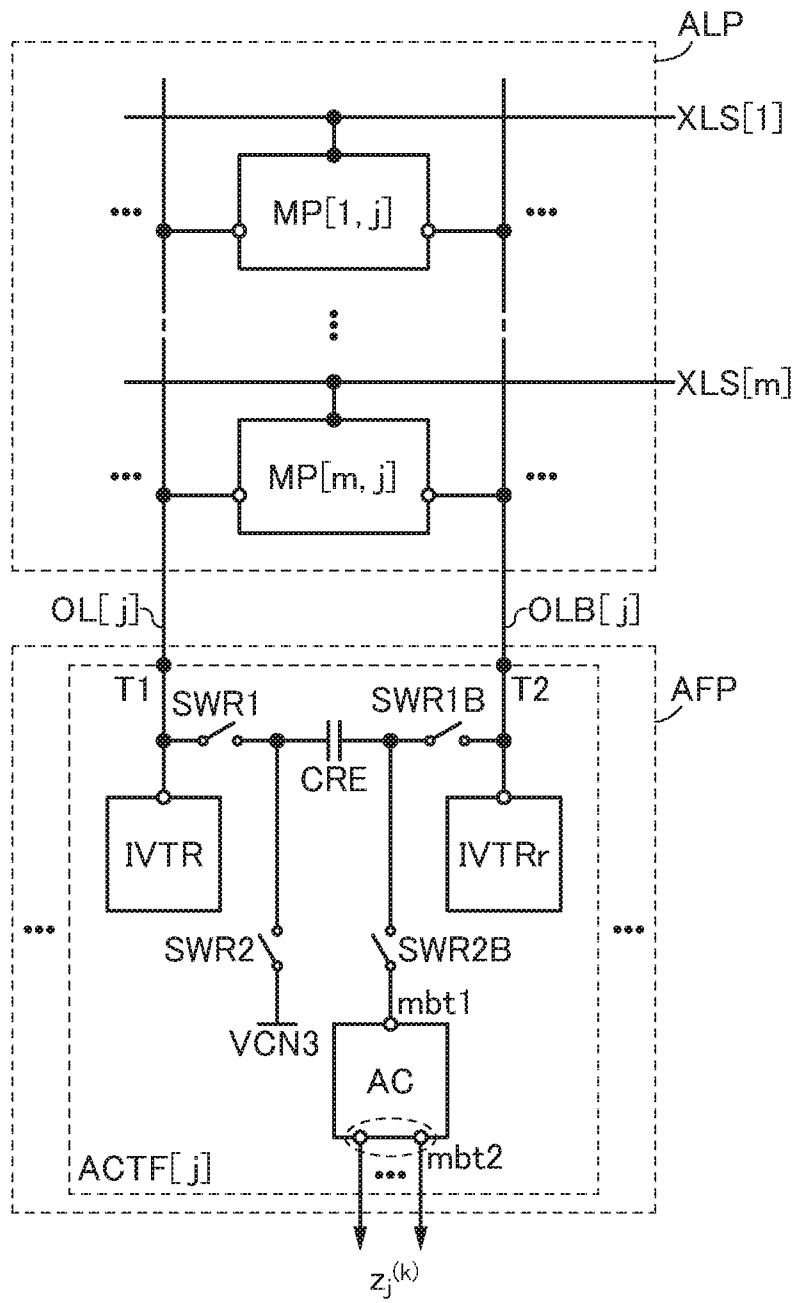


図6A

IVTR(IVTRr)

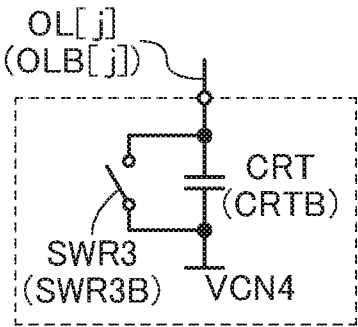


図6B

IVTR(IVTRr)

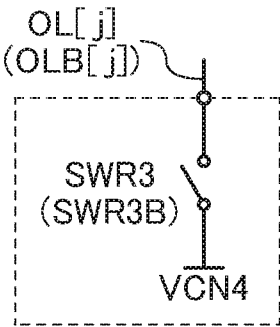


図6C

IVTR(IVTRr)

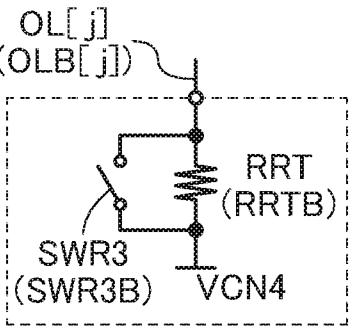
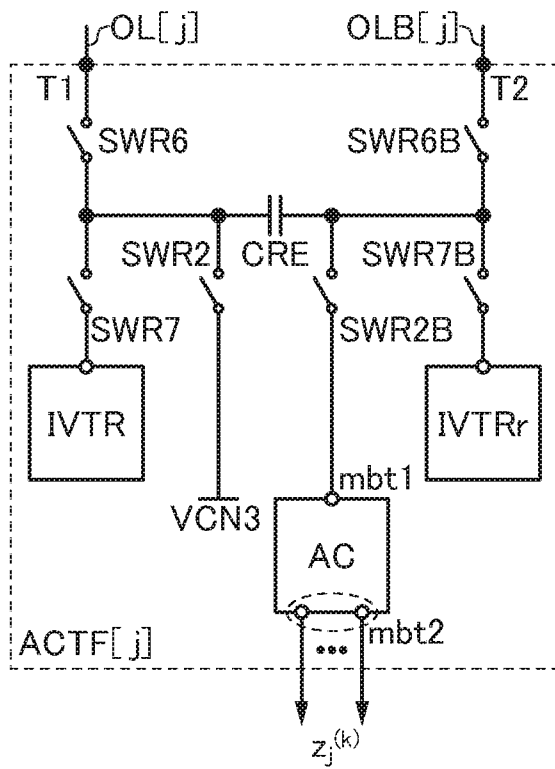
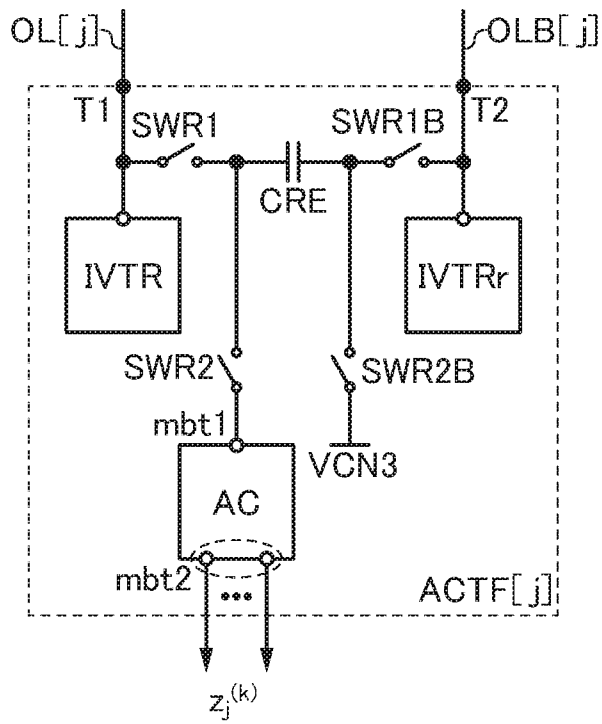
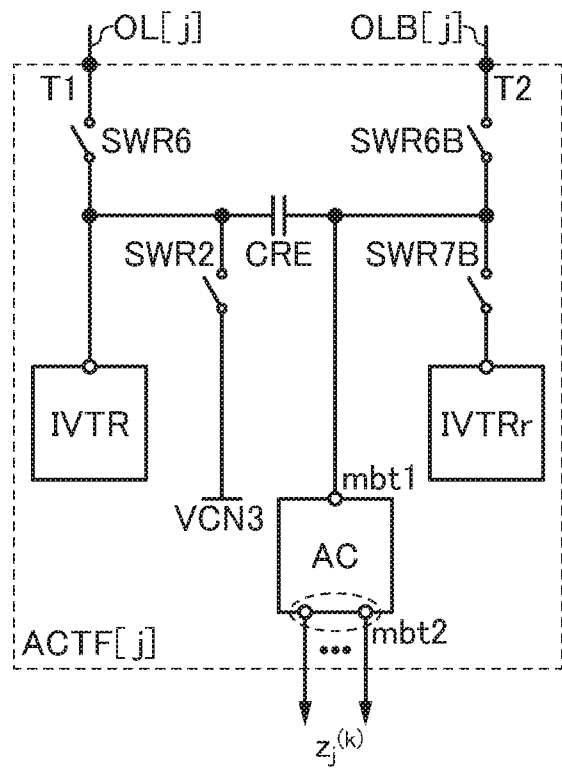


图 7A

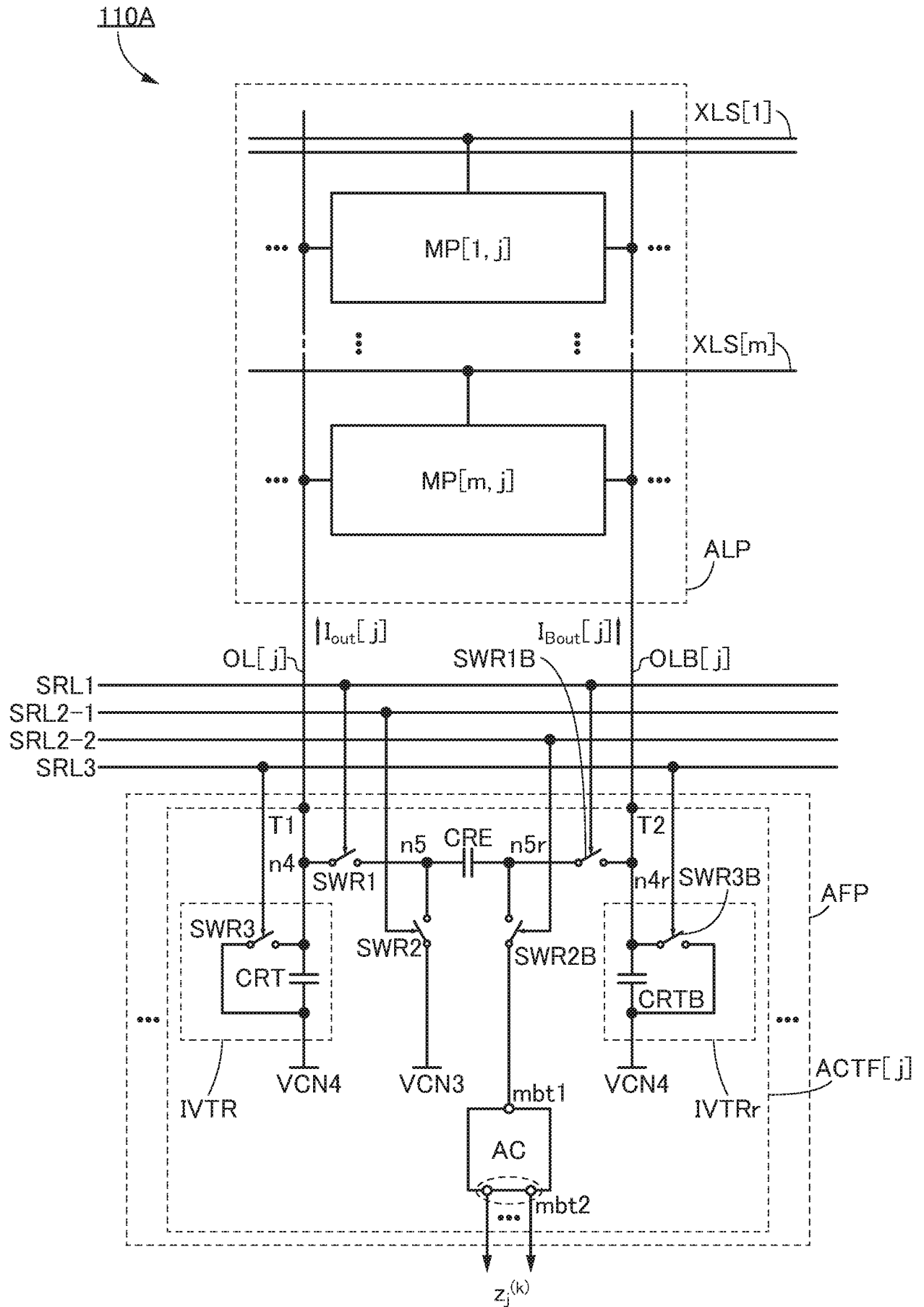


7C



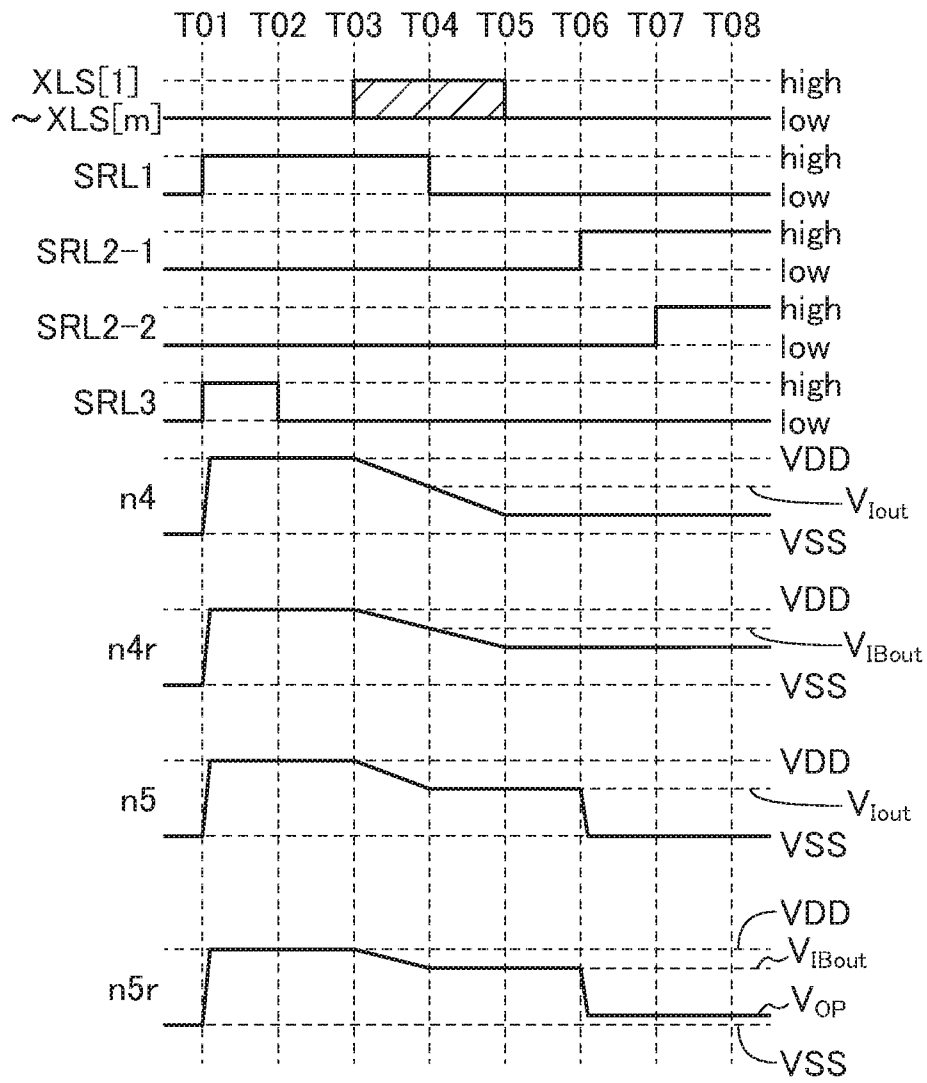
8

8/45



9

9/45



10

10/45

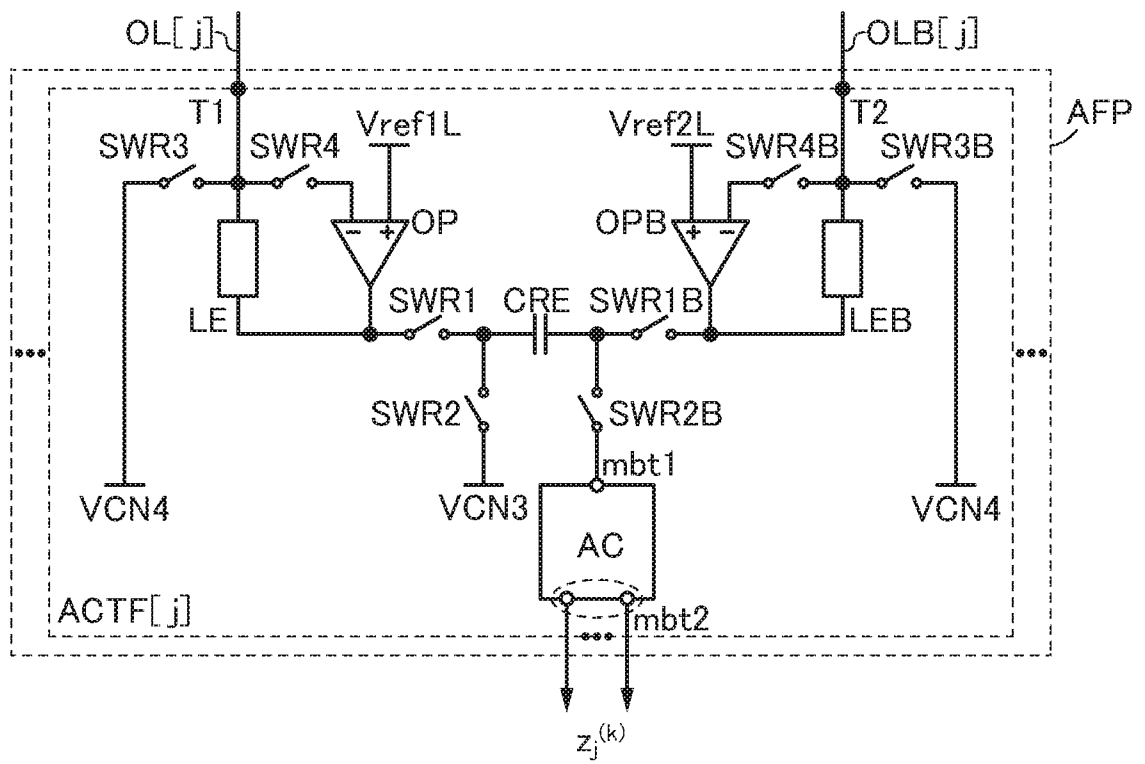


図11A

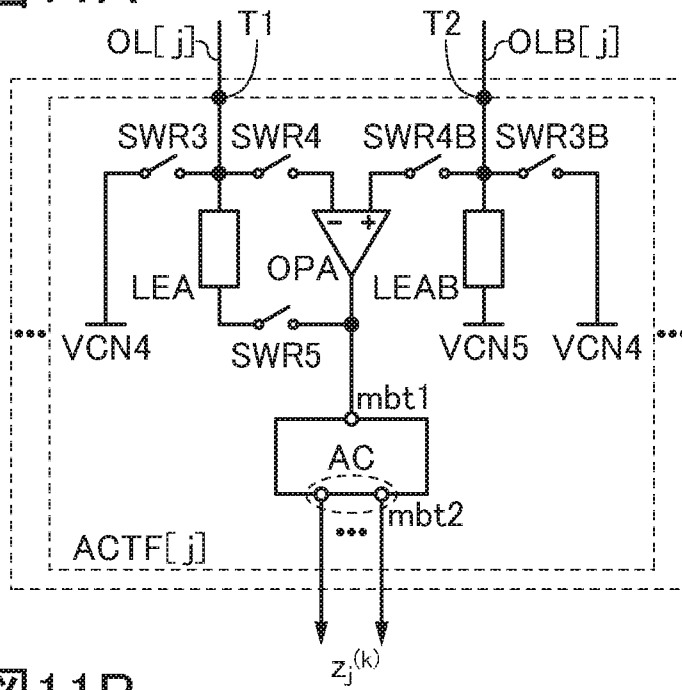
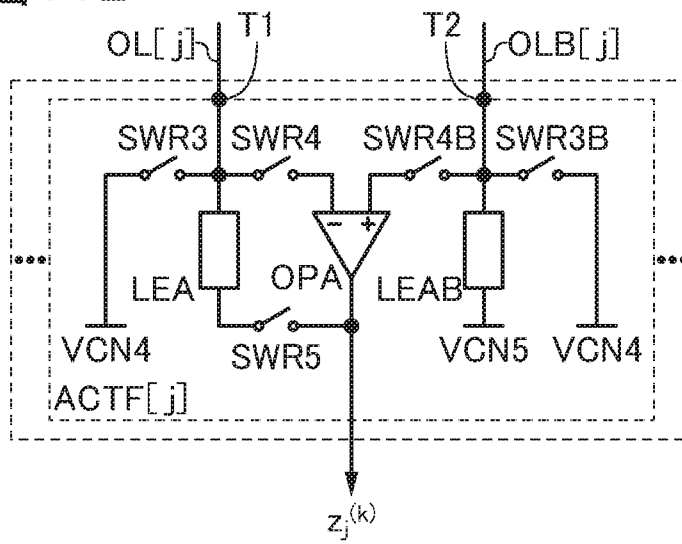


図11B



12/45

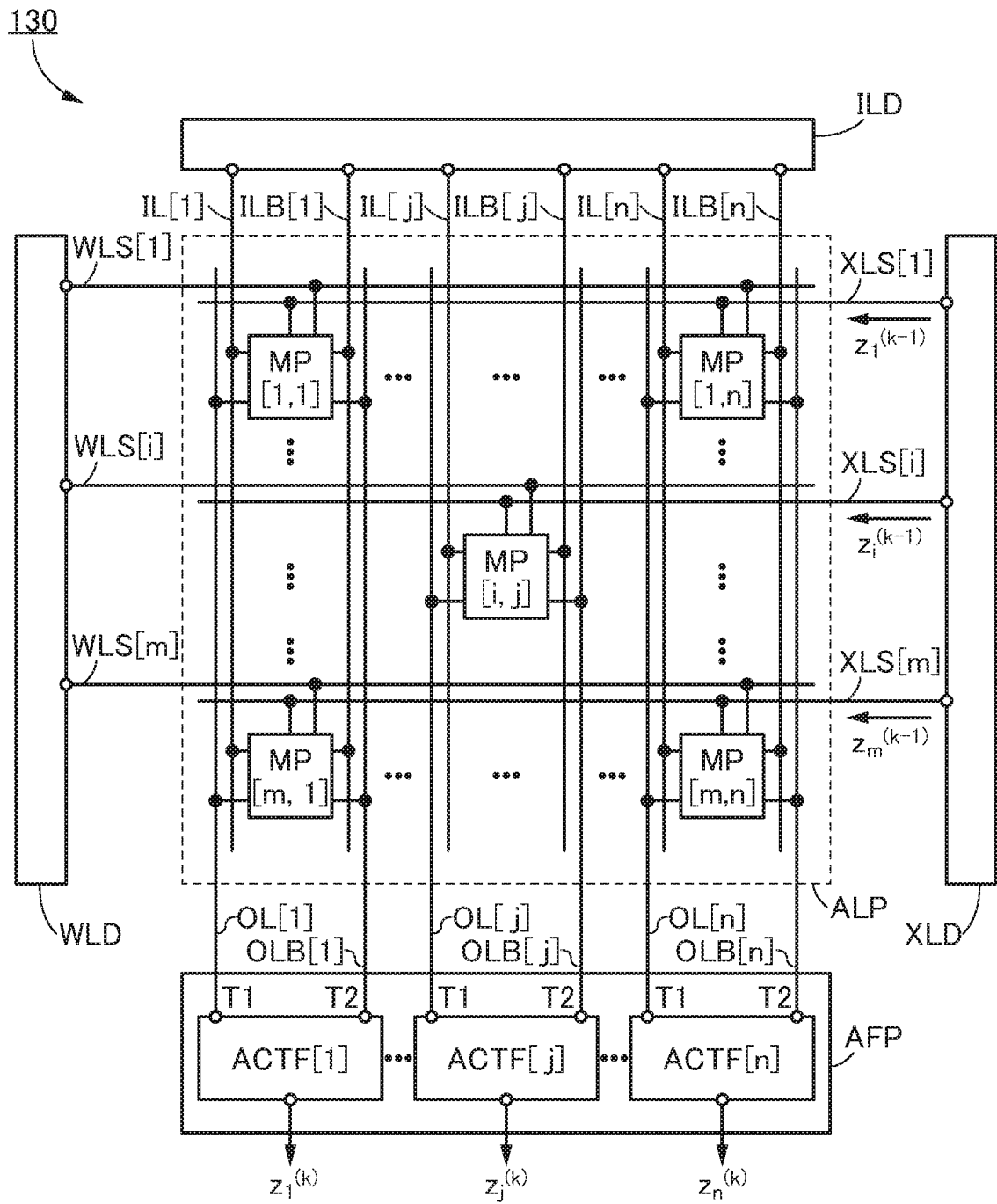


図 13A

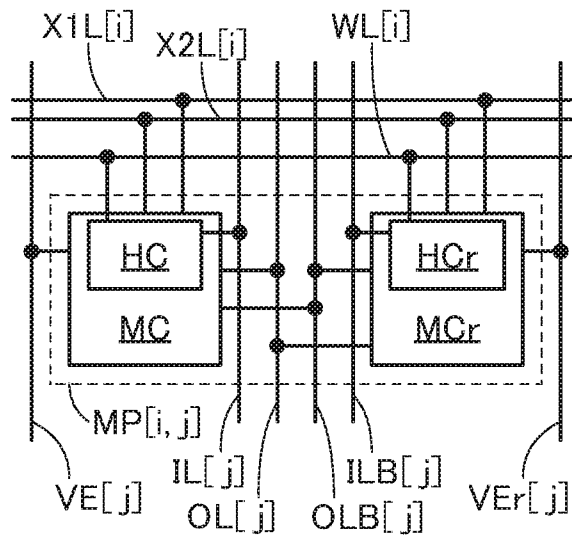


図 13B

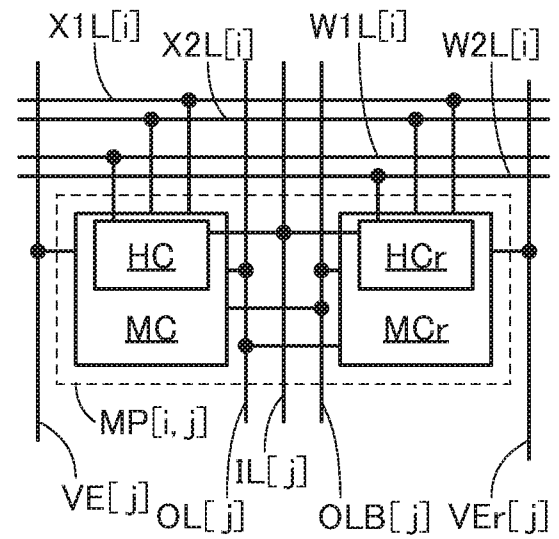


図 13C

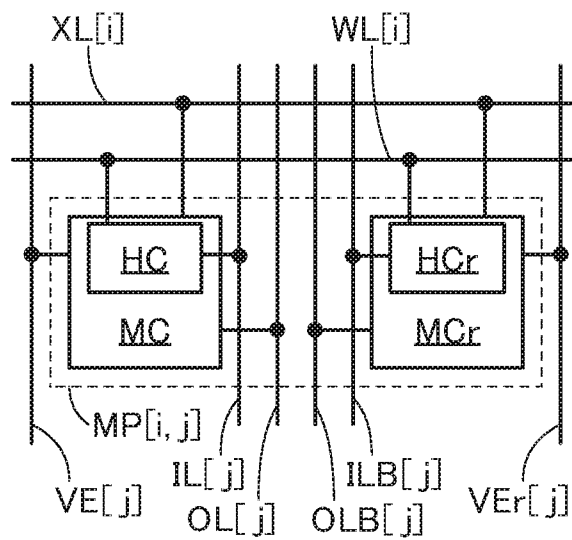
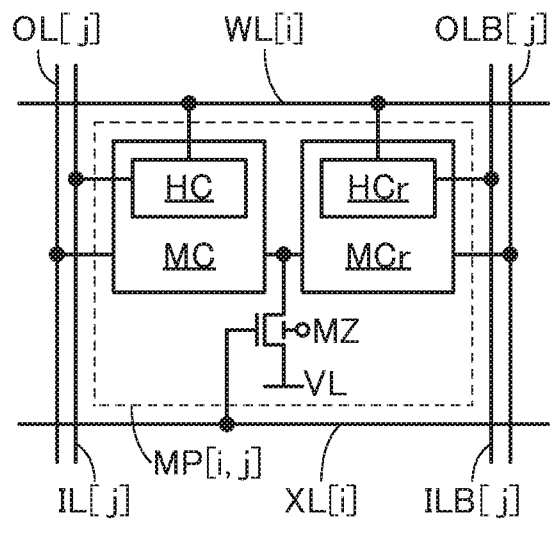
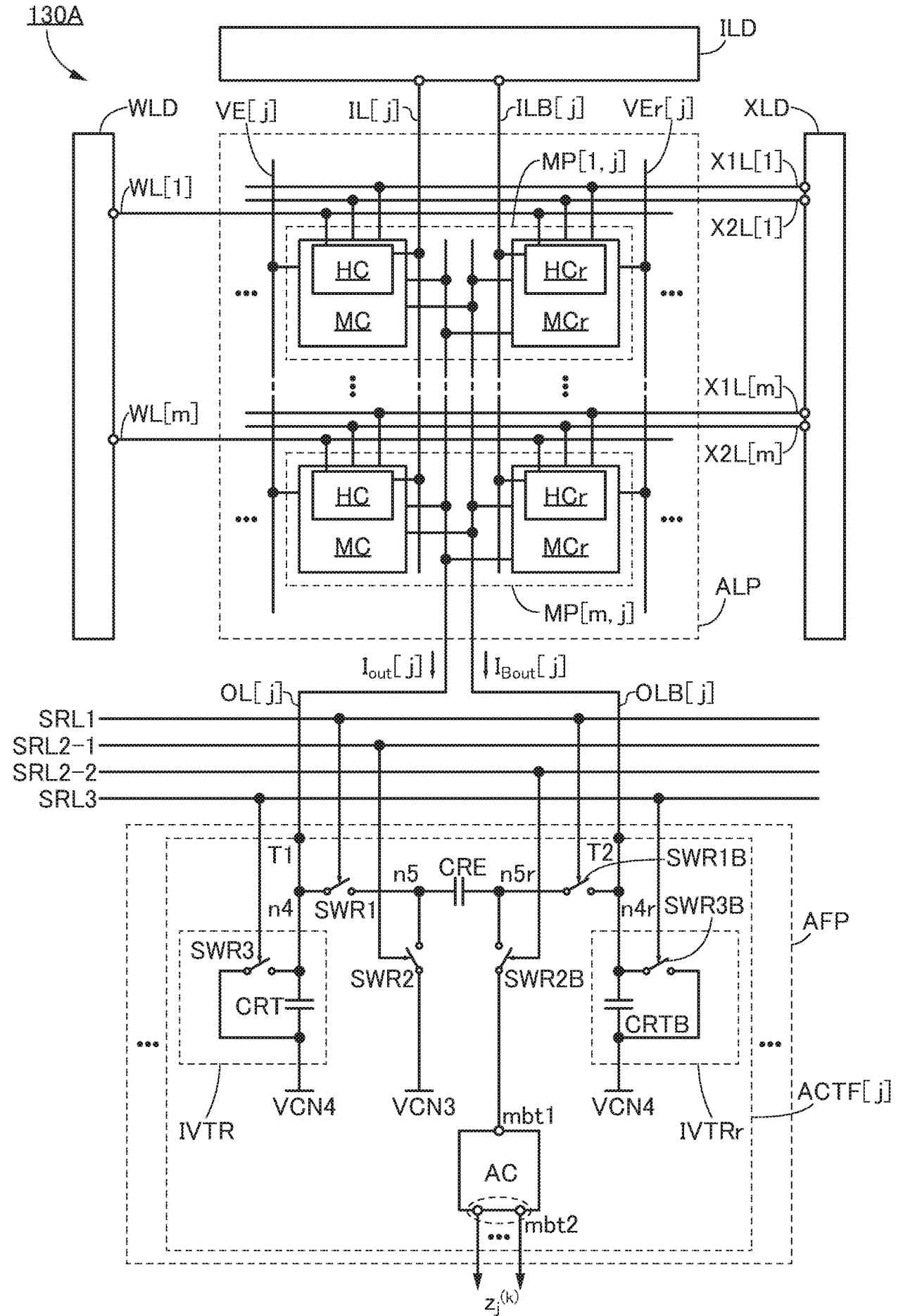


図 13D



15/45



16/45

140

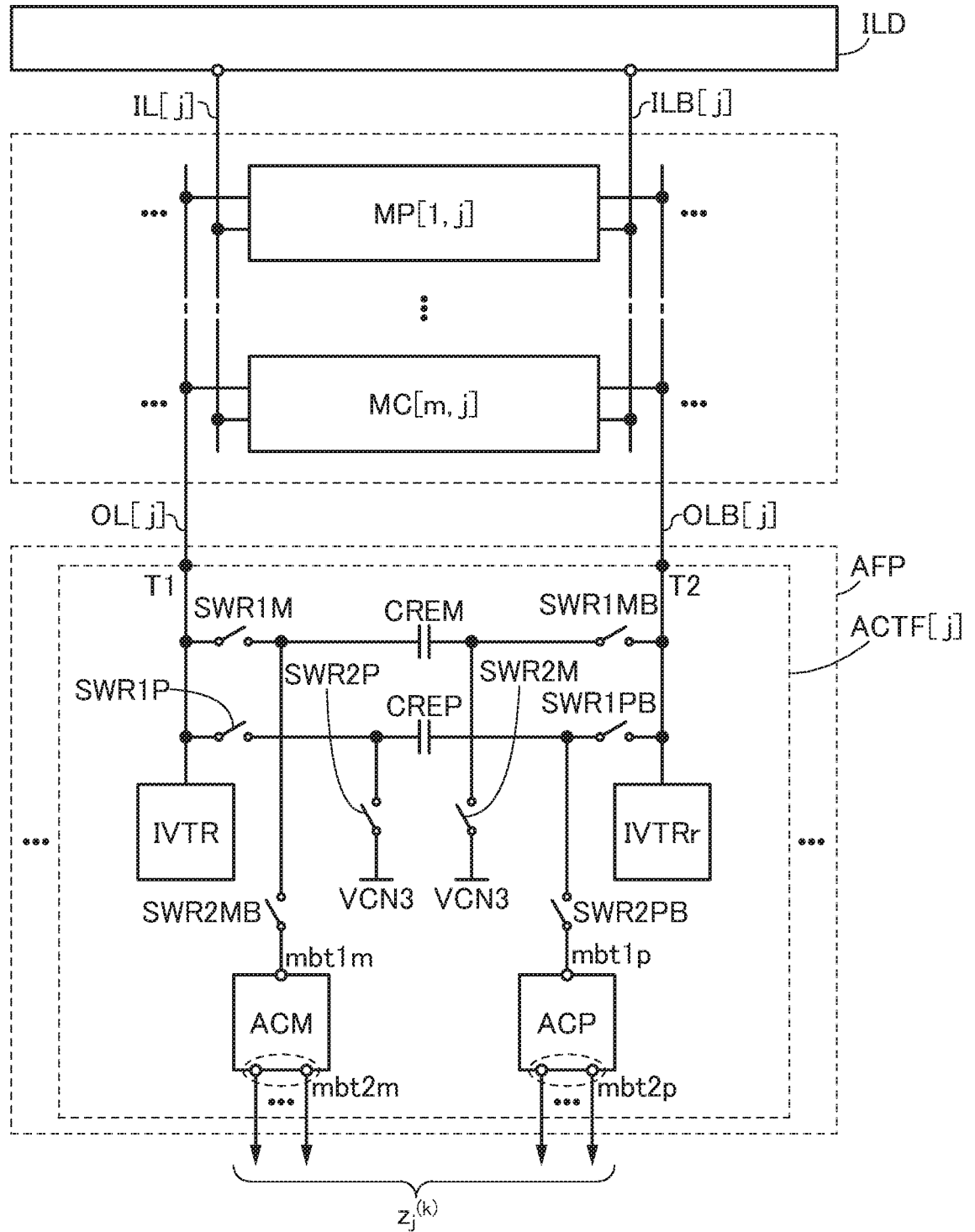


Figure 17 is a schematic diagram of a neural network architecture, labeled 150. The architecture is organized into several layers and components:

- Top Layer (MP):** A grid of processing units (MP) arranged in rows and columns. The rows are labeled $WLS[1]$, $WLS[i]$, ..., $WLS[m]$ on the left. The columns are labeled $XLS[1]$, $XLS[i]$, ..., $XLS[m]$ on the right. The units are labeled $MP[1,1]$, ..., $MP[1,n]$, ..., $MP[i,j]$, ..., $MP[m,1]$, ..., $MP[m,n]$. Arrows indicate data flow from left to right, with labels $z_1^{(k-1)}$, $z_i^{(k-1)}$, and $z_m^{(k-1)}$ on the right side.
- Intermediate Layer (OL, OLB):** A layer of units labeled $OL[1]$, $OL[j]$, ..., $OL[n]$ and $OLB[1]$, $OLB[j]$, ..., $OLB[n]$. These are connected to the MP units above them.
- Output Layer (TW):** A layer of units labeled $TW[1]$, $TW[j]$, ..., $TW[n]$. These are connected to the OL units above them.
- Bottom Layer (ACTF):** A layer of units labeled $ACTF[1]$, $ACTF[j]$, ..., $ACTF[n]$. These are connected to the TW units above them.
- Connections:**
 - WLS (Weighted Layer Sum) lines connect the MP units to the OL units.
 - XLS (X-axis Layer Sum) lines connect the MP units to the OL units.
 - OL (Output Layer) and OLB (Output Layer Bias) lines connect the OL units to the TW units.
 - TSa (Top Sum) and $TSaB$ (Top Sum Bias) lines connect the TW units to the ACTF units.
 - TSb (Top Sum) and $TSbB$ (Top Sum Bias) lines connect the TW units to the ACTF units.
 - TSc (Top Sum) and $TScB$ (Top Sum Bias) lines connect the TW units to the ACTF units.
 - $T1$ and $T2$ lines connect the ACTF units to the output units.
- Other Labels:**
 - WLD (Weighted Layer Difference) is on the left.
 - ALP (Activation Layer Product) is on the right.
 - XLD (X-axis Layer Difference) is on the right.
 - ILD (Intermediate Layer Difference) is on the right.
 - AFP (Activation Layer Product) is on the right.

18/45

FIG 18A

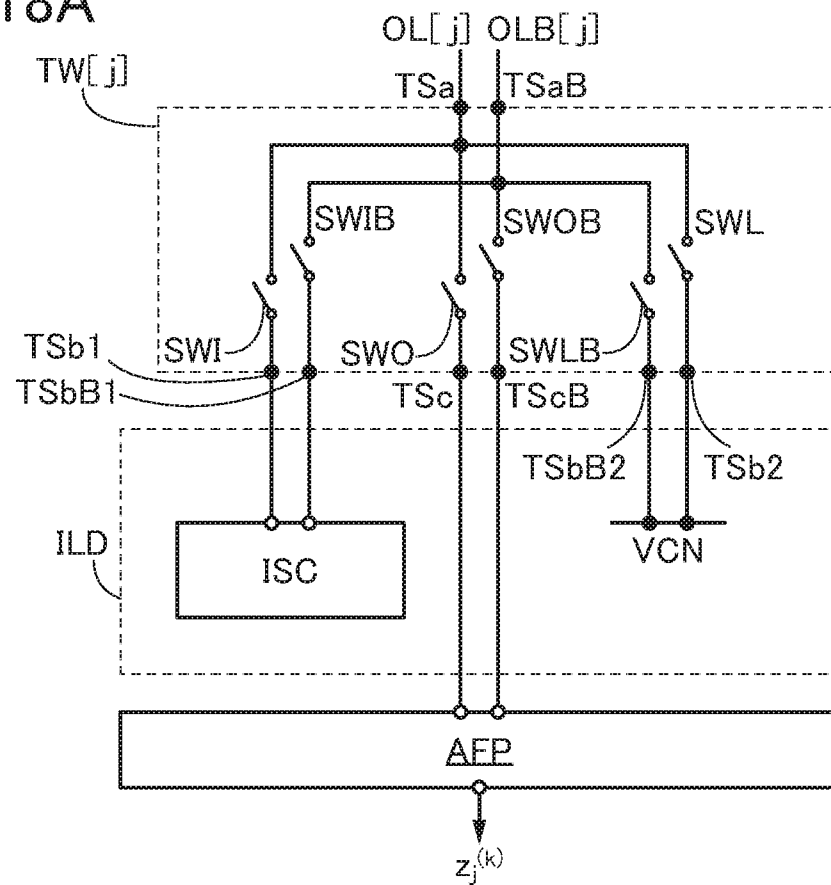


FIG 18B

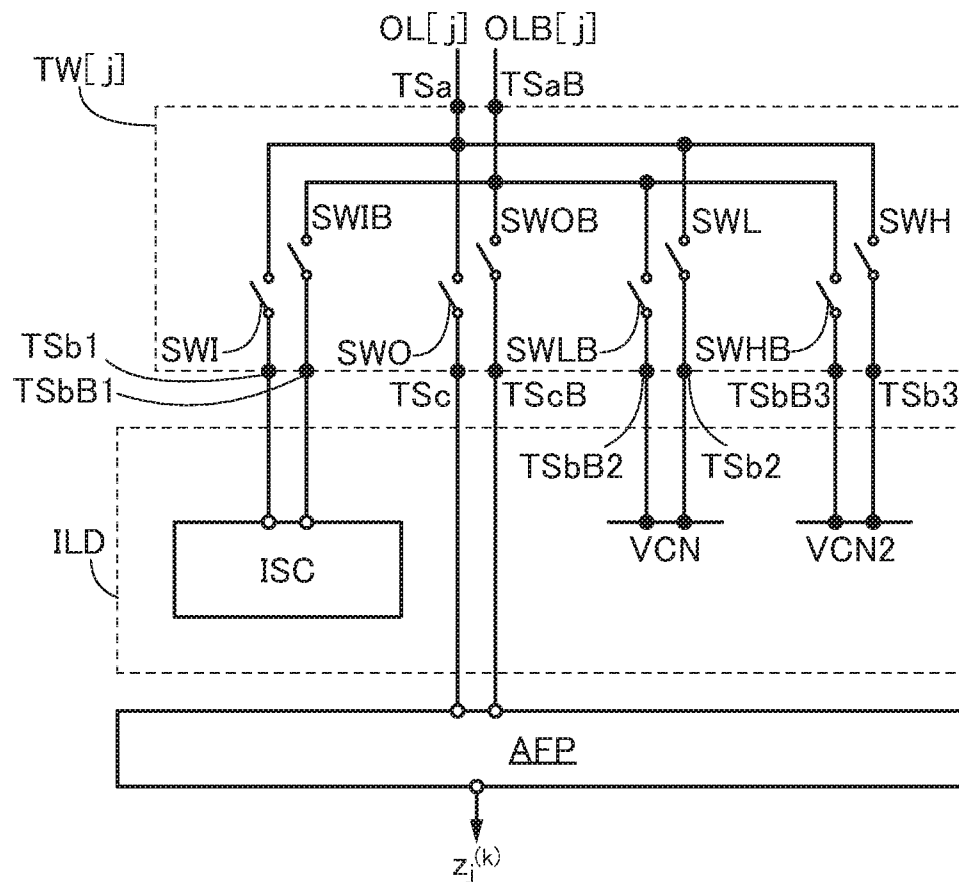


FIG 19A

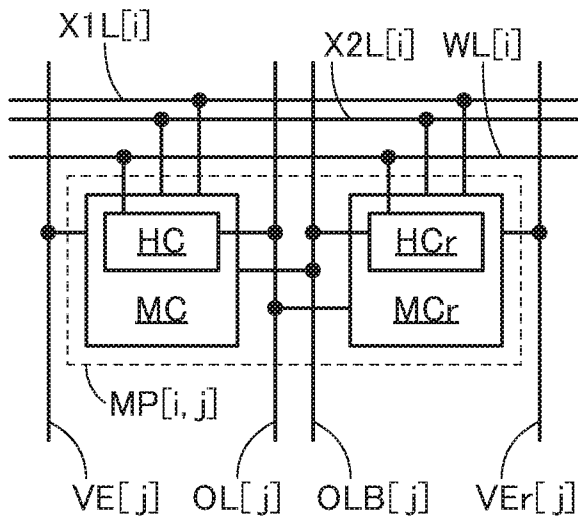


FIG 19B

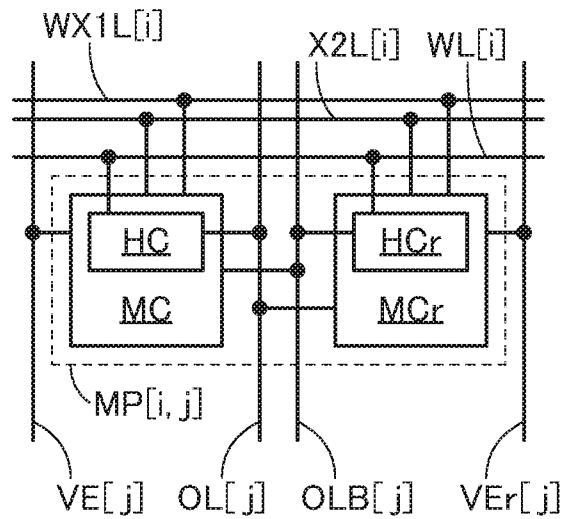


FIG 19C

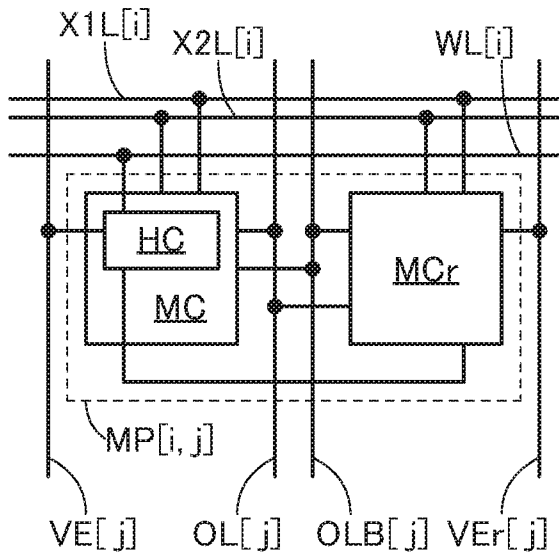


FIG 19D

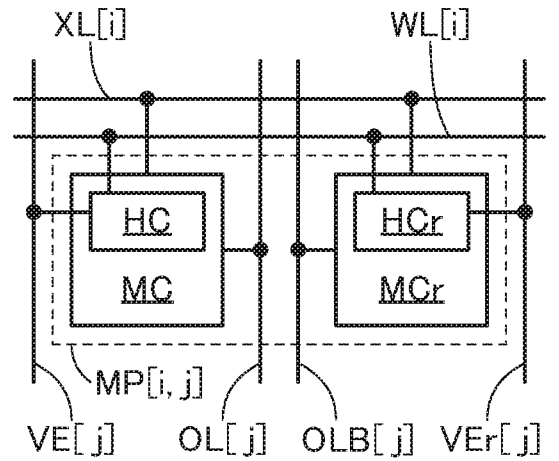


FIG 19E

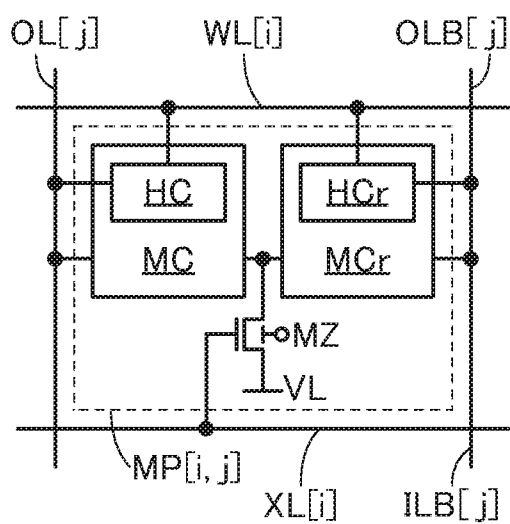


図 21A

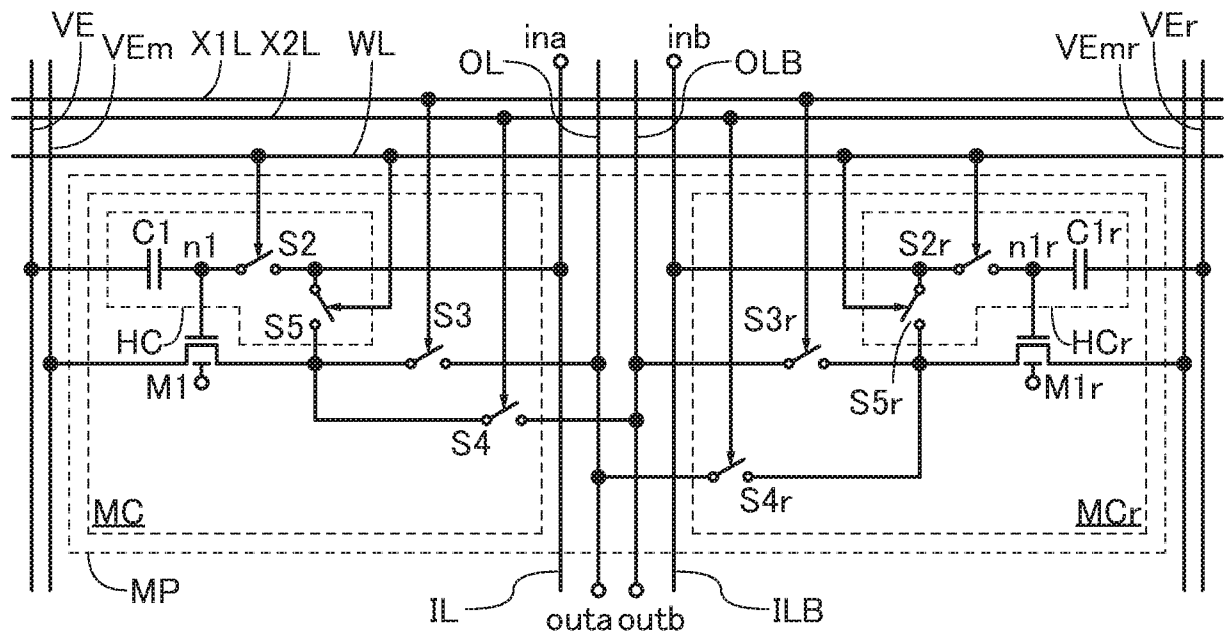
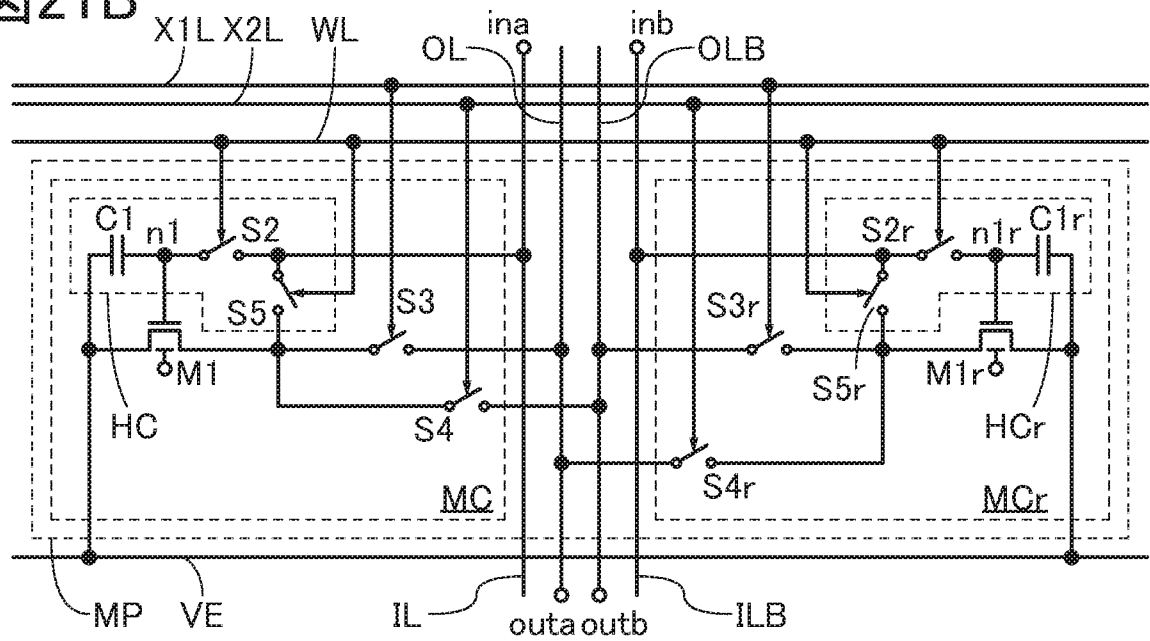
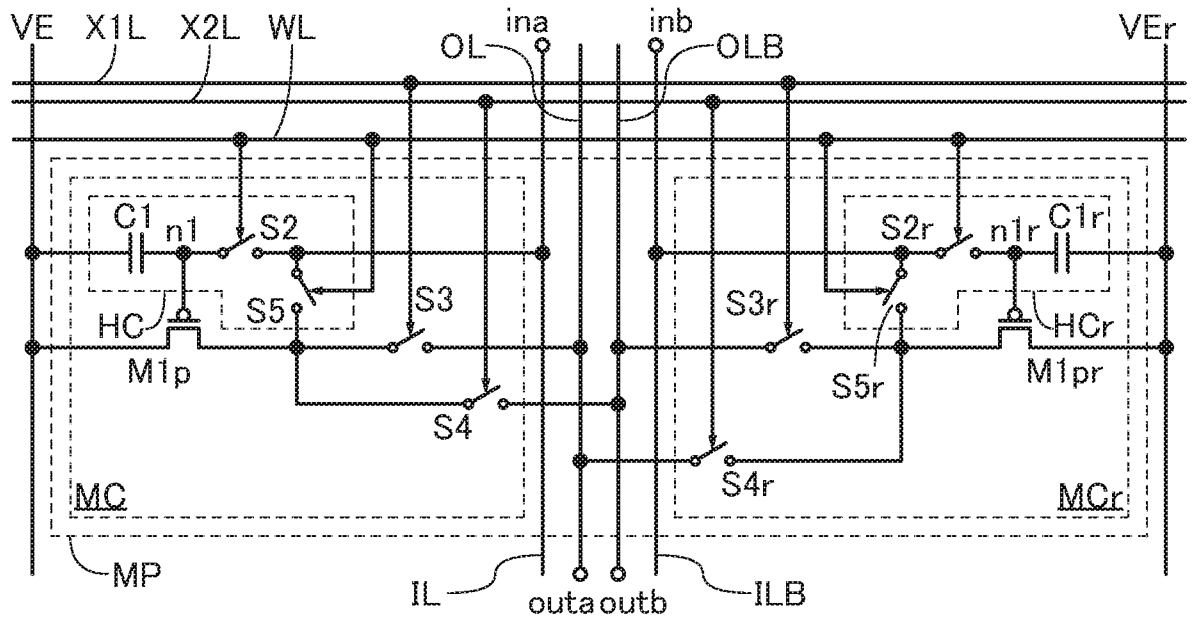


圖 21B



22A



22B

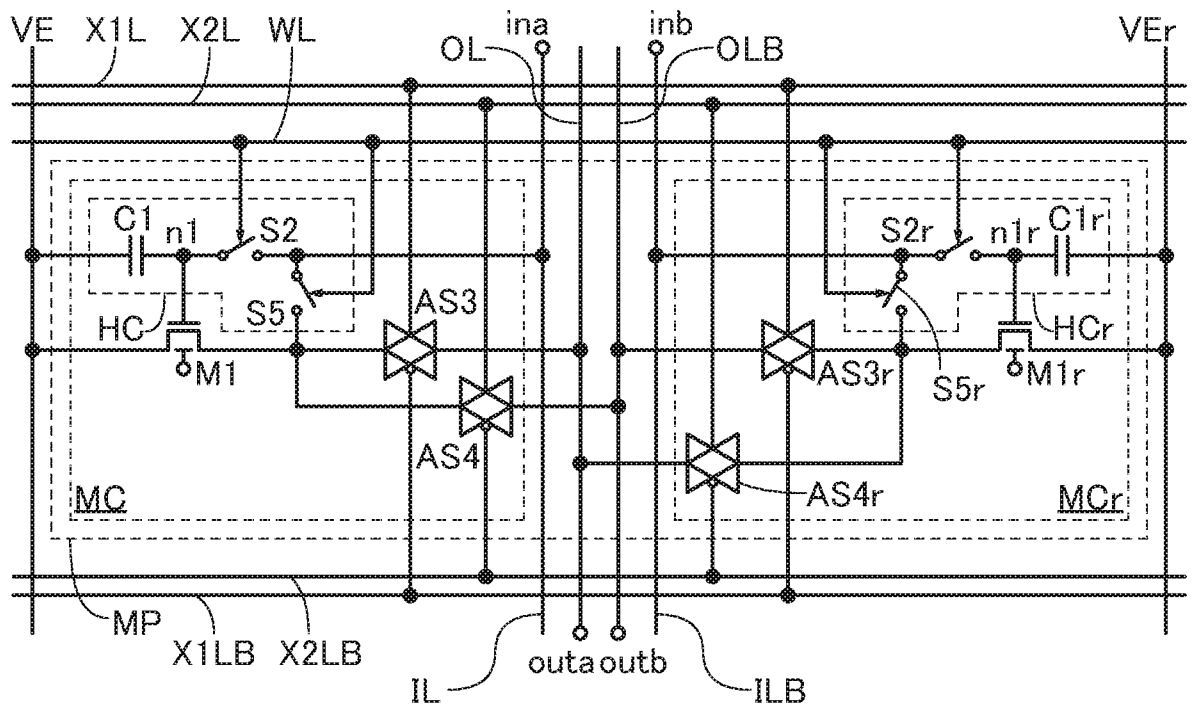


図 23A

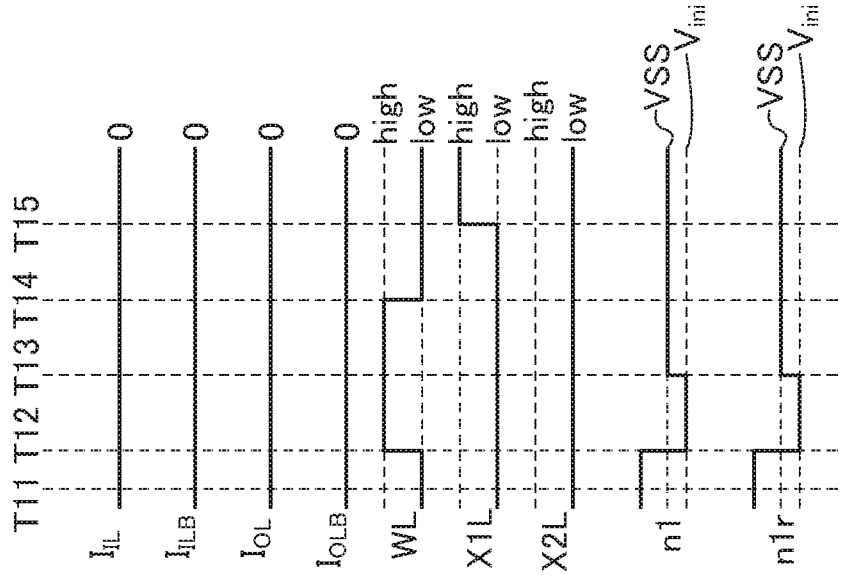


図 23B

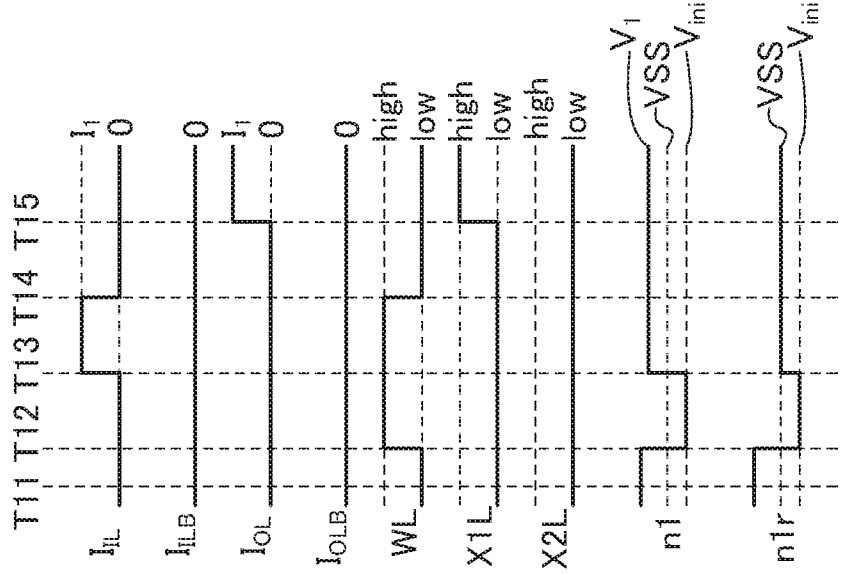


図 23C

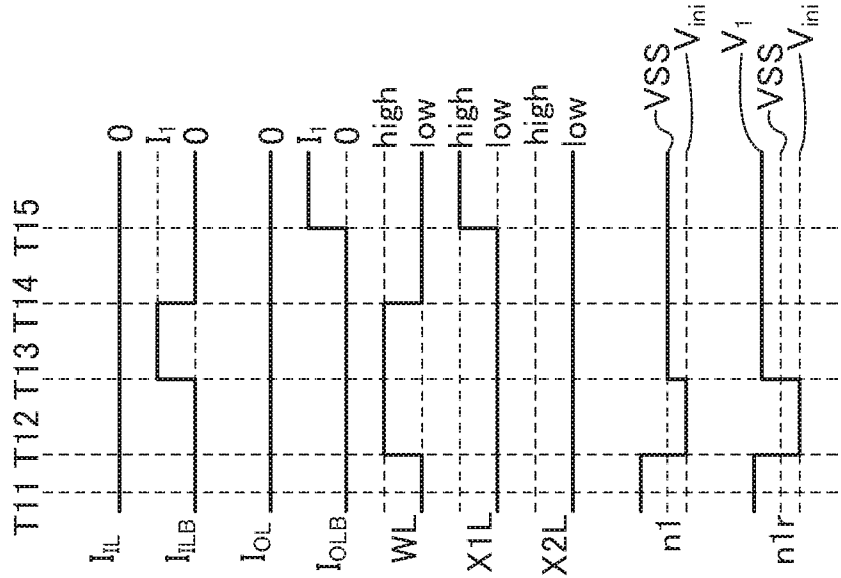


図24A

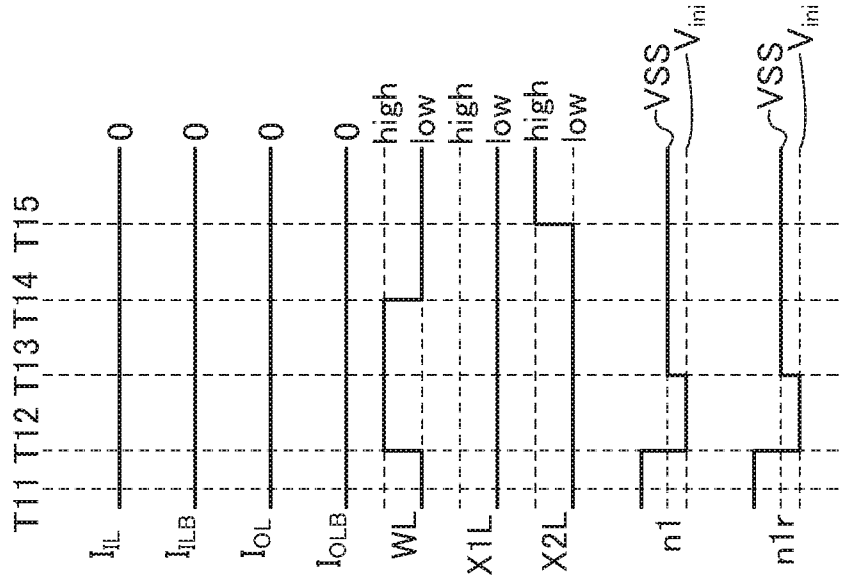


図24B

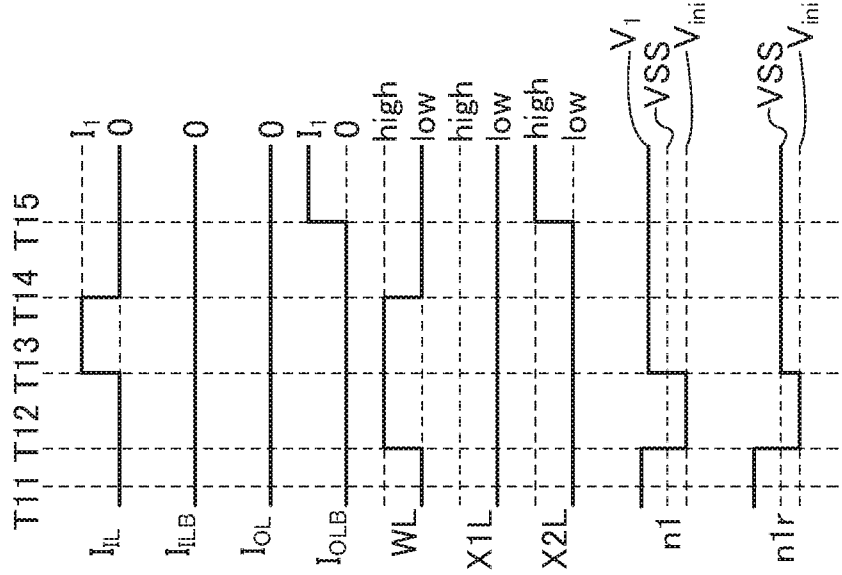


図24C

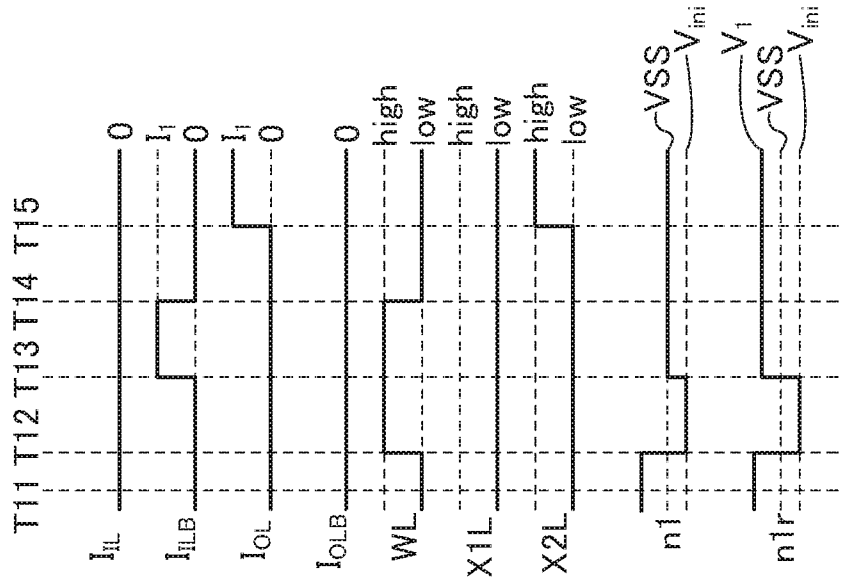


図 25A

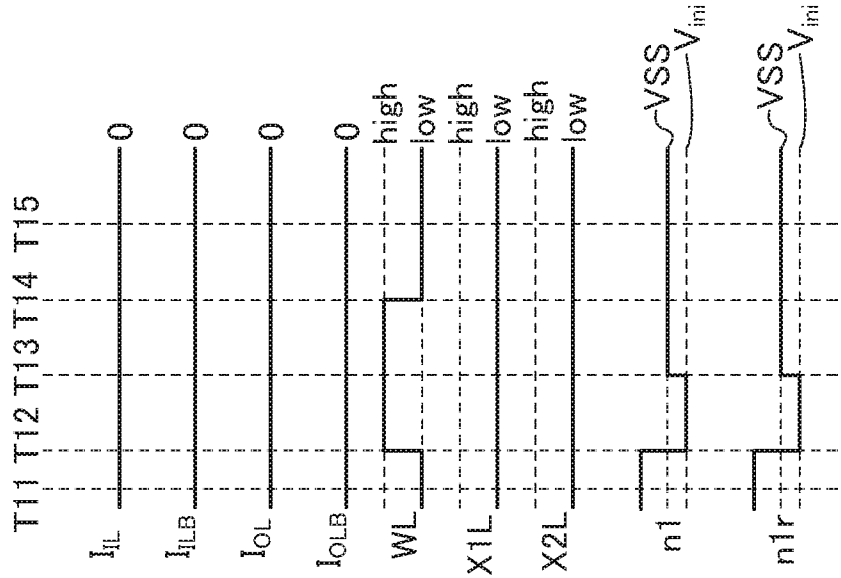


図 25B

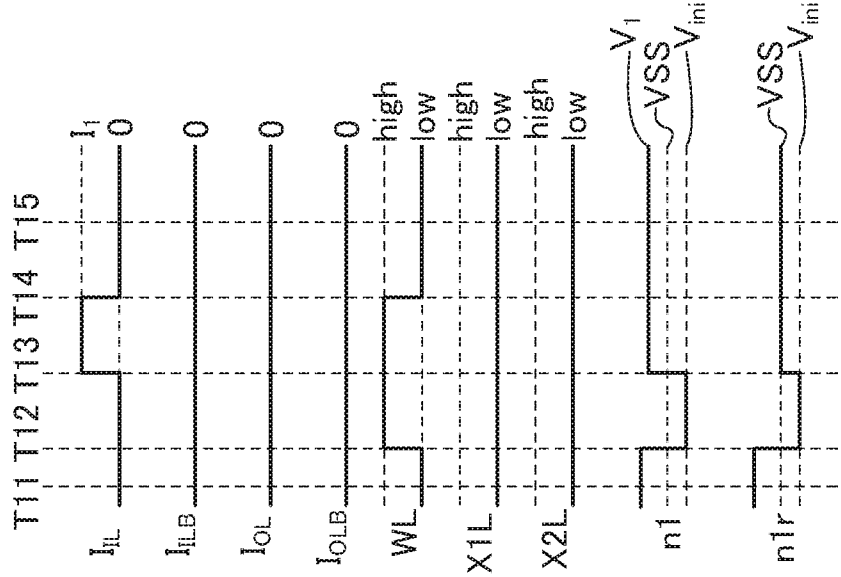
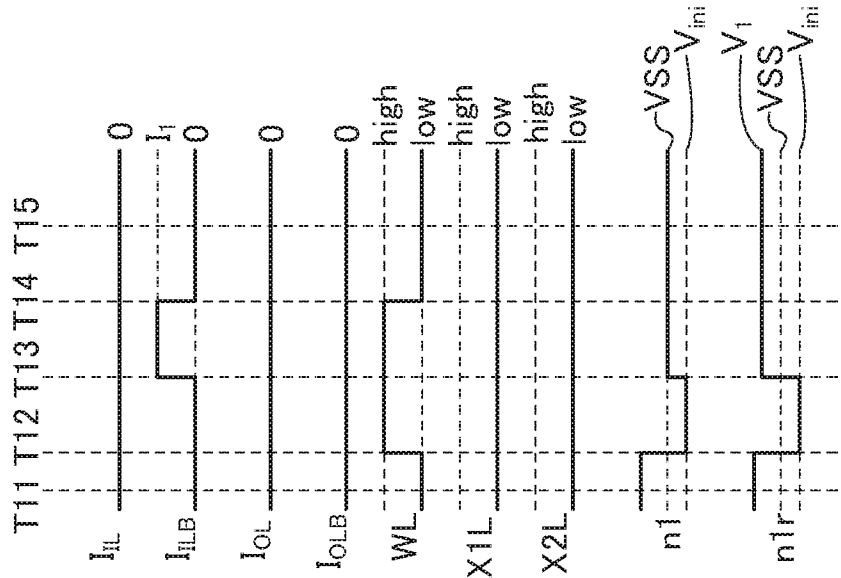
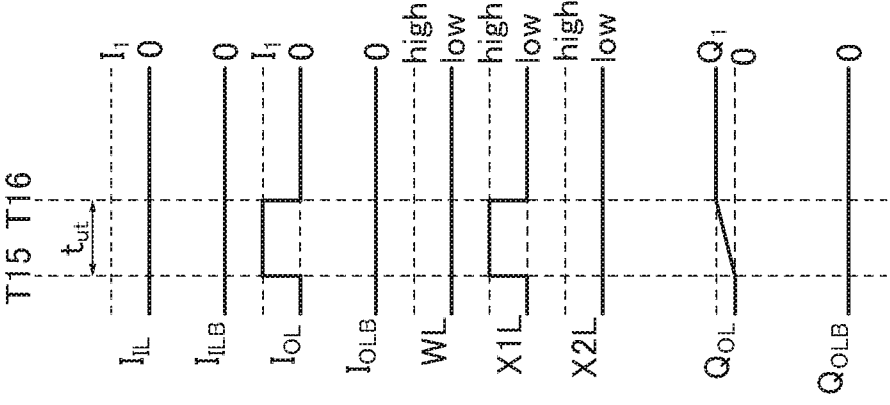


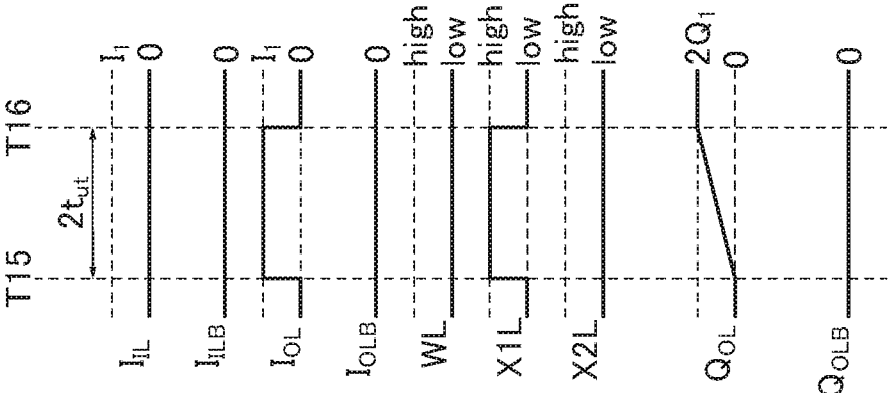
図 25C



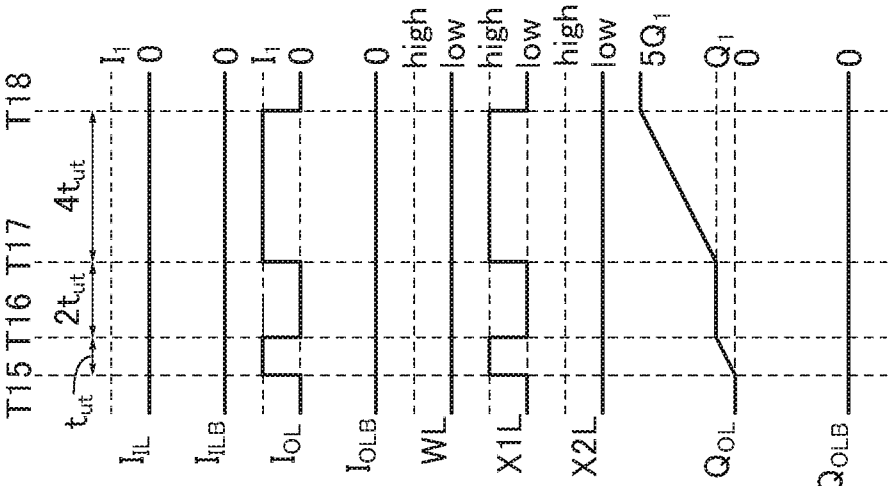
26A



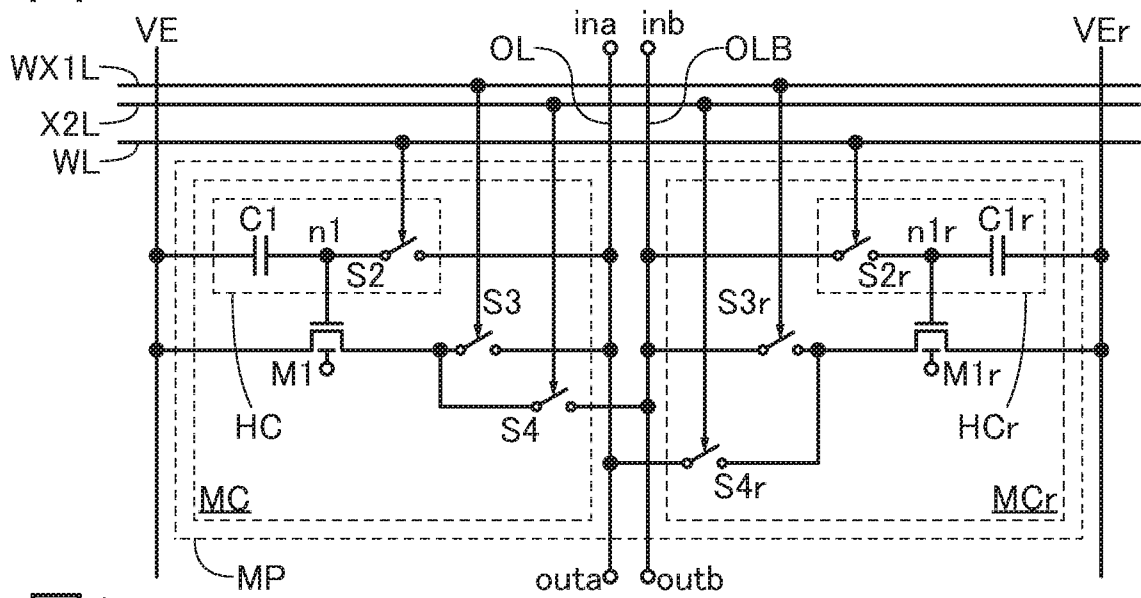
26B



26C



✖ 27A



27B

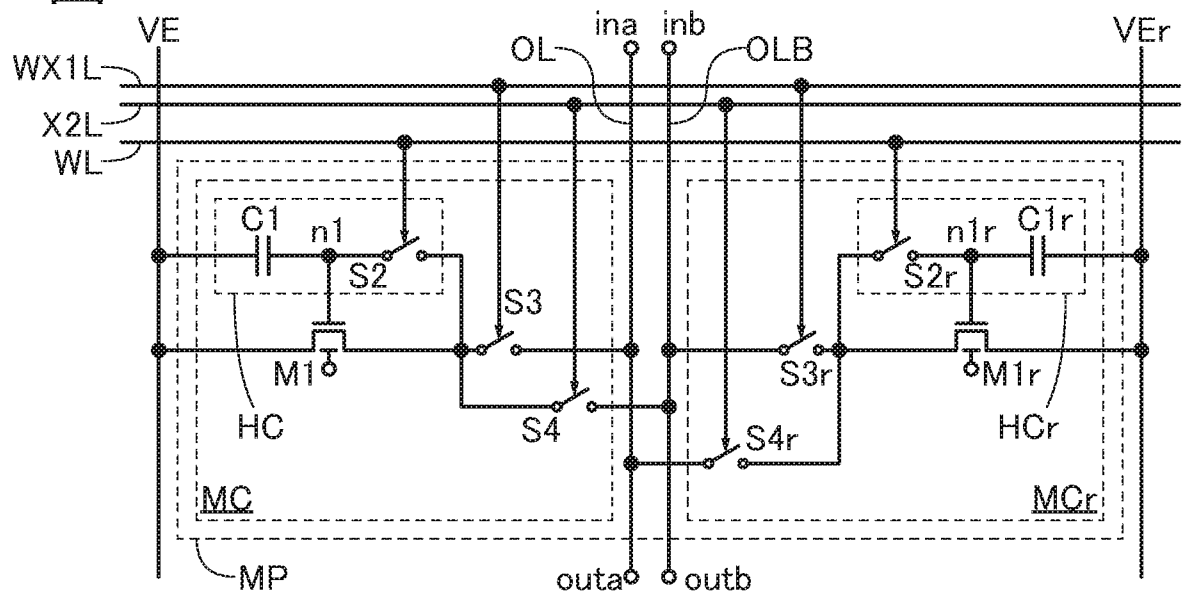


図28A

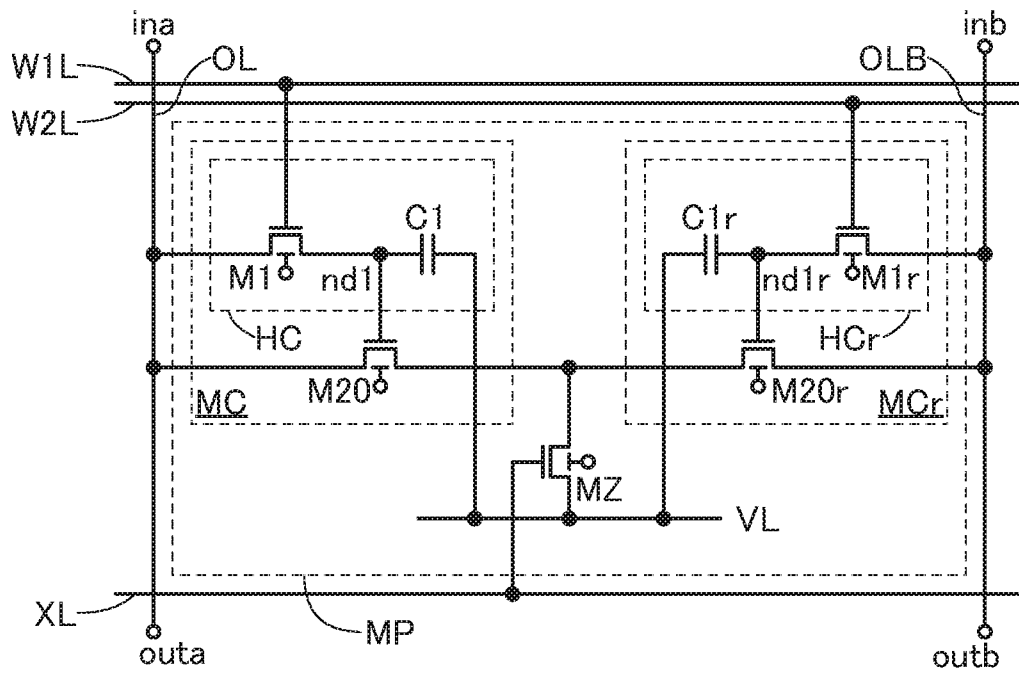


図28B

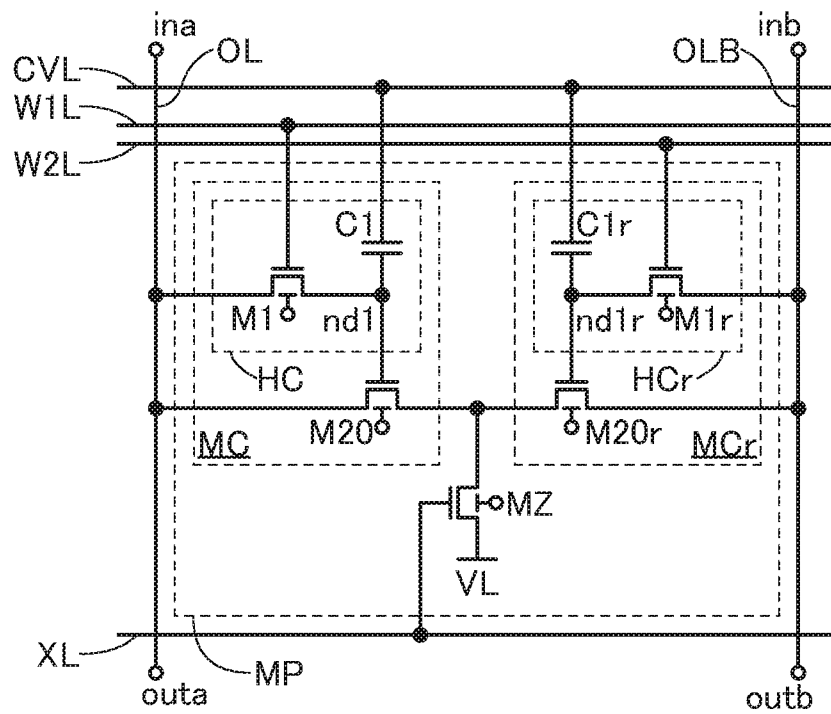


図29A

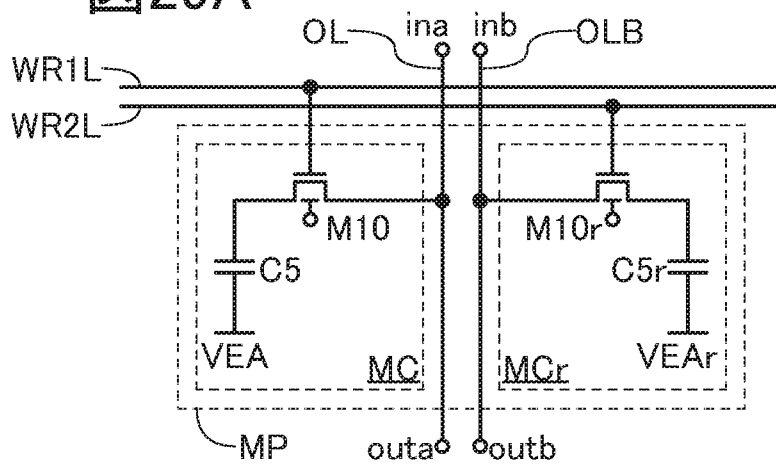


図29B

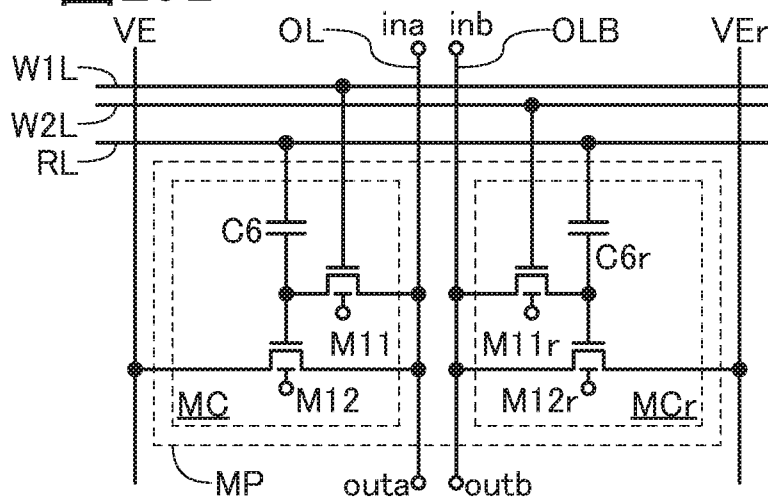


図29C

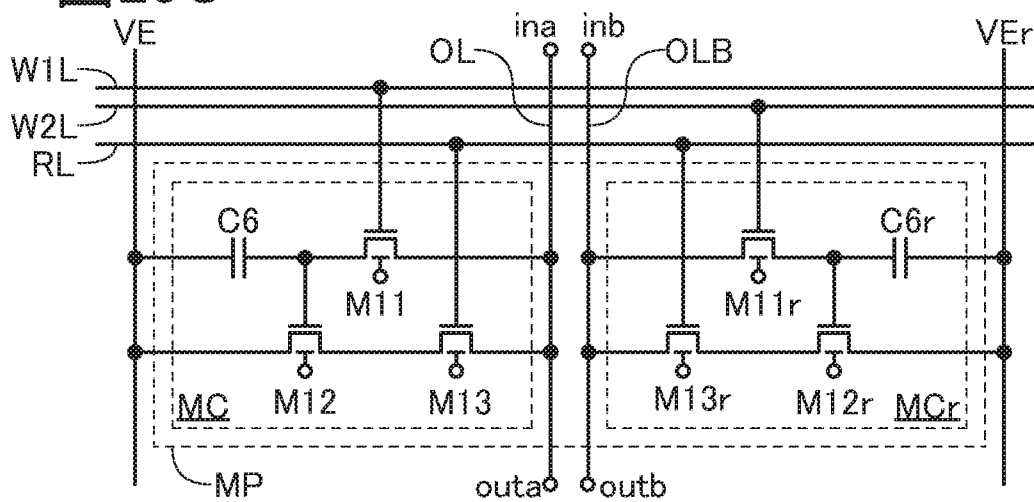


図 30A

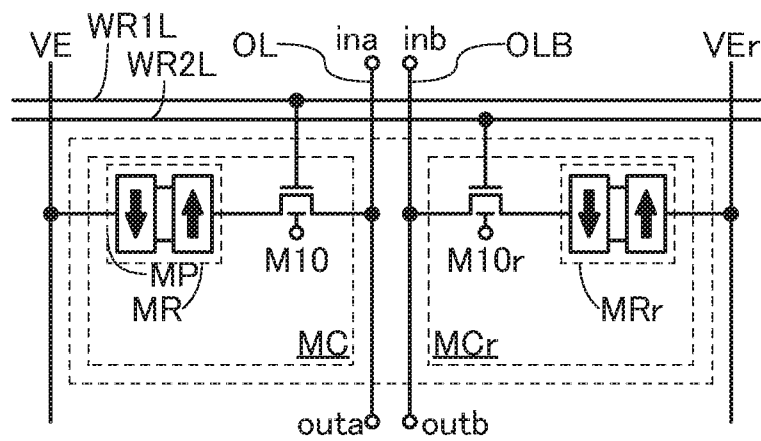
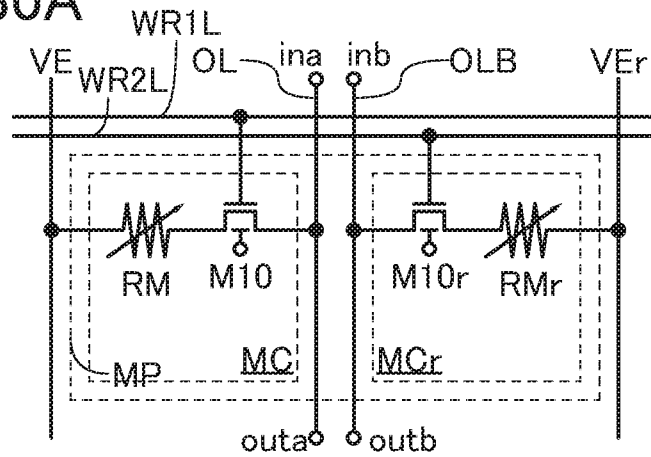
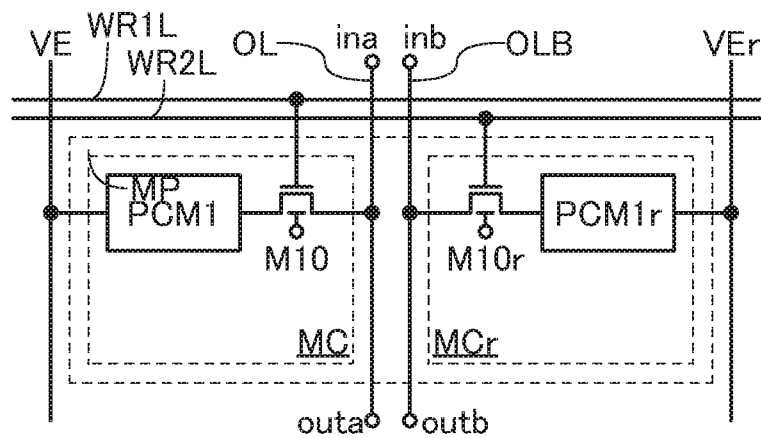
 30C

図31A

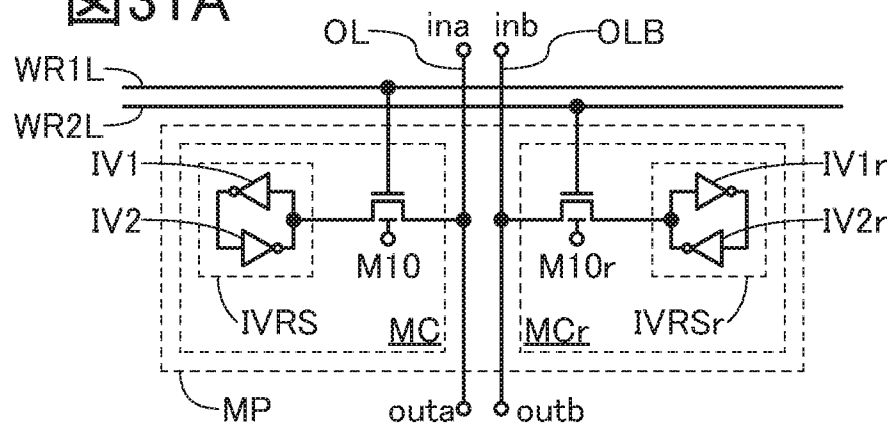


図31B

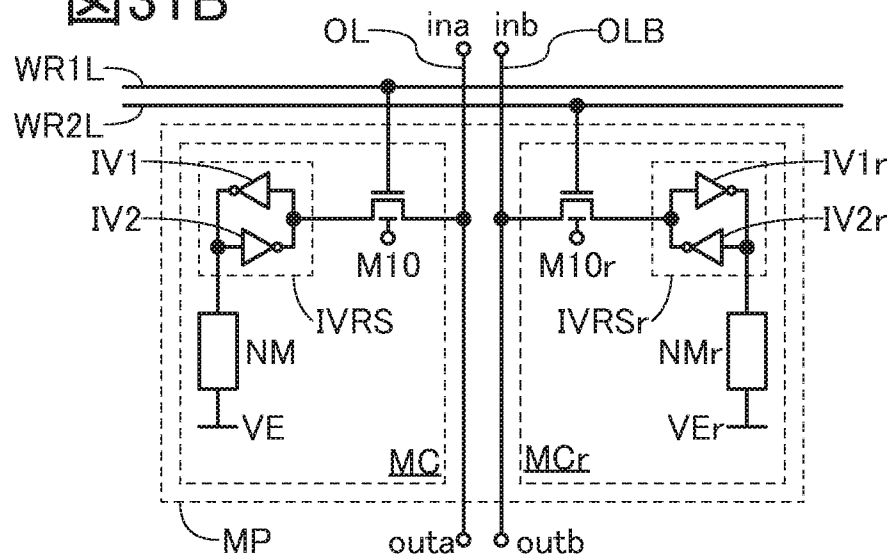


図31C

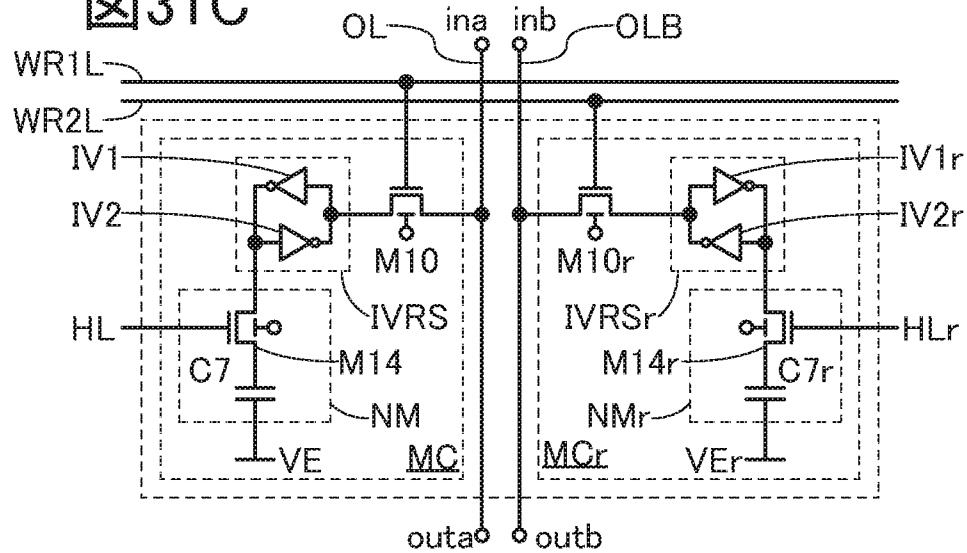


FIG 32A

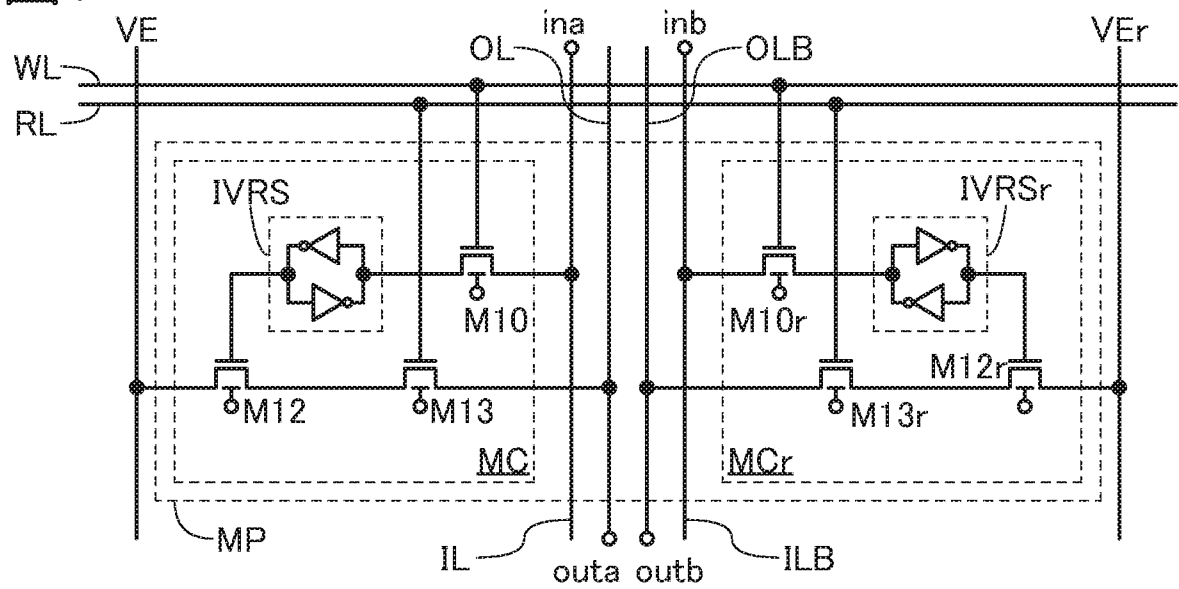
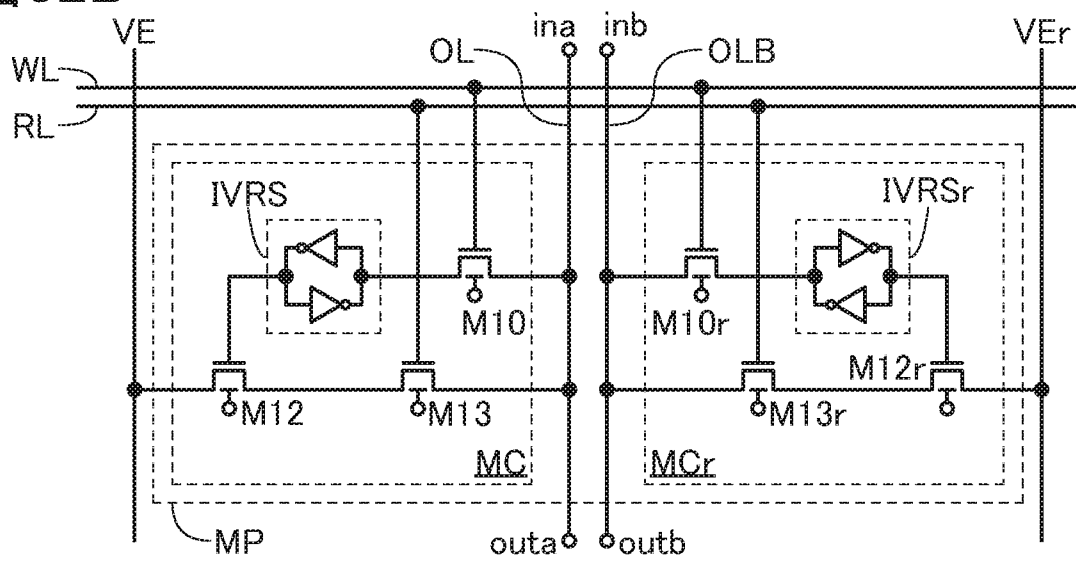


FIG 32B



33

33/45

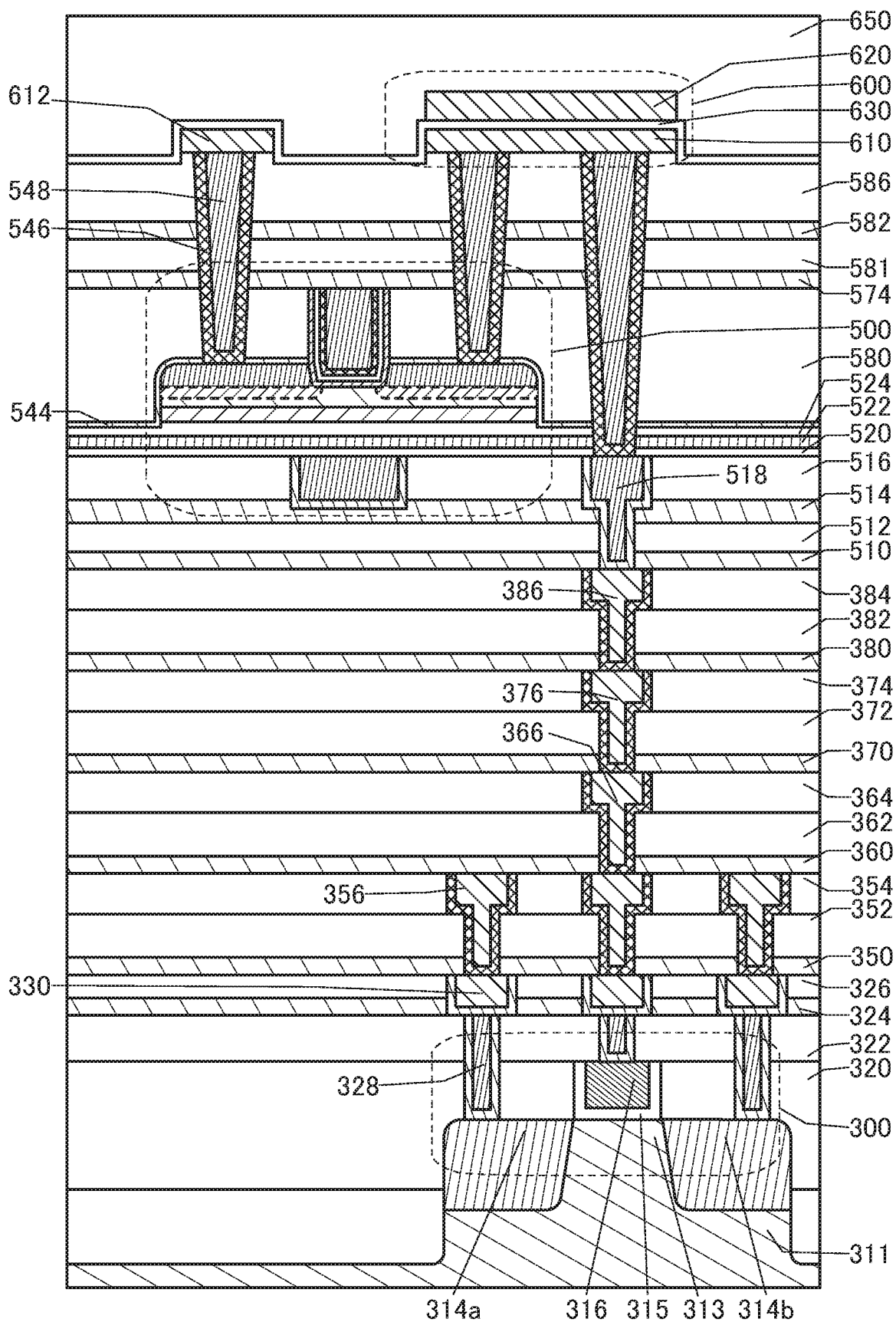


图 34

34/45

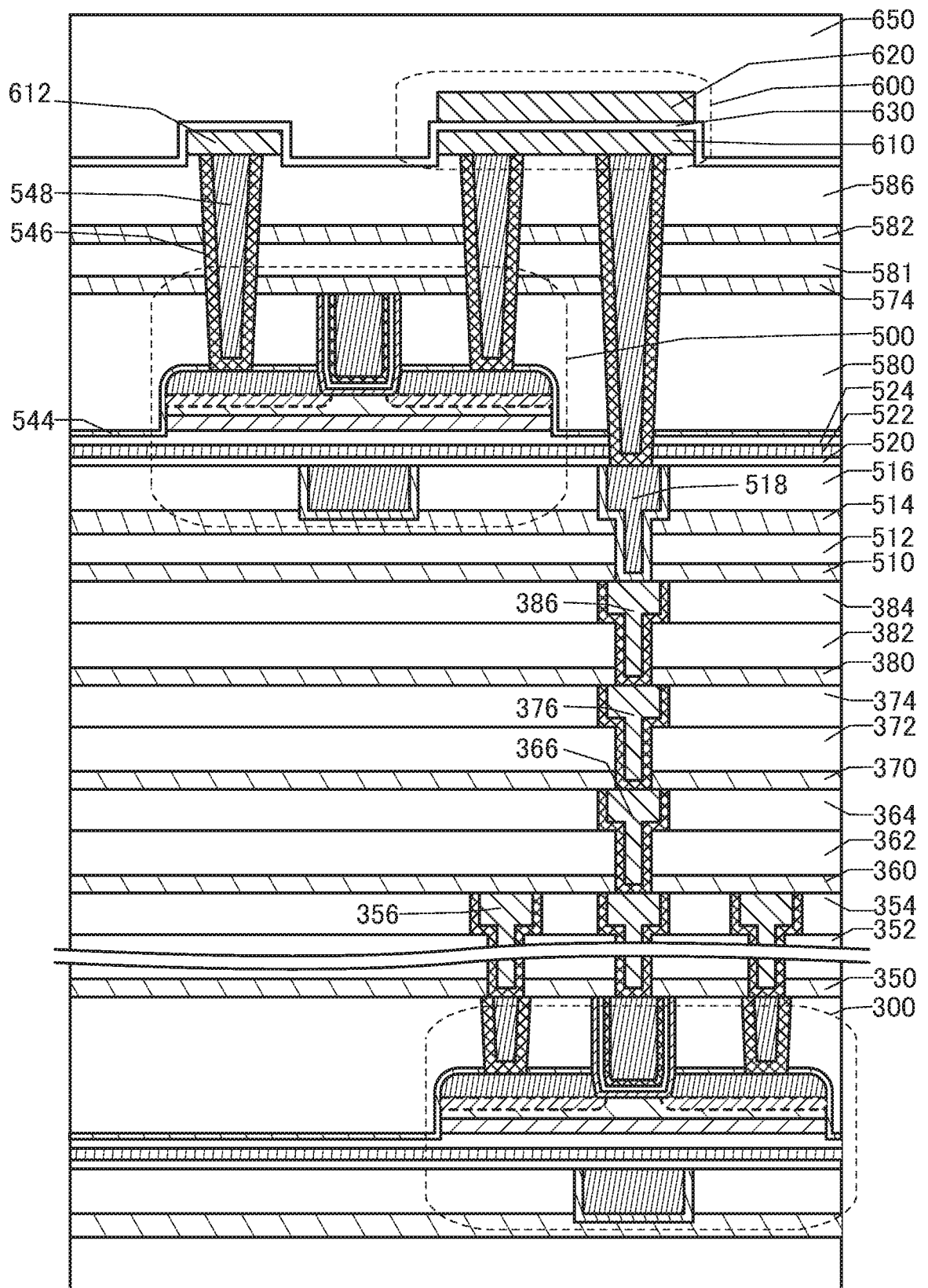


図35A

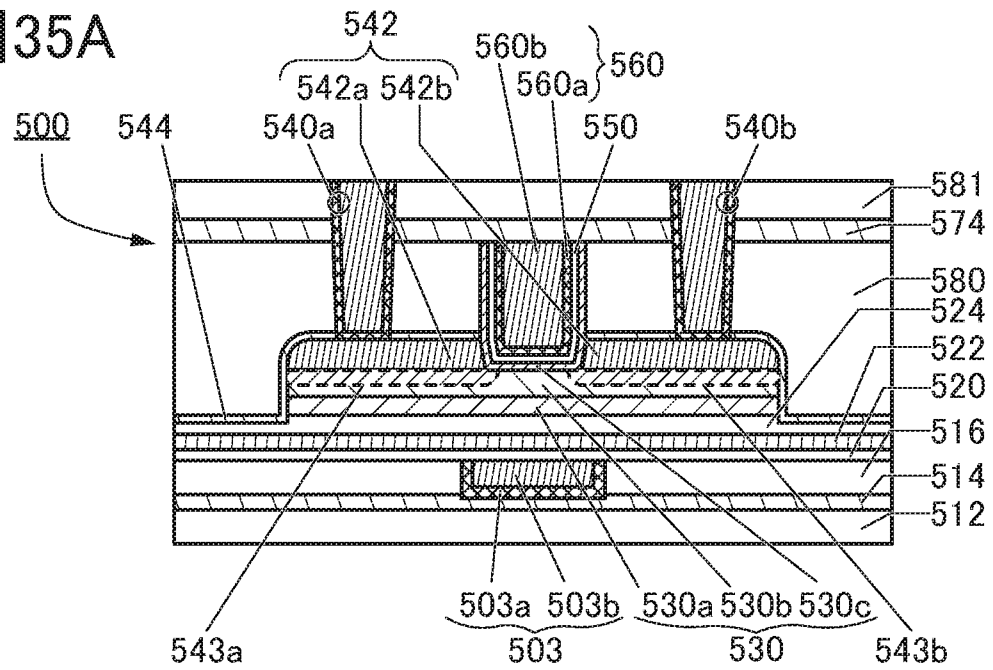


図35B

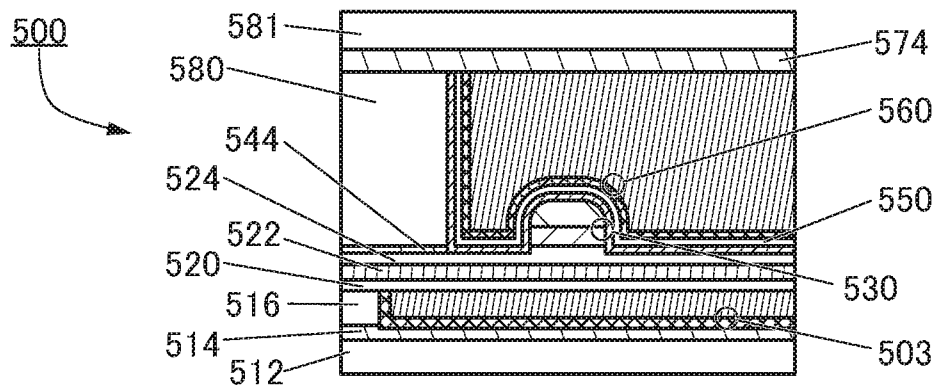
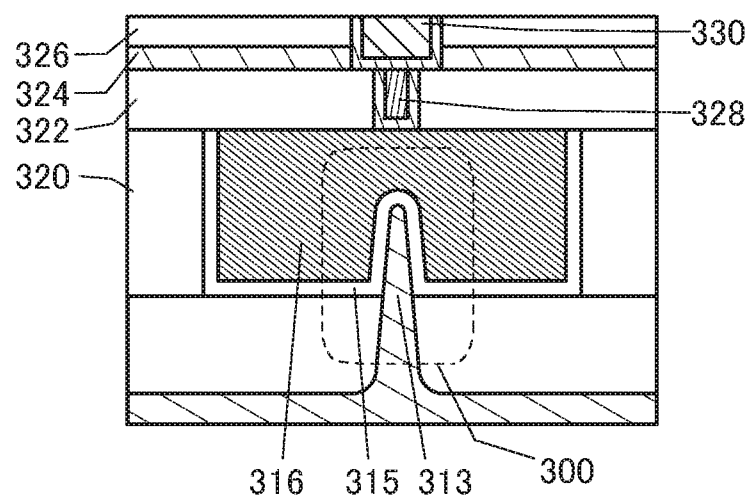


図35C



36A

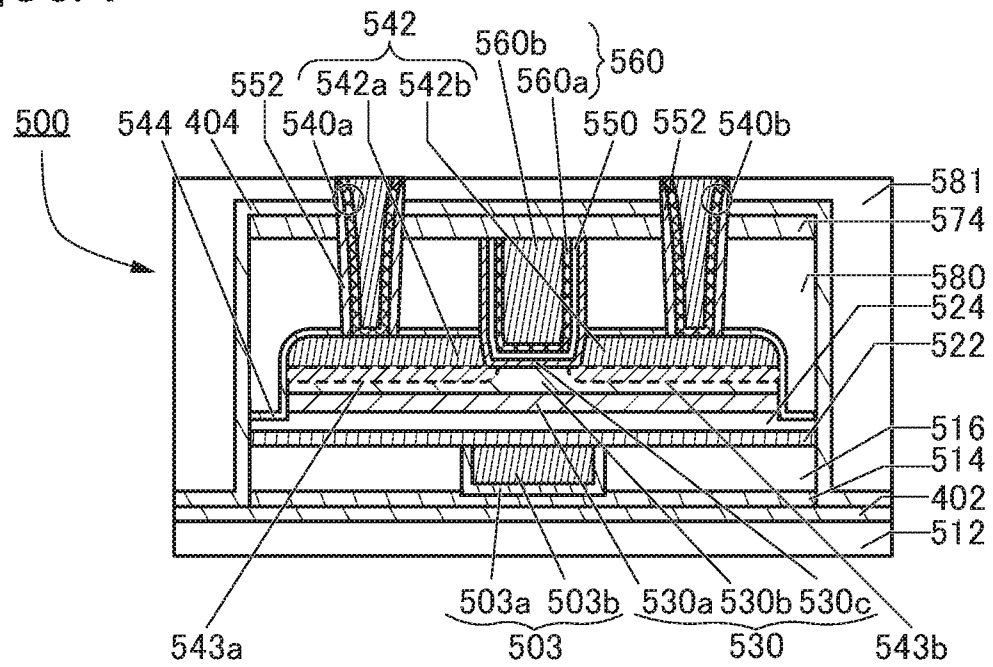
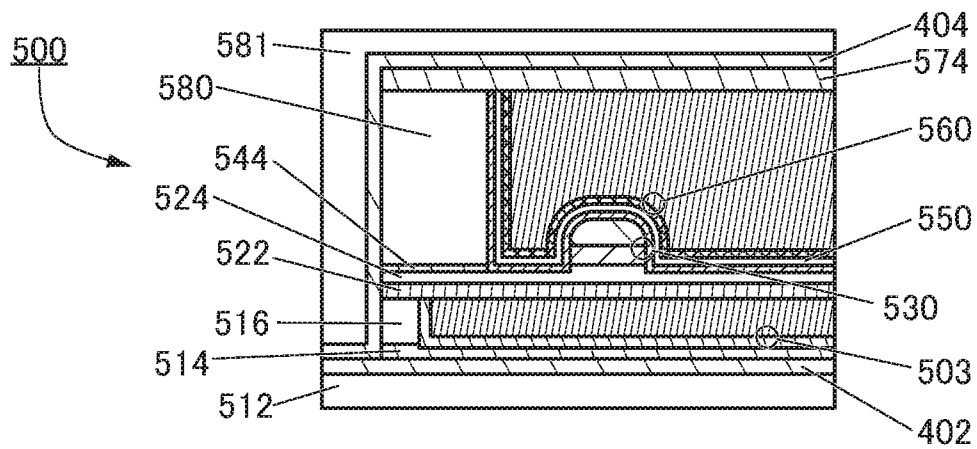


FIG. 36B



37

37/45

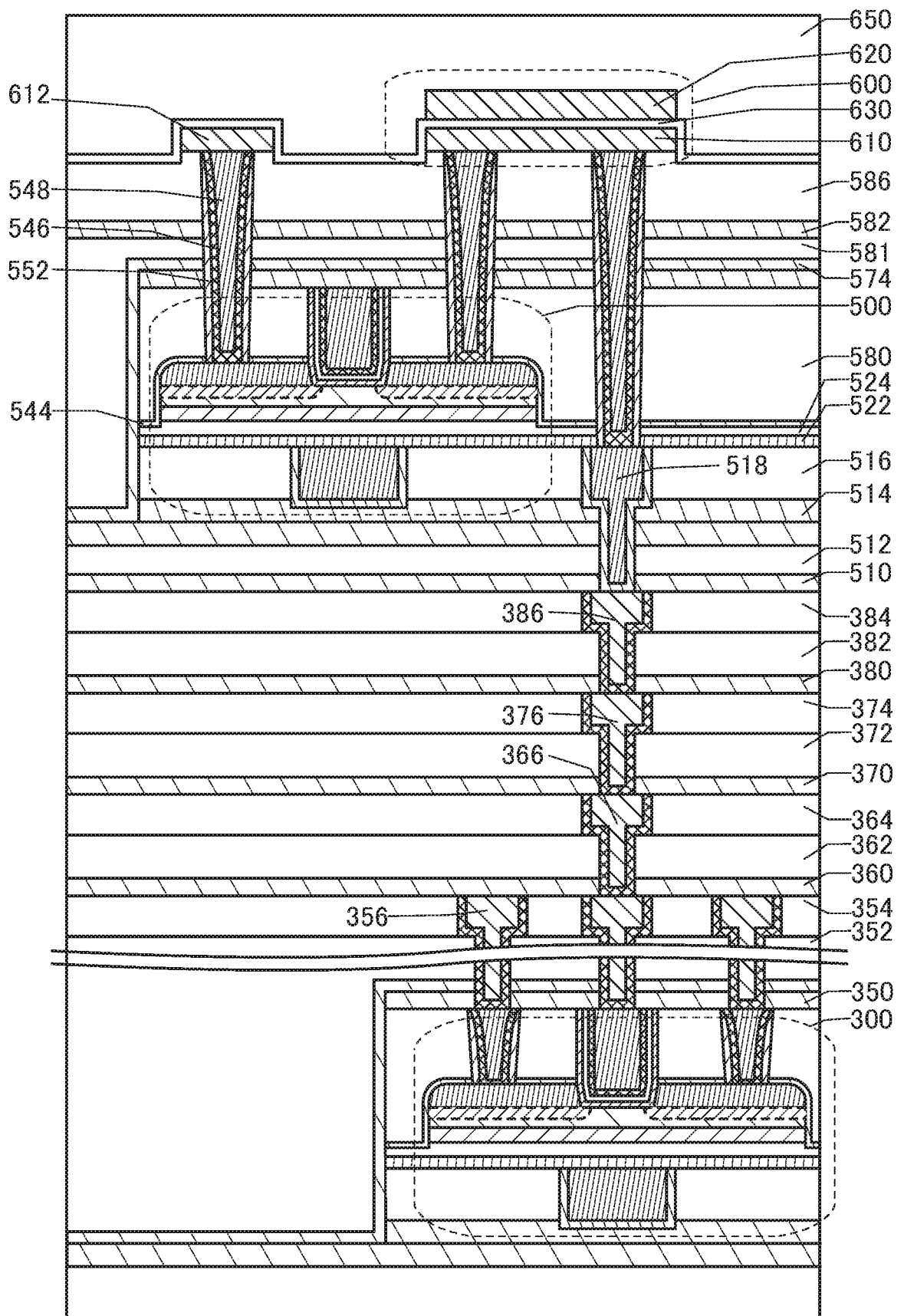


図38A

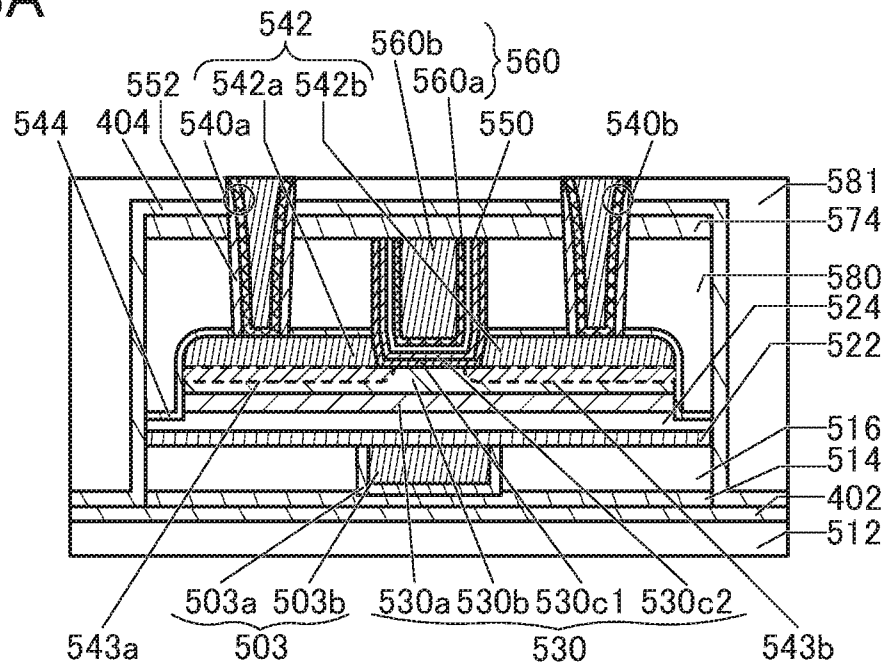
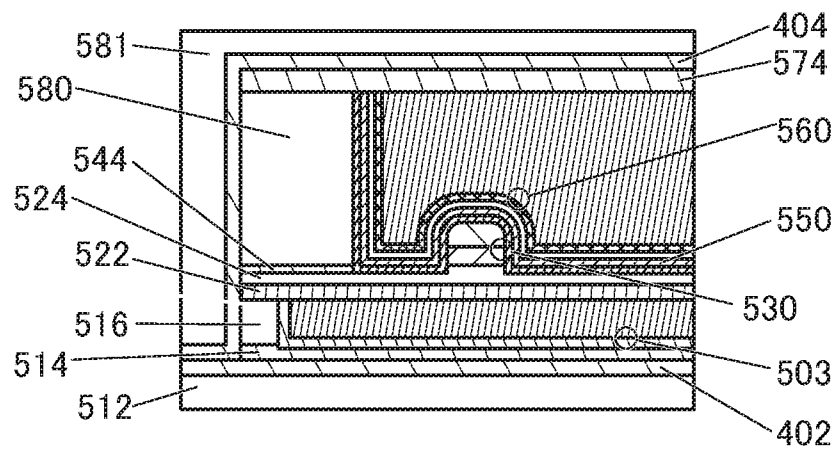


図38B



39

39/45

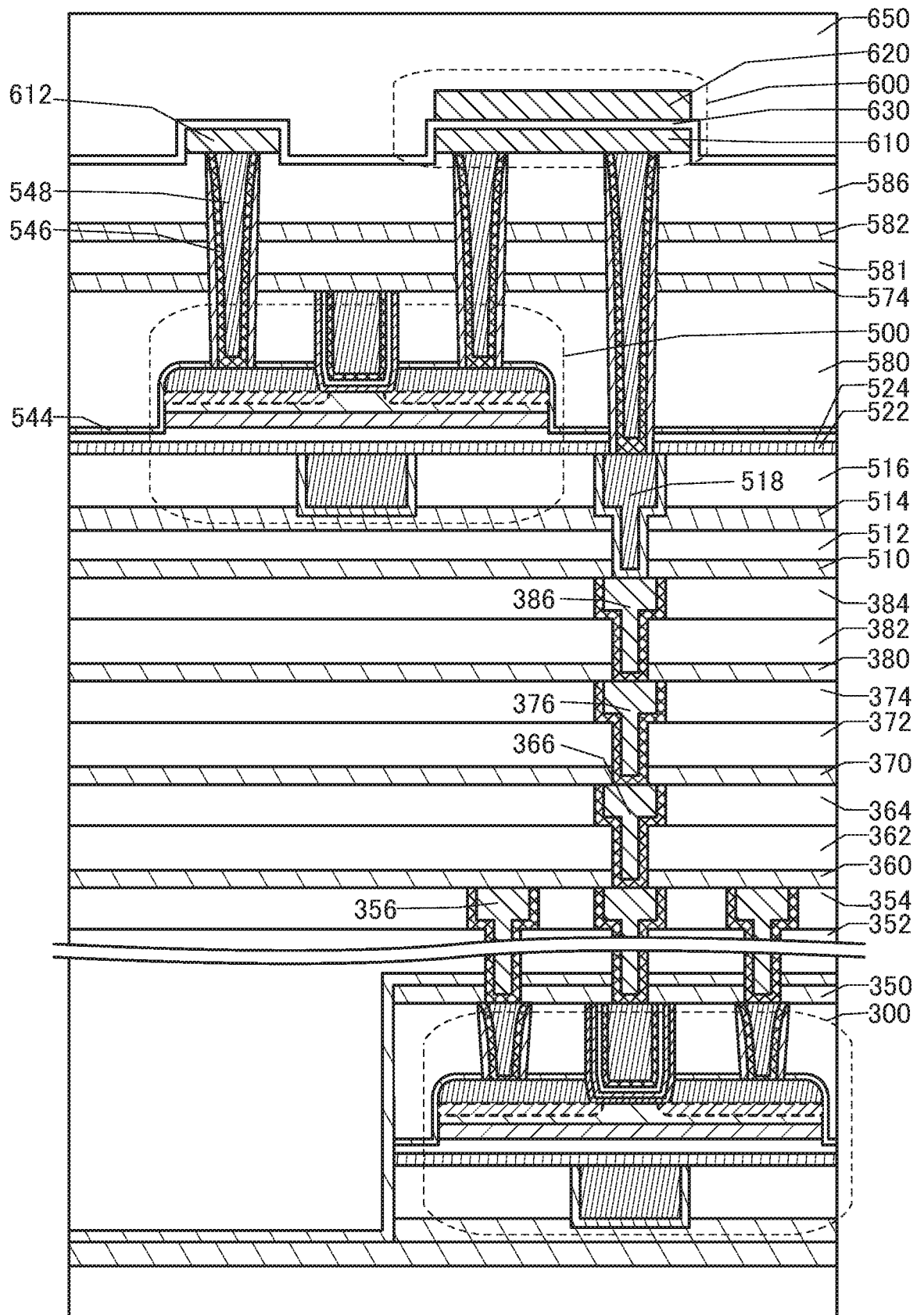


図 40A

600A

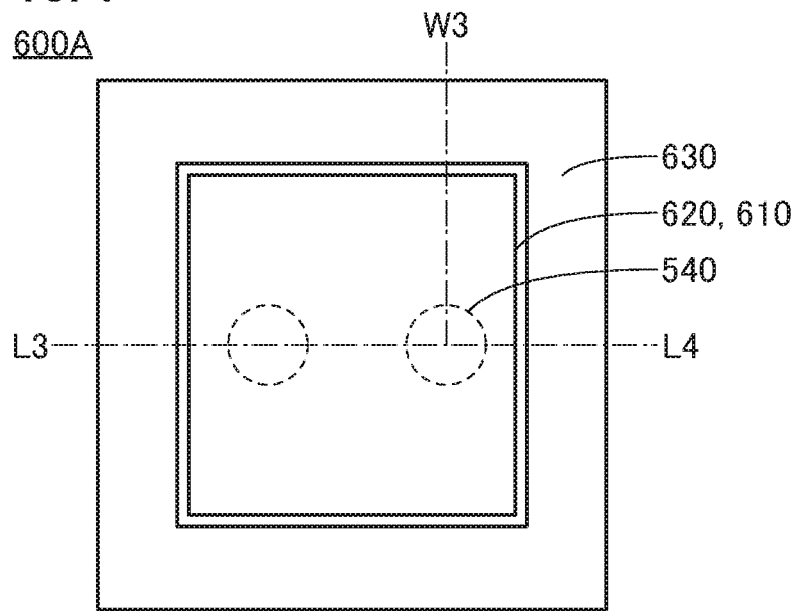


図 40B

600A

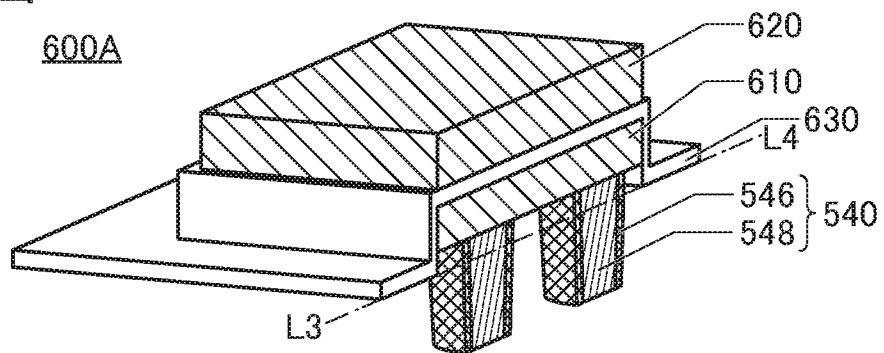


図 40C

600A

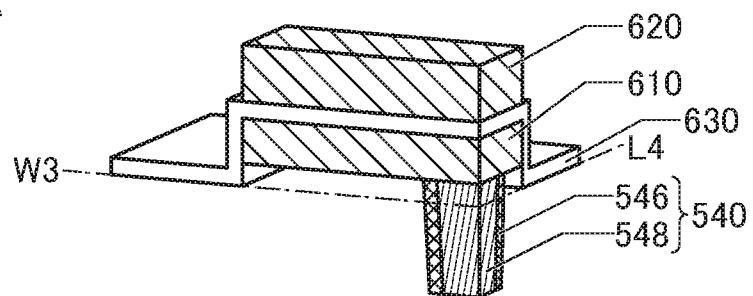


図41A

600B

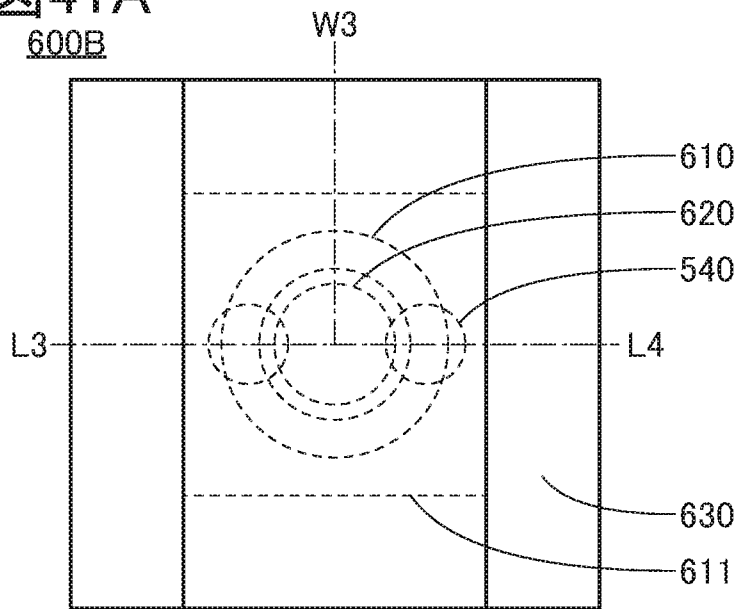


図41B

600B

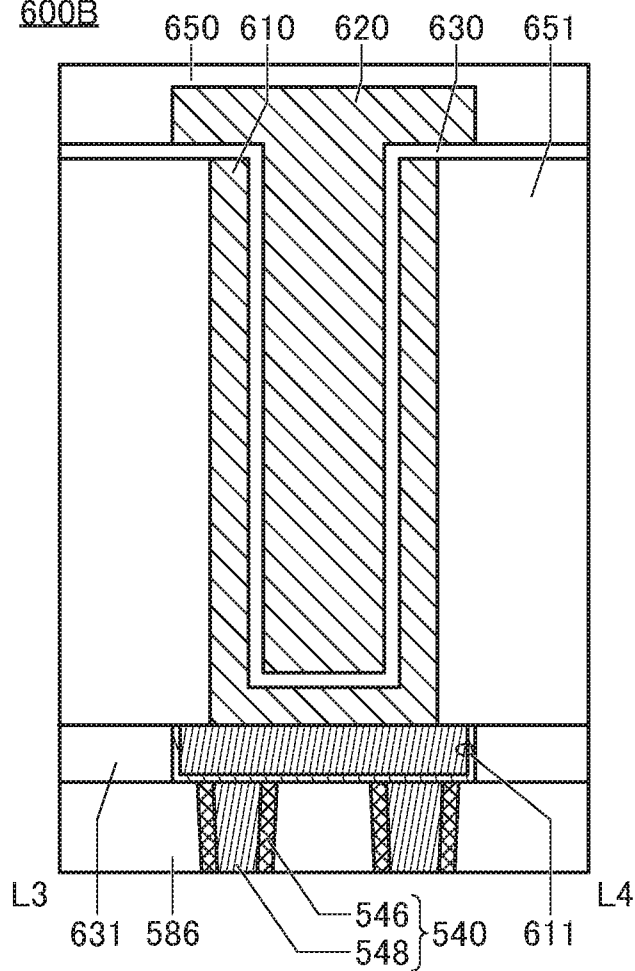


図41C

600B

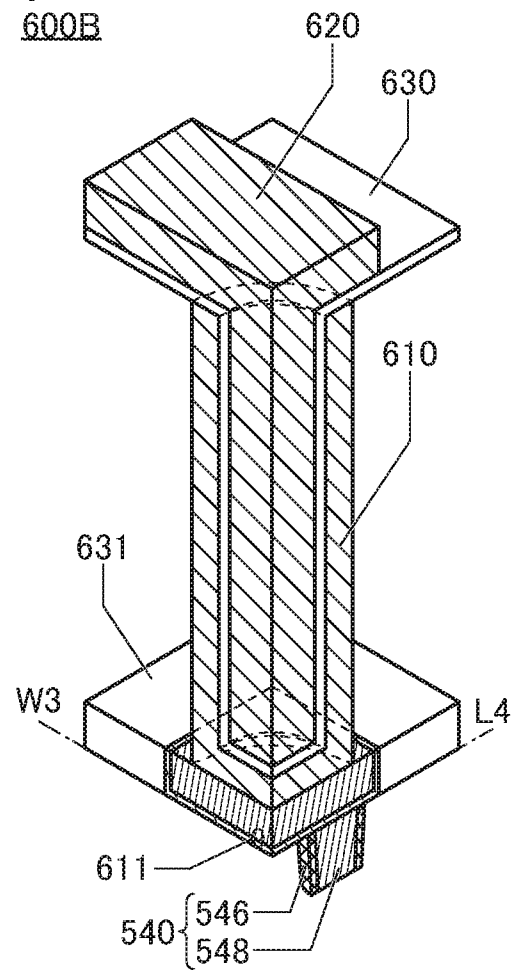


図42A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
• completely amorphous	• CAAC • nc • CAC excluding single crystal and poly crystal	• single crystal • poly crystal

図42B

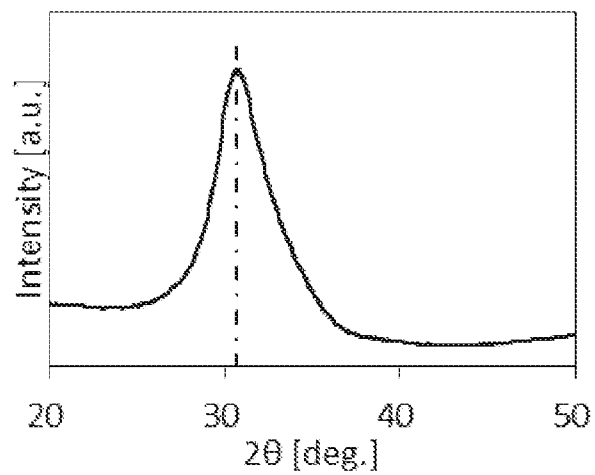
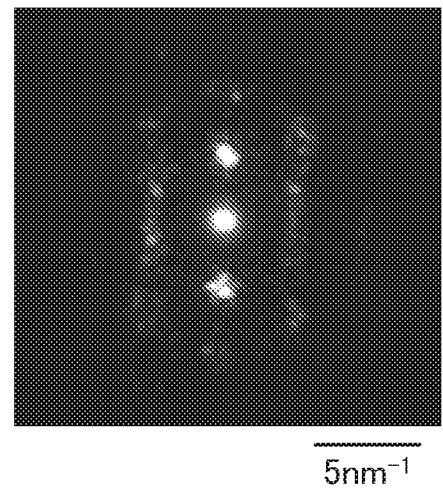


図42C



43/45

図43A

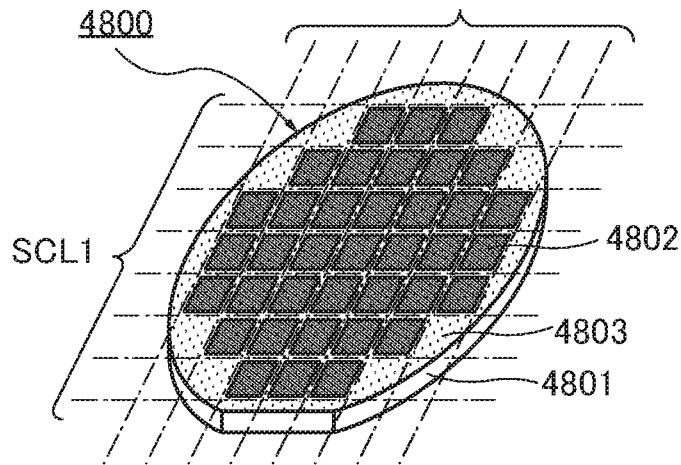


図43B

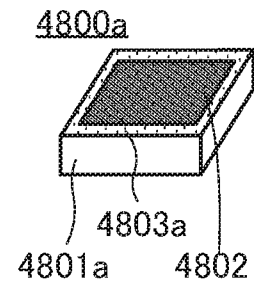


図43C

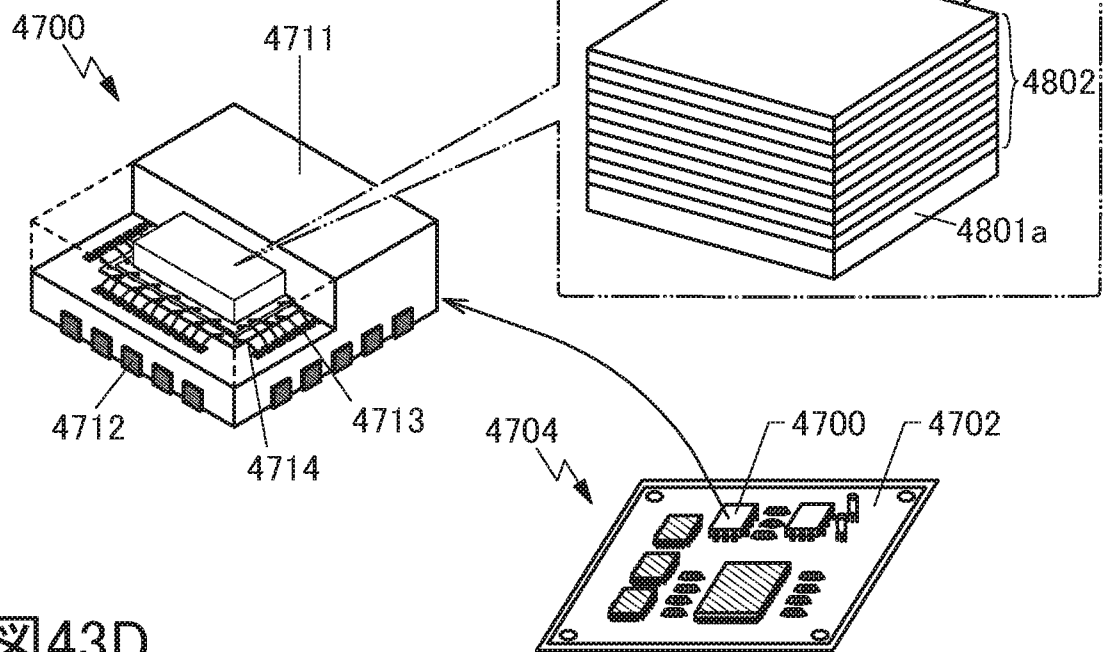
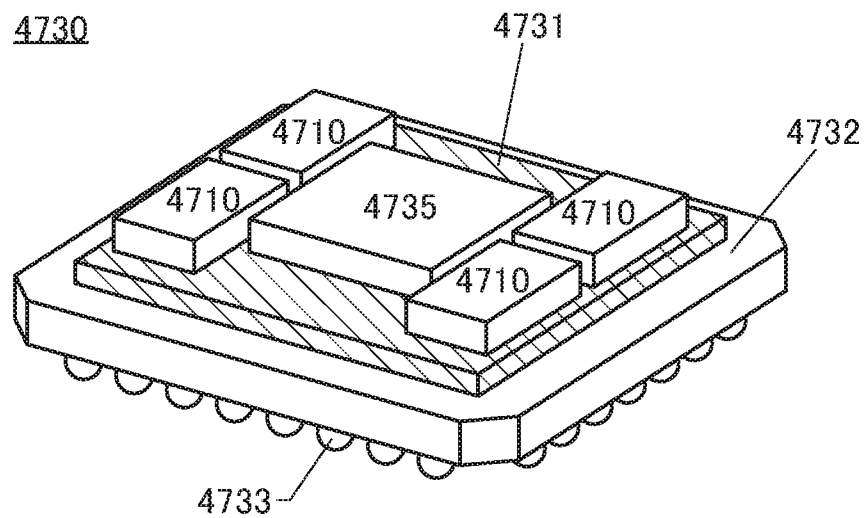


図43D



44

44/45

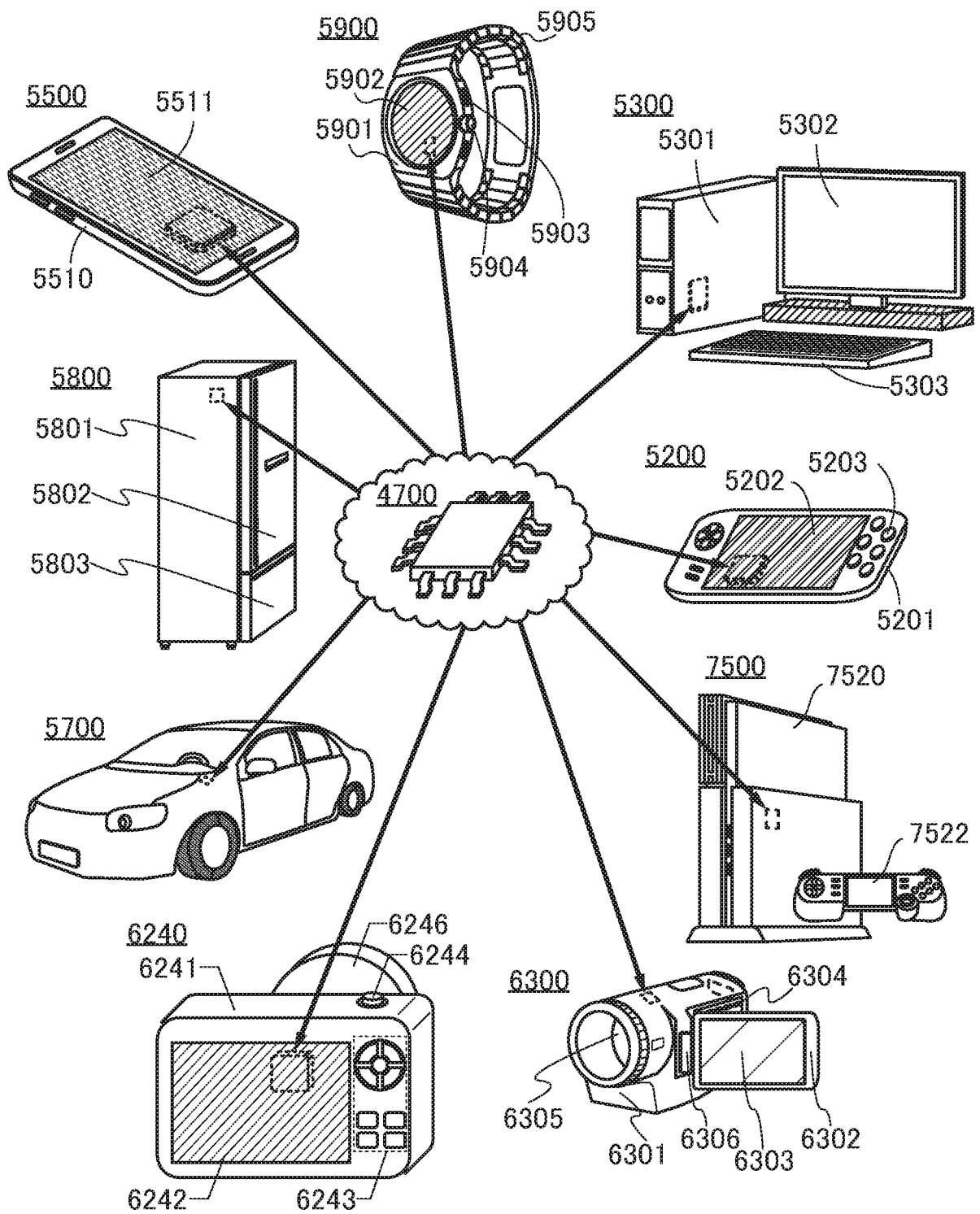


図45A

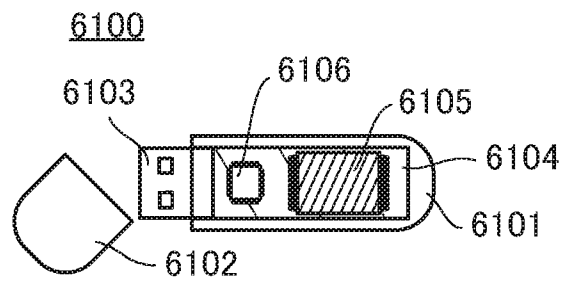


図45B

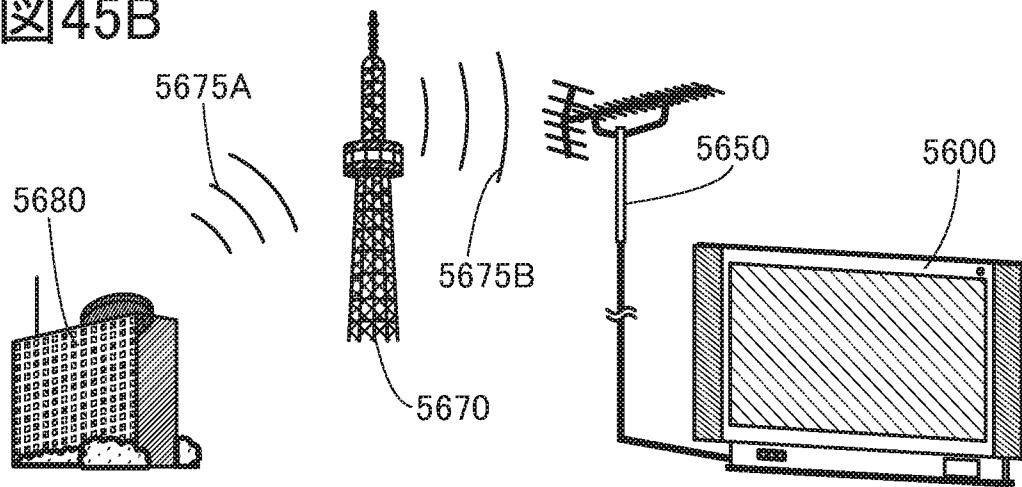
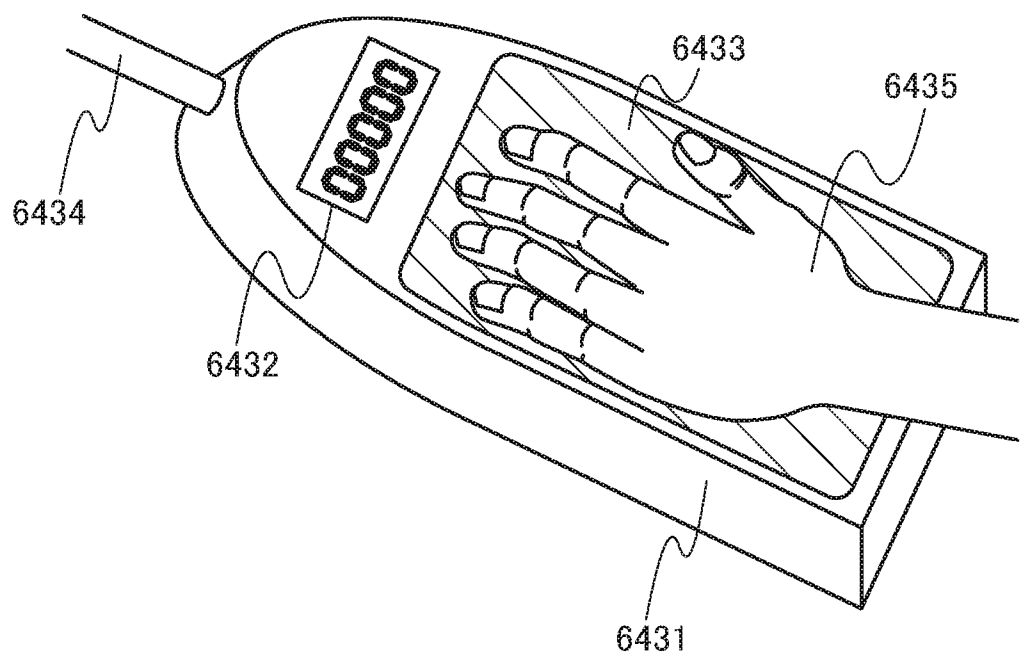


図45C



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/054307

A. CLASSIFICATION OF SUBJECT MATTER

G06G 7/16(2006.01)i; G06G 7/184(2006.01)i; G06G 7/19(2006.01)i; G06G 7/60(2006.01)i; G06N 3/063(2006.01)i

FI: G06G7/60; G06G7/16; G06G7/184; G06G7/19; G06N3/063

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06G7/16; G06G7/184; G06G7/19; G06G7/60; G06N3/063

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2019-3464 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10.01.2019 (2019-01-10) paragraphs [0027]-[0118], fig. 1-8	1-2, 5-6, 12 3-4, 7-11
A	JP 2001-52101 A (SEMICONDUCTOR TECHNOLOGY ACADEMIC RESEARCH CENTER) 23.02.2001 (2001-02-23) paragraphs [0016]-[0063], fig. 1-11	1-12
A	JP 2007-241475 A (CANON INC.) 20.09.2007 (2007-09-20) paragraphs [0012]-[0096], fig. 1-22	1-12

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

14 July 2020 (14.07.2020)

Date of mailing of the international search report

21 July 2020 (21.07.2020)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/IB2020/054307

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2019-3464 A	10 Jan. 2019	(Family: none)	
JP 2001-52101 A	23 Feb. 2001	US 6493263 B1 column 5, line 17 to column 15, line 58, fig. 1-11 EP 1076309 A1 TW 543005 B KR 10-2001-0067064 A	
JP 2007-241475 A	20 Sep. 2007	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06G 7/16(2006.01)i; G06G 7/184(2006.01)i; G06G 7/19(2006.01)i; G06G 7/60(2006.01)i; G06N 3/063(2006.01)i FI: G06G7/60; G06G7/16; G06G7/184; G06G7/19; G06N3/063		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G06G7/16; G06G7/184; G06G7/19; G06G7/60; G06N3/063 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2019-3464 A（株式会社半導体エネルギー研究所）10.01.2019（2019-01-10） 段落[0027]-[0118]，図1-8	1-2, 5-6, 12
A		3-4, 7-11
A	JP 2001-52101 A（株式会社半導体理工学研究センター）23.02.2001（2001-02-23） 段落[0016]-[0063]，図1-11	1-12
A	JP 2007-241475 A（キャノン株式会社）20.09.2007（2007-09-20） 段落[0012]-[0096]，図1-22	1-12
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 14.07.2020		国際調査報告の発送日 21.07.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 佐賀野 秀一 5E 5878 電話番号 03-3581-1101 内線 3521

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2020/054307

引用文献			公表日	パテントファミリー文献	公表日
JP	2019-3464	A	10.01.2019	(ファミリーなし)	
JP	2001-52101	A	23.02.2001	US 6493263 B1	
				第5欄第17行-第15欄第58行, 図1-11	
				EP 1076309 A1	
				TW 543005 B	
				KR 10-2001-0067064 A	
JP	2007-241475	A	20.09.2007	(ファミリーなし)	