(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0066805
(43) 공개일자 2023년05월16일

(51) 국제특허분류(Int. Cl.)
H03L 7/087 (2006.01) *H03L 7/091* (2006.01)
H03L 7/099 (2006.01)
(52) CPC특허분류
H03L 7/087 (2013.01)
H03L 7/091 (2013.01)
(21) 출원번호 10-2021-0152202
(22) 출원일자 2021년11월08일
심사청구일자 2021년11월08일

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
강진구
서울특별시 서초구 양재대로2길 109, 104동 1202호(우면동, 서초호반써밋)
이형욱
인천광역시 미추홀구 인하로47번길 126, 501호(용현동, 다인빌리지)
(74) 대리인
양성보

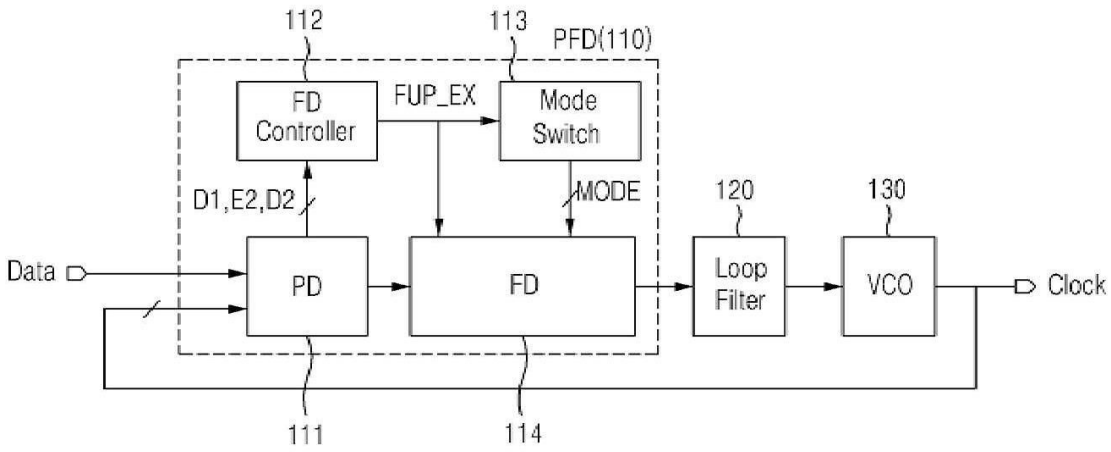
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **주파수 획득 범위 비-제한 및 기준 클럭이 없는 단일 루프 클럭 데이터 복원회로**

(57) 요 약

주파수 획득 범위 비-제한 및 기준 클럭이 없는 단일 루프 클럭 데이터 복원회로 및 그 동작 방법이 제시된다. 본 발명에서 제안하는 주파수 획득 범위 비-제한 및 기준 클럭이 없는 단일 루프 클럭 데이터 복원회로는 위상 주파수 검출기, 루프 필터 및 전압 제어 발진기를 포함하고, 상기 위상 주파수 검출기는 입력 데이터의 위상과 전압 제어 발진기의 출력 위상을 검출하는 위상 검출기, 위상 검출기의 출력을 입력 받아 목표 주파수가 전압 제어 발진기의 출력 주파수 범위 내에서 비-제한(Unrestricted) 캡처 범위를 갖도록 모드 스위치를 통해 주파수 검출기의 주파수 캡처 범위를 제어하는 주파수 검출 제어기, 주파수 검출 제어기의 제어에 따라 전압 제어 발진기의 출력 주파수를 조정하기 위한 복수의 모드를 제공하는 모드 스위치 및 주파수 검출 제어기 및 모드 스위치의 출력에 따라 전압 제어 발진기의 출력 주파수를 조정하는 주파수 검출기를 포함한다.

대 표 도



(52) CPC특허분류
H03L 7/099 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711133794
과제번호 10080285
부처명 과학기술정보통신부
과제관리(전문)기관명 한국산업기술평가관리원
연구사업명 전자정보디바이스산업원천기술개발사업(시스템반도체)
연구과제명 8k/4k 디스플레이를 위한 interface 표준화 및 IP기술 개발 (5차년도)
기 여 율 1/2
과제수행기관명 인하대학교산학협력단
연구기간 2021.01.01 ~ 2021.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1711119076
과제번호 2020R1F1A1077088
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 기본연구
연구과제명 [Ezbaro] EOM/BER 기반의 적응등화 기능이 포함된 NRZ/PAM4 고속인터페이스 수신단 회로 설계.
기 여 율 1/2
과제수행기관명 인하대학교
연구기간 2021.03.01 ~ 2022.02.28

명 세 서

청구범위

청구항 1

위상 주파수 검출기, 루프 필터 및 전압 제어 발진기를 포함하는 단일 루프 클럭 및 데이터 복원회로에 있어서,

상기 위상 주파수 검출기는,

입력 데이터의 위상과 전압 제어 발진기의 출력 위상을 검출하는 위상 검출기;

위상 검출기의 출력을 입력 받아 목표 주파수가 전압 제어 발진기의 출력 주파수 범위 내에서 비-제한(Unrestricted) 캡처 범위를 갖도록 모드 스위치를 통해 주파수 검출기의 주파수 캡처 범위를 제어하는 주파수 검출 제어기;

주파수 검출 제어기의 제어에 따라 전압 제어 발진기의 출력 주파수를 조정하기 위한 복수의 모드를 제공하는 모드 스위치; 및

주파수 검출 제어기 및 모드 스위치의 출력에 따라 전압 제어 발진기의 출력 주파수를 조정하는 주파수 검출기

를 포함하는 단일 루프 클럭 및 데이터 복원회로.

청구항 2

제1항에 있어서,

상기 주파수 검출 제어기는,

전압 제어 발진기의 출력 주파수와 목표 주파수를 비교하여 비교 결과에 따라 주파수 검출을 위한 신호(FUP)를 생성하는

단일 루프 클럭 및 데이터 복원회로.

청구항 3

제2항에 있어서,

전압 제어 발진기의 출력 주파수와 목표 주파수를 비교하여, 전압 제어 발진기의 출력 주파수가 목표 주파수보다 낮은 경우, 주파수 검출을 위한 신호(FUP)를 생성하고,

카운터를 통해 상기 생성된 주파수 검출을 위한 신호(FUP)의 상승 에지를 카운팅하고, 카운팅하는 동안 D 플립플롭을 이용하여 전압 제어 발진기의 출력 주파수를 상승시키기 위한 신호(FUP_EX)를 생성하는

단일 루프 클럭 및 데이터 복원회로.

청구항 4

제1항에 있어서,

상기 모드 스위치는,

주파수 검출 제어기에서 생성된 전압 제어 발진기의 출력 주파수를 상승시키기 위한 신호(FUP_EX)를 이용하여,

전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있지 않을 경우, 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 감소시키는 모드(모드 0),

전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있지 않을 경우, 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 증가시키는 모드(모드 1), 및

전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있을 경우, 모드 스위치를 통해 주파수 검출기를 제어하지 않는 모드(모드 2)

를 포함하는 복수의 모드를 제공하는

단일 루프 클럭 및 데이터 복원회로.

청구항 5

위상 주파수 검출기, 루프 필터 및 전압 제어 발진기를 포함하는 단일 루프 클럭 및 데이터 복원회로의 단일 루프 클럭 및 데이터 복원 방법에 있어서 -상기 위상 주파수 검출기는 위상 검출기, 주파수 검출 제어기, 모드 스위치 및 주파수 검출기를 포함함-,

위상 검출기를 통해 입력 데이터의 위상과 전압 제어 발진기의 출력 위상을 검출하는 단계;

주파수 검출 제어기를 통해 위상 검출기의 출력을 입력 받아 목표 주파수가 전압 제어 발진기의 출력 주파수 범위 내에서 비-제한(Unrestricted) 캡처 범위를 갖도록 모드 스위치를 통해 주파수 검출기의 주파수 캡처 범위를 제어하는 단계;

주파수 검출 제어기의 제어에 따라 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 조정하기 위한 복수의 모드를 제공하는 단계; 및

주파수 검출 제어기 및 모드 스위치의 출력에 따라 주파수 검출기를 통해 전압 제어 발진기의 출력 주파수를 조정하는 단계

를 포함하는 단일 루프 클럭 및 데이터 복원 방법.

청구항 6

제5항에 있어서,

상기 주파수 검출 제어기를 통해 위상 검출기의 출력을 입력 받아 목표 주파수가 전압 제어 발진기의 출력 주파수 범위 내에서 비-제한 캡처 범위를 갖도록 모드 스위치를 통해 주파수 검출기의 주파수 캡처 범위를 제어하는 단계는,

전압 제어 발진기의 출력 주파수와 목표 주파수를 비교하여 비교 결과에 따라 주파수 검출을 위한 신호(FUP)를 생성하는

단일 루프 클럭 및 데이터 복원 방법.

청구항 7

제6항에 있어서,

전압 제어 발진기의 출력 주파수와 목표 주파수를 비교하여, 전압 제어 발진기의 출력 주파수가 목표 주파수보다 낮은 경우, 주파수 검출을 위한 신호(FUP)를 생성하고,

카운터를 통해 상기 생성된 주파수 검출을 위한 신호(FUP)의 상승 에지를 카운팅하고, 카운팅하는 동안 D 플립플롭을 이용하여 전압 제어 발진기의 출력 주파수를 상승시키기 위한 신호(FUP_EX)를 생성하는

단일 루프 클럭 및 데이터 복원 방법.

청구항 8

제1항에 있어서,

상기 주파수 검출 제어기의 제어에 따라 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 조정하기 위한 복수의 모드를 제공하는 단계는,

주파수 검출 제어기에서 생성된 전압 제어 발진기의 출력 주파수를 상승시키기 위한 신호(FUP_EX)를 이용하여,

전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있지 않을 경우, 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 감소시키는 모드(모드 0),

전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있지 않을 경우, 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 증가시키는 모드(모드 1), 및

전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있을 경우, 모드 스위치를 통해 주파수 검출기를 제어하지 않는 모드(모드 2)

를 포함하는 복수의 모드를 제공하는

단일 루프 클럭 및 데이터 복원 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 주파수 획득 범위에 제한이 없고, 기준 클럭이 없는 단일 루프 클럭 및 데이터 복원회로에 관한 것이다.

배 경 기 술

[0002] 클럭 및 데이터 복원회로(Clock and Date Recovery; CDR)는 고속 인터페이스와 같은 디지털 시스템에서 데이터의 타이밍 정보를 추출하고 클럭 지터 및 스큐를 줄이기 위해 설계된다.

[0003] 종래기술에 따른 기준 클럭이 있는 클럭 및 데이터 복원회로(Referenced CDR)는 사용 가능한 데이터 속도의 범위가 좁기 때문에 다양한 설계에 직접 적용할 수 없다. 하지만, 기준 클럭이 없는 클럭 및 데이터 복원회로(Reference-less CDR)는 대역폭이 넓을 뿐만 아니라 크리스탈 발진기(crystal oscillators)와 같은 외부 클럭 발생기가 필요하지 않기 때문에 다양한 설계에 쉽게 적용할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자 하는 기술적 과제는 주파수 검출기의 주파수 캡처 범위를 확장시키기 위한 주파수 검출 제어기 및 모드 스위치를 제안한다. 목표 주파수가 VCO의 주파수 범위 내에 있는 한 비-제한 캡처 범위를 가질 수 있는 주파수 검출 제어기 및 모드 스위치를 제안하고자 한다.

과제의 해결 수단

[0005] 일 측면에 있어서, 본 발명에서 제안하는 주파수 획득 범위 비-제한 및 기준 클럭이 없는 단일 루프 클럭 데이터 복원회로는 위상 주파수 검출기, 루프 필터 및 전압 제어 발진기를 포함하고, 상기 위상 주파수 검출기는 입력 데이터의 위상과 전압 제어 발진기의 출력 위상을 검출하는 위상 검출기, 위상 검출기의 출력을 입력 받아 목표 주파수가 전압 제어 발진기의 출력 주파수 범위 내에서 비-제한(Unrestricted) 캡처 범위를 갖도록 모드 스위치를 통해 주파수 검출기의 주파수 캡처 범위를 제어하는 주파수 검출 제어기, 주파수 검출 제어기의 제어에 따라 전압 제어 발진기의 출력 주파수를 조정하기 위한 복수의 모드를 제공하는 모드 스위치 및 주파수 검출 제어기 및 모드 스위치의 출력에 따라 전압 제어 발진기의 출력 주파수를 조정하는 주파수 검출기를 포함한다.

[0006] 상기 주파수 검출 제어기는 전압 제어 발진기의 출력 주파수와 목표 주파수를 비교하여 비교 결과에 따라 주파수 검출을 위한 신호(FUP)를 생성한다.

[0007] 상기 주파수 검출 제어기는 전압 제어 발진기의 출력 주파수와 목표 주파수를 비교하여, 전압 제어 발진기의 출력 주파수가 목표 주파수보다 낮은 경우, 주파수 검출을 위한 신호(FUP)를 생성하고, 카운터를 통해 상기 생성된 주파수 검출을 위한 신호(FUP)의 상승 에지를 카운팅하고, 카운팅하는 동안 D 플립플롭을 이용하여 전압 제어 발진기의 출력 주파수를 상승시키기 위한 신호(FUP_EX)를 생성한다.

[0008] 상기 모드 스위치는 주파수 검출 제어기에서 생성된 전압 제어 발진기의 출력 주파수를 상승시키기 위한 신호(FUP_EX)를 이용하여, 전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있지 않을 경우, 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 감소시키는 모드(모드 0), 전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있지 않을 경우, 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 증가시키는 모드(모드 1), 및 전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있을 경우, 모드 스위치를 통해 주파수 검출기를 제어하지 않는 모드(모드 2)를 포함하는 복수의 모드를 제공한다.

[0009] 또 다른 일 측면에 있어서, 위상 주파수 검출기, 루프 필터 및 전압 제어 발진기를 포함하고, 상기 위상 주파수 검출기는 위상 검출기, 주파수 검출 제어기, 모드 스위치 및 주파수 검출기를 포함하는 주파수 획득 범위 비-제한 및 기준 클럭이 없는 단일 루프 클럭 데이터 복원회로의 동작 방법은 위상 검출기를 통해 입력 데이터의 위상과 전압 제어 발진기의 출력 위상을 검출하는 단계, 주파수 검출 제어기를 통해 위상 검출기의 출력을 입력받아 목표 주파수가 전압 제어 발진기의 출력 주파수 범위 내에서 비-제한(Unrestricted) 캡처 범위를 갖도록 모드 스위치를 통해 주파수 검출기의 주파수 캡처 범위를 제어하는 단계, 주파수 검출 제어기의 제어에 따라 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 조정하기 위한 복수의 모드를 제공하는 단계 및 주파수 검출 제어기 및 모드 스위치의 출력에 따라 주파수 검출기를 통해 전압 제어 발진기의 출력 주파수를 조정하는 단계를 포함한다.

발명의 효과

[0010] 본 발명의 실시예들에 따른 주파수 검출 제어기 및 모드 스위치를 통해 주파수 검출기의 주파수 캡처 범위를 확장시킬 수 있다. 또한, 제안하는 주파수 검출 제어기 및 모드 스위치를 통해 목표 주파수가 VCO의 주파수 범위 내에 있는 한 비-제한 캡처 범위를 가질 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 일 실시예에 따른 주파수 획득 범위 비-제한 및 기준 클럭이 없는 단일 루프 클럭 데이터 복원회로의 구성을 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 주파수 검출 제어기의 구성을 나타내는 도면이다.

도 3은 본 발명의 일 실시예에 따른 전압 제어 발진기의 출력 주파수와 목표 주파수에 따라 샘플링된 데이터를 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 전압 제어 발진기의 출력 주파수와 목표 주파수를 비교하여 생성된 주파수 검출을 위한 신호의 타이밍도이다.

도 5는 본 발명의 일 실시예에 따른 모드 스위치의 구성을 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 주파수 획득 범위 비-제한 및 기준 클럭이 없는 단일 루프 클럭 데이터 복원 방법을 설명하기 위한 흐름도이다.

도 7은 본 발명의 일 실시예에 따른 모드 스위치의 복수의 모드 동작 과정을 설명하기 위한 흐름도이다.

도 8은 본 발명의 일 실시예에 따른 단일 루프 클럭 데이터 복원의 시뮬레이션 결과이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0014] 도 1은 본 발명의 일 실시예에 따른 주파수 획득 범위 비-제한 및 기준 클럭이 없는 단일 루프 클럭 데이터 복원회로의 구성을 나타내는 도면이다.

[0015] 본 발명은 비-제한 주파수 획득을 지원하는 8-26Gb/s 단일 루프의 기준 클럭이 없는 클럭 및 데이터 복원회로(Clock and Date Recovery; CDR)를 제안한다. 본 발명의 실시예에 따른 CDR 회로는 28nm CMOS 기술로 설계되었다.

[0016] 본 발명의 실시예에 따른 주파수 검출(Frequency Detector; FD) 제어기와 모드 스위치가 주파수 검출기의 주파수 캡처 범위를 확장하기 위해 제안된다. 제안하는 주파수 검출 제어기와 모드 스위치가 적용된 위상 주파수 검출기(PFD)는 목표 주파수가 전압 제어 발진기의 주파수 범위 내에 있는 한 비-제한 캡처 범위를 갖는다. 본 발명의 실시예에 따른 시뮬레이션을 통해 제안된 CDR 회로가 8Gb/s ~ 26Gb/s의 캡처 범위와 0.47μs의 주파수 획득 시간을 달성함을 확인 하였다. 본 발명의 실시예에 따른 CDR 회로는 고속 입력 데이터를 복구하기 위해 하프-레이트(half-rate)에서 작동하도록 설계되었다. 도 1을 참조하여 제안하는 주파수 획득 범위 비-제한 및 기준 클럭이 없는 단일 루프 클럭 데이터 복원회로의 구성을 더욱 상세히 설명한다.

[0017] 제안하는 주파수 획득 범위 비-제한 및 기준 클럭이 없는 단일 루프 클럭 데이터 복원회로는 위상 주파수 검출

기(Phase Frequency Detector; PFD)(110), 루프 필터(Loop Filter; LF)(120) 및 전압 제어 발진기(Voltage-Controlled Oscillator; VCO)(130)를 포함한다.

[0018] 본 발명의 실시예에 따른 위상 주파수 검출기(PFD)(110)는 위상 검출기(Phase Detector; PD)(111), 주파수 검출 제어기(Frequency Detect Controller)(112), 모드 스위치(Mode Switch)(113) 및 주파수 검출기(Frequency Detector; FD)(114)를 포함한다.

[0019] 본 발명의 실시예에 따른 위상 검출기(PD)(111)는 입력 데이터의 위상과 전압 제어 발진기(VCO)(130)의 출력 위상을 검출한다.

[0020] 본 발명의 실시예에 따른 주파수 검출 제어기(112)는 위상 검출기(111)의 출력을 입력 받아 목표 주파수가 전압 제어 발진기(VCO)(130)의 출력 주파수 범위 내에서 비-제한(Unrestricted) 캡처 범위를 갖도록 모드 스위치(113)를 통해 주파수 검출기(114)의 주파수 캡처 범위를 제어한다.

[0021] 본 발명의 실시예에 따른 주파수 검출 제어기(112)는 전압 제어 발진기(VCO)(130)의 출력 주파수와 목표 주파수를 비교하여 비교 결과에 따라 주파수 검출을 위한 신호(FUP)를 생성한다.

[0022] 본 발명의 실시예에 따른 주파수 검출 제어기(112)는 전압 제어 발진기(VCO)(130)의 출력 주파수와 목표 주파수를 비교하여, 전압 제어 발진기(VCO)(130)의 출력 주파수가 목표 주파수보다 낮은 경우, 주파수 검출을 위한 신호(FUP)를 생성한다.

[0023] 본 발명의 실시예에 따르면, 주파수 검출 제어기(112)는 카운터를 통해 상기 생성된 주파수 검출을 위한 신호(FUP)의 상승 에지를 카운팅하고, 카운팅하는 동안 D 플립플롭을 이용하여 전압 제어 발진기(VCO)(130)의 출력 주파수를 상승시키기 위한 신호(FUP_EX)를 생성한다.

[0024] 본 발명의 실시예에 따른 모드 스위치(113)는 주파수 검출 제어기(112)의 제어에 따라 전압 제어 발진기(VCO)(130)의 출력 주파수를 조정하기 위한 복수의 모드를 제공한다.

[0025] 본 발명의 실시예에 따른 모드 스위치(113)는 주파수 검출 제어기(112)에서 생성된 전압 제어 발진기(VCO)(130)의 출력 주파수를 상승시키기 위한 신호(FUP_EX)를 이용하여 복수의 모드를 제공할 수 있다.

[0026] 본 발명의 실시예에 따른 모드 0은 전압 제어 발진기(VCO)(130)의 출력 주파수가 주파수 검출기(FD)(114)의 주파수 캡처 범위 내에 있지 않을 경우, 모드 스위치를 통해 전압 제어 발진기(VCO)(130)의 출력 주파수를 감소시키는 모드이다.

[0027] 본 발명의 실시예에 따른 모드 1은 전압 제어 발진기(VCO)(130)의 출력 주파수가 주파수 검출기(FD)(114)의 주파수 캡처 범위 내에 있지 않을 경우, 모드 스위치를 통해 전압 제어 발진기(VCO)(130)의 출력 주파수를 증가시키는 모드이다.

[0028] 본 발명의 실시예에 따른 모드 2는 전압 제어 발진기(VCO)(130)의 출력 주파수가 주파수 검출기(FD)(114)의 주파수 캡처 범위 내에 있을 경우, 모드 스위치를 통해 주파수 검출기(FD)(114)를 제어하지 않는 모드이다.

[0029] 본 발명의 실시예에 따른 주파수 검출기(FD)(114)는 주파수 검출 제어기(112) 및 모드 스위치(113)의 출력에 따라 전압 제어 발진기(VCO)(130)의 출력 주파수를 조정한다.

[0031] 도 2는 본 발명의 일 실시예에 따른 주파수 검출 제어기의 구성을 나타내는 도면이다.

[0032] 본 발명의 실시예에 따른 주파수 검출 제어기(Frequency Detect Conroller)는 전압 제어 발진기에서 출력되는 클럭의 주파수(f_{clk})가 목표 주파수(f_{target})보다 낮은 경우 이를 감지하여 FUP_EX를 생성함으로써 주파수 감지기의 동작을 제어한다.

[0033] 본 발명의 실시예에 따른 주파수 검출 제어기의 구조는 도 2와 같다. 본 발명의 실시예에 따른 주파수 검출 제어기는 카운터(Counter)(210) 및 D 플립플롭(220)을 포함한다. 위상 검출기의 출력인 E1, E2, E3은 입력 데이터의 에지에서 샘플링된 데이터이고, D1과 D2는 두 에지의 중간 지점에서 샘플링된 데이터이다. 주파수 검출 제어기의 논리 게이트는 D1, E2, D2의 값이 010 또는 101일 때 FUP를 생성한다.

[0035] 도 3은 본 발명의 일 실시예에 따른 전압 제어 발진기의 출력 주파수와 목표 주파수에 따라 샘플링된 데이터를

나타내는 도면이다.

[0036] 전압 제어 발진기에서 출력되는 클럭의 주파수(f_{clk})가 목표 주파수(f_{target})보다 낮을 때 샘플링된 데이터는 도 3(a)와 같이 010 또는 101이 될 수 있다. 반대로 전압 제어 발진기에서 출력되는 클럭의 주파수(f_{clk})가 목표 주파수(f_{target})보다 높은 경우 샘플링된 데이터는 도 3(b)와 같이 010 또는 101이 될 수 없다. 즉, FUP를 사용하면 전압 제어 발진기에서 출력되는 클럭의 주파수(f_{clk})가 목표 주파수(f_{target})보다 낮거나 높은지 여부를 결정할 수 있다.

[0038] 도 4는 본 발명의 일 실시예에 따른 전압 제어 발진기의 출력 주파수와 목표 주파수를 비교하여 생성된 주파수 검출을 위한 신호의 타이밍도이다.

[0039] 다시 도 2를 참조하면, 본 발명의 실시예에 따른 주파수 검출 제어기의 카운터(210)와 D 플립플롭(220)은 FUP를 확장하고 FUP_EX를 생성한다. FUP이 발생하면 카운터(210)는 클럭의 특정 수의 상승 에지를 카운트하고 그 시간 동안 D 플립플롭(220)은 도 4와 같이 FUP_EX를 생성한다. FUP_EX 신호는 전압 제어 발진기의 출력 주파수를 상승시키도록 주파수 검출기를 제어한다.

[0041] 도 5는 본 발명의 일 실시예에 따른 모드 스위치의 구성을 나타내는 도면이다.

[0042] 본 발명의 실시예에 따른 모드 스위치는 위상 주파수 검출기가 3가지 모드(모드 0, 모드 1, 모드 2)로 동작하도록 제어하며, 그 구조는 도 5와 같다.

[0043] 본 발명의 실시예에 따른 모드 0은 전압 제어 발진기의 출력 주파수(f_{clk})가 감소하는 위상이고, 본 발명의 실시예에 따른 모드 1은 제어 발진기의 출력 주파수(f_{clk})가 증가하는 위상이며, 본 발명의 실시예에 따른 모드 2는 위상 주파수 검출기가 주파수를 획득하는 위상이다.

[0044] 더욱 상세하게는, 본 발명의 실시예에 따른 모드 0은 전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있지 않을 경우, 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 감소시키는 모드이다.

[0045] 본 발명의 실시예에 따른 모드 1은 전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있지 않을 경우, 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 증가시키는 모드이다.

[0046] 본 발명의 실시예에 따른 모드 2는 전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있을 경우, 모드 스위치를 통해 주파수 검출기를 제어하지 않는 모드이다.

[0047] 본 발명의 실시예에 따른 CDR 회로가 처음 활성화되면 모드 0에서 시작하여 전압 제어 발진기의 출력 주파수(f_{clk})가 점차 낮아지도록 주파수 검출기를 강제로 제어한다. 이 과정에서 전압 제어 발진기의 출력 주파수(f_{clk})가 목표 주파수(f_{target})보다 보다 낮으면 위에서 설명한 바와 같이 주파수 검출 제어기는 FUP을 생성하여 FUP_EX를 출력하도록 한다.

[0048] FUP 신호가 생성되었는지 판단하여, FUP 신호가 생성된 경우, 모드 스위치는 이 신호를 감지하고 모드 1로 진입한다. 모드 1에서 모드 스위치는 전압 제어 발진기의 출력 주파수(f_{clk})를 증가시키도록 주파수 검출기를 제어한다.

[0049] 이 모드에서 전압 제어 발진기의 출력 주파수(f_{clk})가 목표 주파수(f_{target})에 접근하고 클럭이 일정 횟수 카운트하는 동안 FUP을 생성되지 않아 FUP_EX 신호가 발생하지 않으면 모드 2로 진입한다.

[0050] 모드 2에서 모드 스위치는 더 이상 주파수 검출기를 제어하지 않으며 전압 제어 발진기의 출력 주파수(f_{clk})는 목표 주파수(f_{target})에 충분히 가깝기 때문에 전압 제어 발진기의 출력 주파수(f_{clk})는 주파수 검출기의 주파수 캡처 범위 내에 있으므로 CDR 회로가 올바른 주파수를 획득할 수 있다. 따라서 제안하는 CDR 회로는 목표 주파수가 전압 제어 발진기의 주파수 범위 내에 있는 한 초기 클럭 주파수에 관계없이 주파수를 획득할 수 있다.

[0052] 도 6은 본 발명의 일 실시예에 따른 주파수 획득 범위 비-제한 및 기준 클럭이 없는 단일 루프 클럭 데이터 복원 방법을 설명하기 위한 흐름도이다.

[0053] 제안하는 주파수 획득 범위 비-제한 및 기준 클럭이 없는 단일 루프 클럭 데이터 복원회로는 위상 주파수 검출기, 루프 필터 및 전압 제어 발진기를 포함하고, 상기 위상 주파수 검출기는 위상 검출기, 주파수 검출 제어기, 모드 스위치 및 주파수 검출기를 포함한다.

[0054] 본 발명의 실시예에 따른 단일 루프 클럭 및 데이터 복원회로의 단일 루프 클럭 및 데이터 복원 방법은 위상 검출기를 통해 입력 데이터의 위상과 전압 제어 발진기의 출력 위상을 검출하는 단계(610), 주파수 검출 제어기를 통해 위상 검출기의 출력을 입력 받아 목표 주파수가 전압 제어 발진기의 출력 주파수 범위 내에서 비-제한(Unrestricted) 캡처 범위를 갖도록 모드 스위치를 통해 주파수 검출기의 주파수 캡처 범위를 제어하는 단계(620), 주파수 검출 제어기의 제어에 따라 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 조정하기 위한 복수의 모드를 제공하는 단계(630) 및 주파수 검출 제어기 및 모드 스위치의 출력에 따라 주파수 검출기를 통해 전압 제어 발진기의 출력 주파수를 조정하는 단계(640)를 포함한다.

[0055] 단계(610)에서, 위상 검출기를 통해 입력 데이터의 위상과 전압 제어 발진기의 출력 위상을 검출한다.

[0056] 단계(620)에서, 주파수 검출 제어기를 통해 위상 검출기의 출력을 입력 받아 목표 주파수가 전압 제어 발진기의 출력 주파수 범위 내에서 비-제한(Unrestricted) 캡처 범위를 갖도록 모드 스위치를 통해 주파수 검출기의 주파수 캡처 범위를 제어한다.

[0057] 본 발명의 실시예에 따른 주파수 검출 제어기는 전압 제어 발진기의 출력 주파수와 목표 주파수를 비교하여 비교 결과에 따라 주파수 검출을 위한 신호(FUP)를 생성한다.

[0058] 본 발명의 실시예에 따른 주파수 검출 제어기는 전압 제어 발진기의 출력 주파수와 목표 주파수를 비교하여, 전압 제어 발진기의 출력 주파수가 목표 주파수보다 낮은 경우, 주파수 검출을 위한 신호(FUP)를 생성한다.

[0059] 본 발명의 실시예에 따르면, 주파수 검출 제어기는 카운터를 통해 상기 생성된 주파수 검출을 위한 신호(FUP)의 상승 에지를 카운팅하고, 카운팅하는 동안 D 플립플롭을 이용하여 전압 제어 발진기의 출력 주파수를 상승시키기 위한 신호(FUP_EX)를 생성한다.

[0060] 단계(630)에서, 주파수 검출 제어기의 제어에 따라 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 조정하기 위한 복수의 모드를 제공한다.

[0061] 본 발명의 실시예에 따른 모드 스위치는 주파수 검출 제어기에서 생성된 전압 제어 발진기의 출력 주파수를 상승시키기 위한 신호(FUP_EX)를 이용하여 복수의 모드를 제공할 수 있다.

[0062] 본 발명의 실시예에 따른 모드 0은 전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있지 않을 경우, 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 감소시키는 모드이다.

[0063] 본 발명의 실시예에 따른 모드 1은 전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있지 않을 경우, 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 증가시키는 모드이다.

[0064] 본 발명의 실시예에 따른 모드 2는 전압 제어 발진기의 출력 주파수가 주파수 검출기의 주파수 캡처 범위 내에 있을 경우, 모드 스위치를 통해 주파수 검출기를 제어하지 않는 모드이다. 도 7을 참조하여 본 발명의 실시예에 따른 모드 스위치의 복수의 모드 동작 과정을 더욱 상세히 설명한다.

[0065] 단계(640)에서, 주파수 검출 제어기 및 모드 스위치의 출력에 따라 주파수 검출기를 통해 전압 제어 발진기의 출력 주파수를 조정한다.

[0067] 도 7은 본 발명의 일 실시예에 따른 모드 스위치의 복수의 모드 동작 과정을 설명하기 위한 흐름도이다.

[0068] 본 발명의 실시예에 따른 CDR 회로가 처음 활성화되면 모드 0에서 시작하여 전압 제어 발진기의 출력 주파수(f_{clk})가 점차 낮아지도록 주파수 검출기를 강제로 제어한다(710). 이 과정에서 전압 제어 발진기의 출력 주파수(f_{clk})가 목표 주파수(f_{target})보다 보다 낮으면 위에서 설명한 바와 같이 주파수 검출 제어기는 FUP을 생성하여 FUP_EX를 출력하도록 한다.

[0069] FUP 신호가 생성되었는지 판단하여(711), FUP 신호가 생성되지 않은 경우 단계(710)부터 반복한다.

[0070] FUP 신호가 생성된 경우, 모드 스위치는 이 신호를 감지하고 모드 1로 진입한다(720). 모드 1에서 모드 스위치는 전압 제어 발진기의 출력 주파수(f_{clk})를 증가시키도록 주파수 검출기를 제어한다(720).

[0071] FUP 신호가 생성되었는지 판단하여(721), FUP 신호가 생성된 경우 단계(720)부터 반복한다.

[0072] 이 모드에서 전압 제어 발진기의 출력 주파수(f_{clk})가 목표 주파수(f_{target})에 접근하고 클럭이 일정 횟수 카운트하는 동안 FUP을 생성되지 않아 FUP_EX 신호가 발생하지 않으면 모드 2로 진입한다(730).

[0073] 모드 2에서 모드 스위치는 더 이상 주파수 검출기를 제어하지 않으며 전압 제어 발진기의 출력 주파수(f_{clk})는 목표 주파수(f_{target})에 충분히 가깝기 때문에 전압 제어 발진기의 출력 주파수(f_{clk})는 주파수 검출기의 주파수 캡처 범위 내에 있으므로 CDR 회로가 올바른 주파수를 획득할 수 있다.

[0074] 위상 주파수 검출기를 통해 주파수가 락(Lock) 되었는지 판단하여(740), 락킹된 경우 클럭 및 데이터 복원회로의 동작을 종료하고, 락킹되지 않은 경우 단계(710)부터 반복한다.

[0075] 이와 같이 제안하는 CDR 최로는 목표 주파수가 전압 제어 발진기의 주파수 범위 내에 있는 한 초기 클럭 주파수에 관계없이 주파수를 획득할 수 있다.

[0077] 도 8은 본 발명의 일 실시예에 따른 단일 루프 클럭 데이터 복원의 시뮬레이션 결과이다.

[0078] 제안하는 CDR 회로는 28nm CMOS 공정으로 설계 및 시뮬레이션되었고, 시뮬레이션 결과는 도 8과 같다. 도 8(a) 26Gb/s의 데이터 속도를 갖는 CDR 회로의 시뮬레이션 결과이고, 도 8(b)는 8Gb/s의 데이터 속도를 갖는 CDR 회로의 시뮬레이션 결과이다.

[0079] 8Gb/s에서 26Gb/s까지의 PRBS31 입력 데이터 속도는 초기 주파수가 9GHz일 때 성공적으로 복원되었다. 26Gb/s 및 8Gb/s의 입력 데이터 속도에 대해 측정된 락킹 시간은 각각 0.42μs 및 0.47μs이다. 20Gb/s의 데이터 속도에서 측정된 전력 소비는 1.0V 공급에서 21.5mW이다. 표 1은 제안하는 CDR 회로의 성능을 기존의 CDR 회로와 비교한 결과이다.

[0080] <표 1>

	[1]	*[2]*	*[3]*	*This work**
Technology	65 nm	28 nm	65 nm	28 nm
Supply (v)	1.3	1.0	1.2	1.0
Loop type	Single	Single	Single	Single
Architecture	Half-rate	Half-rate	Half-rate	Half-rate
Capture range (Gb/s)	6.7–11.2	6.5–12.5	4–20	8–26
Lock time (μs)	2.19	1.5	25	0.47
Power (mW)	22.5	21.3	37.3	21.5

* Simulated results

[0081]

[0082] 이와 같이, 주파수 획득 범위 비-제한 및 8-26Gb/s의 기준 클럭이 없는 단일 루프 클럭 데이터 복원회로는 8Gb/s ~ 26Gb/s의 넓은 캡처 범위와 0.47μs의 짧은 주파수 획득 시간을 가지고 있음을 확인 하였다.

[0084] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로

설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0085] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0086] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0087] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0088] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

[0090] <참고문헌>

[0091] [1] K. Park, W. Bae, J. Lee, J. Hwang and D. Jeong, "A 6.7-11.2 Gb/s, 2.25 pJ/bit, Single-Loop Referenceless CDR With Multi-Phase, Oversampling PFD in 65-nm CMOS," in IEEE Journal of Solid-State Circuits, vol. 53, no. 10, pp. 2982-2993, Oct. 2018.

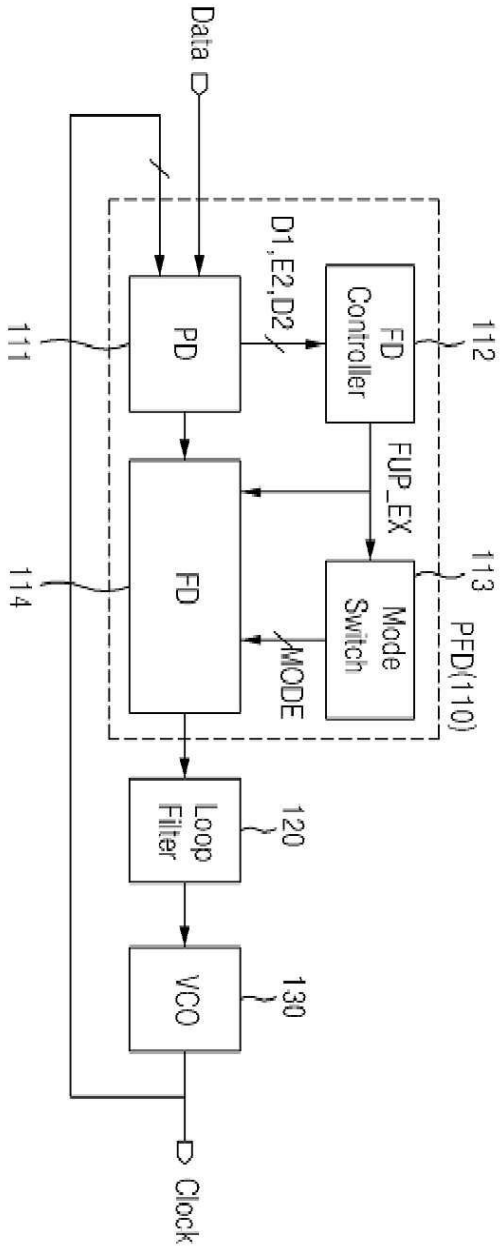
[0092] [2] C. Yu, E. Sa, S. Jin, H. Park, J. Shin and J. Burm, "A 6.5-12.5-Gb/s Half-Rate Single-Loop All-Digital Referenceless CDR in 28-nm CMOS," in IEEE Journal of Solid-State Circuits, vol. 55, no. 10, pp. 2831-2841, Oct. 2020.

[0093] [3] K. Park et al., "A 4-20-Gb/s 1.87-pJ/b Continuous-Rate Digital CDR Circuit With Unlimited Frequency Acquisition Capability in 65-nm CMOS," in IEEE Journal of Solid-State Circuits, vol. 56, no. 5, pp. 1597-1607, May 2021.

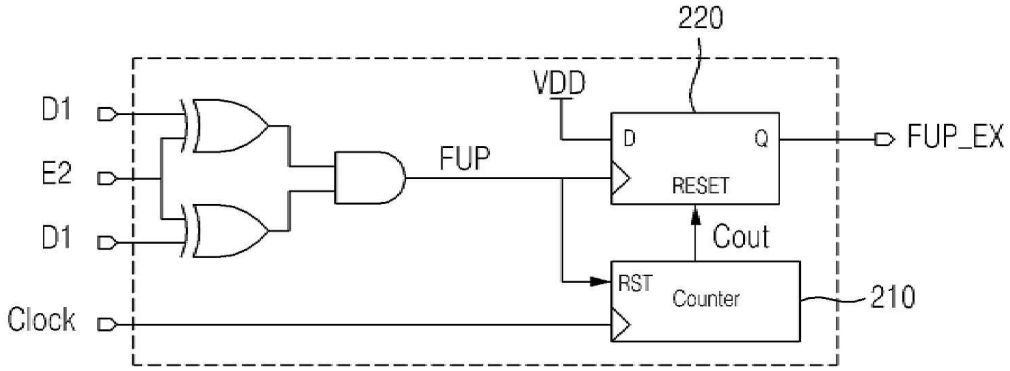
[0094] [4] K. -C. Chen, W. W. -T. Kuo and A. Emami, "A 60-Gb/s PAM4 Wireline Receiver With 2-Tap Direct Decision Feedback Equalization Employing Track-and-Regenerate Slicers in 28-nm CMOS," in IEEE Journal of Solid-State Circuits, vol. 56, no. 3, pp. 750-762, March 2021.

도면

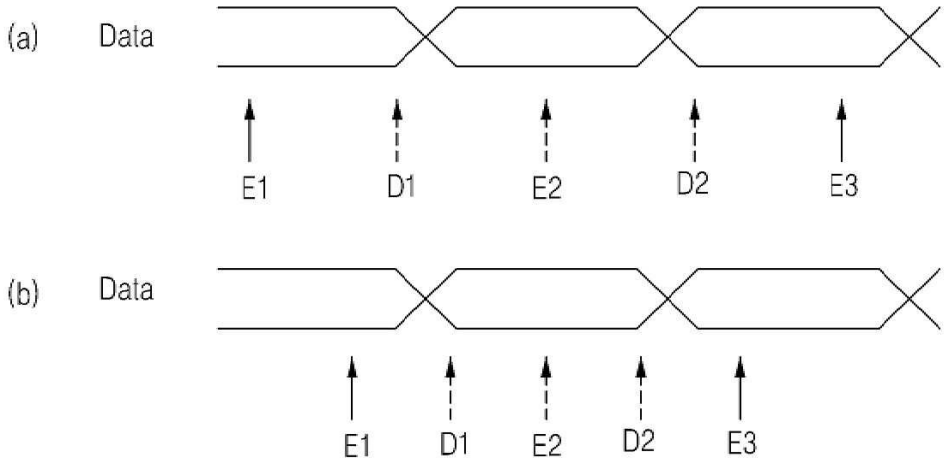
도면1


Data
D1,E2,D2
PD
FD Controller
111
112
FUP_EX
FD
Mode Switch
113
PFD(110)
114
MODE
Loop Filter
120
VCO
130
Clock

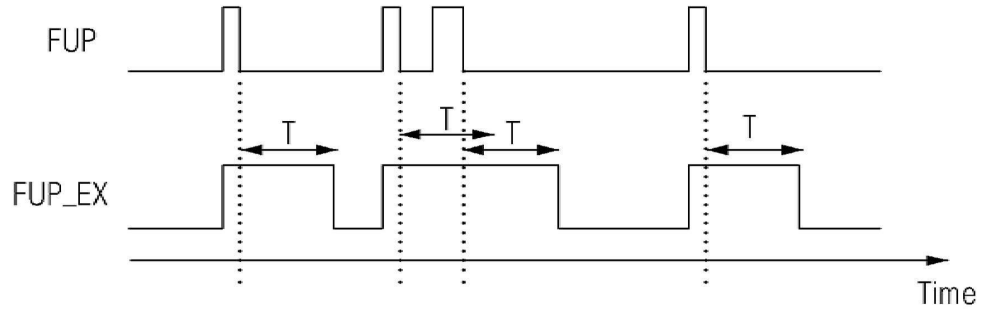
도면2


220
VDD
D1
E2
D1
Clock
FUP
D
Q
RESET
FUP_EX
Cout
RST
Counter
210

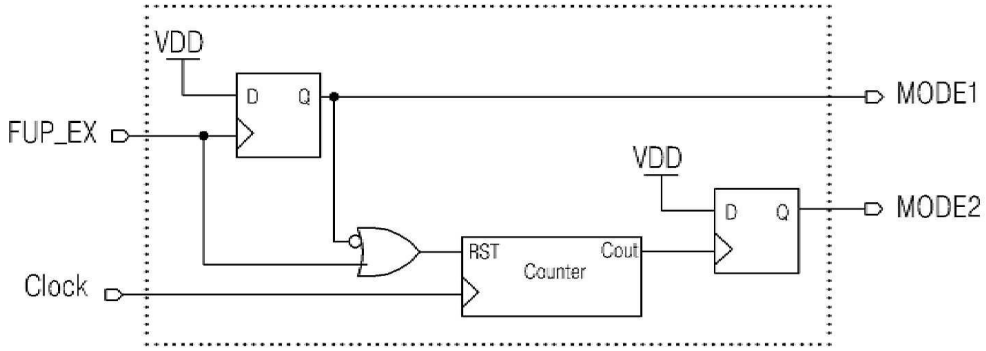
도면3


(a)
Data
E1
D1
E2
D2
E3
(b)
Data
E1
D1
E2
D2
E3

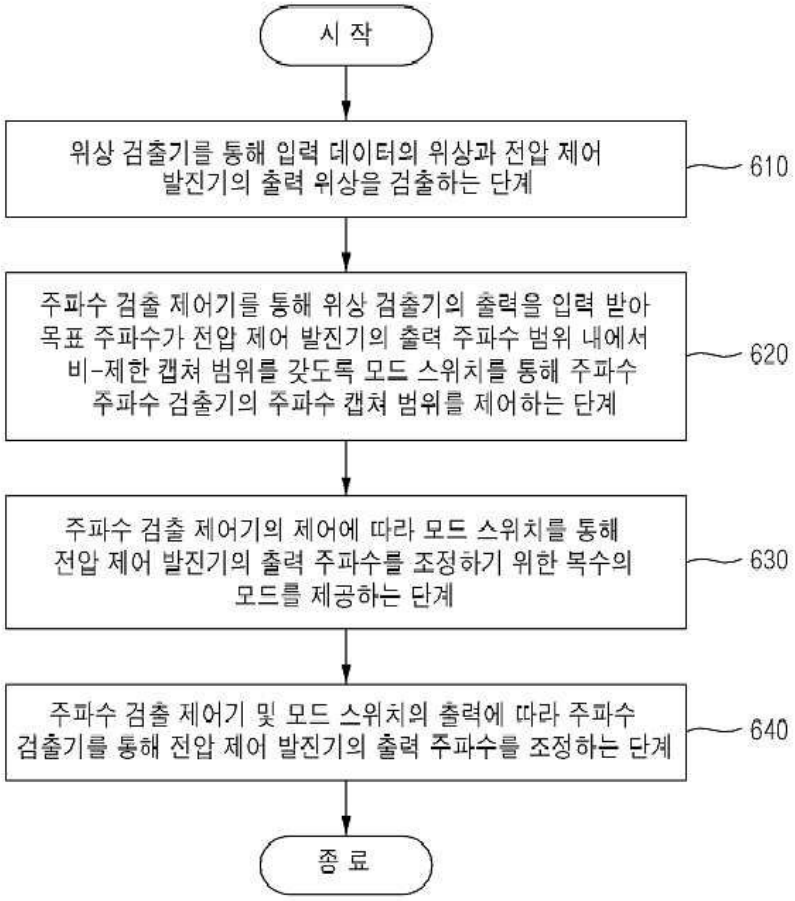
도면4


FUP
T
T
T
T
FUP_EX
Time

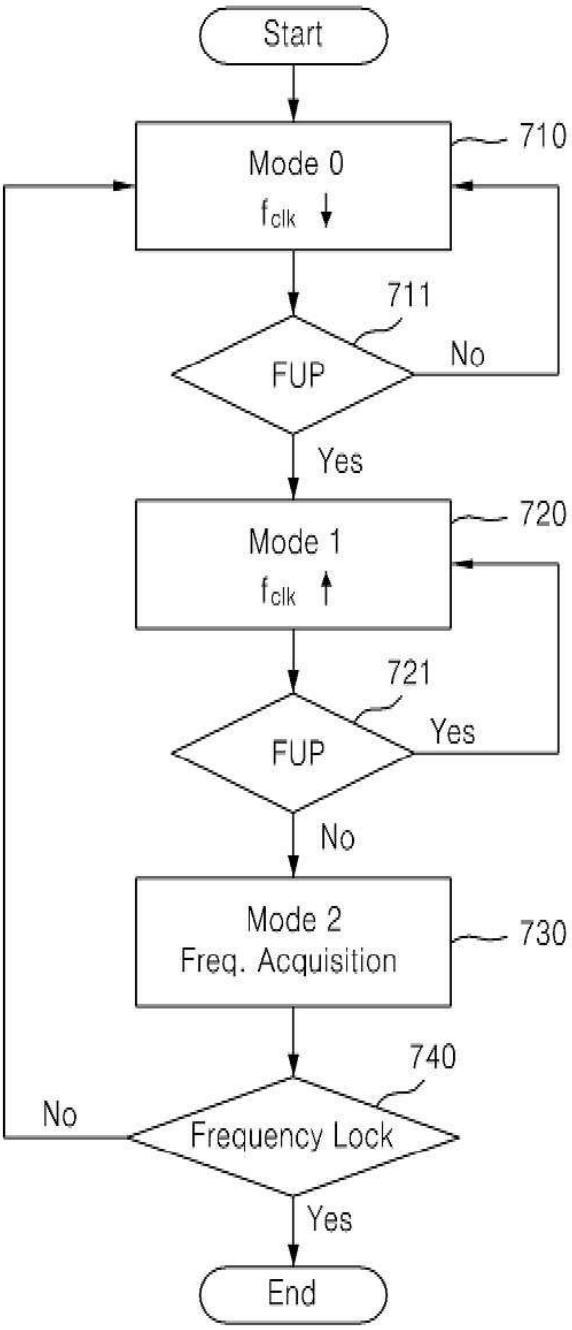
도면5


VDD
D
Q
MODE1
FUP_EX
VDD
D
Q
MODE2
RST
Cout
Counter
Clock

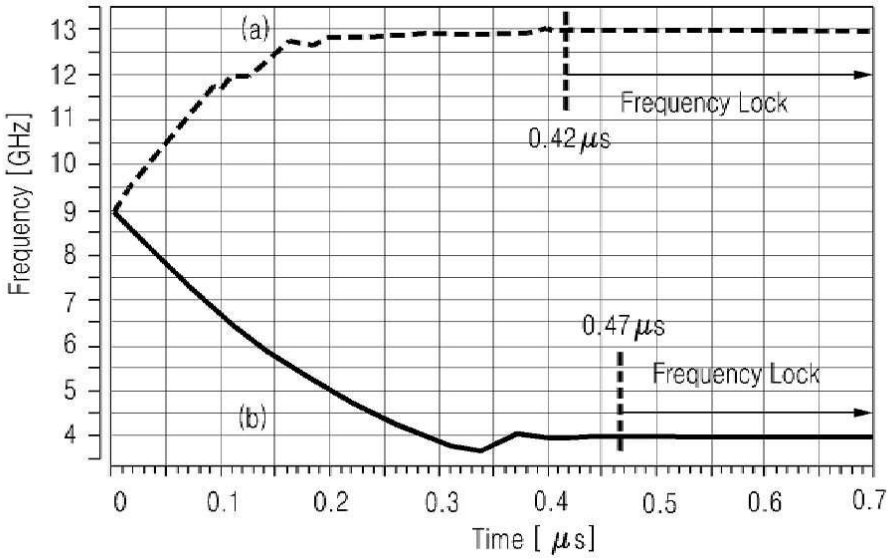
도면6


시 작
위상 검출기를 통해 입력 데이터의 위상과 전압 제어 발진기의 출력 위상을 검출하는 단계
610
주파수 검출 제어기를 통해 위상 검출기의 출력을 입력 받아 목표 주파수가 전압 제어 발진기의 출력 주파수 범위 내에서 비-제한 캡쳐 범위를 갖도록 모드 스위치를 통해 주파수 주파수 검출기의 주파수 캡쳐 범위를 제어하는 단계
620
주파수 검출 제어기의 제어에 따라 모드 스위치를 통해 전압 제어 발진기의 출력 주파수를 조정하기 위한 복수의 모드를 제공하는 단계
630
주파수 검출 제어기 및 모드 스위치의 출력에 따라 주파수 검출기를 통해 전압 제어 발진기의 출력 주파수를 조정하는 단계
640
종 료

도면7


Start
Mode 0
f_{clk}
710
711
FUP
No
Yes
Mode 1
f_{clk}
720
721
FUP
Yes
No
Mode 2
Freq. Acquisition
730
740
No
Frequency Lock
Yes
End

도면8


Frequency [GHz]
13
12
11
10
9
8
7
6
5
4
(a)
(b)
Frequency Lock
0.42μs
0.47μs
Frequency Lock
0
0.1
0.2
0.3
0.4
0.5
0.6
0.7
Time [μs]