



[12] 发明专利申请审定说明书

[21] 申请号 85109668

[51] Int.Cl⁴
H01L 27/04

[44] 审定公告日 1989年1月11日

[22] 申请日 85.12.21

[30] 优先权

[32] 84.12.24 [33] NL [31] 8403932

[71] 申请人 飞利浦光灯制造公司

地址 荷兰艾恩德霍芬格陵纽沃德路1号

[72] 发明人 阿诺尔达斯·约翰尼斯·朱莉安娜·布德威赞斯

[74] 专利代理机构 中国专利代理有限公司
代理人 肖春京 杜有文

H01L 27/01

说明书页数: 23 附图页数: 6

[54] 发明名称 含有各种不同容量电容的集成电路

[57] 摘要

一种含有不同容量的电容的集成电路。它包括多行基本电容(31、33、32)。这些电容具有数目不同的并联连接在第一连接电极(34)与相应的第二连接电极(35)之间的基本电容。各行有数目相同的n个基本电容。用基本电容不同数目的不同行构成上述电容部分。相关行中所有余下的基本电容都是伪电容。第二电容电极(32)连接到一个或一个以上的接续连接电极(37)。

权 利 要 求 书

1. 一种包括不同容量的多电容集成电路, 该电路包括一个半导体本体, 在该本体的表面上有许多互相靠近布置的第一电容电极, 每一个第一电容电极由介电层与第二电容电极隔开, 第一和第二电容电极构成了按行布置的基本电容的电极, 同时将第一和第二电容电极分别互连, 使一个或一个以上的第一电极与一个或一个以上的相对应的第二连接电极之间的不同数目的基本电容互相并联连接, 以形成容量不同的一些电容。多行基本电容具有相同的第一电容电极数目 n , n 个基本电容的每一行具有一个第一行的连线, 用该连线使所有相关行的 n 个第一电容电极互连, 该互连的第一电容电极的相关行形成了第一连接电极, 这些行的 n 个基本电容互连的第二电容电极的第一组形成了与第一电极相对应的第二连接电极, 这些行的 n 个基本电容互连的第二电容电极的第二组形成了第三连接电极, 该集成电路的特征在于, 在 n 个基本电容的第一行中、属于相应的第二连接电极的第二电容电极的数目小于在 n 个基本电容的第二行中的数目。

2. 根据权利要求1的集成电路, 其特征不在于, 属于相应的第二连接电极的第一行 n 个基本电容的每一个第二电容电极被安排在属于一个接续连接电极的第一行的两个相邻的第二电容电极之间。

3. 根据权利要求2的集成电路, 其特征不在于, 在一个矩阵内至少布置若干个基本电容, 此矩阵至少包括若干个第一行连线, 并具有使第二电容电极互连的多个列连接。

4. 根据权利要求3的集成电路, 其特征不在于, 该矩阵具有一个由全部矩阵电容组成的中心部分, 该矩阵的第一电容电极属于第一连接电极, 其第二电容电极属于一个相应的第二连接电极, 矩阵的中心部分大体上完全被矩阵的外围部分所包围, 矩阵外围部分包括: 安排在中心部分的第一侧的至少两个大体上完整的基本电容, 安排在与第一侧对着的

中心部分的另一侧的至少两行大体上完整的基本电容，还包括安排在中心部分的第二侧的至少两列大体上完整的基本电容及安排在与第二侧对着的中心部分的另一侧的至少两列大体上完整的基本电容，同时属于外围部分的基本电容的第一电容电极，或者第二电容电极，至少有一个属于接续连接电极。

5. 根据权利要求3的集成电路，其特征在于，在该矩阵中存在多行 n 个基本电容，该矩阵的第一电容电极属于上述不同容量的电容之一的第一连接电极，同时一个或一个以上的列连线在安排于两行之间的区域上有中断，其结果，使这些一个或一个以上的列连线至少由相互分离的两部分组成。

6. 根据权利要求4的集成电路，其特征在于，在该矩阵中存在多行 n 个基本电容，该矩阵的第一电容电极属于上述不同容量的电容之一的第一连接电极，同时一个或一个以上的列连线在安排于两行之间的区域上有中断，其结果，使这些一个或一个以上的列连线至少由相互分离的两部分组成。

7. 根据权利要求6的集成电路，其特征在于，上述一个或一个以上的列连线在该矩阵内各有一个(单个)中断，各由两部分组成，每一部分均至少延伸到该矩阵的边缘。

8. 根据权利要求1~7中的任何一种集成电路，其特征在于，含有一个或一个以上属于一个或一个以上的上述容量不同的电容的基本电容的每一行 n 个基本电容被安排在与接续连接电极相连的两行连线之间。

9. 根据权利要求8中的任何一种集成电路，其特征在于，存在多行 n 个基本电容，它们包括属于上述一个或一个以上、容量不同的电容的一个或一个以上的基本电容，至少两行与接续连接电极相连的行连线延伸在这些多行连线的每相邻两行之间。

10. 根据权利要求9的集成电路,其特征在于,每两行连线均使一行 n 个基本电容的第一电容电极互连。

含有各种不同容量电容的集成电路

本发明涉及具有许多不同容量电容的一种集成电路，该电路包括一个半导体本体，在该本体的表面上有许多行互相靠近布置的第一电容电极，每一行第一电容电极由介电层与第二电容电极隔开。第一和第二电容电极构成了按行排列的基本电容的电极。把一个或多个第一连接电极与一个或多个相对应的第二连接电极之间的不同数目的基本电容互相并联，以使用互连第一和第二电容电极的方法形成容量不同的电容。基本电容行具有相同数目 n 的第一电容电极，每一行 n 个基本电容有一个第一行连线，用该连线使所有与该行有关的 n 个第一电容电极互连，以形成了第一连接电极。使这些行的 n 个基本电容互连的第二电容电极的第一组形成了与第一电极相对应的第二连接电极，而这些行的 n 个基本电容互连的第二电容电极的第二组形成了第三连接电极。

从日本专利申请 56—201618 已经知道有这样一种集成电路，它已于 1983 年 6 月 20 日以 No 58—103163 公开有待公众审查。特别是该日本专利申请的图 3 表明了一个含有 18 个基本电容的电容矩阵，每行的两个外侧基本电容形成伪电容。矩阵中所有其他基本电容的第二电容电极属于一个公共的第二连接电极，上述伪电容的第二电容电极形成了第三连接电极。将不同行数的基本电容的第一连接电极互连，可得到不同的容量，从而形成 16 个基本电容的不同并联。

更特别地（但不是唯一地）在做成集成电路的数/模或模/数转

换器中，往往需要不同大小的电容，它们的制作精度要求很高。所以严格的要求往往要由不同电容量的比值的精度来承担。特别是，如果要求大量的电容和／或大的容量比时（尤其是用于集成电路的表面面积有限时）则必须给最小的电容以最小可能的表面面积和最低可能的容量。减小电容大小的可能性主要遇到了它们的限制，与制作所要求的几道操作有关的限制会危及到上述所要求的精度。其中，尤其可以指出的是与光刻和刻蚀处理特别有关的边缘效应。此外，从大表面面积来看由于某些操作不可能做到充分地均匀所以精度也可能受到限制。例如，当施加绝缘层时，可能得到的不是所希望的厚度均匀的绝缘层（即整个面积上的厚度相同），其厚度或多或少地有稍许的变化（也许是在局部区域）。

所以为了达到高精度，适当地选择各种电容的几何形状，以及适当地在可制作电容的整个表面面积内安排各种电容的位置是很重要的。在现有文献中，早已把注意力集中到这两方面了。从Journal of Solid State Circuits《固体、电路杂志》Vol. SC-10, No. 6, Dec. 1975, pp 371—379, IEEE Transactions on Communication（电气及电子工程师学会通信会刊）Vol. COM-27, No. 2, Feb. 1979, pp 296—304）和1984 IEEE International Solid State Circuits Conference（电气及电子工程师学会国际固体电路会议）Feb. 1984, Digest of Technical Paper（技术论文类编）PP 64, 65和319中可以看到某些例子。大多数已知的电容网络是由大量的往往布置成矩阵的标准即基本电容构成的，每次是把适当数量的基本电容并联起来，从而得到不同容量的电容。这样，特别是电容

的几何形状与理想情况的偏差对容量比造成的影响能保持得相当小。根据实际应用和所需要的精度，把容量 $\geq 0.25 \sim 1 \text{ pF}$ 的电容器作为基本电容。在需要 10^2 个基本电容的矩阵的 10 一位数/模转换器中，电容矩阵要占 2 mm^2 左右或更大一些的面积。

为了扩大具有电容网络的集成电路的应用和/或增加这种集成电路生产的产额，极为重要的是可以制作和采用非常小的基本电容的电容网络，同时电容所要求的精度和/或容量比不受到有害的影响。本发明（尤其对于本发明的目的）必须提供这方面的解决方法。

本发明尤其基于对下述事实的认识，在这种电容网络中，特别是由大量基本电容组成的大电容的相对精度往往可能是极为重要的，使用相对小的基本电容对此精度可能有良好的影响。

本发明还基于对下列事实的认识，如果有助于减小基本电容以致对电容矩阵整体而言不过要求较小的表面面积，那么对由一个或仅仅几个基本电容组成的较小的电容而言可以用较大的表面面积。

根据本发明，在本文开始段落中所描述的集成电路的特征在于，在第一行 n 个基本电容中，属于相应于第二连接电极的第二电容电极的数目小于在第二行 n 个基本电容中的数目。

根据本发明，由小于 n 个基本电容组成的较小容量的电容最好构成基本电容的满矩阵或子矩阵的一部分。根据本发明，对于每一个较小的电容，每次是用一个基本电容的整行。这行基本电容中，只有需要的第二电容电极数目才属于第二连接电极。结果，这个矩阵或子矩阵的基本电容的总数远远大于属于第二电极连接的数目。由下文可见根据实际结构的不同，基本电容的总数甚至可以比属于第二电极连接的基本电容数目大 $10 \sim 20$ 倍。对这部分电容网络，相对需要很大

的表面面积。但是，导致本发明的实验表明，尽管占据的表面面积范围可以是如此的小，但是仍可大大改进迄今所知的电容网络。

关于电容网络的基本电容所要求的规则图形，每一个属于相对应的第二连接电极的第一行 n 个基本电容的第二电容电极最好安排在第一行的两个相邻第二电容电极属于接续连接电极之间。

在根据本发明的集成电路的一个重要最佳实施例中，至少在一个矩阵中布置若干个基本电容，此矩阵至少包括若干第一行连线，并具有将第二电容电极相互连接的许多列连线。有利的是该矩阵有一个中心部分，它包括了所有的该矩阵的基本电容，它的第一电容电极属于第一连接电极，它的第二电容电极属于相应的第二连接电极。矩阵的中心部分大体上完全被矩阵的外围部分所包围，它的外围部分包括：位于中心部分第一侧的至少两行大体完整的基本电容；位于中心部分另一侧（第一侧的对面）的至少两行大体完整的基本电容；位于中心部分的第二侧的至少两列大体完整的基本电容；位于中心部分的另一侧（第二侧的对面）的至少两列大体完整的基本电容，同时，属于外围部分的基本电容中，或第一电容电极，或第二电容电极至少有一个是属于接续电极的。在此实施例中，矩阵的中心部分大体上完全被组成伪电容的边缘（外围）部分所包围。此边缘部分至少有两个基本电容的宽度。基本电容位于电容矩阵的中心部分并与电容矩阵的外缘有一个比较大的距离。这些基本电容的一个电容电极与第一连接电极相连接，另一个电容电极与一个相应的第二连接电极相连接。结果，减弱了制作所要求的某些工艺步骤中出现的边缘效应的影响。

在一个更重要的实施例中，电容矩阵令人满意地具有多行基本电容，它的第一电容电极属于上述不同容量的电容中的一个电容的第一

连接电极，并有一列或一系列以上的列连线，它们在两行之间的区域上有中断。结果，这些列连线（一系列或一系列以上）组成至少两个相互分离的部分。当列连线在适当的区域上按此方式中断时，上述 n 个基本电容行的第二电容电极可以按比较简单的方式连接到相应的第二连接电极上，或者连接到接续连接电极上。按此法连接，列连线最好只有一个中断点，而被中断的列连线由两部分组成，其每一部分至少伸展远至矩阵的边缘。

为了增加矩阵中（特别是在中心部分）电容电极图形和连线条的规则性，每一行 n 个基本电容是安排在与接续连接电极相连接的两个行连线之间的。而 n 个基本电容包括了属于上述 1 个或 1 个以上不同电容量的 1 个或多个基本电容。因此， n 个基本电容的有关行能以简单的方式围在两行伪电容之间。

在根据本发明的集成电路的下一个实施例中，电容网络有多行 n 个基本电容，它包括属于上述一个或一个以上不同电容量的一个或多个基本电容。同时，在每两个相邻的行之间安排了至少两行与接续连接电极相连接的连线，用这两行连线，可以连接两行伪电容。在该实施例中的列连线也有中断，这些中断最好设置在上述两行连线之间。

现在将参照几个实施例，以举例方式对本发明做更完整的说明。
附图如下：

图 1 表示包括一个电容网络的集成的数/模转换器的电路图。

图 2 表示只有图 1 电路图的集成数/模转换器的平面视图的一部分。

图 3~5 分别以图表示图 2 中沿 III—III 线、N—N 线和 V—V 线剖开的相应的剖面图。

图 6 表示图 1~5 所示的集成电路的电容网络的平面视图。

图 7 表示图 1 所示的集成数/模转换器的一个变异形式的电路图。

图 8 以图表示根据本发明的集成电路的另一个实施例的电容网络部分的平面视图。

图 9 以图表示根据本发明的集成电路的又一个实施例的电容网络部分的平面视图。

第一个实施例是包括数/模转换器的集成电路 10。图 1 表示一个具有输入端 1—8 的电路方框图，可以把已编码成 8 一位的数字信息馈给电路的输入端 1~8。经过一些 D 触发器 11 和反相器 12，这些数字输入信号驱动由电容 $C_1 \sim C_{128}$ 构成的电容网络。用一个适合的计时信号经过线 13 可以控制 D 触发器 11，同时，经过线 14 可以馈给一个非同步的复位信号。

电容网络包括一组 8 个电容，其容量按序列的先后次序，每个增加 2 倍。所以电容 C_2 的容量是电容 C_1 容量的两倍。电容 C_{128} 的容量为电容 C_{64} 容量的两倍，是电容 C_1 容量的 128 倍。

电容 $C_1 \sim C_{128}$ 上不与反相器 12 相连的一边，通过线 15 互连，并与接成射极跟随器的晶体管 16 的信号输入端相连接。在此例中，晶体管是一个增强型 n 沟道场效应晶体管，它的漏极被连到电源的第一接点 17，而它的源极经过（例如）由一个适当的电阻构成的、作为负载的电流源 18，被连接到电源的第二个接点 19。该电源接点 19 可以（比如）被连接到具有适合的参考电势的一点，如接地。模拟输出信号可以从点 20 引出。此外如果需要，可以配备一个晶体管 21，用它把直流的电压分量加到晶体管 16 的输入信号上。为此，可把接点 22 连接到一个适当的参考电压源上。还需指出，寄

生电容 C_p 是存在于晶体管16的输入端的。电容 C_p 的大小在很大程度上由电容网络的结构来决定。尽管电容 C_p 不会影响数/模转换器的精度，但是电容 C_p 会引起模拟输出信号的衰减。

反相电路12主要是作为触发器11和电容 $C_1 \sim C_{128}$ 之间的缓冲器。其作用，可防止触发器11连接输出端的负载过重。一般说来，反相电路12的输出端和/或触发器11的输出端，可以适应被接到相应输出端的电容 C_1 或 $C_2 \sim C_{128}$ 的大小，因此这些电容可以足够迅速地充电或放电。从而，图1表示（举例来说）输入端8通过两个触发器11和两个反相器12被接到相当大的电容 C_{128} 。如果不要求缓冲器，可以省掉图1中的反相电路12。

在工作期间，根据加到输入端1~8的数字信息，反相器电路12的输出端可以出现一个电压。此电压或等于第一参考电压或电源电压，或等于第二参考电压或电源电压。在本实施例中，第一参考电压（比如说）是+10V左右，第二参考电压（比如说）是0V左右电压分配的结果，使电容 $C_1 \sim C_{128}$ 中每一个电容对线15上的信号电压都有贡献，该电压与相关的电容 C_1 或 $C_2 \sim C_{128}$ 的容量，以及相关的反相电路12的输出电压成正比，与电容 C_p 和 $C_1 \sim C_{128}$ 的容量总和成反比。因此输出端20的输出信号是在给定的最小值和最大值之间的一个电压（分为255个电压阶梯），其值由加到输入端1~8的数字信息来决定。

众所周知，容性数/模转换器有许多优点。它们尤其是可以应用于声频和视频的场合以及测量仪器中。但是，这些数/模转换器的缺点是所需要的基本（标准）电容的数量随待转换的数字信号的位数成指数地增加。因此，在一个集成的结构中，电容网络所需要的公共半

导体本体的表面面积往往变得难以容许地大和/或不同的电容量比变得太不准确，以致模拟输出信号不能提供一个加到输入端的数字信息的可靠反射。

集成电路 10 有若干个容量不同的电容 $C_1 \sim C_{128}$ ，并包括一个半导体本体 30（图 2~5），在其表面上，并排地布置了许多行第一电容电极 31，每一个第一电容电极由介电层 33 与第二电容电极 32 隔开。第一和第二电容电极 31 和 32 构成了排列成行的基本电容 31、33、32 的两个电极。同时，为了形成容量不同的电容 $C_1 \sim C_{128}$ ，在一或一个以上的第一电极和一或一个以上的相对应的第二连接电极之间，把一些第一电容电极 31 互连，也把一些第二电容电极 32 互连，实现不同数量的基本电容 31、33、32 的相互并联连接。由下文可看出，在本实施例中，基本电容的每一行由 20 个基本电容 31、33、32 组成。图 2 的平面视图没有表示出全部的行，而且所标出的行，也没有完整地表示出来。

数行基本电容有相同数目的（等于 n ）第一电容电极 31， n 个基本电容 31、33、32 的每一行有第一行连线 31a，用它把相关行的 n 个第一电容电极 31 互连。第一电容电极 31 的相关的行构成了第一连接电极 34。在该实施例中，第一连接电极 34 是呈连线条 31、31a 的形式，它包括相关行的第一电容电极 31。

上述这些行的 n 个基本电容 31、33、32 的第一组互连的第二电容电极 32 构成了与上述第一连接电极 34 相对应的第二连接电极 35。本实施例中的第二连接电极 35 包括若干连线条 32、32a，每一个连线条包括一行第二电容电极 32 的全部或至少若干个第二电容电极 32。沿列方向延伸的这些连线条 32、32a 由一

个接续连线条 3 6 互连，连线条 3 6 沿行的方向延伸，并且也与第二连接电极 3 5 联结。

这些行的 n 个基本电容 3 1、3 3、3 2 的第二组互连的第二电容电极 3 2 构成了第三连接电极 3 7。本实施例中的第三连接电极 3 7 也包括若干沿列的方向延伸的连线条 3 2、3 2 a。而每一个连线条包括一列第二电容电极 3 2 的全部或至少若干个第二电容电极 3 2。这些连线条 3 2、3 2 a，由接续连线条 3 8 互连。

根据本发明，在 n 个基本电容 3 1、3 3、3 2 的第一行内，属于相对应的第二连接电极 3 5 的第二电容电极 3 2 的数目小于 n 个基本电容 3 1、3 3、3 2 的第二行中的第二电容电极 3 2 的数目。在本实施例中，全部电容 $C_1 \sim C_{128}$ 具有一个公共的第二连接电极 3 5。

已说过，在本实施例中，基本电容的每行包括 20 个基本电容 3 1、3 3、3 2。在图 2 标出的行中，如从下面数第 3 行，这些基准电容 3 1、3 3、3 2 中只有一个连到公共连接电极 3 5。而该行其余的 19 个基准电容 3 1、3 3、3 2 被连到第三连接电极 3 7。图 2 标出的从下面数第 6 行中，有两个基本电容 3 1、3 3、3 2 被连接到第二连接电极 3 5，而图 2 只表示出两个基本电容中的一个。其次在第 9 行中，有 4 个基本电容 3 1、3 3、3 2 被连接到第二连接电极 3 5，在第 12 行中，8 个基本电容 3 1、3 3、3 2 被连接到这个电极 (3 5)。自下向上数，在第 17 行至第 31 行内，各行都均有 16 个基本电容 3 1、3 3、3 2 被连接到第二连接电极 3 5。图 2 只表示了这些行中第 17 行到第 24 行的情况。

本实施例的完整电容矩阵包括一个由 14 行构成的下部子矩阵，

和一个由19行构成的上部子矩阵。同时，属于第二连接电极35的连线条36在两个子矩阵之间、沿行的方向延伸。两个子矩阵各包括20列。

下部子矩阵包括图1中的电容C1、C2、C4和C8。上部子矩阵包括图1中的电容C16、C32、C64和C128。为此，在上部子矩阵中，有一行的连接电极34被连到连线条39，有两行连接电极34被连接到连线条40。有4行连接电极被连接到连线条41，有8行连接电极被连接到连线条42。

此外，在图2中，指出了4个反相器串路12。在本实施例中，这些反相电路是按CMOS工艺中已知方法构成。例如，半导体本体30是一个主要由n-型材料组成的硅本体。在这个半导体本体中，形成若干个P-型半导体区域50（图4和图5）。另外，半导体本体30覆盖一层厚的具备凹槽的绝缘层51，用通常方法限制了集成电路的有源区。在该绝缘层51下面，在半导体表面，可以存在较高掺杂的沟道中断区（沟道截断环）。在该情况下，这些区域是一些属于P-型半导体区50的P-型表面区和一些n-型表面区52。

在有源区，形成n-沟道和P-沟道晶体管。n-沟道晶体管具有一个n-型源区54和一个n-型漏区55，P-沟道晶体管具有一个P-型源区56和一个P-型漏区57。n-沟道和P-沟道晶体管具有一个绝缘门电极，它由一个连线条58构成。这些连线条58也构成了反相器电路的电信号输入端。

n-型源区54和P-型源区56分别通过连线条59和60，分别连接到最负电源电压的电源接点和最正电源电压的电源接点。该连线条59又用更高掺杂的P-型表面区63连接到P-型半导体区

50。连线条60由更高掺杂的n—型表面区64连接到半导体本体30的n—型部分。

反相电路的电信号输出端由连线条61构成，每一个连线条61使P—型漏区57和n—型漏区55互连，并连接到一行基准电容的一个或一个以上的第一连接电极34。

所需要的不同的半导体区和连线条由中间的绝缘层互相隔开。这些绝缘层备有开孔62，使不同的连线条在开孔62处或相互，或与半导体区形成电连接。这些开孔62在图2中以虚线指出。

根据第一实施例，在图6中再一次以图表示出电容网络的平面视图。电容网络具有一个排列在行、列中并构成基本电容的许多交点的矩阵。在图6中，图2的连线条31、31a和32、32a也各自沿行和列的方向延伸。上述沿行方向延伸的一些连线条可以区分为属于电容C1~C128之一的第一连接电极的连线条70，和属于伪电容的第一连接电极的连线条71。沿列方向延伸的一些连线条可以区分为至少由两部分72a和72b组成的中断的连线条72，和构成伪电容第二电容电极的不中断的连线条73。相邻的连线条73可以在其端部互连。黑点代表排列在不同层的一些连线之间的电连接，对应于图2所示的开孔区62。

本发明的特征在于，矩阵包括相当大量的伪电容。这些大量的伪电容首先是由于下述事实，即对电容网络的每一个较小的电容C1~C8，每次都是利用一整行基本电容。这些较小的电容C1~C8安排在属于第二连接电极的连线条36的下边标出的子矩阵中。4个相应的连线条70，各自包括20个交点的一行。其中在行的始端和行的末端各有两个属于伪电容的交点。每行的4个伪电容（也存在于标

在连线条 3 6 上面的子矩阵的每一行中) 没有在图 1 的电路图中表示出来。每行余下的 16 个交点中 1 个、2 个、4 个、8 个交点分别属于电容 $C_1 \sim C_8$ ，而余下的 15 个、14 个、12 个和 8 个交点分别属图 1 中 C'_{15} 、 C'_{14} 、 C'_{12} 和 C'_8 所代表的伪电容。因为在下部子矩阵中的 16 个连线条 7 2，在适当的区域被中断了，在本实施例中把交点分为属于伪电容的一些交点以及不属于伪电容的一些交点，所以这些连线条均有两个部分 7 2 a 和 7 2 b。7 2 a 部分与连线条 7 0 形成属于电容 $C_1 \sim C_{128}$ 的交点，而 7 2 b 部分与连线条 7 0 形成属于伪电容 $C'_{15} \sim C'_8$ 的交点。

属于相应的第二连接电极 3 5 的、第一行 n 个基准电容的每一个第二电容电极 3 2 最好安排在属于接续连接电极 3 7 的、第一行的两个相邻的第二电容电极 3 2 之间。本实施例中，该接续连接电极总是第三连接电极 3 7，连线条 3 8。也属于该第三连接电极。但是，集成电路还可能制备一个或一个以上的互相隔离的、或/与第三连接电极隔开的接续连接电极。在本实施例中，在下部子矩阵中，每个连线条 7 2 a 均安排在连线条 7 3 和连线条 7 2 b 之间的、或在两个连线条 7 2 b 之间的那行连线条 7 0 的区域上。

有益的是，在用于较小电容 $C_1 \sim C_8$ 的每一个第一行基本电容中，属于与这些电容 $C_1 \sim C_8$ 的、相应的第二连接电极 3 5 的第二电容电极 3 2 是有规则地分布在相关的行上，以致连线条 7 2 的中断也是根据规则的图形分布在(子)矩阵上。这些中断是这样安排的：使得每个连线条 7 2 的 7 2 a 部分在子矩阵一边至少延伸到子矩阵的边缘，而 7 2 b 部分在与子矩阵这边相对的另一边至少延伸到子矩阵的边缘，所以 7 2 a 部分和 7 2 b 部分均可达到子矩阵的边缘，作电连接用。

这意味着，每一个连线条 7 2 中至多一个中断存在于该子矩阵之内。

按本发明所布局的一个重要的最佳实施例中，每一行基本电容，包括一个或一个以上、属于一个或一个以上的上述不同容量的电容（每个第一和第二行）的基本电容，是安排在两行连线条 7 1 之间的连线条 7 1 被连接到接续连接电极，最好接到第三连接电极 3 7。在本实施例中，每一个相邻行的连线条 7 1 包括一行 n 个伪电容的第一电容电极。

有益的是，在包括一个或一个以上属于一个或一个以上上述不同容量的电容的基本电容的两行相邻的 n 个基本电容（每个第一和第二行）之间，即在下部矩阵的两个相邻的连线条 7 0 之间，至少安排两行连线条 7 1，以致列连线条 7 2 的中断可以安排在这两行连线条 7 1 之间，或至少不需要安排在一行连线条 7 0 和一行相邻的连线条 7 1 之间。这两行相邻的连线条 7 1 可以在其终端互连正如图 2 和图 6 中所示出的那样。

在本发明的一个变异形式中，两行相邻的连线条 7 1 可以由一个宽度较大的单行连线条代替，以使列连线条 7 2 的中断可以在这种加宽了的行连线条的宽度范围内实现。在此情况下，7 2 a 和 7 2 b 两部分的面面相对的两个端部都将延伸到加宽了的行连线的下面或上面

下部子矩阵具有由这个子矩阵的全部基本电容组成的中心部分，其第一电容电极 3 1 属于第一连接电极 3 4，而其相应的第二电容电极 3 2 属于第二连接电极 3 5。子矩阵的中心部分大体上完全被子矩阵的外围部分所包围，外围部分包括大体上完整的、安排在中心部分的第一侧的两行基本电容，以及大体上完整的、安排在第一侧对面的中心部分的另一侧的两行基本电容。在这里所涉及的是安排在子矩阵

上方的、具有行连线 7 1 的两行和安排在子矩阵下方的、具有行连线 7 1 的两行。而且外围部分还包括安排在中心部分第二侧的大体上完整的、两列基本电容，以及安排在第二侧对面的中心部分的另一侧的至少两列大体上完整的基本电容。这里所涉及的是安排在子矩阵左手边的、具有列连线 7 3 的两列和安排在子矩阵对面右手边的、具有列连线 7 3 的两列。属于子矩阵外围部分的这些基本电容中，或者第一电容电极 3 1，或者第二电容电极 3 2，至少有一个被连接到接续连接电极 3 7。在本实施例中，子矩阵的外围部分包括具有两个电容宽度的、由伪电容构成的边缘部分。

还有，上部子矩阵，在其上方和其下方皆有两行连线 7 1。在该子矩阵的左手边和右手边皆布置了两列连线 7 3。因此，上部子矩阵也具有宽度为两个电容的、由伪电容构成的边缘部分。

所以，作为整个矩阵也有宽度为两个基本电容的、大体上完全包围了矩阵中心部分的外围部分。

最好，（这些子）矩阵至少在上方和下方有三行连线 7 1，以致至少在其边缘部分是做成宽度为三个伪电容的边缘部分的形式。在这些边上，矩阵边缘的不利影响将变得更明显，对一个电容，尤为显著，对离边缘稍远些的网络的第二电容也许也有明显影响。同时，平行于列方向延伸的边界对几乎所有的网络电容会具有可以比拟的影响。如果可用的面积允许的话，全部边缘也可以做成具有宽度为三个伪电容的外围边缘部分的形式。这样，基本电容（其第一电容电极属于第一连接电极，而第二电容电极属于第二连接电极），安排得比宽度为两个伪电容边缘情况甚至更离开相应的矩阵的外部边缘。依此方法，可以进一步减弱边缘效应的影响。这些边缘效应可能在制作过程的某些

操作中发生而且可导致靠近矩阵边缘安排的基本电容容量的不一致。

在上部子矩阵的上方，列连线 7 2 的 7 2 a 部分，实际上至少可延伸至上行连线 7 1 的上部边缘。用与下部子矩阵在其下方封闭的同样方法也可以在上方封闭上部子矩阵。在这种情况下，每一列连线 7 2 在该边具有第三部分，这些第三部分在其上方是按着与下部子矩阵下方的 7 2 b 部分相同的方法互连的，并通过沿行方向延伸的、实际上在与图 6 上方所示的第三连接电极部分 3 7 相同的位置的连接部分被合在一起。在此变异形式中，全部列连线 7 2，有第二中断点，这些第二中断点基本上全部设置在图 6 上方所示的两行连线 7 1 之间

至此，所描述的种种措施的目的，是提供一个在结构上尽可能规则的电容矩阵。每种措施均对此目的有所贡献。尤其是属于较小电容 $C_1 \sim C_8$ 的基本电容尽可能完全被伪电容构成的基本上一致的基本电容所包围。从电学角度看，矩阵的伪电容能细分为三类。第一类伪电容具有第一电容电极 3 1，它属于电容 $C_1 \sim C_{128}$ 之一的第一连接电极 3 4。第一类伪电容的第二电容电极 3 2 属于第三连接电极 3 7，或至少属于接续连接电极。在本实施例中此种第一类伪电容，是由一些连线条 7 0 与一些连线条 7 3 以及与一些连线条 7 2 b 的交点所构成的。尤其是图 1 中构成电容 $C'_8 \sim C'_{15}$ 的部件的基本电容是属于第一类伪电容的。第二类伪电容具有一个第二电容电极 3 2，它属于第二连接电极 3 5。第二类伪电容的第一电容电极 3 1 被连接到第三连接电极 3 7，或至少连接到接续连接电极。在本实施例中，此类伪电容是由一些连线条 7 1 与一些连线条 7 2 a 的交点构成的。本实施例中，它们对图 1 中的电容 C_p 有贡献。第三类伪电容也是由基本电容构成的，它的第一电容电极 3 1 和第二电容电极 3 2 两者都

属于第三连接电极 37，或至少属于接续连接电极。在本实施例中，这些电容是一些连线条 71 与一些连线条 73，以及与一些连线条 72b 的交点。

图 6 的电容矩阵共包括 660 个基本电容。下部子矩阵有 280 个基本电容。这 280 个中的 265 个基本电容是伪电容。上部子矩阵有 380 个基本电容，其伪电容的数目是 140 个。尽管伪电容的数目很大，第一实施例的电容矩阵的全部容量实际不到 $5 \cdot 2 \text{ pF}$ 。电容 $C_1 \sim C_8$ 的总容量只有 2 pF 左右。电容矩阵所占据的表面面积大约为 0.07 mm^2 。将 20 行、20 列的三个子矩阵相加，可得到一个 10 一位的数/模转换器的电容网络。这种扩充了的电容矩阵的全部电容量则是 15 pF 左右。对这种扩充了的电容矩阵，只需要大约 0.2 mm^2 的表面面积。显然此种扩充了的电容矩阵也可以（比方说）由具有 36 个交点的 17 行的电容 $C_1 \sim C_{16}$ 的子矩阵和具有 36 个交点的 35 行的电容 $C_{32} \sim C_{512}$ 的子矩阵同共构成。按这种结构，此电容矩阵所需要的表面面积仍为 0.2 mm^2 左右，全部电容量约为 15 pF 。尽管这种扩大了电容矩阵大约包括 850 个伪电容，所需要的表面面积大约为从前述的国际固体电路会议（ISSCC）84 年的技术论文类编中得知，不包括伪电容的电容矩阵面积的十分之一。这是由于人们已经发现，采用本发明基本电容可以给出极小的尺寸，和相当小的电容量（比如为 $8 \times 10^{-3} \text{ pF}$ 左右）同时可以使得实际的电容量比值达到所要求的高精确度。

图 1~6 所示的集成电路可以完全用半导体工艺中的已知方法，诸如掺杂和淀积处理、氧化、光刻操作以及刻蚀技术等来制作。

例如，原始材料可以是一个 n 型硅本体 30，它可以由 n 型基

片及在其上面形成的一层电阻率约为 $4 \Omega \cdot \text{cm}$ 及 $\langle 100 \rangle$ 晶向的 n 型外延层构成。在本体 30 的表面上做一层约 $500 \text{ \AA}$ 的二氧化硅层和一层厚度约为 $1500 \text{ \AA}$ 的氮化硅层。

在把氮化硅层形成图形之后，（例如）注入砷作成 n 型沟道截断环 52。然后，制备一个感光漆（Photolacquer）图形，作为制备 P 型掺杂半导体区 50 和 P 型沟道截断环 53 的掩模。例如砷的注入条件为：能量大约为 150 KeV 、注入剂量大约为 4×10^{12} 离子/厘米²（ions/cm²），以及能量为 $30 \sim 40 \text{ KeV}$ 、注入剂量大约为 1.5×10^{13} ions/cm²。前一种注入不能被这部分未覆盖感光漆的氮化硅图形所掩蔽，相反，后一种注入能被这部分图形掩蔽。

在除掉感光漆图形之后，在氧化气氛中，进行高温处理（例如约 1200°C ），形成氧化区 51。随后，用常规方法，可以淀积一层厚度为 $0.4 \mu\text{m}$ 的多晶或非晶硅层，在淀积过程中和/或淀积之后（例如）用磷进行掺杂。从淀积后的硅层获得连线条 32、32a。这些条（例如）有 $5 \mu\text{m}$ 的宽度，而它们的相对间距也可以是 $5 \mu\text{m}$ 。

随后，除掉氮化硅图形及下边的氧化层，并用热生长法形成新氧化层。然后，用厚度比如为 $1300 \text{ \AA}$ 左右的氧化层盖住连线条 32、32a。在预定做晶体管电路的区域，用这种新氧化层作门介电质。

以后，再形成一层厚度约为 $0.4 \mu\text{m}$ 的掺磷的多晶或非晶硅层。由此硅层得到连线条 31、31a 和门电极 59。连线条 31、31a 的宽度（比如）约为 $5 \mu\text{m}$ 。连线条 31、31a 的相对间距可以是 $5 \mu\text{m}$ 左右。

用感光漆掩膜可以用于对n—型源区54和漏区55以及n—型区64的掺杂。例如，约在150 KeV、以 2×10^{15} ions/cm²的剂量进行砷的注入。在除掉感光漆掩模之后，这种掺杂可以在1100 °C左右的温度下进一步向半导体本体30扩散。

现在用新的感光漆掩模，可以注入硼，形成P—型源区54和漏区57以及P—型区63。适当的剂量大约为 $3 \cdot 6 \times 10^{14}$ 离子/厘米²，适当的注入能量（比如）纳为40 KeV左右。再用同一个感光漆掩模，还可以进行另一次注入，以调节P—沟道晶体管的门值电压。为此，比如可以在约180 KeV、以剂量约为 3×10^{11} ions/cm²注入硼。

在暂短的氧化处理后，可以淀积（比如）厚度约为0.8 μm的氧化硅的绝缘层65。为了改善集成电路的钝化效果，该氧化硅层的顶层可以用（比如）磷掺杂。在掺杂之前和/或掺杂之后，可以在大约为1000 °C下进行热处理，在热处理当中，尤其是注入的硼会进一步向半导体本体内扩散。

随后，开出所需要的窗口62，并淀积一层铝或另一种合适的导电层。按常规方法，从该导电层可得到连线条36、38、39~42和59~61。如果需要，可以在连线条图形的上面，再制备一层（比如）由二氧化硅和/或氮化硅构成的绝缘层（未示出）。

按前述工艺步骤，用常规方法，在公共硅片上可以形成大量的集成电路。按常规方法再把公共硅片分成许多独立的硅本体30。得到的集成电路可以按常规方法，装入外壳内。

在上述的集成电路中，基本电容所占的表面面积大约为25 μm²，电容量大约为 $7 \cdot 5 \sim 8 \times 10^{-3}$ pF。上述8一位数/模转换器

的非线性大约为 0.25 lsb (最小有效位)。由此可以看出,尽管用了一些容量很小的基本电容,仍可获得高精度的实际容量比。从而证实了,用上述方法把基本电容安排在含有相当多伪电容的电容矩阵中,可以得到表面面积相当小的、精确度异常高的电容网络。

关于第一实施例的数/模转换器的电路,还应进一步指出,如果电容没有按基本相同的速度充电和放电,在输出信号中可能出现正或负的尖峰。最好在这种连接中,触发器 11 或与电容相连接的反相器电路 12 的输出是均衡的,以致出现在不同输出端的信号上升边和下降边相对计时信号有大致相同的延迟,而且上升时间大体上等于下降时间。如果需要,可以对此信号滤波,将不需要的信号尖峰从数/模转换器中除掉。进一步限制信号尖峰的可能性示于图 7。大电容 C_{64} 和 C_{128} 再分成分别馈电的电容,每个馈电电容具有 32 个基本电容的电容量。为分开馈电,在电路中增加了若干触发器 11 和反相器电路 12。此外,输入端 1~8 以及接点 13 和 14 通过逻辑网络 80 接到触发器 11,此逻辑电路可按常规方法由与非门 81、或非门 82 以及反相电路 12 组成。这个逻辑网络 80 的设计,使得所加的数字信息有小的变化时(例如从 127 跳变到 128),限制了电容矩阵中发生的充电变化。这种充电变化至多对应一个电容 C_{32} 的充电(放电)和电容 $C_1 \sim C_{16}$ 的放电(充电)。相反,对于上述从 127 到 128 的跳变,在图 1 所示的电路布局中,电容 C_{128} 是充电,电容 $C_1 \sim C_{64}$ 是放电。因而采用图 7 的电路布局,在数/模转换器输出信号中可能存在的最大峰值大大地受到限制。

图 7 所示的电路布局的另一个优点是,全部连接到电容矩阵的反相器 12 或触发电路 11 的输出端是用数量相同的基本电容加载的。

因而，上述反相电路 1 2 或触发器 1 1 无需适应相对不同的容性负载。它们可以彼此相等，结果是，尤其使得有关尖峰（在数/模转换器的输出信号中可能出现的）所理想的相等上升和下降时间更容易现实。

在本发明的集成电路中，电容矩阵不必一定跟数/模转换器做在一起。包括不同电容量的多电容的其他电路布局，诸如数/模转换器和切换电容电路，也可采用本发明的方法来集成。用电容矩阵也可以获得完全不同于上述 2 倍率的电容比值。另外，代替许多相互分离的第一或输入连接电极 3 4 和一个公共的第二或输出连接电极 3 5，可以存在一个公共的输入连接电极和许多相互分离的输出连接电极。电容矩阵也可以有多个相互分离的输入连接电极和多个相互分离的输出连接电极。在实际情况下，它依赖于选择哪一个实施方案来集成所获得的电路。可以期望，使电容矩阵的几何图形适应电学上要求的电容安排和/或要求的电容比。

图 8 和图 9 表示另一种几何图形的两个例子。在这两个例子中，每一个第一连接电极 3 4 有两个互连的连线条 3 1、3 1 a，它们包括第一电容电极 3 1。此外，还存在沿列方向延伸的连线条 3 2、3 2 a（图中为垂直方向），它们各自包括一个或一个以上的第二电容电极 3 2。为了简单起见，在图 8 和图 9 的电容矩阵中，只表示出一些不多于 6 个基本电容 3 1、3 3、3 2 的行。每行的两端都有一个伪电容。这些伪电容的第二电容电极 3 2 连接到第三连接电极 3 7。若干个连接电极 3 7 通过接续连线条 3 8 相互连接。其余的第二电容电极 3 2，一部分与第三连接电极 3 7 连接，另一部分与第二连接电极 3 5 连接。连接电极 3 5 通过接续连线条 3 6 互相连接。在图 8 和

图9中，按图6相同的方法指出了，在连线条的哪一层提供了不同的连线条。连线条35、37和32、32a被安排在下面第一层；连线条34和31、31a被安排在与第一层绝缘的第二层；而连线条36和38属于跟第一层和第二层绝缘的第三层。此外，还标出了中间绝缘层上的一些开孔62。

图8表示了电容比为1:2:4:8:8的5个电容。如果在图8中，略去连线条36，所示的电容矩阵的上部分包括电容比为1:2的两个电容，它们具有相互分离的第一连接电极34和一个公共第二连接电极35。这两个电容可以构成一种串联布局。此外，在其余部分也存在类似的串联布局，它包括容量为4倍于最小电容的5个电容。

图9表示出电容比为1:2:4:8的4个电容。在图9中若略去连线条36，这4个电容各自具有一个分离的第一连接电极34和一个分离的第二连接电极35。

所以图8和图9尤其表示了，从电路的布局来看，在电容矩阵的几何图形上做较小的修改就可获得很不相同的电容结构。

应该理解到，本发明不局限于上述的这些实施例，对熟悉本领域的技术人员来说，在本发明的范围内，可以做出许多变异形式。集成电路可以用NMOS或PMOS工艺代替CMOS工艺来构成。此外上述电容矩阵可以做成双极型集成电路的一部分，其中连线条和连接电极用两层合适的（如铝）导电材料制备。在连线条36、59、60和61的同一层可以制备图2的连线条31、31a和34，同时在连线条32、32a的同一层可以制备连线条38~42。此外，上述硅的行与列的连线可以全部或部分代之以或转变成合适的硅化物。

最好行连线、列连线以及电容电极是用相同的材料，或者至少用相类似的材料来制作。但是在半导体本体内给行连线和列连线分别提供相应的电容电极是可能的，例如，以掺杂区和和/或硅化表面区的形式，并且也有可能仅从加在半导体本体上的导电层制作分别具有相应的电容电极的行连线和列连线。上述掺杂区的导电类型可以是与半导体本体30相反。它们还可以提供一个或一个以上类似于掺杂区50的区域。在上面刚提及的情况下，例如，若需要的话，为了抑制不需要的晶体管效应可以把在上述一些相似的区域和半导体的邻近部分之间的（一些）pn结短路。但是，如果需要，还可以用其它通常的解决方法来抑制寄生晶体管效应和/或其它寄生效应。在这样的一个实施例中，尤其是掺杂区的掺杂浓度可能给电容的最大允许工作电压和/或该工作电压极性加了限制。

在上述的这些例子中，包括电容电极的连线条在整个长度上有相同的宽度。就电容矩阵所需要的排列密度而论，这样的实施例是有待优化的。但是，如果需要（例如）为了增加基本电容的容量，可以把电容电极31、32区域的那些部分的连线条展宽。

半导体本体也可以由延伸在一个绝缘衬底上的单晶半导体层形成。在此情况下，电容矩阵可以在半导体层上和/或在半导体层内获得，或可以直接制备在绝缘衬底上。此外，集成电路的电路单元诸如晶体管和电阻之类也可以全部或部分地按已知方法，在可能被再结晶的多晶半导体上实现。

在上述例子中，也可以采用其它材料，例如可以用其它半导体，诸如锗、Ⅲ—V族化合物等代替硅。热生长得到的氧化层可以用淀积的氧化层，或者（比如）用氮化硅层来代替。可以用其它合适的绝缘

层，诸如氧化铝层等代替氧化层和/或氮化层。此外，绝缘层可以由一些不同的绝缘材料的子层或这些材料的混合物构成。例如，可采用氮氧化合物层。基本电容的介电体可以全部或部分由氮化硅组成，而这种材料相当高的介电常数可能是有益的。

一般，采用本发明可导致包括不同容量电容的集成电路，其中电容量比是相当精确的，而且绝对电容量是相当小的。所以，不但集成电路所需要的面积是相当小，而且一般来说，存在于电容矩阵中的功耗也是相当低的。这种低的功耗尤为有利，因为集成电路最大容许的功耗作为整体，可以使集成电路的设计者遇到或多或少的严重的限制尤其因为半导体本体有最高容许温度的限制。此外，在电容矩阵中出现的峰值电流也是相当小的，因此存在于集成电路其它部分的故障也有了减少的倾向。而且因电容矩阵中的连线条是相当短，所以，允许这些连线条中单位长度的串联电阻相当大，不会由此而过强地限制工作速度。

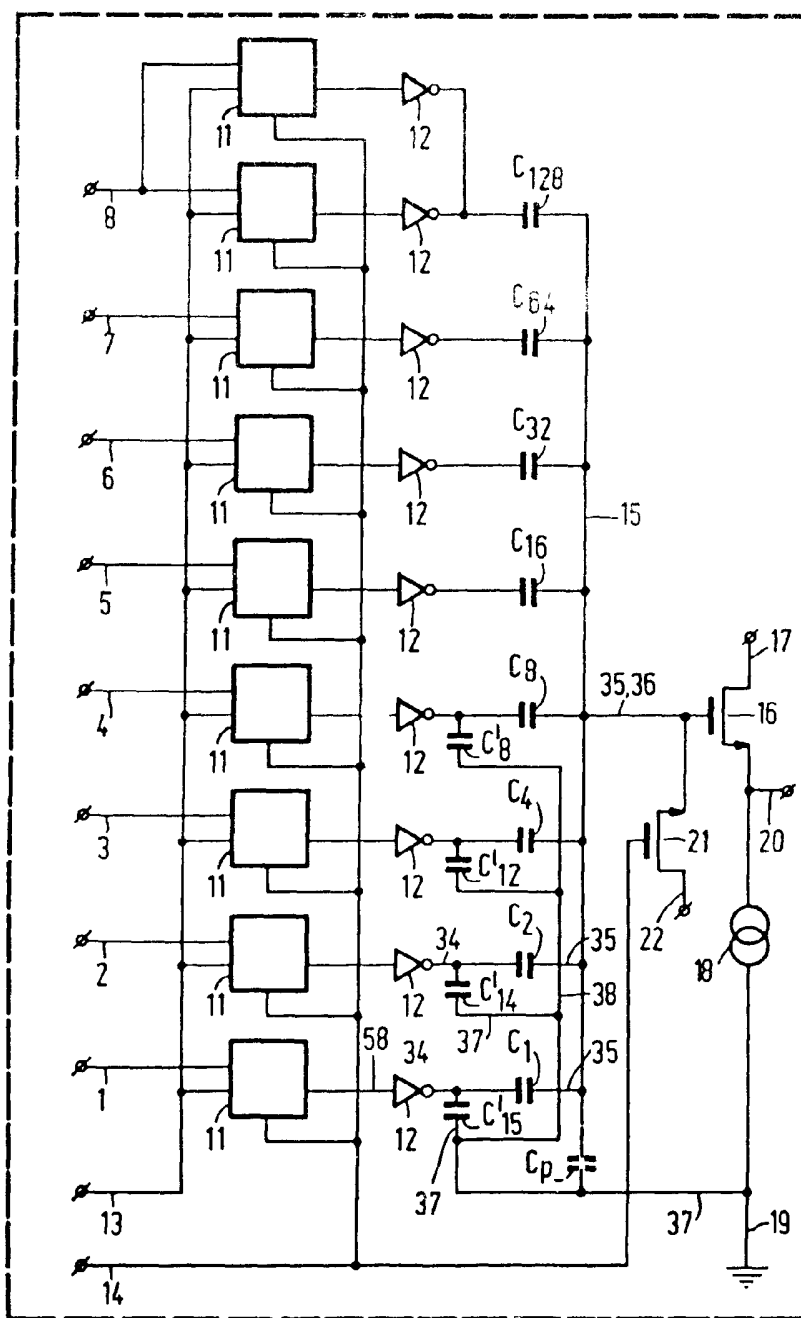
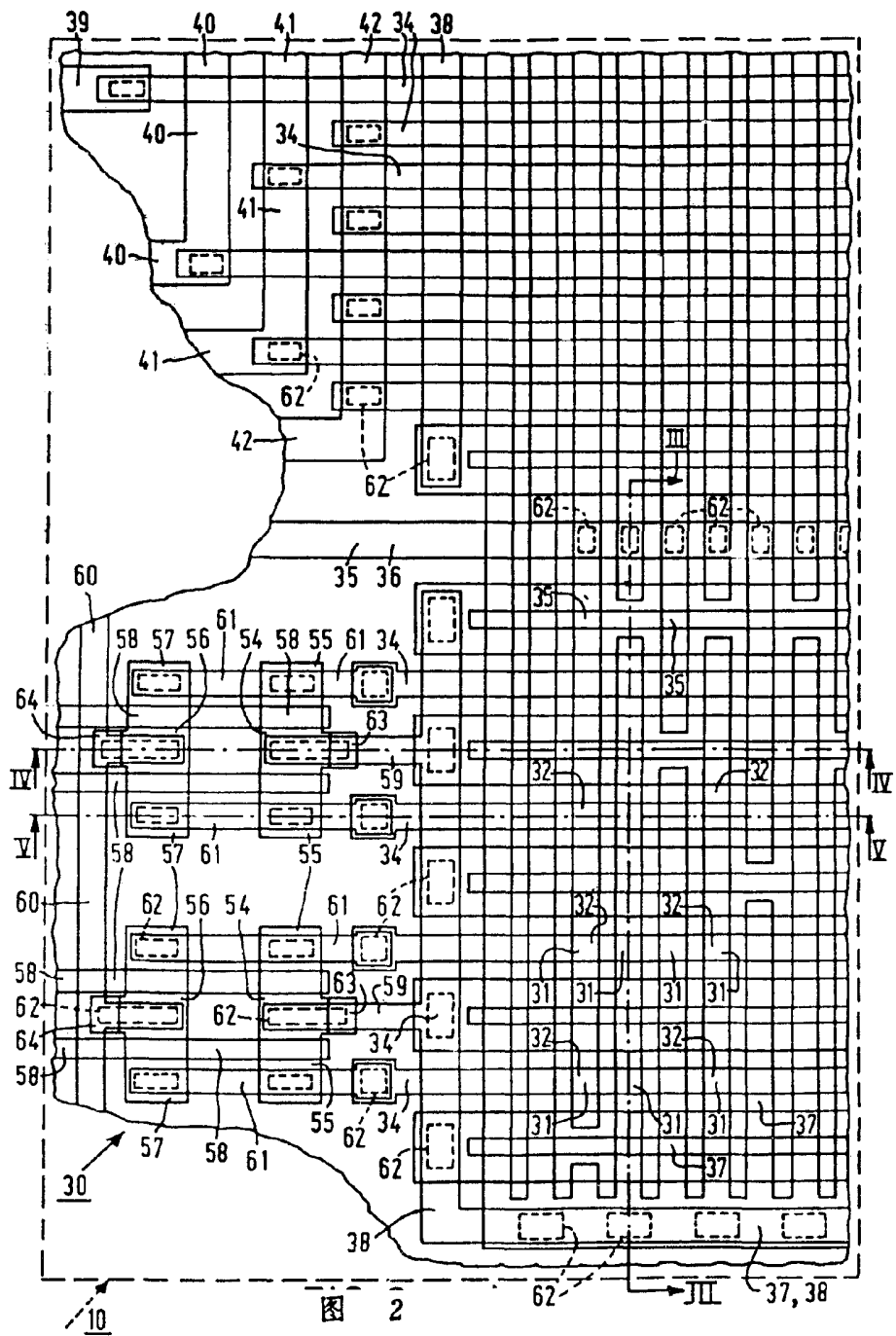
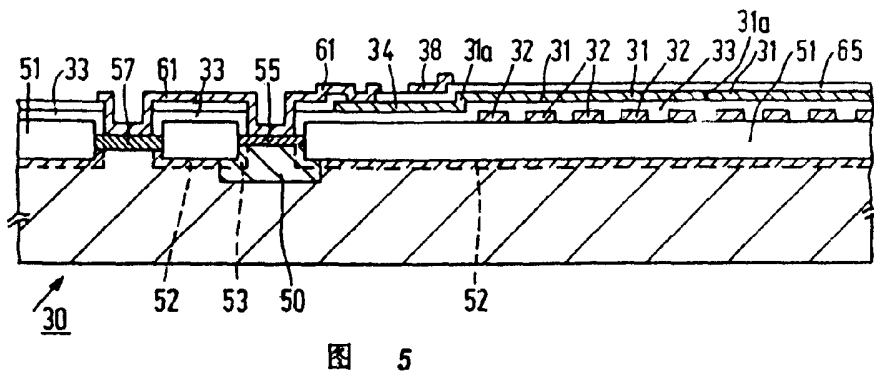
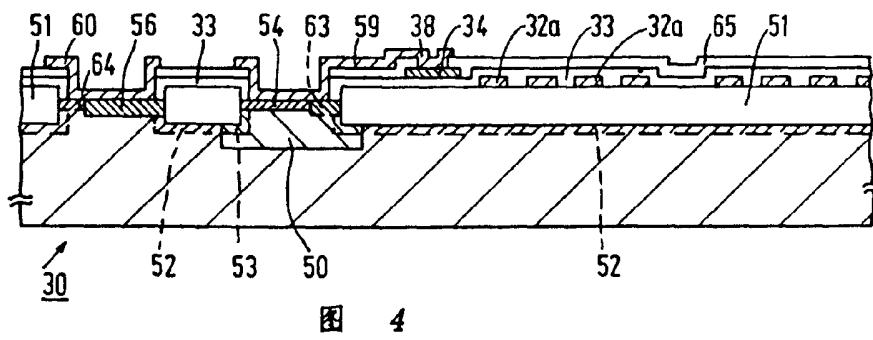
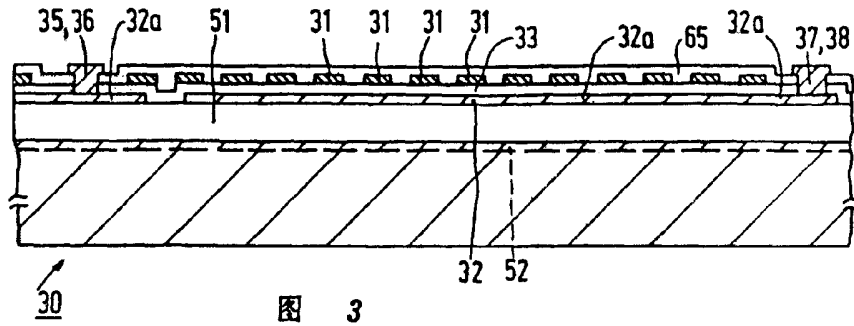


图 1

申请号 85 1 09668
 Int. Cl⁴ H01L 27/04
 审定公告日 1989年1月11日





审定公告日 1989年1月11日

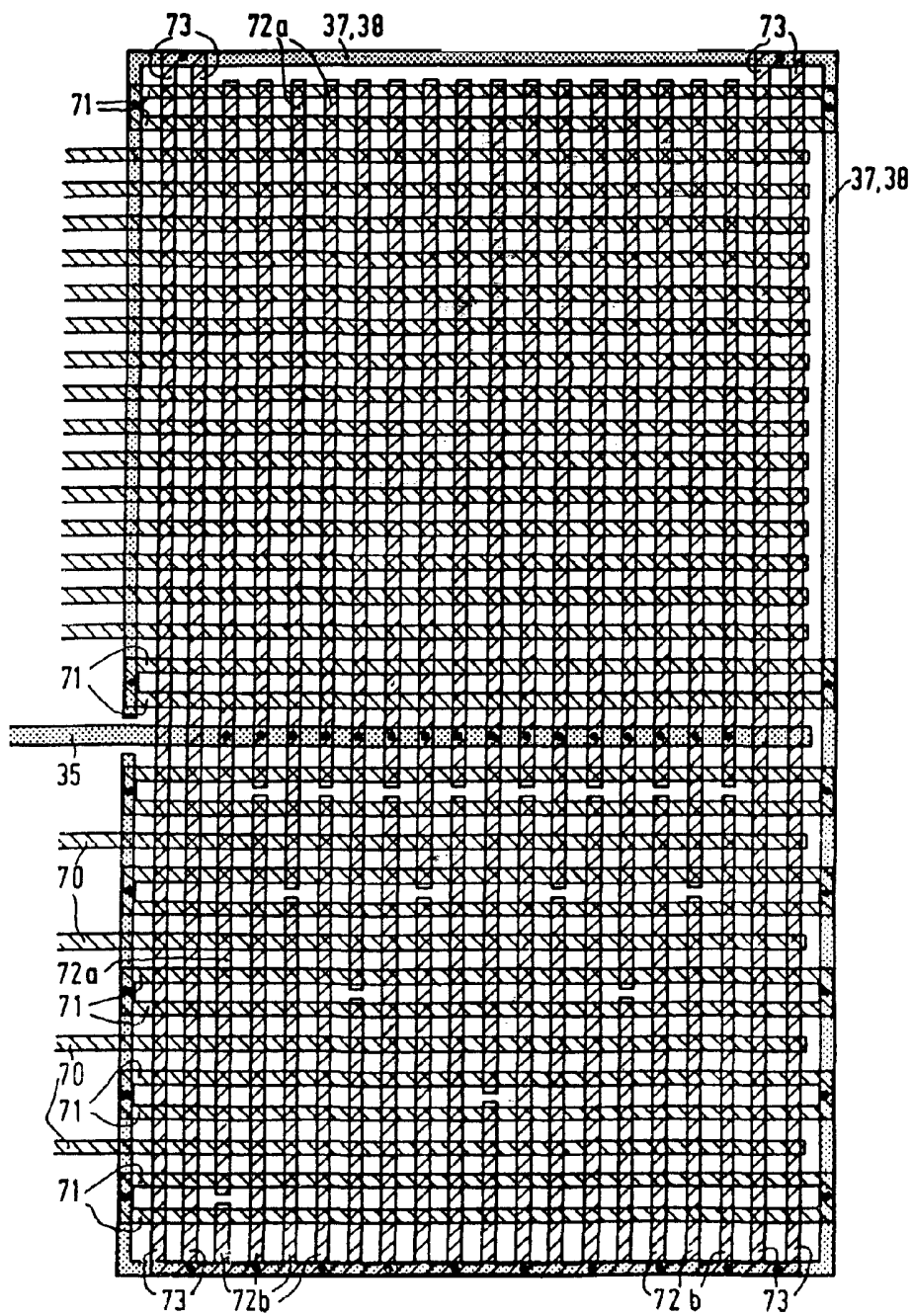
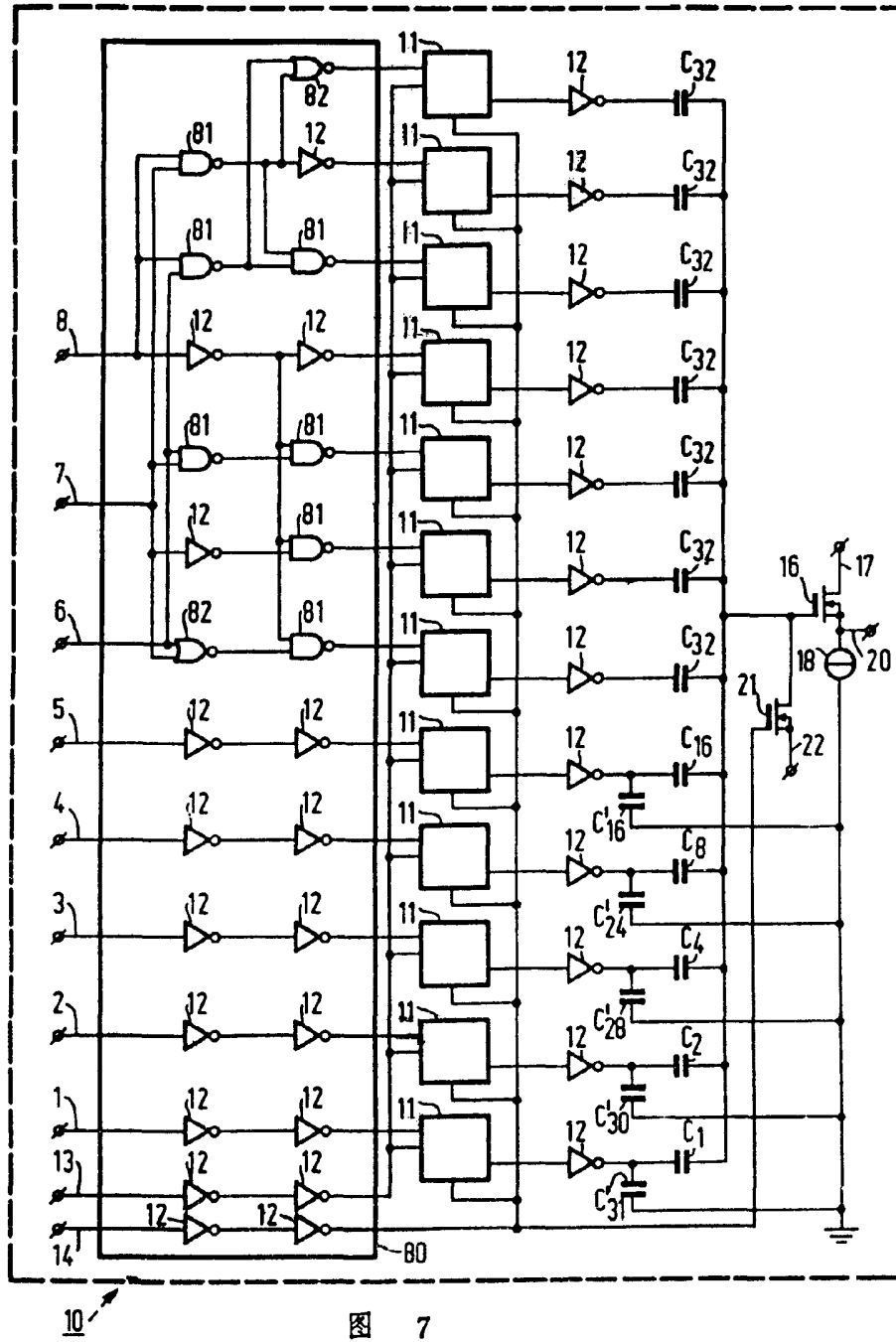


图 6



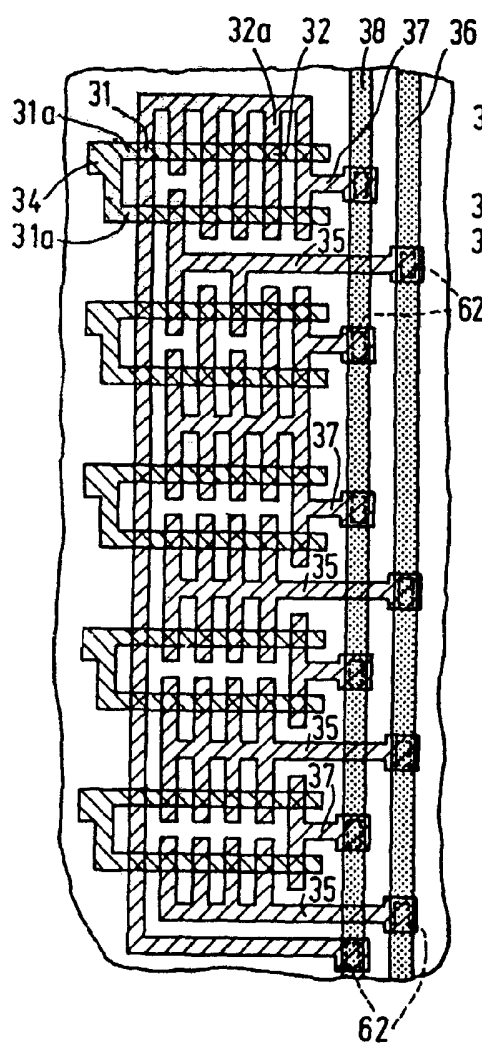


图 8

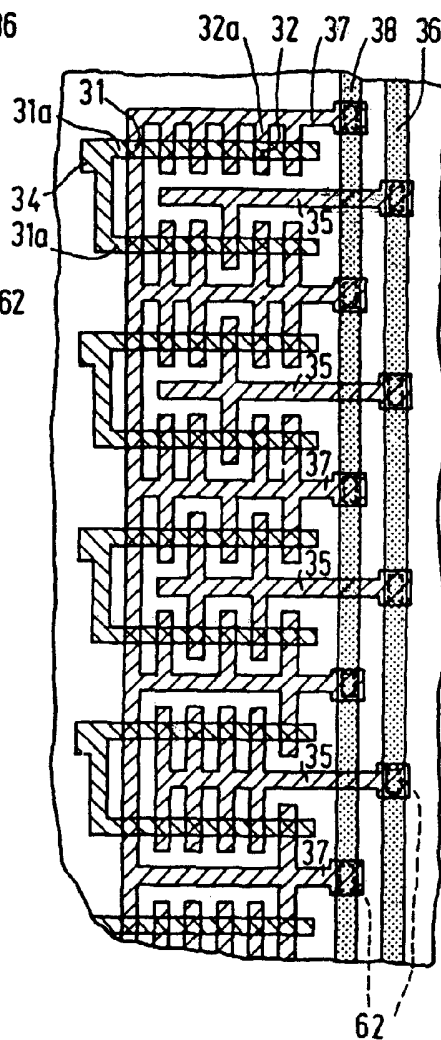


图 9