

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 17 年 11 月 24 日 (2005.11.24)

【公開番号】特開 2004-363443 (P2004-363443A)

【公開日】平成 16 年 12 月 24 日 (2004.12.24)

【年通号数】公開・登録公報 2004-050

【出願番号】特願 2003-162019 (P2003-162019)

【国際特許分類第 7 版】

H 0 1 L 21/8247

H 0 1 L 27/115

H 0 1 L 29/788

H 0 1 L 29/792

【F I】

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 3 4

【手続補正書】

【提出日】平成 17 年 10 月 12 日 (2005.10.12)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 周辺回路において少なくとも 1 つの MOS トランジスタを含む不揮発性半導体記憶装置であって、

半導体基板と、

前記半導体基板に形成された素子分離溝に埋め込まれ、複数の素子形成領域を画成する素子分離絶縁膜と、

前記各素子形成領域に第 1 のゲート絶縁膜を介して設けられた浮遊ゲートと、

前記浮遊ゲート上に第 2 のゲート絶縁膜を介して設けられた制御ゲートと、

前記制御ゲートと自己整合されて前記半導体基板に設けられたソース・ドレイン領域とを具備し、

前記浮遊ゲートがチャネル幅方向の素子分離端で自己整合的に設けられ、複数層の多結晶シリコン膜からなる不揮発性半導体記憶装置。

【請求項 2】 周辺回路において少なくとも 1 つの MOS トランジスタを含む不揮発性半導体記憶装置の製造方法であって、

半導体基板にメモリセル用の第 1 のウエルおよび前記 MOS トランジスタ用の第 2 のウエルを形成する工程と、

前記第 1 および第 2 のウエルを含む基板表面上にそれぞれトンネル絶縁膜およびゲート絶縁膜を形成する工程と、

前記基板表面上に第 1 の多結晶シリコン膜を堆積する工程と、

前記第 1 のウエルをレジストマスクで覆い、前記第 2 のウエルにイオン注入を行いチャネル領域を形成する工程と、

前記レジストマスクを前記第 1 のウエルから除去した後、前記第 1 の多結晶シリコン膜上に第 2 の多結晶シリコン膜を堆積する工程と、

前記第 2 の多結晶シリコン膜上にシリコン窒化膜を形成する工程と、

前記シリコン窒化膜上に素子分離領域が開口されたレジストパターンを形成する工程と

、

前記レジストパターンを用いて、前記シリコン窒化膜から前記第 1 および第 2 のウエルまで順次選択的に除去して前記第 1 および第 2 のウエルにそれぞれ素子分離溝を形成する工程と、

前記レジストパターンを除去した後、前記素子分離溝に酸化膜を埋め込む工程と、

前記基板表面を平坦化した後、前記シリコン窒化膜を除去する工程と、

前記基板表面上にONO積層膜を形成する工程と、

前記第 1 のウエル上にレジストマスクを形成して、前記第 2 のウエルから前記ONO積層膜を選択的に除去する工程と、

前記基板表面上に少なくとも導電膜を堆積する工程と、

前記導電膜、前記ONO積層膜、前記第 2 の多結晶シリコン膜および前記第 1 の多結晶シリコン膜を順次選択的に除去して前記第 1 のウエル上の前記トンネル絶縁膜および前記第 2 のウエル上の前記ゲート酸化膜を露出する工程と、

前記第 1 および第 2 のウエルにそれぞれ不純物を導入してソース・ドレイン領域を形成する工程とを具備する不揮発性半導体記憶装置の製造方法。

【請求項 3】 前記第 1 および第 2 のウエルにそれぞれ素子分離溝を形成する工程により前記メモリセルの浮遊ゲートと前記MOSトランジスタのゲートとがチャネル幅方向の素子分離端で自己整合的に形成される請求項 2 記載の不揮発性半導体記憶装置の製造方法。

【請求項 4】 前記トンネル絶縁膜を NH_3 雰囲気中で熱処理して前記トンネル絶縁膜中に窒素を導入する請求項 2 記載の不揮発性半導体記憶装置の製造方法。

【請求項 5】 酸化性雰囲気アニールして酸化膜中に窒素を含有したオキシナイトライド化されたトンネル絶縁膜を形成する請求項 2 記載の不揮発性半導体記憶装置の製造方法。