I696942

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I696942 B**

(45)公告日： 中華民國 109 (2020) 年 06 月 21 日

(21)申請案號：105113756　(22)申請日： 中華民國 105 (2016) 年 05 月 03 日

(51)Int. Cl.：　*G06F3/041　(2006.01)*　*G06F3/044　(2006.01)*

G02F1/1333　(2006.01)

(30)優先權：2015/05/08　日本　2015-095745

2015/05/08　日本　2015-095796

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.　(JP)

日本

(72)發明人：宍戶英明 SHISHIDO, HIDEAKI (JP) ；平形吉晴 HIRAKATA, YOSHIHARU (JP) ；久保田大介 KUBOTA, DAISUKE (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

US　2013/0127775A1　US　2013/0321366A1

US　2014/0184951A1　US　2014/0306260A

審查人員：陳基發

申請專利範圍項數：17 項　圖式數：54　共 150 頁

(54)名稱

觸控面板

(57)摘要

本發明的目的之一是提供一種厚度薄的觸控面板。或者提供一種可見度高的觸控面板。或者提供一種輕量的觸控面板。或者提供一種低功耗的觸控面板。靜電電容式觸控感測器中的一對導電層為具有多個開口的網狀，並且在平面中與兩個顯示元件之間的區域重疊地配置。另外，將觸控感測器中的一對導電層配置在觸控面板中的一對基板之間，並且在該一對導電層與驅動顯示元件的電路之間設置能夠供應恆電位的導電層。

To provide a thin touch panel, a touch panel with high visibility, a lightweight touch panel, or a touch panel with low power consumption. A pair of conductive layers is included in a capacitive touch sensor. The two conductive layers have a mesh shape including a plurality of openings. Furthermore, the conductive layers are provided to overlap with a region between two display elements in a plan view. Furthermore, the conductive layers included in the touch sensor are provided between two substrates included in the touch panel, and a conductive layer capable of supplying a constant potential is provided between a circuit which drives a display element and the pair of conductive layers.

指定代表圖：

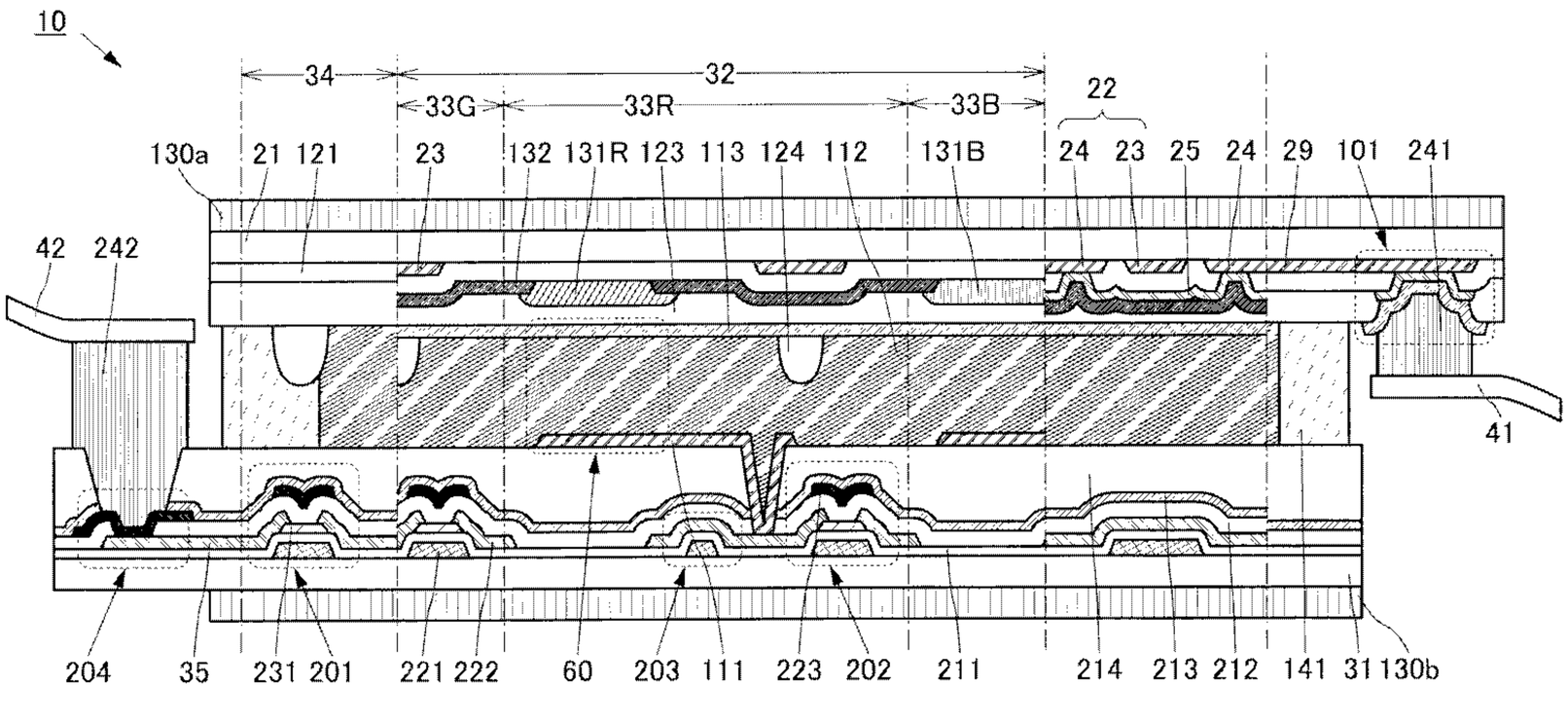


圖 2

符號簡單說明：

10・・・觸控面板模組

21・・・基板

22・・・觸控感測器

23・・・導電層

24・・・導電層

25・・・導電層

29・・・佈線

31・・・基板

32・・・顯示部

33B・・・子像素

33G・・・子像素

33R・・・子像素

34・・・電路

35・・・佈線

41・・・FPC

42・・・FPC

60・・・顯示元件

101・・・連接部

111・・・導電層

112・・・液晶

113・・・導電層

121・・・絕緣層

123・・・保護層

124・・・間隔物

130a・・・偏光板

130b・・・偏光板

131B・・・彩色層

131R・・・彩色層

132・・・遮光層

141・・・黏合層

201・・・電晶體

202・・・電晶體

203・・・電容元件

204・・・連接部

211・・・絕緣層

212・・・絕緣層

213・・・絕緣層

214・・・絕緣層

221・・・導電層

222・・・導電層

223・・・導電層

231・・・半導體層

241・・・連接層

242・・・連接層

公告本

I696942

發明摘要

※ 申請案號：105113756

※ 申請日：105年5月3日

※IPC 分類：*G06F 3/041* (2006.01)
G06F 3/044 (2006.01)
G02F 1/1333 (2006.01)

【發明名稱】（中文/英文）觸控面板/ TOUCH PANEL

【中文】

本發明的目的之一是提供一種厚度薄的觸控面板。或者提供一種可見度高的觸控面板。或者提供一種輕量的觸控面板。或者提供一種低功耗的觸控面板。靜電電容式觸控感測器中的一對導電層爲具有多個開口的網狀，並且在平面中與兩個顯示元件之間的區域重疊地配置。另外，將觸控感測器中的一對導電層配置在觸控面板中的一對基板之間，並且在該一對導電層與驅動顯示元件的電路之間設置能夠供應恆電位的導電層。

【英文】

To provide a thin touch panel, a touch panel with high visibility, a lightweight touch panel, or a touch panel with low power consumption. A pair of conductive layers is included in a capacitive touch sensor. The two conductive layers have a mesh shape including a plurality of openings. Furthermore, the conductive layers are provided to overlap with a region between two display elements in a plan view. Furthermore, the conductive layers included in the touch sensor are provided between two substrates included in the touch panel, and a conductive layer capable of supplying a constant potential is provided between a circuit which drives a display element and the pair of conductive layers.

【代表圖】

【本案指定代表圖】：第（　2　）圖。

【本代表圖之符號簡單說明】：

10　觸控面板模組
21　基板
22　觸控感測器
23　導電層
24　導電層
25　導電層
29　佈線
31　基板
32　顯示部
33B　子像素
33G　子像素
33R　子像素
34　電路
35　佈線
41　FPC
42　FPC
60　顯示元件
101　連接部
111　導電層
112　液晶
113　導電層
121　絕緣層
123　保護層
124　間隔物
130a　偏光板
130b　偏光板
131B　彩色層
131R　彩色層

132　遮光層
141　黏合層
201　電晶體
202　電晶體
203　電容元件
204　連接部
211　絕緣層
212　絕緣層
213　絕緣層
214　絕緣層
221　導電層
222　導電層
223　導電層
231　半導體層
241　連接層
242　連接層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】（中文/英文）觸控面板/ TOUCH PANEL

【技術領域】

[0001]

本發明的一個實施方式係關於一種輸入裝置。本發明的一個實施方式係關於一種顯示裝置。本發明的一個實施方式係關於一種輸入輸出裝置。本發明的一個實施方式係關於一種觸控面板。

[0002]

注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式係關於一種物體、方法或製造方法。作爲本說明書所公開的本發明的一個實施方式的技術領域的一個例子，可以舉出半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、電子裝置、照明設備、輸入裝置、輸入輸出裝置、其驅動方法或者其製造方法。

[0003]

注意，在本說明書等中，半導體裝置是指藉由利用半導體特性而能夠工作的所有裝置。除了電晶體等的半導體元件，半導體電路、算術裝置或記憶體裝置也是半導體裝置的一個實施方式。攝像裝置、顯示裝置、液晶顯示裝置、發光裝置、輸入裝置、輸入輸出裝置、電光裝置、發電裝置（包括薄膜太陽能電池或有機薄膜太陽能電池等）及電子裝置有時包括半導體裝置。

【先前技術】

[0004]

近年來，作爲位置輸入單元安裝有觸控感測器的顯示裝置已實現實用化。安裝有觸控感測器的顯示裝置稱爲觸控面板或觸控屏等（在下文中也簡稱爲“觸控面板”）。例如，作爲具備觸控面板的可攜式資訊終端，有智慧手機或平板終端等。

[0005]

作爲顯示裝置之一，有具備液晶元件的液晶顯示裝置。例如，將像素

電極配置爲矩陣狀，並且，將電晶體用作連接到各像素電極的切換元件的主動矩陣型液晶顯示裝置受到注目。

[0006]

例如，已知如下主動矩陣型液晶顯示裝置，其中，作爲連接到各像素電極的切換元件，使用將金屬氧化物用於通道形成區的電晶體（專利文獻 1 及專利文獻 2）。

[0007]

作爲主動矩陣型液晶顯示裝置，已知大致分爲透射型液晶顯示裝置和反射型液晶顯示裝置的兩種類型。

[0008]

透射型液晶顯示裝置使用冷陰極螢光燈等的背光源，利用液晶的光學調變作用，藉由對來自背光源的光透過液晶而輸出到液晶顯示裝置外部的狀態和不輸出到外部的狀態進行選擇，來進行明和暗的顯示，並且藉由組合該明和暗的顯示，來進行影像顯示。

[0009]

此外，反射型液晶顯示裝置利用液晶的光學調變作用，藉由對外光亦即入射光被像素電極反射而輸出到裝置外部的狀態和入射光不輸出到裝置外部的狀態進行選擇，來進行明和暗的顯示，並且藉由組合該明和暗的顯示，來進行影像顯示。由於與透射型液晶顯示裝置相比，反射型液晶顯示裝置不使用背光源，所以具有功耗低等優點。

[0010]

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報

[0011]

給顯示面板賦予作爲使用者介面用手指或觸控筆等觸摸螢幕來進行輸入的功能的觸控面板備受期待。

[0012]

另外，要求應用了觸控面板的電子裝置實現薄型化、輕量化。因此，要求觸控面板自身實現薄型化及輕量化。

[0013]

例如，觸控面板可以採用在顯示面板的觀看側（顯示面一側）設置觸控感測器的結構。

[0014]

在此，當採用在顯示面板的顯示面一側重疊設置電容式觸控感測器的結構的觸控面板時，若構成顯示面板的像素或佈線與構成觸控感測器的電極或佈線之間的距離縮小，觸控感測器則容易受到驅動顯示面板時產生的雜訊的影響，其結果是，有時導致觸控面板的檢測靈敏度下降。

【發明內容】

[0015]

本發明的一個實施方式的目的之一是提供一種薄的觸控面板。另外，本發明的一個實施方式的目的之一是提供一種可見度高的觸控面板。另外，本發明的一個實施方式的目的之一是提供一種輕量的觸控面板。另外，本發明的一個實施方式的目的之一是提供一種低功耗的觸控面板。

[0016]

另外，本發明的一個實施方式的目的之一是提供一種新穎的輸入裝置。本發明的一個實施方式的目的之一是提供一種新穎的輸入輸出裝置。

[0017]

注意，這些目的的記載並不妨礙其他目的的存在。此外，本發明的一個實施方式並不需要實現所有上述目的。另外，可以從說明書、圖式、申請專利範圍等的記載衍生上述以外的目的。

[0018]

本發明的一個實施方式是一種觸控面板，包括：第一基板；第一導電層；第二導電層；第三導電層；第四導電層；以及液晶層。第三導電層位於第一基板上。第四導電層與第三導電層位於同一面上並相互分開。液晶層位於第三導電層的上側。第二導電層位於液晶層的上側。第一導電層位於第二導電層的上側。第一導電層具有包括多個開口的網狀。第二導電層具有使可見光透過的功能，並且具有與第三導電層重疊的部分及與第四導電層重疊的部分。第三導電層及第四導電層具有使可見光透過的功能。第三導電層具有與一個開口重疊的部分。第四導電層具有與另一個開口重疊的部分。在平面中，第一導電層具有位於第三導電層與第四導電層之間的部分。

[0019]

在上述結構中，較佳爲：第二導電層被用作共用電極，並且第三導電層及第四導電層都被用作像素電極。

[0020]

本發明的另一個實施方式是一種觸控面板，包括：第一基板；第一導電層；第二導電層；第三導電層；第四導電層；第五導電層；以及液晶層。第五導電層位於第一基板上。第五導電層具有與第三導電層重疊的部分及與第四導電層重疊的部分。第四導電層與第三導電層位於同一面上並相互分開。液晶層位於第三導電層及第五導電層的上側。第二導電層位於液晶層的上側。第一導電層位於第二導電層的上側。第一導電層具有包括多個開口的網狀。第二導電層具有使可見光透過的功能，並且具有與第三導電層重疊的部分及與第四導電層重疊的部分。第三導電層具有與一個開口重疊的部分。第四導電層具有與另一個開口重疊的部分。第三導電層及第四導電層或第五導電層具有使可見光透過的功能。在平面中，第一導電層具有位於第三導電層與第四導電層之間的部分。第三導電層或第五導電層具有梳齒狀或具有狹縫的形狀。一個開口、第三導電層與第五導電層在一個區域中相互重疊。一個開口在一個區域中與第三導電層和第五導電層中的一個相互重疊且與另一個不重疊。

[0021]

在上述結構中，較佳爲：第三導電層及第四導電層都被用作像素電極，並且第五導電層被用作共用電極。

[0022]

在上述結構中，第五導電層較佳爲位於第三導電層及第四導電層的下側。

[0023]

在上述結構中，第二導電層較佳爲與被供應恆電位的端子電連接。

[0024]

在上述結構中，較佳爲：在第一導電層的上側包括第二基板，並且第一導電層及第二導電層形成在第二基板上。

[0025]

在上述結構中，較佳爲：在第一導電層的上側包括遮光層，並且遮光層與第一導電層具有相互重疊的部分。

[0026]

在上述結構中，較佳爲在第一導電層的上側包括圓偏光板。

[0027]

在上述結構中，較佳爲：在第三導電層的上側包括第一彩色層及第二

彩色層，第一彩色層具有與一個開口重疊的區域，並且第二彩色層具有與另一個開口重疊的區域。此時，第一導電層較佳爲具有與第一彩色層和第二彩色層中的至少一個重疊的部分。

[0028]

在上述結構中，較佳爲：在第三導電層的上側且第二導電層的下側包括間隔物，並且間隔物具有與第一導電層重疊的部分。

[0029]

在上述結構中，較佳爲：在液晶層與第一基板之間包括電晶體，電晶體的源極和汲極中的一個與第三導電層電連接，並且電晶體包括包含氧化物半導體的半導體層。此時，較佳爲：電晶體包括第一閘極電極及第二閘極電極，第一閘極電極位於半導體層的下側，第二閘極電極位於半導體層的上側，並且第二閘極電極與半導體層與第三導電層具有相互重疊的區域。另外，第二閘極電極與半導體層較佳爲包含相同的金屬元素。

[0030]

或者，在上述結構中，較佳爲：在液晶層與第一基板之間包括電晶體，電晶體的源極和汲極中的一個與第三導電層電連接，並且電晶體包括包含非晶矽、多晶矽或單晶矽的半導體層。此時，較佳爲：電晶體包括第一閘極電極及第二閘極電極，第一閘極電極位於半導體層的下側，第二閘極電極位於半導體層的上側，並且第二閘極電極與半導體層與第三導電層具有相互重疊的區域。

[0031]

根據本發明的一個實施方式，可以提供一種厚度薄的觸控面板。另外，可以提供一種可見度高的觸控面板。另外，可以提供一種輕量的觸控面板。另外，可以提供一種功耗低的觸控面板。

[0032]

注意，本發明的一個實施方式並不需要具有所有上述效果。另外，可以從說明書、圖式、申請專利範圍等的記載衍生上述以外的效果。

【圖式簡單說明】

[0033]

在圖式中：

圖 1A 及圖 1B 是實施方式的觸控面板模組的結構例子；

圖 2 是實施方式的觸控面板模組的結構例子；

圖 3 是實施方式的觸控面板模組的結構例子；

圖 4 是實施方式的觸控面板模組的結構例子；

圖 5 是實施方式的觸控面板模組的結構例子；

圖 6 是實施方式的觸控面板模組的結構例子；

圖 7 是實施方式的觸控面板模組的結構例子；

圖 8 是實施方式的觸控面板模組的結構例子；

圖 9 是實施方式的觸控面板模組的結構例子；

圖 10 是實施方式的觸控面板模組的結構例子；

圖 11 是實施方式的觸控面板模組的結構例子；

圖 12 是實施方式的觸控面板模組的結構例子；

圖 13 是實施方式的觸控面板模組的結構例子；

圖 14 是實施方式的觸控面板模組的結構例子；

圖 15 是實施方式的觸控面板模組的結構例子；

圖 16 是實施方式的觸控面板模組的結構例子；

圖 17 是實施方式的觸控面板模組的結構例子；

圖 18 是實施方式的觸控面板模組的結構例子；

圖 19 是實施方式的觸控面板模組的結構例子；

圖 20 是實施方式的觸控面板模組的結構例子；

圖 21 是實施方式的觸控面板模組的結構例子；

圖 22 是實施方式的觸控面板模組的結構例子；

圖 23 是實施方式的觸控面板模組的結構例子；

圖 24 是實施方式的觸控面板模組的結構例子；

圖 25A 至圖 25C 是實施方式的觸控感測器的結構例子；

圖 26A 至圖 26C 是實施方式的觸控感測器的結構例子；

圖 27A 及圖 27B 是實施方式的觸控感測器的結構例子；

圖 28A 至圖 28G 是實施方式的觸控面板的結構例子；

圖 29A 至圖 29G 是實施方式的觸控面板的結構例子；

圖 30A 及圖 30B 是實施方式的觸控感測器的電路圖及時序圖；

圖 31A 及圖 31B 是說明具備實施方式的觸控感測器的像素的圖；

圖 32A 及圖 32B 是說明實施方式的觸控感測器及像素的工作的圖；

圖 33A1、圖 33A2、圖 33B1、圖 33B2、圖 33C1 及圖 33C2 是說明電晶體的一個實施方式的剖面圖；

圖 34A1、圖 34A2、圖 34A3、圖 34B1 及圖 34B2 是說明電晶體的一個實施方式的剖面圖；

圖 35A1、圖 35A2、圖 35A3、圖 35B1、圖 35B2、圖 35C1 及圖 35C2 是說明電晶體的一個實施方式的剖面圖；

圖 36A 至圖 36C 是說明電晶體的一個實施方式的平面圖及剖面圖；

圖 37A 至圖 37C 是說明電晶體的一個實施方式的平面圖及剖面圖；

圖 38A 至圖 38C 是說明電晶體的一個實施方式的平面圖及剖面圖；

圖 39A 至圖 39C 是說明電晶體的一個實施方式的平面圖及剖面圖；

圖 40A 至圖 40C 是說明電晶體的一個實施方式的平面圖及剖面圖；

圖 41A 及圖 41B 是說明能帶結構的圖；

圖 42A 至圖 42C 是說明電晶體的一個實施方式的平面圖及剖面圖；

圖 43A 至圖 43C 是說明電晶體的一個實施方式的平面圖及剖面圖；

圖 44A 至圖 44C 是說明電晶體的一個實施方式的平面圖及剖面圖；

圖 45A 至圖 45C 是說明電晶體的一個實施方式的平面圖及剖面圖；

圖 46A 至圖 46C 是說明電晶體的一個實施方式的平面圖及剖面圖；

圖 47A 及圖 47B 是說明電晶體的一個實施方式的剖面圖；

圖 48A 至圖 48C 是說明電晶體的一個實施方式的平面圖及剖面圖；

圖 49A 至圖 49C 是說明電晶體的一個實施方式的平面圖及剖面圖；

圖 50 是實施方式的觸控面板模組的方塊圖；

圖 51A 至圖 51C 是實施方式的觸控面板模組的結構例子；

圖 52 是說明實施方式的顯示模組的圖；

圖 53A 至圖 53H 是說明實施方式的電子裝置的圖；以及

圖54A及圖54B是說明實施方式的電子裝置的圖。

【實施方式】

[0034]

參照圖式對實施方式進行詳細說明。注意，本發明不侷限於下面說明，所屬技術領域的通常知識者可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換爲各種各樣的形式。因此，本發明不應該被解釋爲僅限定在以下所示的實施方式所記載的內容中。

[0035]

注意，在下面說明的發明結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略反復說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

[0036]

注意，在本說明書所說明的各個圖式中，有時爲了明確起見，誇大表示各組件的大小、層的厚度、區域。因此，本發明並不侷限於圖式中的尺寸。

[0037]

在本說明書等中使用的“第一”、“第二”等序數詞是爲了避免組件的混淆而附記的，而不是爲了在數目方面上進行限定的。

[0038]

另外，有時可以互相調換“膜”和“層”。例如，有時可以將“導電層”調換爲“導電膜”，並且有時可以將“絕緣膜”調換爲“絕緣層”。

[0039]

實施方式 1

在本實施方式中，參照圖式說明本發明的一個實施方式的輸入裝置（觸控感測器）的結構例子、以及具備本發明的一個實施方式的輸入裝置及顯示裝置（顯示面板）的輸入輸出裝置（觸控面板）的結構例子。

[0040]

下面說明作爲本發明的一個實施方式的觸控感測器使用電容式觸控感測器的情況。

[0041]

注意，在本說明書等中，觸控面板具有如下功能：在顯示面顯示（輸出）影像等的功能；以及檢測手指或觸控筆等感測物件接觸或接近顯示面的作爲觸控感測器的功能。因此觸控面板是輸入輸出裝置的一個實施方式。

[0042]

另外，在本說明書等中，有時將在觸控面板中的基板上安裝有例如 FPC（Flexible printed circuit：軟性印刷電路板）或 TCP（Tape Carrier Package：捲帶式封裝）等連接器的結構或在基板上以 COG（Chip On Glass：晶粒玻璃接合）方式安裝 IC（集成電路）的結構稱爲觸控面板模組或觸控面板。

[0043]

可用於本發明的一個實施方式的電容式觸控感測器具備一對導電層。在一對導電層之間產生有電容耦合。藉由由於感測物件接觸或接近於一對導電層而使一對導電層之間的電容的大小產生變化，可以進行檢測。

[0044]

作爲電容式，有表面電容式和投影電容式等。投影電容式主要因驅動方式的不同而被分爲自電容式、互電容式等。當使用互電容式時，可以進行同時多點檢測，所以是較佳的。

[0045]

另外，構成觸控感測器的一對導電層都較佳爲包括開口。該一對導電層更佳爲具有包括多個開口的網狀的形狀。較佳爲採用該開口與顯示元件互相重疊的結構。由此，因爲來自顯示元件的光藉由該開口發射到外部，所以構成觸控感測器的一對導電層不需要具有透光性。也就是說，作爲構成觸控感測器的一對導電層的材料，可以使用其電阻比透光性導電材料低的金屬或合金等材料。因此，感測信號的延遲等影響得以減少，從而可以提高觸控面板的檢測靈敏度。並且，上述結構不僅可以應用於可攜式設備，還可以應用於電視等大型顯示裝置。

[0046]

另外，構成觸控感測器的一對導電層在平面中較佳爲與兩個顯示元件之間的區域重疊地配置。此時，較佳爲將遮斷可見光的材料用於該一對導電層。由此，該一對導電層可以兼作抑制鄰接的像素之間的混色的遮光層。因此，無須作爲遮光層另外形成黑矩陣等，從而可以將製程簡化，而可期待良率的提高及生產成本的降低等。另外，藉由使用這樣的觸控感測器，可以實現可見度優異的觸控面板。

[0047]

另外，較佳爲在與構成觸控感測器的一對導電層相比更近於顯示面一側的位置具備遮光層或圓偏光板。由此，可以抑制或防止該導電層反射外光，從而防止該導電層被使用者看到。

[0048]

此時，因爲構成觸控感測器的一對導電層以避開來自顯示元件的光的光路的方式配置，所以發揮原理上不產生莫列波紋（moiré）的效果。在此，“莫列波紋”是指當重疊兩個以上的具有週期性的圖案時產生的干涉條紋。因此，能夠實現顯示品質極高的觸控面板。

[0049]

另外，作爲本發明的一個實施方式的觸控面板所包括的顯示元件，可以使用液晶元件、利用 MEMS（Micro Electro Mechanical Systems：微機電系統）的光學元件、有機 EL（Electro Luminescence：電致發光）元件或發光二極體（LED：Light Emitting Diode）等的發光元件、電泳元件等各種顯示元件。

[0050]

在此情況下，較佳爲對觸控面板適用將液晶元件用作顯示元件的透射型液晶顯示裝置。

[0051]

並且，較佳爲將構成觸控感測器的一對導電層配置在觸控面板所包括的一對基板之間。此時，特別較佳的是構成觸控感測器的導電層具有包括多個開口的形狀。這種導電層可以縮小其表面積。由此，例如與作爲構成觸控感測器的一對導電層使用不包括開口的具有透光性的導電膜的情況相比，可以實現驅動顯示元件時的電性雜訊不容易傳送到該導電層的結構。也就是說，即使在一對基板之間夾持顯示元件及構成觸控感測器的導電膜的兩者，也能夠實現高檢測靈敏度。其結果，可以實現薄型且檢測靈敏度高的觸控面板。

[0052]

並且，進一步較佳的是在構成觸控感測器的一對導電層和驅動顯示元件的電路之間設置能夠供應固定電位的導電層。可以將這種導電層用作屏蔽層。明確而言，該導電層能夠防止來自驅動顯示元件的電路的雜訊傳送到觸控感測器。與此同時，該導電層能夠防止驅動觸控感測器時的雜訊傳送到顯示元件或驅動顯示元件的電路、或構成該電路的佈線等。因此，能夠同時驅動顯示元件和觸控感測器兩者或分別獨立驅動顯示元件和觸控感測器，而不採取例如將驅動顯示元件的時機和驅動觸控感測器的時機錯開而抑制雜訊的影響等的措施。由此，例如藉由提高顯示元件的驅動頻率（也稱爲圖框頻率），可以實現流暢的動態影像顯示。另外，例如藉由提高觸控感測器的驅動頻率，可以進一步提高感測精度。另外，可以自由地設定顯示元件和觸控感測器的各自的驅動頻率。例如，根據情況，藉由設置將顯示元件和觸控感測器中之一者或兩者的驅動頻率設定爲低的期間，可以實現功耗的降低。

[0053]

尤其較佳爲使用如下的垂直電場方式的液晶元件：在液晶元件的用作共用電極及像素電極的一對導電層中，像素電極被設置在一個基板一側，而共用電極被設置在另一個基板一側。也就是說，較佳爲使共用電極位於構成像素的電晶體或佈線與構成觸控感測器的一對導電層之間。藉由採用這種結構，可以將共用電極用作屏蔽層。

[0054]

下面，參照圖式說明本發明的一個實施方式的更具體的結構例子。

[0055]

[結構例子]

圖 1A 是本發明的一個實施方式的觸控面板模組 10 的透視示意圖。另外，圖 1B 是將觸控面板模組 10 的一對基板分開時的透視示意圖。在觸控面板模組 10 中，基板 31 與基板 21 貼合。觸控感測器 22 設置在基板 21 一側。

[0056]

在基板 21 上設置有 FPC41。在基板 21 的顯示面板一側的面上包括觸控感測器 22。觸控感測器 22 包括導電層 23、導電層 24 及導電層 25 等。此外，觸控感測器 22 包括將上述導電層與 FPC41 電連接的佈線 29。FPC41 具有對觸控感測器 22 供應來自外部的信號的功能。另外，FPC41 具有將來自觸控感測器 22 的信號輸出到外部的功能。注意，有時將不包括 FPC41 的基板簡單地稱爲觸控面板。

[0057]

另外，可以將形成有觸控感測器 22 的基板 21 的單體用作觸控感測器基板或觸控感測器模組。例如，藉由將這種基板貼合到顯示面板的顯示面一側可以形成觸控面板。

[0058]

觸控感測器 22 包括多個導電層 23、多個導電層 24 及多個導電層 25。各導電層 23 具有向一個方向延伸的形狀。多個導電層 23 被配置在與延伸方向交叉的方向上。以位於鄰接的兩個導電層 23 之間的方式設置有多個導電層 24。導電層 25 將沿著與導電層 23 的延伸方向交叉的方向鄰接的兩個導電層 24 電連接。也就是說，沿著與導電層 23 的延伸方向交叉的方向配置的多個導電層 24 由多個導電層 25 電連接。

[0059]

在此，導電層 23 與導電層 25 具有互相重疊的區域。另外，導電層 23

和導電層 25 之間設置有絕緣層。

[0060]

在鄰接的導電層 23 和導電層 24 之間產生有電容耦合。也就是說，由導電層 23 和導電層 24 形成電容元件 11。例如，在採用投影電容式的驅動方法的情況下，可以將導電層 23 和導電層 24 中之一個用作發送一側的電極且將另一個用作接收一側的電極。

[0061]

注意，雖然在此採用了由導電層 25 將多個導電層 24 電連接的結構，但是也可以採用導電層 24 與導電層 23 同樣地具有在一個方向上延伸的形狀，並在導電層 23 與導電層 24 之間包括絕緣層的結構，藉由採用這樣的結構可以不設置導電層 25。此時，導電層 23 與導電層 24 的一部分互相重疊。

[0062]

另外，作爲導電層 23、導電層 24、導電層 25 等導電膜，亦即，能夠用於構成觸控面板的佈線及電極的材料，例如較佳爲使用電阻值低的材料。作爲一個例子，可以使用銀、銅、鋁等金屬。並且，可以使用由多個極細（例如，直徑或寬度爲幾奈米）的導電體構成的金屬奈米線。作爲一個例子，可以使用 Ag 奈米線、Cu 奈米線、Al 奈米線等。當使用 Ag 奈米線時，例如可以實現 89%以上的光穿透率、40Ω/□以上且 100Ω/□以下的片電阻值。由於這種金屬奈米線的穿透率高，因此也可以對用於顯示元件的電極（例如，像素電極或共通電極）使用該金屬奈米線。

[0063]

或者，也可以將導電性氧化物用於導電層 23、導電層 24 及導電層 25 等中的至少一個。例如，可以使用包含氧化銦、氧化錫或氧化鋅的導電性材料。另外，當將使可見光透過的材料用於導電層 23、導電層 24 或導電層 25 時，可以重疊配置該導電層和顯示元件，並使來自顯示元件的光透過該導電層射出。也就是說，當使用使可見光透過的材料時，該導電層可以不具有網狀的頂面形狀。

[0064]

在基板 31 上設置有顯示部 32。顯示部 32 包括配置爲矩陣狀的多個像素 33。像素 33 較佳爲包括多個子像素電路。各子像素電路與顯示元件電連接。另外，在基板 31 上較佳爲包括與顯示部 32 內的像素 33 電連接的電路 34。電路 34 可以使用例如用作閘極驅動電路的電路。FPC42 具有向顯示部 32 和電路 34 中的至少一個供應來自外部的信號的功能。較佳爲在基板 31

或 FPC42 上安裝用作源極驅動電路的 IC。將 IC 可以以 COG 方式安裝到基板 31 上。或者，可以將組裝有 IC 的 FPC42、TAB 或 TCP 等安裝在基板 31 上。

[0065]

本發明的一個實施方式的觸控面板模組可以藉由觸控感測器 22 基於進行觸摸動作時的電容變化輸出位置資訊。此外，可以藉由顯示部 32 顯示影像。

[0066]

[剖面結構例子]

下面，參照圖式說明觸控面板模組 10 的剖面結構例子。下面所例示的觸控面板模組 10 是作爲顯示元件適用採用 VA（Vertical Alignment：垂直配向）模式的透射型液晶元件的模組。

[0067]

[剖面結構例子 1]

圖 2 是觸控面板模組 10 的剖面示意圖。在圖 2 中示出圖 1A 中的包括 FPC42 的區域、包括電路 34 的區域、包括顯示部 32 的區域、包括 FPC41 的區域等的剖面的一個例子。

[0068]

使用黏合層 141 將基板 21 與基板 31 貼合。在由基板 21、基板 31 以及黏合層 141 包圍的區域中密封有液晶 112。另外，在基板 21 的外側的面上具有偏光板 130a。在基板 31 的外側的面上具有偏光板 130b。

[0069]

雖然未圖示，但是可以在偏光板 130a 的外側或偏光板 130b 的外側設置背光源。背光源可以是直下型背光源，也可以是邊緣照明型背光源。當使用具備 LED 的直下型背光源時，容易進行局部調光（local dimming）處理，由此可以提高對比，所以是較佳的。另外，當使用邊緣照明型背光源時，可以減薄包括背光源的觸控面板模組的厚度，所以是較佳的。

[0070]

在基板 31 與基板 21 之間設置有包括導電層 23 及導電層 24 的觸控感測器 22、連接部 101、佈線 29、顯示元件 60、電晶體 201、電晶體 202、電容元件 203、連接部 204、以及佈線 35 等。

[0071]

在基板 31 上設置有絕緣層 211、絕緣層 212、絕緣層 213、絕緣層 214

等絕緣層。絕緣層 211 的一部分用作各電晶體的閘極絕緣層，另一部分用作電容元件 203 的電介質。絕緣層 212、絕緣層 213 及絕緣層 214 以覆蓋各電晶體及電容元件 203 等的方式設置。絕緣層 214 用作平坦化層。此外,這裡示出覆蓋電晶體等的絕緣層包括絕緣層 212、絕緣層 213 及絕緣層 214 的三層的情況，但是絕緣層不侷限於此，也可以爲四層以上、單層或兩層。如果不需要，則可以不設置用作平坦化層的絕緣層 214。

[0072]

另外，在基板 31 上設置有導電層 221、導電層 222、導電層 223、半導體層 231 以及導電層 111 等。在此，有時使用相同符號表示對同一個導電膜進行加工而得到的多個層。

[0073]

可以將導電層 221 用於各電晶體的一個閘極電極、電容元件 203 的一個電極、或佈線等。可以將導電層 222 用於各電晶體的源極電極或汲極電極、電容元件 203 的另一個電極、或佈線等。可以將導電層 223 用於各電晶體的另一個閘極電極或佈線等。可以將半導體層 231 用作各電晶體的半導體層等。

[0074]

在圖 2 中，作爲顯示部 32 的例子，示出子像素 33R 以及與其鄰接的子像素 33G 及子像素 33B 的一部分的剖面。例如，藉由將子像素 33R 用作呈現紅色的子像素、將子像素 33G 用作呈現綠色的子像素、將子像素 33B 用作呈現藍色的子像素，能夠實現全彩色顯示。例如，子像素 33R 包括電晶體 202、電容元件 203、顯示元件 60 以及彩色層 131R。在此情況下，由電晶體 202、電容元件 203 以及佈線等構成子像素電路。

[0075]

圖 2 示出作爲電路 34 設置有電晶體 201 的例子。

[0076]

在圖 2 中，示出作爲電晶體 201 及電晶體 202，使用由兩個閘極電極（導電層 221、導電層 223）夾著形成有通道的半導體層 231 的結構的例子。藉由採用這種結構，可以控制電晶體的臨界電壓。另外，也可以連接導電層 221 和導電層 223，由兩個閘極電極驅動電晶體。與其他電晶體相比，這種電晶體能夠提高場效移動率，而可以增大通態電流（on-state current）。其結果是，可以製造能夠高速工作的電路。再者能夠縮小電路部的佔有面積。藉由使用通態電流大的電晶體，即使在使顯示面板或觸控面板大型化或高

清晰化時佈線數增多，也可以降低各佈線的信號延遲，而可以抑制顯示不均勻。

[0077]

另外，如圖 3 所示，也可以不設置導電層 223。藉由不設置導電層 223，可以使觸控面板的製程簡化，由此可以降低製造成本。

[0078]

電路34所包括的電晶體與顯示部32所包括的電晶體也可以具有相同的結構。此外，電路 34 所包括的多個電晶體可以都具有相同的結構或不同的結構。另外，顯示部 32 所包括的多個電晶體可以都具有相同的結構或不同的結構。

[0079]

覆蓋各電晶體的絕緣層212和絕緣層213中的至少一個較佳爲使用水或氫等雜質不容易擴散的材料。亦即，可以將絕緣層 212 或絕緣層 213 用作障壁膜。藉由採用這種結構，可以有效地抑制雜質從外部擴散到電晶體中，從而能夠實現可靠性高的觸控面板。

[0080]

在絕緣層 214 上設置有導電層 111。導電層 111 藉由形成在絕緣層 214、絕緣層 213、絕緣層 212 等中的開口與電晶體 202 的源極和汲極中的一個電連接。導電層 111 與電容元件 203 的一個電極電連接。

[0081]

在基板 21 的基板 31 一側的面上設置有導電層 23、導電層 24、導電層 25、佈線 29、絕緣層 121、保護層 123、間隔物 124、彩色層 131G（未圖示）、彩色層 131R、彩色層 131B、遮光層 132、導電層 113 等。

[0082]

圖 2 示出導電層 23 和導電層 24 的交叉部的剖面圖。將導電層 23 及導電層 24 設置在同一個面上。導電層 25 設置在覆蓋導電層 23 及導電層 24 的絕緣層 121 上，並且其一部分與導電層 23 重疊。夾有導電層 23 的兩個導電層 24 藉由設置在絕緣層 121 中的開口與導電層 25 電連接。

[0083]

遮光層 132 及彩色層 131R 等設置在絕緣層 121 上。以覆蓋遮光層 132 及彩色層 131R 等的方式設置有保護層 123。在保護層 123 上設置有導電層 113。

[0084]

在圖 2 中，顯示元件 60 由導電層 111、導電層 113 的一部分以及由它們夾持的液晶 112 構成。

[0085]

另外，在導電層 111、導電層 113 及絕緣層 214 等中，也可以在接觸於液晶 112 的面上設置用來控制液晶 112 的配向的配向膜。

[0086]

圖 2 所示的結構示出將導電層 23 等不重疊於顯示元件 60 地配置的例子。換言之，以導電層 23 所具有的開口與顯示元件 60 重疊的方式配置導電層 23。或者，也可以說以重疊於鄰接的兩個子像素所包括的兩個導電層 111 之間的區域的方式配置導電層 23。注意，在此示出導電層 23 的例子，然而導電層 24 及導電層 25 也與導電層 23 同樣地以不重疊於顯示元件 60 的方式配置。

[0087]

在顯示元件 60 中，導電層 111 及導電層 113 具有使可見光透過的功能。藉由採用這樣的結構，可以使顯示元件 60 成爲透射型液晶元件。例如，當將背光源配置在基板 31 一側時，被偏光板 130b 偏振的背光源的光透過基板 31、導電層 111、液晶 112、導電層 113 及基板 21 到達偏光板 130a。此時，可以由施加到導電層 111 與導電層 113 之間的電壓控制液晶 112 的配向，由此控制光的光學調變。就是說，可以控制透過偏光板 130a 射出的光的強度。另外，因爲入射的光的指定波長區域以外的光被彩色層 131R 吸收，因此所提取的光成爲例如呈現紅色的光。

[0088]

在此，作爲偏光板 130a 可以使用直線偏光板，也可以使用圓偏光板。例如可以使用將直線偏光板和四分之一波相位差板層疊而成的偏光板。尤其是如圖 2 所示，當在比遮光層 132 更近於基板 21 一側的位置配置構成觸控感測器的導電層 23、導電層 24（及導電層 25）時，有時該導電層反射外光而該反射光會被看到。此時，藉由作爲偏光板 130a 使用圓偏光板，可以抑制反射。

[0089]

另外，當作爲偏光板 130a 使用圓偏光板時，作爲偏光板 130b 也可以使用圓偏光板，也可以使用一般的直線偏光板。藉由根據用於偏光板 130a、偏光板 130b 的偏光板的種類調整用於顯示元件 60 的液晶元件的單元間隙、配向及驅動電壓等，來實現所希望的對比度即可。

[0090]

在此，作爲顯示元件 60，示出在觸控面板模組 10 的厚度方向上配置一對電極，且對液晶 112 在厚度方向上施加電場的方式。注意，作爲電極的配置方法不侷限於此，也可以應用在垂直於厚度方向的方向上施加電場的方式。

[0091]

尤其是，較佳爲對觸控面板模組 10 使用常黑型液晶顯示裝置，例如採用垂直配向（VA）模式的透射型液晶顯示裝置。作爲垂直配向模式，可以使用 MVA（Multi-Domain Vertical Alignment：多象限垂直配向）模式、PVA（Patterned Vertical Alignment：垂直配向構型）模式、ASV（Advanced Super View：高級超視覺）模式等。

[0092]

作爲可用於顯示元件 60 的液晶元件，可採用各種模式的液晶元件。例如，除了 VA 模式，還可以使用 TN（Twisted Nematic：扭曲向列）模式、IPS（In-Plane-Switching：平面切換）模式、FFS（Fringe Field Switching：邊緣場切換）模式、ASM（Axially Symmetric Aligned Micro-cell：軸對稱排列微單元）模式、OCB（Optically Compensated Birefringence：光學補償彎曲）模式、FLC（Ferroelectric Liquid Crystal：鐵電性液晶）模式、AFLC（AntiFerroelectric Liquid Crystal：反鐵電液晶）模式等的液晶元件。

[0093]

另外，液晶元件是利用液晶的光學調變作用來控制光的透過或非透過的元件。液晶的光學調變作用由施加到液晶的電場（包括橫向電場、縱向電場或傾斜方向電場）控制。作爲用於液晶元件的液晶可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC：Polymer Dispersed Liquid Crystal）、鐵電液晶、反鐵電液晶等。這些液晶材料根據條件呈現出膽固醇相、層列相、立方相、手向列相、各向同性相等。

[0094]

另外，作爲液晶材料，可以使用正型液晶和負型液晶中的任一種，根據所適用的模式或設計採用適當的液晶材料即可。

[0095]

在此，導電層 113 例如可以被用作共用電極，導電層 111 例如可以被用作像素電極。

[0096]

在圖 2 中，導電層 113 與導電層 23、導電層 24 及導電層 25 等重疊地配置。因此，藉由對導電層 113 供應共用電位、接地電位或任意的固定電位，可以在驅動導電層 23、導電層 24 及導電層 25 時遮斷傳向基板 31 一側的電性雜訊。另外，與此同時，可以遮斷當驅動設置在基板 31 一側的子像素電路時傳向基板 21 一側的電性雜訊。

[0097]

在離基板 31 的端部近的區域設置有連接部 204。連接部 204 藉由連接層 242 與 FPC42 電連接。在圖 2 所示的結構中示出藉由將佈線 35 的一部分與導電層 223 層疊來形成連接部 204 的例子。在離基板 21 的端部近的區域設置有連接部 101。連接部 101 藉由連接層 241 與 FPC41 電連接。在圖 2 所示的結構中示出層疊佈線 29 的一部分、藉由對與導電層 25 同一導電膜進行加工而得到的導電層、藉由對與導電層 113 同一導電膜進行加工而得到的導電層來形成連接部 101 的例子。

[0098]

另外，圖 2 示出用作佈線的導電層 221 和用作佈線的導電層 222 的交叉部的剖面結構的一個例子。例如，可以將導電層 221 用作具有掃描線的功能的佈線和具有電容線的功能的佈線中的一者或兩者、並且可以將導電層 222 用作具有信號線的功能的佈線。

[0099]

在此，也可以在偏光板 130a 上方設置手指或觸控筆等感測物件直接接觸的基板。在此情況下，較佳爲在該基板上設置保護層（陶瓷塗層等）。作爲保護層，例如可以使用氧化矽、氧化鋁、氧化釔、釔安定氧化鋯（YSZ）等無機絕緣材料。此外，該基板也可以使用鋼化玻璃。較佳爲使用藉由離子交換法或風冷強化法等被施加物理或化學處理，並且其表面被施加壓應力的鋼化玻璃。

[0100]

保護層 123 具有防止彩色層 131R 等所包含的顏料等雜質擴散到液晶 112 的功能。

[0101]

間隔物 124 設置在導電層 113 上，其具有防止基板 21 與基板 31 靠近到其間的距離短於一定距離的功能。圖 2 示出間隔物 124 與基板 31 一側的結構物（例如導電層 111 或絕緣層 214 等）不接觸的例子，然而也可以互相接觸。此外，雖然在此示出間隔物 124 設置在基板 21 一側的例子，但是也可

以設置在基板 31 一側。例如，將間隔物 124 配置在相鄰的兩個子像素所包括的兩個導電層 111 之間即可。另外，作爲間隔物 124 可以使用粒狀間隔物。作爲粒狀間隔物，雖然可以使用二氧化矽等材料，但是較佳爲使用有機樹脂或橡膠等具有彈性的材料。此時，有時粒狀間隔物在垂直方向上成爲壓扁的形狀。

[0102]

在此，如圖 2 所示較佳爲將間隔物 124 與導電層 23（或導電層 24、導電層 25）重疊地配置。或者，較佳爲將間隔物 124 與遮光層 132 重疊地配置。由此，因爲在配置顯示元件 60 的部分不配置間隔物 124，所以光不被間隔物 124 吸收、折射或擴散等，而能夠提高光提取效率。

[0103]

在本發明的一個實施方式的觸控面板模組 10 中，導電層 23、導電層 24 及導電層 25 可以被用作抑制鄰接的子像素之間的混色的遮光層。圖 3 示出導電層 23、導電層 24 及導電層 25 兼作遮光層且不包括遮光層 132 的例子。此時，作爲導電層 23、導電層 24 及導電層 25，較佳爲使用遮斷可見光的材料。或者，也可以使用反射可見光的材料。另外，藉由層疊包括反射可見光的材料的層以及比該層更近於基板 31 一側的吸收可見光的至少一部分的層，可以抑制透過導電層 111 的光中的到達導電層 23 等的光再次被反射到基板 31 一側，所以是較佳的。

[0104]

另外，如圖 4 所示，也可以重疊鄰接的兩個彩色層的端部，並將其與導電層 23 等重疊地配置。在圖 4 中，在子像素 33G 與子像素 33R 的介面附近，重疊地設置有導電層 23、彩色層 131G 的端部、彩色層 131R 的端部。另外，在子像素 33R 與子像素 33B 的介面附近，重疊地設置有導電層 23、彩色層 131R 的端部、彩色層 131B 的端部。由此，無須另行設置吸收可見光的層，從而可以降低製造成本。另外，與導電層 23 等重疊配置的彩色層可以僅是一層，但是藉由重疊兩種顏色以上的彩色層，可以更有效地提高吸收可見光的效果。

[0105]

如圖 5 所示，可以在比構成觸控感測器 22 的導電層 23、導電層 24 及導電層 25 更近於基板 21 一側的位置配置遮光層 132 或彩色層 131R 等。由此，來自基板 21 一側的外光不會到達導電層 23、導電層 24 及導電層 25，因而可以防止導電層 23、導電層 24 及導電層 25 被看到。另外，在圖 5 中，

以覆蓋遮光層 132 或彩色層 131R 等的方式設置有絕緣層 126。絕緣層 126 較佳爲使用能夠用作平坦化層的材料。

[0106]

如圖 6 所示，也可以在比構成觸控感測器 22 的導電層 23、導電層 24 及導電層 25 更近於基板 21 一側的位置配置遮光層 132，並且在比它們更近於基板 31 一側的位置配置彩色層 131R 等。

[0107]

如圖 7 所示，也可以將彩色層 131R 等配置在基板 31 一側。此時，如圖 7 所示，遮光層 132 既可以設置在基板 21 一側，也可以設置在基板 31 一側。或者，也可以不設置遮光層 132。

[0108]

如圖 8 所示，也可以在基板 21 一側不設置連接部 101。在圖 8 中，由連接器 243 電連接配置在基板 31 一側的導電層與配置在基板 21 一側的導電層。由此，可以電連接配置在基板 21 一側的佈線 29 與配置在基板 31 一側的佈線。另外，可以從配置在基板 31 一側的 FPC（未圖示）或 IC（未圖示）向導電層 24 供應信號，或者從導電層 24 向 FPC 或 IC 發送信號。

[0109]

此時，不僅是與構成觸控感測器 22 的導電層 23 或導電層 24 電連接的佈線 29，導電層 113 也可以同樣地藉由連接器 243 與配置在基板 31 一側的佈線電連接。此時，可以從配置在基板 31 一側的 FPC 或 IC 向導電層 113 供應電位或信號。

[0110]

例如，連接器 243 可以使用導電粒子。作爲導電粒子，可以採用表面覆蓋有金屬材料的有機樹脂或二氧化矽等粒子。作爲金屬材料，較佳爲使用鎳或金，因爲其可以降低接觸電阻。另外，較佳爲使用如在鎳上還覆蓋有金等以層狀覆蓋有兩種以上的金屬材料的粒子。另外，連接器 243 較佳爲採用能夠彈性變形或塑性變形的材料。此時，有時導電粒子成爲圖 8 所示的那樣的在縱向上被壓扁的形狀。藉由具有該形狀，可以增大連接器 243 與其電連接的導電層的接觸面積，從而可以降低接觸電阻並抑制接觸不良等問題發生。

[0111]

連接器 243 較佳爲以由黏合層 141 覆蓋的方式配置。例如，在塗佈成爲黏合層 141 的膏料等之後，在黏合層 141 上配置連接器 243 即可。例如，可

以將在設置有黏合層 141 的部分中配置連接器 243 的結構應用於如固體封裝結構的顯示裝置或中空封裝結構的顯示裝置等那樣的將黏合層 141 用於外周部的結構。

[0112]

另外，如圖 9 所示，電容元件 203 也可以由導電層 111、導電層 114 以及位於它們之間的絕緣層 215 形成。在圖 9 中，在絕緣層 214 上設置有導電層 114，還設置有覆蓋導電層 114 的絕緣層 215，在絕緣層 215 上設置有導電層 111。在此，當顯示元件 60 爲透射型液晶元件時，可以作爲導電層 114 使用與導電層 111 同樣的透光性材料。

[0113]

以上是剖面結構例子 1 的說明。

[0114]

[剖面結構例子 2]

下面，說明使用與上述剖面結構例子 1 不同模式的液晶元件的觸控面板模組 10 的剖面結構例子。注意，下面省略與上述內容重複的部分的說明，而僅對不同點進行說明。

[0115]

圖 10 示出對顯示元件 60 採用 FFS 模式的液晶元件的例子。顯示元件 60 包括導電層 151、液晶 152、以及導電層 153。

[0116]

在絕緣層 214 上配置有導電層 153。另外，覆蓋導電層 153 地設置有絕緣層 215，並且在絕緣層 215 上設置有導電層 151。導電層 151 藉由設置在絕緣層 215、絕緣層 214、絕緣層 213、絕緣層 212 中的開口與電晶體 202 的源極和汲極中的一個電連接。

[0117]

導電層 151 具有梳齒形的頂面形狀或設有狹縫的頂面形狀。另外，導電層 153 與導電層 151 重疊地配置。另外，在重疊於彩色層 131R 等的區域中包括在導電層 153 上沒有配置導電層 151 的部分。

[0118]

在圖 10 中，將導電層 151 用作像素電極，且將導電層 153 用作共用電極。另外，將設置在上層並具有梳齒形或狹縫狀的頂面形狀的導電層 151 用作共用電極，並且將設置在下層的導電層 153 用作像素電極。在此情況下，導電層 153 與電晶體 202 的源極和汲極中的一個電連接即可。

[0119]

另外，導電層 151 與導電層 153 隔著絕緣層 215 層疊，在此形成有電容元件 203。因此無須另行形成電容元件，從而可以提高像素的開口率。

[0120]

在此，即使使用 FFS 模式或 IPS 模式等利用水平電場的模式，藉由設置導電層 113，也可以將其用作抑制雜訊的影響的屏蔽層。此時，對導電層 113 供應不會影響到液晶 152 的開關的恆電位即可。例如，可以使用接地電位、共用電位或任意的恆電位。另外，例如可以使導電層 153 和導電層 113 的電位相同。

[0121]

在此，藉由作爲導電層 153 使用使可見光透過的導電性材料，可以實現透射型液晶元件。另外，當作爲導電層 151 及導電層 153 的兩者使用使可見光透過的導電性材料時，可以進一步提高開口率，所以是較佳的。

[0122]

例如，在使用反射型液晶元件的情況下，對導電層 151 及導電層 153 中的一者或兩者使用反射可見光的材料即可。對導電層 151 及導電層 153 的兩者使用反射可見光的材料，可以提高開口率。此外，也可以對導電層 153 使用反射可見光的材料且對導電層 151 使用使可見光透過的材料。

[0123]

或者，也可以藉由對導電層 151 使用反射可見光的材料且對導電層 153 使用使可見光透過的材料，來實現半透射型液晶元件。此時，可以切換使用被導電層 151 反射的光的反射模式和使用透過設置在導電層 151 中的狹縫的來自背光源的光的透射模式。

[0124]

此外，在採用橫向電場方式的情況下，也可以使用不使用配向膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽甾液晶的溫度上升時亦即將從膽固醇相轉變到均質相之前出現的相。因爲藍相只在窄的溫度範圍內出現，所以將其中混合了幾 wt%以上的手性試劑的液晶組合物用於液晶層，以擴大溫度範圍。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度快，並且其具有光學各向同性。此外，包含呈現藍相的液晶和手性試劑的液晶組成物不需要配向處理，並且視角依賴性小。另外，由於不需要設置配向膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，並可以減少製程中的液晶顯示裝置的不良或破損。

[0125]

注意，雖然圖 10 示出以與導電層 25 的頂面接觸的方式設置遮光層 132 的情況，但是也可以在它們之間設置絕緣層，使它們不接觸。

[0126]

圖 11 示出在圖 10 中不包括導電層 223 的情況。當將導電層 153 用作共用電極時，如圖 11 所示，較佳爲在電晶體 202 的半導體層 231 與導電層 151 之間配置導電層 153。由此，可以抑制導電層 151 的電場的影響涉及到半導體層 231。

[0127]

另外，佈線 35 的一部分與導電層 224 層疊而構成連接部 204。作爲導電層 224，較佳爲利用濺射法在包含氧氣體的氛圍下進行成膜。由此，可以對成爲導電層 224 的被形成面的絕緣層 212 添加氧或過量氧。另外，當將氧化物半導體用於電晶體 201、202 的半導體層時，由該過量氧填補該半導體層中的氧缺陷，由此可以實現可靠性高的電晶體。另外，當對絕緣層 212、氧化物半導體層或對它們兩者供應過量氧時，絕緣層 213 較佳爲使用可以抑制氧的透過的材料。

[0128]

另外，在圖 11 中，雖然示出在連接部 204 以外的區域將導電層 224 藉由蝕刻而去除的例子，但是也可以與圖 10 等所示的導電層 223 同樣地將其用於電晶體的另一個閘極電極等其他電極或佈線。

[0129]

在此，雖然示出在構成顯示元件 60 的一對導電層（導電層 151、導電層 153）中，將位於上側的導電層 153 用作像素電極，將位於下側的導電層 151 用作共用電極的例子，但是並不侷限於此。例如，也可以將位於下側的導電層 151 用作像素電極，將位於上側的導電層 153 用作共用電極。此時，導電層 151 具有島狀的頂面形狀，並與電晶體 202 的源極電極或汲極電極電連接即可。導電層 153 具有設置有狹縫的頂面形狀或梳齒狀的頂面形狀，並可跨越配置在鄰接的兩個以上的像素之間。

[0130]

以上是剖面結構例子 2 的說明。

[0131]

[剖面結構例子 3]

下面，說明使用與上述剖面結構例子 1 及剖面結構例子 2 的不同結構

的觸控感測器的觸控面板模組 10 的剖面結構例子。注意，下面省略與上述內容重複的部分的說明，而僅對不同點進行說明。

[0132]

圖 12 所示的觸控面板模組與圖 10 所例示的結構的主要不同之處在於：包括導電層 125 代替導電層 25，以及包括絕緣層 122。

[0133]

圖 12 所示的導電層 125 包含具有金屬氧化物的導電性材料。

[0134]

例如，可以使用後面描述的具有透光性的導電性材料中的金屬氧化物。

[0135]

或者，導電層 125 較佳爲包含低電阻化的氧化物半導體。尤其是，當將氧化物半導體用於觸控面板模組 10 中的電晶體的半導體層時，較佳爲使用電阻率低於該半導體層的氧化物半導體。

[0136]

例如，可以藉由後面描述的氧化物半導體的電阻率的控制方法使導電層 125 低電阻化。

[0137]

此時，作爲覆蓋導電層 125 的絕緣層 122，較佳爲使用含有大量的氫的絕緣層。例如，較佳爲包括包含氮化矽的絕緣膜。

[0138]

藉由作爲導電層 125 使用導電金屬氧化物或低電阻化了的氧化物半導體，其表面的氧化可以被抑制，因此能夠實現可靠性高的觸控面板模組 10。

[0139]

另外，導電層 125 的一部分與上述剖面結構例子 2 中的導電層 113 同樣地與顯示元件 60 重疊地配置。也就是說，導電層 125 的另一部分可以被用作屏蔽層。藉由採用這種結構，可以同時形成構成觸控感測器 22 的導電層以及用作屏蔽層的導電層，因此可以使製程簡化。

[0140]

以上是剖面結構例子 3 的說明。

[0141]

[剖面結構例子 4]

下面，圖 13 示出觸控面板中的電晶體爲頂閘極型電晶體的例子。

[0142]

圖 13 所示的觸控面板模組與圖 2 所例示的結構的主要不同之處在於電晶體 301 及 302 的結構。由於除了電晶體的結構之外，圖 13 所示的觸控面板模組與圖 2 所示的結構大致相同，所以與圖 2 相同的部分使用相同的符號，並省略共同的部分的詳細說明。

[0143]

電晶體 301 及 302 包括緩衝層 300 上的半導體層 231、用作閘極絕緣層的絕緣層 211、隔著閘極絕緣層重疊於半導體層 231 的用作閘極電極的導電層 221、覆蓋用作閘極電極的導電層 221 的絕緣層 212 及絕緣層 213、用作源極電極或汲極電極的導電層 222。另外，較佳爲將不重疊於閘極電極的半導體層的區域設定爲比重疊於閘極電極的通道形成區域電阻低的區域（低電阻區域 232）。

[0144]

在本結構例子中，在作爲半導體層 231 使用氧化物半導體層的情況下，爲了使不重疊於閘極電極的半導體層的區域成爲比通道形成區域電阻低的區域，較佳爲對不重疊於閘極電極的半導體層的區域添加雜質元素（稀有氣體、氮、磷、硼、氫等）。作爲稀有氣體使用氦、氬等。另外，作爲雜質的添加方法，可以採用利用電漿的方法或離子植入法等。藉由使用離子植入法，可以以閘極電極爲遮罩自對準地添加雜質元素，由此使氧化物半導體層的一部分低電阻化，所以是較佳的。

[0145]

電容元件 203 包括導電層 221、低電阻化的半導體層 231、配置在它們之間且被用作電介質的絕緣層 211。此外，電容元件 203 也可以包括導電層 221、導電層 222、配置在它們之間的絕緣層 212 及絕緣層 213。

[0146]

另外，連接部 204 藉由層疊佈線 35 的一部分與導電層 111 形成。

[0147]

作爲緩衝層 300 使用氧化矽或金屬氧化物等絕緣材料。作爲對緩衝層 300 使用的金屬氧化物，使用包含鋁、銦、鎵以及鋅等中的一種或多種的氧化物。另外，作爲緩衝層 300 較佳爲使用水或氫等雜質不容易擴散的材料。就是說，可以將緩衝層 300 用作障壁膜。藉由採用這種結構，可以有效地抑制雜質從外部擴散到電晶體 301 及 302 中，從而能夠實現可靠性高的觸控面板。

[0148]

在此，電晶體 301 及電晶體 302 的半導體層 231 可以由氧化物半導體膜以外的半導體膜形成。例如，半導體膜可以爲非晶、微晶、多晶或單晶。另外，作爲半導體層 231 的半導體材料，例如，可以舉出由第 14 族的元素構成的半導體材料（矽、鍺等）或化合物半導體（碳化矽、Si-Ge 等）等。

[0149]

例如，可以形成非晶矽膜，使其晶化而形成多晶矽膜，並由該多晶矽膜形成半導體層 231。作爲非晶矽膜的晶化方法，有照射波長爲 400nm 以下的雷射的雷射晶化法、使用紅外光的燈退火晶化法、利用 400℃至 600℃的加熱處理的固相成長法、950℃左右的高溫退火晶化法等。作爲固相成長法，有在對非晶矽膜添加鎳等催化元素後進行加熱處理的方法。另外，也可以利用多種晶化方法使非晶矽膜晶化。例如，可以添加鎳等催化元素，並藉由加熱處理使其固相成長來得到多晶矽膜。然後，爲了減少多晶矽膜中的缺陷，對該多晶矽膜照射雷射。

[0150]

另外，爲了得到單晶矽膜，使用對單晶（或多晶）矽晶圓注入氫離子等來剝離其表層部分而得到的膜即可。並可將上述膜用於半導體層 231。

[0151]

在電晶體 301 及電晶體 302 的半導體層 231 中，形成有通道形成區域以及夾著通道形成區域設置的低電阻區域 232。低電阻區域 232 可以包括低濃度雜質區域（LDD：Lightly Doped Drain、輕摻雜汲極區域）以及被用作源極區域或汲極區域的高濃度雜質區域的兩者。在此，低濃度雜質區域的雜質濃度低於高濃度雜質區域且高於通道形成區域。

[0152]

當電晶體 301 或電晶體 302 爲 n 型電晶體時，使低電阻區域 232 爲 p 型區域即可。例如是添加有磷（P）、砷（As）等的區域即可。另一方面，當電晶體 301 或電晶體 302 爲 p 型電晶體時，使低電阻區域 232 爲 n 型區域即可。例如是添加有硼（B）、鋁（Al）、鎵（Ga）等的區域即可。另外，爲了控制電晶體的臨界電壓，也可以以比低電阻區域 232 低的濃度對半導體層 231 的通道形成區域添加上述雜質。

[0153]

爲了使不與閘極電極重疊的半導體層 231 的區域成爲比通道形成區域低電阻化的區域，較佳爲對不與閘極電極重疊的半導體層 231 添加雜質元素。另外，作爲雜質的添加方法，可以採用典型的使用電漿的方法或離子

植入法等。藉由使用離子植入法，可以以閘極電極爲遮罩自對準地添加雜質元素，由此使半導體層 231 的一部分低電阻化，所以是較佳的。

[0154]

另外，電晶體 301 或電晶體 302 也可以是在半導體層 231 中具有多個通道形成區域的結構（也稱爲多通道結構或多閘極結構）。例如，可以採用在半導體層 231 上分開配置兩個以上的閘極電極的結構。在相鄰的兩個通道形成區域之間的區域可以設置有上述低電阻區域（低濃度雜質區域和高濃度雜質區域中的任一個或兩個）。藉由使電晶體具有多通道結構，可以減少電晶體在關閉狀態下的洩漏電流。

[0155]

另外，作爲電容元件 203，示出層疊有半導體層 231 的低電阻區域 232 的一部分、絕緣層 212 及導電層 221 的結構。另外，在電容元件 203 中，低電阻區域 232 的雜質濃度可以比電晶體 302 的源極區域及汲極區域的雜質濃度高。注意，電容元件 203 的結構並不侷限於此，也可以組合其他導電層和絕緣層來形成。例如，也可以採用在導電層 221 與導電層 222 之間層疊有絕緣層 212 及絕緣層 213 的結構。

[0156]

在此，電晶體 301 及電晶體 302 等可以替換爲圖 3 至圖 11 所示的電晶體 201 及電晶體 202。圖 14 是將圖 3 的電晶體替換時的剖面示意圖。圖 15 是將圖 4 的電晶體替換時的剖面示意圖。圖 16 是將圖 5 的電晶體替換時的剖面示意圖。圖 17 是將圖 6 的電晶體替換時的剖面示意圖。圖 18 是將圖 7 的電晶體替換時的剖面示意圖。圖 19 是將圖 8 的電晶體替換時的剖面示意圖。圖 20 是將圖 9 的電晶體替換時的剖面示意圖。圖 21 是將圖 10 的電晶體替換時的剖面示意圖。

[0157]

在圖 21 等中，雖然示出在構成顯示元件 60 的一對導電層（導電層 151、導電層 153）中，將位於上側的導電層 151 用作像素電極，將位於下側的導電層 153 用作共用電極的例子，但是並不侷限於此。圖 22 示出將位於下側的導電層 151 用作像素電極，將位於上側的導電層 153 用作共用電極的例子。在圖 22 中，導電層 151 具有島狀的頂面形狀，並與電晶體 202 的源極電極或汲極電極電連接。另外，導電層 153 具有設置有狹縫的頂面形狀或梳齒狀的頂面形狀，並跨越配置在鄰接的兩個以上的像素之間。

[0158]

以上是剖面結構例子 4 的說明。

[0159]

[剖面結構例子 5]

下面示出觸控面板中的電晶體爲底閘極型電晶體時的其他例子。

[0160]

圖 23 所示的觸控面板模組與圖 13 所例示的結構的主要不同之處在於電晶體 401 及 402 的結構。由於除了電晶體的結構之外，圖 23 所示的觸控面板模組與圖 13 所示的結構大致相同，所以與圖 13 相同的部分使用相同的符號，並省略共同的部分的詳細說明。

[0161]

電晶體 401 及電晶體 402 包括在基板 31 上用作閘極電極的導電層 221、覆蓋該導電層 221 且用作閘極絕緣層的絕緣層 211、在絕緣層 211 上與導電層 221 重疊的半導體層 231、與半導體層 231 接觸且用作源極電極或汲極電極的導電層 222。半導體層 231 包括通道形成區域以及電阻率比該通道形成區域低的低電阻區域 232。

[0162]

電容元件 203 包括導電層 221、導電層 222 以及配置在它們之間的用作電介質的絕緣層 211。注意，電容元件 203 的結構並不侷限於此，也可以組合其他導電層和絕緣層來形成。例如，電容元件 203 也可以包括導電層 221、半導體層 231 的低電阻區域 232 以及配置在它們之間的用作電介質的絕緣層 211。

[0163]

在圖 23 中，作爲電晶體 401 及電晶體 402 的例子，例示出通道形成在其中的半導體層 231 由兩個閘極電極（導電層 221 和導電層 223）夾著的結構。

[0164]

在圖 23 中，例示出作爲連接部 204 層疊有佈線 35 的一部分、對與導電層 223 相同的導電膜進行加工而得到的導電層的結構。

[0165]

另外，如圖 24 所示，也可以不設置導電層 223。藉由不設置導電層 223，可以使觸控面板的製程簡化，由此可以降低製造成本。

[0166]

上述各結構例子的至少一部分可以適當地組合而實施。

[0167]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0168]

[各組件]

下面，說明上述各組件。

[0169]

[基板]

觸控面板所包括的基板可以使用具有平坦面的材料。作爲提取來自顯示元件的光的一側的基板，使用使該光透過的材料。例如，可以使用玻璃、石英、陶瓷、藍寶石以及有機樹脂等的材料。

[0170]

藉由使用厚度薄的基板，可以實現觸控面板的輕量化及薄型化。再者，藉由使用其厚度允許其具有撓性的基板，可以實現具有撓性的觸控面板。

[0171]

作爲玻璃，例如可以使用無鹼玻璃、鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等。

[0172]

作爲具有撓性以及對可見光具有透過性的材料，例如可以舉出如下材料：其厚度允許其具有撓性的玻璃、聚酯樹脂諸如聚對苯二甲酸乙二醇酯（PET）或聚萘二甲酸乙二醇酯（PEN）等、聚丙烯腈樹脂、聚醯亞胺樹脂、聚甲基丙烯酸甲酯樹脂、聚碳酸酯（PC）樹脂、聚醚碸（PES）樹脂、聚醯胺樹脂、環烯烴樹脂、聚苯乙烯樹脂、聚醯胺-醯亞胺樹脂、聚氯乙烯樹脂或聚四氟乙烯（PTFE）樹脂等。尤其較佳爲使用熱膨脹係數低的材料，例如較佳爲使用聚醯胺-醯亞胺樹脂、聚醯亞胺樹脂以及 PET 等。另外，也可以使用將有機樹脂浸滲於玻璃纖維中的基板或將無機填料混合到有機樹脂中來降低熱膨脹係數的基板。由於使用這種材料的基板的重量輕，所以使用該基板的觸控面板也可以實現輕量化。

[0173]

作爲不提取發光的一側的基板，也可以不具有透光性，所以除了上面例舉的基板之外還可以使用金屬基板、陶瓷基板或半導體基板等。由於金屬材料以及合金材料的熱導電性高，並且容易將熱傳導到密封基板整體，因此能夠抑制觸控面板的局部溫度上升，所以是較佳的。爲了獲得撓性或

彎曲性，較佳爲將金屬基板的厚度設定爲 10μm 以上且 200μm 以下，更佳爲 20μm 以上且 50μm 以下。

[0174]

對於構成金屬基板的材料沒有特別的限制，例如，較佳爲使用鋁、銅、鎳等金屬、鋁合金或不鏽鋼等合金等。

[0175]

此外，也可以使用使金屬基板的表面氧化或在其表面上形成絕緣膜等進行過絕緣處理的基板。例如，既可以採用旋塗法或浸漬法等塗佈法、電沉積法、蒸鍍法或濺射法等的方法形成絕緣膜，又可以藉由在氧氛圍下放置或加熱，或者採用陽極氧化法等的方法，在基板的表面形成氧化膜。

[0176]

作爲具有撓性的基板，也可以層疊使用上述材料的層、保護觸控面板的表面免受損傷等的硬塗層（例如，氮化矽層等）、能夠分散按壓力的材質的層（例如，芳族聚醯胺樹脂層等）等。另外，爲了抑制水分等導致顯示元件使用壽命降低等，也可以在具有撓性的基板上層疊低透水性的絕緣膜。例如，可以使用氮化矽、氧氮化矽、氧化鋁、氮化鋁等無機絕緣材料。

[0177]

作爲基板也可以使用層疊多個層的基板。特別是，藉由採用具有玻璃層的結構，可以提高對水或氧的阻擋性而提供可靠性高的觸控面板。

[0178]

例如，可以使用從離顯示元件近的一側層疊有玻璃層、黏合層及有機樹脂層的基板。將該玻璃層的厚度設定爲 20μm 以上且 200μm 以下，較佳爲 25μm 以上且 100μm 以下。這種厚度的玻璃層可以同時實現對水或氧的高阻擋性和撓性。此外，將有機樹脂層的厚度設定爲 10μm 以上且 200μm 以下，較佳爲 20μm 以上且 50μm 以下。藉由設置這種有機樹脂層，可以抑制玻璃層的破裂或縫裂來提高機械強度。藉由將這種玻璃材料和有機樹脂的複合材料應用於基板，可以實現可靠性極高的撓性觸控面板。

[0179]

[電晶體]

電晶體包括：用作閘極電極的導電層；半導體層；用作源極電極的導電層；用作汲極電極的導電層；以及用作閘極絕緣層的絕緣層。上面示出採用底閘極結構或頂閘極結構電晶體的情況。

[0180]

注意，對本發明的一個實施方式的觸控面板所包括的電晶體的結構沒有特別的限制。例如，可以採用交錯型電晶體或反交錯型電晶體。此外，還可以採用頂閘極型或底閘極型的電晶體結構。對用於電晶體的半導體材料沒有特別的限制，例如可以舉出氧化物半導體、矽、鍺等。

[0181]

對用於電晶體的半導體材料的結晶性也沒有特別的限制，可以使用非晶半導體或具有結晶性的半導體（微晶半導體、多晶半導體、單晶半導體或其一部分具有結晶區域的半導體）。當使用具有結晶性的半導體時可以抑制電晶體的特性劣化，所以是較佳的。

[0182]

另外，作爲用於電晶體的半導體材料，例如可以將第 14 族元素、化合物半導體或氧化物半導體用於半導體層。典型的是，可以使用包含矽的半導體、包含砷化鎵的半導體或包含銦的氧化物半導體等。

[0183]

作爲電晶體的通道形成於其中的半導體，尤其較佳爲使用其能帶間隙比矽寬的氧化物半導體。藉由使用能帶間隙比矽寬且載子密度比矽小的半導體材料，可以降低電晶體的關態電流（off-state current），所以是較佳的。

[0184]

例如，上述氧化物半導體較佳爲至少包含銦（In）或鋅（Zn）。更佳的是，包含表示爲 In-M-Zn 類氧化物（M 是 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf 等金屬）的氧化物。

[0185]

作爲半導體層，尤其較佳爲使用如下氧化物半導體膜：具有多個結晶部，該結晶部的 c 軸配向於大致垂直於形成有半導體層的表面或半導體層的頂面的方向，並且在相鄰的結晶部間確認不到晶界。

[0186]

這種氧化物半導體因爲不具有晶界，所以可以抑制因使顯示面板彎曲時的應力導致在氧化物半導體膜中產生縫裂的情況。因此，可以將這種氧化物半導體適用於將其彎曲而使用的撓性觸控面板等。

[0187]

另外，藉由作爲半導體層使用這種具有晶性的氧化物半導體，可以實現一種電特性變動得到抑制且可靠性高的電晶體。

[0188]

另外，使用其能帶間隙比矽寬的氧化物半導體的電晶體由於其關態電流低，因此能夠長期間保持儲存於與電晶體串聯連接的電容元件中的電荷。藉由將這種電晶體用於像素，能夠在保持顯示在各顯示區域的影像的灰階的同時，停止驅動電路。其結果是，可以實現功耗極小的顯示裝置。

[0189]

半導體層較佳爲包括至少包含銦（In）、鋅（Zn）及M（M爲Al、Ti、Ga、Y、Zr、La、Ce、Sn或Hf等金屬）的表示爲In-M-Zn氧化物的膜。另外，爲了減少使用該氧化物半導體的電晶體的電特性不均勻，除了上述元素以外，較佳爲還包含穩定劑（stabilizer）。

[0190]

作爲穩定劑，可以舉出在上述表示爲M的金屬，例如有鎵（Ga）、錫（Sn）、鉿（Hf）、鋁（Al）或鋯（Zr）等。另外，作爲其他穩定劑，可以舉出鑭系元素的鑭（La）、鈰（Ce）、鐠（Pr）、釹（Nd）、釤（Sm）、銪（Eu）、釓（Gd）、鋱（Tb）、鏑（Dy）、鈥（Ho）、鉺（Er）、銩（Tm）、鐿（Yb）、鎦（Lu）等。

[0191]

作爲構成半導體層的氧化物半導體，例如可以使用In-Ga-Zn類氧化物、In-Al-Zn類氧化物、In-Sn-Zn類氧化物、In-Hf-Zn類氧化物、In-La-Zn類氧化物、In-Ce-Zn類氧化物、In-Pr-Zn類氧化物、In-Nd-Zn類氧化物、In-Sm-Zn類氧化物、In-Eu-Zn類氧化物、In-Gd-Zn類氧化物、In-Tb-Zn類氧化物、In-Dy-Zn類氧化物、In-Ho-Zn類氧化物、In-Er-Zn類氧化物、In-Tm-Zn類氧化物、In-Yb-Zn類氧化物、In-Lu-Zn類氧化物、In-Sn-Ga-Zn類氧化物、In-Hf-Ga-Zn類氧化物、In-Al-Ga-Zn類氧化物、In-Sn-Al-Zn類氧化物、In-Sn-Hf-Zn類氧化物、In-Hf-Al-Zn類氧化物。

[0192]

注意，在此，In-Ga-Zn類氧化物是指作爲主要成分具有In、Ga和Zn的氧化物，對In、Ga、Zn的比例沒有限制。此外，也可以包含In、Ga、Zn以外的金屬元素。

[0193]

另外，半導體層和導電層也可以具有上述氧化物中的相同的金屬元素。藉由使半導體層和導電層具有相同的金屬元素，可以降低製造成本。例如，藉由使用由相同的金屬組成的金屬氧化物靶材，可以降低製造成本。另外，也可以共同使用對半導體層和導電層進行加工時的蝕刻氣體或蝕刻

劑。然而，即使半導體層和導電層具有相同的金屬元素，有時其組成也互不相同。例如，在電晶體及電容元件的製程中，有時膜中的金屬元素脫離而成爲不同的金屬組成。

[0194]

此外，當半導體層是 In-M-Zn 氧化物時，作爲 In 和 M 的原子百分比，在將 In 和 M 的總和設定爲 100atomic%的情況下，較佳爲 In 高於 25atomic%且 M 低於 75atomic%，更佳爲 In 高於 34atomic%且 M 低於 66atomic%。

[0195]

半導體層的能隙爲 2eV 以上，較佳爲 2.5eV 以上，更佳爲 3eV 以上。如此，藉由使用能隙寬的氧化物半導體，可以減少電晶體的關態電流。

[0196]

半導體層的厚度爲 3nm 以上且 200nm 以下，較佳爲 3nm 以上且 100nm 以下，更佳爲 3nm 以上且 50nm 以下。

[0197]

當半導體層爲 In-M-Zn 氧化物（M 爲 Al、Ga、Y、Zr、La、Ce 或 Nd）時，較佳爲用來形成 In-M-Zn 氧化物膜的濺射靶材的金屬元素的原子個數比滿足 In≥M 及 Zn≥M。這種濺射靶材的金屬元素的原子個數比較佳爲 In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=3:1:2。注意，所形成的半導體層的原子個數比分別包含上述濺射靶材中的金屬元素的原子個數比的±40%的範圍內的誤差。

[0198]

作爲半導體層，可以使用載子密度低的氧化物半導體膜。例如，作爲半導體層可以使用載子密度爲 1×10^{17} 個/cm^3 以下，較佳爲 1×10^{15} 個/cm^3 以下，更佳爲 1×10^{13} 個/cm^3 以下，進一步較佳爲 1×10^{11} 個/cm^3 以下的氧化物半導體膜。

[0199]

注意，本發明不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性（場效移動率、臨界電壓等）來使用具有適當的組成的材料。另外，較佳爲適當地設定半導體層的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子個數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0200]

另外，當半導體層包含第 14 族元素之一的矽或碳時，半導體層中的氧

缺陷增加，會使該半導體層變爲 n 型。因此，將半導體層中的矽或碳的濃度（藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）得到的濃度）設定爲 2×10^{18}atoms/cm^{3}以下，較佳爲 2×10^{17}atoms/cm^{3}以下。

[0201]

此外，將藉由二次離子質譜分析法得到的半導體層的鹼金屬或鹼土金屬的濃度設定爲 1×10^{18}atoms/cm^{3}以下，較佳爲 2×10^{16}atoms/cm^{3}以下。有時當鹼金屬及鹼土金屬與氧化物半導體鍵合時生成載子而使電晶體的關態電流增大。因此，較佳爲降低半導體層的鹼金屬或鹼土金屬的濃度。

[0202]

另外，當半導體層含有氮時生成作爲載子的電子，載子密度增加而容易 n 型化。其結果，使用具有含有氮的氧化物半導體的電晶體容易變爲常開特性。因此，在該氧化物半導體膜中，較佳爲儘可能地減少氮。例如，利用二次離子質譜分析法測得的氮濃度較佳爲 5×10^{18}atoms/cm^{3}以下。

[0203]

氧化物半導體被分爲單晶氧化物半導體和非單晶氧化物半導體。作爲非單晶氧化物半導體有 CAAC-OS（c-axis-aligned crystalline oxide semiconductor）、多晶氧化物半導體、nc-OS（nanocrystalline oxide semiconductor）、a-like OS（amorphous-like oxide semiconductor）及非晶氧化物半導體等。

[0204]

從其他觀點看來，氧化物半導體被分爲非晶氧化物半導體和結晶氧化物半導體。作爲結晶氧化物半導體，有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及 nc-OS 等。

[0205]

一般而言，非晶結構具有如下特徵：具有各向同性而不具有不均勻結構；處於亞穩態且原子的配置沒有被固定化；鍵角不固定；具有短程有序而不具有長程有序；等。

[0206]

從相反的觀點看來，不能將穩定的氧化物半導體稱爲完全非晶（completely amorphous）氧化物半導體。另外，不能將不具有各向同性（例如，在微小區域中具有週期結構）的氧化物半導體稱爲完全非晶氧化物半導體。另一方面，a-like OS 不具有各向同性但卻是具有空洞（void）的不穩定結構。在不穩定這一點上，a-like OS 在物性上接近於非晶氧化物半導體。

[0207]

首先，說明 CAAC-OS 膜。

[0208]

CAAC-OS 膜是包含呈 c 軸配向的多個晶體部的氧化物半導體膜之一。

[0209]

根據利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察 CAAC-OS 膜的明視野影像及繞射圖案的複合分析影像（也稱爲高解析度 TEM 影像），可以觀察到多個結晶部。但是，在高解析度 TEM 影像中觀察不到結晶部與結晶部之間的明確的邊界，亦即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0210]

根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的高解析度剖面 TEM 影像可知在結晶部中金屬原子排列爲層狀。各金屬原子層具有反映了形成有 CAAC-OS 膜的面（也稱爲被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或 CAAC-OS 膜的頂面的方式排列。

[0211]

另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的高解析度平面 TEM 影像可知在結晶部中金屬原子排列爲三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0212]

使用 X 射線繞射（XRD：X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 $InGaZnO_4$ 結晶的 CAAC-OS 膜時，在繞射角（2θ）爲 31°附近時會出現峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的（009）面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0213]

當利用 out-of-plane 法分析包括 $InGaZnO_4$ 結晶的 CAAC-OS 膜時，除了在 2θ爲 31°附近的峰值之外，有時還在 2θ爲 36°附近觀察到峰值。2θ爲 36°附近的峰值意味著 CAAC-OS 膜的一部分中含有不呈 c 軸配向性的結晶。較佳的是，在 CAAC-OS 膜中在 2θ爲 31°附近時出現峰值而在 2θ爲 36°附近時不出現峰值。

[0214]

CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽、過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，矽等元素因爲其與氧的結合力比構成氧化物半導體膜的金屬元素與氧的結合力更強而成爲因從氧化物半導體膜奪取氧而打亂氧化物半導體膜的原子排列使得結晶性降低的主要因素。此外，鐵或鎳等重金屬、氬、二氧化碳等因爲其原子半徑（分子半徑）大而在包含在氧化物半導體膜內部時成爲打亂氧化物半導體膜的原子排列使得結晶性降低的主要因素。注意，包含在氧化物半導體膜中的雜質有時成爲載子陷阱或載子發生源。

[0215]

此外，CAAC-OS 膜是缺陷能階密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺損有時成爲載子陷阱或者藉由俘獲氫而成爲載子發生源。

[0216]

將雜質濃度低且缺陷能階密度低（氧缺損少）的狀態稱爲“高純度本質”或“實質上高純度本質”。高純度本質或實質上高純度本質的氧化物半導體膜具有較少的載子發生源，因此可以具有較低的載子密度。因此，使用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱爲常開特性）。此外，高純度本質或實質上高純度本質的氧化物半導體膜具有較少的載子陷阱。因此，使用該氧化物半導體膜的電晶體的電特性變動小，而成爲高可靠性的電晶體。此外，被氧化物半導體膜的載子陷阱俘獲的電荷到被釋放需要長時間，有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷能階密度高的氧化物半導體膜的電晶體的電特性有時不穩定。

[0217]

此外，在使用 CAAC-OS 膜的 OS 電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0218]

接著，對微晶氧化物半導體膜進行說明。

[0219]

在微晶氧化物半導體膜的高解析度 TEM 影像中有能觀察到結晶部的區域及觀察不到明確的結晶部的區域。包含在微晶氧化物半導體膜中的結晶部的尺寸大多爲 1nm 以上且 100nm 以下，或 1nm 以上且 10nm 以下。尤其是，將具有尺寸爲 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶（nc：nanocrystal）的氧化物半導體膜稱爲 nc-OS（nanocrystalline Oxide

Semiconductor：奈米晶氧化物半導體）膜。另外，例如在 nc-OS 膜的高解析度 TEM 影像中，有時觀察不到明確的晶界。

[0220]

nc-OS 膜在微小區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中其原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由利用使用其束徑比結晶部大的 X 射線的 XRD 裝置的 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。此外，在對 nc-OS 膜進行使用其束徑比結晶部大（例如，50nm 以上）的電子射線的電子繞射（選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其束徑近於結晶部或者比結晶部小的電子射線的奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 膜的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0221]

nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷能階密度比非晶氧化物半導體膜低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷能階密度比 CAAC-OS 膜高。

[0222]

接著，對非晶氧化物半導體膜進行說明。

[0223]

非晶氧化物半導體膜是原子排列無序的不具有結晶部的氧化物半導體膜。其一個例子爲具有如石英那樣的無定形態的氧化物半導體膜。

[0224]

在非晶氧化物半導體膜的高解析度 TEM 影像中，觀察不到結晶部。

[0225]

使用 XRD 裝置對非晶氧化物半導體膜進行結構分析。當利用 out-of-plane 法分析時，檢測不到表示結晶面的峰值。另外，在非晶氧化物半導體膜的電子繞射圖案中，觀察到光暈圖案。另外，在非晶氧化物半導體膜的奈米束電子繞射圖案中，觀察不到斑點，而觀察到光暈圖案。

[0226]

氧化物半導體膜有時具有呈現 nc-OS 膜與非晶氧化物半導體膜之間的物性的結構。尤其將具有這種結構的氧化物半導體膜稱爲 amorphous-like 氧化物半導體膜。

[0227]

在 a-like OS 膜的高解析度 TEM 影像中，有時觀察到空洞。此外，在 a-like OS 膜的高解析度 TEM 影像中，有可明確地確認到結晶部的區域及確認不到結晶部的區域。a-like OS 膜有時因 TEM 觀察時的微量的電子照射而產生晶化，由此觀察到結晶部的生長。另一方面，在良好的 nc-OS 膜中，幾乎觀察不到因 TEM 觀察時的微量的電子照射而產生的晶化。

[0228]

此外，a-like OS 膜及 nc-OS 膜的結晶部的尺寸的測量可以使用高解析度 TEM 影像進行。例如，$InGaZnO_4$ 結晶具有層狀結構， 在 In-O 層之間具有兩個 Ga-Zn-O 層。$InGaZnO_4$ 結晶的單位晶格具有三個 In-O 層和六個 Ga-Zn-O 層的一共九個層在 c 軸方向上重疊爲層狀的結構。因此，這些彼此相鄰的層之間的間隔與（009）面的晶格表面間隔（也稱爲 d 值）大致相等，從晶體結構分析求出其值，亦即 0.29nm。因此，著眼於高解析度 TEM 影像的晶格條紋，在晶格條紋的間隔爲 0.28nm 以上且 0.30nm 以下的區域中，每個晶格條紋都對應於 $InGaZnO_4$ 結晶的 a-b 面。

[0229]

有時氧化物半導體膜的密度因結構而不同。例如，當已知某個氧化物半導體膜的組成時，藉由與具有相同組成的單晶氧化物半導體膜的密度進行比較，可以推測出該氧化物半導體膜的結構。例如，a-like OS 膜的密度爲單晶氧化物半導體膜的密度的 78.6%以上且小於 92.3%。例如，nc-OS 膜的密度和 CAAC-OS 膜的密度爲單晶氧化物半導體膜的密度的 92.3%以上且小於 100%。注意，形成其密度小於單晶氧化物半導體膜的密度的 78%的氧化物半導體膜本身較爲困難。

[0230]

使用具體例子對上述內容進行說明。例如，在原子個數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體膜中，具有菱方晶系結構的單晶 $InGaZnO_4$ 的密度爲 6.357g/cm^3。因此，例如，在原子個數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體膜中，a-like OS 膜的密度爲 5.0g/cm^3 以上且小於 5.9g/cm^3。另外，例如，在原子個數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體膜中，nc-OS 膜的

密度和 CAAC-OS 膜的密度爲 5.9g/cm^3 以上且小於 6.3g/cm^3。

[0231]

注意，有時不存在相同組成的單晶氧化物半導體膜。此時，藉由以任意比例組合組成不同的單晶氧化物半導體膜，可以算出相當於所希望的組成的單晶氧化物半導體膜的密度。根據組成不同的單晶氧化物半導體膜的組合比例使用加權平均計算所希望的組成的單晶氧化物半導體膜的密度即可。注意，較佳爲儘可能組合少的單晶氧化物半導體膜的種類來計算密度。

[0232]

此外，半導體層也可以爲具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的任兩種以上的混合膜。混合膜有時例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域。另外，混合膜有時例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的疊層結構。

[0233]

或者，較佳爲將矽用於電晶體的形成有通道的半導體。作爲矽可以使用非晶矽，尤其較佳爲使用具有結晶性的矽。例如，較佳爲使用微晶矽、多晶矽、單晶矽等。尤其是，多晶矽與單晶矽相比能夠在低溫下形成，並且其場效移動率比非晶矽高，所以多晶矽的可靠性高。藉由將這樣的多晶半導體用於像素可以提高像素的開口率。另外，即使在顯示面板的解析度極高的情況下，也能夠將閘極驅動電路及源極驅動電路與像素形成在同一基板上，從而能夠減少構成電子裝置的構件數量。

[0234]

本實施方式所例示的底閘極結構的電晶體由於能夠減少製程，所以是較佳的。此外，此時藉由使用非晶矽或氧化物半導體，與多晶矽相比可以在更低的溫度下形成，因此作爲半導體層下方的佈線或電極材料及基板材料，可以使用耐熱性低的材料，由此可以擴大材料的選擇範圍。例如，可以適當使用極大面積的玻璃基板等。另一方面，頂閘極型電晶體容易自對準地形成雜質區域，從而可以減少特性的不均勻等，所以是較佳的。此時，尤其較佳爲使用氧化物半導體、多晶矽、單晶矽等。

[0235]

[導電層]

作爲可用於電晶體的閘極、源極及汲極和構成觸控面板的各種佈線及

電極等導電層的材料，可以使用鋁、鈦、鉻、鎳、銅、釹、鋯、鉬、銀、鉭或鎢等金屬或者以上述金屬爲主要成分的合金的單層或疊層。例如，可以舉出包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在鎢膜上層疊鋁膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜上層疊銅膜的兩層結構、在鎢膜上層疊銅膜的兩層結構、依次層疊鈦膜或氮化鈦膜、鋁膜或銅膜以及鈦膜或氮化鈦膜的三層結構、以及依次層疊鉬膜或氮化鉬膜、鋁膜或銅膜以及鉬膜或氮化鉬膜的三層結構等。另外，可以使用包含氧化銦、氧化錫或氧化鋅的透明導電材料。另外，藉由使用包含錳的銅，可以提高蝕刻時的形狀的控制性，所以是較佳的。

[0236]

另外，作爲透光性導電材料，可以使用氧化銦、銦錫氧化物、銦鋅氧化物、氧化鋅、添加鎵的氧化鋅等導電性氧化物或石墨烯。或者，可以使用金、銀、鉑、鎂、鎳、鎢、鉻、鉬、鐵、鈷、銅、鈀或鈦等金屬材料、包含該金屬材料的合金材料。或者，還可以使用該金屬材料的氮化物（例如，氮化鈦）等。另外，當使用金屬材料、合金材料（或者它們的氮化物）時，將其形成得薄到具有透光性，即可。此外，可以將上述材料的疊層膜用作導電層。例如，藉由使用銀和鎂的合金與銦錫氧化物的疊層膜等，可以提高導電性，所以是較佳的。

[0237]

另外，作爲導電層，較佳爲使用與半導體層相同的氧化物半導體。此時，較佳爲以呈現比半導體層的形成有通道的區域低的電阻的方式形成導電層。

[0238]

例如，可以將這種導電層用於用作電晶體的第二閘極電極的導電層223。另外，也可以用於具有透光性的其他導電層。

[0239]

[氧化物半導體的電阻率的控制方法]

可用於半導體層及導電層的氧化物半導體膜是可以根據膜中的氧缺陷及/或膜中的氫、水等雜質的濃度來控制電阻率的半導體材料。因此，藉由選擇對半導體層及導電層進行增加氧缺陷及/或雜質濃度的處理或者降低氧缺陷及/或雜質濃度的處理，可以控制各氧化物半導體膜電阻率。

[0240]

明確而言，藉由對用於導電層的氧化物半導體膜進行電漿處理，且增

加該氧化物半導體的膜中的氧缺陷及/或氫、水等雜質，可以實現載子密度高且電阻率低的氧化物半導體膜。此外，藉由以與氧化物半導體膜接觸的方式形成含有氫的絕緣膜，且使氫從該含有氫的絕緣膜擴散到氧化物半導體膜中，可以實現載子密度高且電阻率低的氧化物半導體膜。

[0241]

另一方面，用作電晶體的通道區域的半導體層不與含有氫的絕緣膜接觸。藉由對作爲與半導體層接觸的絕緣膜中的至少一個適用含有氧的絕緣膜，換言之能夠釋放氧的絕緣膜，可以對半導體層供應氧。被供應氧的半導體層由於膜中或介面的氧缺陷被填補而成爲電阻率高的氧化物半導體膜。此外，作爲能夠釋放氧的絕緣膜例如可以使用氧化矽膜或氧氮化矽膜。

[0242]

另外，爲了得到電阻率低的氧化物半導體膜，可以採用離子植入法、離子摻雜法、電漿浸沒離子佈植技術等來將氫、硼、磷或氮注入氧化物半導體膜內。

[0243]

另外，爲了得到電阻率低的氧化物半導體膜，可以對該氧化物半導體膜進行電漿處理。作爲該電漿處理，典型地可以舉出使用包含選自稀有氣體（He、Ne、Ar、Kr、Xe）、氫和氮中的一種以上的氣體的電漿處理。更明確而言，可以舉出 Ar 氛圍下的電漿處理、Ar 和氫的混合氛圍下的電漿處理、Ar 和氨的混合氛圍下的電漿處理或氮氛圍下的電漿處理等。

[0244]

藉由上述電漿處理，在氧化物半導體膜中的發生氧脫離的晶格（或氧脫離的部分）中形成氧缺陷。該氧缺陷有可能成爲產生載子的原因。此外，有時從氧化物半導體膜附近，更明確而言，氫從與氧化物半導體膜的下側或上側接觸的絕緣膜被供應，上述氧缺陷與氫鍵合而產生作爲載子的電子。

[0245]

另一方面，氧缺陷被填補且氫濃度被降低的氧化物半導體膜可以說是高純度本質化或實質上高純度本質化的氧化物半導體膜。在此，“實質上本質”是指氧化物半導體膜的載子密度低於 8×10^{11} 個/cm^3，較佳爲低於 1×10^{11} 個/cm^3，更佳爲低於 1×10^{10} 個/cm^3。因爲高純度本質或實質上高純度本質的氧化物半導體膜的載子發生源少，所以可以降低載子密度。此外，高純度本質或實質上高純度本質的氧化物半導體膜的缺陷能階密度低，因此可以

降低陷阱態密度。

[0246]

高純度本質或實質上高純度本質的氧化物半導體膜的關態電流顯著低，即便是通道寬度爲 $1\times10^{6}\mu m$、通道長度爲 $10\mu m$ 的元件，在源極電極與汲極電極之間的電壓（汲極電壓）在 1V 至 10V 的範圍時，關態電流也可以爲半導體參數分析儀的測定極限以下，亦即 $1\times10^{-13}A$ 以下。因此，將使用上面所述的高純度本質或實質上高純度本質的氧化物半導體膜的半導體層用於通道區域的電晶體成爲電特性變動小且可靠性高的電晶體。

[0247]

作爲與用作導電層的氧化物半導體膜接觸的絕緣膜，例如使用含有氫的絕緣膜，換言之能夠釋放氫的絕緣膜，典型爲氮化矽膜，由此可以對導電層供應氫。作爲能夠釋放氫的絕緣膜，氫濃度較佳爲 $1\times10^{22}atoms/cm^{3}$ 以上。藉由以與導電層接觸的方式形成上述絕緣膜，可以有效地使導電層含有氫。如此，藉由改變與半導體層及導電層接觸的絕緣膜的結構，能夠控制氧化物半導體膜的電阻率。

[0248]

包含在氧化物半導體膜中的氫與鍵合於金屬原子的氧起反應生成水，與此同時在發生氧脫離的晶格（或氧脫離的部分）中形成氧缺陷。當氫進入該氧缺陷時，有時生成作爲載子的電子。另外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作爲載子的電子。因此，與含有氫的絕緣膜接觸地設置的導電層成爲其載子密度比半導體層高的氧化物半導體膜。

]

在形成有電晶體的通道區域的半導體層中，較佳爲儘可能地減少氫。明確而言，在半導體層中，藉由二次離子質譜分析法得到的氫濃度爲 $2\times10^{20}atoms/cm^{3}$ 以下，較佳爲 $5\times10^{19}atoms/cm^{3}$ 以下，更佳爲 $1\times10^{19}atoms/cm^{3}$ 以下，更佳爲低於 $5\times10^{18}atoms/cm^{3}$，更佳爲 $1\times10^{18}atoms/cm^{3}$ 以下，進一步較佳爲 $5\times10^{17}atoms/cm^{3}$ 以下，更進一步較佳爲 $1\times10^{16}atoms/cm^{3}$ 以下。

[0250]

另一方面，導電層是其氫濃度及/或氧缺陷量比半導體層多，且其電阻率比半導體層低的氧化物半導體膜。導電層所包含的氫濃度爲 $8\times10^{19}atoms/cm^{3}$ 以上、較佳爲 $1\times10^{20}atoms/cm^{3}$ 以上、更佳爲 $5\times10^{20}atoms/cm^{3}$ 以上。另外，與半導體層相比，導電層所包含的氫濃度爲 2 倍以上、較佳爲 10 倍以上。另外，導電層的電阻率較佳爲半導體層的電阻率的 1×10^{-8} 倍

以上且低於 1×10^{-1} 倍，典型的爲 $1\times10^{-3}\Omega$cm 以上且低於 $1\times10^{4}\Omega$cm，更佳爲 $1\times10^{-3}\Omega$cm 以上且低於 $1\times10^{-1}\Omega$cm。

[0251]

[絕緣層]

作爲可用於各絕緣層、保護層、間隔物等的絕緣材料，例如可以使用丙烯酸樹脂或環氧樹脂等樹脂、具有矽氧烷鍵的樹脂、無機絕緣材料如氧化矽、氧氮化矽、氮氧化矽、氮化矽或氧化鋁等。

[0252]

[黏合層]

作爲黏合層可以使用熱固性樹脂、光硬化性樹脂、雙組分型固化樹脂等固化樹脂。例如可以使用丙烯酸樹脂、聚氨酯樹脂以及環氧樹脂、或者具有矽氧烷鍵的樹脂等。

[0253]

[連接層]

作爲連接層，可以使用異方性導電膜（ACF：Anisotropic Conductive Film）、異方性導電膏（ACP：Anisotropic Conductive Paste）等。

[0254]

[彩色層]

作爲能夠用於彩色層的材料，可以舉出金屬材料、樹脂材料、包含顏料或染料的樹脂材料等。

[0255]

[遮光層]

作爲遮光層，可以使用遮斷從發光元件發射的光的材料，例如可以使用金屬材料以及包含顏料或染料的樹脂材料。或者，也可以使用金屬薄膜或半導體薄膜等。還可以藉由重疊地配置兩層以上的彩色層，來將其用作遮光層。

[0256]

以上是各組件的說明。

[0257]

[觸控感測器的結構例子]

接著，參照圖式說明可用於本發明的一個實施方式的觸控面板模組 10 的觸控感測器 22 的結構例子。

[0258]

圖 25A 是示出觸控感測器 22 的一部分的俯視示意圖（平面示意圖）。此外，圖 25B 是將圖 25A 中的由點劃線圈出的區域放大的俯視示意圖。

[0259]

導電層 23 及導電層 24 可以都具有格子狀（也稱爲網狀）或設置有多個開口的形狀。在圖 25A 等中，爲了說明導電層 23 及導電層 24 的輪廓形狀，省略格子或開口。

[0260]

如圖 25A 及圖 25B 所示，導電層 23 較佳爲具有一部分變細的形狀以使與導電層 25 交叉的部分的寬度變小。由此，可以減小形成在導電層 23 與導電層 25 重疊的部分的電容。例如，當觸控感測器爲自電容式或互電容式時，該電容越小，越能夠提高檢測靈敏度。

[0261]

另外，也可以在鄰接的導電層 23 與導電層 24 之間包括與它們電絕緣的導電層 26。藉由包括導電層 26，可以抑制在觸控感測器 22 中形成厚度薄的部分。例如，當導電層 23 與導電層 24 形成在同一平面上時，藉由設置以同樣的方式形成的導電層 26，可以提高在這些導電層的形成製程之後形成的薄膜的覆蓋性，而可以使表面平坦化。另外，藉由使觸控感測器 22 的厚度均勻，可以降低透過觸控感測器 22 的來自像素的光的亮度不均勻，而可以實現顯示品質高的觸控面板。

[0262]

另外，圖 25C 示出在不同的平面上形成導電層 23 與導電層 24 並不設置導電層 25 的情況。此時，導電層 26 既可以在與導電層 23 或導電層 24 相同的平面上形成，又可以在不同的平面上形成。注意，當無需設置導電層 26 時，可以不設置。

[0263]

圖 26A 示出包括多個導電層 23 及多個導電層 24 的觸控感測器 22 的電路圖的一個例子。雖然在圖 26A 中爲簡潔起見示出了包括 6 個導電層 23 及 6 個導電層 24 的結構，但是並不侷限於此。

[0264]

由一個導電層 23 和一個導電層 24 形成一個電容元件 11。因此，電容元件 11 被配置爲矩陣狀。

[0265]

電容元件 11 是藉由層疊導電層 23 與導電層 24 或藉由使導電層 23 與導

電層 24 接近而形成的電容。

[0266]

當觸控感測器爲投影自電容式時，對導電層 23 及導電層 24 都以進行掃描的方式供應脈衝電壓。並且感測此時流在自身中的電流的值。當感測物件接近時，在感測物件與導電層 23 或導電層 24 之間產生電容性耦合。因此，由於與導電層 23 或導電層 24 連接的電容的大小發生變化，在供應脈衝電壓時流過的電流的大小也發生變化。藉由感測該電流的變化，可以獲取感測物件的位置資訊。

[0267]

當觸控感測器爲投影互電容式時，對導電層 23 和導電層 24 中的任一個以進行掃描的方式供應脈衝電壓，並感測流在另一個中的電流。當供應脈衝電壓時，在導電層 23 與導電層 24 之間產生電場。當感測物件接近時，由於該感測物件的遮蔽等而使導電層 23 與導電層 24 之間的電場發生變化，因此流在另一個中的電流也發生變化。藉由感測該電流的變化，可以獲取感測物件的位置資訊。

[0268]

作爲電流的感測，可以感測電流量的總和。此時，利用積分電路等進行感測即可。或者，也可以感測電流的峰值。此時，可以將電流轉換爲電壓來感測電壓值的峰值。

[0269]

導電層 23 及導電層 24 較佳爲都具有包括多個開口的格子狀或網狀(網格狀)。圖 26B 示出導電層 23 的一部分的頂面形狀的例子。

[0270]

圖 26B 所示的導電層 23 具有包括橫方向的間隔 P1 及縱方向的間隔 P2 的格子狀。雖然在圖 26B 中間隔 P1 與間隔 P2 爲相同程度，但是也可以互不相同。例如，可以如圖 26C 所示那樣使橫方向的間隔 P1 大於縱方向的間隔 P2，反之亦然。導電層 24 也是同樣的。

[0271]

導電層 23 或導電層 24 較佳爲具有其開口率（每單位面積的導電層 23 或導電層 24 的開口面積的比例）例如爲 20%以上且低於 100%，較佳爲 30%以上且低於 100%，更佳爲 50%以上且低於 100%的區域。

[0272]

開口率例如可以由間隔 P1、間隔 P2 及導電層的寬度容易地計算出。或

者，在圖 26B 所示的週期單位的區域 R 中，可以根據區域 R 的面積與包含在區域 R 中的導電層 23 的面積的比例計算出開口率。在此，區域 R 是導電層 23 的週期性圖案的週期單位的區域，藉由將區域 R 在縱方向及橫方向上週期性地排列，可以形成導電層 23 的圖案。

[0273]

在導電層 23 及導電層 24 中，構成格子的圖案的寬度例如較佳爲 50nm 以上且 100μm 以下，更佳爲 1μm 以上且 50μm 以下，更佳爲 1μm 以上且 20μm 以下。如此，藉由減小構成格子的圖案寬度，在如後面所述將開口與像素重疊時，能夠縮小像素的間隔，所以能夠實現具有更高的清晰度及開口率的觸控面板。

[0274]

圖 27A 是將導電層 23 和導電層 24 之間的邊界部分進一步放大的俯視示意圖。

[0275]

導電層 23 及導電層 24 較佳爲都具有格子狀或網狀（網格狀）。也就是說，導電層 23 及導電層 24 較佳爲都具有包括多個開口（開口 23a 及開口 24a）的形狀。如下面所述，當以互相重疊的方式設置該開口與像素時，來自像素所包括的顯示元件的光不被導電層 23 及導電層 24 遮擋，或者不發生因光透過導電層 23 及導電層 24 而導致的光的亮度降低。其結果是，可以在無需犧牲像素的開口率或光提取效率的情況下在觸控面板中使用觸控感測器 22。同樣地，較佳爲導電層 25 也採用不與像素重疊的形狀。

[0276]

另外，如圖 27A 所示，在上述邊界中也可以形成被導電層 23 的一部分與導電層 24 的一部分圍繞的開口 22a。藉由採用這種結構，能夠使導電層 23 與導電層 24 的距離極小，而可以增大相互之間的電容。尤其是，當採用互電容式時，較佳爲縮小兩個導電層的距離，而提高導電層 23 與導電層 24 之間的電場強度。

[0277]

圖 27B 是將導電層 23 和導電層 24 的交叉部進一步放大的俯視示意圖。在此示出藉由導電層 25 將鄰接的兩個導電層 24 電連接的例子。在導電層 23 及導電層 24 與導電層 25 之間設置有未圖示的絕緣層 121。另外，導電層 24 和導電層 25 藉由設置在該絕緣層 121 的開口電連接。導電層 23 和導電層 25 具有隔著該絕緣層 121 互相重疊的區域。

[0278]

[導電層的開口及像素的配置例子]

圖 28A 至圖 28G 是示出從顯示面一側觀看時的像素及像素所包含的子像素與導電層 23 的位置關係的示意圖。注意，雖然在此以導電層 23 爲例進行說明，但是導電層 24 及導電層 25 也可以採用同樣的結構。

[0279]

圖 28A 示出像素 33 由子像素 33R、子像素 33G 及子像素 33B 的三個子像素構成的例子。例如，子像素 33R、子像素 33G、子像素 33B 分別具有呈現紅色、綠色、藍色的功能即可。注意，像素 33 所包括的子像素的個數及子像素的顏色的種類不侷限於此。

[0280]

像素 33 所包含的多個子像素各包括顯示元件。作爲顯示元件，可以使用上面所述的透射型液晶元件。除此之外，還可以舉出例如有機 EL 元件等發光元件、反射型或半透射型的液晶元件、藉由電泳方式或電子粉流體（日本的註冊商標）方式等進行顯示的顯示元件（也稱爲電子墨水）、快門方式的 MEMS 顯示元件、光干涉方式的 MEMS 顯示元件等。此外，除了該顯示元件，子像素也可以包括電晶體、電容元件及將電晶體與電容元件電連接的佈線等。

[0281]

在圖 28A 所示的結構中，導電層 23 的多個開口分別與子像素 33R、子像素 33G 及子像素 33B 的三個子像素中的一個互相重疊。如此，導電層 23 的開口較佳爲與一個子像素重疊。

[0282]

圖 28B 示出在呈現不同顏色並相鄰的兩個子像素之間配置導電層 23 的結構。如圖 28B 所示，由於在呈現相同顏色並相鄰的兩個子像素之間不發生混色問題，因此也可以採用在其間不設置導電層 23 的結構。

[0283]

圖 28C 及圖 28D 示出圖 28A 及圖 28B 所示的結構中的像素 33 還包括子像素 33Y 的情況的例子。作爲子像素 33Y 例如可以使用能夠呈現黃色的像素。還可以使用能夠呈現白色的像素代替子像素 33Y。如此，藉由採用包括三種顏色以上的子像素的像素 33，可以降低功耗。

[0284]

雖然在圖 28A 至圖 28D 中示出了將各子像素配置爲條紋狀的例子，但

是如圖 28E 所示，例如也可以採用在一個方向上交替地配置兩種顏色的子像素的結構。

[0285]

另外，像素 33 所包括的子像素的大小（例如有助於顯示的區域的面積）也可以各不相同。例如可以使發光率較低的藍色的子像素較大，且使發光率較高的綠色或紅色的子像素小。

[0286]

圖 28F 及圖 28G 示出子像素 33B 的尺寸大於子像素 33R 及子像素 33G 時的例子。雖然在此示出子像素 33R 與子像素 33G 交替地排列的例子，但是也可以採用如圖 28A 等所示的將三個子像素分別配置爲條紋狀並使三個子像素的大小各不同的結構。

[0287]

注意，如上所述，雖然在此說明了導電層 23 與子像素的位置關係，但是導電層 24 及導電層 25 也是同樣的。也就是說，本發明的一個實施方式的觸控面板包括導電層 23 的開口 23a 與一個以上的子像素互相重疊的區域，並且包括導電層 24 的開口 24a 與其他一個以上的子像素互相重疊的區域。另外，如上所述，由於各子像素包括顯示元件，因此可以說開口 23a 及開口 24a 各具有與一個以上的顯示元件互相重疊區域。

[0288]

另外，如圖 29A 至圖 29G 所示，可以使平面中的導電層 23 與各子像素之間不產生間隙。當將導電層 23 等用作遮光層時，藉由採用這樣的配置，可以抑制子像素的漏光，所以是較佳的。例如，藉由將導電層 23 與子像素中的彩色層的端部或像素電極的端部重疊地設置，可以以不產生上述間隙的方式配置導電層 23。另外，藉由採用這種結構，可以擴大導電層 23 的表面積，由此可以降低導電層 23 的佈線電阻，從而可以提高檢測靈敏度。

[0289]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0290]

實施方式 2

在本實施方式中，參照圖式對本發明的一個實施方式的輸入裝置或輸入輸出裝置的驅動方法的例子進行說明。

[0291]

[感測器的感測方法的例子]

圖 30A 是示出互電容式的觸控感測器的結構的方塊圖。在圖 30A 中，示出脈衝電壓輸出電路 601、電流感測電路 602。另外，在圖 30A 中，以 X1 至 X6 的 6 個佈線表示被施加有脈衝電壓的電極 621，並以 Y1 至 Y6 的 6 個佈線表示感測電流的變化的電極 622。注意，電極的個數並不侷限於此。此外，在圖 30A 中圖示藉由使電極 621 與電極 622 重疊或藉由使電極 621 與電極 622 接近地配置而形成的電容器 603。注意，電極 621 與電極 622 的功能可以互相調換。

[0292]

脈衝電壓輸出電路 601 例如是用來依次將脈衝電壓施加到 X1 至 X6 的佈線的電路。藉由對 X1 至 X6 的佈線施加脈衝電壓，在形成電容器 603 的電極 621 與電極 622 之間產生電場，由此電流流過電容器 603。該電極之間的電場因手指或觸控筆等的觸摸的遮蔽等而變化。也就是說，電容器 603 的電容值因手指或觸控筆等的觸摸等而發生變化。利用該現象可以檢測出感測物件的接近或接觸。

[0293]

電流感測電路 602 是用來感測因電容器 603 的電容值變化而產生的 Y1 至 Y6 的佈線中的電流變化的電路。在 Y1 至 Y6 的佈線中，如果沒有感測對象的接近或接觸，所感測的電流值則沒有變化，另一方面，在由於所檢測的感測物件的接近或接觸而電容值減少的情況下，感測到電流值減少的變化。另外，作爲電流的感測，可以感測電流量的總和。在此情況下，利用積分電路等感測電流即可。或者，可以感測電流的峰值。在此情況下，將電流轉換爲電壓而感測電壓值的峰值即可。

[0294]

接著，圖 30B 示出圖 30A 所示的互電容式觸控感測器中的輸入/輸出波形的時序圖。在圖 30B 中，在一個圖框期間中進行各行列中的感測物件的檢測。另外，在圖 30B 中，示出沒有檢測出感測對象（未觸摸）和檢測出感測物件（觸摸）的兩種情況。此外，關於 Y1 至 Y6 的佈線，示出對應於所感測出的電流值的電壓值的波形。另外，在顯示面板上也進行顯示工作。較佳爲使該顯示工作的時序與觸控感測器的檢測工作的時序同步。在圖 30B 中，示出不使觸控感測器的檢測工作的時序與顯示面板的顯示工作的時序同步的情況。

[0295]

依次對 X1 至 X6 的佈線施加脈衝電壓，Y1 至 Y6 的佈線的波形根據該脈衝電壓變化。當沒有感測物件的接近或接觸時，Y1 至 Y6 的波形根據 X1 至 X6 的佈線的電壓的變化而變化。另一方面，在感測對象接近或接觸的部位電流值減少，因而與其對應的電壓值的波形也產生變化。

[0296]

如此，藉由感測電容值的變化，可以檢測感測物件的接近或接觸。注意，有時，即使在手指或觸控筆等感測物件接近於觸控感測器及觸控面板而不與觸控感測器及觸控面板接觸的情況下也會感測到信號。

[0297]

脈衝電壓輸出電路 601 及電流感測電路 602 例如較佳爲形成在一個 IC 中。該 IC 例如較佳爲安裝在觸控面板中或電子裝置的外殼內的基板中。在使用具有撓性的觸控面板時，由於在其彎曲部分的寄生電容增大，有雜訊的影響變大的擔憂，所以較佳爲使用應用了不容易受雜訊的影響的驅動方法的 IC。例如較佳爲使用應用了提高信噪比（S/N 比）的驅動方法的 IC。

[0298]

[In-Cell 型觸控面板的結構例子]

在前面的說明中，示出將構成觸控感測器的電極形成在與設置有顯示元件等的基板不同的基板上的情況，但是也可以採用在設置有顯示元件等的基板上設置構成觸控感測器的一對電極中的一個或兩個的結構。

[0299]

下面，對在具有多個像素的顯示部中安裝了觸控感測器的觸控面板（所謂的 In-Cell 型觸控面板）的結構例子進行說明。這裡，示出作爲設置於像素中的顯示元件使用液晶元件的例子。但是，本發明的一個實施方式並不侷限於此，可以使用各種顯示元件。

[0300]

圖 31A 是設置於本結構例子所示出的觸控面板的顯示部中的像素電路的一部分中的等效電路圖。

[0301]

一個像素至少包括電晶體 3503 和液晶元件 3504。此外，像素有時還包括儲存電容器。另外，電晶體 3503 的閘極與佈線 3501 電連接，電晶體 3503 的源極和汲極中的一個與佈線 3502 電連接。

[0302]

像素電路包括在 X 方向上延伸的多個佈線（例如，佈線 3510_1、佈線 3510_2）以及在 Y 方向上延伸的多個佈線（例如，佈線 3511），上述多個佈線以彼此交叉的方式設置，並且在其間產生電容耦合。

[0303]

另外，在設置於像素電路中的像素中，一部分相鄰的多個像素中的分別設置於每個像素的液晶元件的一個電極彼此電連接而形成一個區塊。該區塊分爲兩種，亦即島狀區塊（例如，區塊 3515_1、區塊 3515_2）和在 Y 方向上延伸的線狀區塊（例如，區塊 3516）。注意，雖然圖 31A 及圖 31B 只示出像素電路的一部分，但是實際上，這兩種區塊在 X 方向及 Y 方向上被反復配置。在此，作爲液晶元件的一個電極，例如有共用電極或相對電極等。另一方面，作爲液晶元件的另一個電極，例如有像素電極等。

[0304]

在 X 方向上延伸的佈線 3510_1（或佈線 3510_2）與島狀區塊 3515_1（或區塊 3515_2）電連接。注意，雖然未圖示，但是在 X 方向上延伸的佈線 3510_1 藉由線狀區塊使沿著 X 方向上不連續地配置的多個島狀區塊 3515_1 電連接。另外，在 Y 方向上延伸的佈線 3511 與線狀區塊 3516 電連接。

[0305]

圖 31B 是示出在 X 方向上延伸的多個佈線 3510 與在 Y 方向上延伸的多個佈線 3511 的連接結構的等效電路圖。注意，在此示出採用投影互電容式的情況。可以對在 X 方向上延伸的各佈線 3510 輸入輸入電壓或共用電位。另外，可以對在 Y 方向上延伸的各佈線 3511 輸入接地電位（或參考電位）或者可以使佈線 3511 與感測電路電連接。注意，佈線 3510 和佈線 3511 可以互相調換。

[0306]

下面，參照圖 32A 及圖 32B 對上述觸控面板的工作方法的一個例子進行說明。

[0307]

這裡，將一個圖框期間分爲寫入期間和感測期間。寫入期間是對像素進行影像資料寫入的期間，佈線 3501（也稱爲閘極線或掃描線）被依次選擇。另一方面，感測期間是利用觸控感測器進行感測的期間，在 X 方向上延伸的佈線 3510 被依次選擇並被輸入輸入電壓。

[0308]

圖 32A 是寫入期間中的等效電路圖。在寫入期間中，在 X 方向上延伸

的佈線 3510 與在 Y 方向上延伸的佈線 3511 都被輸入共用電位。

[0309]

圖 32B 是感測期間的某個時間的等效電路圖。在感測期間中，在 Y 方向上延伸的各佈線 3511 與感測電路電連接。另外，在 X 方向上延伸的佈線 3510 中的被選擇的佈線被輸入輸入電壓，其他的佈線被輸入共用電位。

[0310]

這裡所示的驅動方法除了可以應用於 In-Cell 方式以外還可以應用於上述所示的觸控面板。

[0311]

像這樣，較佳爲分別設置影像寫入期間以及利用觸控感測器進行感測的期間。由此可以抑制因像素寫入時的雜訊引起的觸控感測器的靈敏度降低。

[0312]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0313]

實施方式 3

在本實施方式中，參照圖式說明可以代替上述實施方式所示的電晶體 201 或電晶體 202（以及電晶體 301、電晶體 302、電晶體 401、電晶體 402）來使用的電晶體的一個例子。

[0314]

本發明的一個實施方式的觸控面板模組 10 可以使用底閘極型電晶體或頂閘極型電晶體等各種的形態的電晶體來製造。因此，可以很容易地根據習知的生產線更換所使用的半導體層材料或電晶體結構。

[0315]

[底閘極型電晶體]

圖 33A1 是底閘極型電晶體的一種的通道保護型電晶體 810 的剖面圖。在圖 33A1 中，電晶體 810 形成在基板 771 上。另外，電晶體 810 在基板 771 上隔著絕緣層 772 包括電極 746。另外，在電極 746 上隔著絕緣層 726 包括半導體層 742。電極 746 可以被用作閘極電極。絕緣層 726 可以被用作閘極絕緣層。

[0316]

另外，在半導體層 742 的通道形成區域上包括絕緣層 741。此外，在絕緣層 726 上以與半導體層 742 的一部分接觸的方式包括電極 744a 及電極 744b。電極 744a 可以用作源極電極和汲極電極中的一個。電極 744b 可以用作源極電極和汲極電極中的另一個。電極 744a 的一部分及電極 744b 的一部分形成在絕緣層 741 上。

[0317]

絕緣層 741 可以被用作通道保護層。藉由在通道形成區域上設置絕緣層 741，可以防止在形成電極 744a 及電極 744b 時半導體層 742 露出。由此，可以防止在形成電極 744a 及電極 744b 時半導體層 742 的通道形成區域被蝕刻。藉由本發明的一個實施方式，可以實現電特性良好的電晶體。

[0318]

另外，電晶體 810 在電極 744a、電極 744b 及絕緣層 741 上包括絕緣層 728，在絕緣層 728 上包括絕緣層 729。

[0319]

本實施方式所公開的構成電晶體的電極、半導體層、絕緣層等可以使用其他實施方式所公開的材料及方法形成。

[0320]

另外，當將氧化物半導體用於半導體層 742 時，較佳爲將能夠從半導體層 742 的一部分中奪取氧而產生氧缺陷的材料用於電極 744a 及電極 744b 的至少與半導體層 742 接觸的部分。半導體層 742 中的產生氧缺陷的區域的載子濃度增加，該區域 n 型化而成爲 n 型區域（n^+層）。因此，該區域能夠被用作源極區域或汲極區域。當將氧化物半導體用於半導體層 742 時，作爲能夠從半導體層 742 中奪取氧而產生氧缺陷的材料的一個例子，可以舉出鎢、鈦等。

[0321]

藉由在半導體層 742 中形成源極區域及汲極區域，可以降低電極 744a 及電極 744b 與半導體層 742 的接觸電阻。因此，可以使場效移動率及臨界電壓等電晶體的電特性良好。

[0322]

當將矽等半導體用於半導體層 742 時，較佳爲在半導體層 742 與電極 744a 之間及半導體層 742 與電極 744b 之間設置被用作 n 型半導體或 p 型半導體的層。用作 n 型半導體或 p 型半導體的層可以被用作電晶體的源極區域或汲極區域。

[0323]

另外，絕緣層 729 較佳爲使用具有防止雜質從外部擴散到電晶體中或者降低雜質的擴散的功能的材料。此外，根據需要也可以省略絕緣層 729。

[0324]

另外，當將氧化物半導體用於半導體層 742 時，也可以在形成絕緣層 729 之前、之後或者在形成絕緣層 729 之前及之後進行加熱處理。藉由進行加熱處理，可以使絕緣層 729 或其他絕緣層所包含的氧擴散到半導體層 742 中，來填補半導體層 742 中的氧缺陷。或者，藉由在對絕緣層 729 進行加熱的同時形成絕緣層 729，可以填補半導體層 742 中的氧缺陷。

[0325]

一般來說，可以將 CVD 法分類爲利用電漿的電漿 CVD（PECVD：Plasma Enhanced CVD）法及利用熱的熱 CVD（TCVD：Thermal CVD）法等。再者，根據所使用的源氣體，可以分類爲金屬 CVD（MCVD：Metal CVD）法、有機金屬 CVD（MOCVD：Metal Organic CVD）法等。

[0326]

另外，一般來說，可以將蒸鍍法分類爲電阻加熱蒸鍍法、電子束蒸鍍法、MBE（Molecular Beam Epitaxy：分子束磊晶）法、脈衝雷射沉積（PLD：Pulsed Laser Deposition）法、離子束輔助沉積（IBAD：Ion Beam Assisted Deposition）法及原子層沉積（ALD：Atomic Layer Deposition）法等。

[0327]

電漿 CVD 法可以以較低的溫度得到高品質的膜。另外，在當成膜時利用不使用等離子的諸如 MOCVD 法及蒸鍍法等的成膜方法的情況下，在被形成面不容易產生損傷，由此可以獲得缺陷少的膜。

[0328]

另外，一般來說，可以將濺射法分類爲 DC 濺射法、磁控濺射法、RF 濺射法、離子束濺射法、電子迴旋共振（ECR：Electron Cyclotron Resonance）濺射法及對向靶材式濺射法等。

[0329]

在對向靶材式濺射法中，電漿封閉在靶材之間，所以可以減輕對基板造成的電漿損傷。此外，根據靶材的傾斜可以使濺射粒子的相對於基板的入射角度小，所以可以提高步階覆蓋性。

[0330]

圖 33A2 所示的電晶體 811 與電晶體 810 的不同之處在於：電晶體 811

在絕緣層 729 上包括可用作背閘極電極的電極 723。電極 723 可以使用與電極 746 同樣的材料及方法形成。

[0331]

一般而言，背閘極電極使用導電層來形成，並以半導體層的通道形成區域被閘極電極與背閘極電極夾住的方式設置。因此，背閘極電極可以具有與閘極電極同樣的功能。背閘極電極的電位可以與閘極電極相等，也可以爲接地電位（GND 電位）或任意電位。另外，藉由不跟閘極電極聯動而獨立地改變背閘極電極的電位，可以改變電晶體的臨界電壓。

[0332]

電極 746 及電極 723 都可以被用作閘極電極。因此，絕緣層 726、絕緣層 728 及絕緣層 729 都可以被用作閘極絕緣層。另外，也可以將電極 723 設置在絕緣層 728 與絕緣層 729 之間。

[0333]

注意，當將電極 746 和電極 723 中的一個稱爲“閘極電極”時，將另一個稱爲“背閘極電極”。例如，在電晶體 811 中，當將電極 723 稱爲“閘極電極”時，有時將電極 746 稱爲“背閘極電極”。另外，當將電極 723 用作“閘極電極”時，電晶體 811 是頂閘極型電晶體之一種。此外，有時將電極 746 和電極 723 中的一個稱爲“第一閘極電極”，有時將另一個稱爲“第二閘極電極”。

[0334]

藉由隔著半導體層 742 設置電極 746 以及電極 723 並將電極 746 及電極 723 的電位設定爲相同，半導體層 742 中的載子流過的區域在膜厚度方向上更加擴大，所以載子的移動量增加。其結果，電晶體 811 的通態電流增大，並且場效移動率也增高。

[0335]

因此，電晶體 811 是相對於佔有面積具有較大的通態電流的電晶體。也就是說，可以相對於所要求的通態電流縮小電晶體 811 的佔有面積。根據本發明的一個實施方式，可以縮小電晶體的佔有面積。因此，根據本發明的一個實施方式，可以實現集成度高的半導體裝置。

[0336]

另外，由於閘極電極及背閘極電極使用導電層形成，因此具有防止在電晶體的外部產生的電場影響到形成有通道的半導體層的功能（尤其是對靜電等的電場遮蔽功能）。注意，當將背閘極電極形成得比半導體層大以使

用背閘極電極覆蓋半導體層時，能夠提高電場遮蔽功能。

[0337]

另外，因爲電極 746 及電極 723 都具有屏蔽來自外部的電場的功能，所以產生在絕緣層 772 一側或電極 723 上方的帶電粒子等電荷不會影響到半導體層 742 的通道形成區域。其結果，可以抑制應力測試（例如，對閘極施加負的電荷的-GBT（Gate Bias-Temperature：閘極偏壓-溫度）應力測試）所導致的劣化。另外，可以減輕其中通態電流根據汲極電壓開始流動的閘極電壓（上升電壓）變動的現象。注意，在電極 746 及電極 723 具有相同的電位時或不同的電位時有該效果。

[0338]

注意，BT 應力測試是一種加速試驗，可以在短時間內評估因長時間使用而產生的電晶體的特性變化（隨時間變化）。尤其是，BT 應力測試前後的電晶體的臨界電壓的變動量是用於檢查可靠性的重要指標。可以說，臨界電壓的變動量越少，電晶體的可靠性則越高。

[0339]

另外，藉由具有電極 746 及電極 723 且將電極 746 及電極 723 的電位設定爲相同，臨界電壓的變動量得到降低。因此，多個電晶體中的電特性的不均勻也同時得到降低。

[0340]

另外，具有背閘極電極的電晶體的對閘極施加正電荷的+GBT 應力測試前後的臨界電壓的變動也比不具有背閘極電極的電晶體小。

[0341]

另外，藉由使用具有遮光性的導電膜形成背閘極電極，能夠防止光從背閘極電極一側入射到半導體層。由此，能夠防止半導體層的光劣化，並防止電晶體的臨界電壓漂移等電特性劣化。

[0342]

藉由本發明的一個實施方式，可以實現可靠性良好的電晶體。另外，可以實現可靠性良好的半導體裝置。

[0343]

圖 33B1 示出作爲底閘極型的電晶體之一的通道保護型電晶體 820 的剖面圖。電晶體 820 具有與電晶體 810 大致相同的結構，而不同之處在於：在電晶體 820 中，絕緣層 741 覆蓋半導體層 742。在選擇性地去除重疊於半導體層 742 的絕緣層 741 的一部分而形成的開口部中，半導體層 742 與電極

744a 電連接。另外，在選擇性地去除重疊於半導體層 742 的絕緣層 741 的一部分而形成的其他開口部中，半導體層 742 與電極 744b 電連接。絕緣層 741 的與通道形成區域重疊的區域可以被用作通道保護層。

[0344]

圖 33B2 所示的電晶體 821 與電晶體 820 的不同之處在於：電晶體 821 在絕緣層 729 上包括可以被用作背閘極電極的電極 723。

[0345]

藉由設置絕緣層 741，可以防止在形成電極 744a 及電極 744b 時產生的半導體層 742 的露出。因此，可以防止在形成電極 744a 及電極 744b 時半導體層 742 被薄膜化。

[0346]

另外，與電晶體 810 及電晶體 811 相比，電晶體 820 及電晶體 821 的電極 744a 與電極 746 之間的距離及電極 744b 與電極 746 之間的距離更長。因此，可以減少產生在電極 744a 與電極 746 之間的寄生電容。此外，可以減少產生在電極 744b 與電極 746 之間的寄生電容。根據本發明的一個實施方式，可以提供一種電特性良好的電晶體。

[0347]

圖 33C1 所示的電晶體 825 是底閘極型電晶體之一的通道蝕刻型電晶體。在電晶體 825 中，不使用絕緣層 741 形成電極 744a 及電極 744b。因此，在形成電極 744a 及電極 744b 時露出的半導體層 742 的一部分有時被蝕刻。另一方面，由於不設置絕緣層 741，可以提高電晶體的生產率。

[0348]

圖 33C2 所示的電晶體 826 與電晶體 825 的不同之處在於：電晶體 826 在絕緣層 729 上具有可以用作背閘極電極的電極 723。

[0349]

[頂閘極型電晶體]

圖 34A1 示出頂閘極型電晶體之一種的電晶體 830 的剖面圖。電晶體 830 在絕緣層 772 上具有半導體層 742，在半導體層 742 及絕緣層 772 上具有與半導體層 742 的一部分相接的電極 744a 以及與半導體層 742 的一部分相接的電極 744b，在半導體層 742、電極 744a 及電極 744b 上具有絕緣層 726，在絕緣層 726 上具有電極 746。

[0350]

因爲在電晶體 830 中，電極 746 和電極 744a 以及電極 746 和電極 744b

不重疊，所以可以減少產生在電極 746 與電極 744a 之間的寄生電容以及產生在電極 746 與電極 744b 之間的寄生電容。另外，在形成電極 746 之後，將電極 746 用作遮罩並將雜質 755 引入到半導體層 742，由此可以在半導體層 742 中以自對準（Self-alignment）的方式形成雜質區域（參照圖 34A3）。根據本發明的一個實施方式，可以實現電特性良好的電晶體。

[0351]

另外，可以使用離子植入裝置、離子摻雜裝置或電漿處理裝置進行雜質 755 的引入。

[0352]

作爲雜質 755，例如可以使用第 13 族元素和第 15 族元素中的至少一種元素。另外，在作爲半導體層 742 使用氧化物半導體的情況下，作爲雜質 755，也可以使用稀有氣體、氫和氮中的至少一種元素。

[0353]

圖 34A2 所示的電晶體 831 與電晶體 830 的不同之處在於：電晶體 831 具有電極 723 及絕緣層 727。電晶體 831 具有形成在絕緣層 772 上的電極 723、形成在電極 723 上的絕緣層 727。如上所述，電極 723 可以被用作背閘極電極。因此，絕緣層 727 可以被用作閘極絕緣層。絕緣層 727 可以使用與絕緣層 726 同樣的材料及方法來形成。

[0354]

與電晶體 811 同樣，電晶體 831 是相對於佔有面積具有較大的通態電流的電晶體。亦即，可以相對於所要求的通態電流縮小電晶體 831 的佔有面積。根據本發明的一個實施方式，可以縮小電晶體的佔有面積。因此，根據本發明的一個實施方式，可以實現集成度高的半導體裝置。

[0355]

圖 34B1 所例示的電晶體 840 是頂閘極型電晶體之一。電晶體 840 與電晶體 830 的不同之處在於：在電晶體 840 中，在形成電極 744a 及電極 744b 之後形成半導體層 742。另外，圖 34B2 所例示的電晶體 841 與電晶體 840 的不同之處在於：電晶體 841 具有電極 723 及絕緣層 727。在電晶體 840 及電晶體 841 中，半導體層 742 的一部分形成在電極 744a 上，半導體層 742 的另一部分形成在電極 744b 上。

[0356]

與電晶體 811 同樣地，電晶體 841 是相對於佔有面積具有較大的通態電流的電晶體。亦即，可以相對於所要求的通態電流縮小電晶體 841 的佔有

面積。根據本發明的一個實施方式，可以縮小電晶體的佔有面積。因此，根據本發明的一個實施方式，可以實現集成度高的半導體裝置。

[0357]

圖 35A1 所例示的電晶體 842 是頂閘極型電晶體之一。電晶體 842 與電晶體 830 或電晶體 840 的不同之處在於：在形成絕緣層 729 後形成電極 744a 及電極 744b。電極 744a 及電極 744b 在形成在絕緣層 728 及絕緣層 729 中的開口部與半導體層 742 電連接。

[0358]

另外，去除不與電極 746 重疊的絕緣層 726 的一部分，以電極 746 及剩餘的絕緣層 726 爲遮罩將雜質 755 引入到半導體層 742，由此可以在半導體層 742 中以自對準（Self-alignment）的方式形成雜質區域（參照圖 35A3）。電晶體 842 包括絕緣層 726 越過電極 746 的端部延伸的區域。在對半導體層 742 引入雜質 755 時，半導體層 742 的隔著絕緣層 726 被引入雜質 755 的區域的雜質濃度低於不隔著絕緣層 726 被引入雜質 755 的區域。因此，在半導體層 742 中的與重疊於電極 746 的部分鄰接區域中形成 LDD（Lightly Doped Drain）區域。

[0359]

圖 35A2 所示的電晶體 843 與電晶體 842 的不同之處在於電晶體 843 包括電極 723。電晶體 843 包括形成在基板 771 上的電極 723，該電極 723 隔著絕緣層 772 與半導體層 742 重疊。電極 723 可以被用作背閘極電極。

[0360]

另外，如圖 35B1 所示的電晶體 844 及圖 35B2 所示的電晶體 845 那樣，也可以將不與電極 746 重疊的區域的絕緣層 726 全部去除。另外，如圖 35C1 所示的電晶體 846 及圖 35C2 所示的電晶體 847 那樣，也可以留下絕緣層 726。

[0361]

在電晶體 842 至電晶體 847 中，也可以在形成電極 746 之後以電極 746 爲遮罩而將雜質 755 引入到半導體層 742，由此在半導體層 742 中自對準地形成雜質區域。藉由本發明的一個實施方式，可以實現電特性良好的電晶體。另外，根據本發明的一個實施方式，可以實現集成度高的半導體裝置。

[0362]

[S-channel 型電晶體]

圖 36A 至圖 36C 示出作爲半導體層 742 使用氧化物半導體的電晶體結構的一個例子。在圖 36A 至圖 36C 所例示的電晶體 850 中，在半導體層 742a

上形成有半導體層 742b，半導體層 742b 的頂面、半導體層 742b 的側面及半導體層 742a 的側面被半導體層 742c 覆蓋。圖 36A 是電晶體 850 的俯視圖。圖 36B 是沿圖 36A 中的點劃線 X1-X2 所示的部分的剖面圖（通道長度方向的剖面圖）。圖 36C 是沿圖 36A 中的點劃線 Y1-Y2 所示的部分的剖面圖（通道寬度方向的剖面圖）。

[0363]

另外，電晶體 850 具有用作閘極電極的電極 743。電極 743 可以使用與閘極電極 746 同樣的材料及方法形成。在本實施方式中，層疊兩層的導電層形成電極 743。

[0364]

半導體層 742a、半導體層 742b 及半導體層 742c 使用包含 In 和 Ga 中的一個或者兩個的材料形成。典型地，有 In-Ga 氧化物（包含 In 和 Ga 的氧化物）、In-Zn 氧化物（包含 In 和 Zn 的氧化物）、In-M-Zn 氧化物（爲包含 In、元素 M 和 Zn 的氧化物，其中元素 M 是選自 Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf 中的一種以上的元素，且是與氧的鍵合力比 In 與氧的鍵合力強的金屬元素）。

[0365]

半導體層 742a 及半導體層 742c 較佳爲使用包含構成半導體層 742b 的金屬元素中的一種以上的材料形成。藉由使用這種材料，可以使半導體層 742a 與半導體層 742b 的介面以及半導體層 742c 與半導體層 742b 的介面不容易產生介面能階。由此，不容易發生介面中的載子的散射及俘獲，而可以提高電晶體的場效移動率。另外，還可以減少電晶體的臨界電壓的不均勻。因此，可以實現具有良好的電特性的半導體裝置。

[0366]

半導體層 742a 及半導體層 742c 的厚度爲 3nm 以上且 100nm 以下，較佳爲 3nm 以上且 50nm 以下。另外，半導體層 742b 的厚度爲 3nm 以上且 700nm 以下，較佳爲 3nm 以上且 100nm 以下，更佳爲 3nm 以上且 50nm 以下。

[0367]

另外，在半導體層 742b 是 In-M-Zn 氧化物，並且半導體層 742a 及半導體層 742c 也是 In-M-Zn 氧化物的情況下，當將半導體層 742a 及半導體層 742c 設定爲 In:M:Zn=x_1:y_1:z_1[原子個數比]，並且將半導體層 742b 設定爲 In:M:Zn=x_2:y_2:z_2[原子個數比]時，可以以 y_1/x_1 大於 y_2/x_2 的方式選擇半導體層 742a、半導體層 742c 及半導體層 742b。較佳的是，以 y_1/x_1 爲 y_2/x_2 的 1.5 倍

以上的方式選擇半導體層 742a、半導體層 742c 及半導體層 742b。更佳的是，以 y_1/x_1 爲 y_2/x_2 的 2 倍以上的方式選擇半導體層 742a、半導體層 742c 及半導體層 742b。進一步較佳的是，以 y_1/x_1 爲 y_2/x_2 的 3 倍以上的方式選擇半導體層 742a、半導體層 742c 及半導體層 742b。此時，在半導體層 742b 中，如果 y_1 爲 x_1 以上就可以使電晶體具有穩定的電特性，所以是較佳的。但是，當 y_1 爲 x_1 的 3 倍以上時，電晶體的場效移動率會下降，因此 y_1 較佳爲小於 x_1 的 3 倍。藉由作爲半導體層 742a 及半導體層 742c 採用上述結構，可以使半導體層 742a 及半導體層 742c 成爲與半導體層 742b 相比不容易產生氧缺陷的層。

[0368]

另外，當半導體層 742a 及半導體層 742c 是 In-M-Zn 氧化物時，In 和元素 M 的總和爲 100atomic%時的 In 和 M 的含有率較佳爲：In 低於 50atomic%，元素 M 爲 50atomic%以上，更佳爲：In 低於 25atomic%，元素 M 爲 75atomic%以上。此外，當半導體層 742b 是 In-M-Zn 氧化物時，In 和 M 的總和爲 100atomic%時的 In 和元素 M 的含有率較佳爲：In 爲 25atomic%以上，元素 M 低於 75atomic%，更佳爲：In 爲 34atomic%以上，元素 M 低於 66atomic%。

[0369]

例如，作爲包含 In 或 Ga 的半導體層 742a 及包含 In 或 Ga 的半導體層 742c，可以採用使用其原子個數比爲 In:Ga:Zn=1:3:2、1:3:4、1:3:6、1:6:4 或 1:9:6 等的靶材形成的 In-Ga-Zn 氧化物、使用其原子個數比爲 In:Ga=1:9 等的靶材形成的 In-Ga 氧化物、氧化鎵等。另外，作爲半導體層 742b，可以採用使用其原子個數比爲 In:Ga:Zn=3:1:2、1:1:1、5:5:6 或 4:2:4.1 等的靶材形成的 In-Ga-Zn 氧化物。此外，半導體層 742a、半導體層 742b 及半導體層 742c 的原子個數比都作爲誤差包括上述原子個數比的±20%的變動。

[0370]

爲了對使用半導體層 742b 的電晶體賦予穩定的電特性，較佳爲降低半導體層 742b 中的雜質及氧缺陷而實現高純度本質化，使半導體層 742b 成爲本質或實質上本質的氧化物半導體層。另外，較佳爲至少使半導體層 742b 中的通道形成區域成爲本質或實質上本質的氧化物半導體層。

[0371]

注意，實質上本質的氧化物半導體層是指氧化物半導體層中的載子密度低於 8×10^{11} 個/cm^3，較佳爲低於 1×10^{11} 個/cm^3，更佳爲低於 1×10^{10} 個/cm^3 且 1×10^{-9} 個/cm^3 以上的氧化物半導體層。

[0372]

圖 37A 至圖 37C 示出作爲半導體層 742 使用氧化物半導體的電晶體結構的一個例子。在圖 37A 至圖 37C 所例示的電晶體 822 中，在半導體層 742a 上形成有半導體層 742b。電晶體 822 是具有背閘極電極的底閘極型電晶體之一。圖 37A 是電晶體 822 的俯視圖。圖 37B 是沿圖 37A 中的點劃線 X1-X2 所示的部分的剖面圖（通道長度方向的剖面圖）。圖 37C 是沿圖 37A 中的點劃線 Y1-Y2 所示的部分的剖面圖（通道寬度方向的剖面圖）。

[0373]

設置在絕緣層 729 上的電極 723 在設置在絕緣層 726、絕緣層 728 及絕緣層 729 中的開口 747a 及開口 747b 中與電極 746 電連接。由此，對電極 723 及電極 746 供應相同的電位。另外，既可以不設置開口 747a 和開口 747b 中的一個，又可以不設置開口 747a 及開口 747b 兩者。當不設置開口 747a 及開口 747b 兩者時，可以對電極 723 及電極 746 供應不同的電位。

[0374]

[氧化物半導體的能帶結構]

在此，參照圖 41A 和圖 41B 所示的能帶結構圖對由半導體層 742a、半導體層 742b 及半導體層 742c 的疊層構成的半導體層 742 的功能及其效果進行說明。圖 41A 示出由圖 36B 中的點劃線 D1-D2 表示的部分的能帶圖。圖 41A 示出電晶體 850 的通道形成區域的能帶結構。

[0375]

在圖 41A 中，Ec882、Ec883a、Ec883b、Ec883c、Ec886 分別示出絕緣層 772、半導體層 742a、半導體層 742b、半導體層 742c、絕緣層 726 的導帶底的能量。

[0376]

這裡，真空能階與導帶底的能量之間的能量差（也稱爲“電子親和力”）是真空能階與價帶頂之間的能量差（也稱爲游離電位）減去能隙的值。另外，能隙可以利用光譜橢圓偏光計（例如，HORIBA JOBIN YVON 公司製造的 UT-300）來測量。此外，真空能階與價帶頂之間的能量差可以利用紫外線光電子能譜（UPS：Ultraviolet Photoelectron Spectroscopy）裝置（例如，PHI 公司製造的 VersaProbe）來測量。

[0377]

使用其原子個數比爲 In:Ga:Zn=1:3:2 的靶材形成的 In-Ga-Zn 氧化物的能隙大約爲 3.5eV，電子親和力大約爲 4.5eV。使用其原子個數比爲

In:Ga:Zn=1:3:4 的靶材形成的 In-Ga-Zn 氧化物的能隙大約爲 3.4eV，電子親和力大約爲 4.5eV。使用其原子個數比爲 In:Ga:Zn=1:3:6 的靶材形成的 In-Ga-Zn 氧化物的能隙大約爲 3.3eV，電子親和力大約爲 4.5eV。使用其原子個數比爲 In:Ga:Zn=1:6:2 的靶材形成的 In-Ga-Zn 氧化物的能隙大約爲 3.9eV，電子親和力大約爲 4.3eV。使用其原子個數比爲 In:Ga:Zn=1:6:8 的靶材形成的 In-Ga-Zn 氧化物的能隙大約爲 3.5eV，電子親和力大約爲 4.4eV。使用其原子個數比爲 In:Ga:Zn=1:6:10 的靶材形成的 In-Ga-Zn 氧化物的能隙大約爲 3.5eV，電子親和力大約爲 4.5eV。使用其原子個數比爲 In:Ga:Zn=1:1:1 的靶材形成的 In-Ga-Zn 氧化物的能隙大約爲 3.2eV，電子親和力大約爲 4.7eV。使用其原子個數比爲 In:Ga:Zn=3:1:2 的靶材形成的 In-Ga-Zn 氧化物的能隙大約爲 2.8eV，電子親和力大約爲 5.0eV。

[0378]

因爲絕緣層 772 和絕緣層 726 是絕緣物，所以 Ec882 和 Ec886 比 Ec883a、Ec883b 及 Ec883c 更接近於真空能階（電子親和力小）。

[0379]

另外，Ec883a 比 Ec883b 更接近於真空能階。明確而言，Ec883a 較佳爲比 Ec883b 更接近於真空能階 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。

[0380]

此外，Ec883c 比 Ec883b 更接近於真空能階。明確而言，Ec883c 較佳爲比 Ec883b 更接近於真空能階 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。

[0381]

另外，因爲在半導體層 742a 與半導體層 742b 的介面附近以及半導體層 742b 與半導體層 742c 的介面附近會形成混合區域，所以導帶底的能量連續地變化。亦即，在這些介面處不存在或者幾乎不存在能階。

[0382]

因此，在具有該能帶結構的疊層結構中，電子主要在半導體層 742b 中移動。由此，即使在半導體層 742a 與絕緣層 772 的介面或者半導體層 742c 與絕緣層 726 的介面存在有能階，該能階也幾乎不會影響到電子的移動。另外，因爲在半導體層 742a 與半導體層 742b 的介面以及半導體層 742c 與半導體層 742b 的介面不存在或者幾乎不存在能階，所以在該區域中不會阻礙電子的移動。因此，具有上述氧化物半導體的疊層結構的電晶體可以實

現高場效移動率。

[0383]

此外，如圖 41A 所示，雖然在半導體層 742a 與絕緣層 772 的介面以及半導體層 742c 與絕緣層 726 的介面附近有可能形成起因於雜質或缺陷的陷阱能階 890，但是由於半導體層 742a 及半導體層 742c 的存在，可以使半導體層 742b 遠離該陷阱能階。

[0384]

尤其是，在本實施方式所例示的電晶體中，半導體層 742b 的頂面及側面接觸於半導體層 742c，半導體層 742b 的底面接觸於半導體層 742a。如此，藉由採用半導體層 742a 和半導體層 742c 覆蓋半導體層 742b 的結構，可以進一步減少上述陷阱能階的影響。

[0385]

注意，當 Ec883a 或 Ec883c 與 Ec883b 的能量差小時，有時半導體層 742b 的電子越過該能量差達到陷阱能階。在電子被陷阱能階俘獲時，在絕緣層的介面產生固定負電荷，導致電晶體的臨界電壓漂移到正方向。

[0386]

因此，藉由將 Ec883a 與 Ec883b 的能量差以及 Ec883c 與 Ec883b 的能量差都設定爲 0.1eV 以上，較佳爲 0.15eV 以上，電晶體的臨界電壓的變動得到抑制，從而可以使電晶體的電特性良好，所以是較佳的。

[0387]

另外，半導體層 742a 及半導體層 742c 的能帶間隙較佳爲寬於半導體層 742b 的能帶間隙。

[0388]

圖 41B 示出由圖 37B 中的點劃線 D3-D4 表示的部分的能帶圖。圖 41B 示出電晶體 822 的通道形成區域的能帶結構。

[0389]

在圖 41B 中，Ec887 示出絕緣層 728 的導帶底的能量。藉由以半導體層 742a 及半導體層 742b 的兩層形成半導體層 742，可以提高電晶體的生產率。雖然由於不設置半導體層 742c 所以容易受到陷阱能階 890 的影響，但是與半導體層 742 爲單層結構的情況相比，可以實現更高的場效移動率。

[0390]

藉由本發明的一個實施方式，可以實現電特性的不均勻少的電晶體。因此，可以實現電特性的不均勻少的半導體裝置。藉由本發明的一個實施

方式，可以提供一種可靠性高的電晶體。因此，可以實現可靠性高的半導體裝置。

[0391]

此外，氧化物半導體的能隙大，爲 3.0eV 以上，可見光透射率較大。此外，在以適當的條件對氧化物半導體進行加工而得到的電晶體中，可以在使用時的溫度條件下（例如爲 25℃）使關態電流爲 100zA（1×10^{-19}A）以下、10zA（1×10^{-20}A）以下或 1zA（1×10^{-21}A）以下。因此，可以提供功耗低的半導體裝置。

[0392]

藉由本發明的一個實施方式，可以實現功耗低的電晶體。因此，可以實現功耗少的顯示元件或顯示裝置等的半導體裝置。或者，可以提供一種可靠性良好的顯示元件或顯示裝置等的半導體裝置。

[0393]

再次對圖 36A 至圖 36C 所示的電晶體 850 進行說明。藉由在形成於絕緣層 772 的凸部上設置半導體層 742b，半導體層 742b 的側面也可以被電極 743 覆蓋。也就是說，電晶體 850 具有由電極 743 的電場能夠電圍繞半導體層 742b 的結構。如此，將由導電膜的電場電圍繞形成有通道的半導體層的電晶體結構稱爲 surrounded channel（S-channel）結構。另外，將具有 S-channel 結構的電晶體也稱爲“S-channel 型電晶體”或“S-channel 電晶體”。

[0394]

在 S-channel 結構中，也可以在半導體層 742b 的整體（塊體）形成通道。在 S-channel 結構中可以使電晶體的汲極電流增大，來可以得到更高的通態電流。此外，也可以由電極 743 的電場使形成在半導體層 742b 中的通道形成區域的整個區域空乏化。因此，S-channel 結構可以進一步降低電晶體的關態電流。

[0395]

另外，藉由增大絕緣層 772 的凸部的高度且縮短通道寬度，可以進一步提高增大通態電流且降低關態電流的 S-channel 結構的效果等。此外，當形成半導體層 742b 時，也可以去除露出的半導體層 742a。此時，半導體層 742a 的側面與半導體層 742b 的側面有時一致。

[0396]

另外，如圖 38A 至圖 38C 所示的電晶體 851，也可以在半導體層 742 的下方隔著絕緣層設置電極 723。圖 38A 是電晶體 851 的俯視圖。圖 38B 是沿

圖 38A 中的點劃線 X1-X2 所示的部分的剖面圖。圖 38C 是沿圖 38A 中的點劃線 Y1-Y2 所示的部分的剖面圖。

[0397]

另外，如圖 39A 至圖 39C 所示的電晶體 852，也可以在電極 743 的上方設置絕緣層 775，在絕緣層 775 上設置有層 725。圖 39A 是電晶體 852 的俯視圖。圖 39B 是沿圖 39A 中的點劃線 X1-X2 所示的部分的剖面圖。圖 39C 是沿圖 39A 中的點劃線 Y1-Y2 所示的部分的剖面圖。

[0398]

在圖 39A 至圖 39C 中，雖然將層 725 設置於絕緣層 775 上，但也可以在絕緣層 728 或絕緣層 729 上設置層 725。藉由使用具有遮光性的材料形成層 725，能夠防止因光照射的電晶體的特性變動或可靠性的下降等。另外，藉由將層 725 形成得至少比半導體層 742b 大以使半導體層 742b 被層 725 覆蓋，能夠提高上述效果。層 725 可以使用有機材料、無機材料或金屬材料製造。另外，當使用導電材料製造層 725 時，既可以給層 725 供應電壓，又可以使層 725 處於電浮動（浮動）狀態。

[0399]

圖 40A 至圖 40C 示出具有 S-channel 結構的電晶體的一個例子。圖 40A 至圖 40C 所例示的電晶體 848 具有與上述電晶體 847 大致相同的結構。在電晶體 848 中，在設置在絕緣層 772 的凸部上形成有半導體層 742。電晶體 848 是一種包括背閘極電極的頂閘極型電晶體。圖 40A 是電晶體 848 的俯視圖。圖 40B 示出由圖 40A 中的 X1-X2 的點劃線表示的部分的剖面圖。圖 40C 示出由圖 40A 中的 Y1-Y2 的點劃線表示的部分的剖面圖。

[0400]

設置在絕緣層 729 上的電極 744a 在設置在絕緣層 726、絕緣層 728 及絕緣層 729 的開口 747c 中與半導體層 742 電連接。此外，設置在絕緣層 729 上的電極 744b 在設置在絕緣層 726、絕緣層 728 及絕緣層 729 的開口 747d 中與半導體層 742 電連接。

[0401]

設置在絕緣層 726 上的電極 743 在設置在絕緣層 726 及絕緣層 772 的開口 747a 及開口 747b 中與電極 723 電連接。因此，電極 743 及電極 723 被供應相同的電位。此外，也可以不設置開口 747a 和開口 747b 中的一者或兩者。在不設置開口 747a 及開口 747b 兩者時，可以對電極 723 及電極 743 供應不同的電位。

[0402]

注意，用於具有 S-channel 結構的電晶體的半導體層不侷限於氧化物半導體。

[0403]

[其他結構例子]

下面，圖 42A 至圖 47B 示出使用薄膜的多晶矽（polysilicon）膜的 n 通道型電晶體的結構例子。

[0404]

圖 42A 是電晶體 70A 的俯視圖。圖 42B 是沿圖 42A 的線 L1-L2 的剖面圖，圖 42C 是沿圖 42A 的線 W1-W2 的剖面圖。注意，圖 42B 是通道長度 L 方向的電晶體 70A 的剖面圖，圖 42C 是通道寬度 W 方向的電晶體 70A 的剖面圖。

[0405]

電晶體 70A 在具有絕緣表面的基板 72 上包括：用作閘極的導電層 73；導電層 73 上的絕緣層 74；隔著絕緣層 74 與導電層 73 重疊的半導體層 75；半導體層 75 上的絕緣層 76；隔著絕緣層 76 與半導體層 75 重疊且用作閘極的導電層 77；導電層 77 上的絕緣層 78；絕緣層 78 上的絕緣層 79；以及在設置在絕緣層 76、絕緣層 78 及絕緣層 79 中的開口中與半導體層 75 電連接且用作源極或汲極的導電層 80 及導電層 81。

[0406]

半導體層 75 包括與導電層 77 重疊的通道形成區域 82、夾著通道形成區域 82 的一對 LDD（Lightly Doped Drain）區域 83 以及夾著通道形成區域 82、LDD 區域 83 的一對雜質區域 84。一對雜質區域 84 被用作源極區域或汲極區域。另外，對 LDD 區域 83 及雜質區域 84 添加有對半導體層 75 賦予 n 型導電型的雜質元素，例如磷（P）、砷（As）等。

[0407]

電晶體 70A 在第一導電層(導電層 73)上包括第一絕緣層(絕緣層 74)、在第一絕緣層（絕緣層 74）上包括具有通道形成區域 82 的半導體層 75、在半導體層 75 上包括第二絕緣層（絕緣層 76）、在第二絕緣層（絕緣層 76）上包括第二導電層（導電層 77），第二導電層（導電層 77）隔著第二絕緣層（絕緣層 76）覆蓋半導體層 75 的側面，半導體層 75 具有在通道寬度方向的剖面中被第一導電層（導電層 73）及第二導電層（導電層 77）包圍的結構，也就是 S-channel 結構。

[0408]

藉由採用圖 42C 所示的結構，電流流過半導體層 75 的整體（塊體）。由於電流流過半導體層 75 內部，因此不容易受到介面散射的影響，所以可以獲得很大的通態電流。另外，藉由增加半導體層 75 厚度，可以增大通態電流。

[0409]

另外，在電晶體 70A 中，除了垂直方向上的閘極電場之外，側面方向上的閘極電場也施加到半導體層 75。也就是說，半導體層 75 整體被施加閘極電場，所以電流流過半導體層 75 的塊內。由此，能夠實現電晶體 70A 的場效移動率的提高。

[0410]

另外，藉由使電晶體具有 S-channel 結構，還可以得到排除從上下混入半導體層 75 的雜質的影響的效果等。另外，第一導電層（導電層 73）和第二導電層（導電層 77）可以遮蔽從上下照射到半導體膜的光，從而抑制光激發，因此可以防止關態電流的增加。

[0411]

在此雖然示出 n 通道型電晶體的例子，但是若添加對半導體層 75 賦予 p 型導電型的雜質元素（例如硼（B）、鋁（Al）、鎵（Ga）等）來代替對半導體層 75 賦予 n 型導電型的雜質元素，則可以形成 p 通道型電晶體。另外，也可以對 n 通道型電晶體 70A 的通道形成區域 82 添加微量的賦予 p 型導電型的雜質元素。

[0412]

另外，也可以利用各種技術使半導體層 75 晶化。作爲各種晶化方法，有使用雷射的雷射晶化法、使用催化元素的晶化法。或者，也可以採用組合了使用催化元素的晶化法和雷射晶化法的方法。此外，在使用石英等具有優越的耐熱性的基板作爲基板 72 的情況下，也可以採用組合了使用電熱爐的熱晶化法、使用紅外光的燈退火晶化法、使用催化元素的晶化法以及 950℃左右的高溫退火法的晶化法。

[0413]

當對非晶矽膜照射雷射使其成爲多晶矽膜，且將多晶矽膜用作電晶體 70A 的通道形成區域 82 時，由於因照射雷射而形成的晶界到達多晶矽膜的下方，所以與半導體膜介面相比電流更容易流過半導體膜的塊體。由此，可以減少雷射的照射能量所導致的不均勻的影響。

[0414]

迄今通常是藉由對通道區域添加低濃度的雜質元素來控制臨界值，但是存在如下問題：在採用由一對閘極電極夾著半導體層的結構時，在半導體層與絕緣膜的介面產生載子的概率高，並且載子被注入到絕緣膜或絕緣膜與半導體層的介面，因此導致臨界值上升。另外，由該通道區域的能帶結構看來，載子的通道僅是半導體層與絕緣膜的介面附近。因此，因施加到汲極的電壓而被加速的熱載子注入到絕緣膜與半導體層的介面或絕緣膜，從而導致移動率或汲極電流的下降的嚴重問題。

[0415]

另外，在電晶體 70A 中，除了垂直方向上的閘極電場之外，側面方向上的閘極電場也施加到半導體膜。也就是說，閘極電場施加到半導體膜整體，所以電流流過半導體膜的塊內。由此，能夠實現電晶體的場效移動率的提高。

[0416]

注意，圖 42A 雖然示出包括用作閘極的導電層 77 以及用作背閘極電極的導電層 73 的結構，但是也可以採用其他結構。例如，可以根據所使用的電路而局部地設置省略了用作背閘極電極的導電層 73 的電晶體。

[0417]

另外，圖 42A 示出用作閘極的導電層 77 具有錐形部分的結構。使用具有錐形部分的閘極電極對半導體層摻雜雜質元素來自對準地形成雜質區域，由此可以實現熱載子的劣化少的半導體裝置。

[0418]

另外，在電晶體 70A 中，雖然使用作閘極的導電層 77 與用作背閘極電極的導電層 73 電連接，但是也可以對它們分別施加不同的電位。圖 43A 至圖 43C 示出該例子。圖 43A 是電晶體 70B 的俯視圖。圖 43B 是沿圖 43A 的 L1-L2 線的剖面圖，圖 43C 是沿圖 43A 的 W1-W2 線的剖面圖。

[0419]

另外，圖 43A 至圖 43C 所示的電晶體 70B 的絕緣層 74 的種類與電晶體 70A 的不同。在電晶體 70B 中，作爲絕緣層 74 使用藉由電漿 CVD 法等得到的絕緣膜。由於用作背閘極電極的導電層 73 的存在而在絕緣膜表面形成凸部，因爲是在其上形成半導體膜，所以半導體膜表面也反映有基底的表面形狀。

[0420]

電晶體 70B 的通道形成區域也是由用作閘極的導電層 77 及用作背閘極電極的導電層 73 包圍的 S-channel 結構。

[0421]

另外，圖 44A 示出電晶體 70C 的俯視圖。圖 44B 是沿表示電晶體 70C 的通道長度方向的 L1-L2 線的剖面圖。圖 44C 是沿表示電晶體 70C 的通道寬度方向的 W1-W2 線的剖面圖。

[0422]

圖 44A 示出導電層 77、導電層 73、半導體層 75、導電層 80、導電層 81、開口 93、開口 94、開口 95 及開口 96。導電層 77 被用作閘極。導電層 73 被用作背閘極。開口 93、94 是用來連接半導體層 75、導電層 80 及導電層 81 的開口。開口 95、96 是用來電連接導電層 77 及導電層 73 的開口。

[0423]

在圖 44B 中，在基板 72 上包括：導電層 73；絕緣層 74；隔著絕緣層 74 與導電層 73 重疊的半導體層 75；半導體層 75 上的絕緣層 76；隔著絕緣層 76 與半導體層 75 重疊且用作閘極的導電層 77a 及導電層 77b；導電層 77a 及導電層 77b 上的絕緣層 78；絕緣層 78 上的絕緣層 79；以及在設置在絕緣層 76、絕緣層 78 及絕緣層 79 中的開口 93、94 中與半導體層 75 電連接且用作源極或汲極的導電層 80 及導電層 81。

[0424]

在圖 44C 中，在基板 72 上包括導電層 73；絕緣層 74；半導體層 75；絕緣層 76；在開口 95、96 中與導電層 73 電連接的導電層 77a 及導電層 77b；導電層 77a 及導電層 77b 上的絕緣層 78；以及絕緣層 78 上的絕緣層 79。半導體層 75 包括通道形成區域 82、LDD 區域 83 及雜質區域 84。由於導電層 77a 及導電層 77b 的結構，藉由隔著不與導電層 77b 重疊的導電層 77a 的區域進行摻雜，可以自對準地形成雜質區域。與導電層 77a 重疊的 LDD 區域的長度被作爲其離子摻雜時的遮罩的導電層 77b 控制。將導電層 77a 及導電層 77b 用作離子摻雜時的遮罩，自對準地形成與導電層 77a 重疊的 LDD 區域，並且將其長度（Lov）調整爲所需要的長度。由此，可以準確地控制與導電層 77a 重疊的 LDD 區域的長度，從而可以延長耐熱載子劣化的使用壽命，以高良率製造可靠性高的半導體裝置。

[0425]

在電晶體 70C 中，由作爲閘極的導電層 77、與導電層 77 電連接的作爲背閘極的導電層 73 在通道寬度方向上電包圍半導體層 75 的通道形成區域

82。也就是說，在該結構中，可以從通道形成區域的頂面、底面及側面包圍通道形成區域。由此，可以提高通態電流，縮小通道寬度方向上的尺寸。另外，由於通道形成區域被導電膜包圍，所以更容易進行通道形成區域的遮光，從而可以抑制非意圖的光照射到通道形成區域而導致光激發。

[0426]

此外，在電晶體 70C 中，可以抑制由於在半導體層 75 中的 W1-W2 方向上的側端部發生非意圖的導電性的上升而導致的導通狀態。還可以減小添加到 LDD 區域 83 及雜質區域 84 的雜質元素分佈的不均勻的影響。

[0427]

另外，在圖 44A 至圖 44C 所示的結構中，可以抑制由於在半導體層 75 中的 W1-W2 方向上的側端部發生非意圖的導電性的上升而導致的導通狀態。還可以減小添加到半導體層 75 內的雜質元素分佈的不均勻的影響。

[0428]

另外，在圖 44A 至圖 44C 所示的結構中，雖然採用使閘極與背閘極電連接的結構，但是如圖 43A 至圖 43C 所示的一個例子那樣，將它們設定爲不同的電位的結構也是有效的。該結構尤其在僅使用 n 通道型電晶體構成電路時是有效的。也就是說，由於藉由對背閘極施加電壓而可以控制電晶體的臨界電壓，所以可以利用由臨界電壓不同的電晶體構成的 ED-MOS 構成反相器電路等的邏輯電路。藉由將這樣的邏輯電路用於驅動像素的驅動電路，可以減小驅動電路所占的面積，因此可以實現顯示裝置的窄邊框化。另外，藉由將背閘極的電壓設定爲電晶體成爲關閉狀態的電壓，可以進一步減小電晶體成爲關閉狀態時的關態電流。由此，即使顯示裝置的更新頻率增高，也可以持續保持所寫入的電壓。因此，可以期待寫入次數減少所帶來的顯示裝置的低功耗化。

[0429]

注意，圖 44A 至圖 44C 所示的俯視圖及剖面圖只是一個例子，也可以採用其他結構。例如，圖 45A 至圖 45C 示出與圖 44A 至圖 44C 不同的俯視圖及剖面圖。

[0430]

圖 45A 至圖 45C 所示的電晶體 70D 與圖 44A 至圖 44C 所示的電晶體 70C 的不同之處在於：以單層形成將成爲閘極的導電層 77，並且開口 95、96 的位置更近於通道形成區域 82 一側。由此，可以更容易地從電晶體 70D 的通道形成區域的頂面、底面及側面對通道形成區域施加電場。另外，該結構

也與圖 44A 至圖 44C 同樣爲 S-channel 結構，因此可以發揮該結構的效果。

[0431]

此外，作爲其他結構，圖 46A 至圖 46C 示出與圖 44A 至圖 44C 及圖 45A 至圖 45C 不同的俯視圖及剖面圖。

[0432]

圖 46A 至圖 46C 所示的結構與圖 44A 至圖 44C 及圖 45A 至圖 45C 所示的結構的不同之處在於：由導電層 73a 及導電層 73b 構成將成爲電晶體 70E 的背閘極的導電層 73，並且由導電層 73a 包圍導電層 73b。該結構也與圖 44A 至圖 44C 同樣爲 S-channel 結構，因此可以發揮該結構的效果。

[0433]

並且，在圖 46A 至圖 46C 的結構中，即使在將具有可動性元素的金屬（例如銅（Cu））用於導電層 73b 的情況下，也可以防止可動性元素進入半導體膜而使半導體膜劣化。

[0434]

另外，作爲位於佈線的被形成面的用作障壁膜的導電層 73a 的材料，可以使用高融點材料的鎢（W）、鉬（Mo）、鉻（Cr）、鈦（Ti）、鉭（Ta）中的任一個、這些材料的合金（例如，W-Mo、Mo-Cr、Ta-Mo）、這些材料的氮化物（例如，氮化鎢、氮化鈦、氮化鉭、包含鈦和矽的氮化物）等。作爲形成方法，可以使用濺射法、CVD 法等。另外，作爲導電層 73b 的材料，較佳爲使用銅（Cu），但是只要是低電阻材料就沒有特別的限制。例如，可以使用銀（Ag）、鋁（Al）、金（Au）、以及其合金等。作爲形成導電層 73b 的方法較佳爲使用濺射法，但是若選擇不會給光阻遮罩帶來損傷的條件，則也可以使用 CVD 法。

[0435]

在圖 47A 及圖 47B 中，示出 n 通道型電晶體 70 及 p 通道型電晶體 71。

[0436]

在此，示出在同一基板上形成 n 通道型電晶體 70 及 p 通道型電晶體 71 的一個例子。藉由組合 n 通道型電晶體 70 和 p 通道型電晶體 71，可以製造 CMOS 電路等。

[0437]

電晶體 70 在具有絕緣表面的基板 72 上包括：用作閘極的導電層 73；導電層 73 上的絕緣層 74；隔著絕緣層 74 與導電層 73 重疊的半導體層 75；半導體層 75 上的絕緣層 76；隔著絕緣層 76 與半導體層 75 重疊且用作閘極

的導電層 77a 及導電層 77b；導電層 77a 及導電層 77b 上的絕緣層 78；絕緣層 78 上的絕緣層 79；以及在設置在絕緣層 76、絕緣層 78 及絕緣層 79 中的開口中與半導體層 75 電連接且用作源極或汲極的導電層 80 及導電層 81。

[0438]

導電層 77b 的通道長度方向上的寬度短於導電層 77a，導電層 77a 及導電層 77b 從絕緣層 76 一側依次層疊。另外，半導體層 75 包括：與導電層 77b 重疊的通道形成區域 82；在其間夾有通道形成區域 82 的一對 LDD 區域 83；以及在其間夾有通道形成區域 82 及 LDD 區域 83 的一對雜質區域 84。一對雜質區域 84 被用作源極區域或汲極區域。

[0439]

另外，電晶體 71 在具有絕緣表面的基板 72 上包括：用作閘極的導電層 85；導電層 85 上的絕緣層 74；隔著絕緣層 74 與導電層 85 重疊的半導體層 86；半導體層 86 上的絕緣層 76；隔著絕緣層 76 與半導體層 86 重疊且用作閘極的導電層 87a 及導電層 87b；導電層 87a 及導電層 87b 上的絕緣層 78；絕緣層 78 上的絕緣層 79；以及在設置在絕緣層 76、絕緣層 78 及絕緣層 79 中的開口中與半導體層 86 電連接且用作源極或汲極的導電層 88 及導電層 89。

[0440]

導電層 87b 的通道長度方向上的寬度短於導電層 87a，導電層 87a 及導電層 87b 從絕緣層 76 一側依次層疊。另外，半導體層 86 包括：與導電層 87b 重疊的通道形成區域 90；以及在其間夾有通道形成區域 90 的一對雜質區域 91。一對雜質區域 91 被用作源極區域或汲極區域。

[0441]

在圖 47A 中，雖然示出包括用作閘極的導電層 77a、77b 以及用作背閘極電極的導電層 73 的結構，但是也可以採用其他結構。例如，如圖 47B 所示，可以省略用作背閘極電極的導電層 73。另外，在圖 47A 中，雖然示出包括用作閘極的導電層 87a、87b 以及用作背閘極電極的導電層 85 的結構，但是也可以採用其他結構。例如，如圖 47B 所示，可以省略用作背閘極電極的導電層 85。

[0442]

圖 47A 所示的 n 通道型電晶體 70 與實施方式 1 同樣爲 S-channel 結構，並且對應於圖 44B 的電晶體 70C。另外，圖 47A 所示的 n 通道型電晶體 70 的俯視圖對應於圖 44B 的電晶體 70C 的俯視圖。另外，圖 47A 所示的 n 通

道型電晶體 70 的通道寬度方向的剖面圖對應於圖 44C 的電晶體 70C 的剖面圖。

[0443]

圖 48A 至圖 48C 及圖 49A 至圖 49C 示出與上述結構的一部分不同的電晶體的俯視圖及剖面圖。

[0444]

圖 48A 至圖 48C 所示的電晶體 70F 具有所謂的交錯型結構。

[0445]

電晶體 70F 包括：基板 72 上的絕緣層 74；絕緣層 74 上的半導體層 75；絕緣層 74 及半導體層 75 上的絕緣層 76；絕緣層 76 上的導電層 77；絕緣層 76 及導電層 77 上的絕緣層 78；絕緣層 78 上的絕緣層 79；以及絕緣層 79 上的導電層 80 及導電層 81。半導體層 75 包括通道形成區域 82 及雜質區域 84。此外，半導體層 75 也可以包括 LDD 區域。

[0446]

另外，導電層 80 穿過設置在絕緣層 76、絕緣層 78 及絕緣層 79 中的開口 93 與半導體層 75 電連接。另外，導電層 81 穿過設置在絕緣層 76、絕緣層 78 及絕緣層 79 的開口 94 與半導體層 75 電連接。

[0447]

此外，絕緣層 74 能夠被用作基底絕緣層。另外，絕緣層 76 的一部分能夠被用作閘極絕緣層，導電層 77 的一部分能夠被用作閘極電極。另外，絕緣層 78 及絕緣層 79 能夠被用作層間絕緣層。另外，導電層 80 的一部分能夠被用作源極電極，導電層 81 的一部分能夠被用作汲極電極。電晶體 70F 是在半導體層 75 的不與導電層 77 重疊的區域中形成雜質區域 84 的所謂的自對準型結構。另外，電晶體 70F 是 Single Gate（單閘極）結構的電晶體。

[0448]

圖 49A 至圖 49C 所示的電晶體 70G 具有所謂的交錯型結構，其中，在上面說明的電晶體 70F 中設置有背閘極電極。

[0449]

其一部分被用作背閘極電極的導電層 73 位於絕緣層 74 的下側。在電晶體 70G 中，由導電層 73 及導電層 77 夾著通道形成區域 82。在此，導電層 73 與導電層 77 較佳爲在未圖示的區域中電連接。

[0450]

如圖 49B 及圖 49C 所示，絕緣層 74 的不與半導體層 75 重疊的區域比

與半導體層 75 重疊的區域薄。藉由採用這種結構，可以由導電層 77 覆蓋通道形成區域 82 的側面。由此，可以從通道形成區域 82 的側面方向有效地施加閘極電場。

[0451]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0452]

實施方式 4

在本實施方式中，參照圖式說明包括本發明的一個實施方式的觸控面板及 IC 的觸控面板模組的結構例子。

[0453]

圖 50 示出觸控面板模組 6500 的方塊圖。觸控面板模組 6500 包括觸控面板 6510 及 IC6520。

[0454]

觸控面板 6510 包括顯示部 6511、輸入部 6512 及掃描線驅動電路 6513。顯示部 6511 包括多個像素、多個信號線及多個掃描線，並且能夠顯示影像。輸入部 6512 包括感測感測對象對觸控面板 6510 的接觸或接近的多個感測器元件，並且能夠被用作觸控感測器。掃描線驅動電路 6513 能夠對顯示部 6511 中的掃描線輸出掃描信號。

[0455]

在此，雖然爲了便於說明，作爲觸控面板 6510 的結構分開示出顯示部 6511 和輸入部 6512，但是較佳爲採用兼具顯示影像的功能和觸控感測器的功能的所謂的 In-Cell 型觸控面板。

[0456]

作爲可以用作輸入部 6512 的觸控感測器的方式，例如可以使用靜電電容式。作爲靜電電容式，有表面型靜電電容式、投影型靜電電容式等。作爲投影型靜電電容式，有自電容式、互電容式等。較佳爲使用互電容式，由此可以同時進行多點檢測。

[0457]

注意，並不侷限於此，還可以將能夠感測手指或觸控筆等感測物件的接近或接觸的各種方式的感測器用於輸入部 6512。例如，作爲感測器的方式，除了靜電電容式，還可以使用電阻膜式、表面聲波式、紅外線式、光

學式等各種方式。

[0458]

作爲 In-Cell 型觸控面板，典型地有 Semi-In-Cell 型和 Full-In-Cell 型。Semi-In-Cell 型是指在支撐顯示元件的基板和相對基板的兩者或在相對基板上設置有構成觸控感測器的電極等的結構。Full-In-Cell 型是指在支撐顯示元件的基板上設置有構成觸控感測器的電極等的結構。藉由採用 Full-In-Cell 型觸控面板，可以使相對基板的結構簡化，所以是較佳的。尤其是在 Full-In-Cell 型中，藉由將構成顯示元件的電極兼作構成觸控感測器的電極，可以使製程簡化，從而降低製造成本，所以是較佳的。

[0459]

顯示部 6511 較佳爲具有 HD（像素個數 1280×720）、FHD（像素個數 1920×1080）、WQHD（像素個數 2560×1440）、WQXGA（像素個數 2560×1600）、4K（像素個數 3840×2160）、8K（像素個數 7680×4320）等極高的解析度。尤其較佳爲具有 4K、8K 或更高的解析度。另外，設置在顯示部 6511 中的像素的密度（清晰度）較佳爲 300ppi 以上，更佳爲 500ppi 以上，更佳爲 800ppi 以上，進一步較佳爲 1000ppi 以上，更進一步較佳爲 1200ppi 以上。這樣的具有高解析度及高清晰度的顯示部 6511 可以進一步提高可攜式或家用等的個人用途中的真實感或縱深感等。

[0460]

IC6520 包括電路單元 6501、信號線驅動電路 6502、感測器驅動電路 6503 及感測電路 6504。電路單元 6501 包括時序控制器 6505 及影像處理電路 6506 等。

[0461]

信號線驅動電路 6502 能夠對顯示部 6511 中的信號線輸出作爲類比信號的影像信號（也稱爲視訊信號）。例如，信號線驅動電路 6502 可以具有組合移位暫存器電路和緩衝器電路的結構。另外，觸控面板 6510 可以包括與信號線連接的解多工器電路。

[0462]

感測器驅動電路 6503 能夠輸出驅動輸入部 6512 中的感測器元件的信號。感測器驅動電路 6503 例如可以具有組合移位暫存器電路和緩衝器電路的結構。

[0463]

感測電路 6504 能夠對電路單元 6501 輸出來自輸入部 6512 中的感測器

元件的輸出信號。例如，感測電路 6504 可以包括放大電路及類比資料轉換電路（ADC：Analog-Digital Convertor）。此時，感測電路 6504 將從輸入部 6512 輸出的類比信號轉換爲數位信號且輸出到電路單元 6501。

[0464]

電路單元 6501 中的影像處理電路 6506 具有如下功能：生成並輸出驅動觸控面板 6510 的顯示部 6511 的信號；生成並輸出驅動輸入部 6512 的信號；以及分析從輸入部 6512 輸出的信號且將其輸出到 CPU6540。

[0465]

明確而言，影像處理電路 6506 例如能夠按照 CPU6540 的指令生成影像信號。另外，影像處理電路 6506 能夠按照顯示部 6511 的規格對影像信號進行信號處理來將其轉換爲類比影像信號，並供應到信號線驅動電路 6502。另外，影像處理電路 6506 能夠按照 CPU6540 的指令生成對感測器驅動電路 6503 輸出的驅動信號。影像處理電路 6506 還能夠分析從感測電路 6504 輸入的信號，並將其作爲位置資訊輸出到 CPU6540。

[0466]

時序控制器 6505 能夠根據被影像處理電路 6506 處理的影像信號等中的同步信號生成對掃描線驅動電路 6513 及感測器驅動電路 6503 輸出的信號（時脈信號、起動脈衝信號等信號），並將其輸出。時序控制器 6505 也可以具有生成規定感測電路 6504 輸出信號的時序的信號且將其輸出的功能。在此，時序控制器 6505 較佳爲輸出分別與對掃描線驅動電路 6513 輸出的信號以及對感測器驅動電路 6503 輸出的信號同步的信號。尤其是，較佳爲將改寫顯示部 6511 的像素的資料的期間和在輸入部 6512 中感測的期間分開。例如，可以以將一個圖框期間分爲改寫像素的資料的期間和感測期間的方式驅動觸控面板 6510。另外，例如藉由在一個圖框期間中設置兩個以上的感測期間，可以提高檢測靈敏度及感測準確度。

[0467]

影像處理電路 6506 例如可以包括處理器。例如，可以使用 DSP（Digital Signal Processor：數位信號處理器）、GPU（Graphics Processing Unit：圖形處理器）等微處理器。微處理器也可以由 FPGA（Field Programmable Gate Array：現場可程式邏輯閘陣列）或 FPAA（Field Programmable Analog Array：現場可程式類比陣列）等 PLD（Programmable Logic Device：可程式邏輯裝置）來構成。藉由由處理器解釋且執行來自各種程式的指令，進行各種資料處理或程式控制。有可能由處理器執行的程式可以被存儲在處理器中的記憶體

區域，也可以被存儲在另外設置的記憶體裝置中。

[0468]

此外，也可以將在其通道形成區域中使用氧化物半導體而實現了極小的關態電流的電晶體用於觸控面板 6510 中的顯示部 6511、掃描線驅動電路 6513、IC6520 中的電路單元 6501、信號線驅動電路 6502、感測器驅動電路 6503、感測電路 6504 或者設置在外部的 CPU6540 等。由於該電晶體的關態電流極小，所以藉由將該電晶體用於保持流入用作記憶元件的電容元件的電荷（資料）的開關，可以確保資料的長期保持。例如，藉由將該特性應用於影像處理電路 6506 的暫存器或快取記憶體，可以僅在必要時使影像處理電路 6506 工作，而在其他情況下使之前的處理資訊儲存在該記憶元件，從而實現常閉運算（normally off computing），由此可以實現觸控面板模組 6500 及安裝有該觸控面板模組 6500 的電子裝置的低功耗化。

[0469]

注意，雖然在此示出電路單元 6501 包括時序控制器 6505 及影像處理電路 6506 的結構，但是也可以將影像處理電路 6506 或具有影像處理電路 6506 的一部分功能的電路設置在 IC6520 的外部。或者，也可以由 CPU6540 承擔影像處理電路 6506 的全部或一部分功能。例如，也可以採用電路單元 6501 包括信號線驅動電路 6502、感測器驅動電路 6503、感測電路 6504 及時序控制器 6505 的結構。

[0470]

注意，雖然在此示出 IC6520 包括電路單元 6501 的例子，但是電路單元 6501 也可以不包括在 IC6520 內。此時，可以採用 IC6520 包括信號線驅動電路 6502、感測器驅動電路 6503 及感測電路 6504 的結構。例如，當在觸控面板模組 6500 中安裝多個 IC 時，可以另外設置電路單元 6501 而配置不包括電路單元 6501 的多個 IC6520，也可以組合僅包括 IC6520 及信號線驅動電路 6502 的 IC 來配置。

[0471]

如此，藉由將驅動觸控面板 6510 的顯示部 6511 的功能及驅動輸入部 6512 的功能組合於一個 IC 中，可以減少安裝在觸控面板模組 6500 中的 IC 的個數，由此可以降低成本。

[0472]

圖 51A、圖 51B 及圖 51C 是安裝有 IC6520 的觸控面板模組 6500 的示意圖。

[0473]

在圖 51A 中，觸控面板模組 6500 包括基板 6531、相對基板 6532、多個 FPC6533、IC6520 及 IC6530 等。在基板 6531 與相對基板 6532 之間包括顯示部 6511、輸入部 6512 及掃描線驅動電路 6513。IC6520 及 IC6530 以 COG 方式等安裝方法安裝在基板 6531 上。

[0474]

IC6530 是在上述 IC6520 中僅包括信號線驅動電路 6502 或者包括信號線驅動電路 6502 及電路單元 6501 的 IC。藉由 FPC6533 從外部對 IC6520 或 IC6530 供應信號。還可以藉由 FPC6533 從 IC6520 或 IC6530 向外部輸出信號。

[0475]

圖 51A 例示出以夾著顯示部 6511 的方式設置兩個掃描線驅動電路 6513 的結構。並且示出除了 IC6520 還包括 IC6530 的結構。這樣的結構可以適用於顯示部 6511 的解析度極高的情況。

[0476]

圖 51B 示出安裝有一個 IC6520 及一個 FPC6533 的例子。如此，藉由將功能集中於一個 IC6520，可以減少構件的個數，所以是較佳的。另外，在圖 51B 中，示出沿著顯示部 6511 的兩個短邊中的近於 FPC6533 一側的邊配置掃描線驅動電路 6513 的例子。

[0477]

圖 51C 例示出包括安裝有影像處理電路 6506 等的 PCB（Printed Circuit Board：印刷電路板）6534 的結構。基板 6531 上的 IC6520、IC6530 與 PCB6534 由 FPC6533 電連接。在此，IC6520 也可以不包括上述影像處理電路 6506。

[0478]

此外，在圖 51A、圖 51B 及圖 51C 的各圖中，IC6520 或 IC6530 也可以不安裝在基板 6531 上而安裝在 FPC6533 上。例如，IC6520 或 IC6530 以 COF（Chip On Film：薄膜覆晶封裝）方式或 TAB（Tape Automated Bonding：捲帶自動接合）方式等安裝方法安裝在 FPC6533 上即可。

[0479]

如圖 51A 及圖 51B 所示，在顯示部 6511 的短邊一側配置 FPC6533 或 IC6520（及 IC6530）等的結構能夠實現窄邊框化，因此例如可以適用於智慧手機、行動電話或平板終端等電子裝置。另外，如圖 51C 所示的使用 PCB6534 的結構例如可以適用於電視機、顯示器裝置、平板終端或膝上型個人電腦等。

[0480]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0481]

實施方式 5

在本實施方式中，參照圖 52 至圖 54B 對包括本發明的一個實施方式的顯示裝置或顯示系統的顯示模組及電子裝置進行說明。

[0482]

圖 52 所示的顯示模組 8000 在上蓋 8001 與下蓋 8002 之間包括連接於 FPC8003 的觸控面板 8004、框架 8009、印刷基板 8010、電池 8011。

[0483]

例如可以將本發明的一個實施方式的顯示面板、觸控面板或觸控面板模組用於觸控面板 8004。

[0484]

上蓋 8001 及下蓋 8002 的形狀或尺寸可以根據觸控面板 8004 的尺寸適當地改變。

[0485]

觸控面板 8004 可以是電阻膜式觸控面板或電容式觸控面板，並且可以被形成爲與顯示面板重疊。此外，也可以使觸控面板 8004 的相對基板（密封基板）具有觸控面板的功能。另外，也可以在觸控面板 8004 的各像素內設置光感測器，而形成光學觸控面板。

[0486]

另外，在採用透射型或半透射型液晶元件的情況下，也可以如圖 52 所示設置背光源 8007。背光源 8007 包括光源 8008。注意，雖然在圖 52 中例示出在背光源 8007 上配置光源 8008 的結構，但是不侷限於此。例如，可以在背光源 8007 的端部設置光源 8008，並使用光擴散板。當使用有機 EL 元件等自發光型發光元件時，或者當使用反射型面板等時，可以採用不設置背光源 8007 的結構。

[0487]

框架 8009 除了具有保護觸控面板 8004 的功能以外還具有用來遮斷因印刷基板 8010 的工作而產生的電磁波的電磁屏蔽的功能。此外，框架 8009 也可以具有散熱板的功能。

[0488]

印刷基板 8010 具有電源電路以及用來輸出視訊信號及時脈信號的信號處理電路。作爲對電源電路供應電力的電源，可以採用外部的商業電源，也可以採用另行設置的電池 8011 的電源。當使用商業電源時，可以省略電池 8011。

[0489]

此外，在觸控面板 8004 中還可以設置偏光板、相位差板、稜鏡片等構件。

[0490]

圖 53A 至圖 53H 及圖 54A 及圖 54B 是示出電子裝置的圖。這些電子裝置可以包括外殼 5000、顯示部 5001、揚聲器 5003、LED 燈 5004、操作鍵 5005（包括電源開關或操作開關）、連接端子 5006、感測器 5007（它具有測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速數、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）、麥克風 5008 等。

[0491]

圖 53A 示出移動電腦，該移動電腦除了上述以外還可以包括開關 5009、紅外線埠 5010 等。

[0492]

圖 53B 示出具備儲存媒體的可攜式影像再現裝置（例如 DVD 再現裝置），該可攜式影像再現裝置除了上述以外還可以包括第二顯示部 5002、記錄介質讀取部 5011 等。

[0493]

圖 53C 示出電視機，除了上述以外還可以包括支架 5012 等。可以藉由利用外殼 5000 所具備的操作開關或另行提供的遙控器 5013 進行電視機的操作。藉由利用遙控器 5013 所具備的操作鍵，可以進行頻道及音量的操作，並可以對顯示在顯示部 5001 上的影像進行操作。另外，也可以採用在遙控器 5013 中設置顯示從該遙控器 5013 輸出的資料的顯示部的結構。

[0494]

圖 53D 示出可攜式遊戲機，該可攜式遊戲機除了上述以外還可以包括記錄介質讀取部 5011 等。

[0495]

圖 53E 示出具有電視接收功能的數位相機，該數位相機除了上述以外還可以包括天線 5014、快門按鈕 5015、影像接收部 5016 等。

[0496]

圖 53F 示出可攜式遊戲機，該可攜式遊戲機除了上述以外還可以包括第二顯示部 5002、記錄介質讀取部 5011 等。

[0497]

圖 53G 示出可攜式電視接收機，該可攜式電視接收機除了上述以外還可以包括能夠收發信號的充電器 5017 等。

[0498]

圖 53H 是手錶型資訊終端，該手錶型資訊除了上述以外還可以包括腕帶 5018、錶帶扣 5019 等。安裝在兼作框架（bezel）部分的外殼 5000 中的顯示部 5001 具有非矩形狀的顯示區域。顯示部 5001 可以顯示表示時間的圖示 5020 以及其他圖示 5021 等。

[0499]

圖 54A 是數位看板（Digital Signage）。圖 54B 是設置於圓柱狀的柱子上的數位看板。

[0500]

圖 53A 至圖 53H、圖 54A 及圖 54B 所示的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊（靜態影像、動態影像、文字影像等）顯示在顯示部上的功能；觸控屏的功能；顯示日曆、日期或時間等的功能；藉由利用各種軟體（程式）控制處理的功能；進行無線通訊的功能；藉由利用無線通訊功能來連接到各種電腦網路的功能；藉由利用無線通訊功能，進行各種資料的發送或接收的功能；讀出儲存在存儲介質中的程式或資料並將其顯示在顯示部上的功能；等。此外，包括多個顯示部的電子裝置可以具有在一個顯示部主要顯示影像資訊而在另一個顯示部主要顯示文本資訊的功能，或者具有藉由將考慮了視差的影像顯示於多個顯示部上來顯示三維影像的功能等。並且，在具有影像接收部的電子裝置中，可以具有如下功能：拍攝靜止影像；拍攝活動影像；對所拍攝的影像進行自動或手工校正；將所拍攝的影像存儲在記錄介質（外部或內置於影像拍攝裝置中）中；將所拍攝的影像顯示在顯示部上；等等。注意，圖 53A 至圖 53H、圖 54A 及圖 54B 所示的電子裝置可具有的功能不侷限於上述功能，而可以具有各種功能。

[0501]

本實施方式所述的電子裝置的特徵在於具有用於顯示某種資訊的顯示部。可以將本發明的一個實施方式的顯示面板、觸控面板或觸控面板模組等適用於該顯示部。

[0502]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【符號說明】

[0503]

10　觸控面板模組
11　電容元件
21　基板
22　觸控感測器
22a　開口
23a　開口
24a　開口
23　導電層
24　導電層
25　導電層
26　導電層
29　佈線
30　顯示面板
31　基板
32　顯示部
33　像素
33B　子像素
33G　子像素
33R　子像素
33Y　子像素
34　電路
35　佈線
41　FPC

42 FPC
60 顯示元件
70 電晶體
70A 電晶體
70B 電晶體
70C 電晶體
70D 電晶體
70E 電晶體
70F 電晶體
70G 電晶體
71 電晶體
72 基板
73 導電層
73a 導電層
73b 導電層
74 絕緣層
75 半導體層
76 絕緣層
77 導電層
77a 導電層
77b 導電層
78 絕緣層
79 絕緣層
80 導電層
81 導電層
82 通道形成區域
83 LDD 區域
84 雜質區域
85 導電層
86 半導體層
87a 導電層
87b 導電層
88 導電層

89　導電層
90　通道形成區域
91　雜質區域
93　開口
94　開口
95　開口
96　開口
101　連接部
111　導電層
112　液晶
113　導電層
114　導電層
121　絕緣層
122　絕緣層
123　保護層
124　間隔物
125　導電層
126　絕緣層
130a　偏光板
130b　偏光板
131B　彩色層
131G　彩色層
131R　彩色層
132　遮光層
141　黏合層
151　導電層
152　液晶
153　導電層
201　電晶體
202　電晶體
203　電容元件
204　連接部
211　絕緣層

212 絕緣層
213 絕緣層
214 絕緣層
215 絕緣層
221 導電層
222 導電層
223 導電層
224 導電層
231 半導體層
232 低電阻區域
241 連接層
242 連接層
243 連接器
300 緩衝層
301 電晶體
302 電晶體
401 電晶體
402 電晶體
601 脈衝電壓輸出電路
602 電流感測電路
603 電容器
621 電極
622 電極
723 電極
725 層
726 絕緣層
727 絕緣層
728 絕緣層
729 絕緣層
741 絕緣層
742 半導體層
742a 半導體層
742b 半導體層

742c 半導體層
743 電極
744a 電極
744b 電極
746 電極
747a 開口
747b 開口
747c 開口
747d 開口
755 雜質
771 基板
772 絕緣層
775 絕緣層
810 電晶體
811 電晶體
820 電晶體
821 電晶體
822 電晶體
825 電晶體
830 電晶體
831 電晶體
840 電晶體
841 電晶體
842 電晶體
843 電晶體
844 電晶體
845 電晶體
846 電晶體
847 電晶體
848 電晶體
850 電晶體
851 電晶體
852 電晶體

882 Ec
883a Ec
883b Ec
883c Ec
886 Ec
887 Ec
890 陷阱能階
3501 佈線
3502 佈線
3503 電晶體
3504 液晶元件
3510 佈線
3510_1 佈線
3510_2 佈線
3511 佈線
3515_1 區塊
3515_2 區塊
3516 區塊
5000 外殼
5001 顯示部
5002 顯示部
5003 揚聲器
5004 LED 燈
5005 操作鍵
5006 連接端子
5007 感測器
5008 麥克風
5009 開關
5010 紅外線埠
5011 記錄介質讀取部
5012 支架
5013 遙控器
5014 天線

5015　快門按鈕
5016　影像接收部
5017　充電器
5018　腕帶
5019　錶帶扣
5020　圖示
5021　圖示
6500　觸控面板模組
6501　電路單元
6502　信號線驅動電路
6503　感測器驅動電路
6504　感測電路
6505　時序控制器
6506　影像處理電路
6510　觸控面板
6511　顯示部
6512　輸入部
6513　掃描線驅動電路
6520　IC
6530　IC
6531　基板
6532　相對基板
6533　FPC
6534　PCB
6540　CPU
8000　顯示模組
8001　上蓋
8002　下蓋
8003　FPC
8004　觸控面板
8006　顯示面板
8007　背光源
8008　光源

8009　框架

8010　印刷基板

8011　電池

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

申請專利範圍

1.一種觸控面板，包括：

一第一基板；

一第一導電層；

一第二導電層；

一第三導電層；

一第四導電層；以及

一液晶層，

其中，該第三導電層位於該第一基板上，

該第四導電層與該第三導電層位於同一面上且相互分開，

該液晶層位於該第三導電層的上側，

該第二導電層位於該液晶層的上側，

該第一導電層位於該第二導電層的上側，

該第一導電層具有包括多個開口的網狀，

該第二導電層使可見光透過且包括與該第三導電層重疊的部分以及與該第四導電層重疊的部分，

該第三導電層及該第四導電層使可見光透過，

該第三導電層包括與該多個開口中的一個重疊的部分，

該第四導電層包括與該多個開口中的另一個重疊的部分，

並且，在平面中，該第一導電層位於該第三導電層與該第四導電層之間。

2.根據申請專利範圍第1項之觸控面板，

其中該第二導電層被用作共用電極，

並且該第三導電層及該第四導電層都被用作像素電極。

3.一種觸控面板，包括：

一第一基板；

一第一導電層；

一第二導電層；

一第三導電層；

一第四導電層；

一第五導電層；以及

一液晶層，

其中，該第五導電層位於該第一基板上，

該第五導電層包括與該第三導電層重疊的部分以及與該第四導電層重疊的部分，

該第四導電層與該第三導電層位於同一面上且相互分開，

該液晶層位於該第三導電層及該第五導電層的上側，

該第二導電層位於該液晶層的上側，

該第一導電層位於該第二導電層的上側，

該第一導電層具有包括多個開口的網狀，

該第二導電層使可見光透過且包括與該第三導電層重疊的部分以及與該第四導電層重疊的部分，

該第三導電層包括與該多個開口中的一個重疊的部分，

該第四導電層包括與該多個開口中的另一個重疊的部分，

該第五導電層使可見光透過或者該第三導電層及該第四導電層使可見光透過，

在平面中，該第一導電層位於該第三導電層與該第四導電層之間，

該第三導電層或該第五導電層具有梳齒狀或包括狹縫，

該多個開口中的該一個開口、該第三導電層、該第五導電層在第一區域中相互重疊，

並且，該多個開口中的該一個開口在第二區域中與該第三導電層和該第五導電層中的一個重疊且與該第三導電層和該第五導電層中的另一個不重疊。

4.根據申請專利範圍第3項之觸控面板，其中該第三導電層及該第四導電層都被用作像素電極，並且該第五導電層被用作共用電極。

5.根據申請專利範圍第3項之觸控面板，其中該第五導電層位於該第三導電層及該第四導電層的下側。

6.根據申請專利範圍第1或3項之觸控面板，其中該第二導電層與被供應恆電位的端子電連接。

7.根據申請專利範圍第1或3項之觸控面板，

其中一第二基板位於該第一導電層的上側，

並且該第一導電層及該第二導電層形成在該第二基板上。

8.根據申請專利範圍第1或3項之觸控面板，

其中一遮光層在該第一導電層的上側，

並且該遮光層與該第一導電層在一個區域中相互重疊。

9.根據申請專利範圍第1或3項之觸控面板，其中一圓偏光板位於該第一

導電層的上側。

10.根據申請專利範圍第1或3項之觸控面板，

其中一第一彩色層及一第二彩色層位於該第三導電層的上側，

該第一彩色層包括與該多個開口中的該一個開口重疊的區域，

並且該第二彩色層包括與該多個開口中的該另一個開口重疊的區域。

11.根據申請專利範圍第10項之觸控面板，

其中該第一導電層包括與該第一彩色層和該第二彩色層中的至少一個重疊的部分。

12.根據申請專利範圍第1或3項之觸控面板，

其中一間隔物位於該第三導電層的上側且該第二導電層的下側，

並且該間隔物包括與該第一導電層重疊的部分。

13.根據申請專利範圍第1或3項之觸控面板，

其中一電晶體位於該液晶層與該第一基板之間，

該電晶體的源極和汲極中的一個與該第三導電層電連接，

並且該電晶體包括包含氧化物半導體的半導體層。

14.根據申請專利範圍第13項之觸控面板，

其中該電晶體包括一第一閘極電極及一第二閘極電極，

該第一閘極電極位於該半導體層的下側，

該第二閘極電極位於該半導體層的上側，

並且該第二閘極電極、該半導體層、該第三導電層在一個區域中相互重疊。

15.根據申請專利範圍第14項之觸控面板，

其中該第二閘極電極和該半導體層包括相同的金屬元素。

16.根據申請專利範圍第1或3項之觸控面板，

其中一電晶體位於該液晶層與該第一基板之間，

該電晶體的源極和汲極中的一個與該第三導電層電連接，

並且該電晶體包括包含非晶矽、多晶矽或單晶矽的半導體層。

17.根據申請專利範圍第16項之觸控面板，

其中該電晶體包括一第一閘極電極及一第二閘極電極，

該第一閘極電極位於該半導體層的下側，

該第二閘極電極位於該半導體層的上側，

並且該第二閘極電極、該半導體層與該第三導電層在一個區域中相互重疊。

圖式

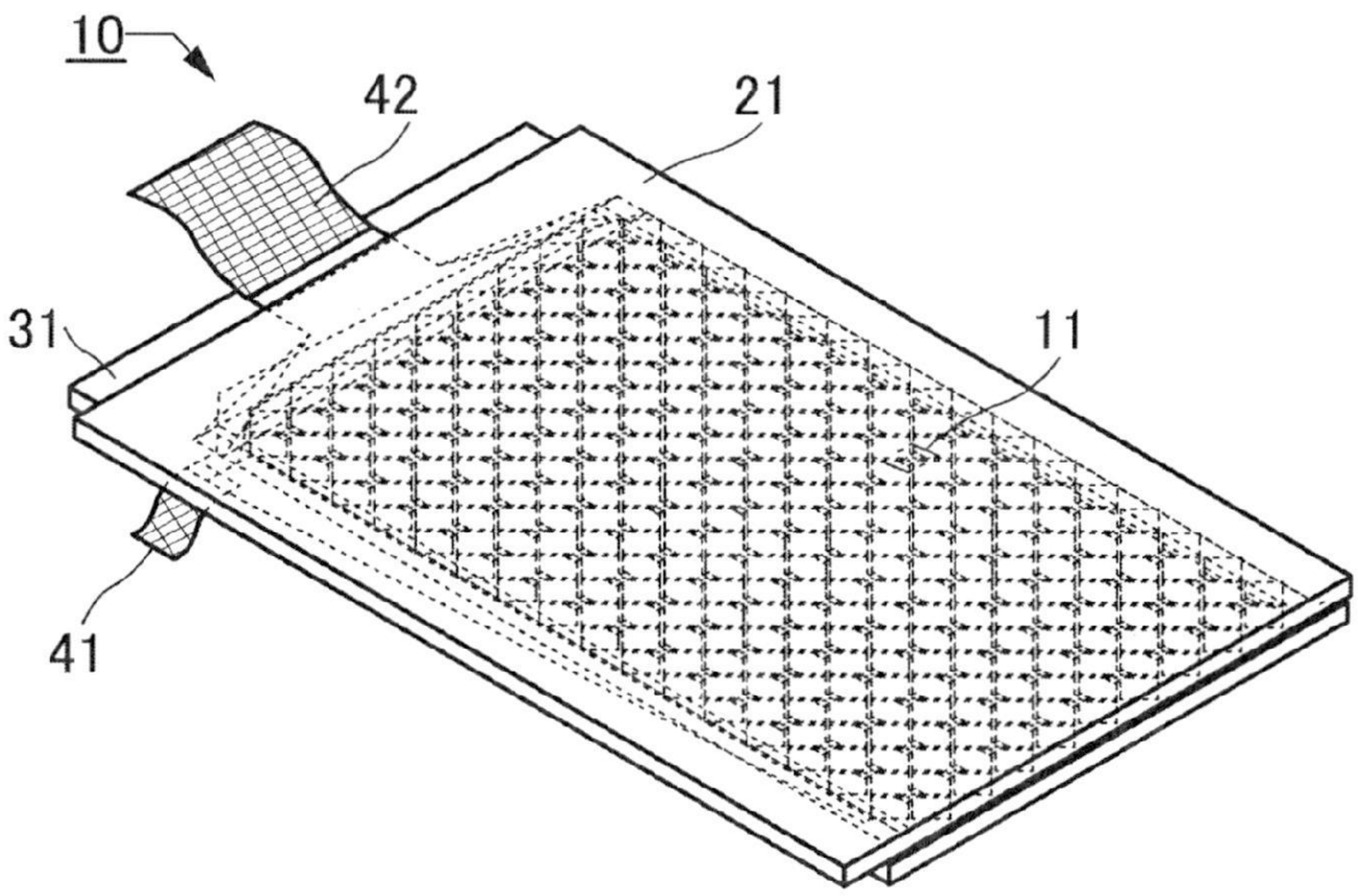


圖 1A

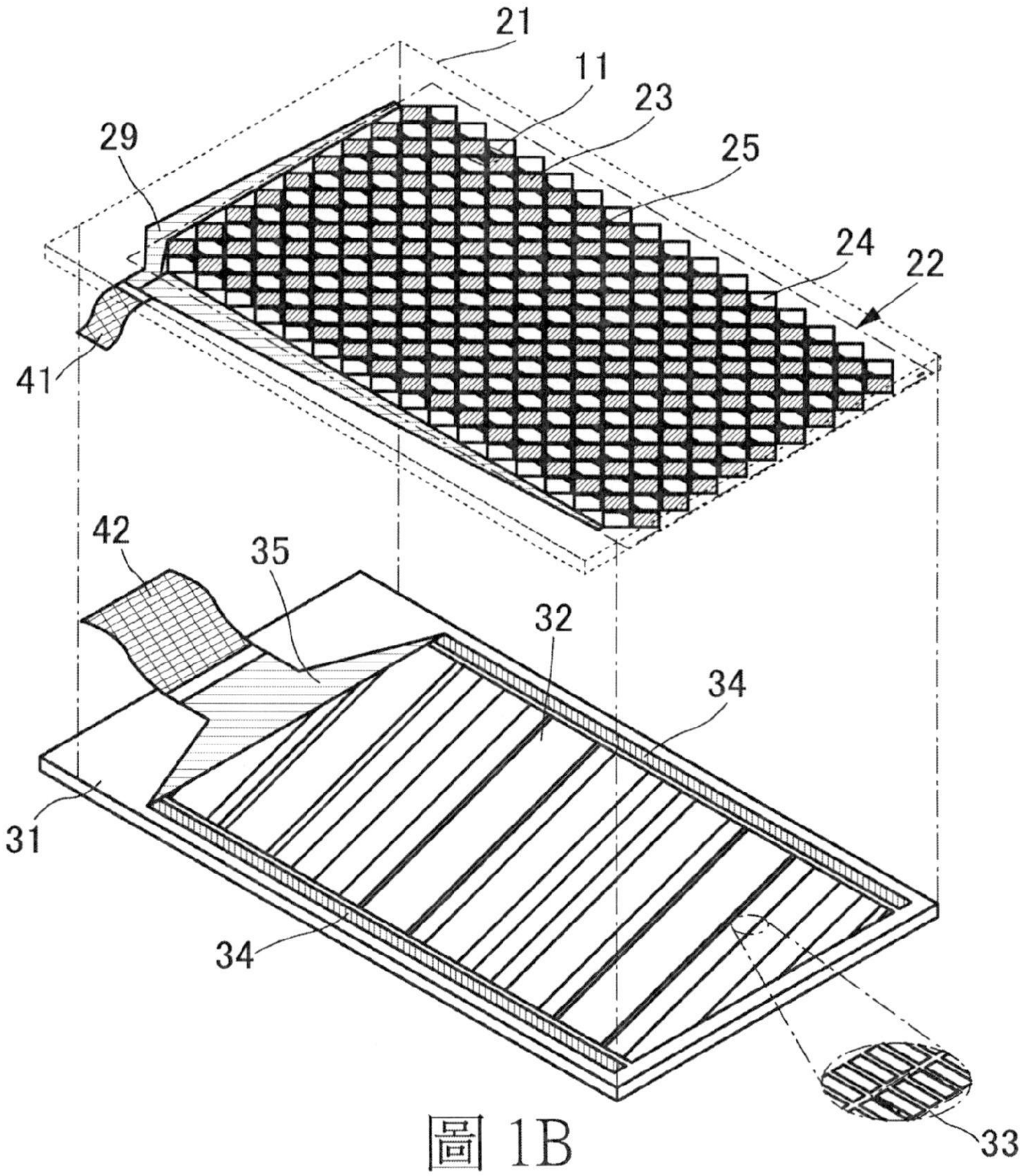


圖 1B

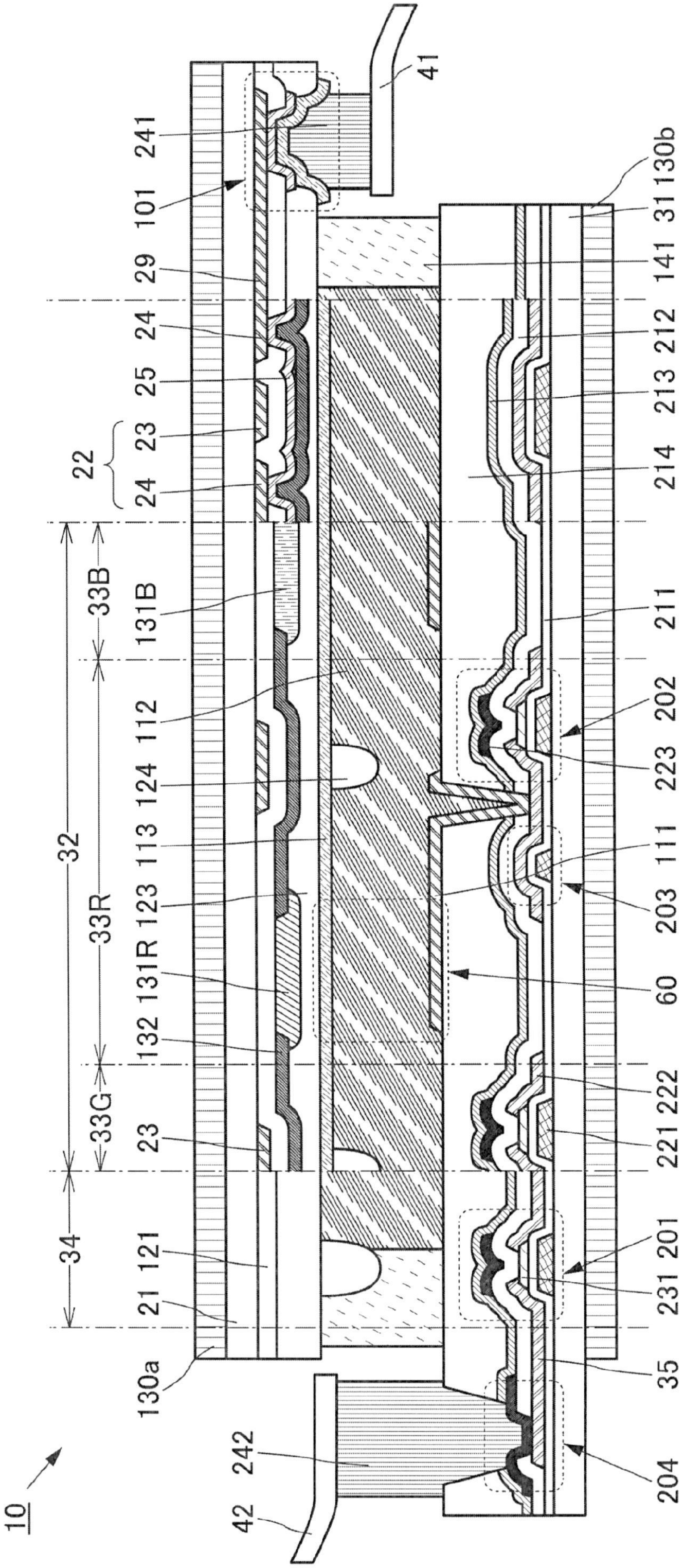

41
241
101
29
24
25
22
23
24
131B
112
124
113
123
131R
132
23
121
21
130a
242
42
10
35
204
60
111
203
222
221
202
223
211
212
213
214
130b
31
141
33B
33R
33G
32
34

圖 2

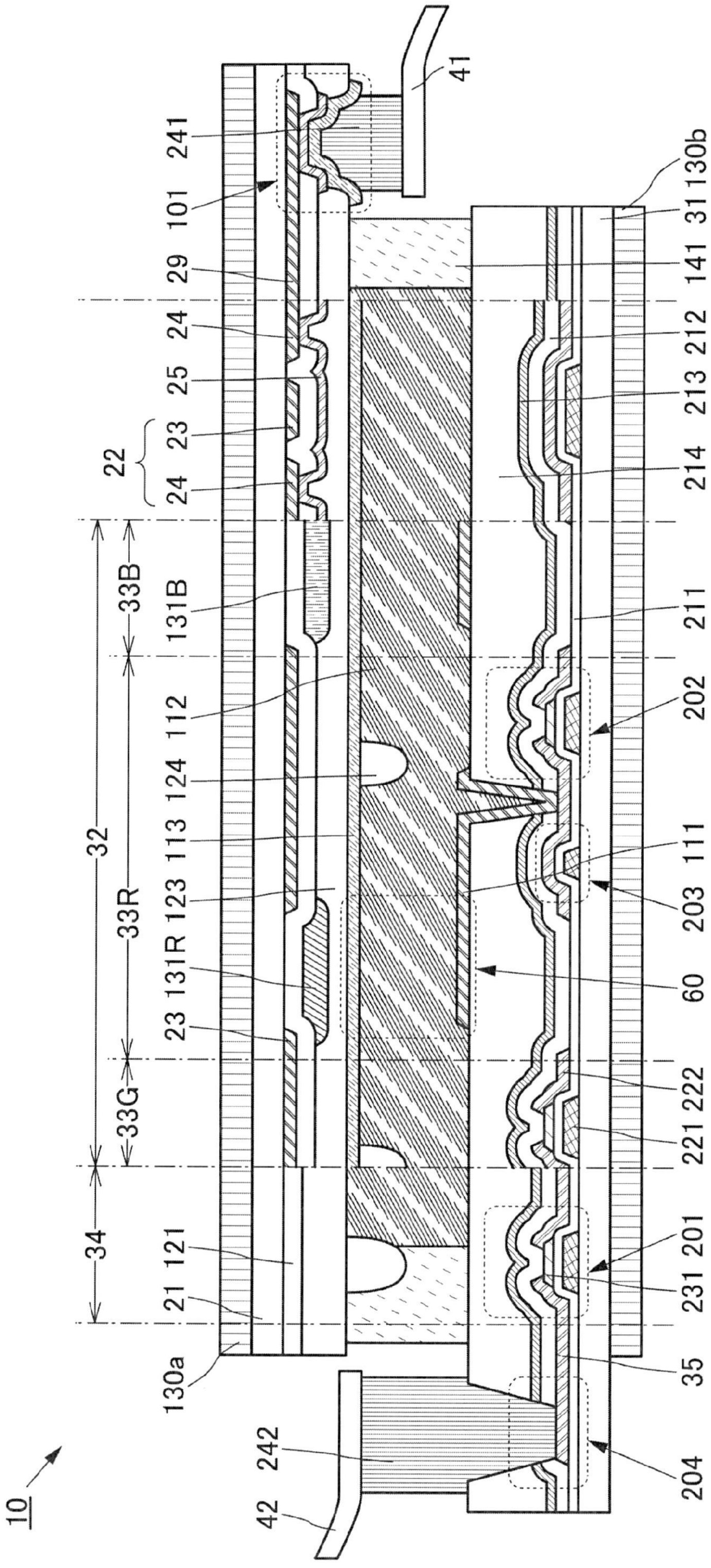

41
241
101
29
24
25
23
22
24
131B
112
124
113
123
131R
23
33B
33R
33G
32
34
21
121
130a
242
42
10
130b
31
141
212
213
214
211
202
111
203
60
222
221
201
231
35
204

圖 3

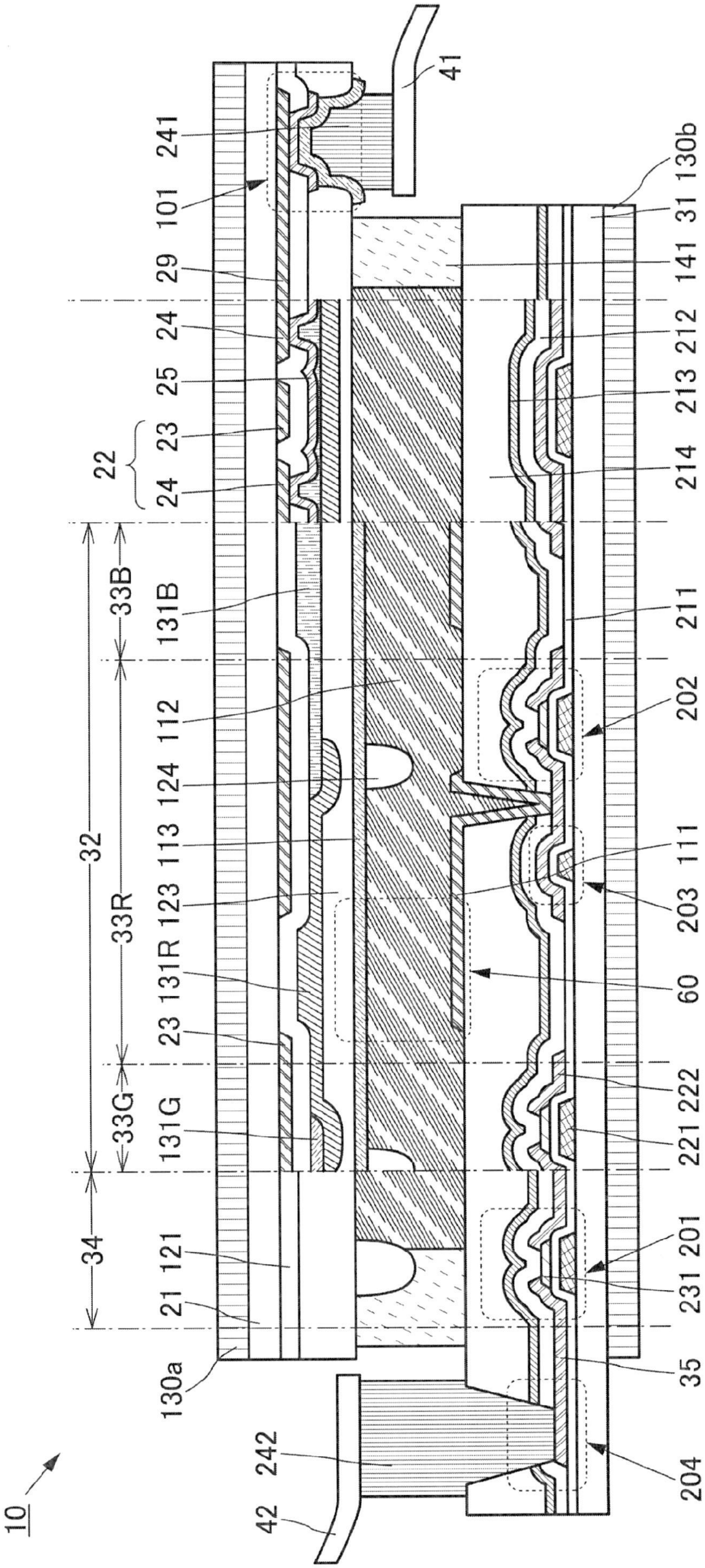

41
241
101
29
24
25
22
23
24
33B
131B
112
24
32
33R
113
124
123
131R
23
33G
131G
34
121
21
130a
242
42
10
130b
31
141
212
213
214
211
202
111
203
60
222
221
201
231
35
204

圖 4

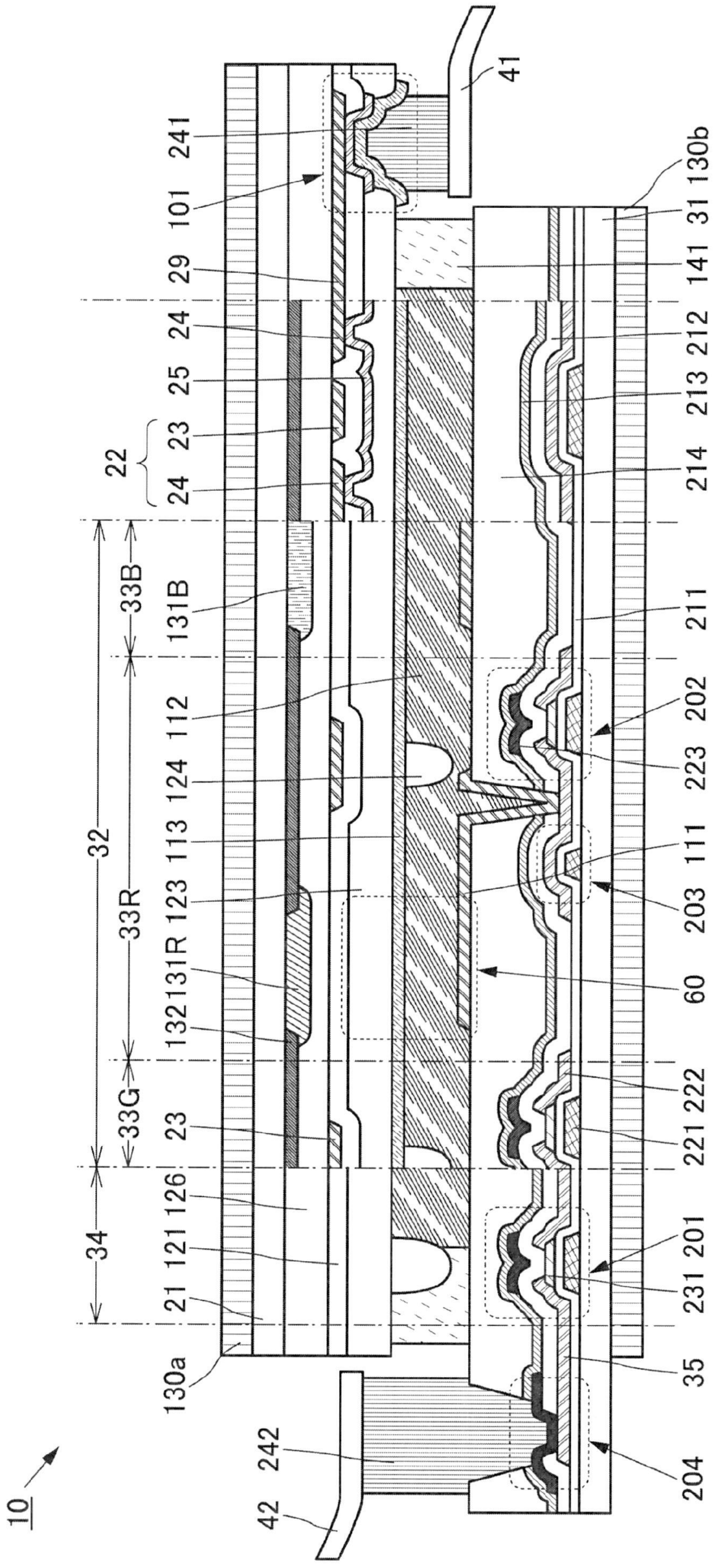

41
241
101
29
24
25
22
23
24
33B
131B
112
24
124
113
123
131R
132
33R
32
33G
23
126
121
21
34
130a
242
42
10
130b
31
141
212
213
214
211
202
223
111
203
60
222
221
201
231
35
204

圖5

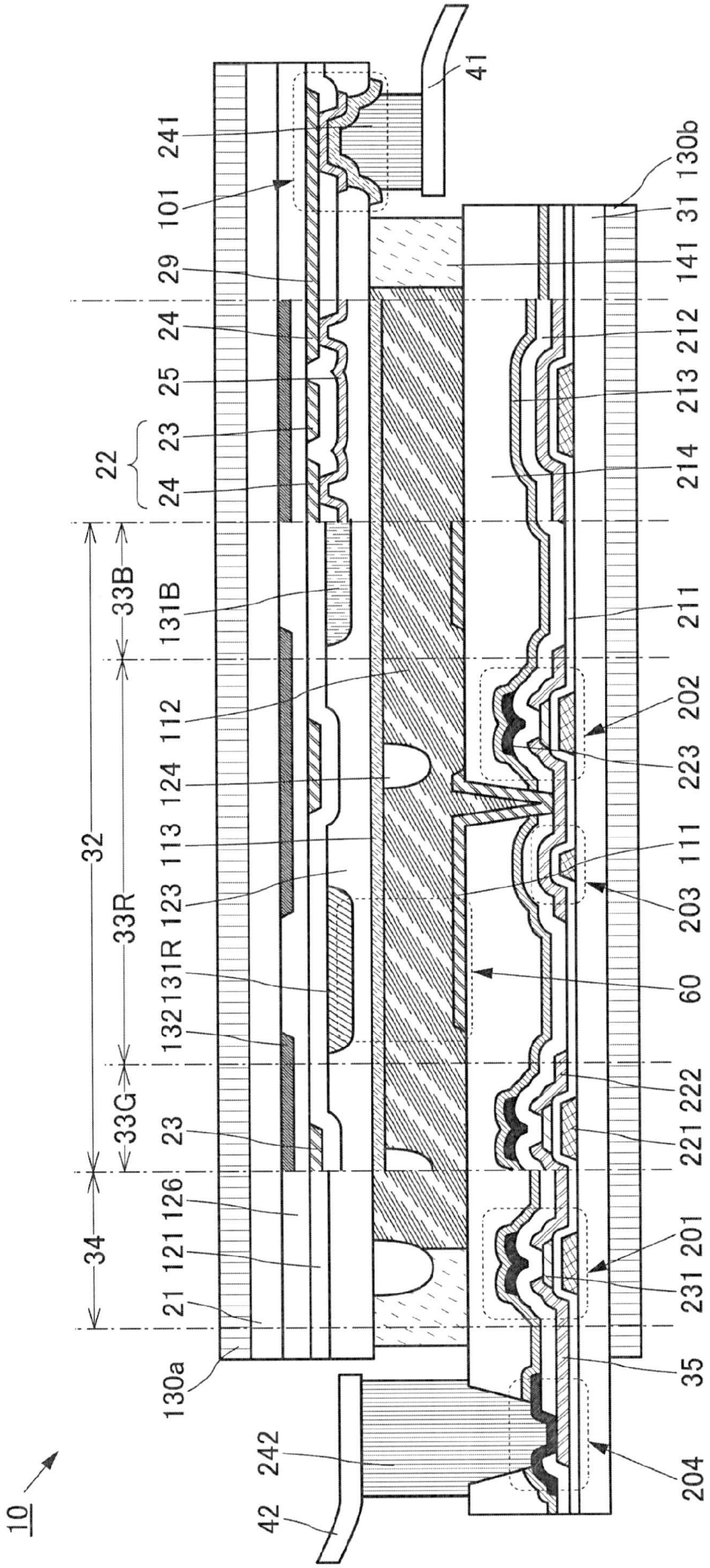

41
241
101
29
24
25
22
23
24
131B
112
124
113
123
131R
132
33B
33R
33G
32
34
23
126
121
21
130a
242
42
10
130b
31
141
212
213
214
211
202
223
111
203
60
222
221
201
231
35
204

圖 6

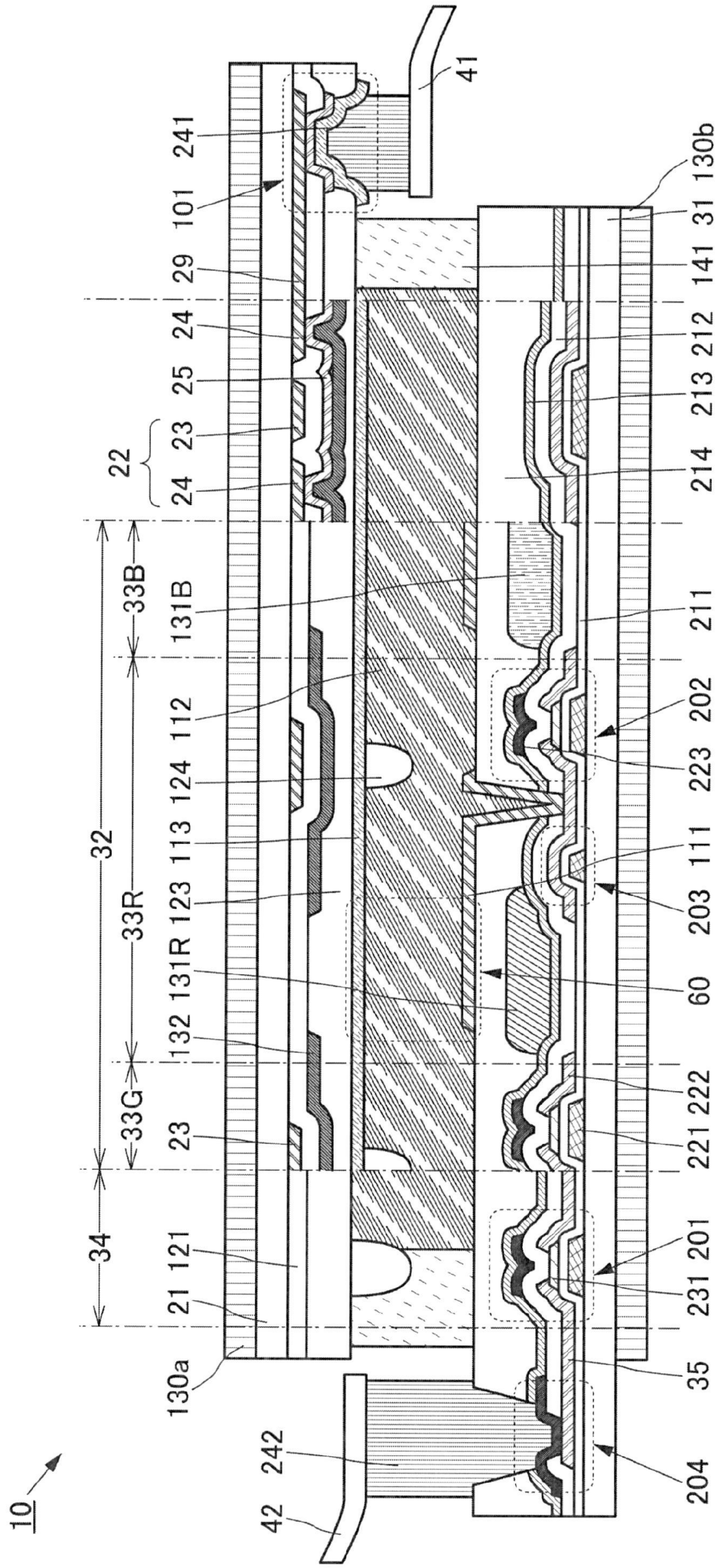

41
241
101
29
24
25
22
23
24
32
33B
131B
112
124
113
123
33R
131R
132
33G
23
34
121
21
130a
242
42
10
130b
31
141
212
213
214
211
202
223
111
203
60
222
221
201
231
35
204

圖7

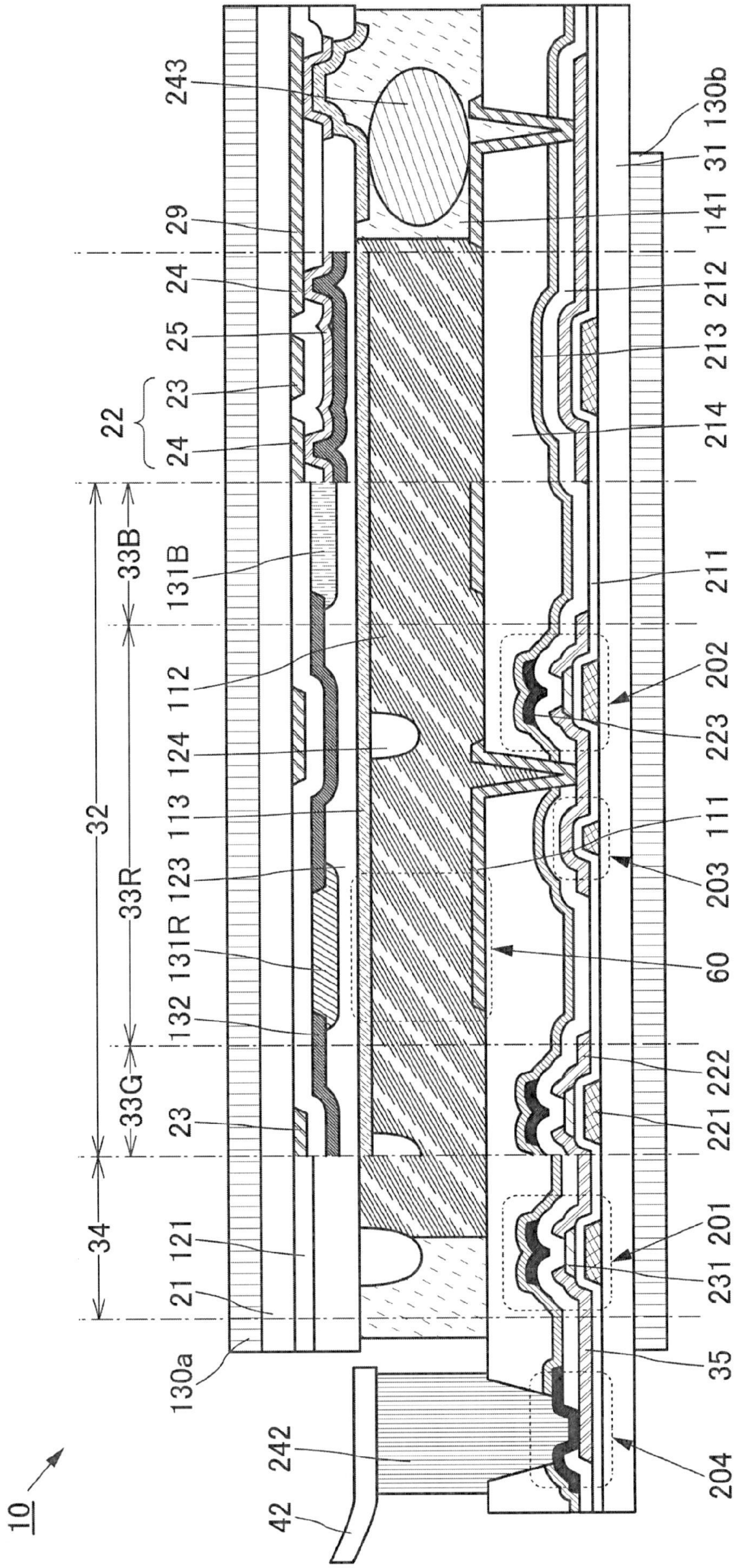

243
29
24
25
22
23
24
112
24
131B
33B
32
113
123
131R
132
33R
23
33G
34
121
21
130a
242
42
10
130b
31
141
212
213
214
211
202
223
111
203
60
222
221
201
231
35
204

圖 8

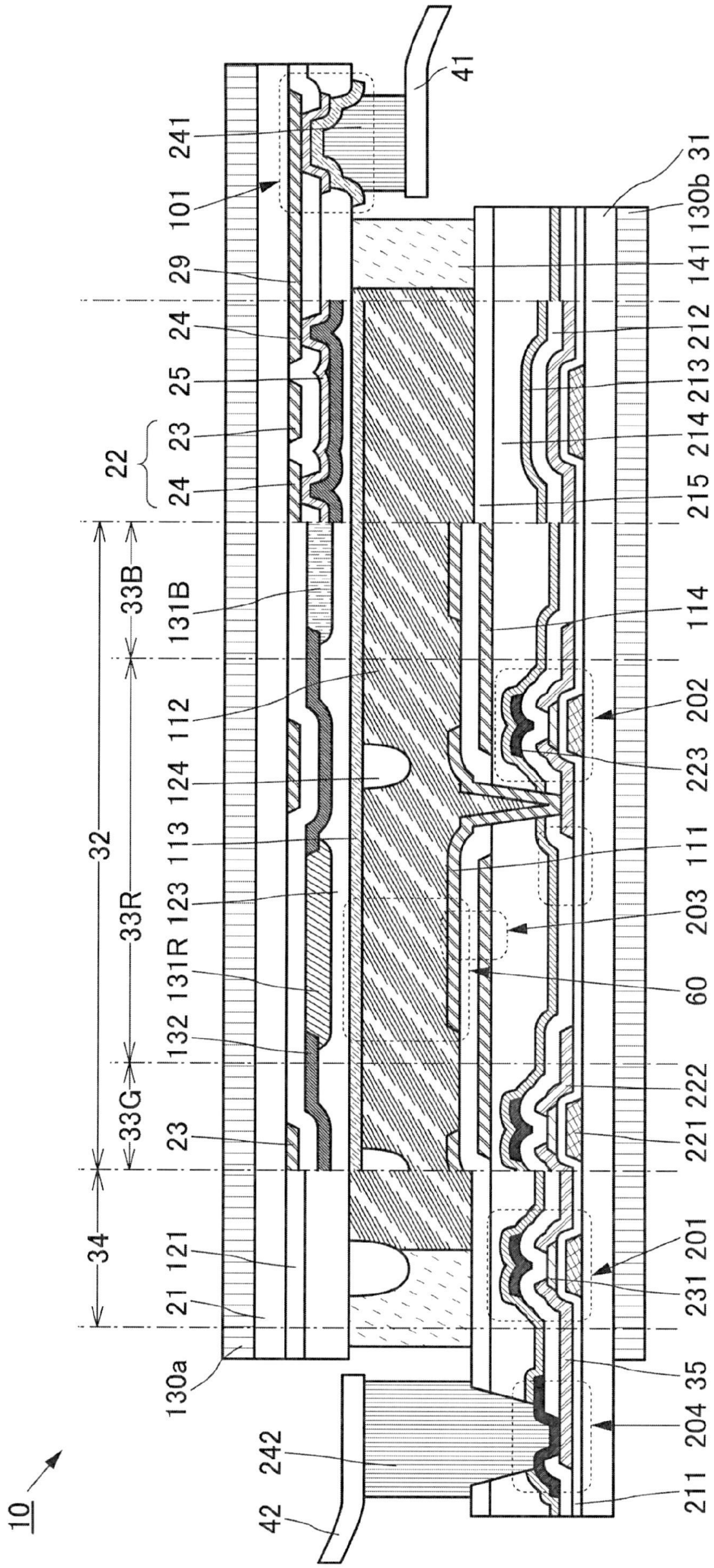

41
241
101
29
24
25
22
23
24
33B
131B
112
24
32
33R
113
124
123
131R
132
33G
23
34
121
21
130a
242
42
10
31
130b
141
212
213
214
215
114
202
223
111
203
60
222
221
201
231
35
204
211

圖 9

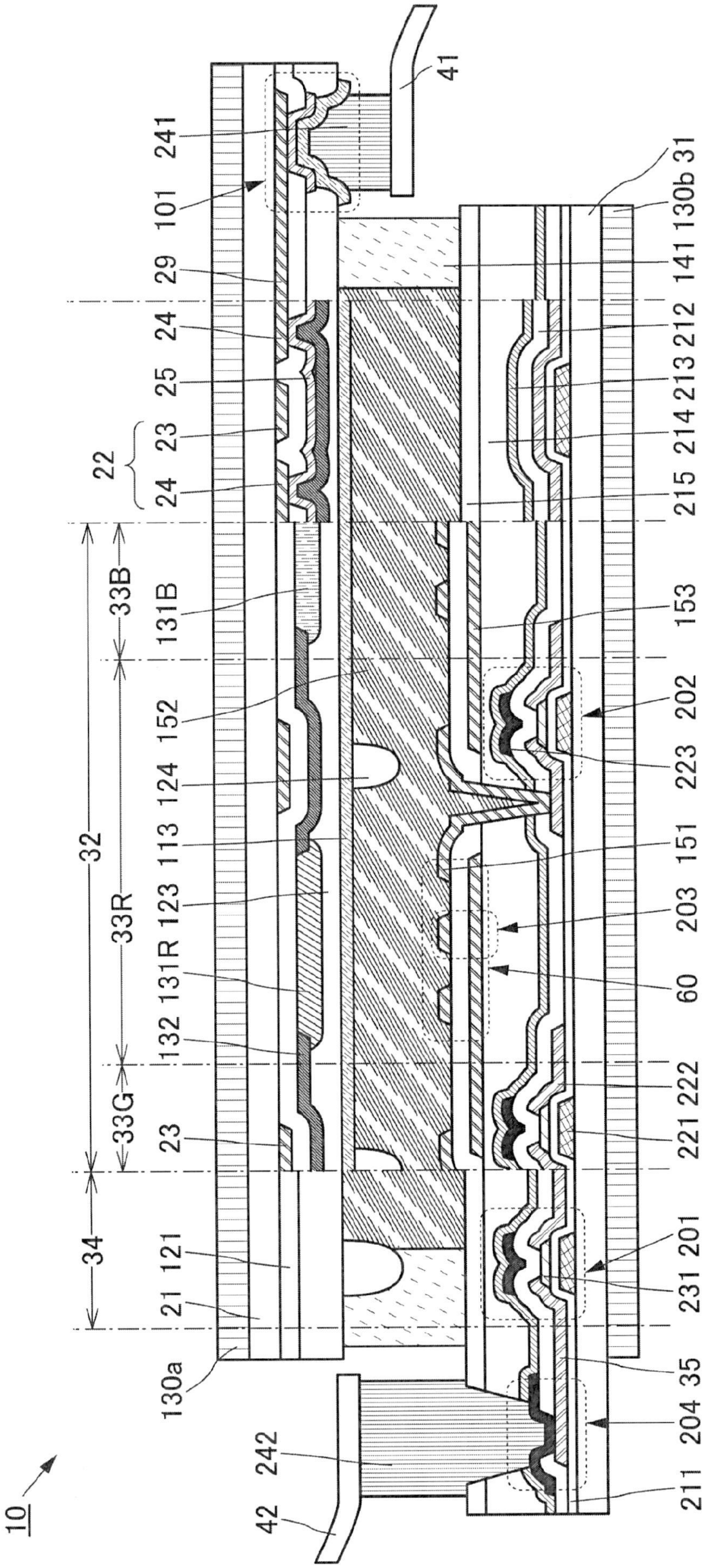

41
241
101
29
24
25
22
23
24
131B
33B
152
124
113
123
131R
33R
132
23
33G
34
121
21
130a
242
42
10
31
130b
141
212
213
214
215
153
202
223
151
203
60
222
221
201
231
204
35
211

圖 10

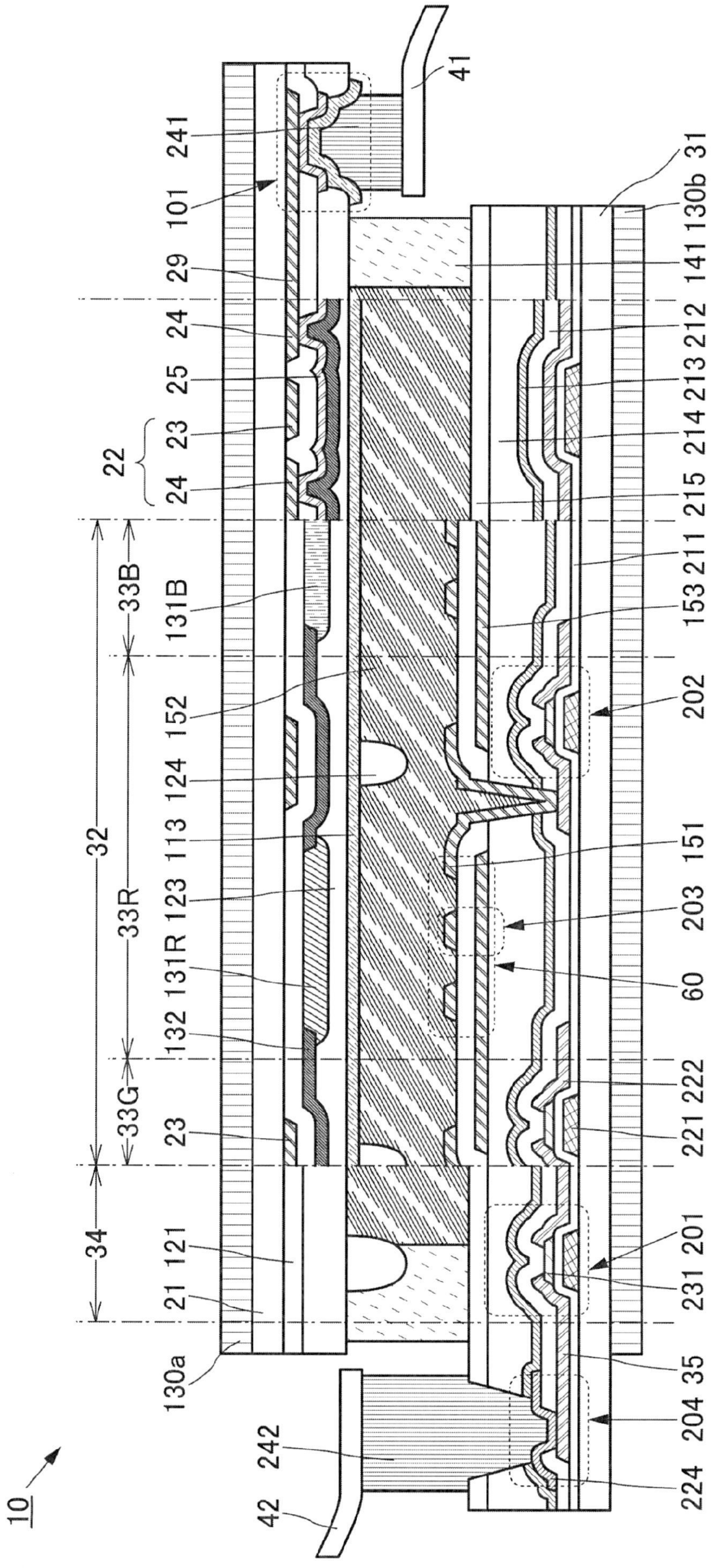

41
241
101
29
24
25
22
23
24
33B
131B
152
124
113
123
131R
132
33R
32
33G
23
34
121
21
130a
242
42
10
31
130b
141
212
213
214
215
211
153
202
151
203
60
222
221
201
231
35
204
224

圖 11

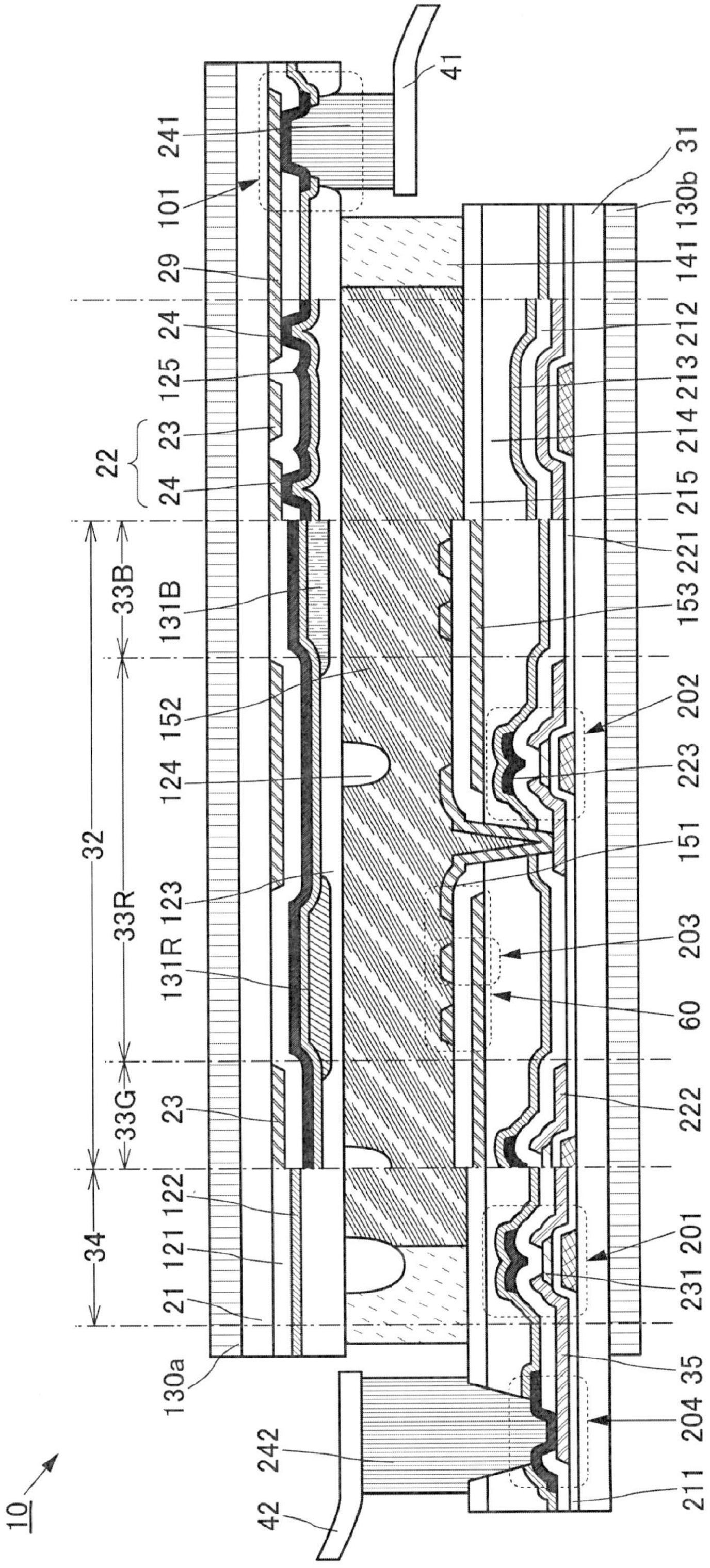

41
241
101
29
24
125
23
22
24
131B
33B
124
152
123
131R
33R
23
33G
122
121
21
34
130a
242
42
10
31
130b
41
141
212
213
214
215
221
153
202
223
151
203
60
222
201
231
35
204
211

圖 12

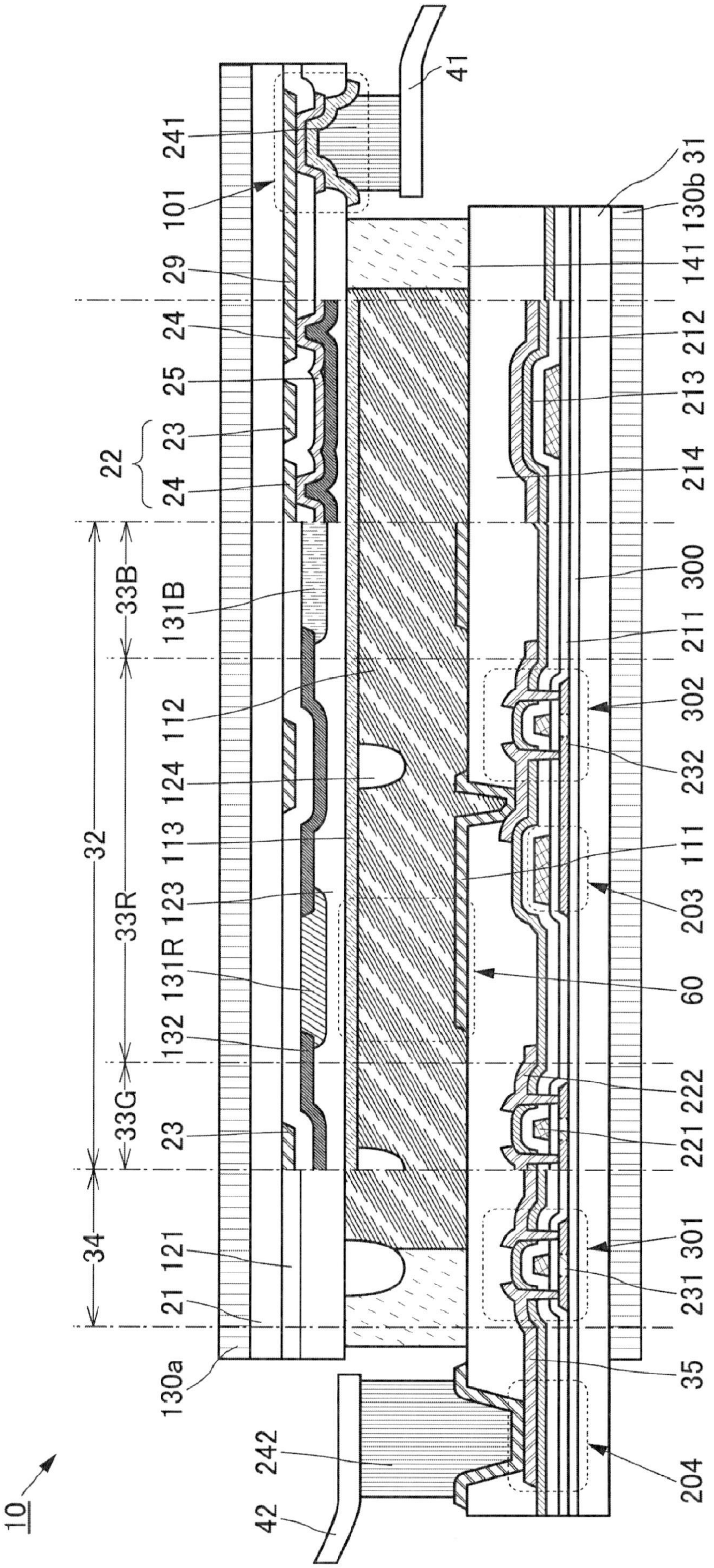

41
241
101
29
24
25
22
23
24
131B
112
124
113
123
131R
132
23
21
121
130a
242
42
10
33B
32
33R
33G
34
141
212
213
214
300
211
302
232
111
203
60
222
221
301
231
35
204

圖 13

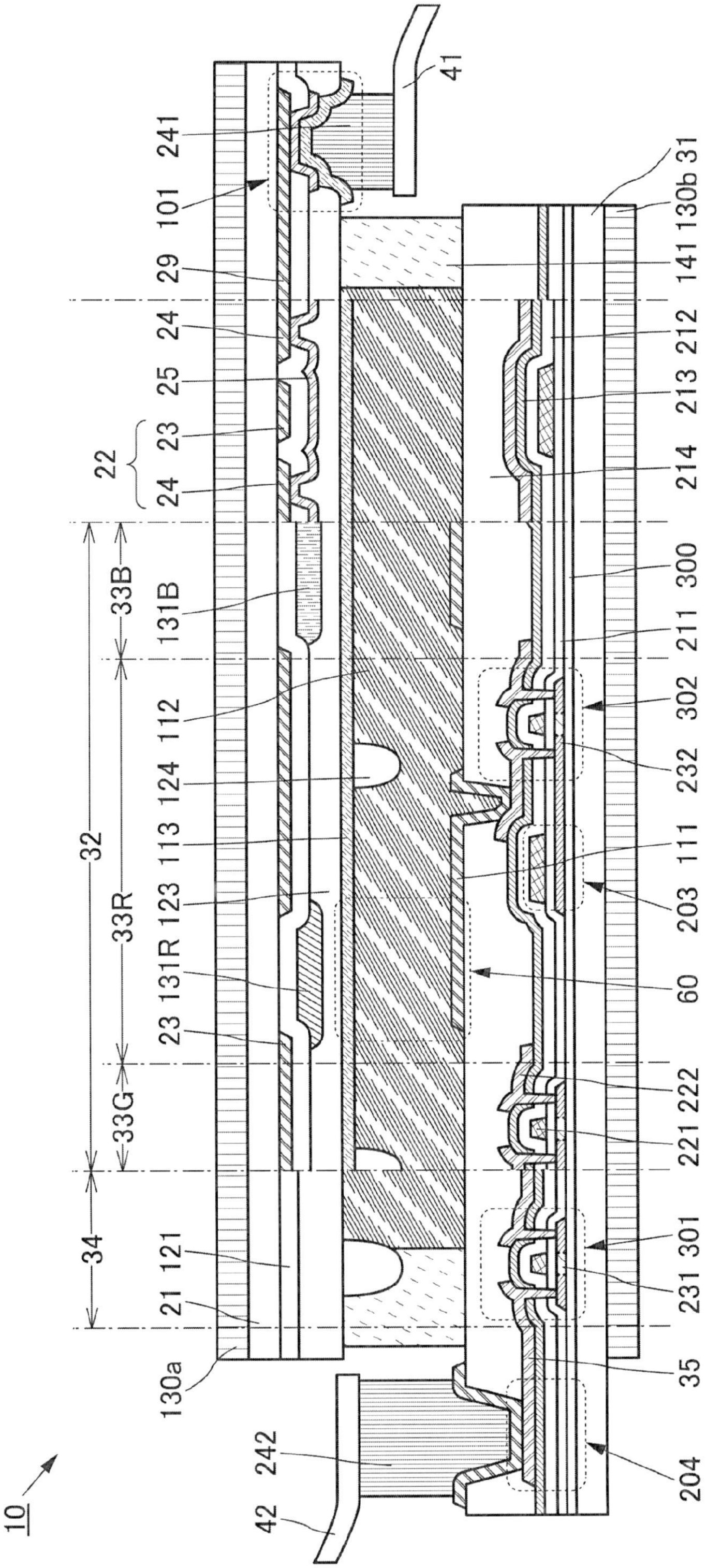

41
241
101
29
24
25
22
23
24
131B
112
24
113
123
131R
23
33B
33G
32
33R
34
21
121
130a
242
42
10
41
130b
31
141
212
213
214
300
211
302
232
111
203
60
222
221
301
231
35
204

圖 14

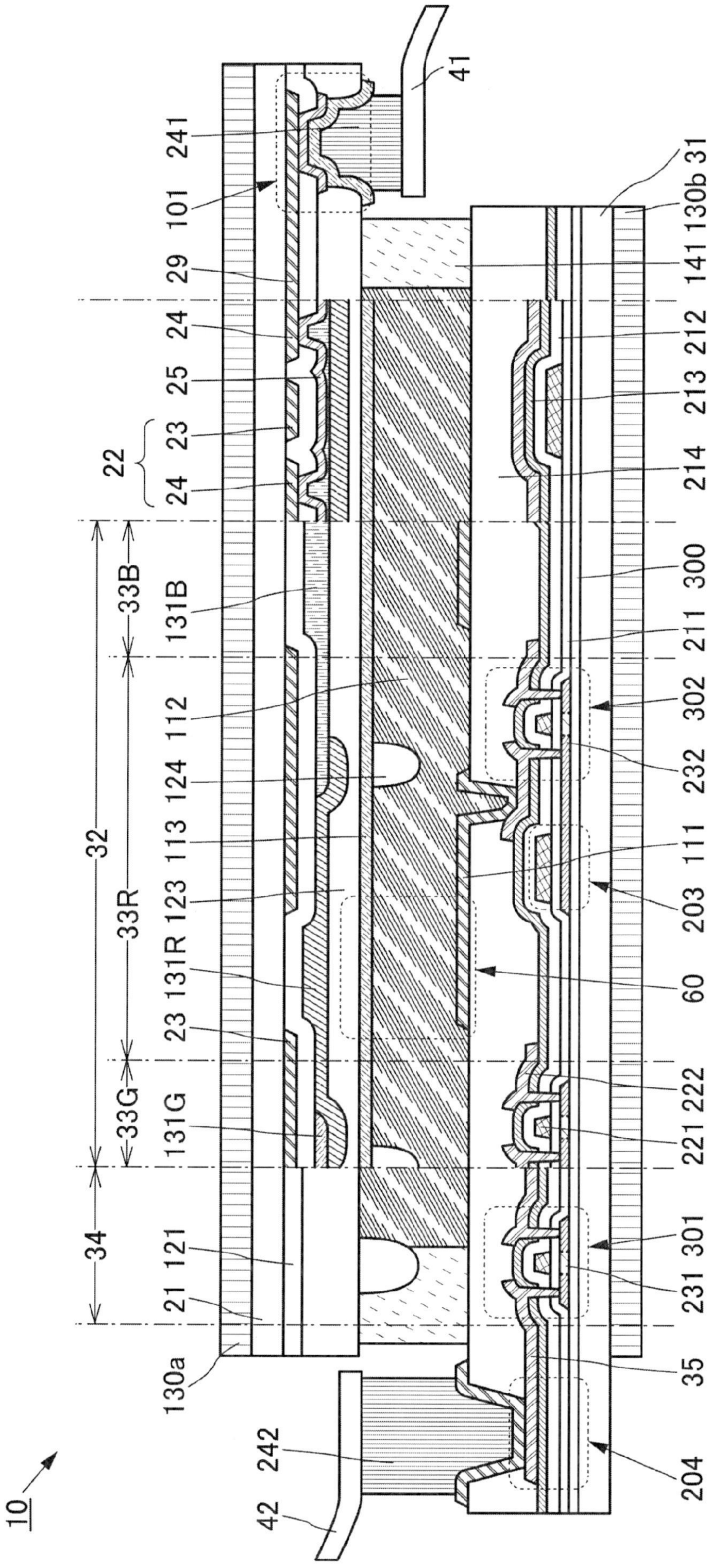

41
241
101
29
24
25
23
24
22
33B
131B
112
124
113
123
131R
23
33R
131G
33G
34
21
121
130a
242
42
10
32
141
130b
31
212
213
214
300
211
302
232
111
203
60
222
221
301
231
35
204

圖 15

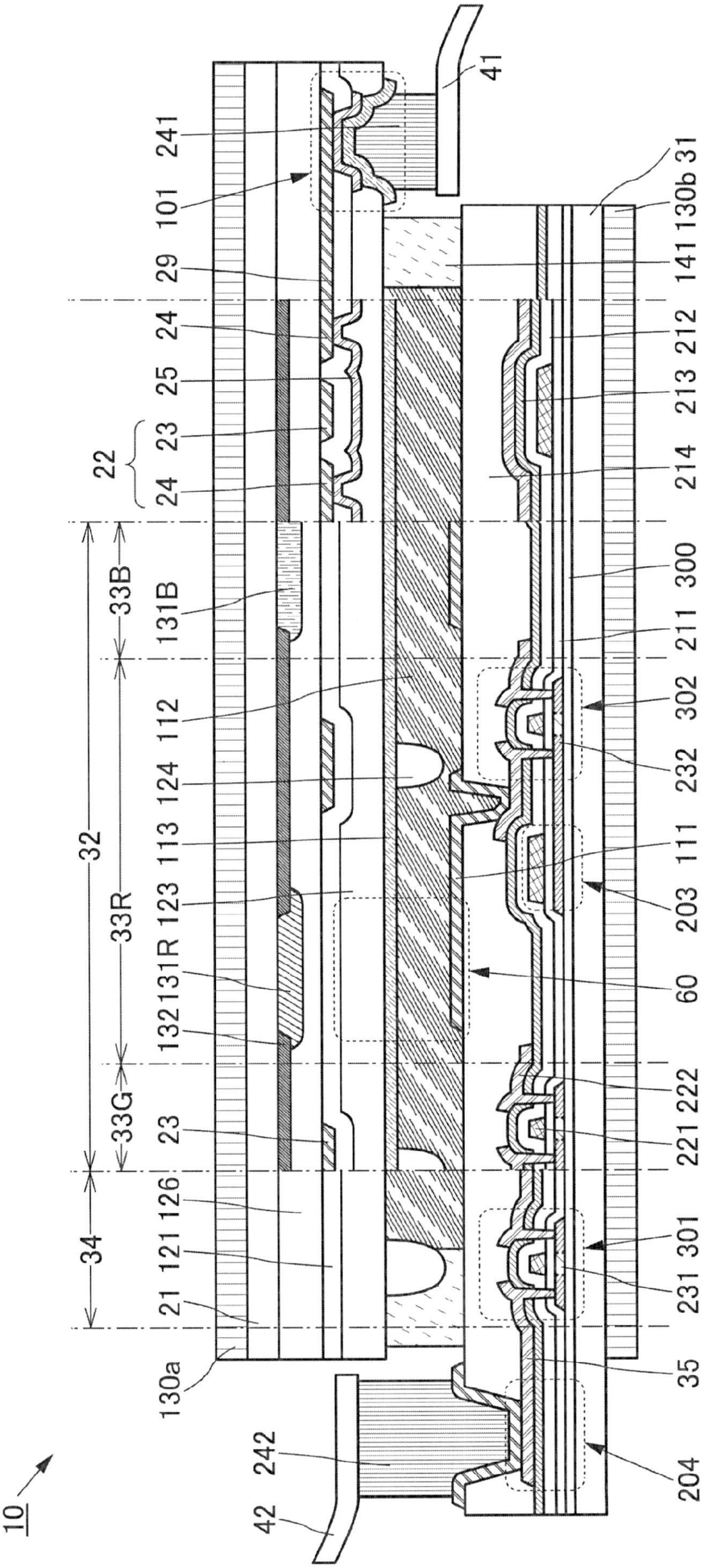

41
241
101
29
24
25
22
23
24
33B
131B
112
124
113
123
131R
132
33R
32
33G
23
126
121
34
21
130a
242
42
10
141
130b
31
212
213
214
300
211
302
232
111
203
60
222
221
301
231
35
204

圖 16

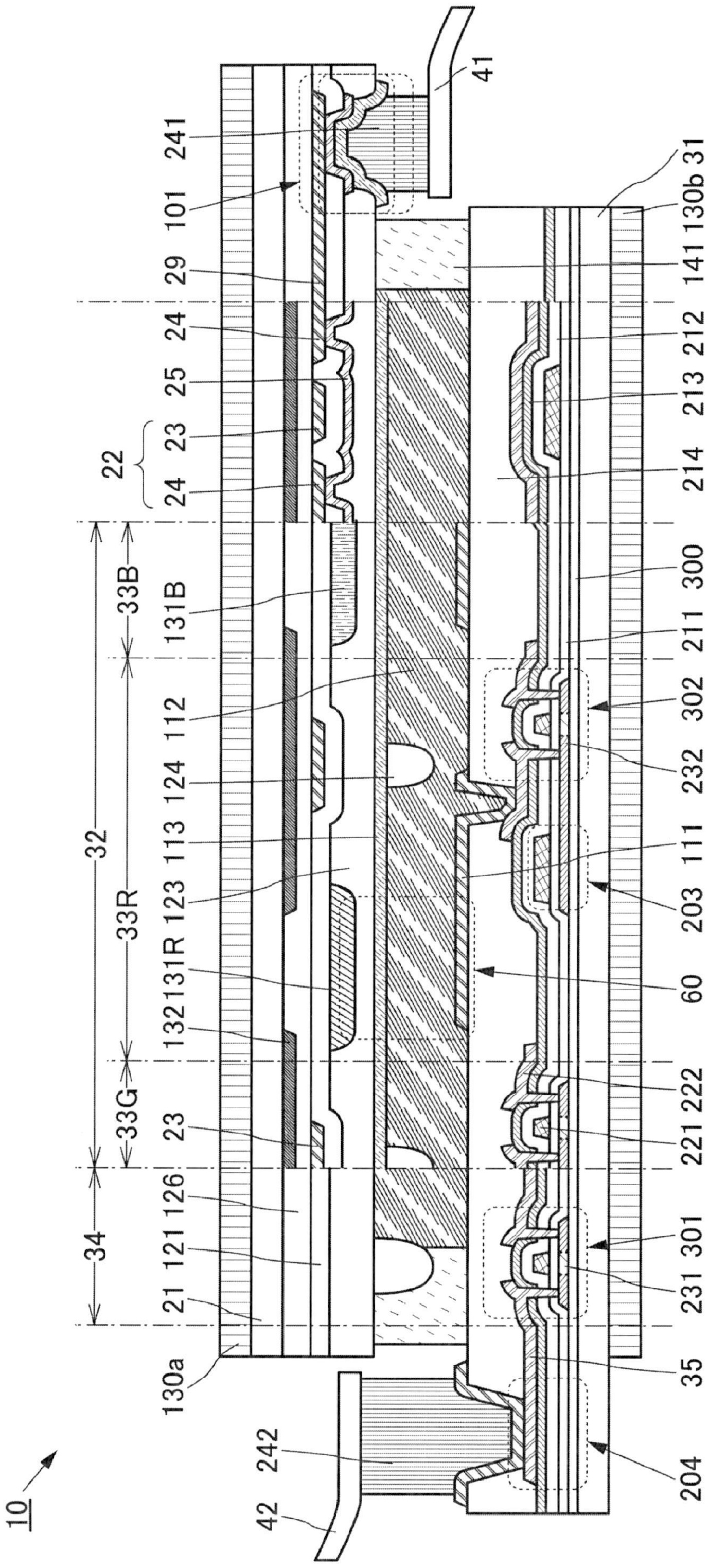

41
241
101
29
24
25
22
23
24
131B
112
33B
32
33R
123
131R
132
113
124
111
33G
23
126
121
21
34
130a
242
42
10
141
130b
31
212
213
214
300
211
302
232
203
111
60
222
221
301
231
35
204

圖 17

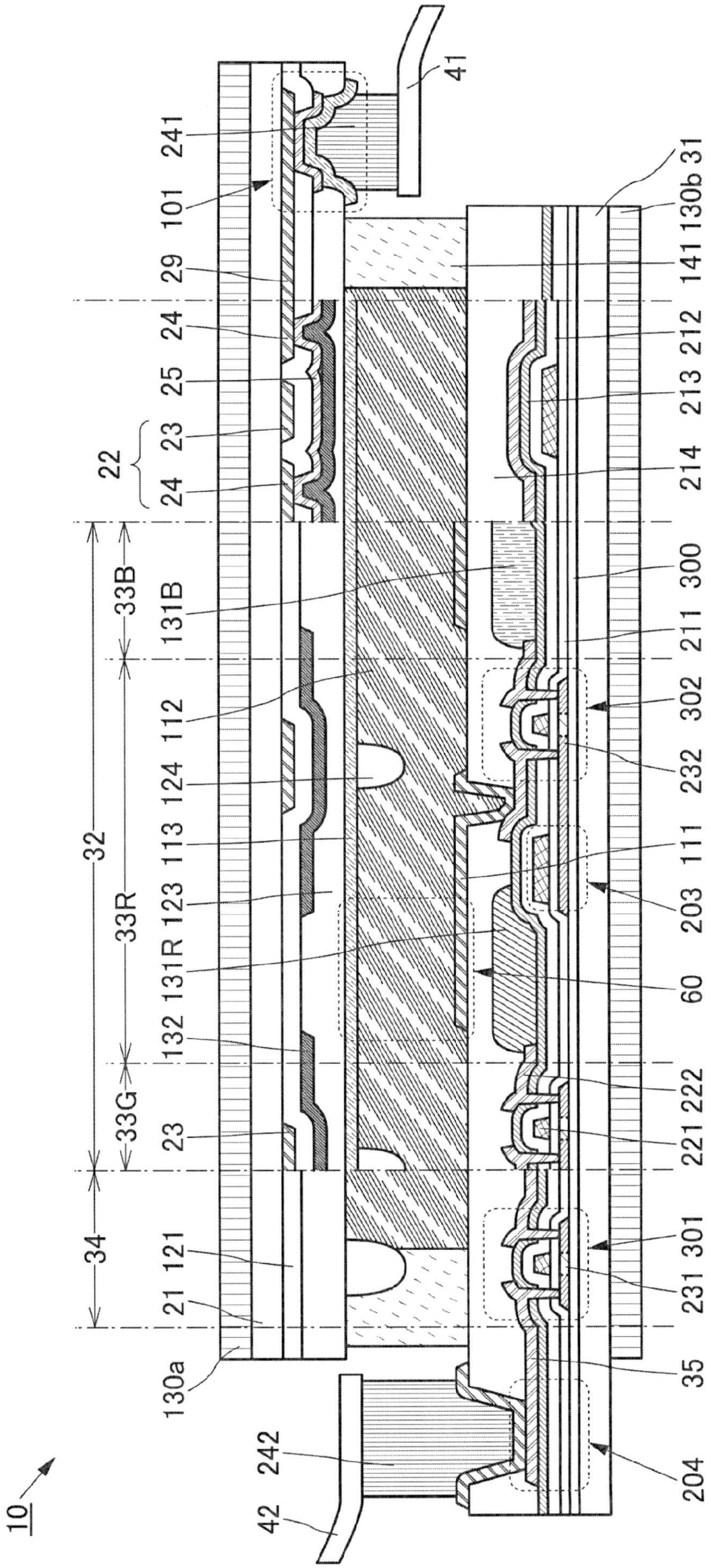

41
241
101
29
24
25
22
23
24
131B
112
124
113
123
131R
132
23
121
21
130a
242
42
10
33B
33R
33G
32
34
141
130b
31
212
213
214
211
300
302
232
111
203
60
222
221
301
231
35
204

圖 18

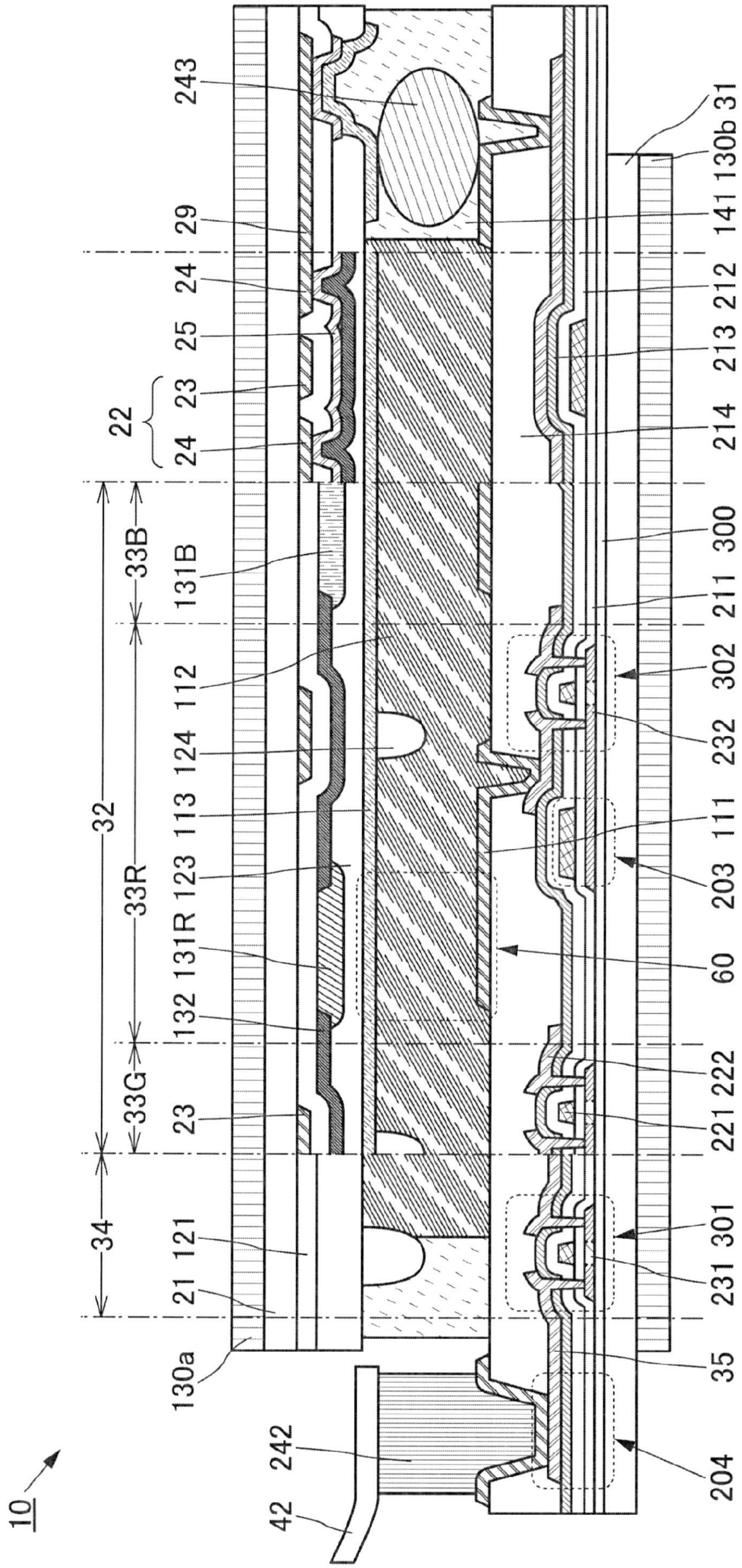

243
29
24
25
23
22
24
131B
33B
112
124
113
123
131R
33R
132
23
33G
121
21
130a
34
32
242
42
10
141
130b
31
212
213
214
300
211
302
232
111
203
60
222
221
301
231
35
204

圖 19

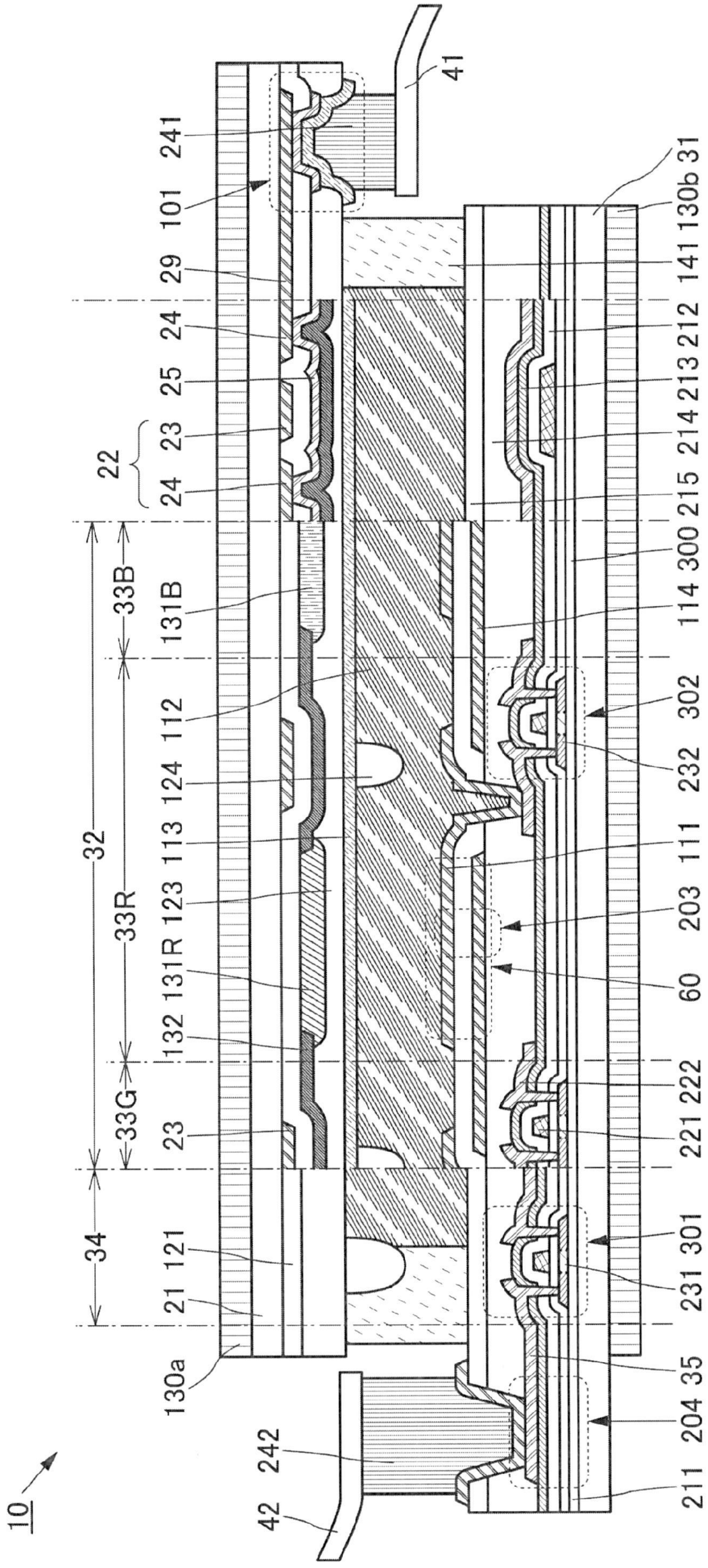

41
241
101
29
24
25
22
23
24
131B
112
124
113
123
131R
132
23
121
21
130a
242
42
10
32
33B
33R
33G
34
141
130b
31
212
213
214
215
300
114
302
232
111
203
60
222
221
301
231
204
35
211

圖 20

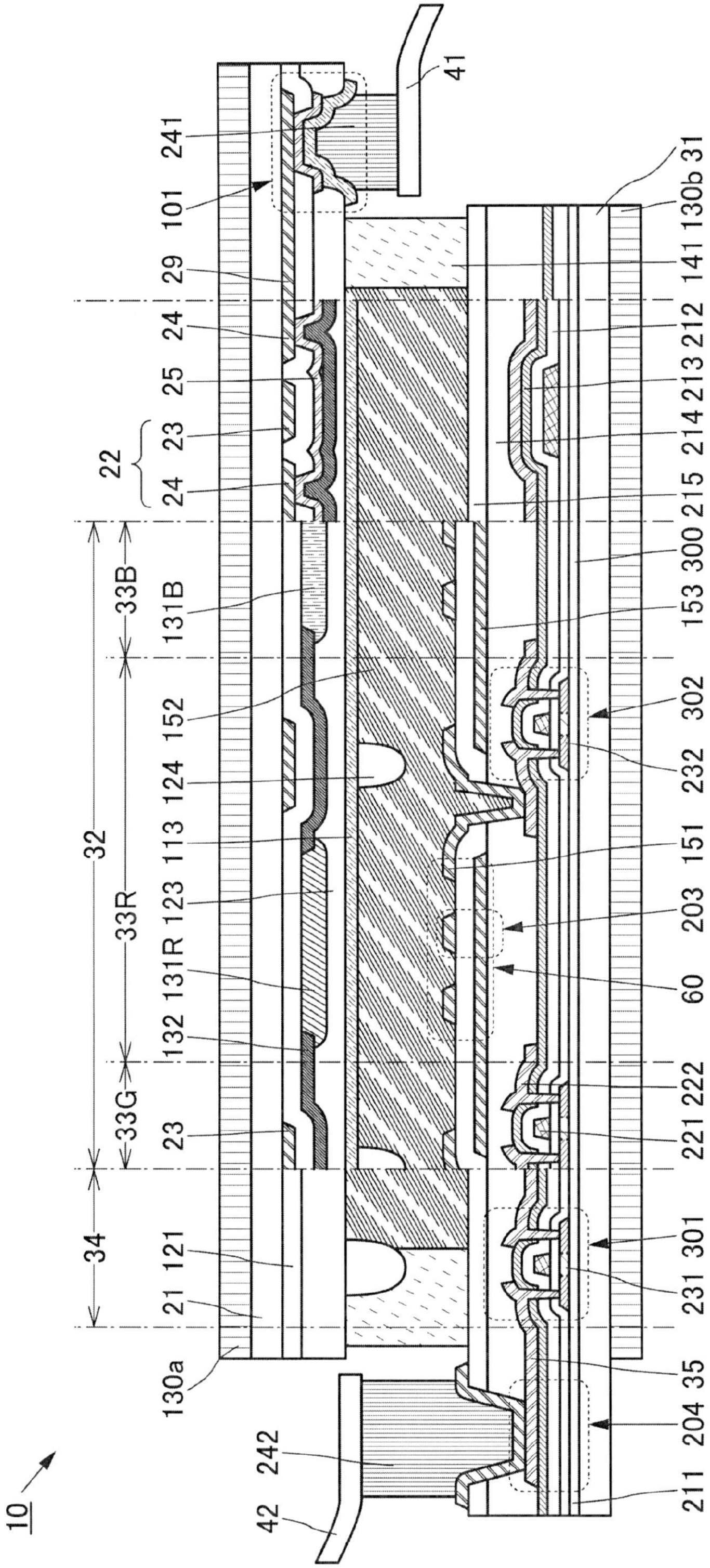

41
241
101
29
24
25
23
22
24
32
33B
131B
152
124
113
123
33R
131R
132
33G
23
34
121
21
130a
242
42
10
241
130b 31
141
212
213
214
215
300
153
302
232
151
203
60
222
221
301
231
204 35
211

圖 21

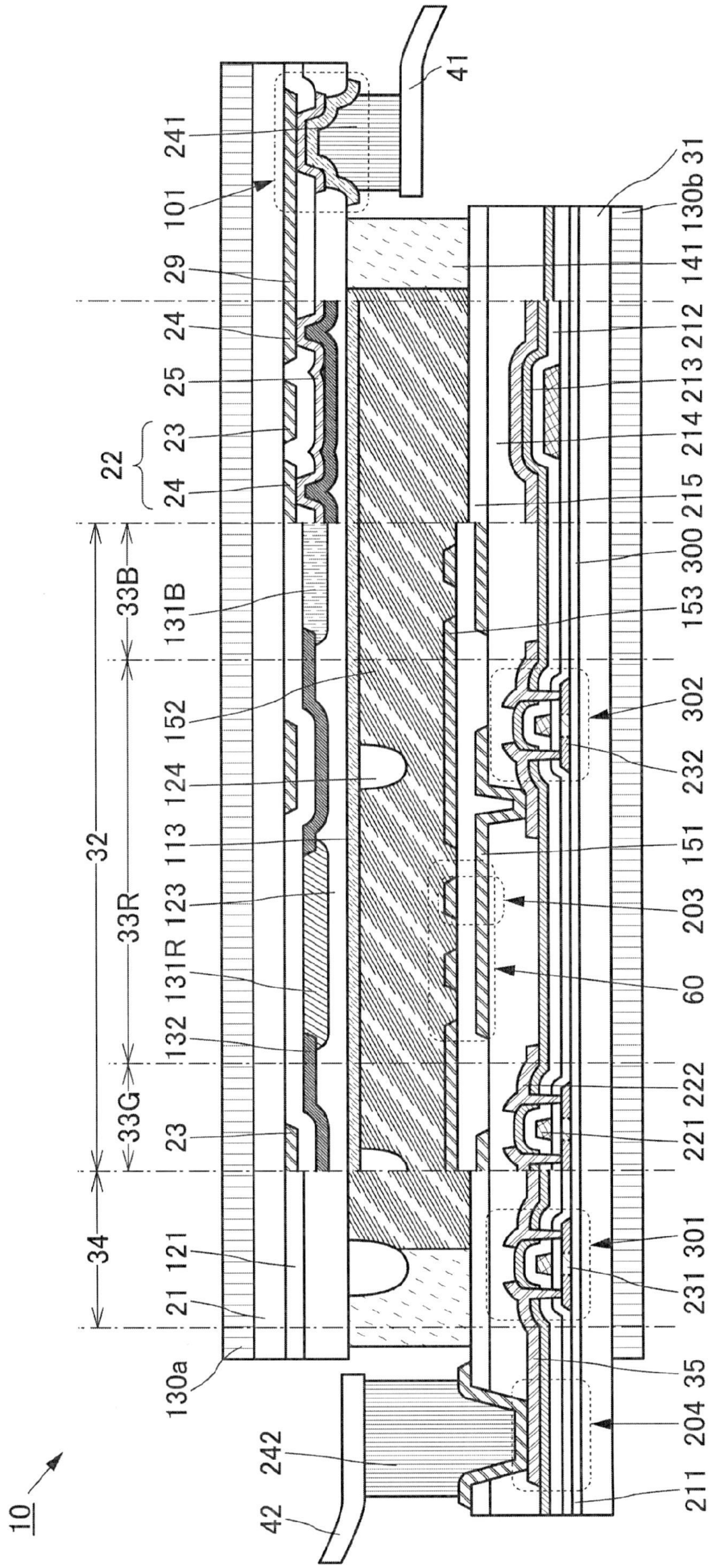

41
241
101
29
24
25
22
23
24
32
33B
131B
152
124
113
33R
123
131R
132
33G
23
34
121
21
130a
242
42
10
31
130b
141
212
213
214
215
300
153
302
232
151
203
60
222
221
301
231
204
35
211

圖 22

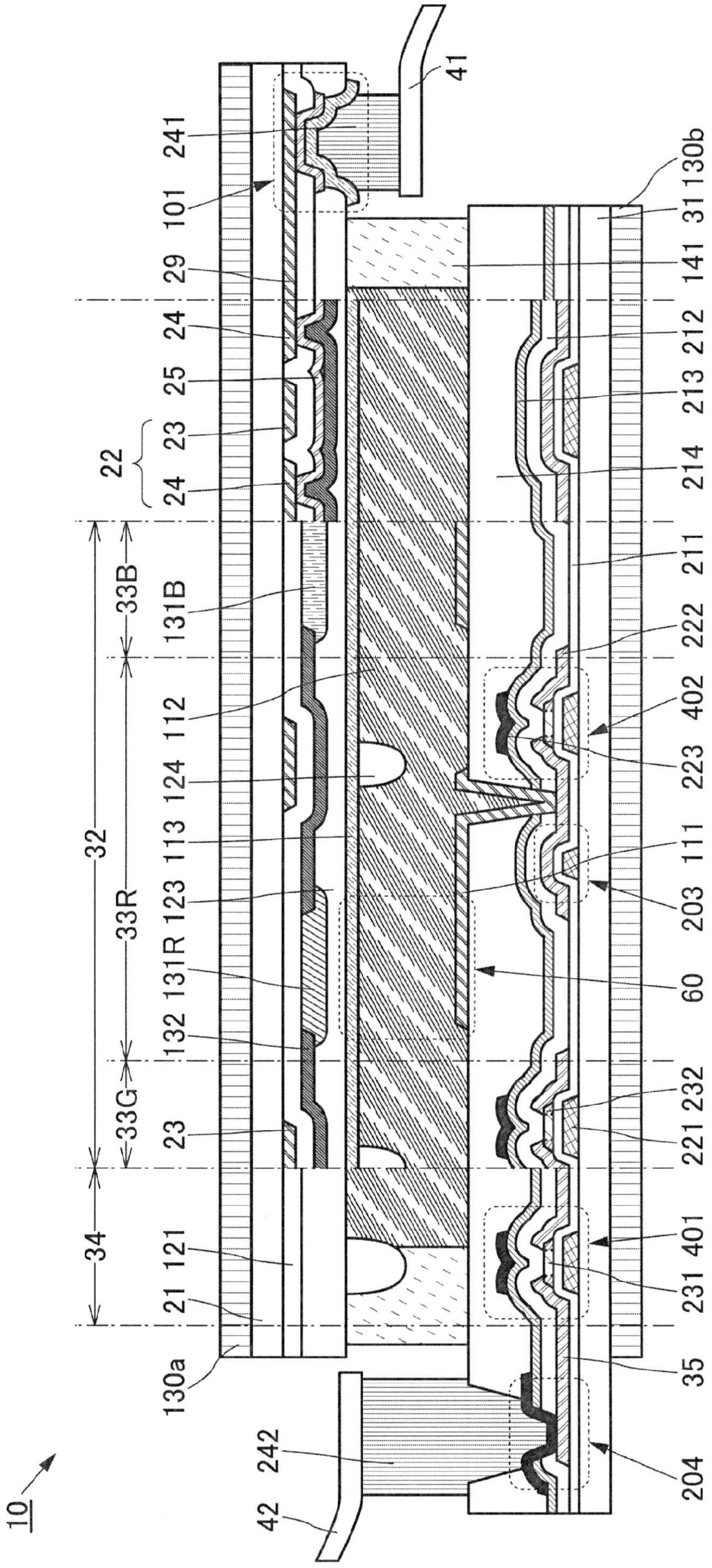

41
241
101
29
24
25
23
22
24
33B
131B
112
124
113
123
131R
132
33R
32
33G
23
34
121
21
130a
242
42
10
130b
31
141
212
213
214
211
222
402
223
111
203
60
232
221
401
231
35
204

圖 23

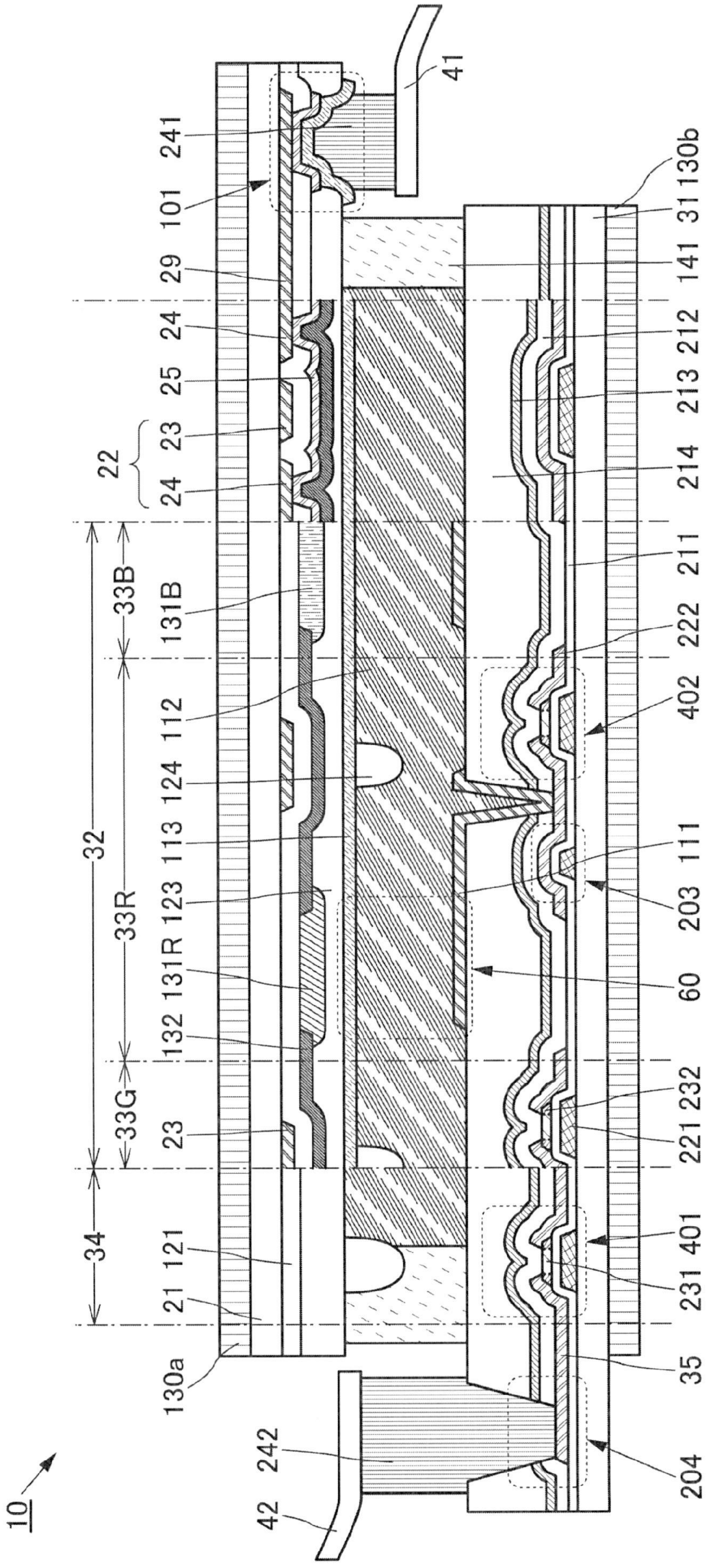

41
241
101
29
24
25
22
23
24
33B
131B
112
124
113
123
131R
32
33R
132
33G
23
34
121
21
130a
242
42
10
130b
31
141
212
213
214
211
222
402
111
203
60
232
221
401
231
35
204

圖 24

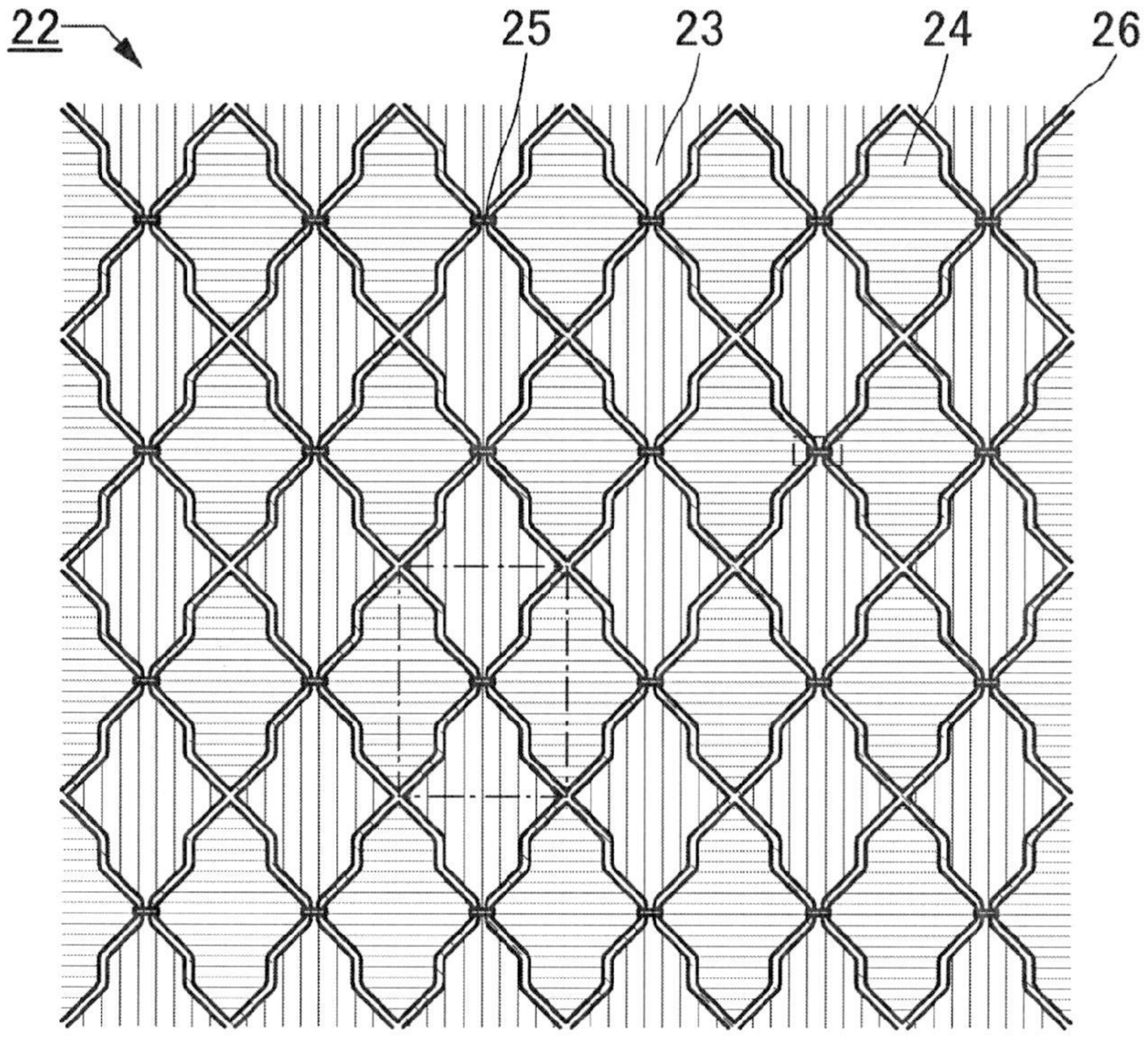


圖 25A

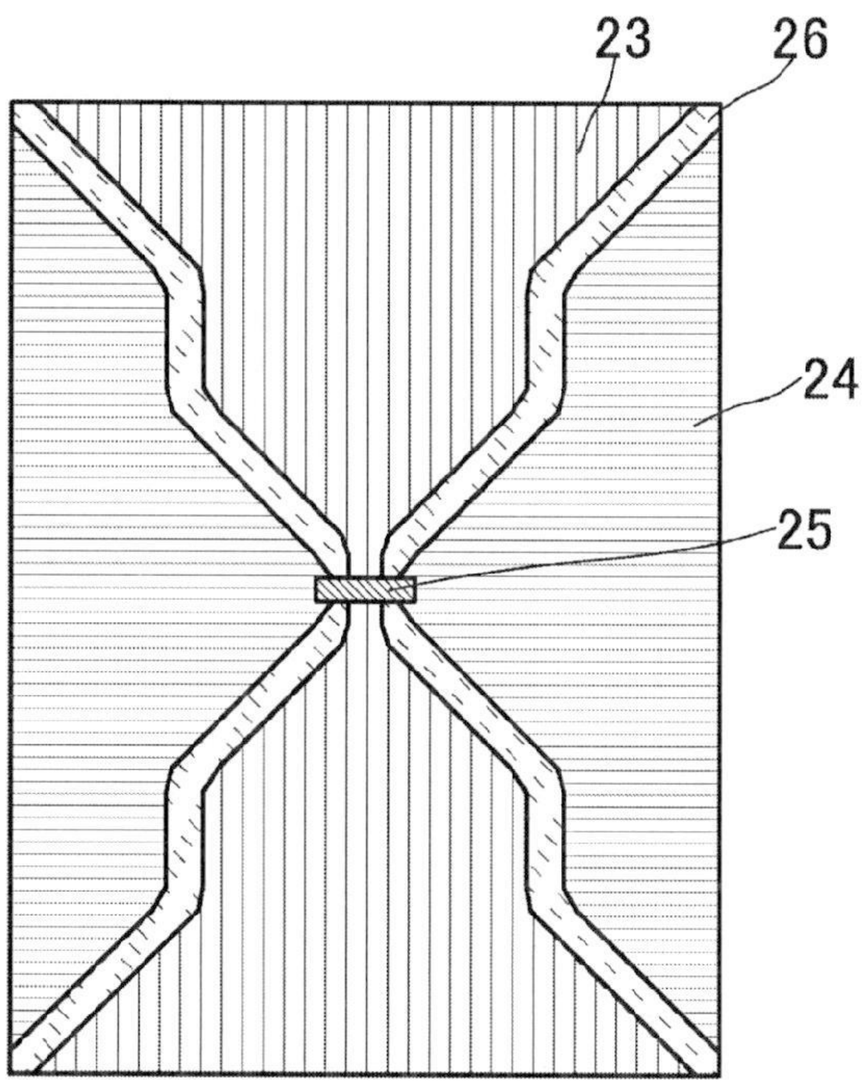


圖 25B

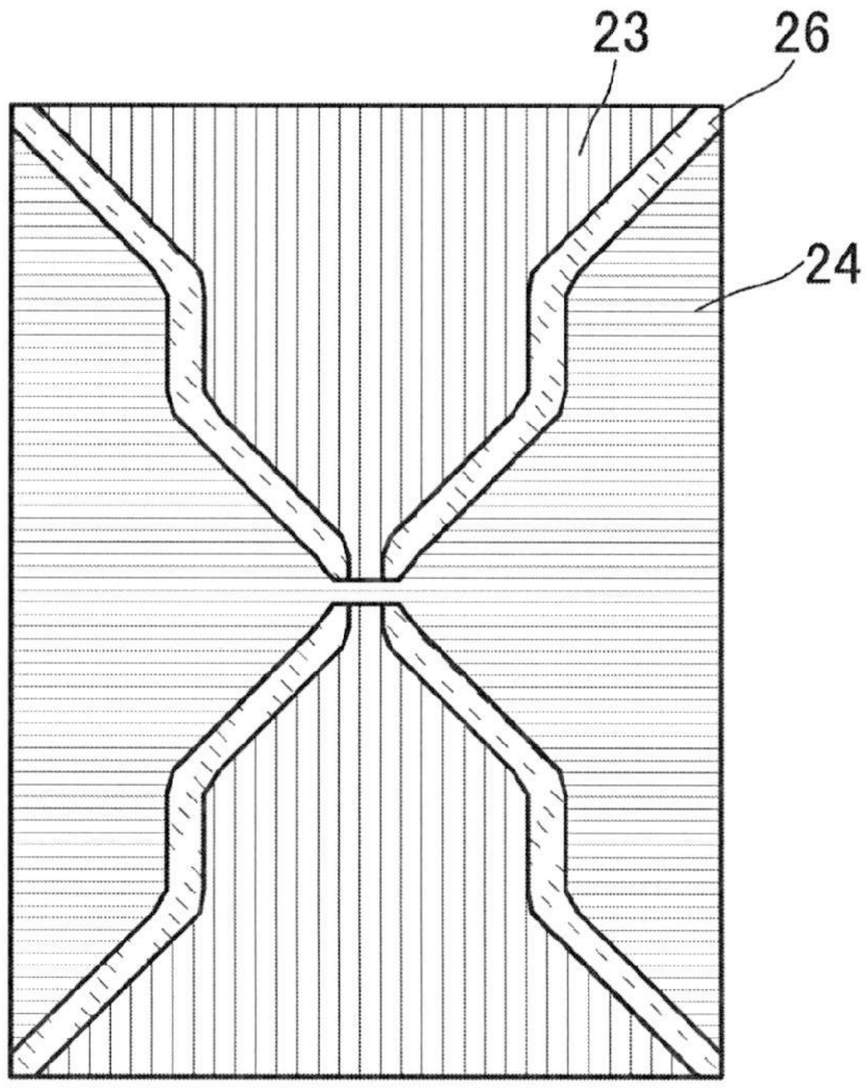


圖 25C

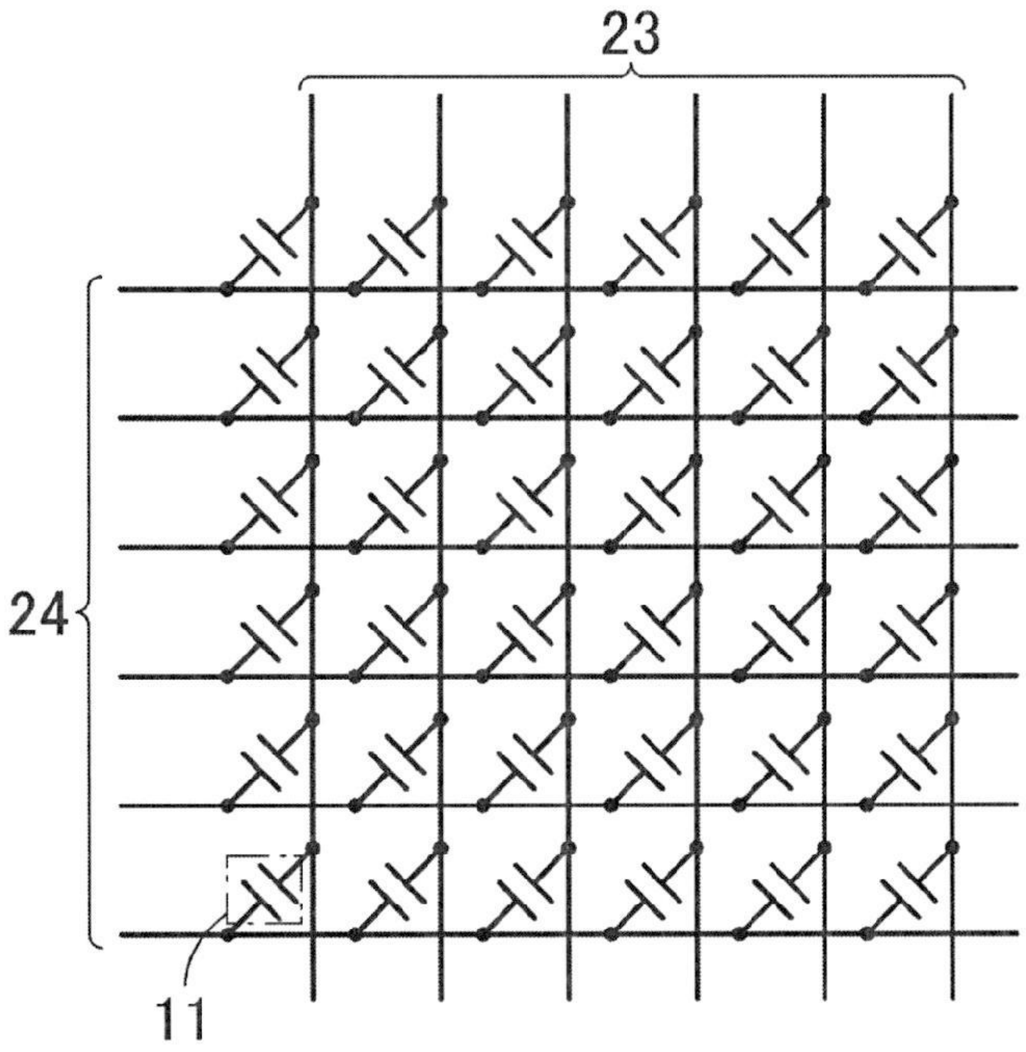


圖 26A

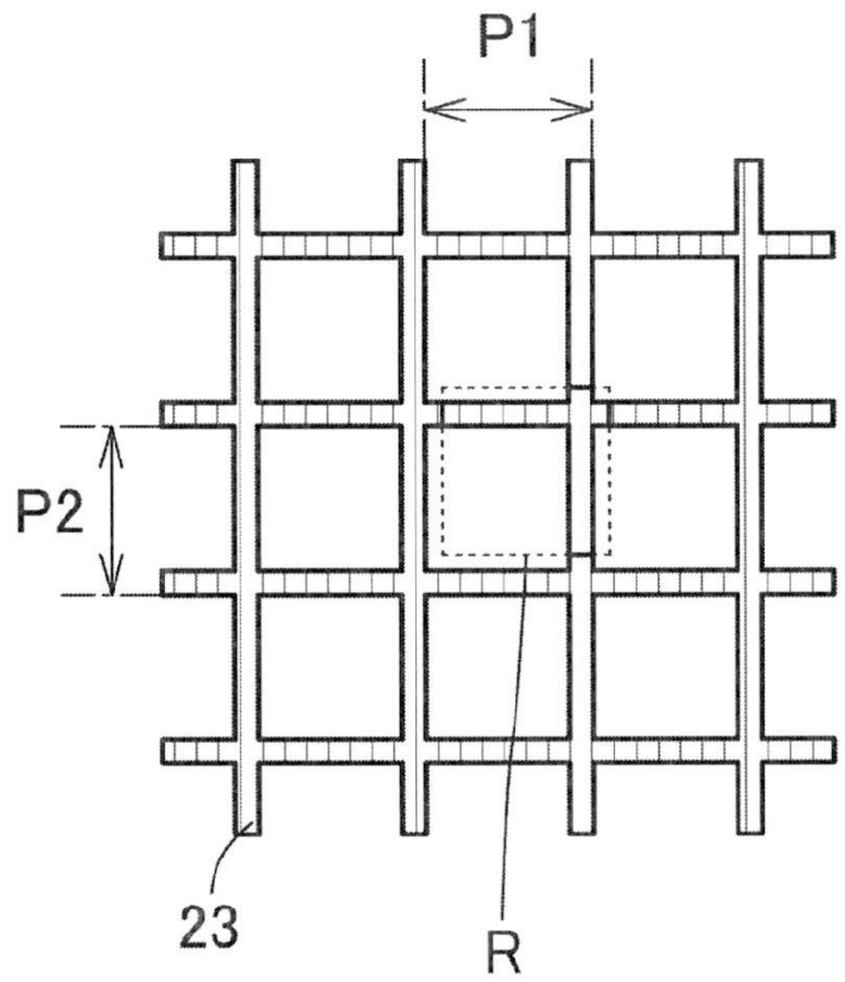


圖 26B

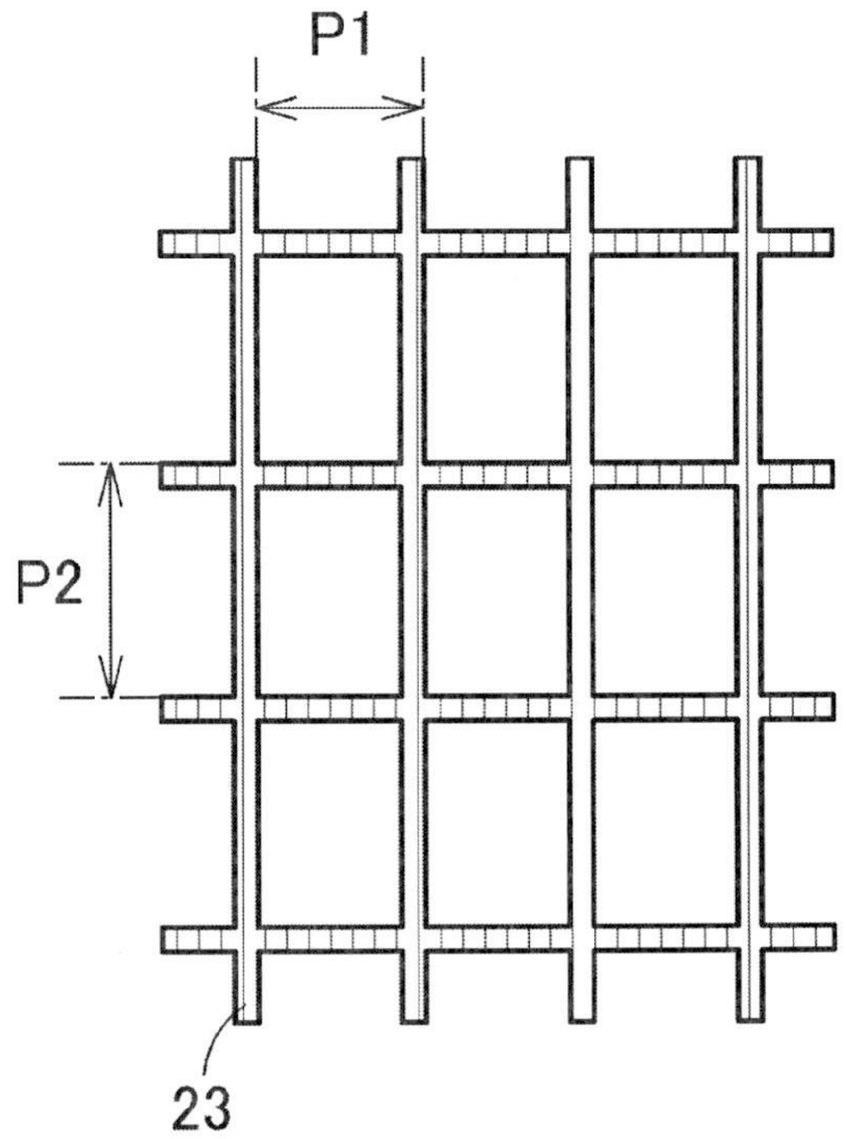


圖 26C

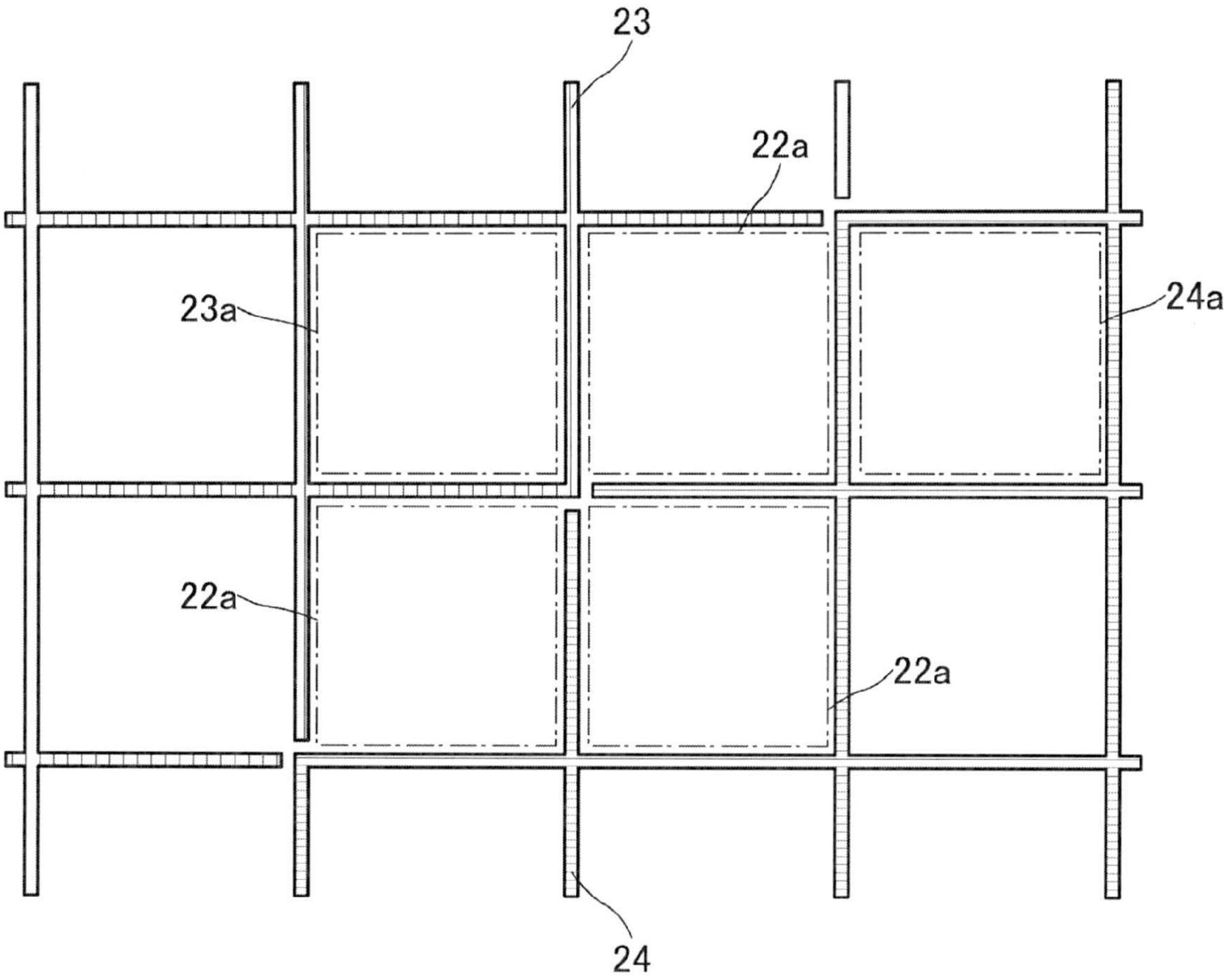


圖 27A

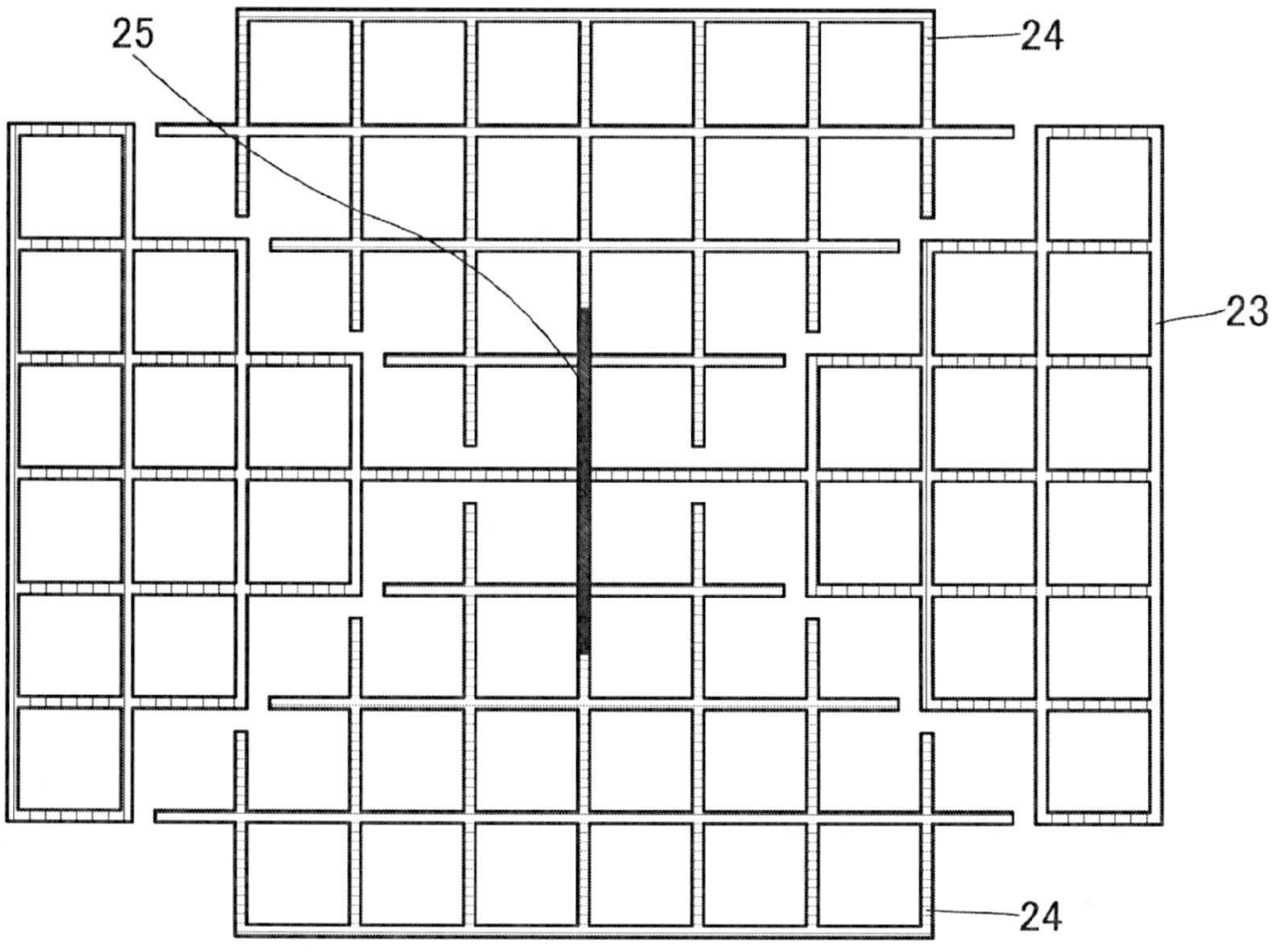


圖 27B

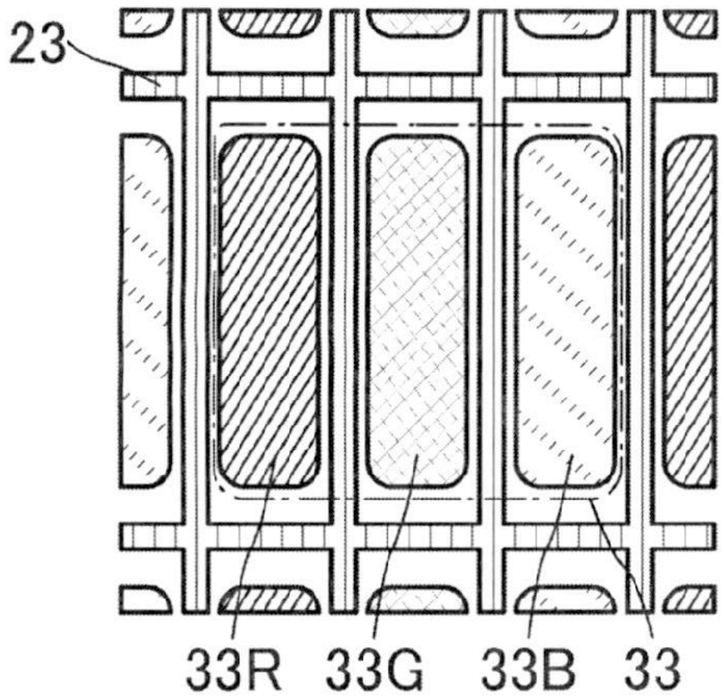


圖 28A

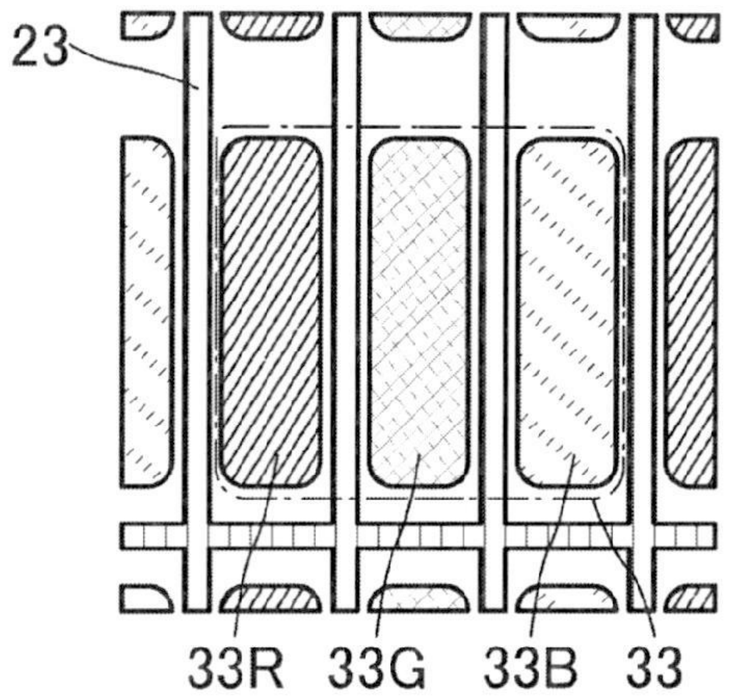


圖 28B

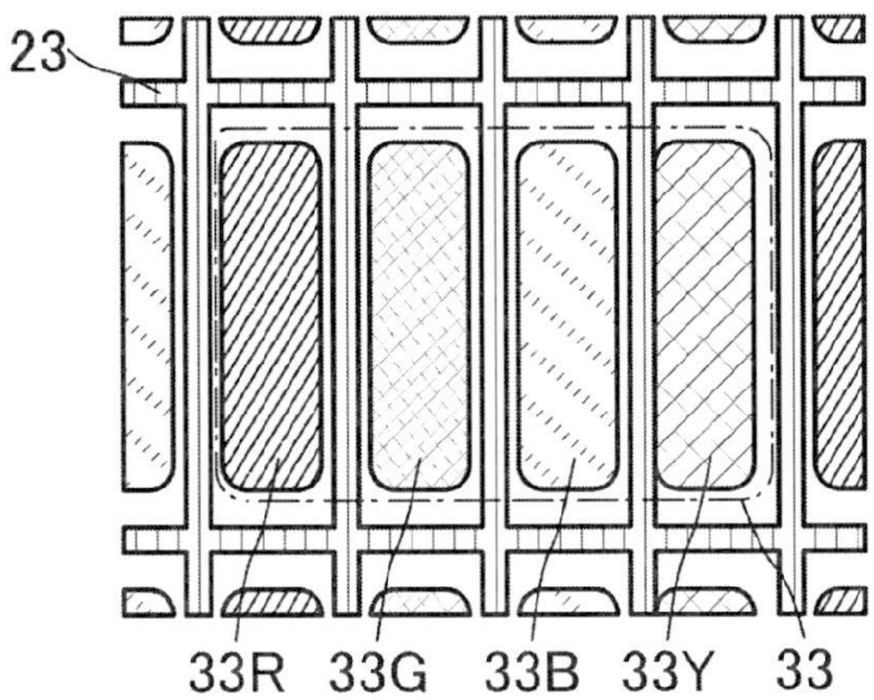


圖 28C

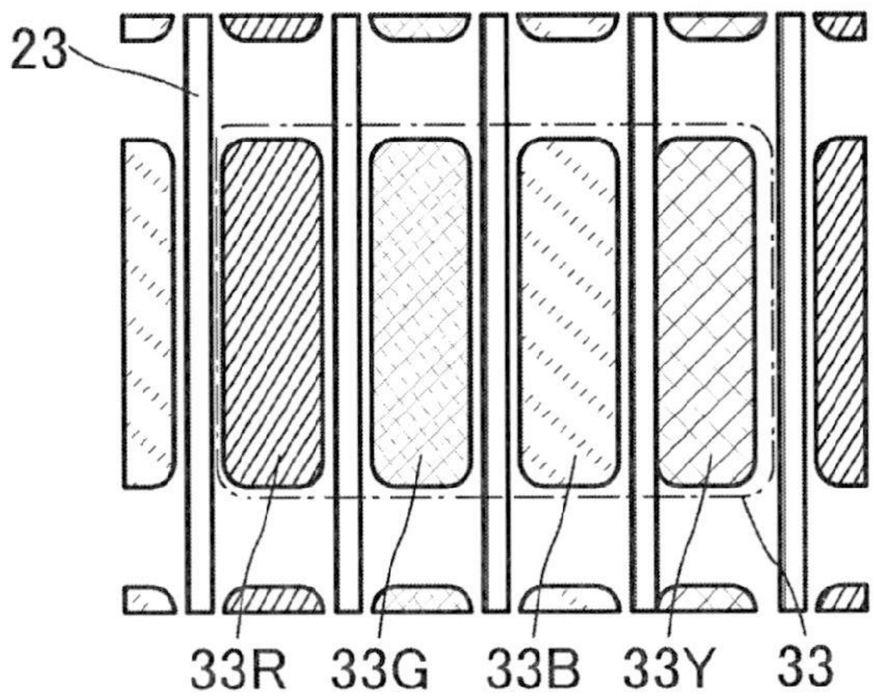


圖 28D

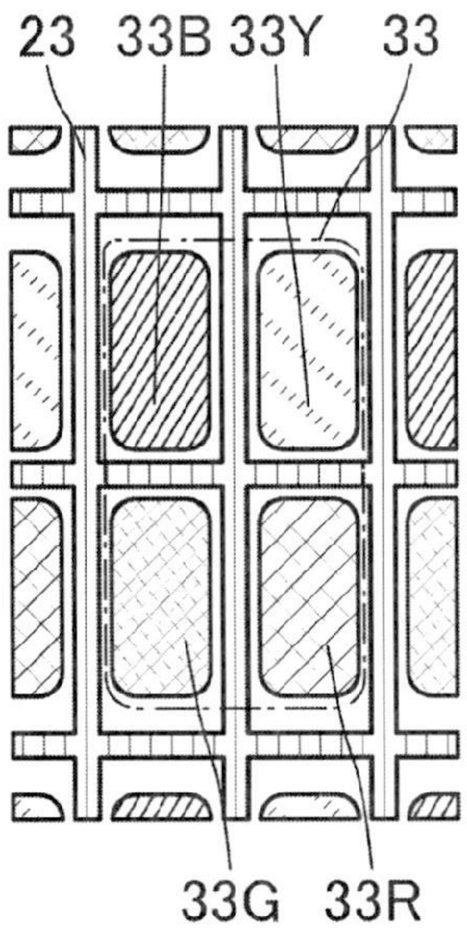


圖 28E

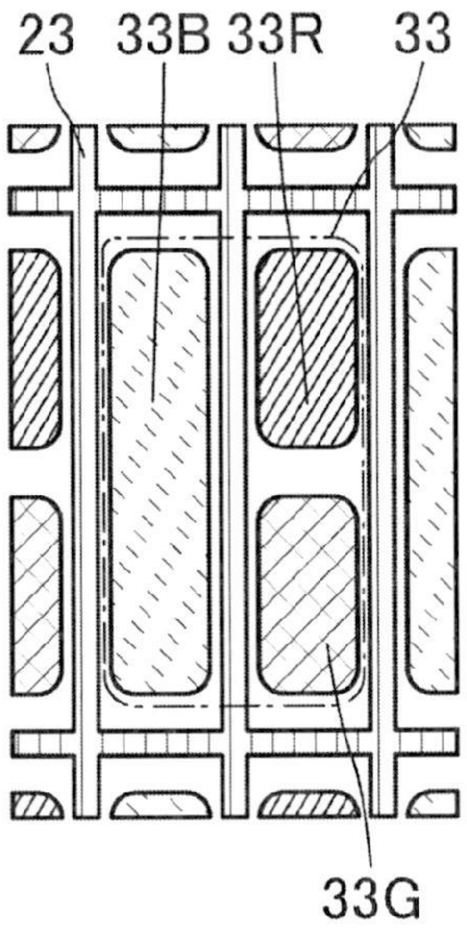


圖 28F

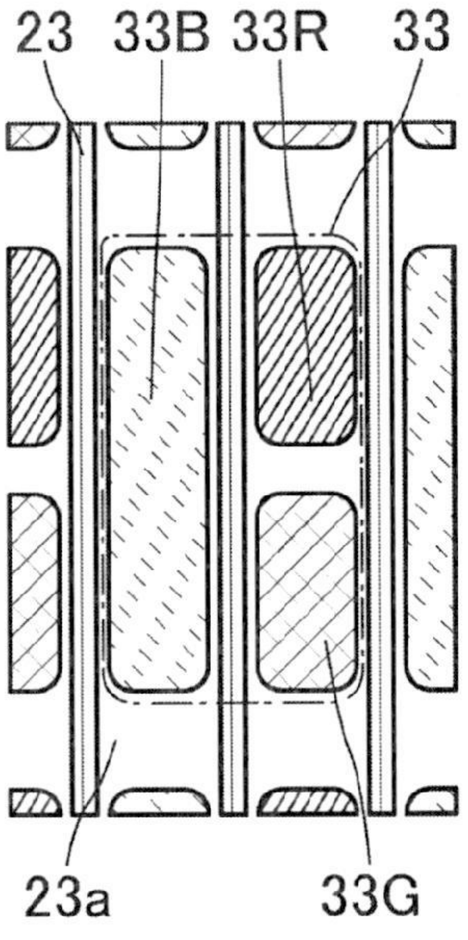


圖 28G

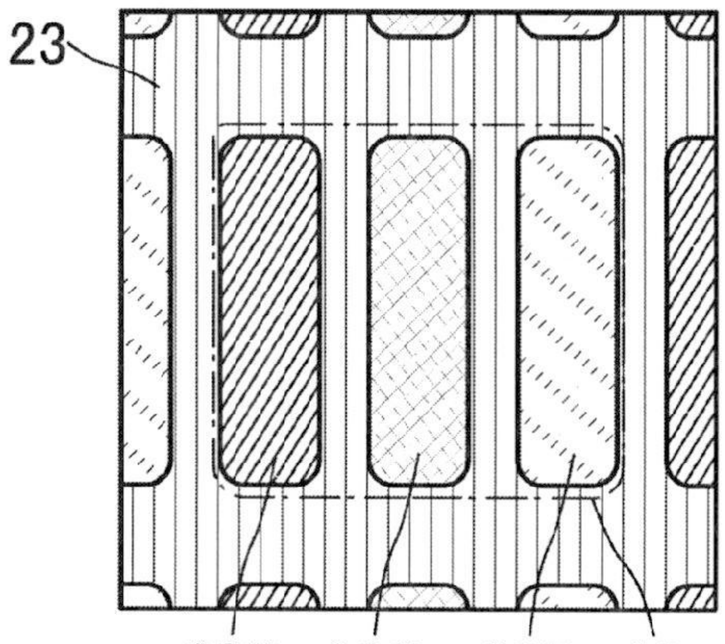


圖 29A

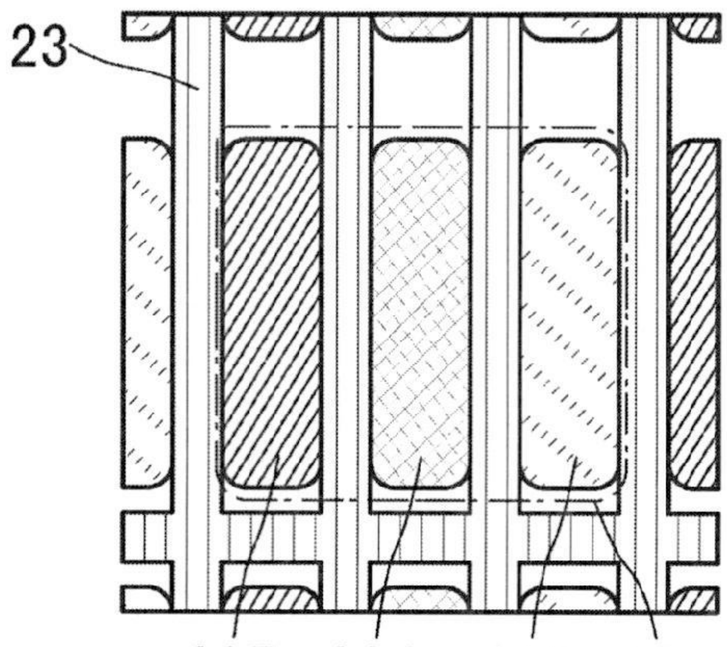


圖 29B

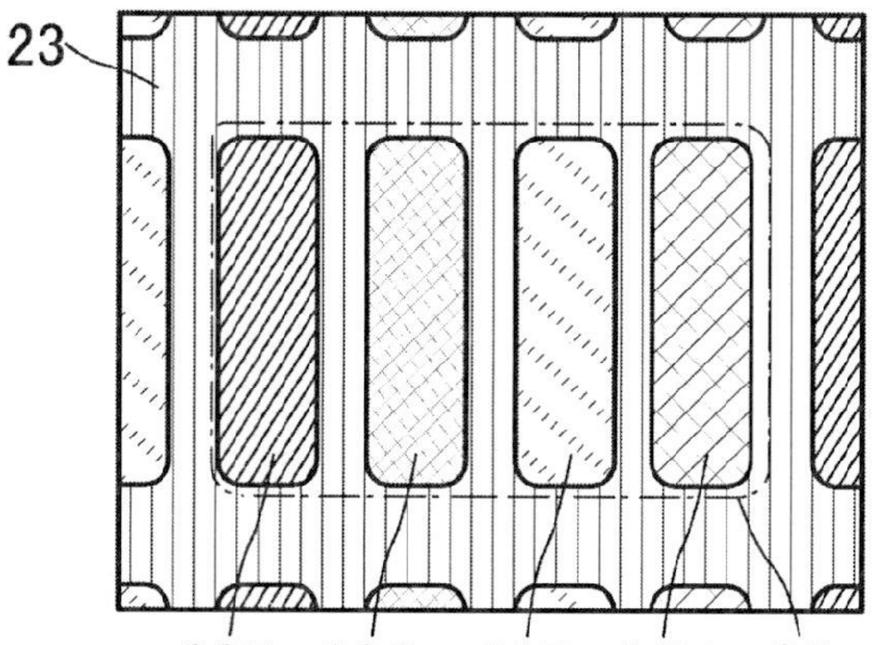


圖 29C

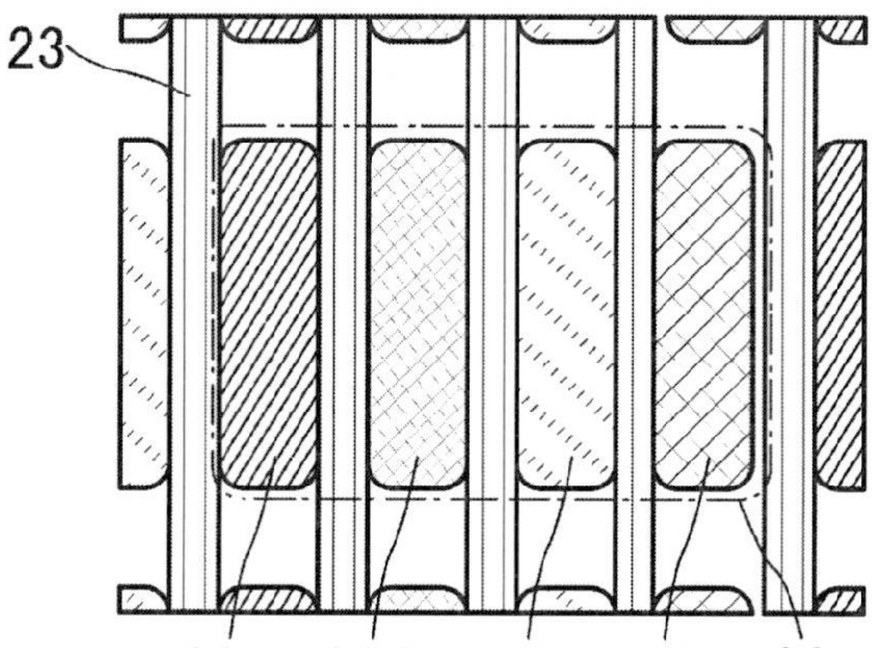


圖 29D

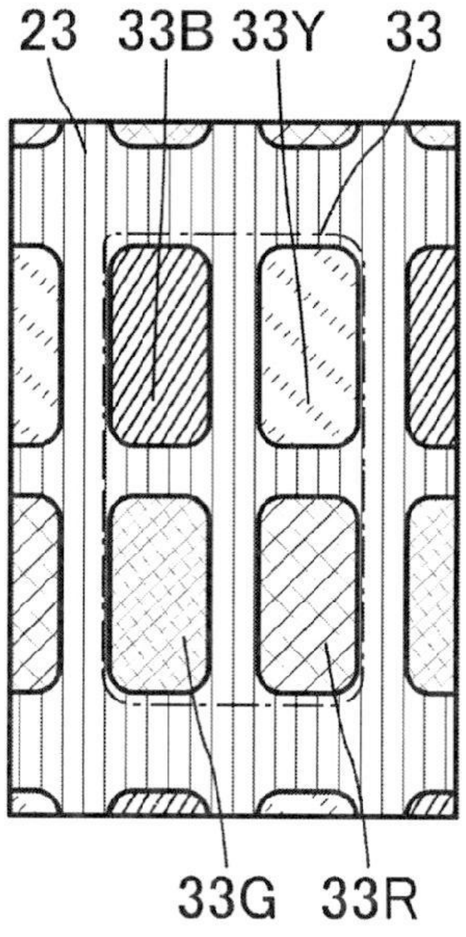


圖 29E

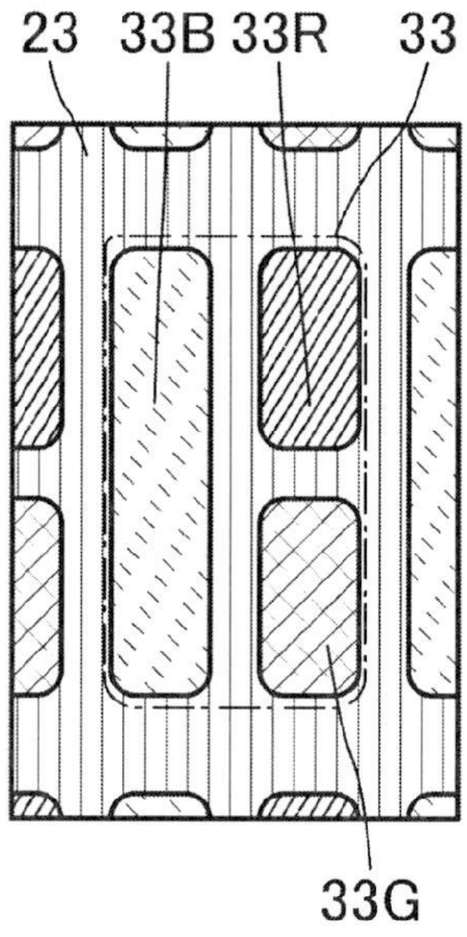


圖 29F

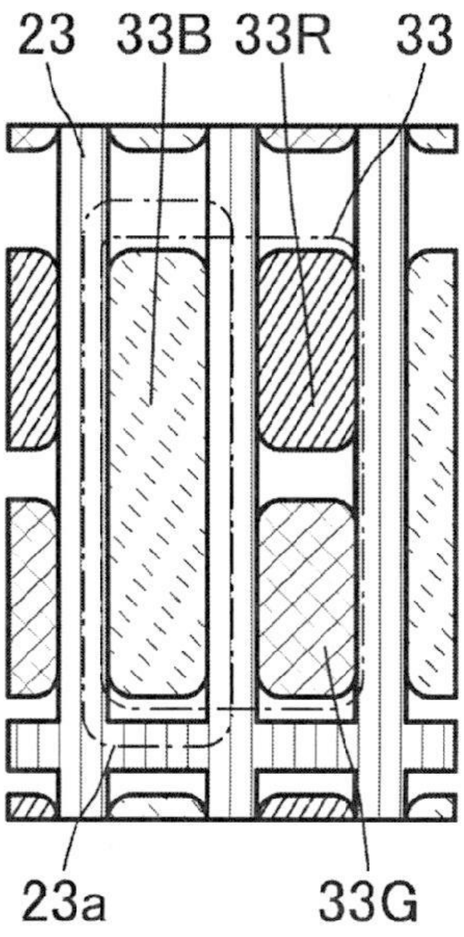


圖 29G

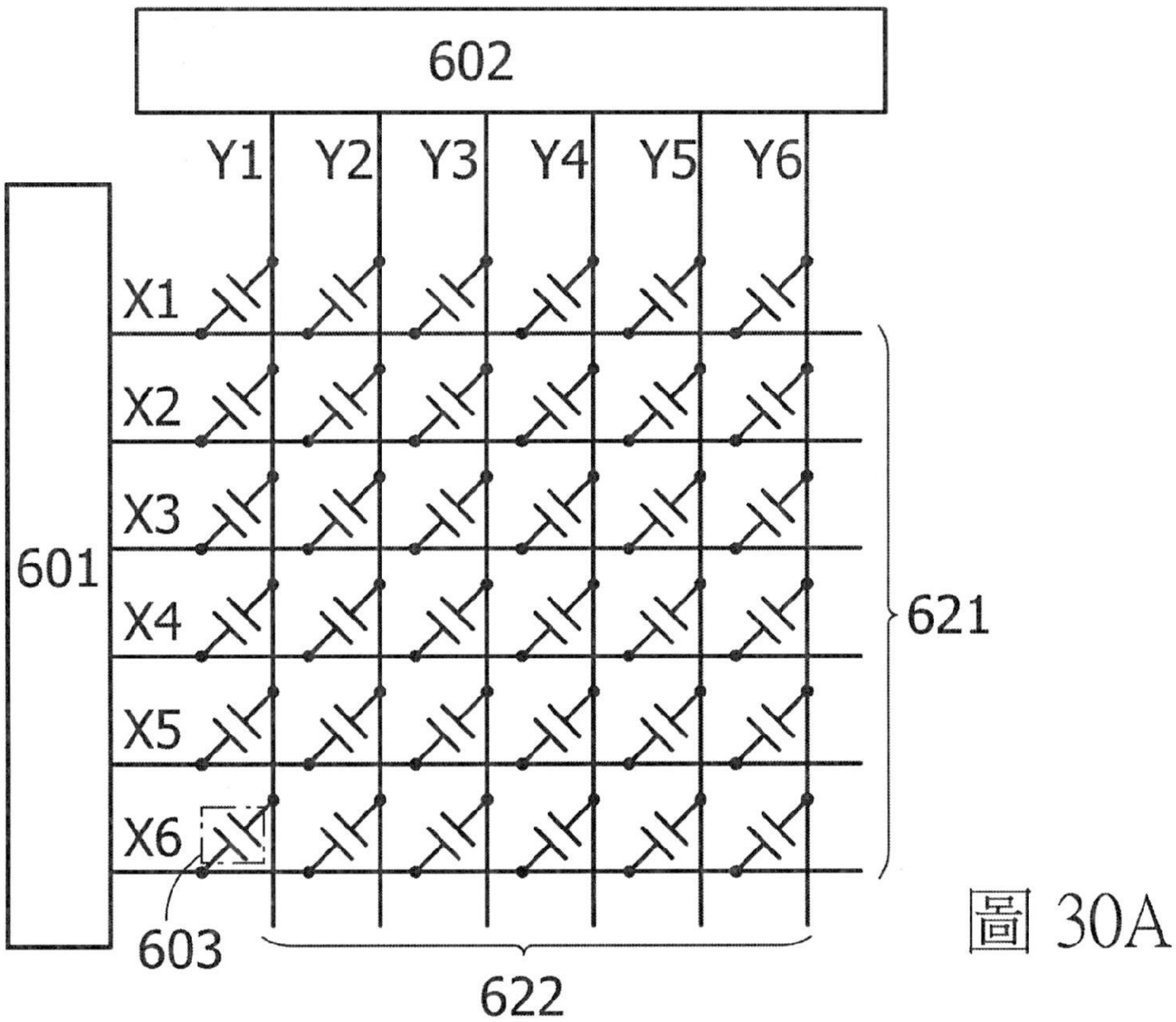

602
Y1
Y2
Y3
Y4
Y5
Y6
X1
X2
X3
X4
X5
X6
601
621
603
622

圖 30A

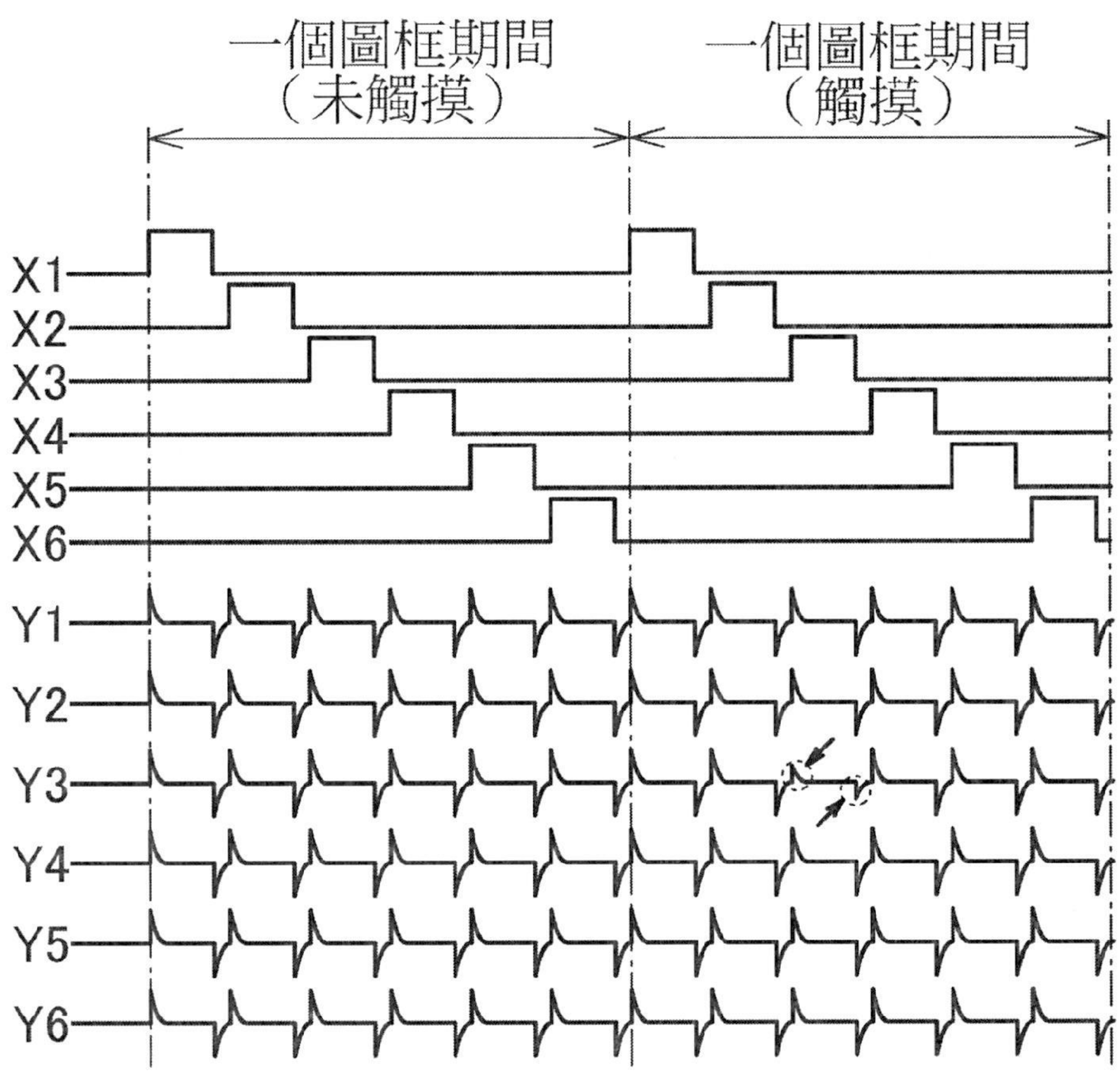

一個圖框期間
（未觸摸）
一個圖框期間
（觸摸）
X1
X2
X3
X4
X5
X6
Y1
Y2
Y3
Y4
Y5
Y6

圖 30B

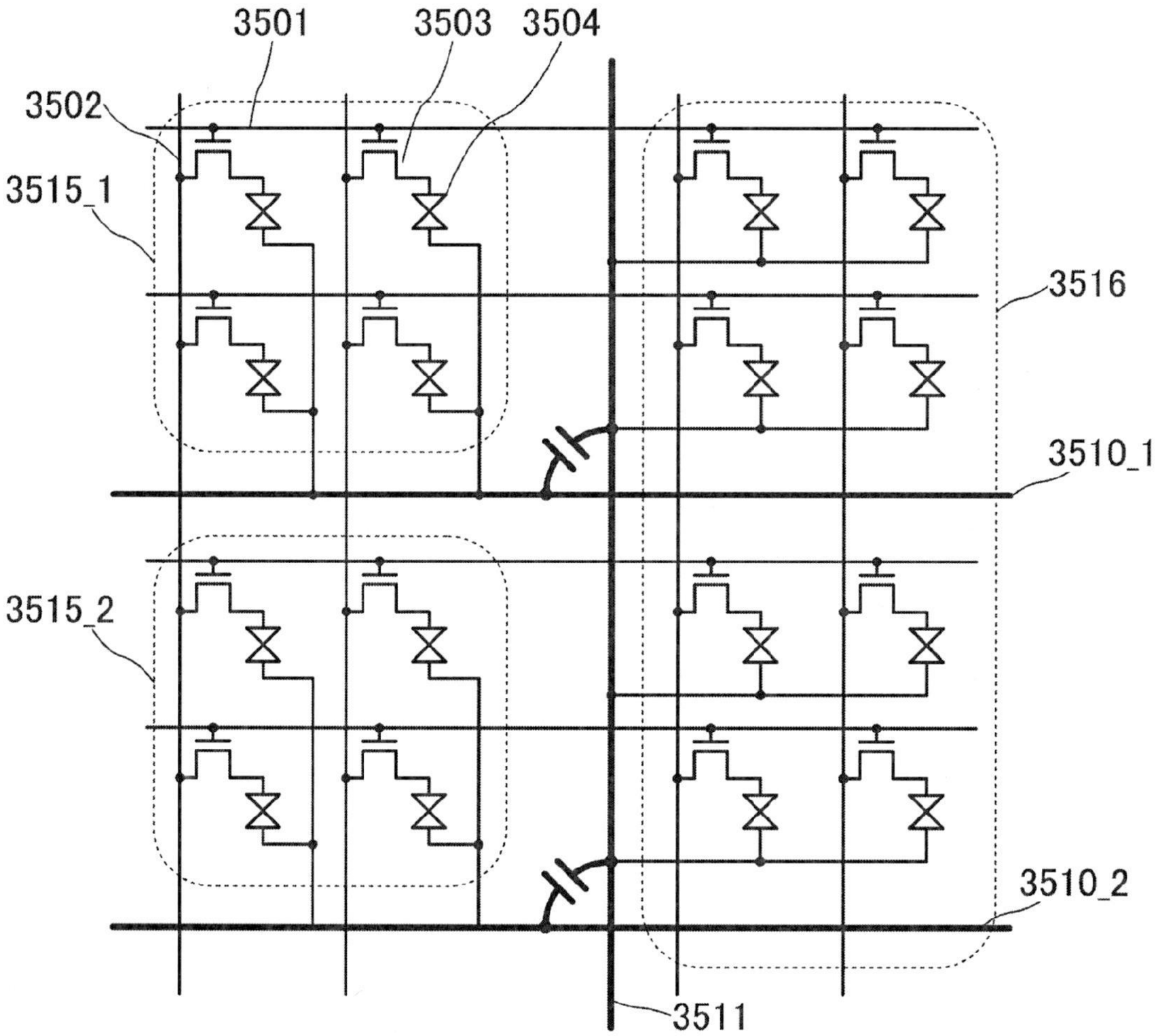

3501
3503
3504
3502
3515_1
3516
3510_1
3515_2
3510_2
3511

圖 31A

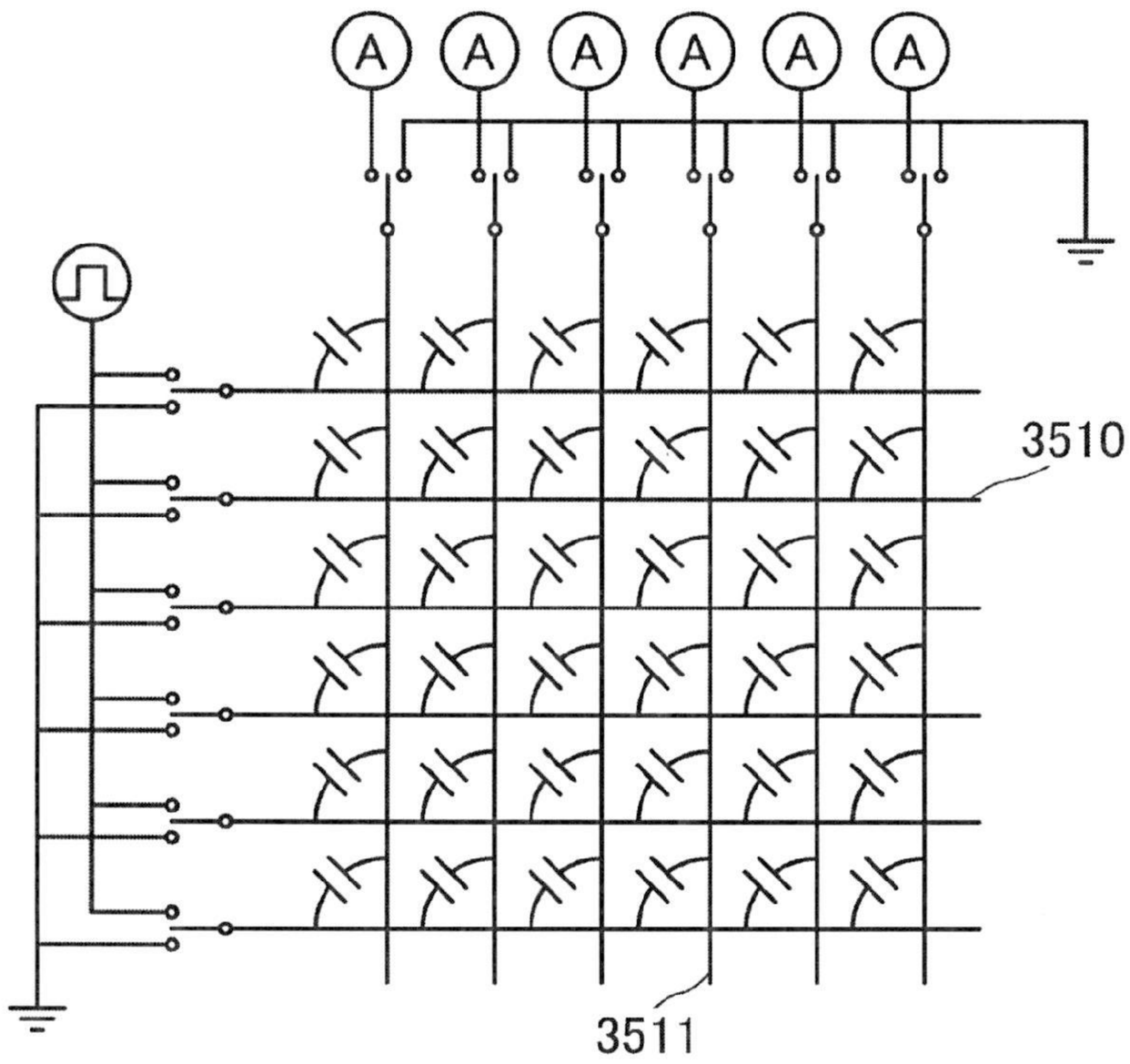

A
A
A
A
A
A
3510
3511

圖 31B

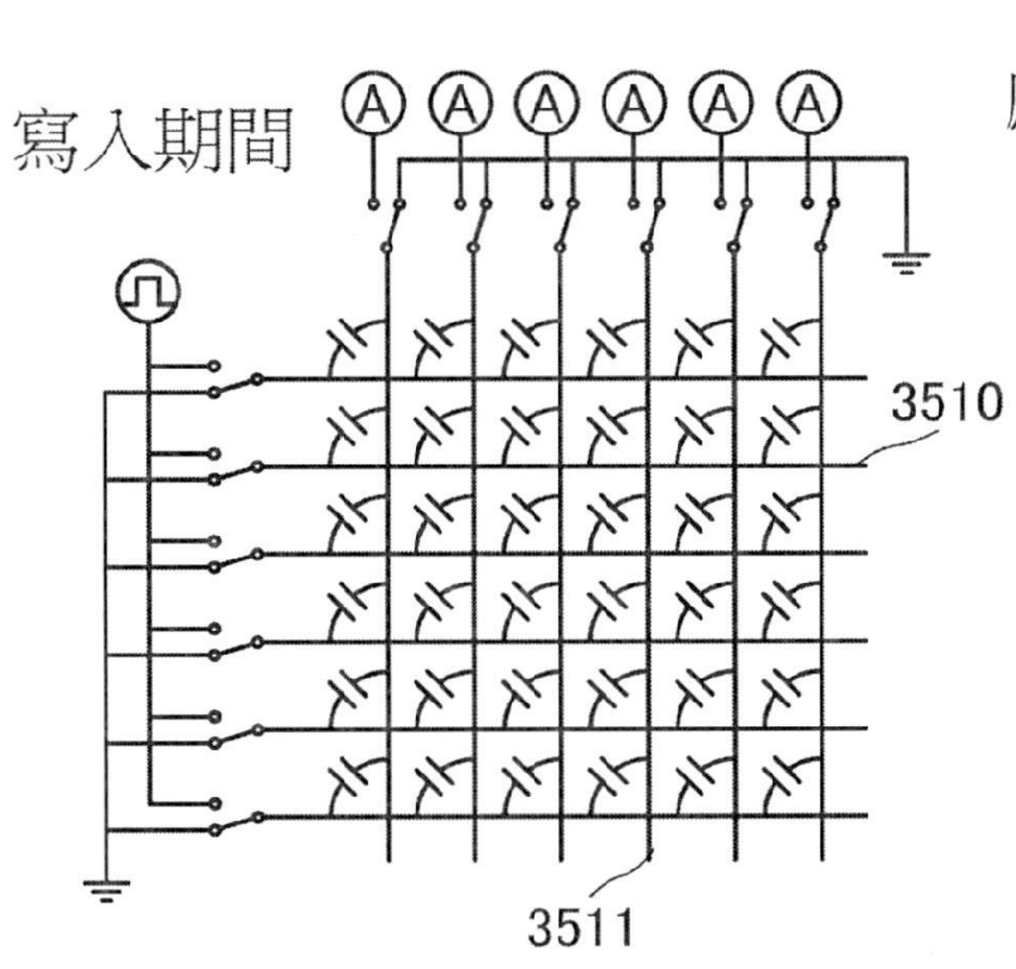


圖 32A

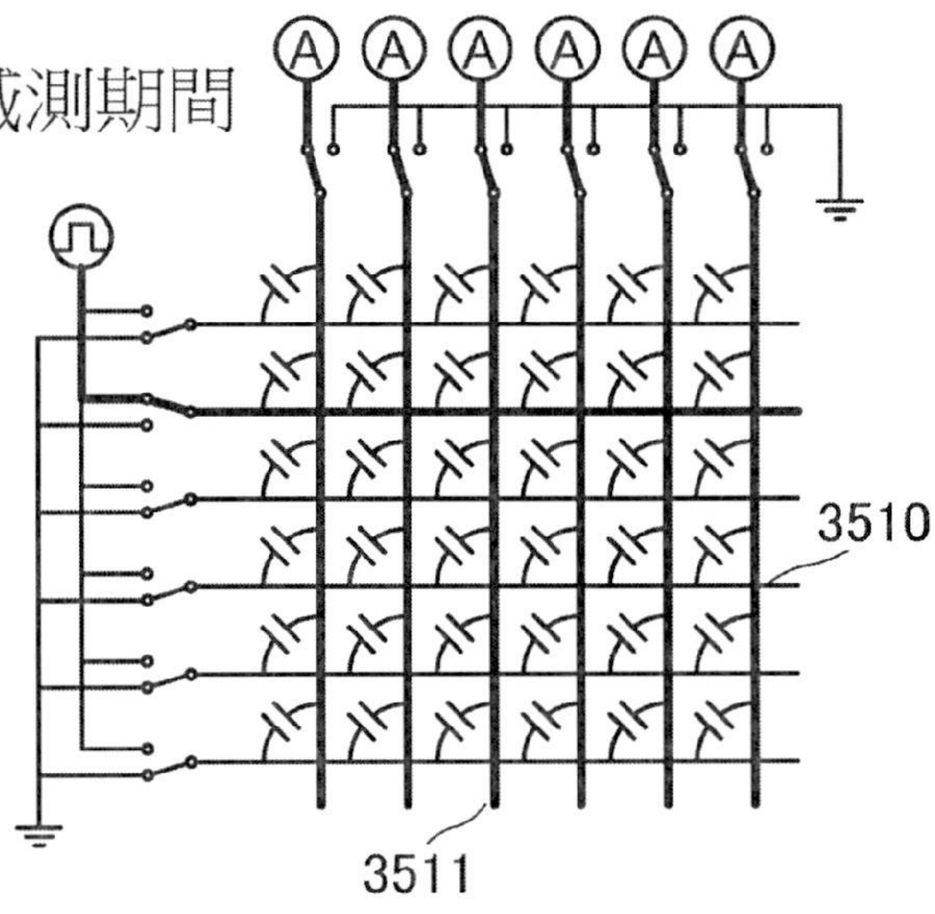


圖 32B

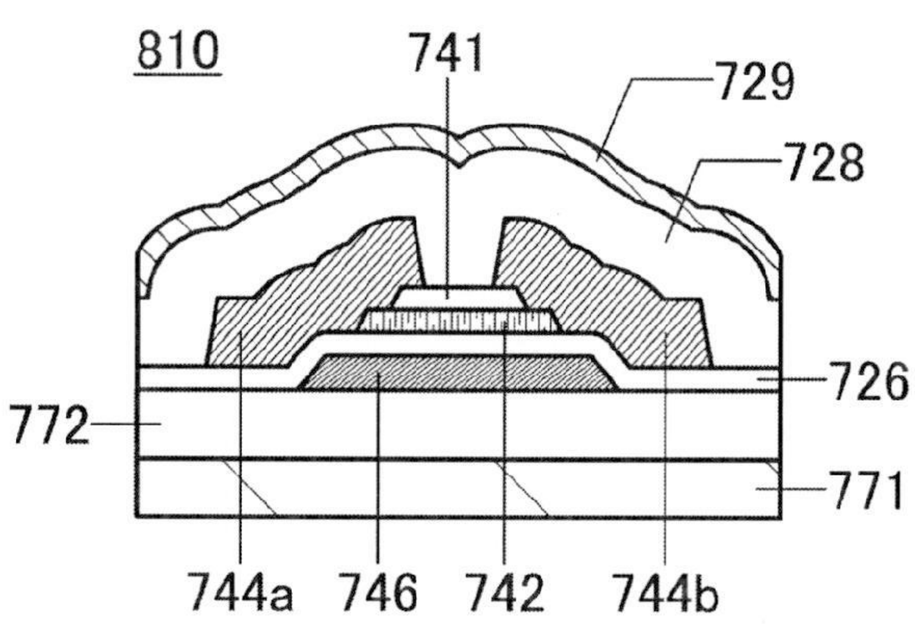


圖 33A1

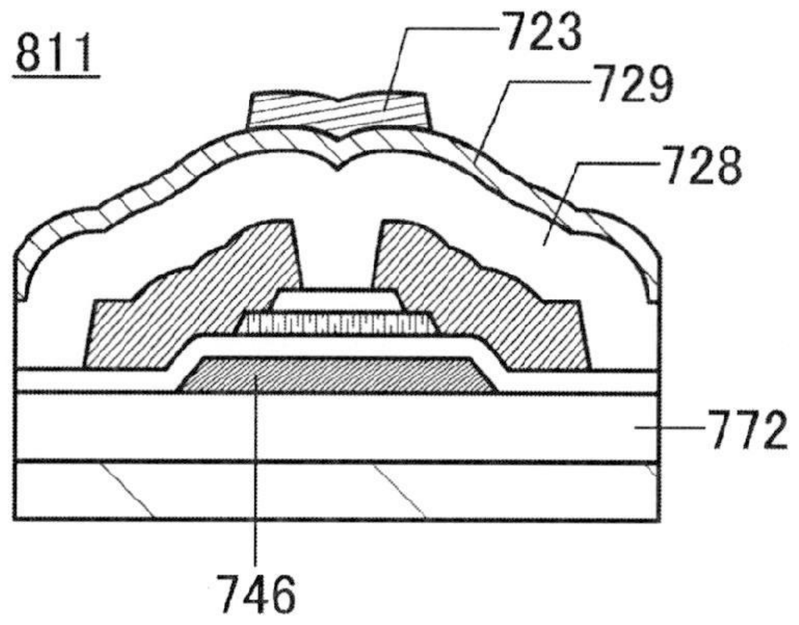


圖 33A2

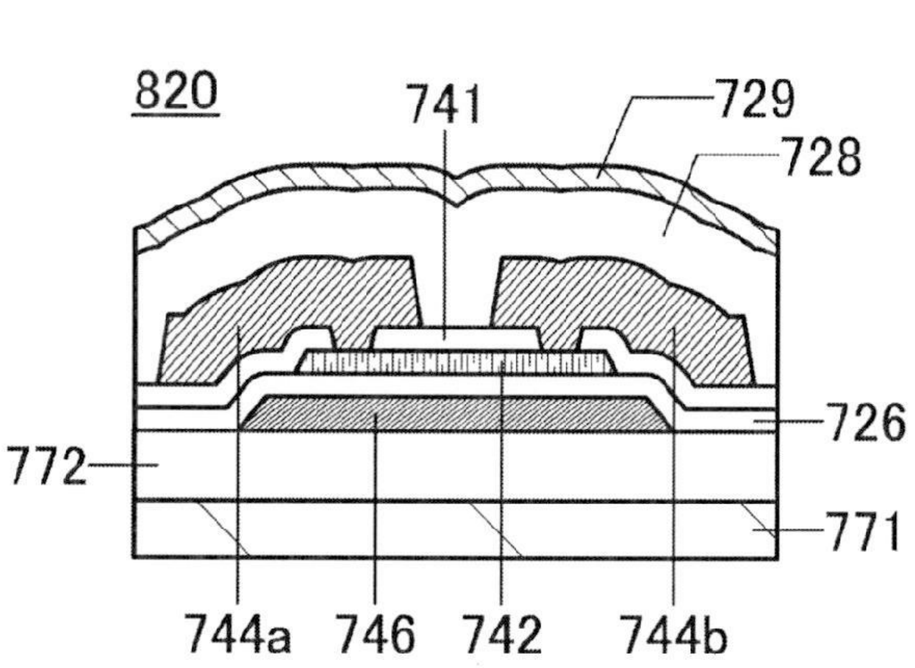


圖 33B1

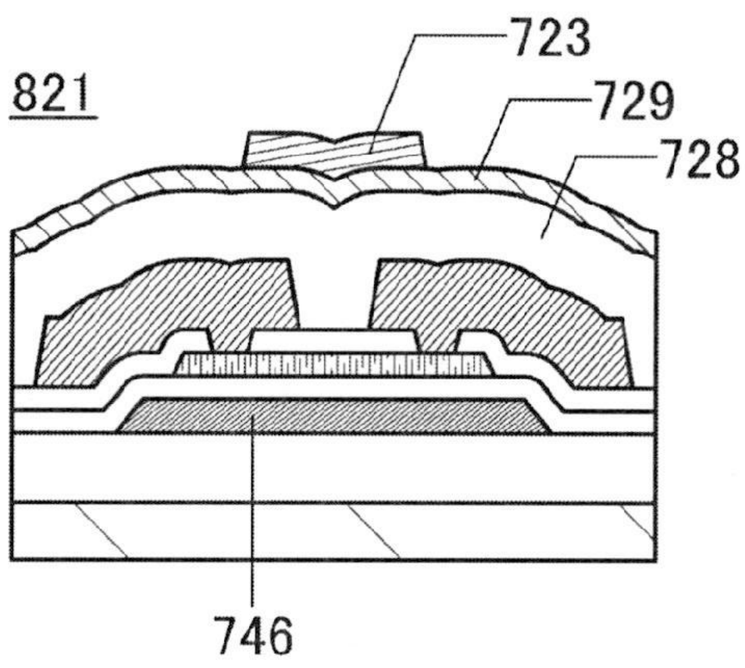


圖 33B2

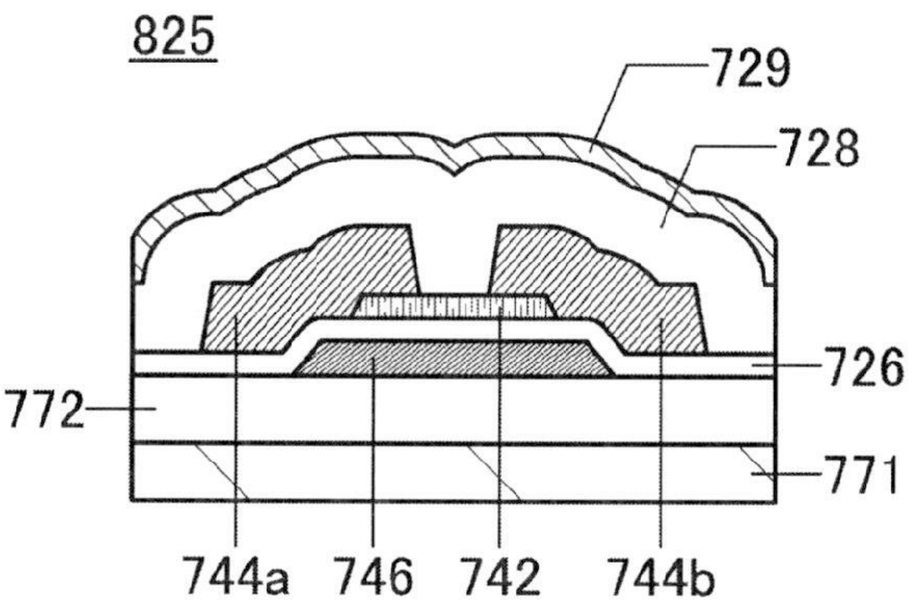


圖 33C1

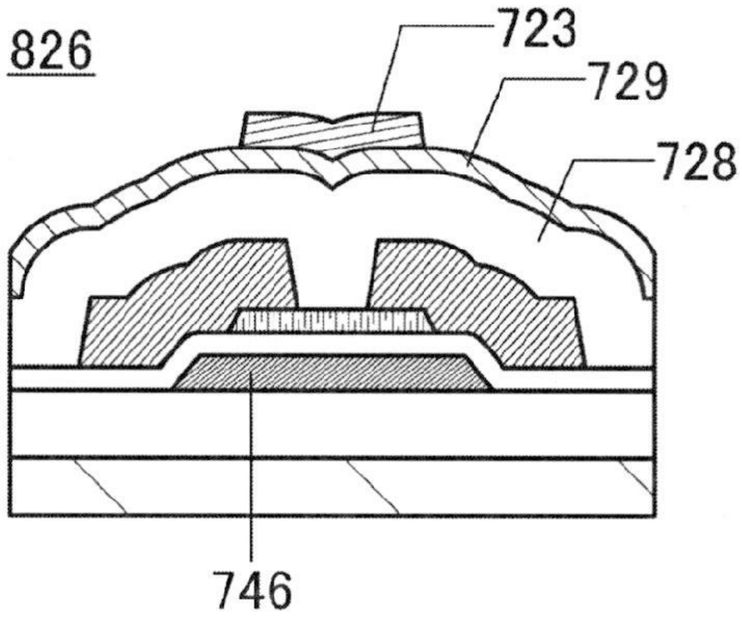


圖 33C2

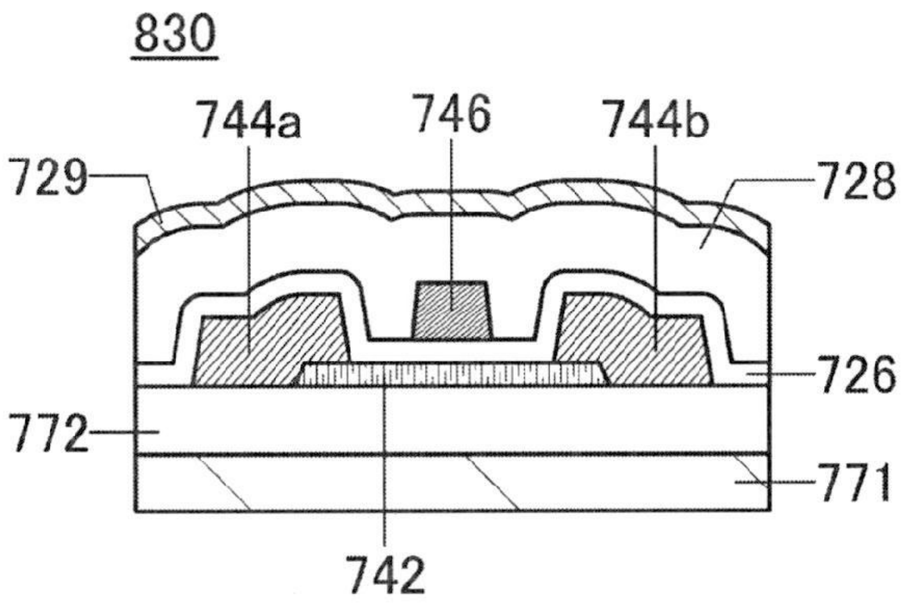


圖 34A1

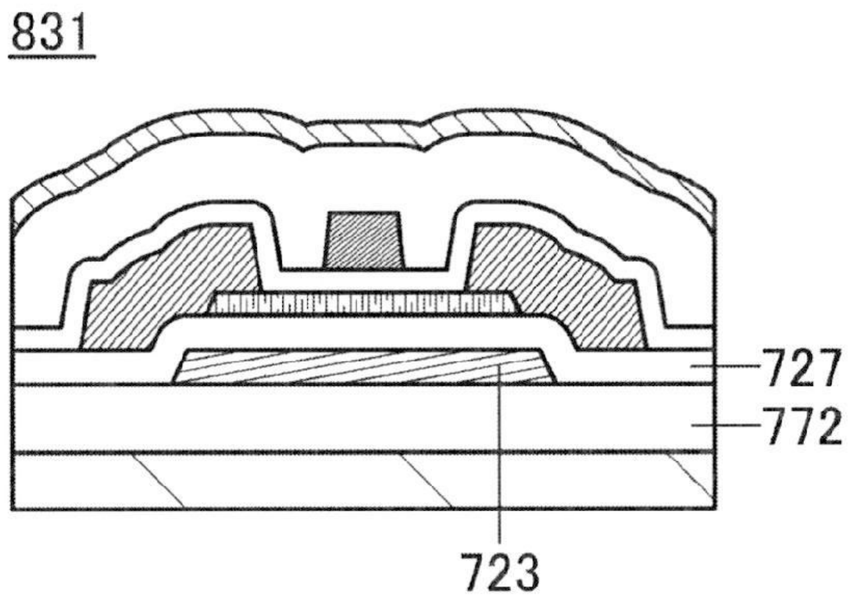


圖 34A2

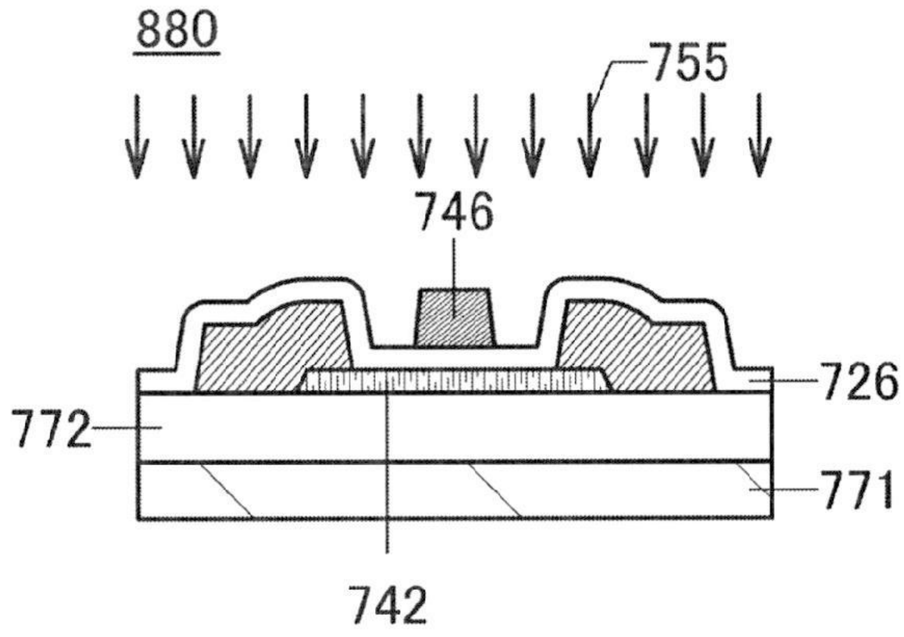


圖 34A3

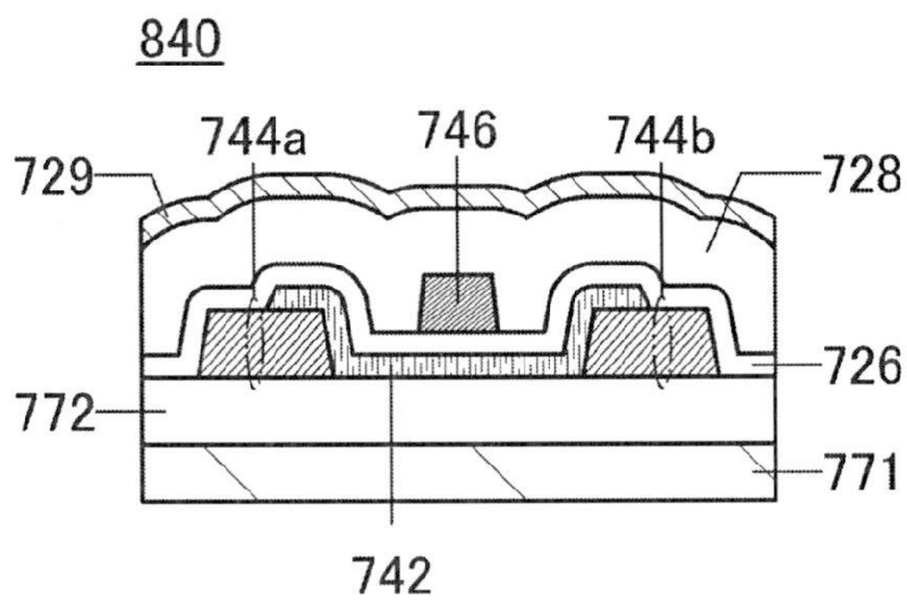


圖 34B1

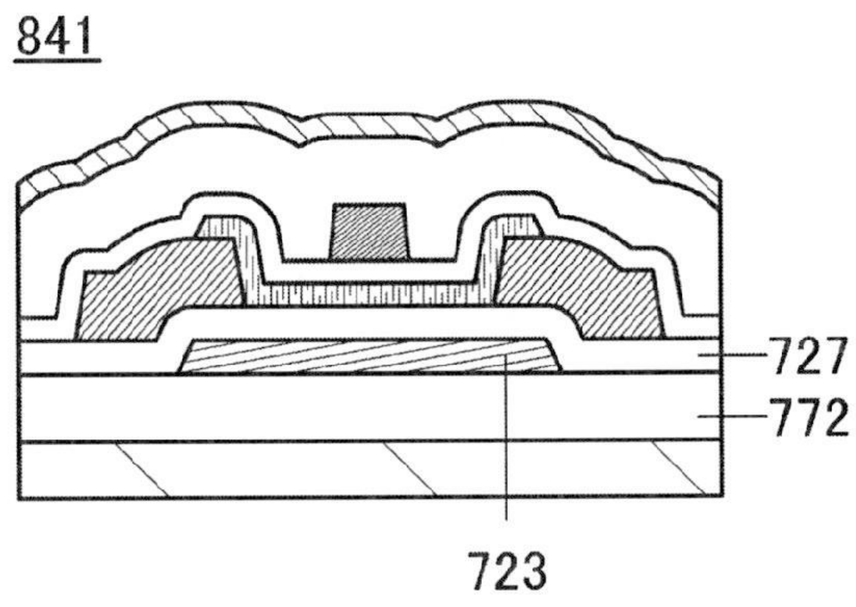


圖 34B2

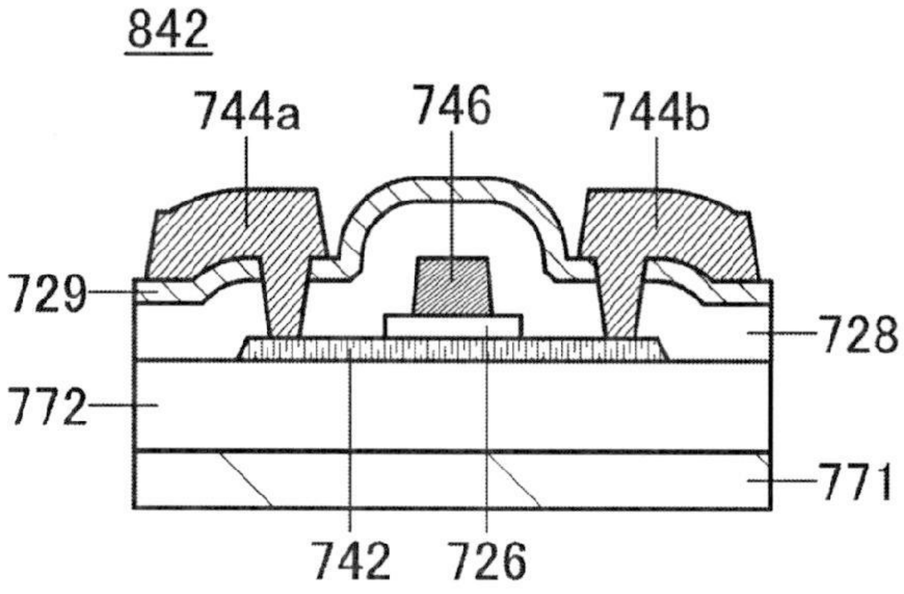


圖 35A1

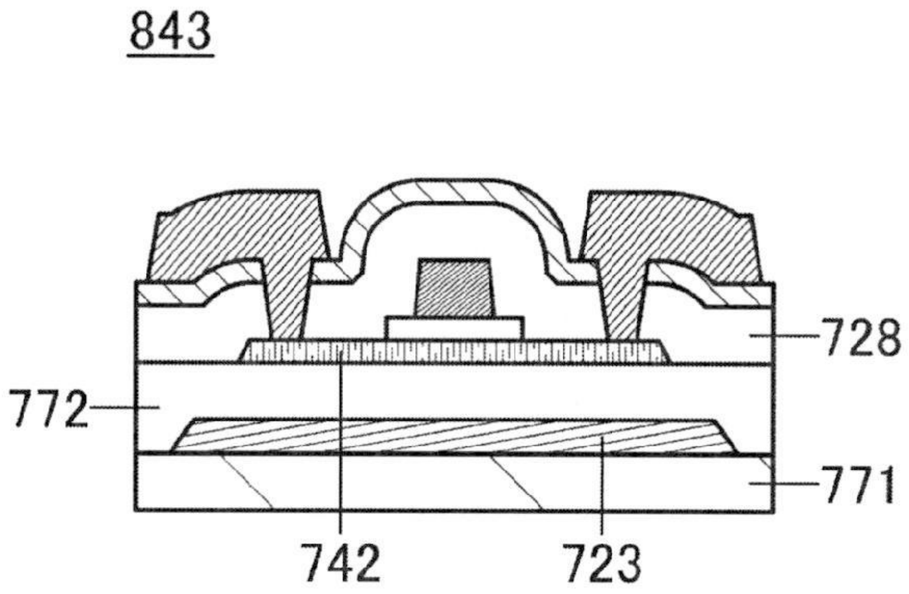


圖 35A2

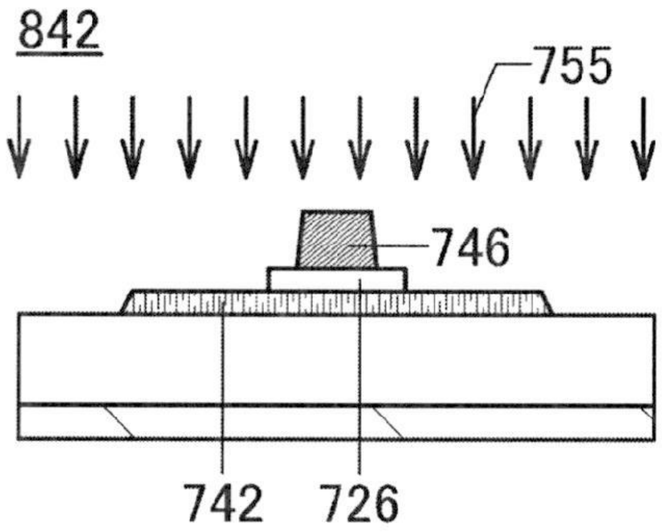


圖 35A3

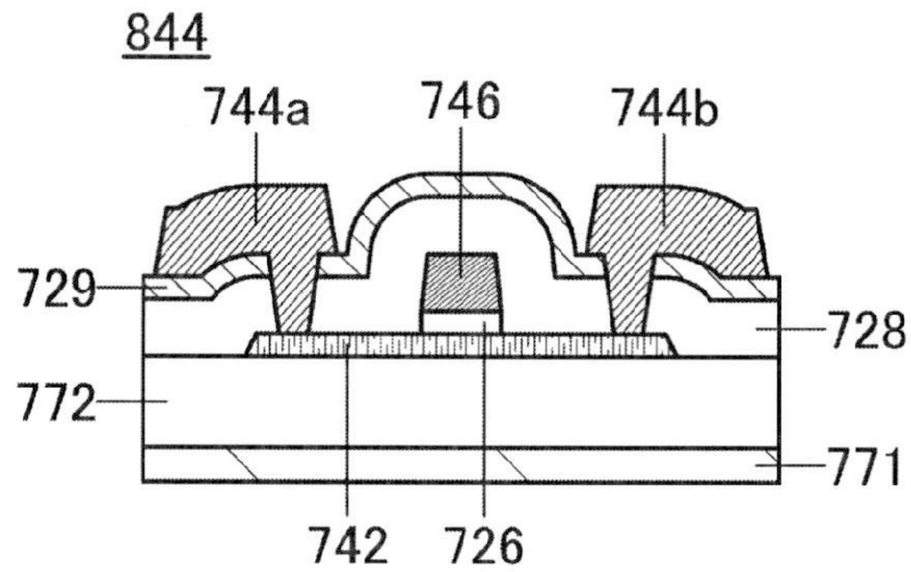


圖 35B1

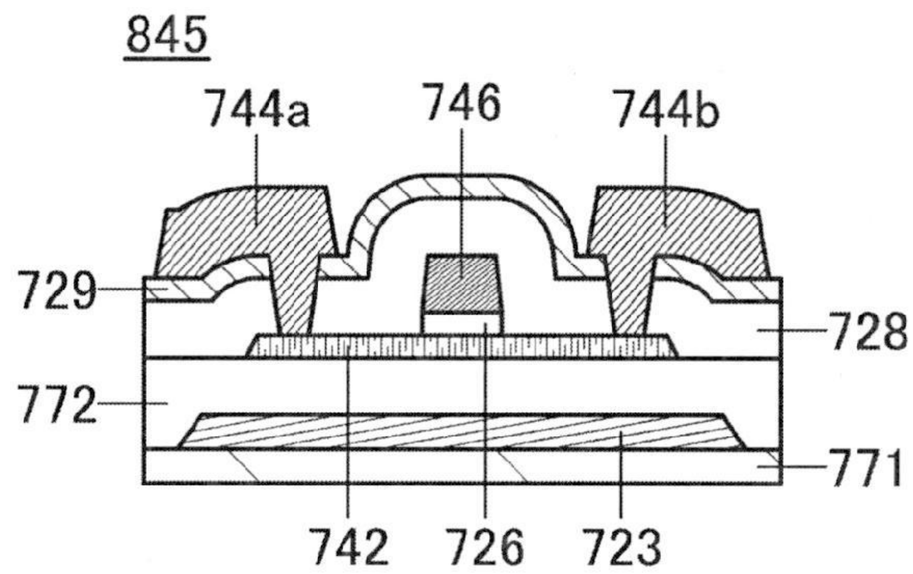


圖 35B2

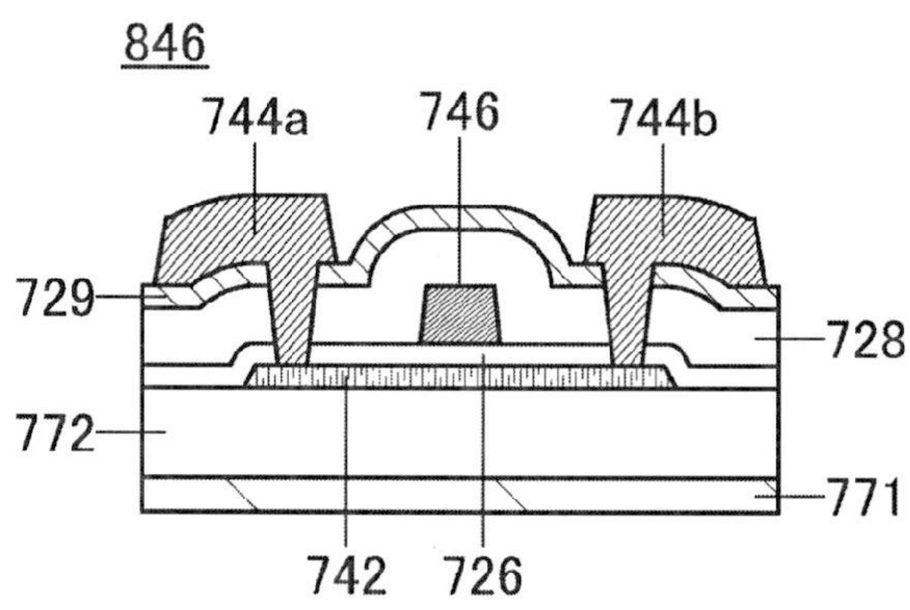


圖 35C1

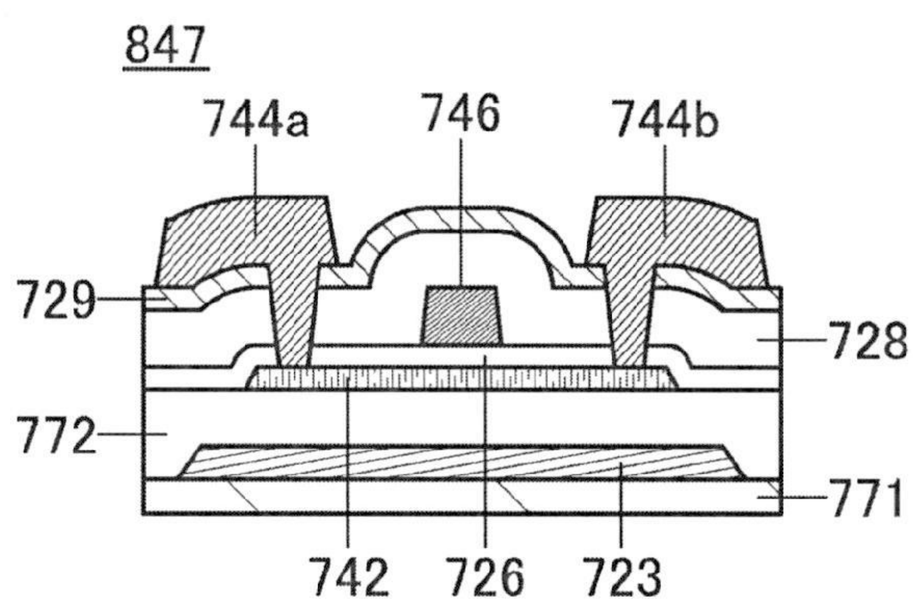


圖 35C2

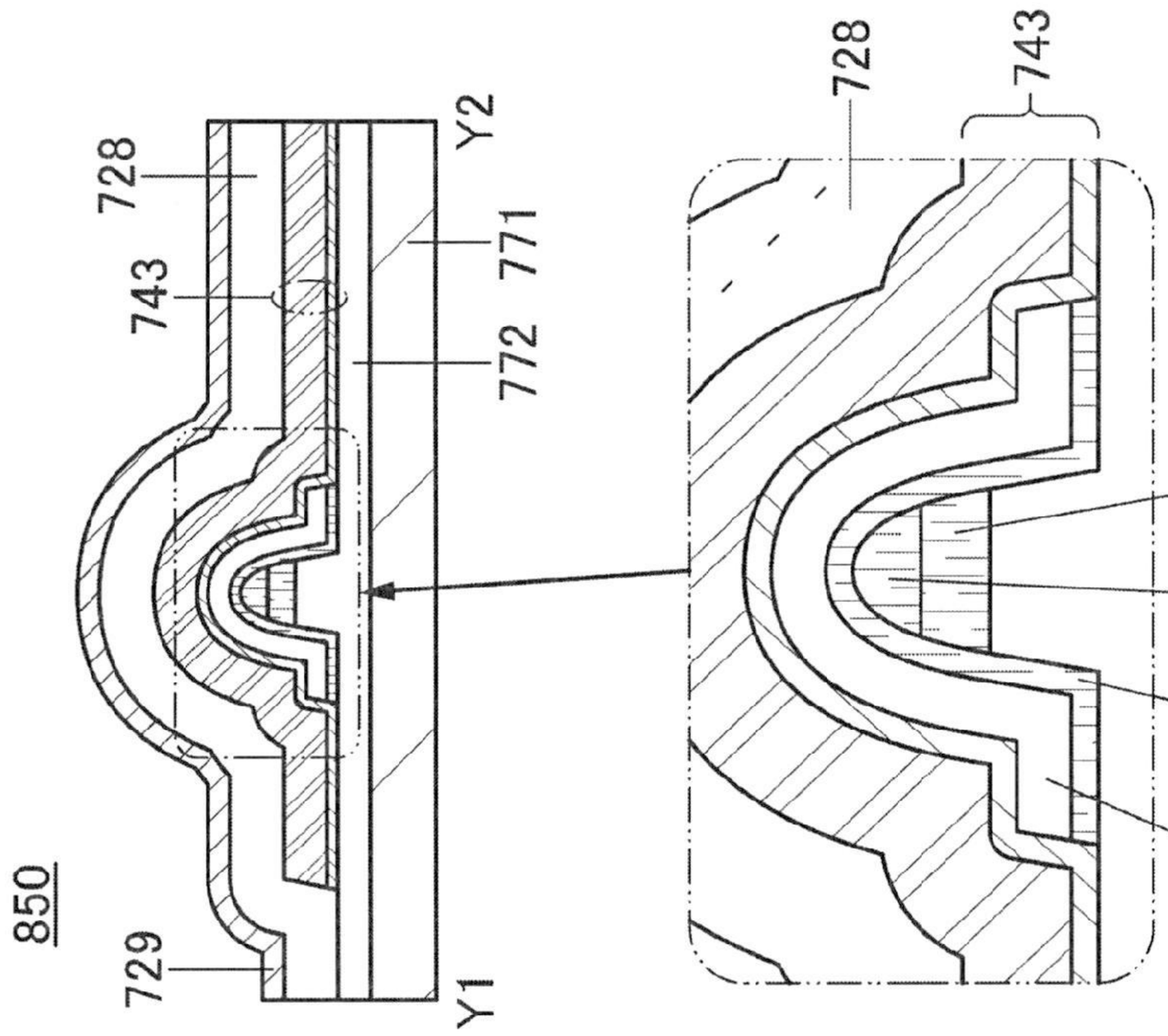


圖 36C

圖 36A

圖 36B

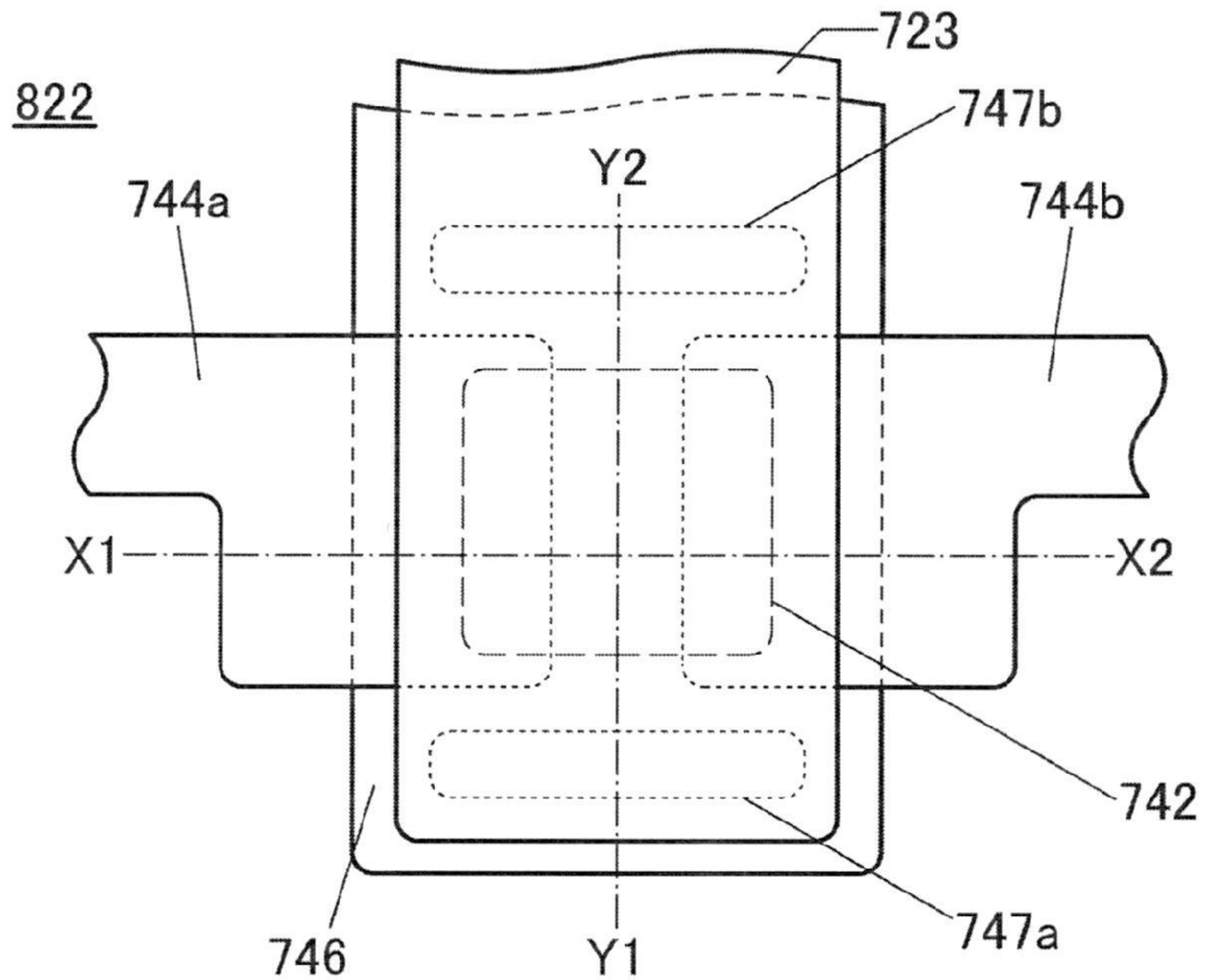


圖 37A

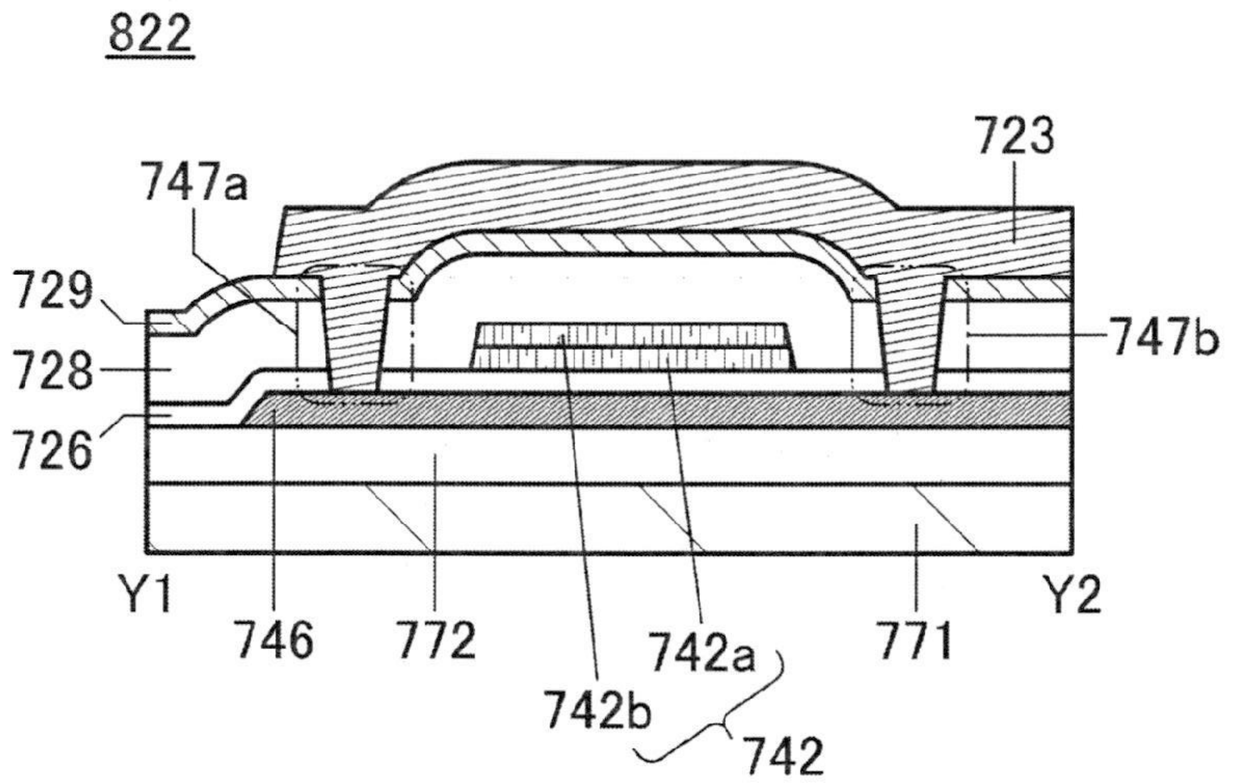


圖 37C

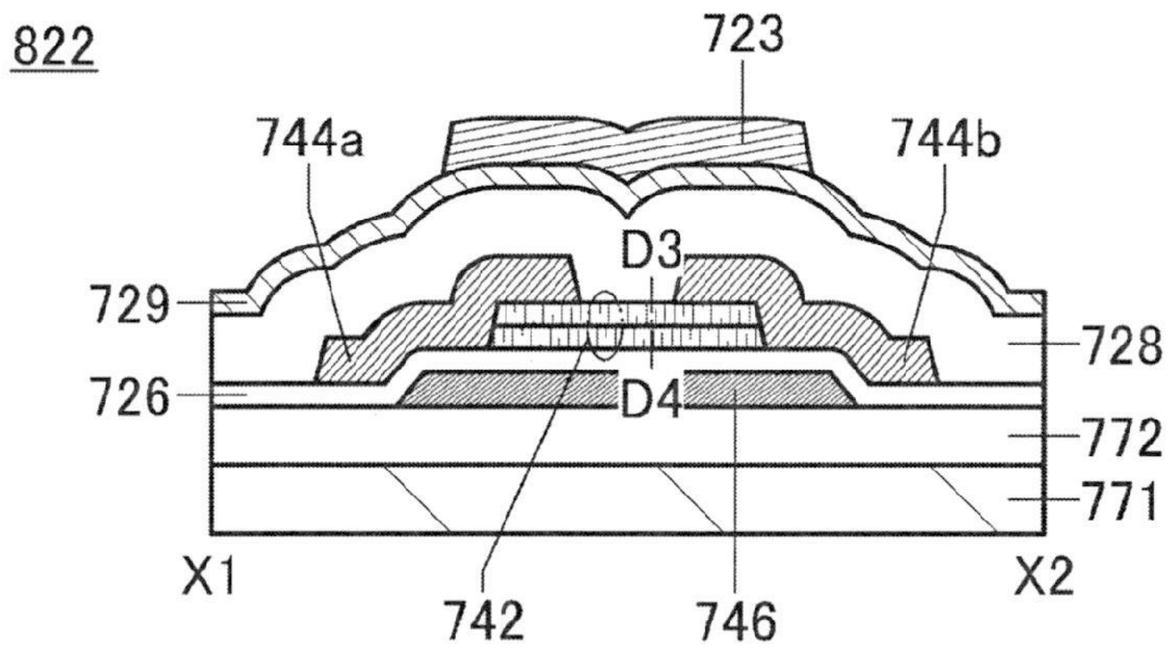


圖 37B

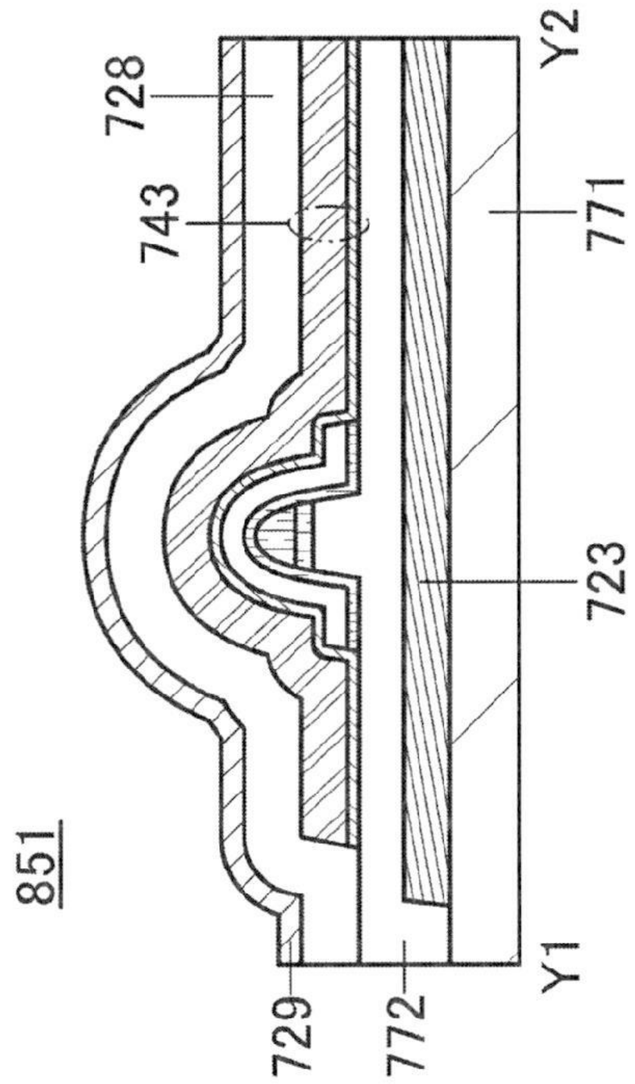


圖 38C

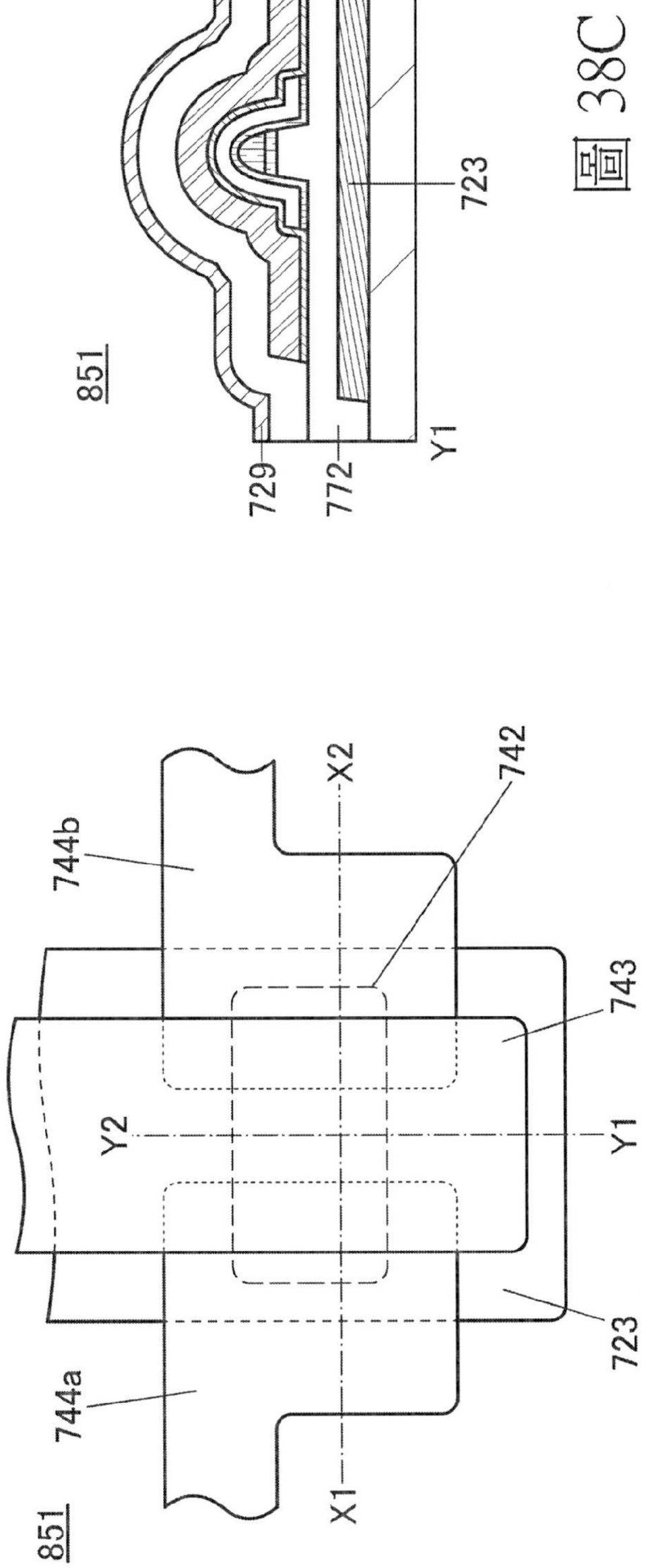


圖 38A

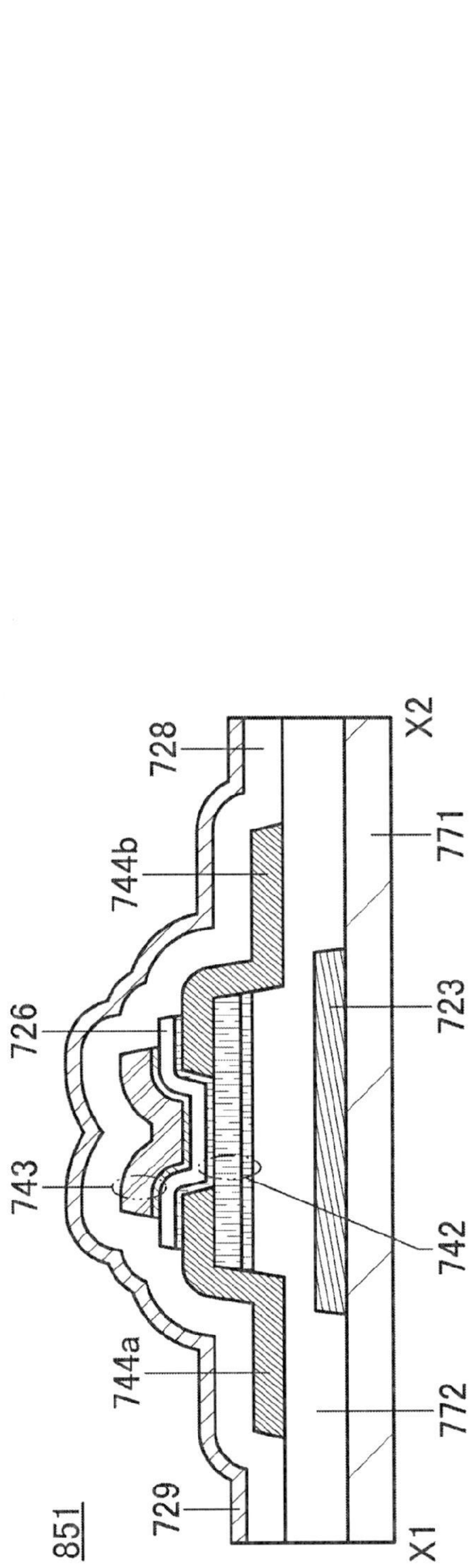


圖 38B

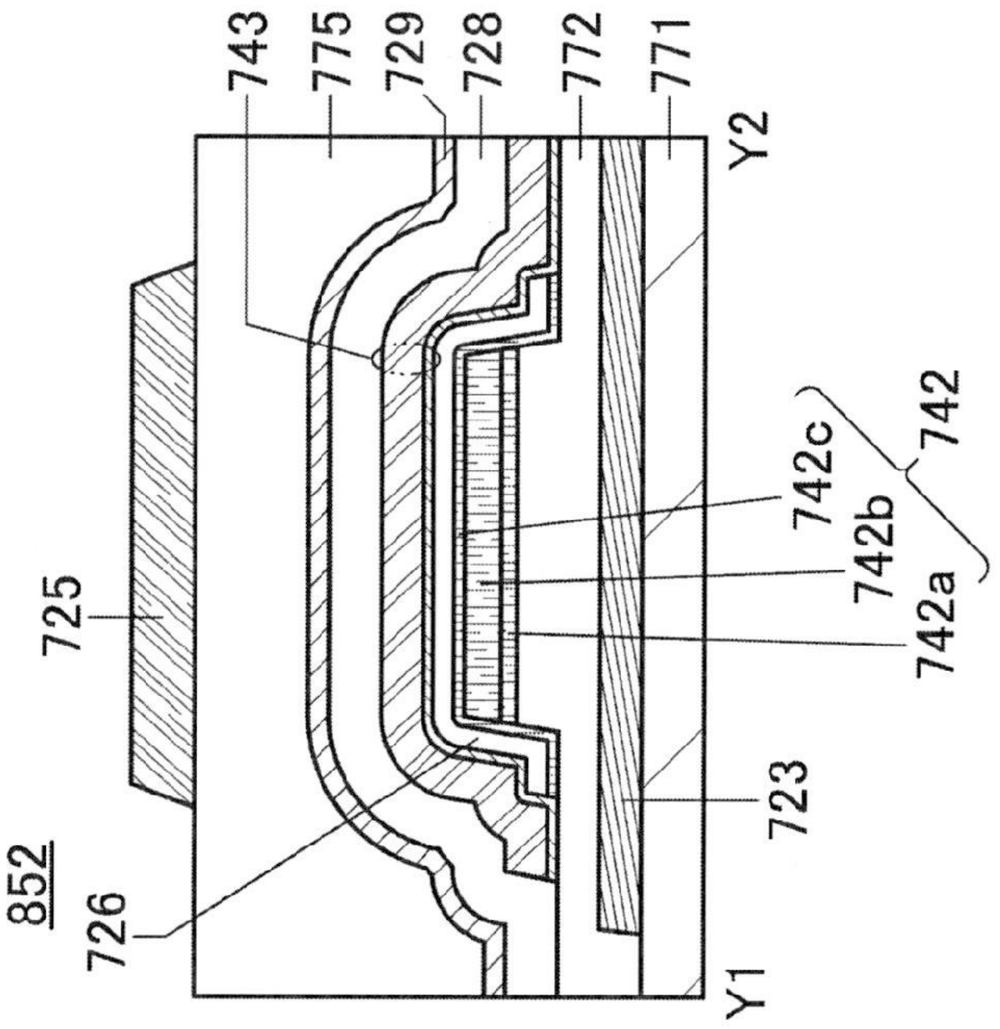


圖 39C

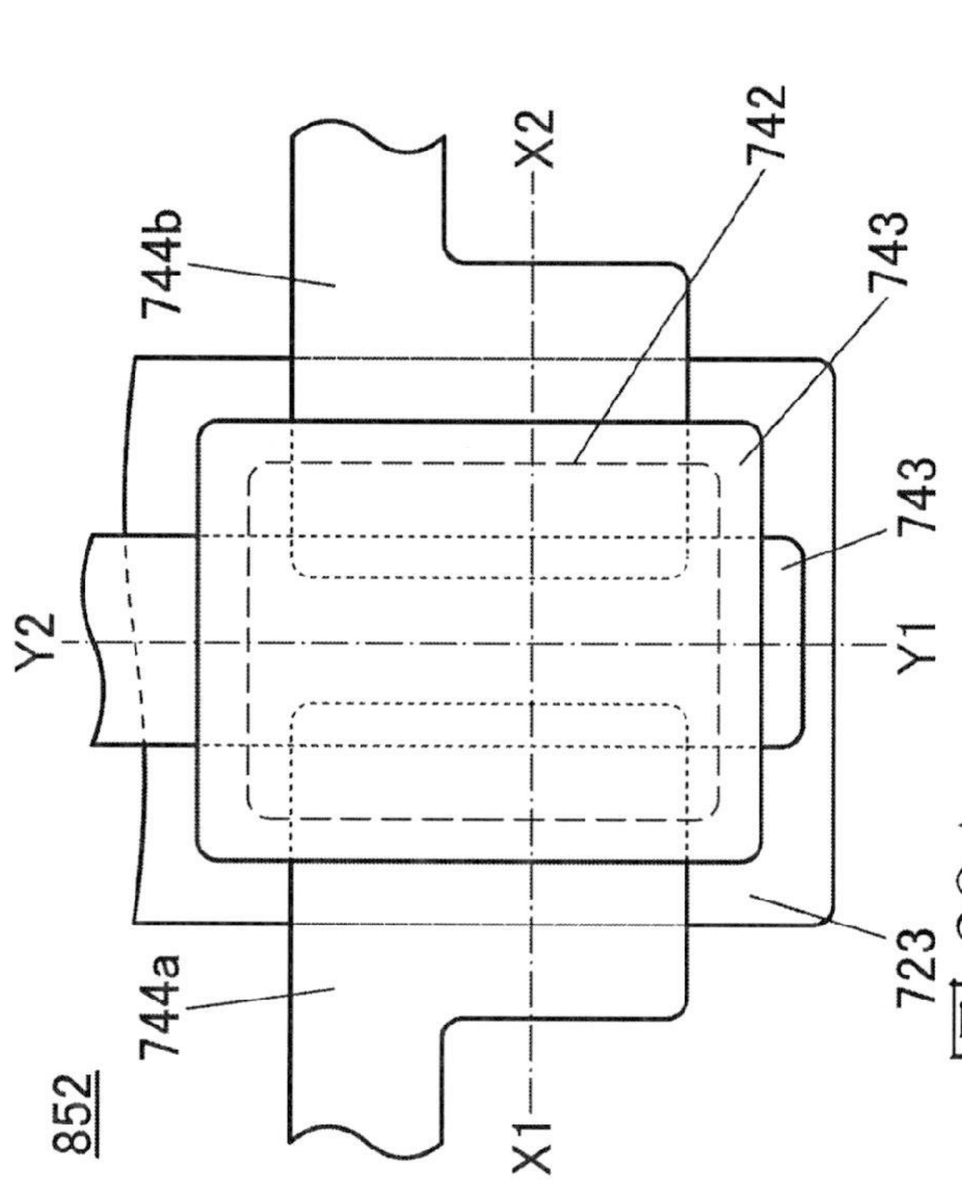


圖 39A

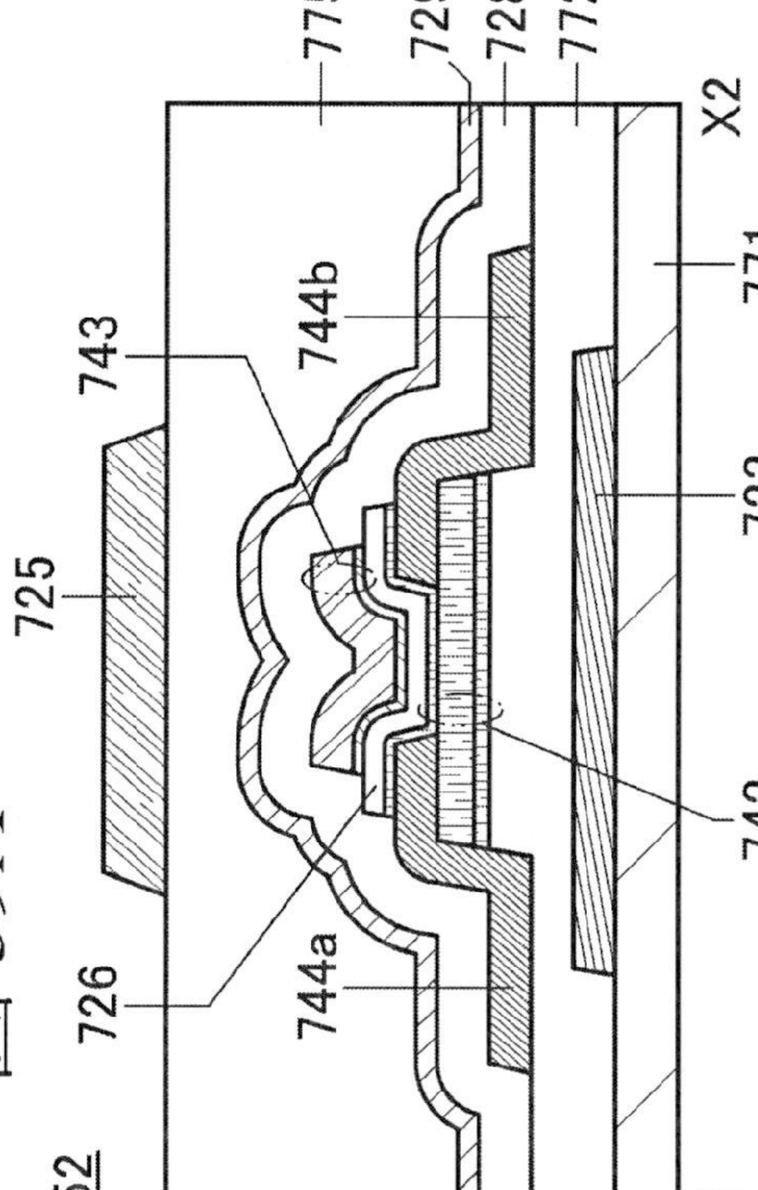


圖 39B

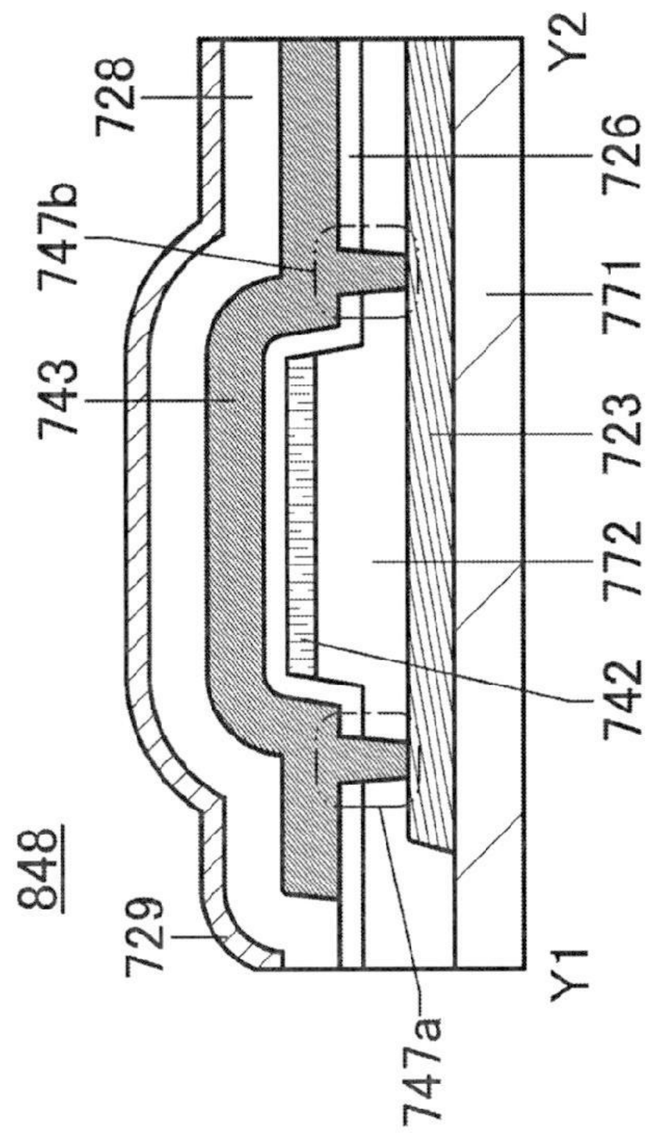


圖 40C

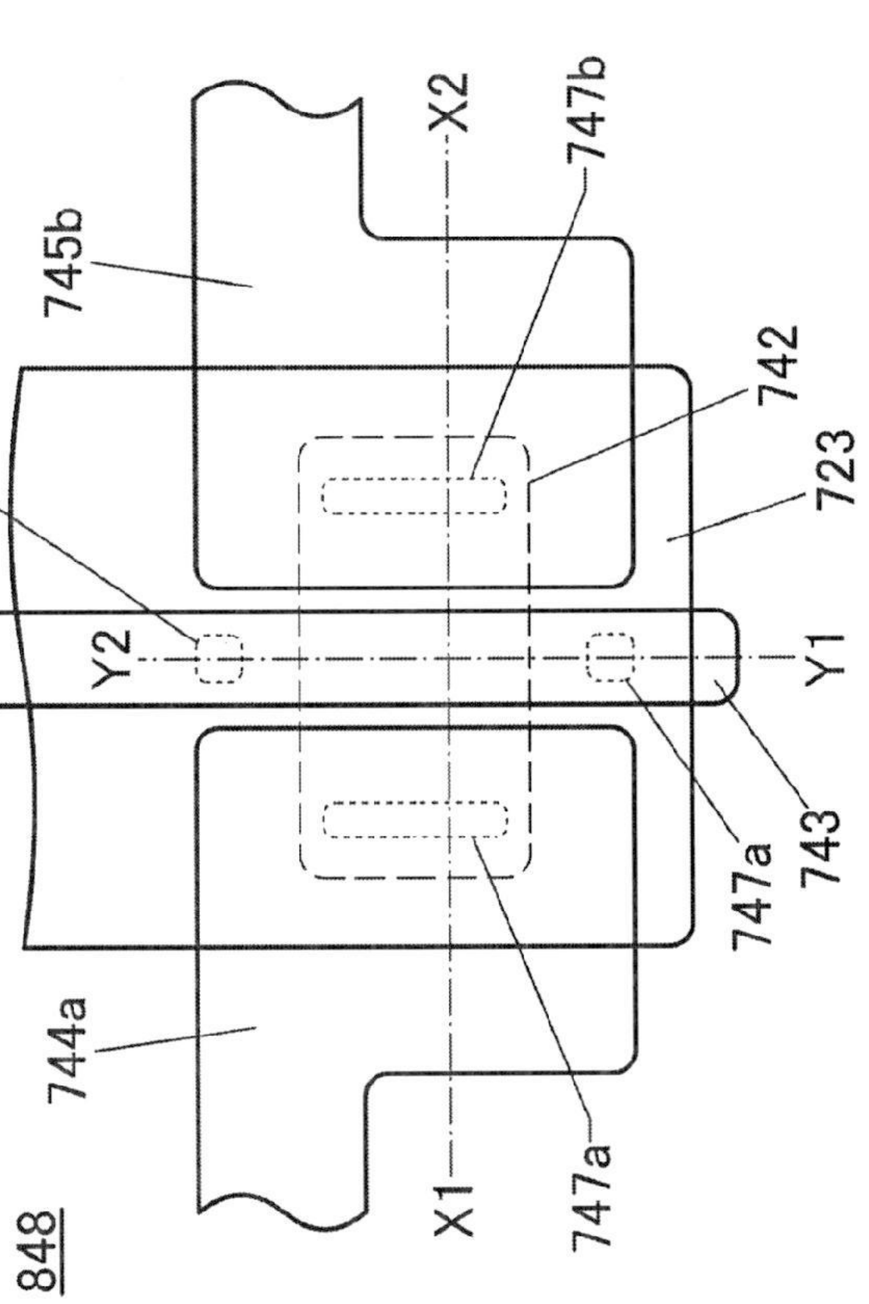


圖 40A

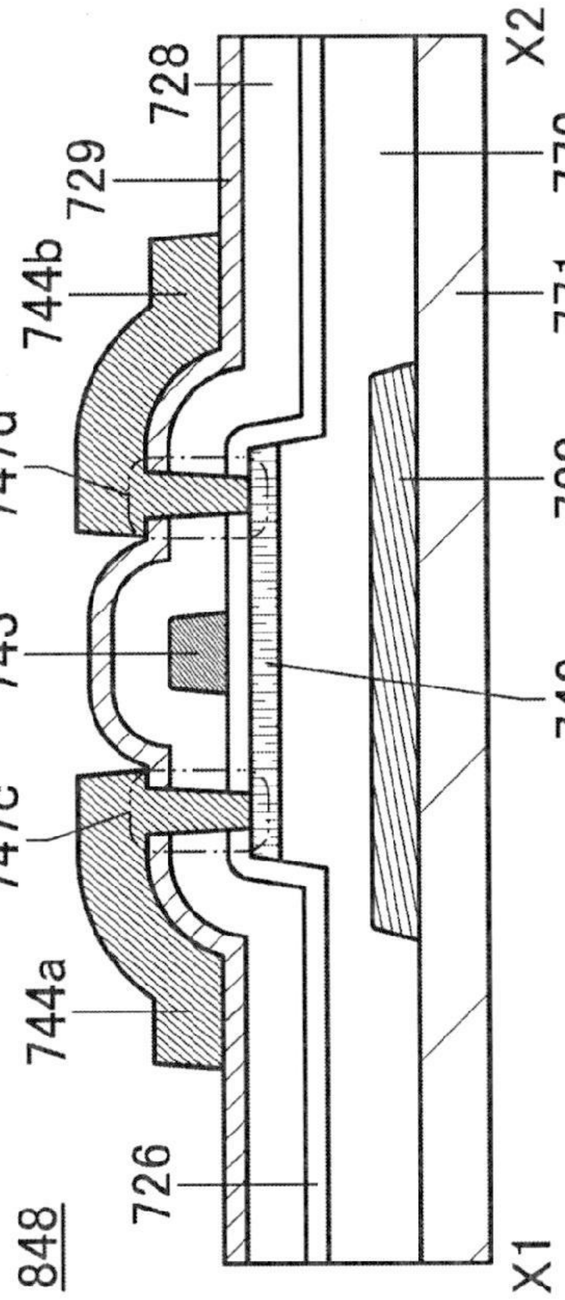


圖 40B

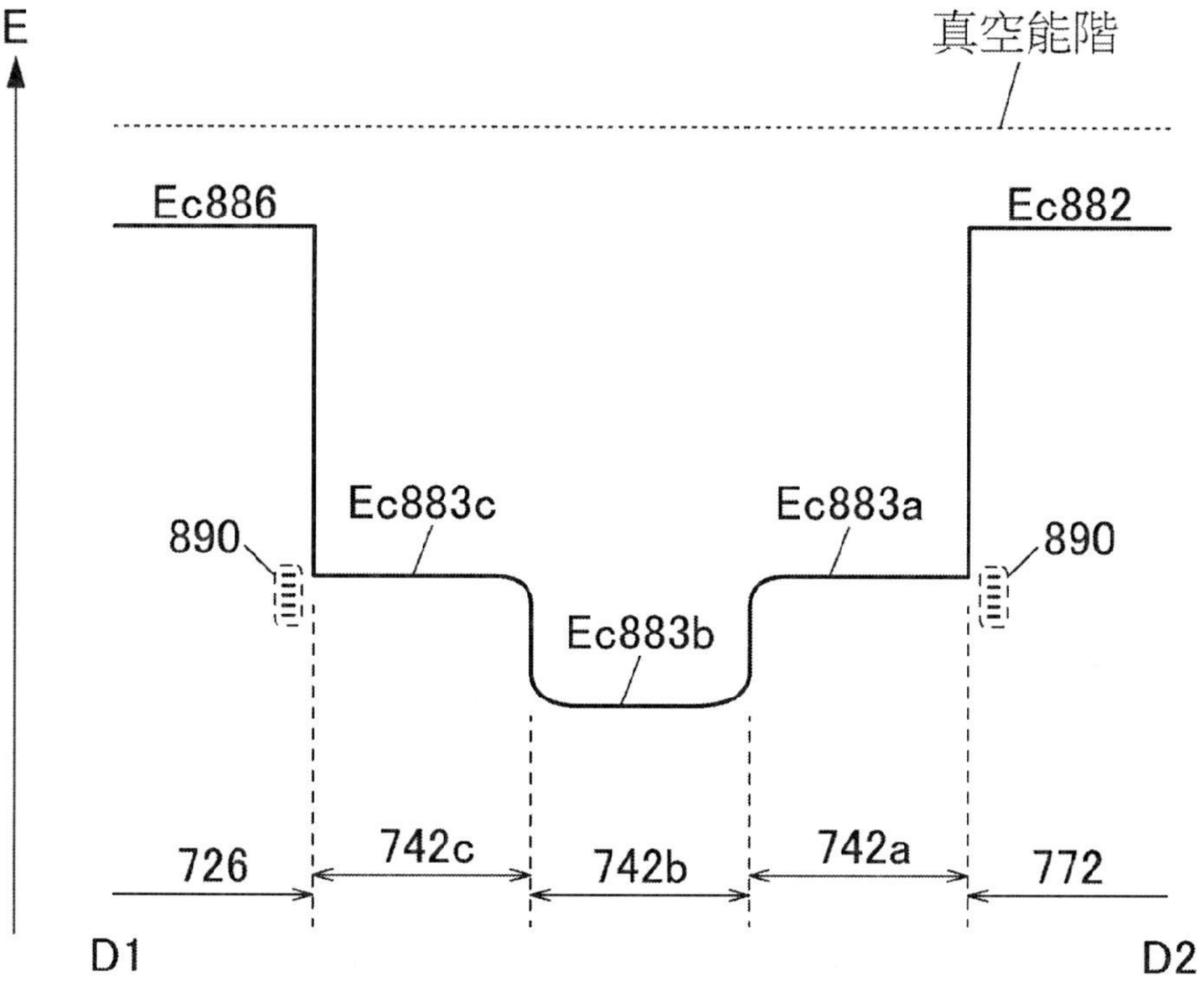

E
真空能階
Ec886
Ec882
Ec883c
Ec883a
890
890
Ec883b
726
742c
742b
742a
772
D1
D2

圖 41A

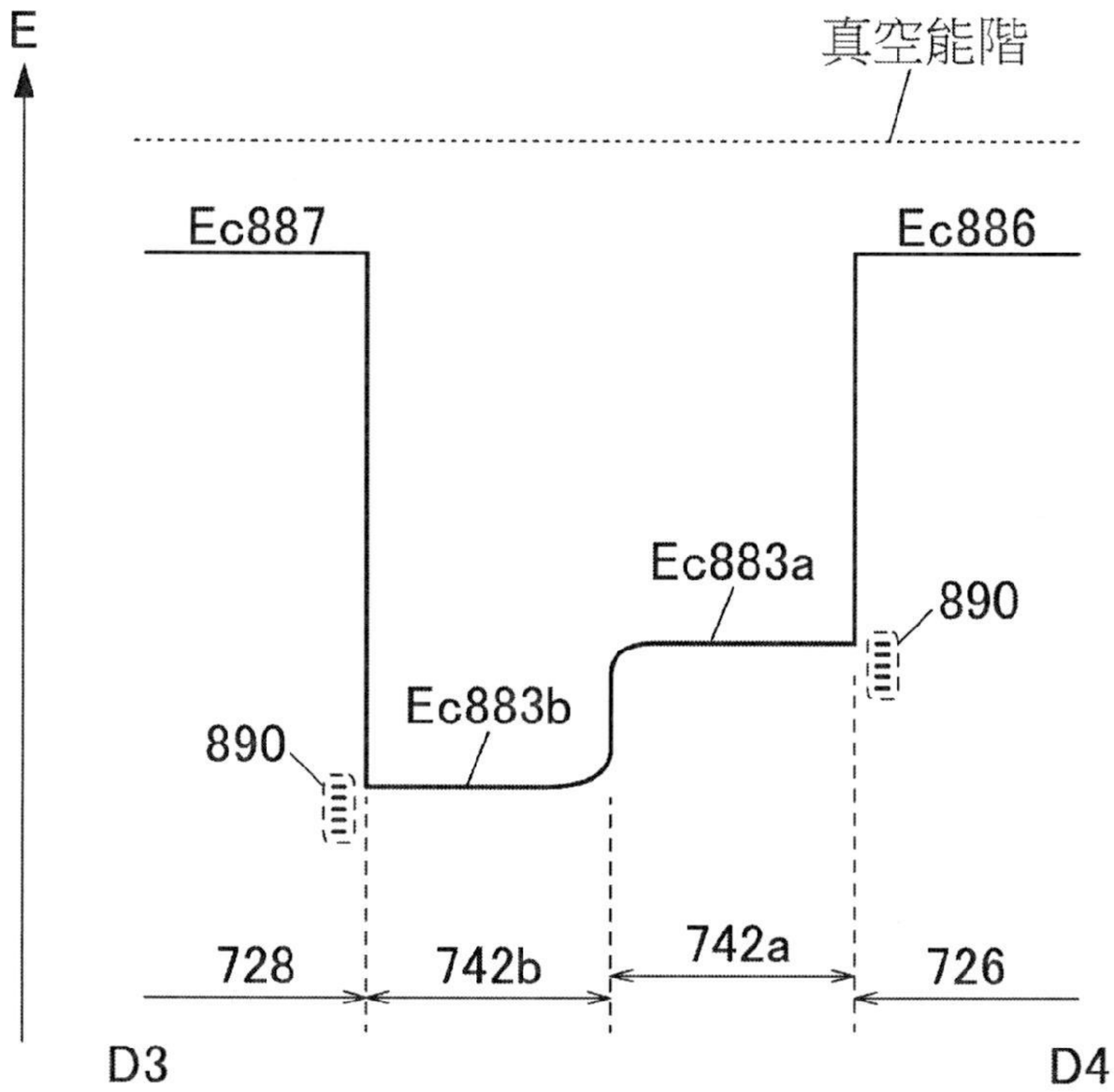

E
真空能階
Ec887
Ec886
Ec883a
890
890
Ec883b
728
742b
742a
726
D3
D4

圖 41B

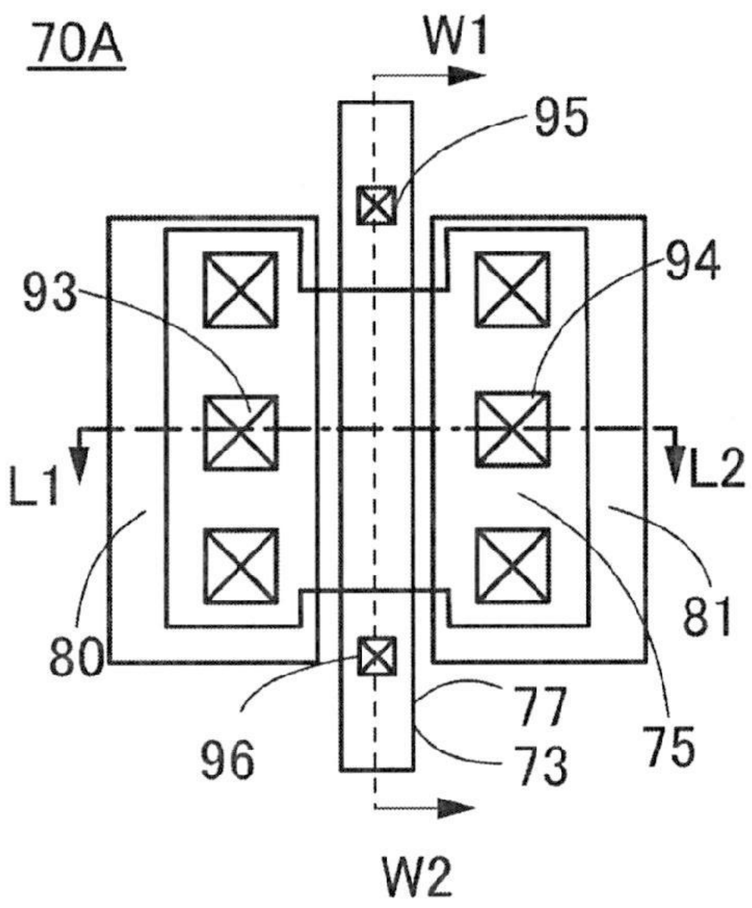


圖 42A

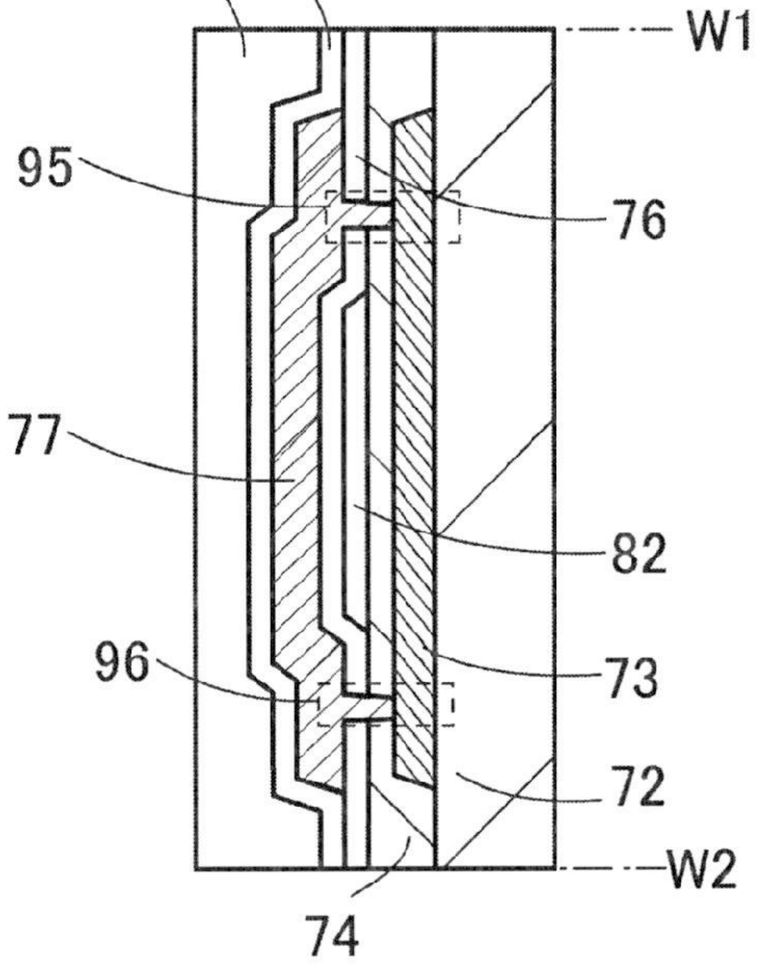


圖 42C

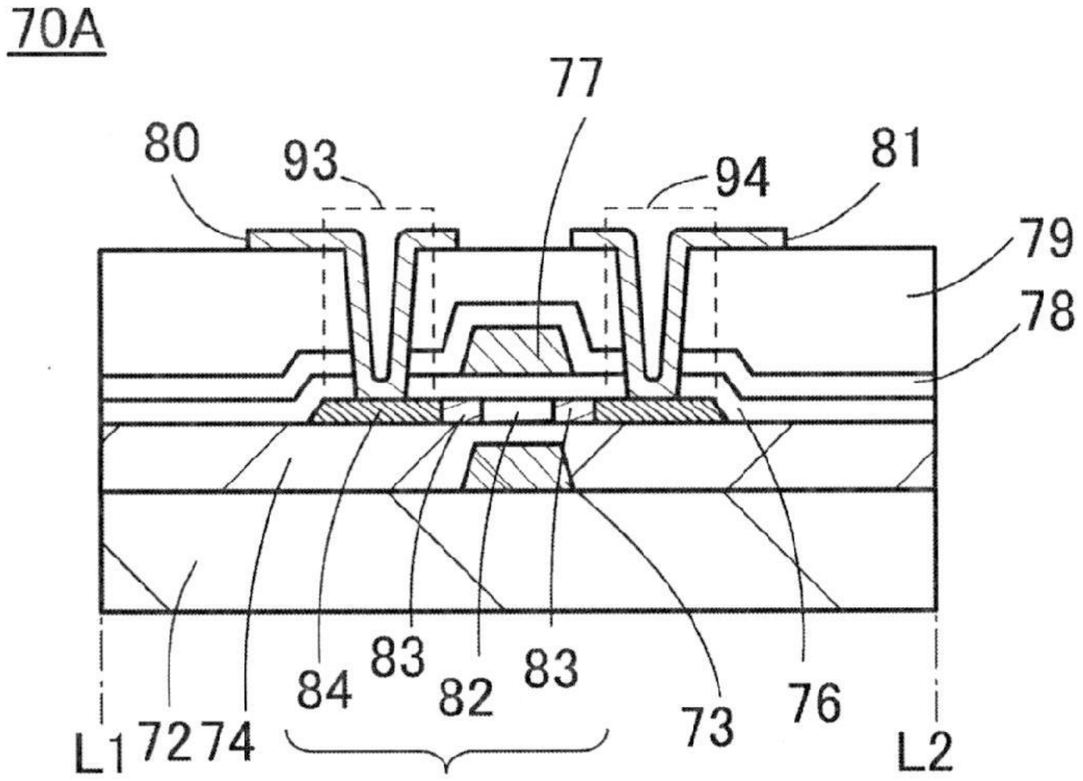


圖 42B

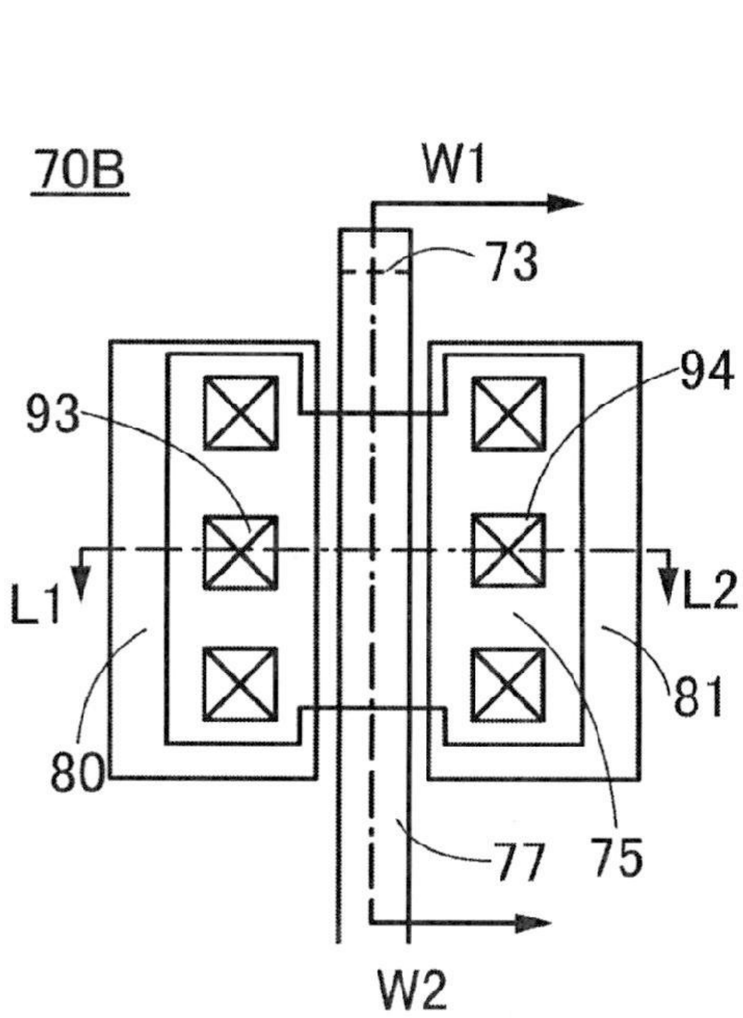


圖 43A

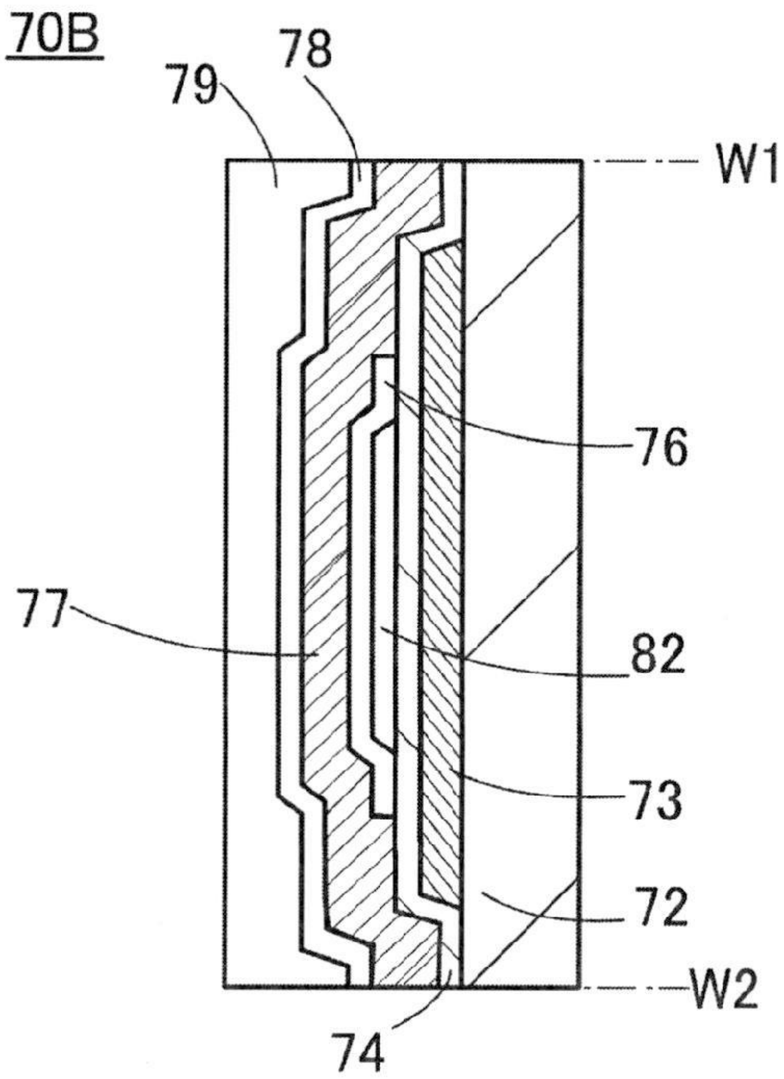


圖 43C

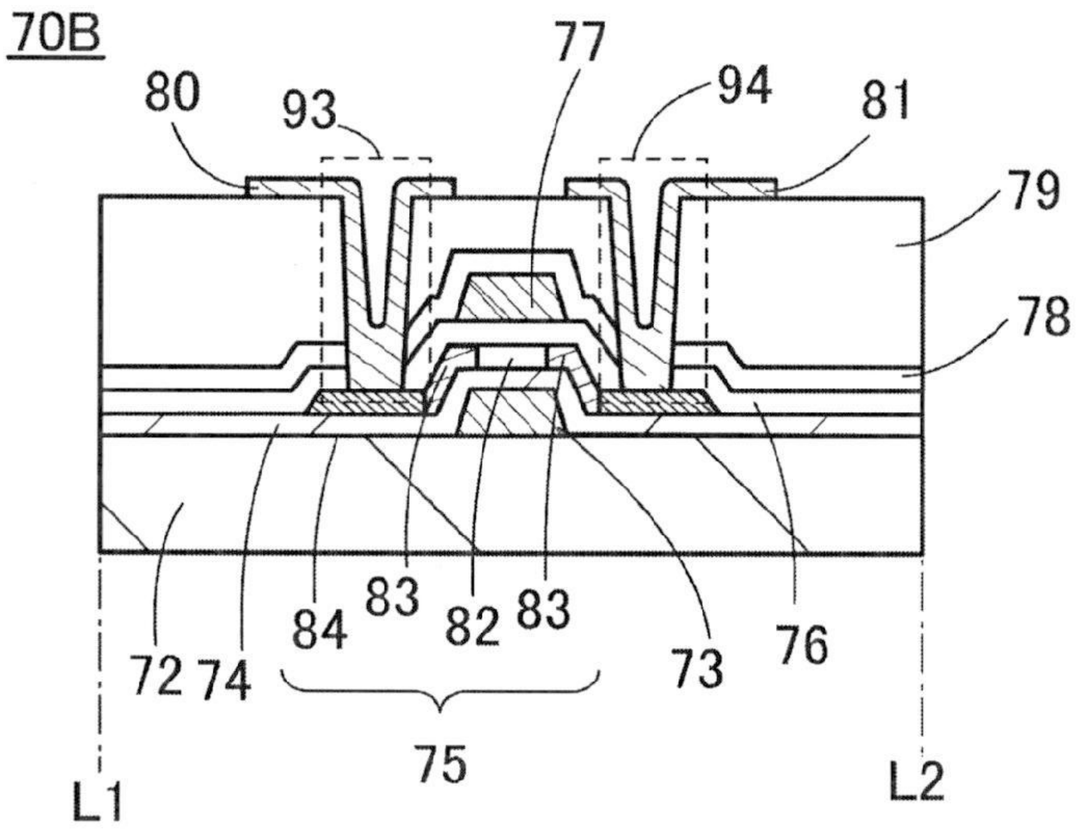


圖 43B

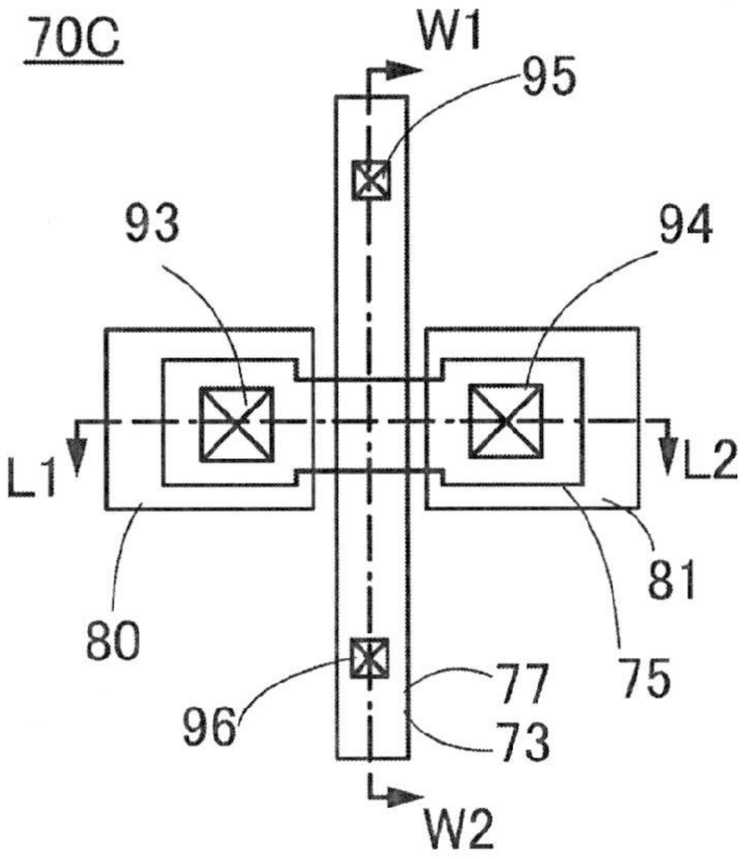


圖 44A

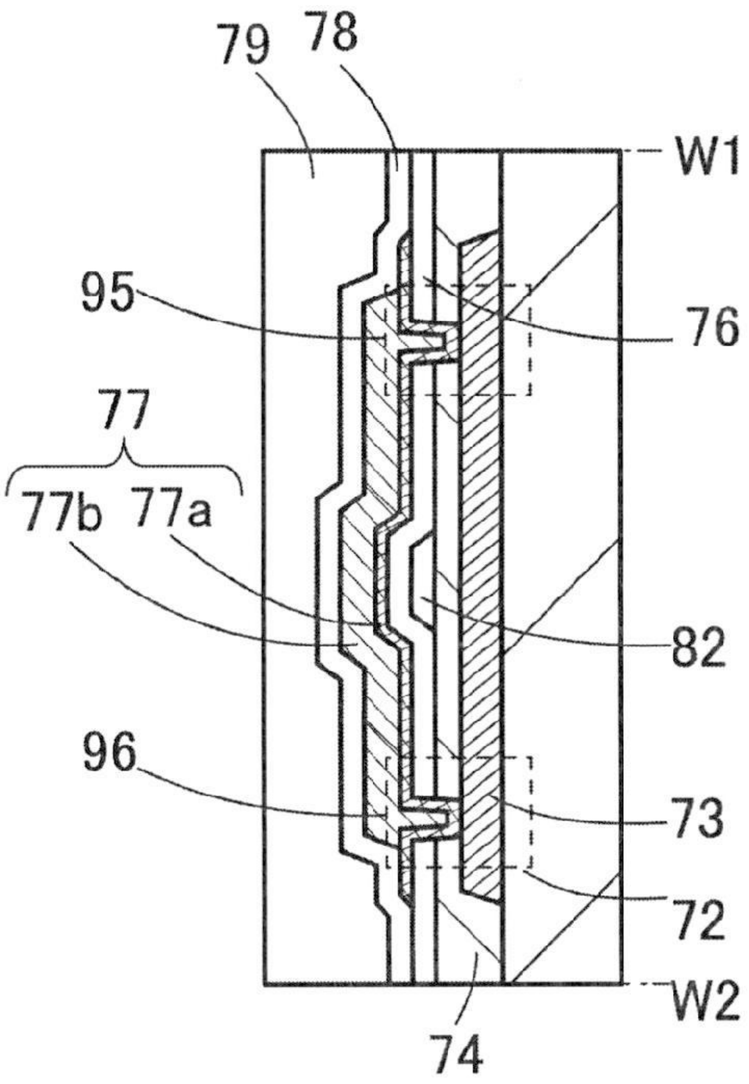


圖 44C

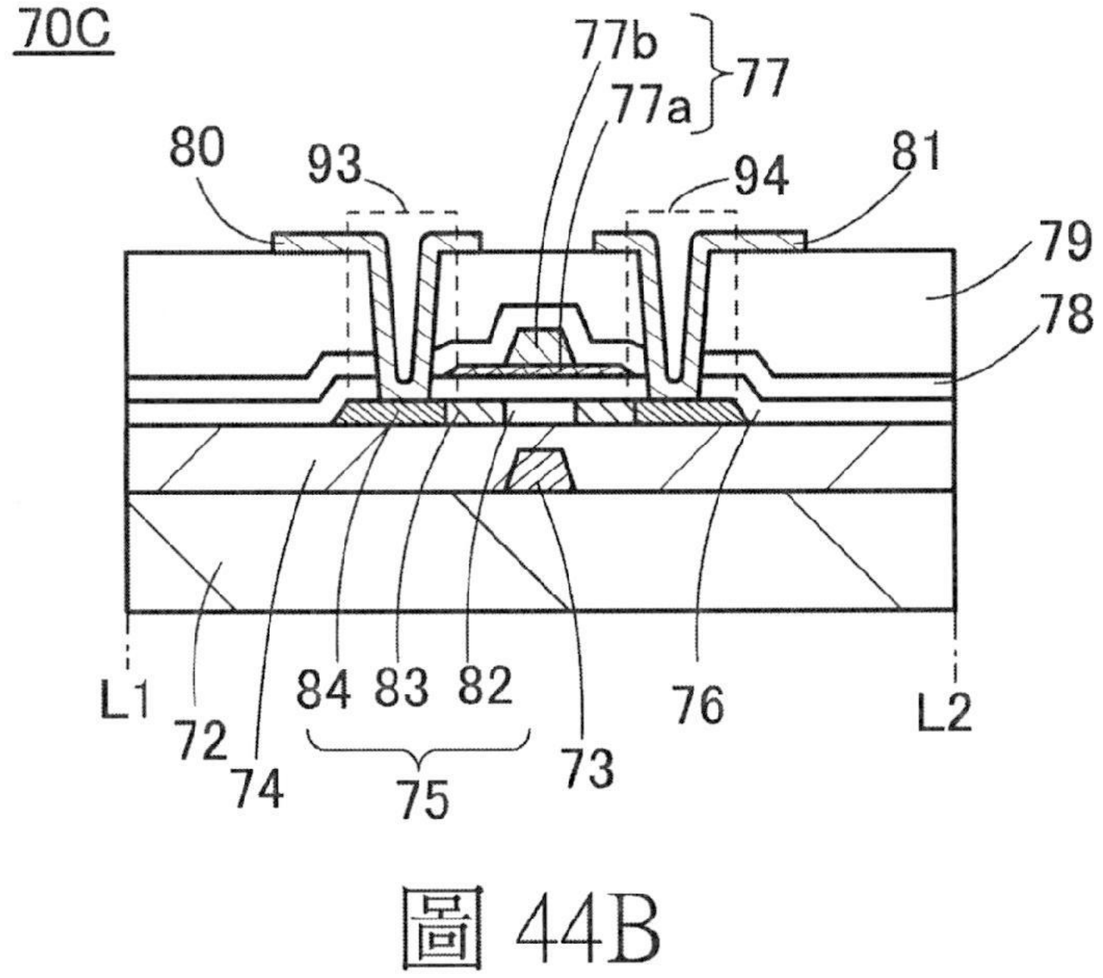


圖 44B

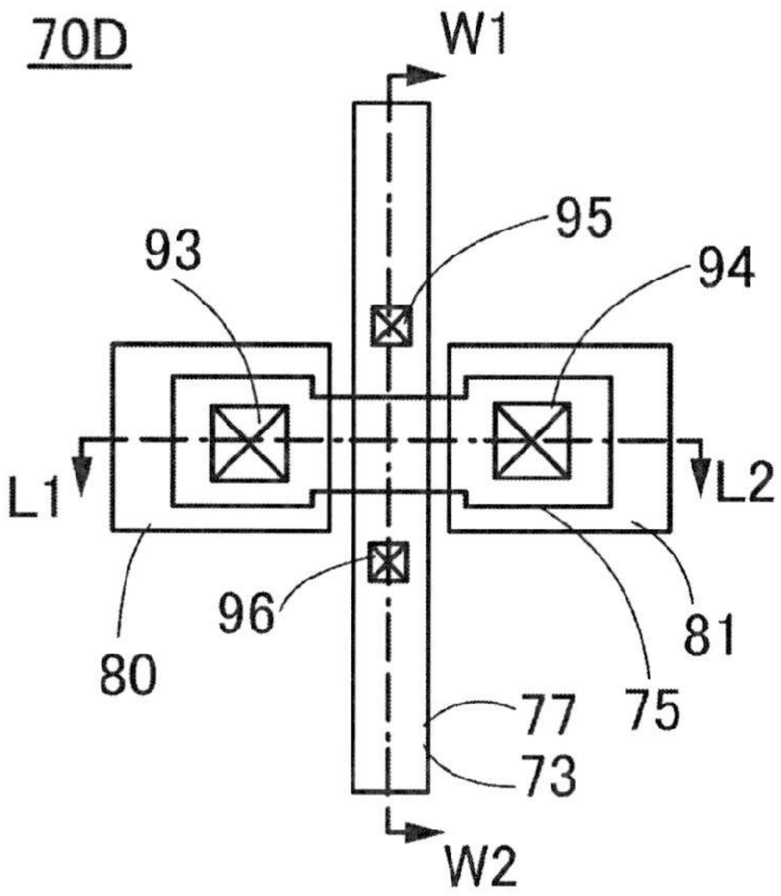


圖 45A

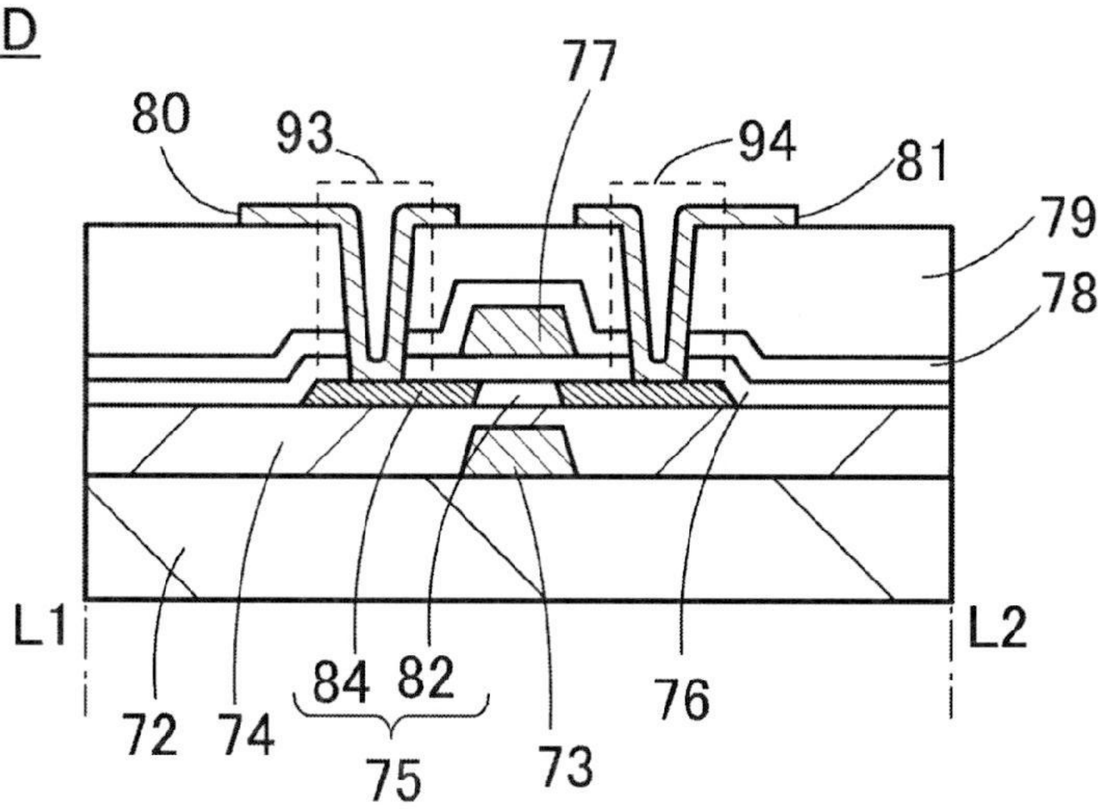


圖 45B

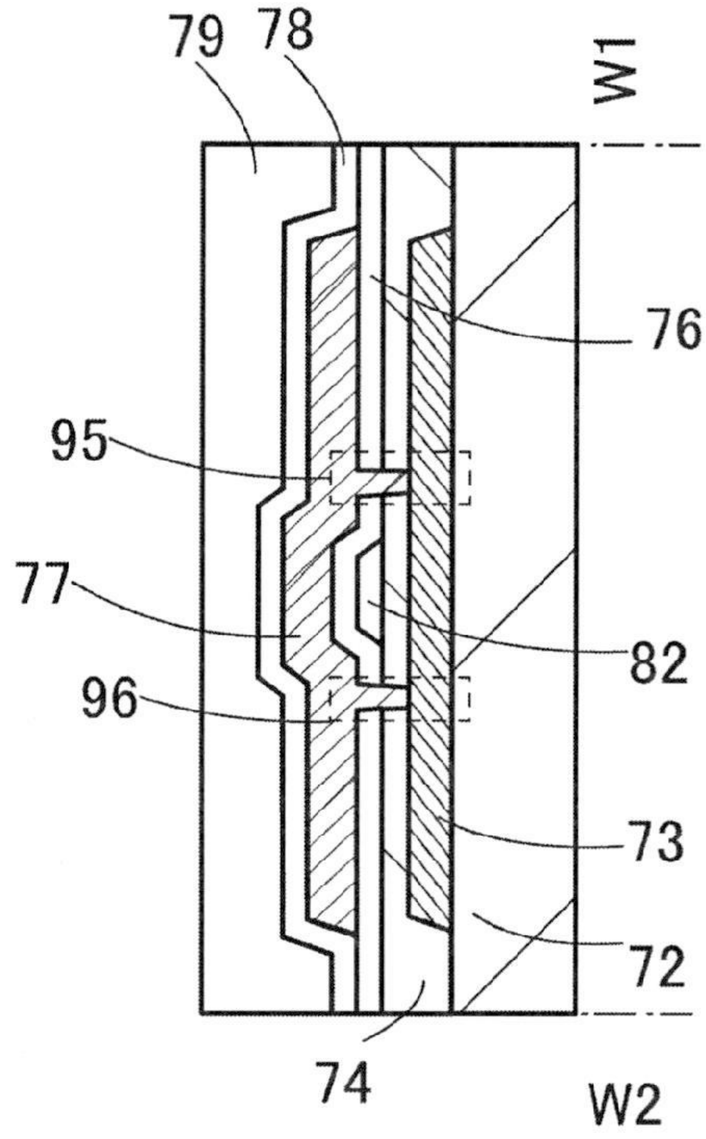


圖 45C

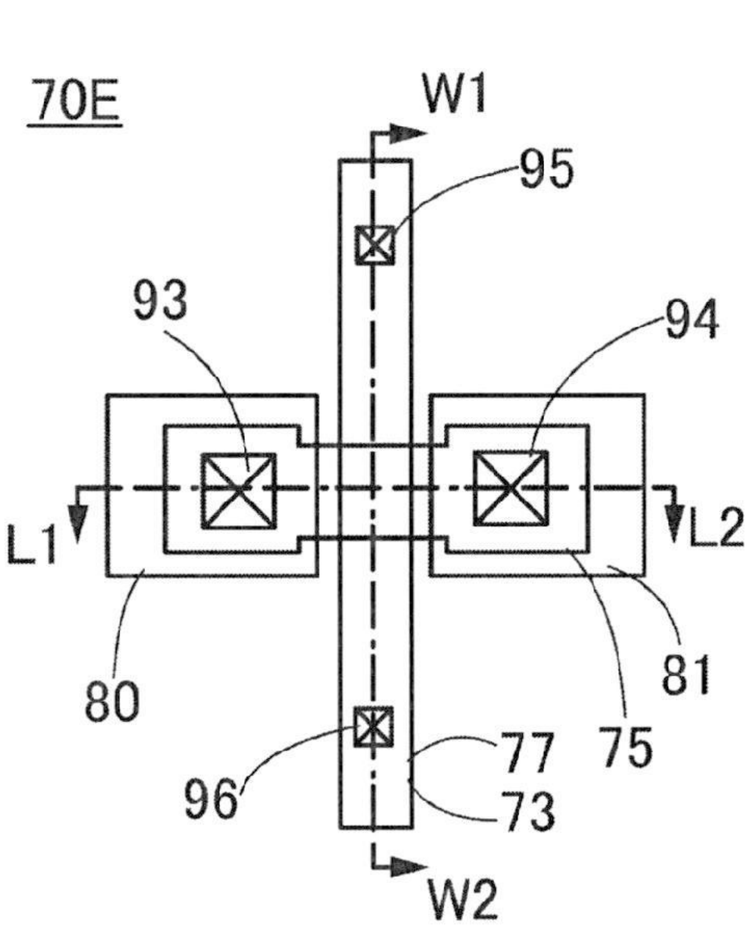


圖 46A

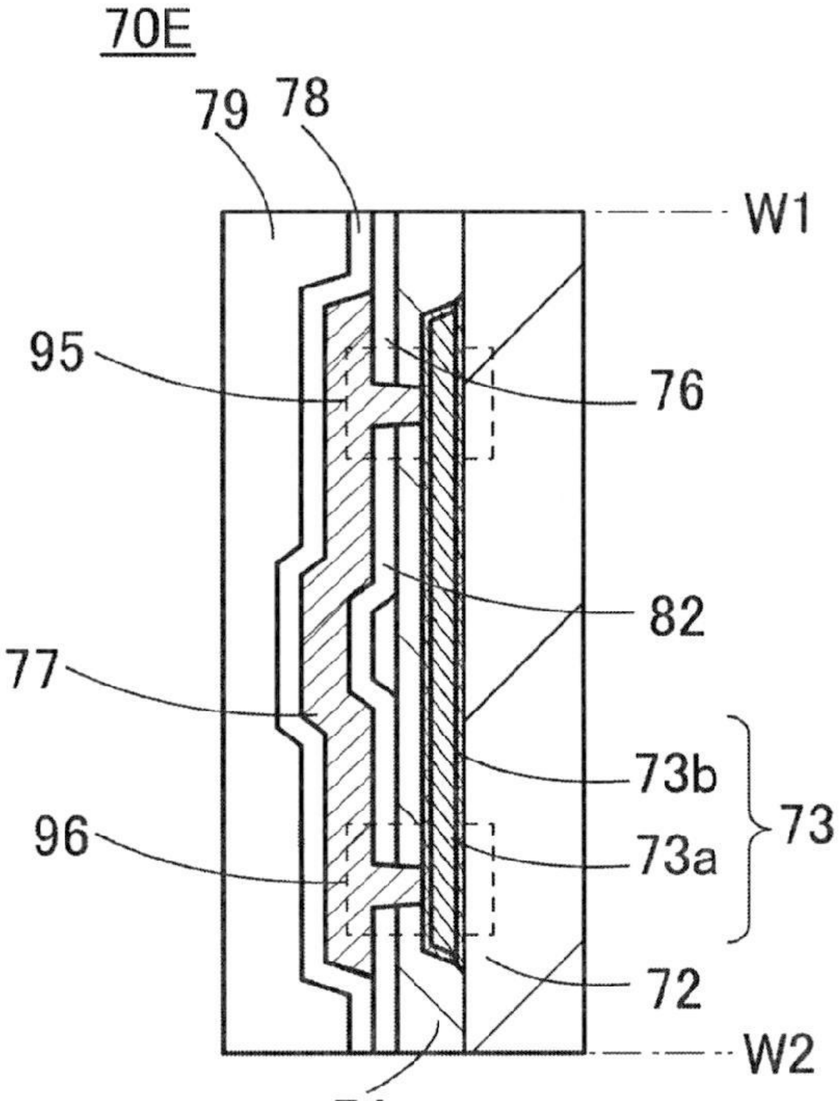


圖 46C

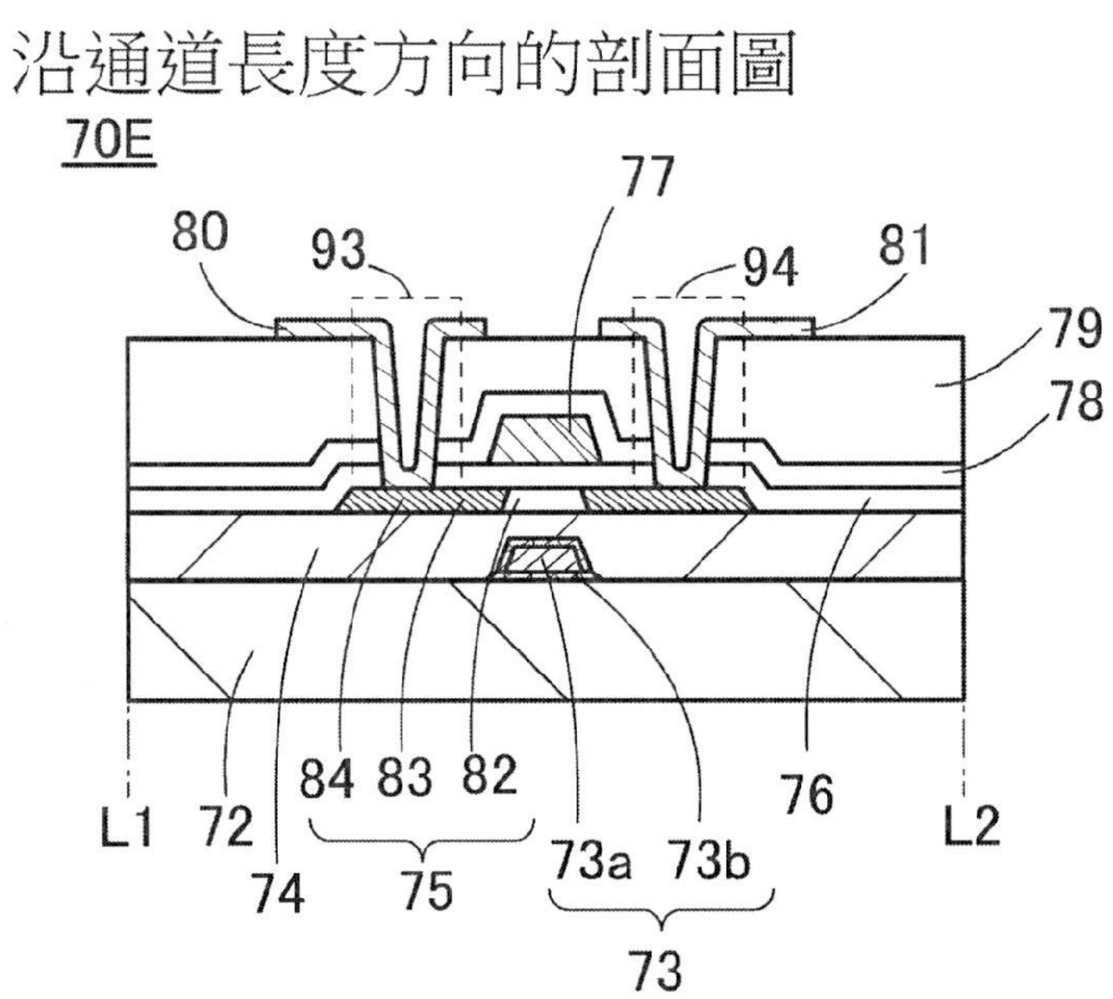


圖 46B

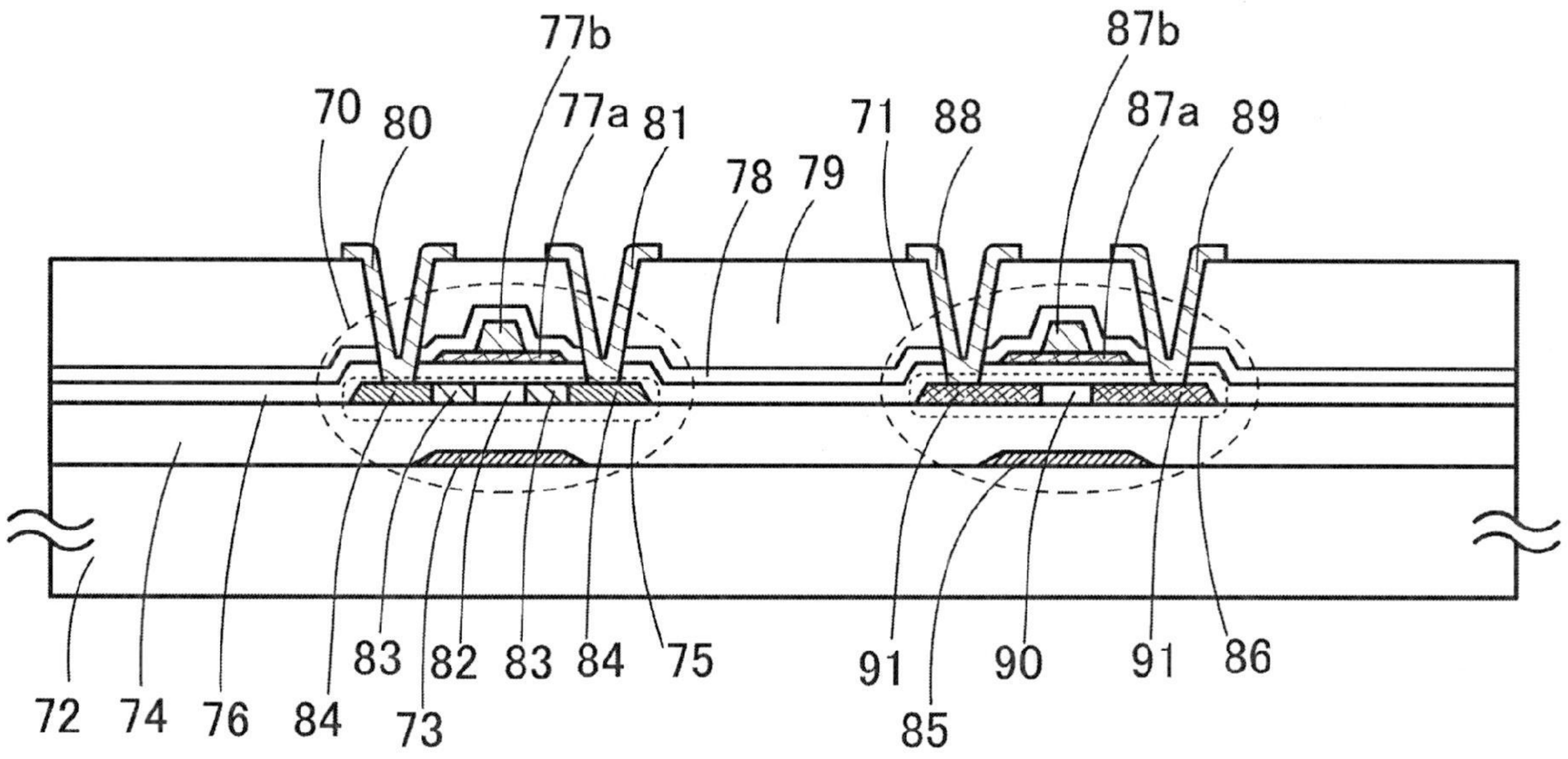

77b
87b
70
80
77a
81
71
88
87a
89
78
79
72
74
76
84
83
82
83
84
75
73
91
90
91
86
85

圖 47A

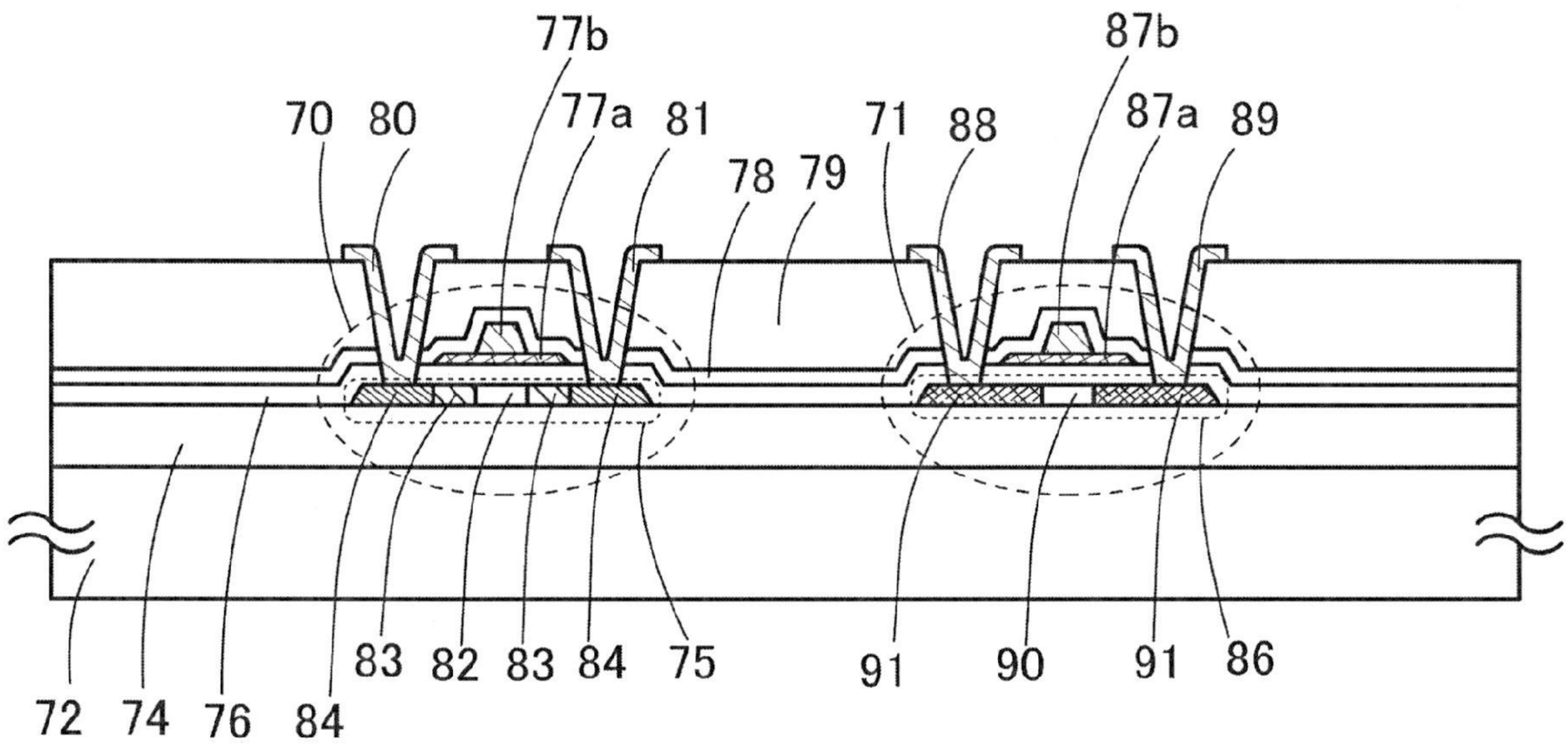

77b
87b
70
80
77a
81
71
88
87a
89
78
79
83
82
83
84
75
91
90
91
86
72
74
76
84

圖 47B

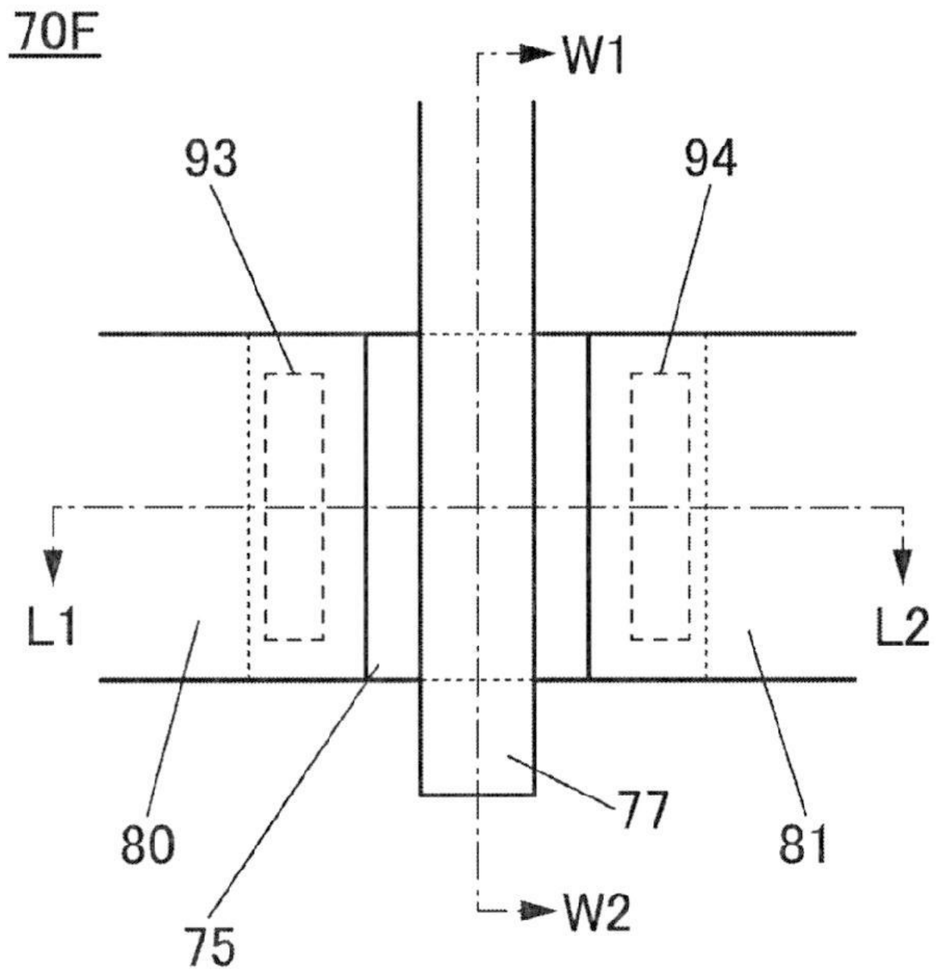


圖 48A

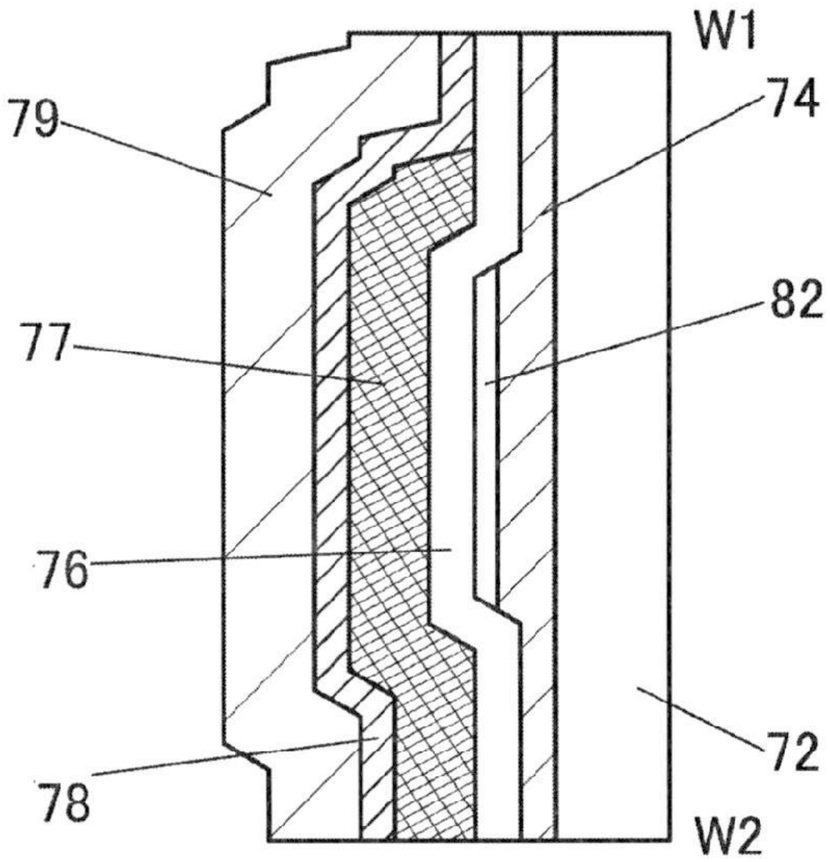


圖 48C

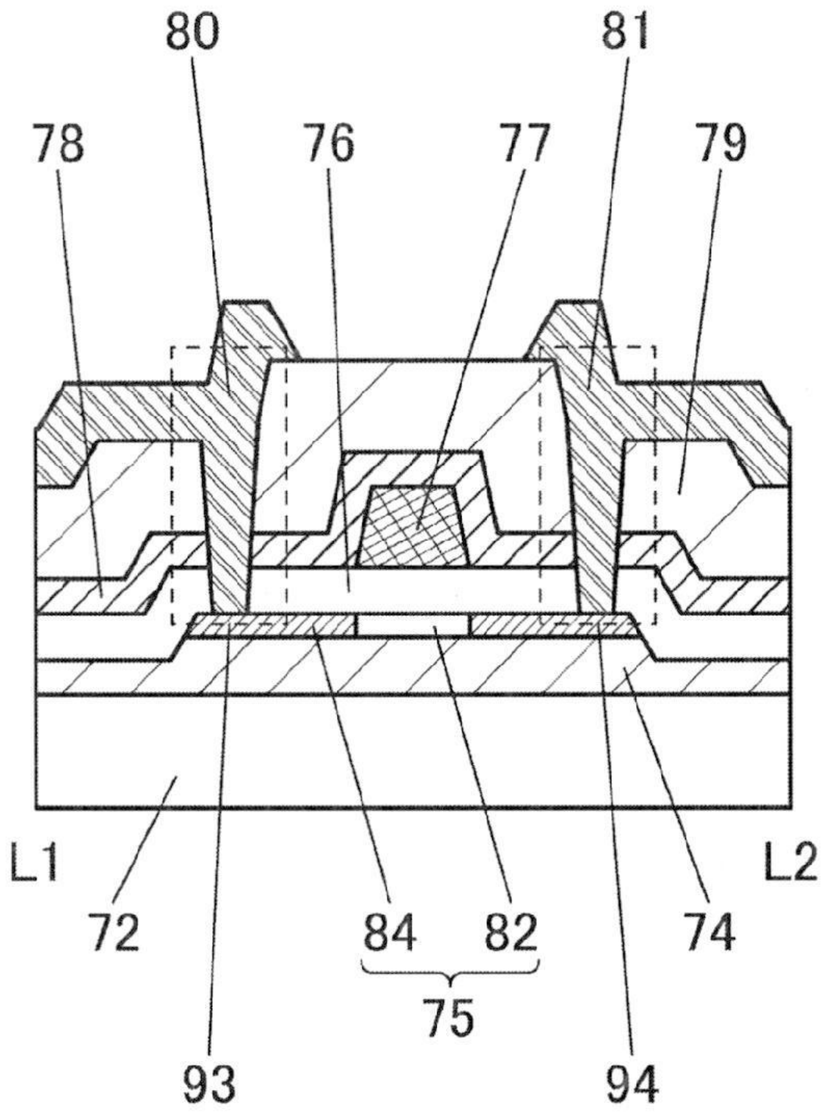


圖 48B

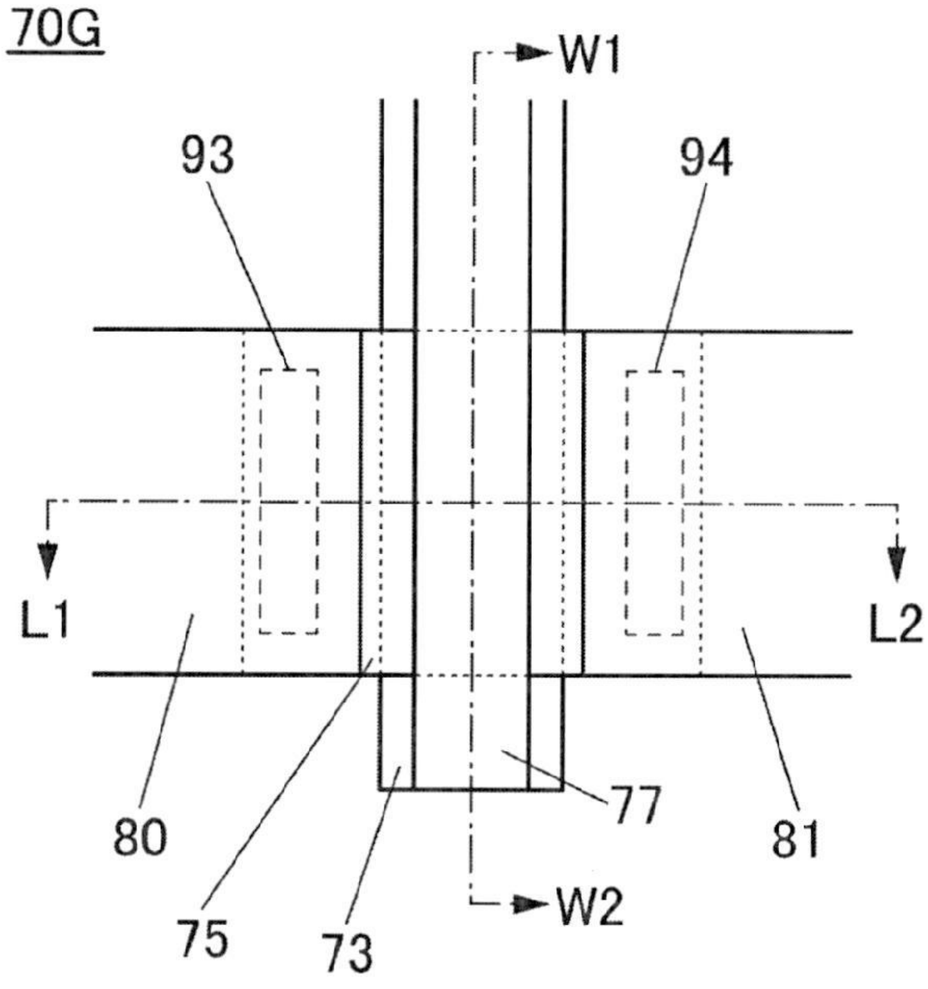


圖 49A

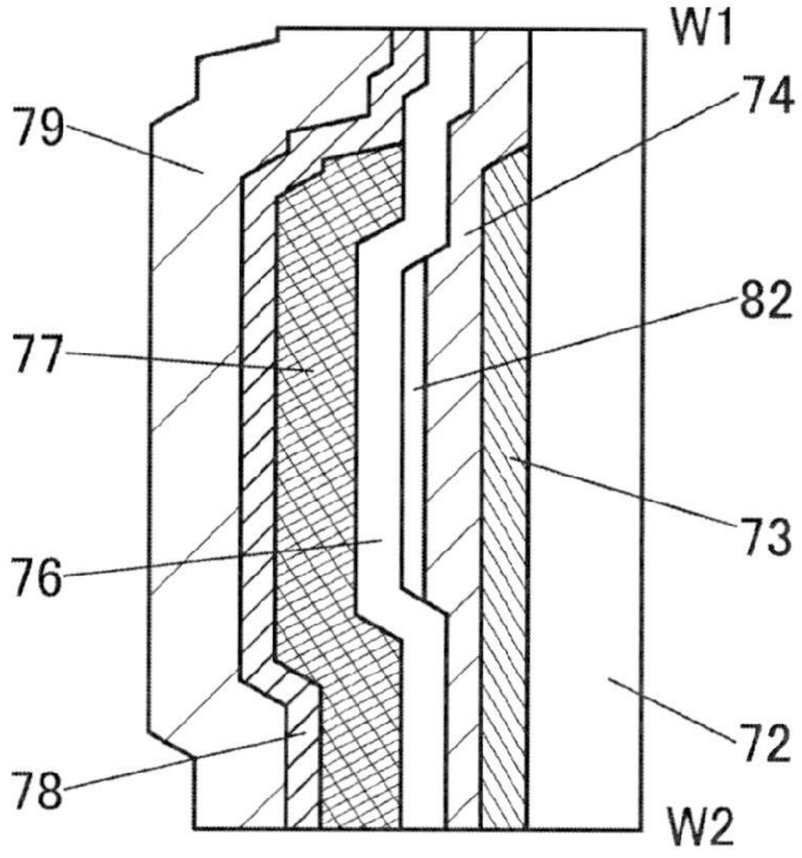


圖 49C

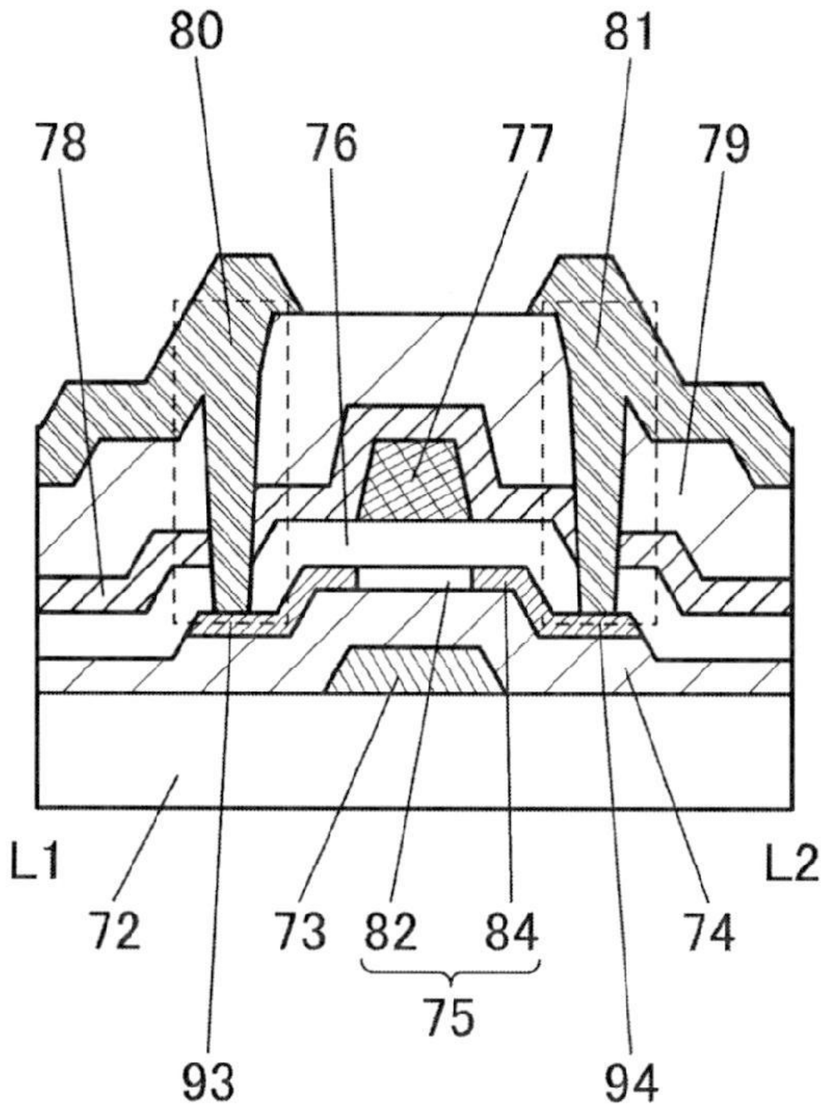


圖 49B

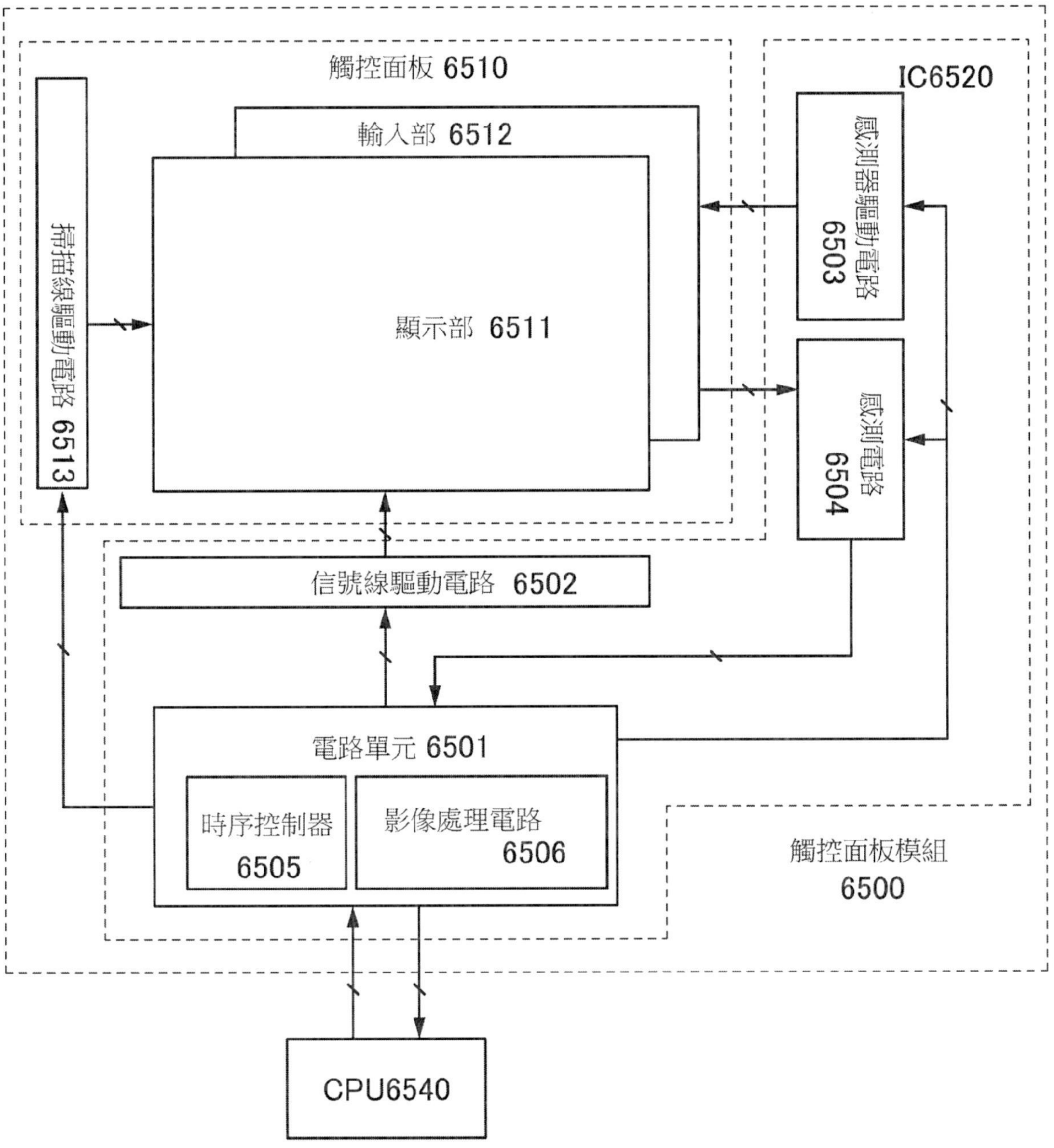

觸控面板 6510
IC6520
感測器驅動電路 6503
輸入部 6512
顯示部 6511
掃描線驅動電路 6513
感測電路 6504
信號線驅動電路 6502
電路單元 6501
時序控制器 6505
影像處理電路 6506
觸控面板模組 6500
CPU6540

圖 50

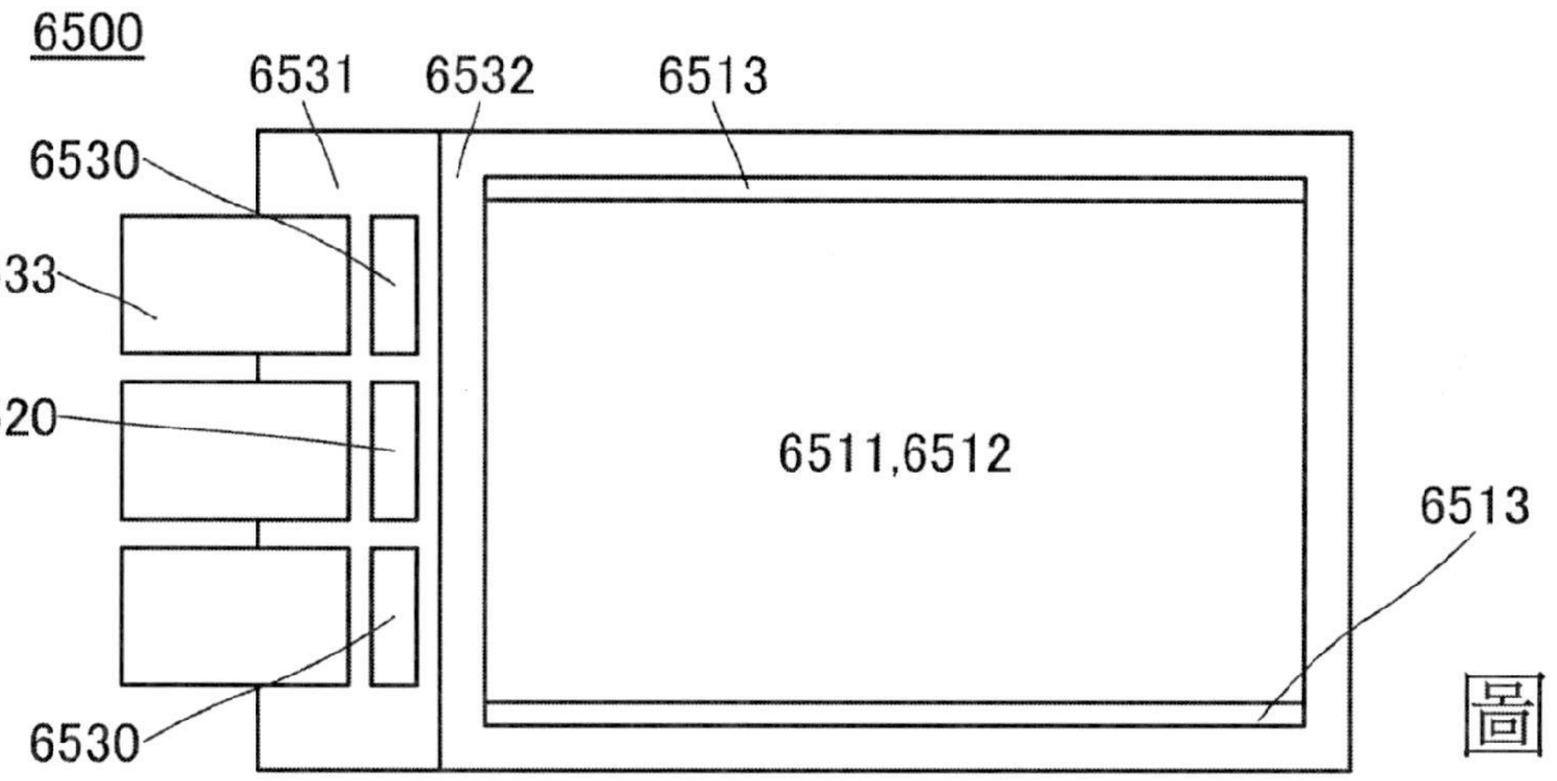


圖 51A

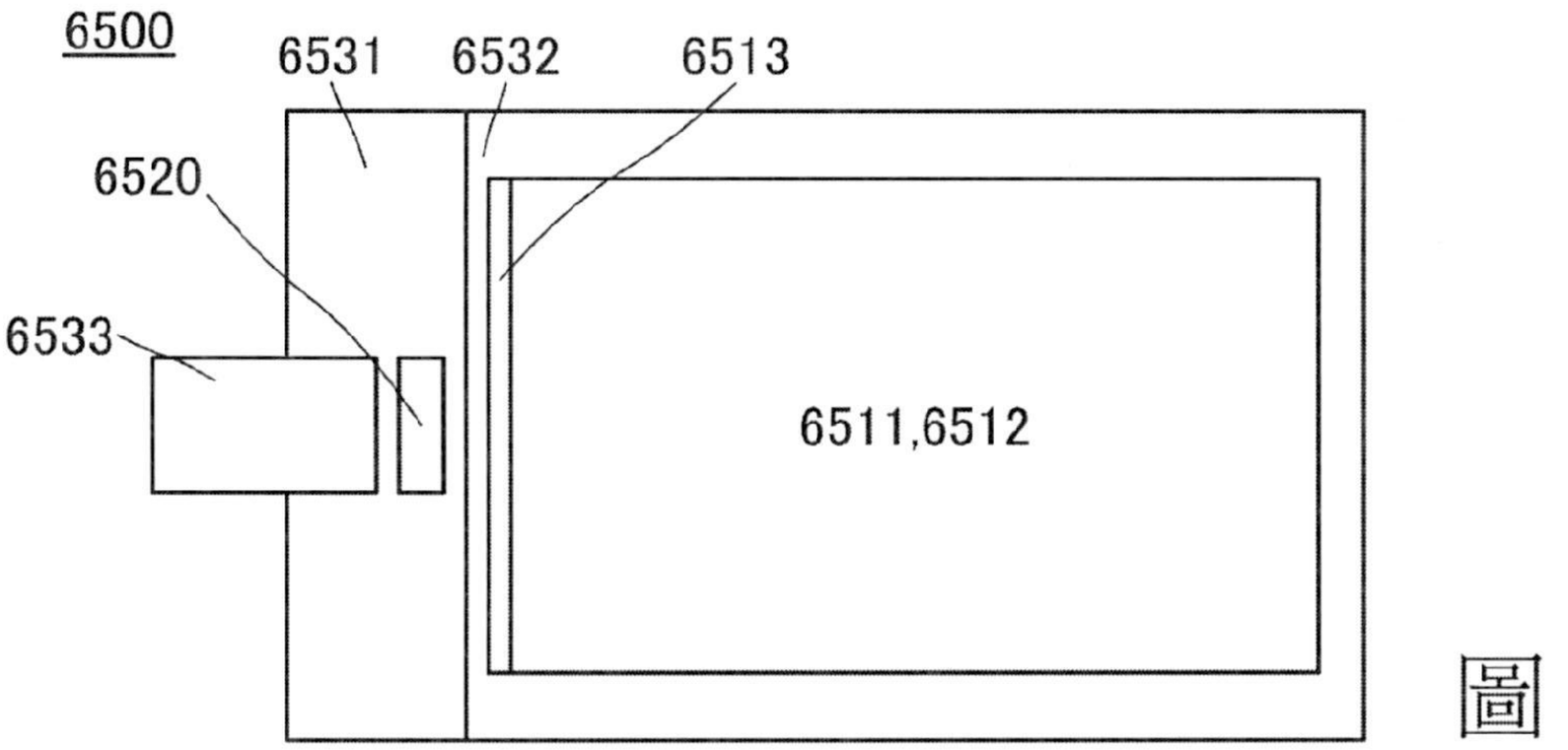


圖 51B

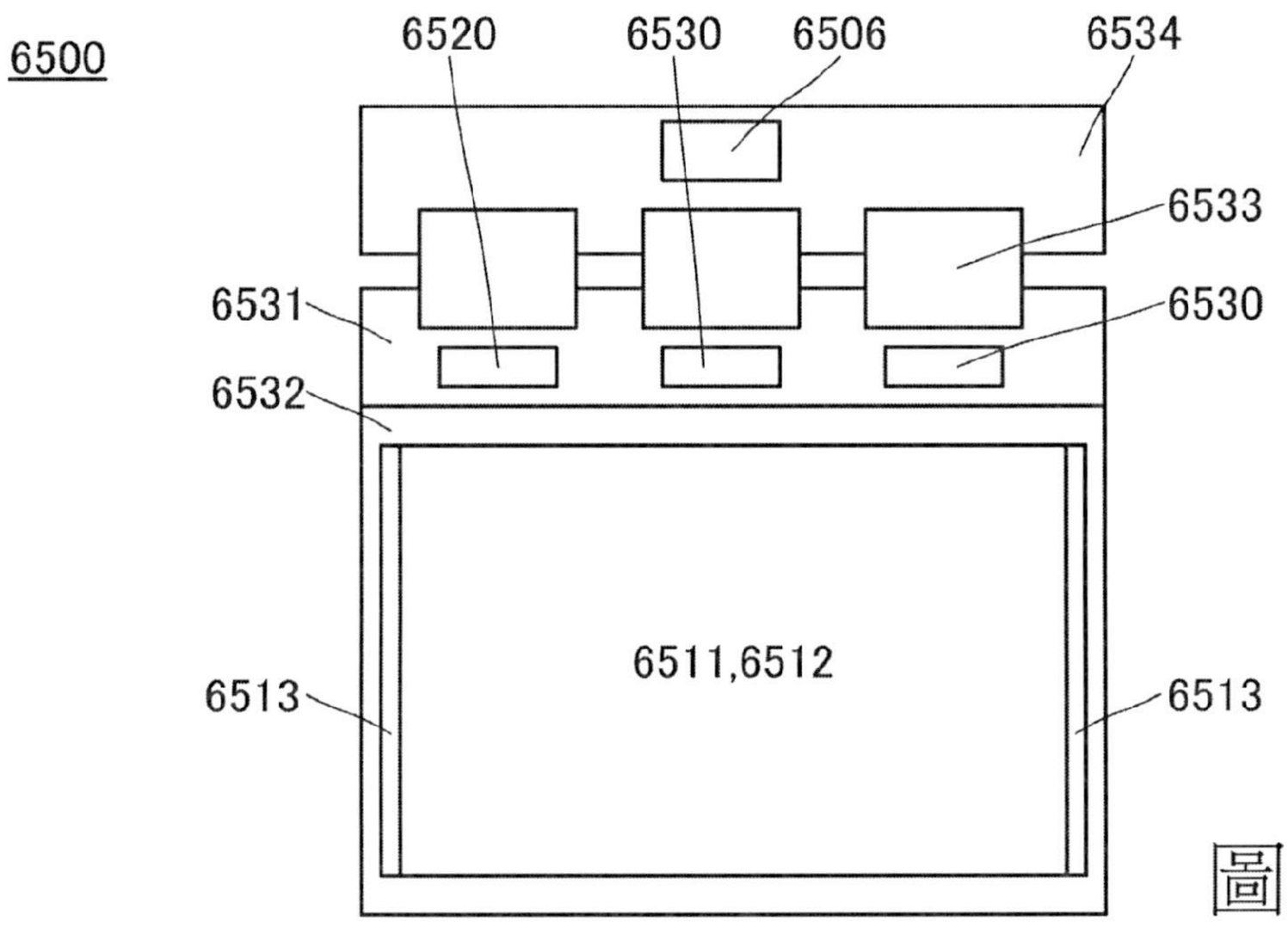


圖 51C

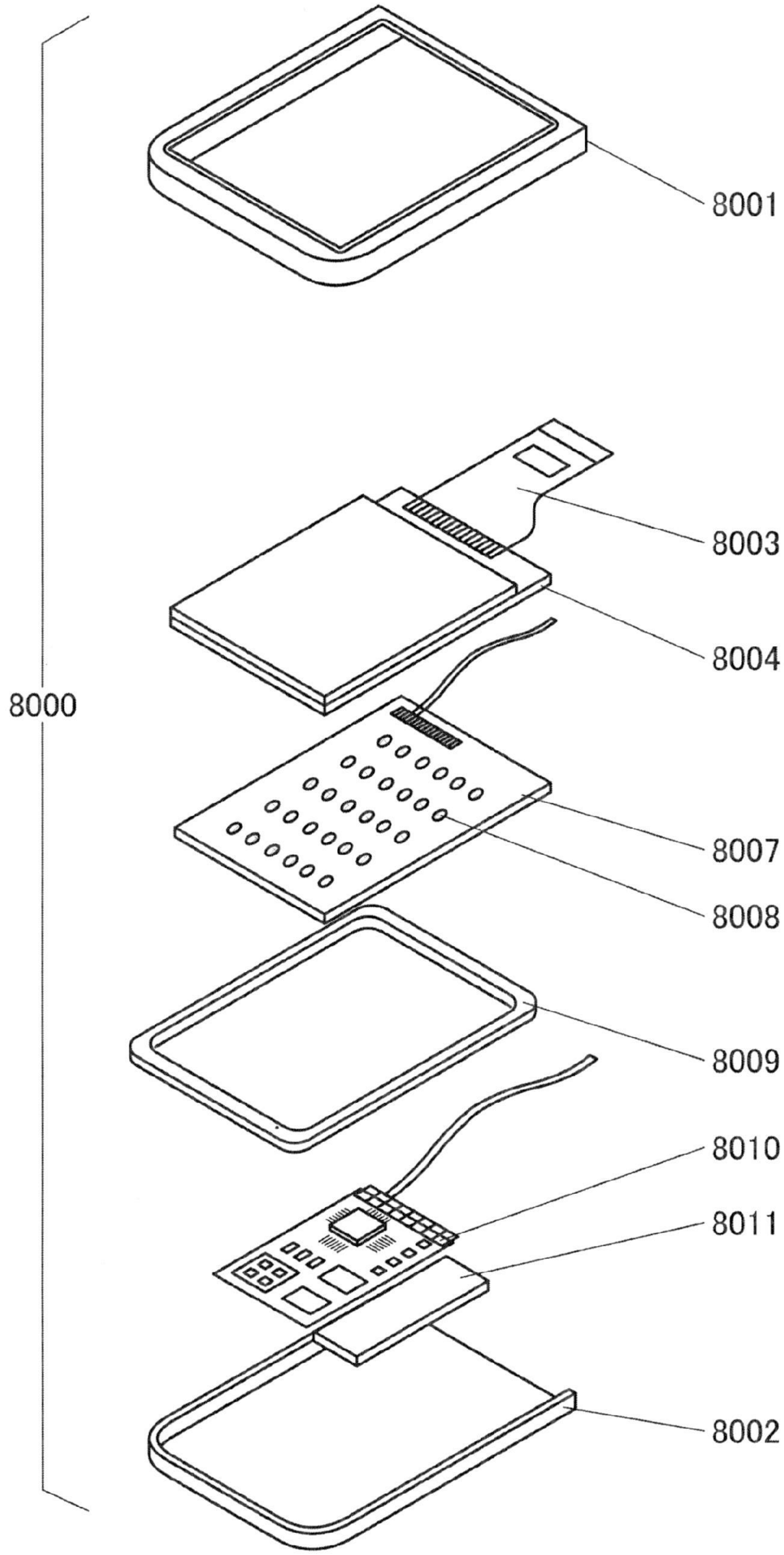


圖 52

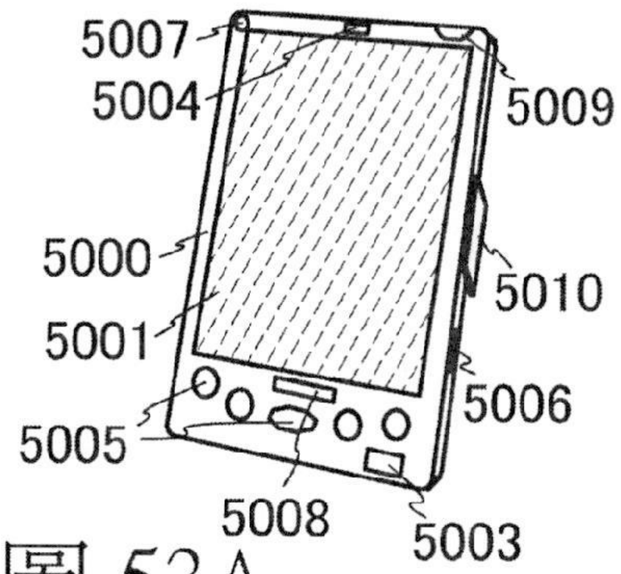


圖 53A

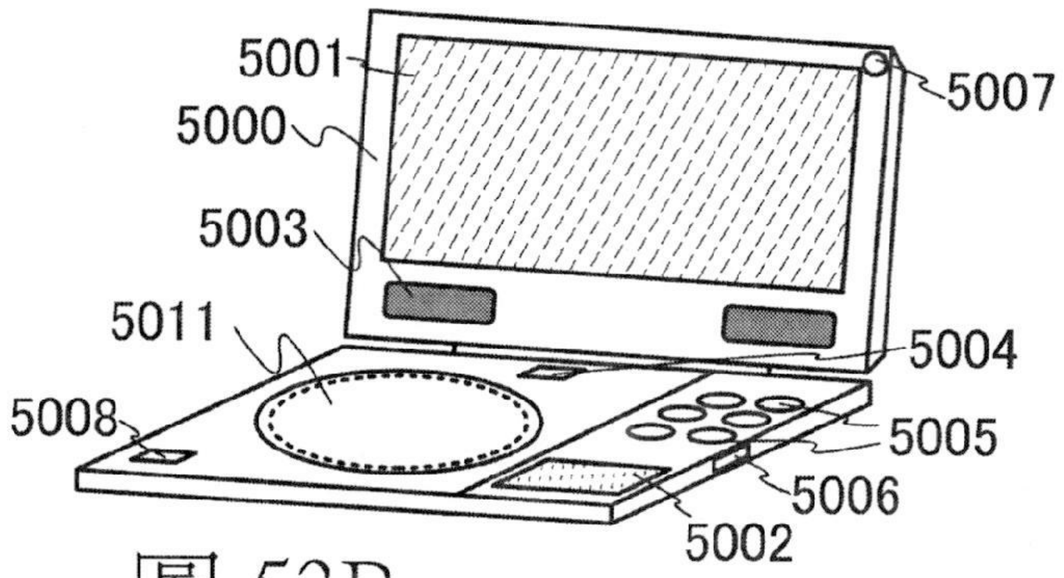


圖 53B

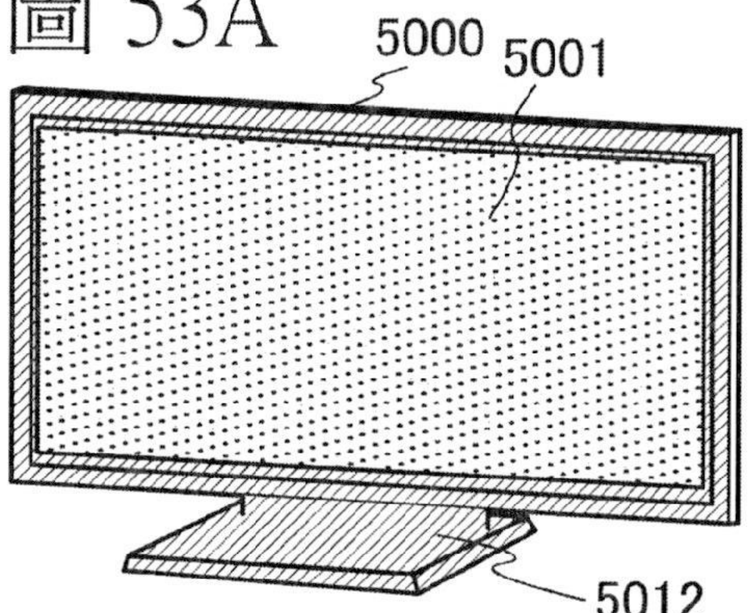




圖 53C

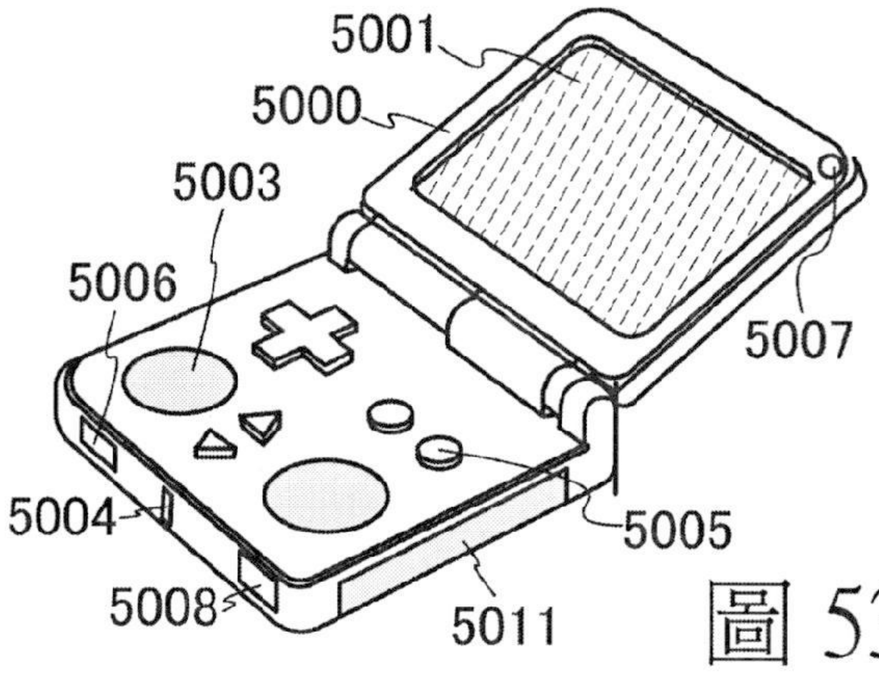


圖 53D

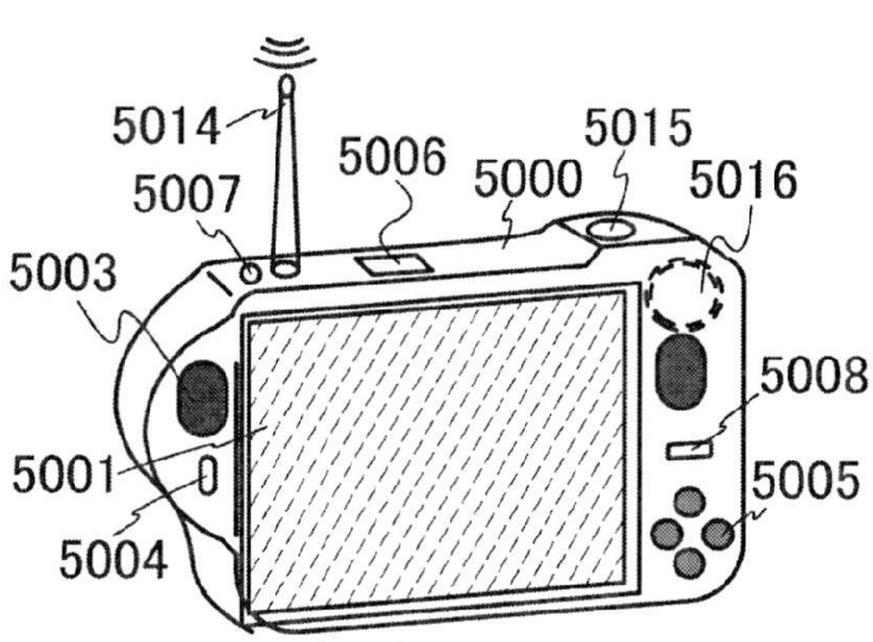


圖 53E

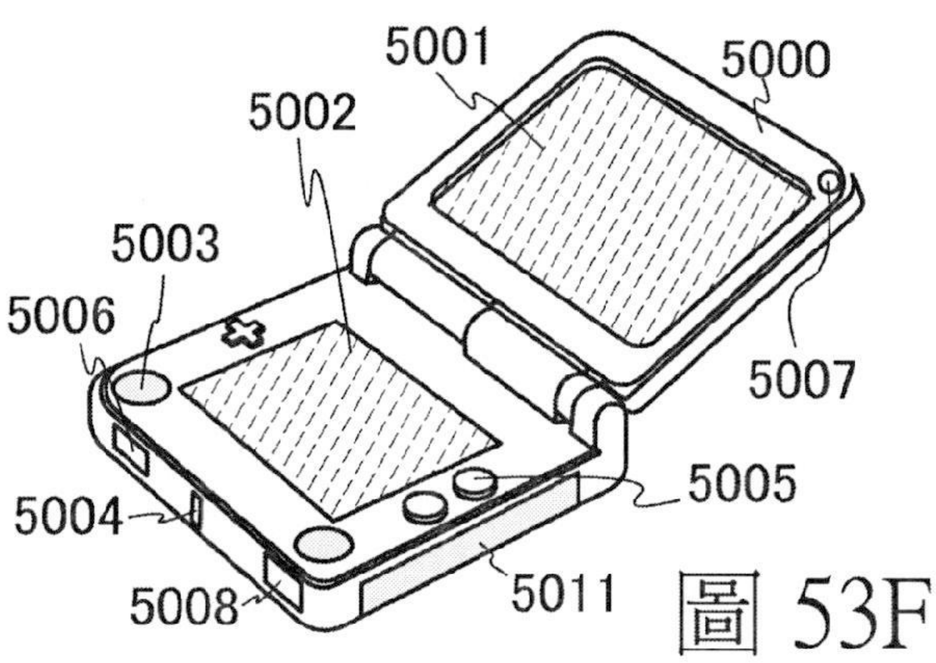


圖 53F

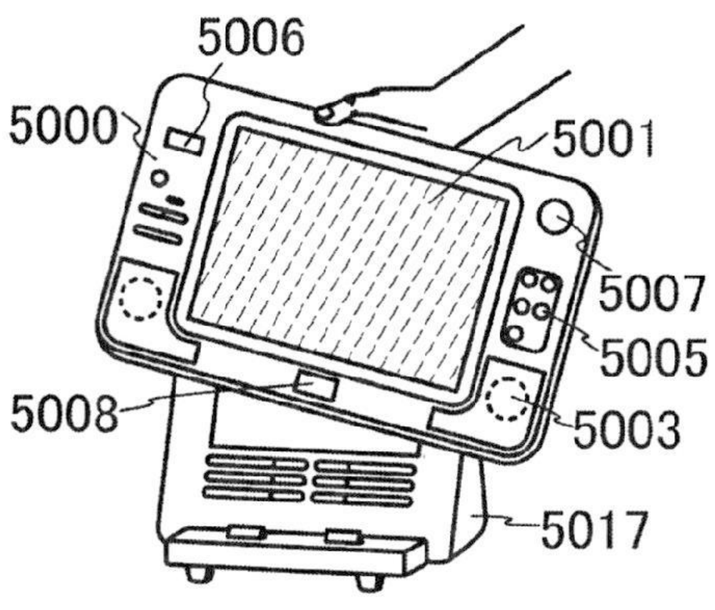


圖 53G

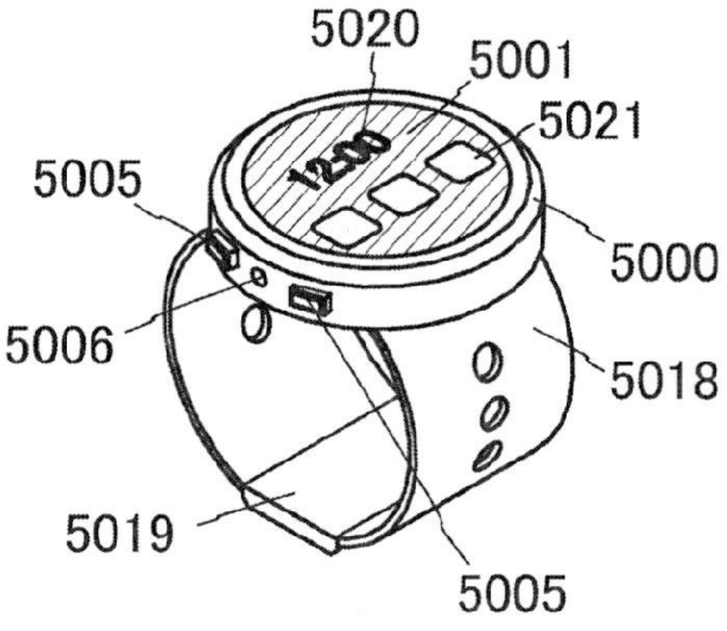


圖 53H

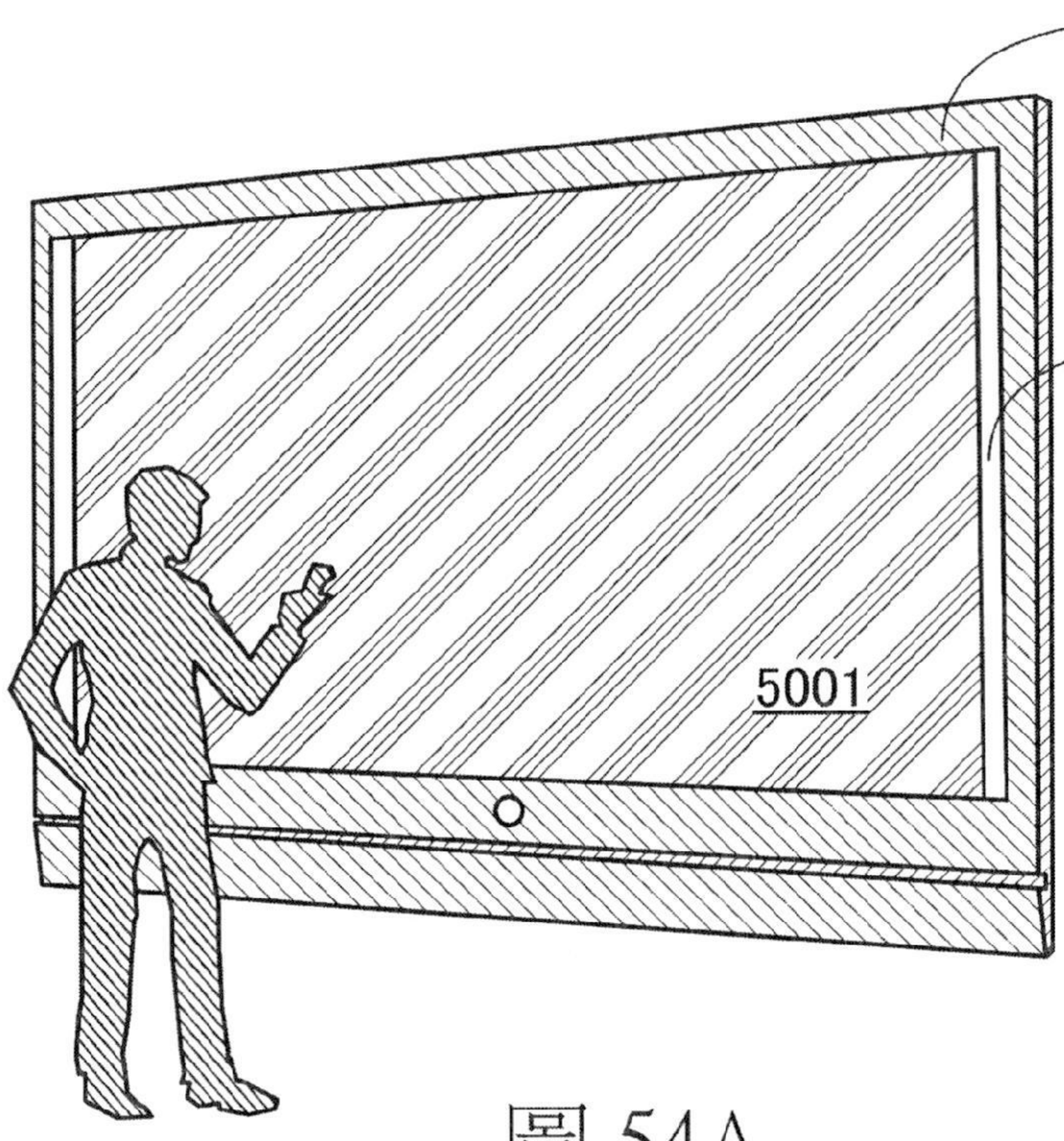


圖 54A

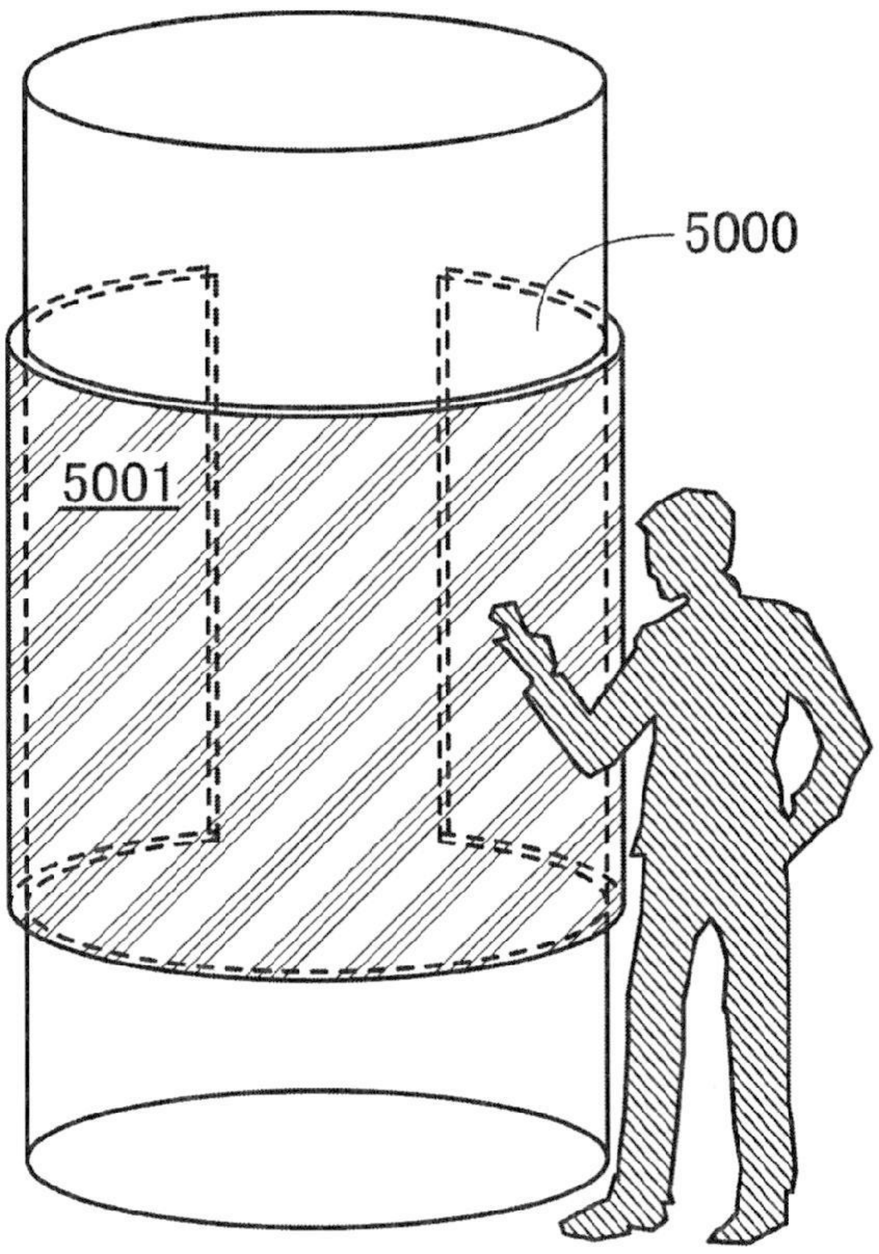


圖 54B