

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4529958号
(P4529958)

(45) 発行日 平成22年8月25日 (2010. 8. 25)

(24) 登録日 平成22年6月18日 (2010. 6. 18)

(51) Int. Cl. F I
H03F 3/217 (2006.01) H03F 3/217
H03F 1/32 (2006.01) H03F 1/32

請求項の数 14 (全 17 頁)

(21) 出願番号	特願2006-226269 (P2006-226269)	(73) 特許権者	000004075
(22) 出願日	平成18年8月23日 (2006. 8. 23)		ヤマハ株式会社
(65) 公開番号	特開2007-124624 (P2007-124624A)		静岡県浜松市中区中沢町 1 〇 番 1 号
(43) 公開日	平成19年5月17日 (2007. 5. 17)	(74) 代理人	100111763
審査請求日	平成21年6月22日 (2009. 6. 22)		弁理士 松本 隆
(31) 優先権主張番号	特願2005-282128 (P2005-282128)	(72) 発明者	前嶋 利夫
(32) 優先日	平成17年9月28日 (2005. 9. 28)		静岡県浜松市中区中沢町 1 〇 番 1 号 ヤマ
(33) 優先権主張国	日本国 (JP)		ハ株式会社内
早期審査対象出願		審査官	麻生 哲朗

最終頁に続く

(54) 【発明の名称】 D級増幅器

(57) 【特許請求の範囲】

【請求項 1】

入力信号から、負荷を駆動するデジタル信号を生成するアンプ部と、
減衰指令信号が与えられることにより前記入力信号を減衰させる減衰手段と、
前記減衰手段に前記入力信号を周期的かつ断続的に 0 V にする減衰指令信号を出力する
クリップ防止制御部と
を具備することを特徴とする D 級増幅器。

【請求項 2】

前記減衰手段は、前記クリップ防止制御部が出力する減衰指令信号が与えられることにより ON となって前記入力信号を 0 V にするスイッチを前記アンプ部の入力部に有することを特徴とする請求項 1 に記載の D 級増幅器。

【請求項 3】

入力信号から、負荷を駆動するデジタル信号を生成するアンプ部と、
減衰指令信号が与えられることにより前記入力信号を減衰させる減衰手段と、
前記減衰手段に前記入力信号を断続的に減衰させる減衰指令信号を出力するクリップ防止制御部とを具備し、
前記アンプ部は、前記入力信号として、正逆 2 相の入力信号を受け取って差動増幅する差動増幅器を有し、

前記減衰手段は、前記正逆 2 相の入力信号のうち正相の入力信号を前記差動増幅器に供給する第 1 の入力経路と逆相の入力信号を前記差動増幅器に供給する第 2 の入力経路との

10

20

間に介挿され、前記クリップ防止制御部が出力する減衰指令信号が与えられることにより ON となって前記入力信号を減衰させるスイッチを有することを特徴とする D 級増幅器。

【請求項 4】

前記アンプ部は、前記入力信号に応じてパルス幅変調されたパルスを前記デジタル信号として出力することを特徴とする請求項 1 ～ 3 のいずれか 1 の請求項に記載の D 級増幅器。

【請求項 5】

前記クリップ防止制御部は、周期的な同期信号に同期して前記減衰指令信号を出力することを特徴とする請求項 1 ～ 4 のいずれか 1 の請求項に記載の D 級増幅器。

【請求項 6】

前記アンプ部は、前記周期的な同期信号に同期して前記入力信号に応じたパルス幅のデジタル信号を出力することを特徴とする請求項 5 に記載の D 級増幅器。

【請求項 7】

周期的な三角波信号を出力する三角波発生器を有し、

前記アンプ部は、前記入力信号と前記デジタル信号との誤差を積分して出力する誤差積分器と、前記誤差積分器の出力信号と前記三角波信号とを比較することにより、前記誤差積分器の出力信号のレベルに応じてパルス幅変調されたデジタル信号を出力するパルス幅変調器とを有することを特徴とする請求項 4 に記載の D 級増幅器。

【請求項 8】

前記同期信号として、周期的な三角波信号を出力する三角波発生器を有し、

前記アンプ部は、前記入力信号と前記デジタル信号との誤差を積分して出力する誤差積分器と、前記誤差積分器の出力信号と前記三角波信号とを比較することにより、前記誤差積分器の出力信号のレベルに応じてパルス幅変調されたデジタル信号を出力するパルス幅変調器とを有することを特徴とする請求項 6 に記載の D 級増幅器。

【請求項 9】

前記クリップ防止制御部は、前記誤差積分器の出力信号が基準レベルを越えたときに、前記減衰指令信号を出力することを特徴とする請求項 7 または 8 に記載の D 級増幅器。

【請求項 10】

前記クリップ防止制御部は、前記誤差積分器の出力信号が基準レベルを越えたときに前記三角波信号と交差するレベルの比較用電圧を発生する比較用電圧発生手段と、この比較用電圧と前記三角波信号とを比較することにより前記減衰指令信号を出力する比較手段とを具備することを特徴とする請求項 9 に記載の D 級増幅器。

【請求項 11】

前記クリップ防止制御部は、前記三角波信号がピークとなるタイミングまたはその直前のタイミングにおける前記デジタル信号のレベルに基づき前記減衰指令信号を出力するか否かを判定することを特徴とする請求項 7 または 8 に記載の D 級増幅器。

【請求項 12】

前記クリップ防止制御部は、前記三角波信号がピークとなるタイミングまたはその直後のタイミングにおいて、前記パルス幅変調器における前記誤差積分器の出力信号と前記三角波信号との比較結果を示す信号を保持し、この保持した信号に基づき前記減衰指令信号を出力するか否かを判定することを検知することを特徴とする請求項 7 または 8 に記載の D 級増幅器。

【請求項 13】

前記入力信号がアナログ信号であることを特徴とする請求項 1 ～ 12 のいずれか 1 の請求項に記載の D 級増幅器。

【請求項 14】

前記入力信号がデジタル信号であることを特徴とする請求項 1 ～ 12 のいずれか 1 の請求項に記載の D 級増幅器。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【 0 0 0 1 】

この発明は、オーディオ機器のパワーアンプなどに好適な D 級増幅器に関する。

【 背景技術 】

【 0 0 0 2 】

D 級増幅器は、入力信号に応じてパルス幅やパルスの時間密度が変調されたパルス列を生成し、このパルス列により、負荷を駆動するアンプである。この D 級増幅器は、オーディオ機器等においてスピーカを駆動するパワーアンプとして用いられる場合が多い。この種のパワーアンプでは、入力信号のレベルが適正範囲を越える場合に、出力信号波形にクリップが生じる。このようなクリップは、そのまま負荷であるスピーカに与えられると、スピーカから耳障りな音となって出力されるため、その発生を防止する必要がある。そこで、従来の技術においては、パワーアンプの前段に乗算器等のレベル調整器を配置し、これによりパワーアンプに対する入力信号の振幅を適正化してクリップの発生を防止していた。なお、この技術は、例えば特許文献 1 に「従来の技術」として開示されている。

10

【特許文献 1】特開 2 0 0 3 - 3 3 2 8 6 7 号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 3 】

ところで、上述した従来の技術では、パワーアンプに対する入力信号の振幅がそのレベルに応じて圧縮されるため、クリップの発生を防止することができるが、パワーアンプに入力される信号にレベル調整器の非線形特性に起因した非線形歪が生じ、この非線形歪がパワーアンプの出力信号波形に現れ、スピーカ再生音の音質が劣化するという問題があった。

20

【 0 0 0 4 】

この発明は、以上説明した事情に鑑みてなされたものであり、上記のような非線形歪を発生させることなく、クリップの発生を防止することができる D 級増幅器を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 5 】

この発明は、入力信号から、負荷を駆動するデジタル信号を生成するアンプ部と、減衰指令信号が与えられることにより前記入力信号を減衰させる減衰手段と、前記アンプ部から検出される信号に基づき、前記デジタル信号がクリップまたはそれに近い状態になったとき、前記入力信号を断続的に減衰させる減衰指令信号を出力するクリップ防止制御部とを具備することを特徴とする D 級増幅器を提供する。

30

かかる発明によれば、デジタル信号がクリップまたはそれに近い状態になったとき、入力信号を断続的に減衰させる減衰指令信号が発生される。この結果、アンプ部に対する入力信号は、時間軸上において断続的に間引かれた状態となり、デジタル信号におけるクリップの発生が防止される。この場合、入力信号は、断続的に間引かれるが、その波形の実質的な変化はない。従って、波形歪を生じさせることなく、クリップが防止される。

【 発明を実施するための最良の形態 】

【 0 0 0 6 】

40

以下、図面を参照し、この発明の実施の形態を説明する。

< 第 1 実施形態 >

図 1 は、この発明の第 1 実施形態である D 級増幅器の構成を示す回路図である。この D 級増幅器は、大別してアンプ部 1 0 0 と、クリップ防止制御部 2 0 0 と、三角波発生器 3 0 0 とにより構成されている。ここで、三角波発生器 3 0 0 は、0 V ~ + V B までの電圧範囲内において直線状のスロープを描いて変化する一定周期の三角波信号 T R を発生し、アンプ部 1 0 0 とクリップ防止制御部 2 0 0 に供給する回路である。アンプ部 1 0 0 は、入力アナログ信号から、負荷を駆動するデジタル信号を生成する装置である。さらに詳述すると、アンプ部 1 0 0 は、入力端 1 0 1 p および 1 0 1 n に与えられる正逆 2 相のアナログ入力信号 V I p および V I n のレベルに応じてパルス幅変調された正逆 2 相のデジタ

50

ル信号 V_{Op} および V_{On} を生成し、出力端 $102p$ および $102n$ から各々出力する回路である。また、クリップ防止制御部 200 は、アンプ部 100 内の所定のノードから取り出される信号を監視し、この信号のレベルが所定の範囲から外れた場合に出力デジタル信号 V_{Op} または V_{On} がクリップ状態またはそれに近い状態になったとみなし、入力アナログ信号を断続的に減衰させることを指令する減衰指令信号 SW を発生し、アンプ部 100 に供給する回路である。三角波信号 TR は、アンプ部 100 およびクリップ防止制御部 200 において、デジタル信号 V_{Op} および V_{On} の発生タイミングと減衰指令信号 SW の発生タイミングを決定する同期信号として用いられる。以下、アンプ部 100 およびクリップ防止制御部 200 の構成を順に説明する。

【0007】

アンプ部 100 において、入力端 $101p$ と出力端 $102n$ との間には、抵抗 $R1$ 、 $R3$ および $R5$ が直列に介挿されており、入力端 $101n$ と出力端 $102p$ との間には、抵抗 $R2$ 、 $R4$ および $R6$ が直列に介挿されている。ここで、抵抗 $R3$ および $R5$ の共通接続点は誤差積分器 110 の正相入力端 $111p$ に接続されており、抵抗 $R4$ および $R6$ の共通接続点は誤差積分器 110 の逆相入力端 $111n$ に接続されている。また、抵抗 $R1$ および $R3$ の共通接続点と抵抗 $R2$ および $R4$ の共通接続点との間には、 $MOSFET$ (Metal-Oxide-Semiconductor 構造の電界効果トランジスタ) などによるスイッチ 130 が介挿されている。このスイッチ 130 は、クリップ防止制御部 200 から与えられる減衰指令信号 SW により入力アナログ信号を断続的に減衰させる減衰手段として機能する。

【0008】

誤差積分器 110 は、抵抗 $R1$ および $R3$ を介して正相の入力アナログ信号 V_{Ip} が正相入力端 $111p$ に与えられるとともに、抵抗 $R2$ および $R4$ を介して逆相の入力アナログ信号 V_{In} が逆相入力端 $111n$ に与えられる。また、誤差積分器 110 の正相入力端 $111p$ には、抵抗 $R5$ を介して逆相デジタル信号 V_{On} が帰還され、誤差積分器 110 の逆相入力端 $111n$ には、抵抗 $R6$ を介して正相デジタル信号 V_{Op} が帰還される。そして、誤差積分器 110 は、このようにして与えられる入力アナログ信号 V_{Ip} および V_{In} と、デジタル信号 V_{Op} および V_{On} との誤差を積分して、積分結果を示す正逆 2 相の信号 V_{Dp} および V_{Dn} を正相出力端 $112p$ および逆相出力端 $112n$ から各々出力する回路である。誤差積分器 110 としては各種のものが考えられるが、図示の例では、差動増幅器 113 と、 4 個のキャパシタ $C1 \sim C4$ と 2 個の抵抗 $R11$ および $R12$ により構成された 2 次の誤差積分器 110 が用いられている。ここで、差動増幅器 113 の正相入力端 (+ 入力端) および逆相入力端 (- 入力端) は、各々誤差積分器 110 の正相入力端 $111p$ および逆相入力端 $111n$ となっており、差動増幅器 113 の正相出力端 (+ 出力端) と逆相出力端 (- 出力端) は、各々誤差積分器 110 の正相出力端 $112p$ および逆相出力端 $112n$ となっている。そして、差動増幅器 113 の正相入力端と逆相出力端との間には、誤差を積分するためのキャパシタ $C1$ および $C2$ が直列に介挿されており、これらのキャパシタの共通接続点は抵抗 $R11$ を介して接地されている。また、差動増幅器 113 の逆相入力端と正相出力端との間にも、誤差を積分するためのキャパシタ $C3$ および $C4$ が直列に介挿されており、これらのキャパシタの共通接続点は抵抗 $R12$ を介して接地されている。

【0009】

パルス幅変調器 120 の正相入力端 $121p$ および逆相入力端 $121n$ は、誤差積分器 110 の正相出力端 $112p$ および逆相出力端 $112n$ に接続されている。また、パルス幅変調器 120 の三角波入力端 122 には、三角波発生器 300 から出力される三角波信号 TR が与えられる。そして、パルス幅変調器 120 の正相出力端 $123p$ および逆相出力端 $123n$ は、アンプ部 100 の出力端 $102p$ および $102n$ となっている。パルス幅変調器 120 は、三角波入力端 122 に与えられる三角波信号 TR を用いて、誤差積分器 110 の出力信号 V_{Dp} および V_{Dn} のレベルに応じたパルス幅の正逆 2 相のデジタル信号 V_{Op} および V_{On} を生成し、正相出力端 $123p$ および逆相出力端 $123n$ から各々出力する回路である。このパルス幅変調器 120 も各種の構成のものが考えられるが、

10

20

30

40

50

図示の例では、三角波信号 T_R が各々正相入力端に与えられ、誤差積分器 110 の正相出力信号 V_{Dp} および逆相出力信号 V_{Dn} が各々の逆相入力端に与えられるコンパレータ 124p および 124n と、コンパレータ 124p および 124n の出力信号 V_{Ep} および V_{En} のレベルを各々反転して出力するインバータ 125p および 125n と、コンパレータ 124n の出力信号 V_{En} とインバータ 125p の出力信号が入力される $NAND$ ゲート 126p と、コンパレータ 124p の出力信号 V_{Ep} とインバータ 125n の出力信号が入力される $NAND$ ゲート 126n と、 $NAND$ ゲート 126p および 126n の出力信号のレベルを各々反転して、正相出力端 123p および逆相出力端 123n から信号 V_{Op} および V_{On} として各々出力するインバータ 127p および 127n により構成されている。

10

以上がアンプ部 100 の構成の詳細である。

【0010】

次にクリップ防止制御部 200 の構成を説明する。電流出力コンパレータ 201 は、誤差積分器 110 の出力信号 V_{Dp} および V_{Dn} のレベルを基準レベル V_{LEV} と比較し、出力信号 V_{Dp} または V_{Dn} の少なくとも一方が基準レベル V_{LEV} を越えている場合に、キャパシタ C_{21} および抵抗 R_{21} の並列回路に対して定電流を出力する回路である。ここで、通常は出力デジタル信号 V_{Op} および V_{On} にクリップを発生させないように、基準レベル V_{LEV} は、三角波信号 T_R の上側のピーク電圧と同じか、それより僅かに低い電圧に設定されている。本実施形態におけるクリップ防止制御部 200 は、出力信号 V_{Dp} (または V_{Dn}) の上側のピーク電圧と基準レベル V_{LEV} とを比較し、その比較結果に基づいてクリップ防止のための減衰指令信号 SW を発生する構成となっているため、基準レベル V_{LEV} はこのように設定される。しかし、クリップ防止制御部 200 は、出力信号 V_{Dp} (または V_{Dn}) の下側のピーク電圧と基準レベル V_{LEV} とを比較し、その比較結果に基づいてクリップ防止のための減衰指令信号 SW を発生する構成としてもよい。この場合、基準レベル V_{LEV} は、三角波信号 T_R の下側のピーク電圧と同じか、それより僅かに高い電圧に設定する。また、基準レベル V_{LEV} は、要求される出力デジタル信号 V_{Op} および V_{On} のパルス幅変調の変化範囲に合わせて設定すればよい。出力デジタル信号 V_{Op} および V_{On} のパルス幅変調の変化範囲を極力大きくする必要がある場合には、基準レベル V_{LEV} を V_B または $0V$ に極力近づける必要がある。しかし、そうでない場合には基準レベル V_{LEV} を V_B または $0V$ から離れたレベルにしてもよい。

20

30

クリップ防止の機能を働かせるためには、基準レベル V_{LEV} は、 $V_B/2 < V_{LEV} < V_B$ または $0V < V_{LEV} < V_B$ の範囲内において任意に設定可能である。

【0011】

図 2 は電流出力コンパレータ 201 の構成例を示す回路図である。図 2 において、 N チャンネル FET_{221} は、ソースが接地されており、ドレインおよびゲートが定電流源 220 に接続されている。 N チャンネル $FET_{222} \sim 224$ は、ソースが各々接地され、各々のゲートには N チャンネル FET_{221} と同じゲート電圧が与えられている。すなわち、 N チャンネル $FET_{221} \sim 224$ は、カレントミラーを構成しており、 N チャンネル $FET_{222} \sim 224$ には、定電流源 220 から N チャンネル FET_{221} に流れるドレイン電流に比例したドレイン電流が各々流れるようになっている。

40

【0012】

N チャンネル FET_{231} および 232 は、各々のドレインが電圧 $+V_B$ の電源に接続され、各々のゲートには誤差積分器 110 の出力信号 V_{Dp} および V_{Dn} が各々与えられ、各々のソースは N チャンネル FET_{222} のドレインに共通接続されている。すなわち、 N チャンネル FET_{231} および 232 は、 N チャンネル FET_{222} を共通の負荷とするソースフォロワを各々構成しており、 N チャンネル FET_{222} のドレインには、 N チャンネル FET_{231} および 232 の各ゲート電圧 V_{Dp} および V_{Dn} のうち大きい方よりも所定量 (N チャンネル FET の閾値相当の電圧) だけ低い電圧が発生する。 N チャンネル FET_{233} は、ドレインが電圧 $+V_B$ の電源に接続され、ゲートには基準レベル V_{LEV} が与えられ、ソースは N チャンネル FET_{224} のドレインに接続されている。この N チャンネル FET

50

T 2 3 3 は、Nチャネル F E T 2 2 4 を負荷とするソースフォロワを構成しており、Nチャネル F E T 2 2 4 のドレインにはゲート電圧 V L E V よりも所定量だけ低い電圧が発生する。

【 0 0 1 3 】

Nチャネル F E T 2 4 1 および 2 4 2 は、Nチャネル F E T 2 2 3 とともに差増増幅器を構成する F E T ペアである。ここで、Nチャネル F E T 2 4 1 は、ドレインが Pチャネル F E T 2 4 3 を介して電圧 + V B の電源に接続され、ゲートには Nチャネル F E T 2 2 2 のドレイン電圧が与えられる。一方、Nチャネル F E T 2 4 2 は、ドレインが電圧 + V B の電源に直接接続されており、ゲートには Nチャネル F E T 2 2 4 のドレイン電圧が与えられる。そして、Nチャネル F E T 2 4 1 および 2 4 2 のソースは、Nチャネル F E T 2 2 3 のドレインに共通接続されている。

10

【 0 0 1 4 】

Pチャネル F E T 2 4 3 は、ソースが電圧 + V B の電源に直接接続されており、ドレインおよびゲートが Nチャネル F E T 2 4 1 のドレインに接続されている。Pチャネル F E T 2 5 0 は、ゲートに Pチャネル F E T 2 4 3 と同じゲート電圧が与えられ、ソースが電圧 + V B の電源に直接接続されており、ドレインと接地線との間にはキャパシタ C 2 1 および抵抗 R 2 1 の並列回路が介挿されている。すなわち、Pチャネル F E T 2 4 3 および 2 5 0 はカレントミラーを構成しており、Pチャネル F E T 2 4 3 のドレイン電流に比例したドレイン電流が Pチャネル F E T 2 5 0 に流れるようになっている。

【 0 0 1 5 】

20

このような構成において、誤差積分器 1 1 0 の出力信号 V D p および V D n の両方が基準レベル V L E V に満たない場合には、Nチャネル F E T 2 4 2 に対するゲートバイアスが Nチャネル F E T 2 4 1 に対するゲートバイアスに勝り、Nチャネル F E T 2 4 2 が O N、Nチャネル F E T 2 4 1 が O F F となる。このため、Pチャネル F E T 2 4 3 が O F F となり、Pチャネル F E T 2 5 0 も O F F となる。これに対し、誤差積分器 1 1 0 の出力信号 V D p および V D n の少なくとも一方が基準レベル V L E V を越える場合には、Nチャネル F E T 2 4 1 に対するゲートバイアスが Nチャネル F E T 2 4 2 に対するゲートバイアスに勝り、Nチャネル F E T 2 4 1 が O N、Nチャネル F E T 2 4 2 が O F F となる。このため、Pチャネル F E T 2 4 3 が O N となり、Pチャネル F E T 2 5 0 も O N となる。ここで、Pチャネル F E T 2 5 0 に流れるドレイン電流は、Pチャネル F E T 2 4 3 および Nチャネル F E T 2 2 3 に流れるドレイン電流に比例したもの、すなわち、定電流源 2 2 0 の出力電流に比例した電流となる。

30

【 0 0 1 6 】

図 1 において、以上説明した電流出力コンパレータ 2 0 1 からコンパレータ 2 0 4 および 2 0 5 の前段までの部分は、誤差積分器 1 1 0 の出力信号が基準レベル V L E V を越えたときに三角波信号 T R と交差するレベルの比較用電圧を発生する比較用電圧発生手段を構成している。さらに詳述すると、まず、キャパシタ C 2 1 および抵抗 R 2 1 からなる並列回路は、電流出力コンパレータ 2 0 1 から出力される電流を積分する積分器 2 1 を構成している。オペアンプ 2 0 2 は、その出力端と逆相入力端とが短絡されており、積分器 2 1 の出力電圧 V C 1 を第 1 の比較用電圧として後段に伝えるボルテージフォロワバッファを構成している。このボルテージフォロワバッファから出力される第 1 の比較用電圧 V C 1 は、抵抗 R 2 2 を介してオペアンプ 2 0 3 の逆相入力端に与えられる。このオペアンプ 2 0 3 の逆相入力端と出力端との間には抵抗 R 2 2 と同じ抵抗値の抵抗 R 2 3 が介挿されており、オペアンプ 2 0 3 の正相入力端には基準レベル + V B / 2 が与えられる。ここで、オペアンプ 2 0 3 の出力電圧を V C 2 とすると、次式が成立する。

40

$$(V C 1 + V C 2) / 2 = V B / 2 \quad \dots \dots (1)$$

これを V C 2 について解くと次のようになる。

$$V C 2 = V B - V C 1 \quad \dots \dots (2)$$

すなわち、抵抗 R 2 2 および R 2 3 とオペアンプ 2 0 3 からなる回路は、オペアンプ 2 0 2 から第 1 の比較用電圧 V C 1 が出力される場合に、電圧 V B よりも電圧 V C 1 だけ低

50

い第2の比較用電圧 V_{C2} を出力する反転増幅器として働く。

【0017】

コンパレータ204は、第1の比較用電圧 V_{C1} と三角波信号 T_R とを比較し、後者が前者よりも高い場合にHレベルの信号を、そうでない場合にはLレベルの信号を出力する。また、コンパレータ205は、第2の比較用電圧 V_{C2} と三角波信号 T_R とを比較し、前者が後者よりも高い場合にHレベルの信号を、そうでない場合にはLレベルの信号を出力する。ロウアクティブORゲート206は、コンパレータ204または205の各出力信号の少なくとも一方がLレベルであるときにHレベル（アクティブレベル）となる減衰指令信号 SW を出力する。

以上が本実施形態によるD級増幅器の構成の詳細である。

10

【0018】

次に本実施形態の動作を説明する。図3はアンプ部100の各部の信号波形を示す波形図である。誤差積分器110は、アンプ部100における入力アナログ信号と出力デジタル信号との誤差を積分するため、その出力信号 V_{Dp} および V_{Dn} の波形は、入力アナログ信号 V_{Ip} および V_{In} の波形に対して、出力デジタル信号に相当するリップルが重畳したような波形となる。パルス幅変調器120では、この誤差積分器110の出力信号 V_{Dp} および V_{Dn} と三角波信号 T_R との比較が行われる。そして、 $V_{Dp} > V_{Dn}$ である期間は、図3の左側に示すように、三角波信号 T_R のレベルが信号 V_{Dn} のレベルを越えてから信号 V_{Dp} のレベルに至るまでの期間および三角波信号 T_R のレベルが信号 V_{Dp} のレベルを下回ってから信号 V_{Dn} のレベルに至るまでの期間、デジタル信号 V_{Op} がHレベルとなり、デジタル信号 V_{On} は継続的にLレベルとされる。また、 $V_{Dn} > V_{Dp}$ である期間は、図3の右側に示すように、三角波信号 T_R のレベルが信号 V_{Dp} のレベルを越えてから信号 V_{Dn} のレベルに至るまでの期間および三角波信号 T_R のレベルが信号 V_{Dn} のレベルを下回ってから信号 V_{Dp} のレベルに至るまでの期間、デジタル信号 V_{On} がHレベルとなり、デジタル信号 V_{Op} は継続的にLレベルとされる。このようにして、パルス幅変調器120では、誤差積分器110の2相の出力信号 V_{Dp} および V_{Dn} のレベル差に比例したパルス幅を有するデジタル信号 V_{Op} および V_{On} が発生される。

20

【0019】

本実施形態において、三角波信号 T_R は $0V \sim +V_B$ の範囲内で変化する。従って、クリップを生じさせずに出力デジタル信号 V_{Op} および V_{On} をパルス列として得るためには、誤差積分器110の出力信号 V_{Dp} および V_{Dn} の両方が三角波信号 T_R と交差する範囲内に収まっている必要がある。ここで、入力アナログ信号 V_{Ip} および V_{In} の振幅がある適正範囲内にある場合には、誤差積分器110の出力信号 V_{Dp} および V_{Dn} は三角波信号 T_R の振幅の範囲内に収まる。しかし、そのような適正範囲から外れる大きな振幅の入力アナログ信号 V_{Ip} および V_{In} がこのD級増幅器に与えられる場合には、何ら策を講じないと、誤差積分器110の出力信号 V_{Dp} または V_{Dn} が三角波信号 T_R の振幅の範囲外に出て、出力デジタル信号 V_{Op} または V_{On} が連続的にHレベルとなるクリップ状態となる。しかしながら、本実施形態では、クリップ防止制御部200によりこのようなクリップの発生が防止される。以下、図4(a)および(b)を参照し、この動作について説明する。なお、本説明において、入力アナログ信号 V_{Ip} および V_{In} の振幅の適正範囲とは、出力デジタル信号 V_{Op} および V_{On} にクリップを発生させない範囲であり、D級増幅器の出力部（例えば図1のインバータ127pおよび127n）の電源電圧の $1/2$ をD級増幅器の増幅率で除した値より小さな範囲である。

30

40

【0020】

まず、図4(a)に示すように、入力アナログ信号 V_{Ip} および V_{In} の振幅が適正範囲内にあり、誤差積分器110の出力信号 V_{Dp} および V_{Dn} の最高値が基準レベル V_{LEV} に満たない場合には、電流出力コンパレータ201の出力電流は0となり、第1の比較用電圧 V_{C1} は $0V$ 、第2の比較用電圧 V_{C2} は $+V_B$ となる。このため、三角波信号 T_R は、比較用電圧 V_{C1} および V_{C2} と交差せず、減衰指令信号 SW は継続的に非アクティブレベルであるLレベルとなる。従って、スイッチ130は継続的にOFFとなり、

50

このスイッチ 130 の両端におけるアナログ信号 V_{Ip} および V_{In} の波形は、図示のように、入力アナログ信号 V_{Ip} および V_{In} に対して相似形の波形となる。

【0021】

これに対し、図 4 (b) に示すように、入力アナログ信号 V_{Ip} および V_{In} の振幅が大きくなり、誤差積分器 110 の出力信号 V_{Dp} および V_{Dn} の少なくとも一方が基準レベル V_{LEV} を越えると、この信号 V_{Dp} または V_{Dn} が基準レベル V_{LEV} を越えている間、電流出力コンパレータ 201 から定電流が出力され、この電流によりキャパシタ C_{21} が充電される。この電流出力コンパレータ 201 による定電流の出力およびキャパシタ C_{21} の充電は、信号 V_{Dp} または V_{Dn} が基準レベルを越える度に行われる。このため、第 1 の比較用電圧 V_{C1} は、信号 V_{Dp} または V_{Dn} が基準レベルを越えたときに上昇し、それ以後、次に信号 V_{Dp} または V_{Dn} が基準レベルを越えるまでの間、キャパシタ C_{21} の蓄積電荷が抵抗 R_{21} を介して放電されるのに従って低下する、という脈動を繰り返す。また、第 1 の比較用電圧 V_{C1} がこのような挙動を示すのに伴い、第 2 の比較用電圧 $V_{C2} (= +V_B - V_{C1})$ は、電圧 $+V_B$ から低下し、電圧 V_{C1} と同様の脈動を繰り返す。このため、三角波信号 TR が比較用電圧 V_{C1} および V_{C2} と交差し、三角波信号 TR が電圧 V_{C1} よりも低い期間および三角波信号 TR が電圧 V_{C2} よりも高い期間に H レベル (アクティブレベル) となる減衰指令信号 SW がロウアクティブ OR ゲート 206 から出力される。

【0022】

ここで、スイッチ 130 は、この減衰指令信号 SW が L レベルの期間は OFF、H レベルの期間は ON となる。このため、スイッチ 130 の両端におけるアナログ信号 V_{Ip} および V_{In} は、減衰指令信号 SW が L レベルの期間は、元の入力アナログ信号 V_{Ip} および V_{In} に対応した信号値、減衰指令信号 SW が H レベルの期間は 0 V となり、図示のように、一定時間間隔で間引きを行った波形となる。従って、誤差積分器 110 に対して実質的に入力されるアナログ信号が減衰し、誤差積分器 110 の出力信号のレベルが適正範囲である 0 V ~ $+V_B$ の範囲内に戻され、出力デジタル信号 V_{Op} および V_{On} におけるクリップの発生が防止される。

【0023】

さらに詳述すると、入力アナログ信号 V_{Ip} および V_{In} の振幅が大きく、このような間引きが行われる状況では、入力アナログ信号 V_{Ip} および V_{In} の振幅が大きくなり、誤差積分器 110 の出力信号 V_{Dp} および V_{Dn} の振幅が大きくなろうとすると、間引き率を高めて、D 級増幅器全体としての利得を低下させる、いわば負帰還制御が行われる。このような負帰還制御が働く結果、歪を発生させることなく入力アナログ信号 V_{Ip} および V_{In} の増幅が行われ、かつ、入力アナログ信号 V_{Ip} および V_{In} がピークレベルに達したときに、出力デジタル信号 V_{Op} または V_{On} のパルス幅変調度が一定の上限値に達するように、D 級増幅器全体としての利得が最適値に調整される。従って、本実施形態において、入力アナログ信号 V_{Ip} および V_{In} の振幅が大きくて適正範囲を外れる領域では、入力アナログ信号 V_{Ip} および V_{In} の振幅が増加したとしても、負荷に与えられる出力信号波形 (出力デジタル信号 V_{Op} および V_{On} を積分した波形となる) は歪まず、かつ、その出力信号波形のピークレベルは一定値を維持する。

【0024】

出力デジタル信号 V_{Op} または V_{On} のパルス幅変調度の上限値は、基準レベル V_{LEV} に依存する。何故ならば、本実施形態による D 級増幅器では、誤差積分器 110 の出力信号 V_{Dp} および V_{Dn} のレベルに応じて出力デジタル信号 V_{Op} および V_{On} のパルス幅変調度が決定される一方、この誤差積分器 110 の出力信号 V_{Dp} および V_{Dn} が基準レベル V_{LEV} を越えたときに三角波信号 TR と交差するレベルの比較用電圧が発生して間引きのための減衰指令信号 SW が発生し、誤差積分器 110 の出力信号 V_{Dp} および V_{Dn} のレベルの増加並びにこれに伴うパルス幅変調度の増加が抑えられるからである。

【0025】

本実施形態においてクリップに対する応答特性は、キャパシタ C_{21} の容量値および抵

10

20

30

40

50

抗 R 2 1 の抵抗値を調整により調整可能である。クリップの発生に対し、短い時間で減衰指令信号 S W を発生させる必要があるときは、キャパシタ C 2 1 の容量値を小さくすればよい。また、クリップ状態でなくなった後、減衰指令信号 S W が停止されるまでの時間を長くする必要があるときは、抵抗 R 2 1 の抵抗値を大きくすればよい。

【 0 0 2 6 】

以上説明したように、本実施形態によれば、D 級増幅器に対する入力アナログ信号の振幅が大きくなり、適正範囲外となる場合に、誤差積分器 1 1 0 に入力されるアナログ信号を時間軸上において断続的に間引く動作が行われ、クリップの発生が防止される。この場合、誤差積分器 1 1 0 に入力されるアナログ信号は、断続的に間引かれるだけであり、実質的な波形の変化はない。従って、本実施形態によれば、非線形歪を生じさせることなくクリップの発生を防止することができる。

10

【 0 0 2 7 】

また、本実施形態では、入力アナログ信号の振幅が大きくて適正範囲外となる領域において上述した間引きによる負帰還制御が行われるため、理想的には、入力アナログ信号 V I p および V I n の振幅が無限大になっても出力信号波形をクリップさせないように入力アナログ信号 V I p および V I n を増幅することができる。現実には、D 級増幅器を半導体集積回路として実現する場合に入力信号を電源電圧の範囲内に制限する入力保護回路が設けられる。従って、外部から与えられる入力アナログ信号 V I p および V I n の振幅が電源電圧の範囲を越えている場合には、入力保護回路を通過する際に、入力アナログ信号 V I p および V I n にクリップが生じる。この場合、D 級増幅器は、このクリップの生じた入力アナログ信号 V I p および V I n を増幅することとなるが、その際に D 級増幅器は上述した間引きによる負帰還制御を機能させて増幅を行うため、D 級増幅器自体が入力アナログ信号 V I p および V I n にさらなる歪を与えることはない。

20

【 0 0 2 8 】

< 第 2 実施形態 >

図 5 はこの発明の第 2 実施形態である D 級増幅器の構成を示す回路図である。上記第 1 実施形態 (図 1) では、電流出力コンパレータ 2 0 1 の出力電流を利用して、高電圧側および低電圧側において三角波信号 T R と交差する 2 つの比較用電圧 V C 1 および V C 2 を生成し、第 1 の比較用電圧 V C 1 と三角波信号 T R とをコンパレータ 2 0 4 に与え、第 2 の比較用電圧 V C 2 と三角波信号 T R とをコンパレータ 2 0 5 に与えることにより、パルス列である減衰指令信号 S W を発生した。

30

【 0 0 2 9 】

これに対し、本実施形態では、上記第 1 実施形態における三角波発生器 3 0 0 が、正逆 2 相の三角波信号 T R p および T R n を出力する三角波発生器 3 0 0 A に置き換えられ、これに伴い、上記第 1 実施形態におけるパルス幅変調器 1 2 0 が、正逆 2 相の三角波信号 T R p および T R n を用いてパルス幅変調を行うパルス幅変調器 1 2 0 A に置き換えられている。このパルス幅変調器 1 2 0 A において、コンパレータ 1 4 1 p は、三角波信号 T R p の瞬時値が誤差積分器 1 1 0 の出力信号 V D p の瞬時値よりも低いとき H レベルの信号を出力する。また、コンパレータ 1 4 2 p は、三角波信号 T R p の瞬時値が誤差積分器 1 1 0 の出力信号 V D n の瞬時値よりも高いとき H レベルの信号を出力する。そして、AND ゲート 1 4 3 p は、コンパレータ 1 4 1 p および 1 4 2 p の各出力信号がいずれも H レベルである期間、すなわち、V D p > V D n である場合において、三角波信号 T R p の瞬時値が信号 V D n を越えてから信号 V D p に到達するまでの期間と、三角波信号 T R p の瞬時値が信号 V D p を下回ってから信号 V D n に到達するまでの期間、デジタル信号 V O p を H レベルとする。コンパレータ 1 4 1 n は、三角波信号 T R n の瞬時値が誤差積分器 1 1 0 の出力信号 V D n の瞬時値よりも低いとき H レベルの信号を出力する。また、コンパレータ 1 4 2 n は、三角波信号 T R n の瞬時値が誤差積分器 1 1 0 の出力信号 V D p の瞬時値よりも高いとき H レベルの信号を出力する。そして、AND ゲート 1 4 3 n は、コンパレータ 1 4 1 n および 1 4 2 n の各出力信号がいずれも H レベルである期間、すなわち、V D n > V D p である場合において、三角波信号 T R n の瞬時値が信号 V D p を越

40

50

えてから信号 V_{Dn} に到達するまでの期間と、三角波信号 T_{Rn} の瞬時値が信号 V_{Dn} を下回ってから信号 V_{Dp} に到達するまでの期間、デジタル信号 V_{On} を H レベルとする。すなわち、パルス幅変調器 120A では、上記第 1 実施形態におけるパルス幅変調器 120 と同様、誤差積分器 110 の 2 相の出力信号 V_{Dp} および V_{Dn} のレベル差に比例したパルス幅を有するデジタル信号 V_{Op} および V_{On} が発生される。

【0030】

また、本実施形態では、正逆 2 相の三角波信号 T_{Rp} および T_{Rn} を出力する三角波発生器 300A が採用されたことにより、上記第 1 実施形態におけるクリップ防止制御部 200 が、これよりも簡素な構成のクリップ防止制御部 200A に置き換えられている。そして、本実施形態において、コンパレータ 204 および 205 の両方の逆相入力端には、電流出力コンパレータ 201 の出力電圧 V_C が与えられる。また、コンパレータ 204 の正相入力端には逆相の三角波信号 T_{Rn} が与えられ、コンパレータ 205 の正相入力端には正相の三角波信号 T_{Rp} が与えられる。

【0031】

以上の構成によれば、誤差積分器 110 の出力信号 V_{Dp} または V_{Dn} が基準レベル V_{LEV} を越え、電流出力コンパレータ 201 の出力電圧 V_C が上昇すると、三角波信号 T_{Rp} のレベルが電圧 V_C よりも低い期間、コンパレータ 204 の出力信号が L レベルとなって減衰指令信号 SW が H レベルとなり、三角波信号 T_{Rn} のレベルが電圧 V_C よりも低い期間、コンパレータ 205 の出力信号が L レベルとなって減衰指令信号 SW が H レベルとなる。従って、上記第 1 実施形態と同様の効果が得られる。また、本実施形態では、上記第 1 実施形態において 2 つの比較用電圧 V_{C1} および V_{C2} を得るために必要であったオペアンプ 202、抵抗 R_{22} および R_{23} 、オペアンプ 203 が不要になり、その分だけ回路規模を小さくすることができるという利点がある。

【0032】

< 第 3 実施形態 >

図 6 はこの発明の第 3 実施形態である D 級増幅器の構成を示すブロック図である。本実施形態では、上記第 1 実施形態におけるクリップ防止制御部 200 がクリップ防止制御部 200B に置き換えられている。また、本実施形態では、三角波信号 T_R が正のピークとなるタイミングおよび負のピークとなるタイミングにおいて、パルス状のタイミング信号 S が三角波発生器 300 からクリップ防止制御部 200B に供給されるようになっている。

【0033】

クリップが発生していない場合には、前掲図 3 から明らかなように、三角波信号 T_R が正のピークとなるタイミングおよび負のピークとなるタイミングにおける出力デジタル信号 V_{Op} および V_{On} はいずれも L レベルとなる。これに対し、クリップが発生すると、三角波信号 T_R が正のピークとなるタイミングおよび負のピークとなるタイミングにおいて、出力デジタル信号 V_{Op} または V_{On} が H レベルとなる。本実施形態におけるクリップ防止制御部 200B は、このことを利用し、出力デジタル信号 V_{Op} および V_{On} に基づいてクリップの有無を検知し、クリップが検知された場合にはクリップのない状態に戻す減衰指令信号 SW を発生する。

【0034】

図 7 (a) および (b) は本実施形態の動作を示す波形図である。図 7 (a) に示す例では、タイミング信号 S の発生時、出力デジタル信号 V_{Op} および V_{On} は L レベルとなっている。このため、クリップ防止制御部 200B は、クリップが発生していないと判断し、減衰指令信号 SW を L レベルとする。これに対し、図 7 (b) に示す例では、タイミング信号 S の発生時、出力デジタル信号 V_{Op} または V_{On} の一方が H レベルとなっている。このため、クリップ防止制御部 200B は、クリップが発生していると判断し、三角波信号 T_R に同期したパルス列を減衰指令信号 SW として出力する。これにより、上記第 1 実施形態と同様、アンプ部 100 に対する入力アナログ信号が時間軸上において断続的に間引かれ、クリップの発生が防止される。

【 0 0 3 5 】

この第3実施形態には次のような変形が考えられる。すなわち、三角波信号TRが正のピークとなるタイミングの僅かに前のタイミングおよび負のピークとなるタイミングの僅かに前のタイミングにタイミング信号Sの発生タイミングをずらすのである。このようにすると、出力デジタル信号VOpおよびVOnにクリップが発生する前に、アンプ部100に対する入力アナログ信号を時間軸上において断続的に間引く動作が行われるため、クリップの発生を確実に防止することができる。

【 0 0 3 6 】

< 第4実施形態 >

図8はこの発明の第4実施形態であるD級増幅器の構成を示す回路図である。上記第2実施形態(図5)と同様、本実施形態においても、2相の三角波信号TRpおよびTRnを発生する三角波発生器300Aが用いられる。この三角波発生器300Aとアンプ部100におけるパルス幅変調器120Aとの接続関係は上記第2実施形態と同様である。本実施形態では、上記第2実施形態におけるクリップ防止制御部200Aがクリップ防止制御部200Cに置き換えられている。このクリップ防止制御部200Cでは、クリップ防止制御部200A(図5)における電流出力コンパレータ201が、定電流源261と、スイッチ262と、フリップフロップ263および264と、ORゲート265とからなる回路に置き換えられており、定電流源261からスイッチ262を介して供給される電流によりキャパシタC21の充電が行われるようになっている。

【 0 0 3 7 】

フリップフロップ263および264の各クロック端子には、クロックCKが供給される。このクロックCKは、三角波発生器300A内において三角波信号TRpおよびTRnのタイミング制御に用いられる信号であり、クロックCKの立ち上がりにおいて三角波信号TRp(TRn)は正のピーク(負のピーク)、クロックCKの立ち下がりにおいて三角波信号TRp(TRn)は負のピーク(正のピーク)となる。フリップフロップ263は、クロックCKの立ち上がりにおいてパルス幅変調器120A内のコンパレータ141pの出力信号VEpaを取り込んで保持し、フリップフロップ264は、クロックCKの立ち下がりにおいてパルス幅変調器120A内のコンパレータ141nの出力信号VENaを取り込んで保持する。ORゲート265は、フリップフロップ263および264に保持された各信号の少なくとも一方がHレベルであるときにスイッチ261をON状態とする。

【 0 0 3 8 】

図9は本実施形態の動作を示す波形図である。パルス幅変調器120Aでは、三角波信号TRpが信号VDnのレベルを越えている期間、コンパレータ142pの出力信号VEpbがHレベルとなり、三角波信号TRpが信号VDpのレベルを越えている期間、コンパレータ141pの出力信号VEpaがLレベルとなる。また、パルス幅変調器120Aでは、三角波信号TRnが信号VDpのレベルを越えている期間、コンパレータ142nの出力信号VENbがHレベルとなり、三角波信号TRnが信号VDnのレベルを越えている期間、コンパレータ141nの出力信号VENaがLレベルとなる。

【 0 0 3 9 】

従って、誤差積分器110の出力信号VDpおよびVDnのレベルが適正範囲内にあり、かつ、VDp > VDnである場合、パルス幅変調器120Aでは、三角波信号TRpが信号VDnを越えてから信号VDpに到達するまでの期間と、三角波信号TRpが信号VDpを下回ってから信号VDnに到達するまでの期間、ANDゲート143pによってデジタル信号VOpがHレベルとされる。また、誤差積分器110の出力信号VDpおよびVDnのレベルが適正範囲内にあり、かつ、VDn > VDpである場合、パルス幅変調器120Aでは、三角波信号TRnが信号VDpを越えてから信号VDnに到達するまでの期間と、三角波信号TRnが信号VDnを下回ってから信号VDpに到達するまでの期間、ANDゲート143nによってデジタル信号VOnがHレベルとされる。

【 0 0 4 0 】

これらの場合、常にクロック C K の立ち上がりにおいて L レベルの信号 V E p a がフリップフロップ 2 6 3 に保持され、クロック C K の立ち下がりにおいて L レベルの信号 V E n a がフリップフロップ 2 6 4 に保持されるため、スイッチ 2 6 2 は O F F 状態となり、キャパシタ C 2 1 の充電電圧 V C は 0 V となる。このため、減衰指令信号 S W は出力されない。

【 0 0 4 1 】

しかし、図 9 の左側に示すように、誤差積分器 1 1 0 の出力信号 V D p のレベルが三角波信号 T R p の正のピークに近いレベル V D p ' となると、信号 V E p a は、図示の信号 V E p a ' のようにパルス幅が狭くなってゆく。そして、アンプ部 1 0 0 がクリップ状態またはこれに近い状態となり、クロック C K の立ち上がりにおいて信号 V E p a が H レベルになると、フリップフロップ 2 6 3 から H レベルの信号が出力される。これにより、スイッチ 2 6 2 が O N 状態となり、キャパシタ C 2 1 の充電電圧 V C が図示のように上昇し、パルス状の減衰指令信号 S W が出力され、クリップが防止される。

10

【 0 0 4 2 】

また、図 9 の右側に示すように、誤差積分器 1 1 0 の出力信号 V D n のレベルが三角波信号 T R n の正のピークに近いレベル V D n ' となると、信号 V E n a は、図示の信号 V E n a ' のようにパルス幅が狭くなってゆく。そして、アンプ部 1 0 0 がクリップ状態またはこれに近い状態となり、クロック C K の立ち下がりにおいて信号 V E n a が H レベルになると、フリップフロップ 2 6 4 から H レベルの信号が出力される。これにより、スイッチ 2 6 2 が O N 状態となり、キャパシタ C 2 1 の充電電圧 V C が図示のように上昇し、パルス状の減衰指令信号 S W が出力され、クリップが防止される。

20

【 0 0 4 3 】

本実施形態においても、上記各実施形態と同様な効果が得られる。なお、本実施形態には次のような変形例が考えられる。すなわち、フリップフロップ 2 6 3 および 2 6 4 に与えるクロック C K の立ち上がりタイミングおよび立ち下がりタイミングを、三角波信号 T R p または T R n がピークとなるタイミングよりもやや遅らせるのである。このようにすることで、クリップが発生する一歩手前の状態、すなわち、信号 V E n a および V E p a として三角波信号 T R p および T R n のピークのタイミングに同期した負のパルスが発生しているがそのパルス幅が極めて狭くなったときに減衰指令信号 S W を発生させ、クリップを未然に回避することが可能となる。この場合も、上記各実施形態と同様な負帰還制御が働く結果、歪を発生させることなく入力アナログ信号 V I p および V I n の増幅が行われ、かつ、入力アナログ信号 V I p および V I n がピークレベルに達したときに、出力デジタル信号 V O p または V O n のパルス幅変調度が 1 0 0 % よりやや低い上限値（クリップが発生する一歩手前の状態）に達するように、D 級増幅器全体としての利得が最適値に調整される。

30

【 0 0 4 4 】

< 第 5 実施形態 >

図 1 0 はこの発明の第 5 実施形態である D 級増幅器の構成を示す回路図である。また、図 1 1 は、同実施形態の動作を示す波形図である。上記各実施形態では、正逆 2 相の入力アナログ信号 V I p および V I n が D 級増幅器に与えられた。これに対し、本実施形態では、図 1 1 に示すように、各々 1 ビットのデジタル信号である正逆 2 相のビットストリームが入力信号 V I p および V I n として D 級増幅器に与えられる。そして、本実施形態では、このようなビットストリーム V I p および V I n の処理を適切に行うため、図 1 0 に示すように、三角波発生器 3 0 0 が出力する三角波信号 T R の位相をビットストリーム V I p および V I n に同期化させる同期化回路 3 1 0 が、上記第 1 実施形態の D 級増幅器に追加されている。

40

【 0 0 4 5 】

本実施形態のように、入力信号がビットストリームである場合においても、誤差積分器 1 1 0 では、上記第 1 実施形態と同様、出力信号 V O p および V O n と入力信号 V I p および V I n との各誤差の積分が行われ、パルス幅変調器 1 2 0 では、その積分結果を示す

50

信号 V_{Dp} および V_{Dn} に基づいてパルス幅変調されたデジタル信号 V_{Op} および V_{On} が生成される。従って、本実施形態においても、ビットストリーム V_{Ip} および V_{In} が示すアナログ信号波形と同様な波形の信号を図示しない負荷に与えることができる。そして、ビットストリーム V_{Ip} および V_{In} が示す信号波形のピークが高くなり、クリップが発生しそうな状況では、上記第 1 実施形態と同様、第 1 の比較用電圧 V_{C1} および第 2 の比較用電圧 V_{C2} が脈動を繰り返し、減衰指令信号 SW が断続的に発生される。これにより、誤差積分器 110 に与えられる入力信号 V_{Ip}' および V_{In}' は、ビットストリーム V_{Ip} および V_{In} を断続的に間引いたものとなり、クリップが防止される。なお、図示の例では、第 1 実施形態の D 級増幅器に変形を加えて本実施形態による D 級増幅器を構成したが、他の実施形態に同様な変形を加えて本実施形態による D 級増幅器を構成してもよい。

10

【0046】

< 他の実施形態 >

以上、この発明の第 1 ~ 第 5 実施形態を説明したが、この発明には、他にも各種の実施形態が考えられる。例えば次の通りである。

【0047】

(1) 上記第 1 ~ 第 4 実施形態では、入力アナログ信号に応じてパルス幅変調されたデジタル信号を出力する D 級増幅器に本発明を提供したが、本発明は、入力アナログ信号に対して $\Delta\Sigma$ 変調を施し、入力アナログ信号のレベルに応じた時間密度でパルスが発生する D 級増幅器にも適用可能である。

20

【0048】

(2) 上記各実施形態では、この発明を差動構成の D 級増幅器に適用した例を挙げたが、この発明は差動構成でない D 級増幅器にも勿論適用可能である。

【0049】

(3) 上記第 1 実施形態では、電流出力コンパレータ 201 の電源電圧を $+V_B$ とし (図 2 参照)、オペアンプ 203 の正相入力端には基準レベル $+V_B/2$ を与えた (図 1 参照)。しかし、同実施形態による D 級増幅器では、少なくとも三角波信号 TR の中心電位とオペアンプ 203 の正相入力端に与えられる電位が等しければよく、電流出力コンパレータ 201 の電源電圧とオペアンプ 203 の正相入力端に与えられる電位はそれぞれ任意の値でよい。

30

【0050】

(4) 上記第 5 実施形態では、1 チャンルの正相および逆相のビットストリームを入力端子 101p および 101n に与えたが、複数チャンネルの正相のビットストリームを入力端子 101p に与え、複数チャンネルの逆相のビットストリームを入力端子 101n に与えるようにしてもよい。このようにすることで、ミキシング機能を持った D 級増幅器を構成することができる。この場合、入力端子 101p および 101n の各前段に複数チャンネル分の可変抵抗器を各々配置し、各チャンネルのビットストリームが各チャンネルに対応した可変抵抗器を介して入力端子 101p または 101n に与えられるようにし、各可変抵抗器の抵抗値の調整により、ミキシングの際の各チャンネルの重み付けを行えばよい。

【0051】

(5) 上記第 5 実施形態では、1 ビットの正相および逆相のビットストリームを入力端子 101p および 101n に与えたが、複数ビットの正相のビットストリームを入力端子 101p に与え、複数ビットの逆相のビットストリームを入力端子 101n に与えるようにしてもよい。この場合、入力端子 101p および 101n の各前段に複数ビット分の重み付け抵抗を各々配置し、各ビットのビットストリームが各々に対応した重み付け抵抗を介して入力端子 101p または 101n に与えられるようにすればよい。

40

【0052】

(6) D 級増幅器の入力部に設けられたスイッチ 130 による入力アナログ信号 V_{Ip} および V_{In} の間引きの程度の制御は、どのような態様であってもよい。上記各実施形態では、入力アナログ信号 V_{Ip} および V_{In} の振幅が大きくなり、誤差積分器の出力信号の

50

レベルが増加しようとする間引き率を増加させるという負帰還制御を行ったが、間引き率の制御は負帰還制御以外の態様で行ってもよい。例えば、各種のピークレベルの入力信号 V_{Ip} および V_{In} について、クリップを生じさせないようにするための間引き率を予め求めておき、D級増幅器の動作時には、入力信号 V_{Ip} および V_{In} のピークレベルを検出し、そのピークレベルにおいてクリップを生じさせない適切な間引き率を選択し、入力信号 V_{Ip} および V_{In} の間引きを行うという態様でもよい。また、入力アナログ信号 V_{Ip} および V_{In} の間引きが行われる動作領域では、入力アナログ信号 V_{Ip} および V_{In} の振幅が増加した場合に出力デジタル信号 V_{Op} および V_{On} のパルス幅変調度の上限値は必ずしも一定値を維持する必要はなく、例えば入力アナログ信号 V_{Ip} および V_{In} の振幅の増加に応じてパルス幅変調度の上限値が若干低下しても構わない。

10

【図面の簡単な説明】

【0053】

【図1】この発明の第1実施形態であるD級増幅器の構成を示す回路図である。

【図2】同実施形態における電流出力コンパレータの構成例を示す回路図である。

【図3】同実施形態の動作を示す波形図である。

【図4】同実施形態の動作を示す波形図である。

【図5】この発明の第2実施形態であるD級増幅器の構成を示す回路図である。

【図6】この発明の第3実施形態であるD級増幅器の構成を示すブロック図である。

【図7】同実施形態の動作を示す波形図である。

【図8】この発明の第4実施形態であるD級増幅器の構成を示すブロック図である。

20

【図9】同実施形態の動作を示す波形図である。

【図10】この発明の第5実施形態であるD級増幅器の構成を示すブロック図である。

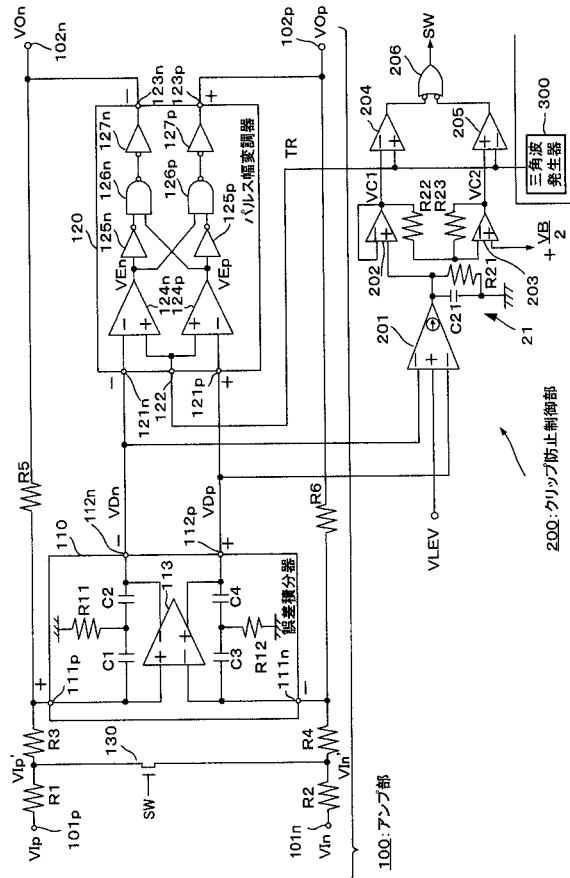
【図11】同実施形態の動作を示す波形図である。

【符号の説明】

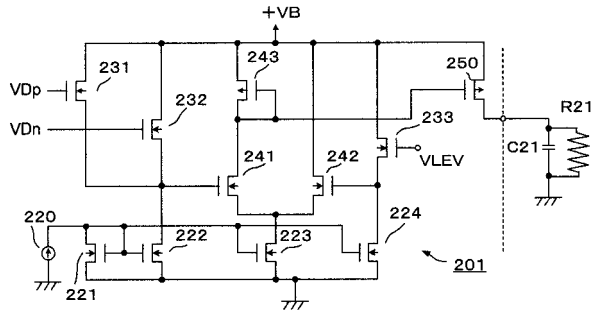
【0054】

100...アンプ部、110...誤差積分器、120, 120A...パルス幅変調器、130...スイッチ、200, 200A, 200B, 200C...クリップ防止制御部、300, 300A...三角波発生器、310...同期化回路。

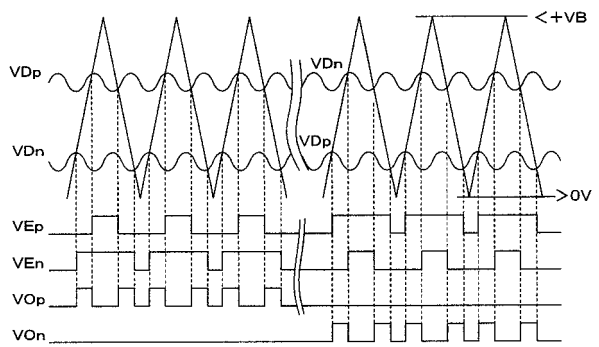
【 図 1 】



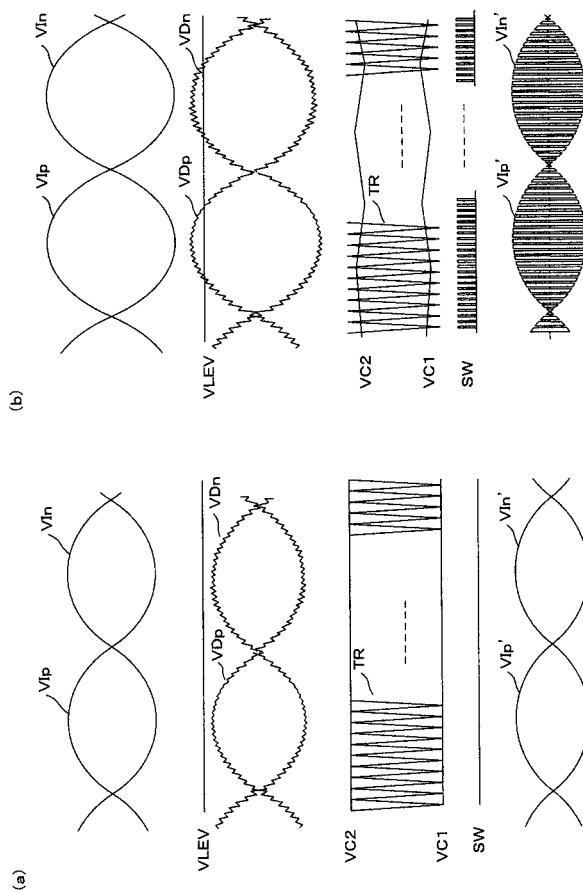
【 図 2 】



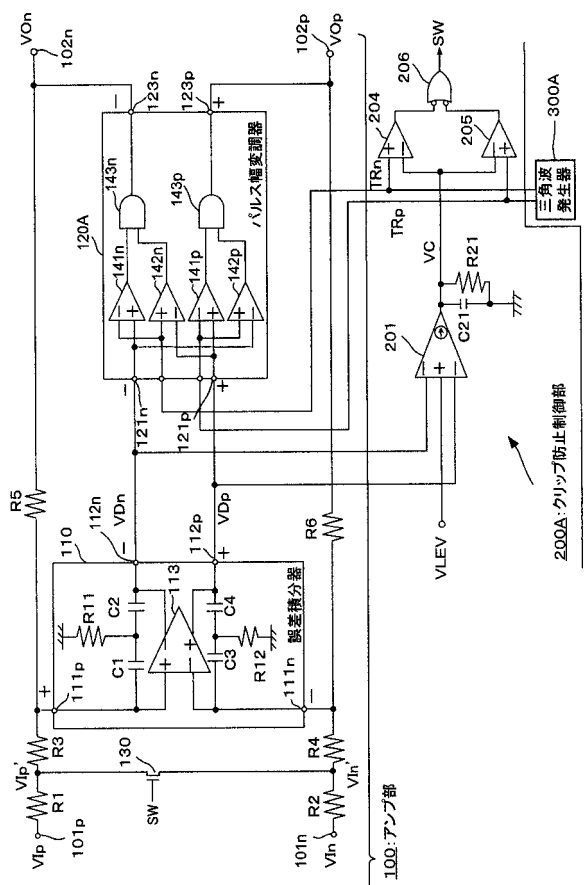
【 図 3 】



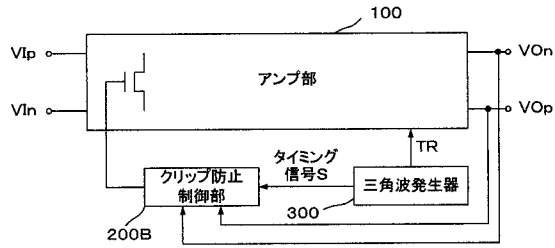
【 図 4 】



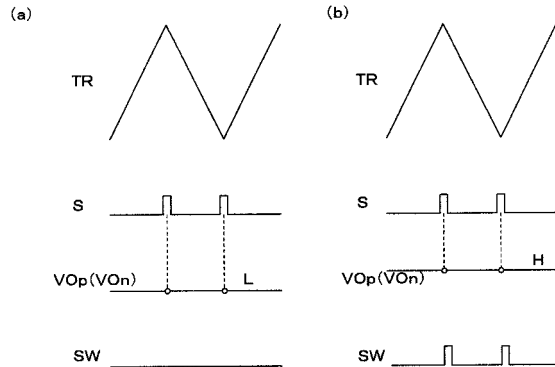
【 図 5 】



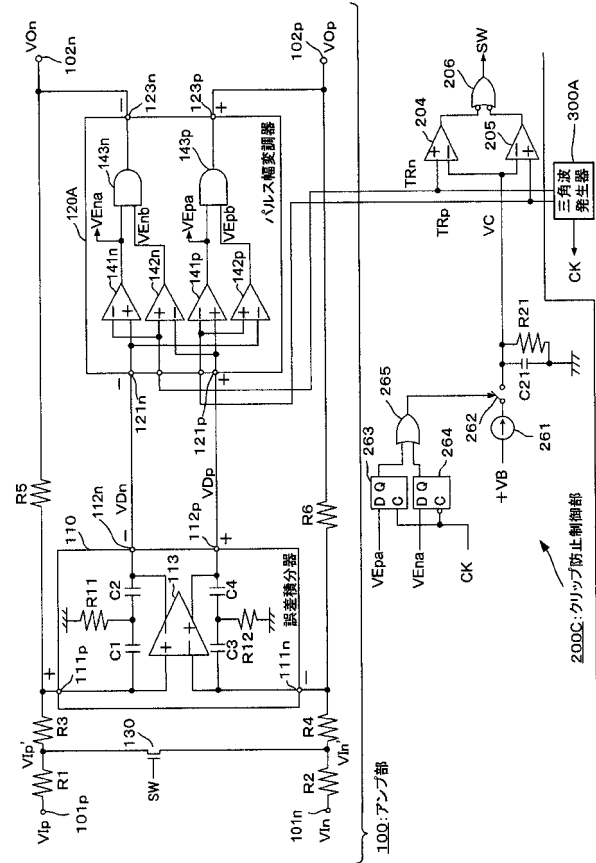
【図 6】



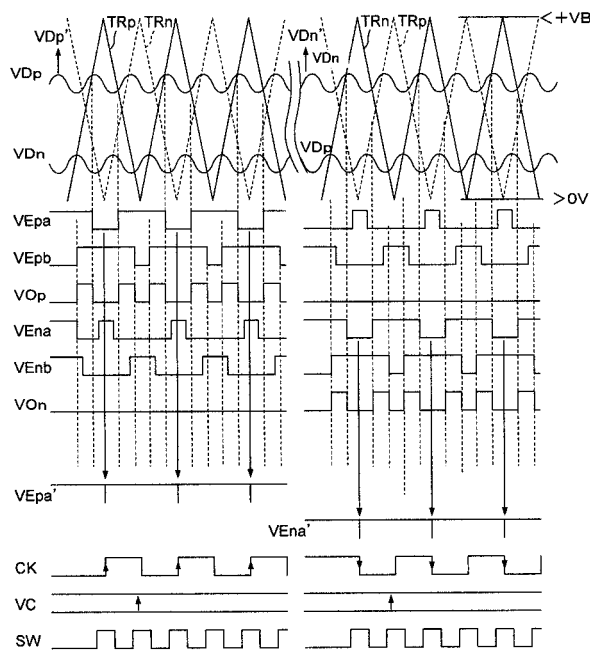
【図 7】



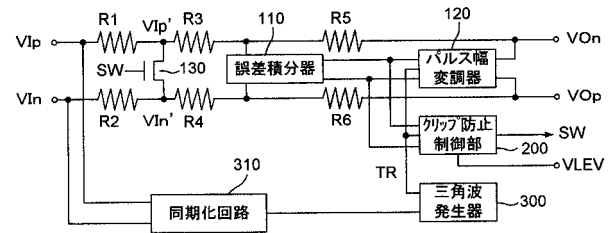
【図 8】



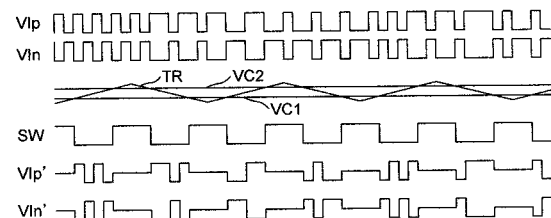
【図 9】



【図 10】



【図 11】



フロントページの続き

(56)参考文献 特開平 0 4 - 1 7 2 7 0 5 (J P , A)
特開昭 6 2 - 0 6 0 3 0 6 (J P , A)
米国特許第 0 4 7 2 4 3 9 6 (U S , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 3 F 3 / 2 1 7
H 0 3 F 1 / 3 2