

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6509231号
(P6509231)

(45) 発行日 令和1年5月8日(2019.5.8)

(24) 登録日 平成31年4月12日(2019.4.12)

(51) Int.Cl.

F I

G O 1 R 33/09 (2006.01)

G O 1 R 33/09

請求項の数 16 (全 11 頁)

(21) 出願番号 特願2016-542947 (P2016-542947)
 (86) (22) 出願日 平成26年12月24日(2014.12.24)
 (65) 公表番号 特表2017-502298 (P2017-502298A)
 (43) 公表日 平成29年1月19日(2017.1.19)
 (86) 国際出願番号 PCT/CN2014/094838
 (87) 国際公開番号 WO2015/096744
 (87) 国際公開日 平成27年7月2日(2015.7.2)
 審査請求日 平成29年9月11日(2017.9.11)
 (31) 優先権主張番号 201310719255.9
 (32) 優先日 平成25年12月24日(2013.12.24)
 (33) 優先権主張国 中国(CN)

(73) 特許権者 514116947
 江▲蘇▼多▲維▼科技有限公司
 MULTIDIMENSION TECH
 NOLOGY CO., LTD.
 中華人民共和国 215634 江▲蘇▼
 省▲張▼家港市保税区▲広▼▲東▼路7号
 E▲棟▼
 Building E, No. 7 G
 uangdong Road, Zhan
 gjiagang Free Trade
 Zone, Jiangsu 2156
 34, China

(74) 代理人 110000729
 特許業務法人 ユニ阿斯国際特許事務所

最終頁に続く

(54) 【発明の名称】 強磁場用のシングルチップ基準ブリッジ磁気センサ

(57) 【特許請求の範囲】

【請求項 1】

シングルチップ基準ブリッジ式磁場センサであって、
 基板と、

前記基板上に配置され、1つまたは少なくとも2つの同一な電氣的に相互接続された磁気抵抗感知素子を備える少なくとも1つの行または列の基準素子ストリングを備えている少なくとも1つの基準アームと、

前記基板上に配置され、1つまたは少なくとも2つの同一な電氣的に相互接続された磁気抵抗感知素子を備える少なくとも1つの行または列の感知素子ストリングを備えている少なくとも1つの感知アームと、

少なくとも1つの減衰器および少なくとも2つの遮へい構造と、を備えており、

前記減衰器および前記遮へい構造は、間隔を空けて互いに交互に配置され、前記減衰器および前記遮へい構造の形状は、同じであり、前記遮へい構造の幅および面積は、それぞれ前記減衰器の幅および面積よりも大きく、

前記基準アームおよび前記感知アームは、ブリッジを形成するように接続され、

各々の基準素子ストリングは、自身の上に遮へい構造を有するように設計され、各々の感知素子ストリングは、自身の上に減衰器を有するように設計され、前記基準素子ストリングは、前記遮へい構造の下方または上方に位置し、前記感知素子ストリングは、前記減衰器の下方または上方に位置し、

前記基準素子ストリングおよび前記感知素子ストリングは、行または列の数において同

じであり、行方向または列方向に沿って間隔を空けて互いに交互に配置され、

前記感知素子ストリングの位置における磁場の利得係数が、前記基準素子ストリングの位置における磁場の利得係数よりも大きい、ことを特徴とするシングルチップ基準ブリッジ式磁場センサ。

【請求項 2】

前記基準素子ストリングおよび前記感知素子ストリングを形成する前記磁気抵抗感知素子は、AMR、GMR、またはTMRセンサ素子であってよい、ことを特徴とする請求項 1 に記載のシングルチップ基準ブリッジ式磁場センサ。

【請求項 3】

前記磁気抵抗感知素子は、GMR スピンバルブ構造、GMR 多層膜構造、TMR スピンバルブ構造、またはTMR 3 層膜構造であってよい、ことを特徴とする請求項 2 に記載のシングルチップ基準ブリッジ式磁場センサ。

【請求項 4】

前記ブリッジは、ハーフブリッジまたはフルブリッジである、ことを特徴とする請求項 1 ~ 3 のいずれか一項に記載のシングルチップ基準ブリッジ式磁場センサ。

【請求項 5】

前記感知アームの前記磁気抵抗感知素子および前記基準アームの前記磁気抵抗感知素子は、数が同じである、ことを特徴とする請求項 1 に記載のシングルチップ基準ブリッジ式磁場センサ。

【請求項 6】

各々の感知素子ストリングおよび隣の基準素子ストリングは、間隔 L に離されており、前記減衰器の数が奇数である場合、2 つの基準素子ストリングが中央において隣り合い、間に間隔 2 L を有し、前記減衰器の数が偶数である場合には、2 つの感知素子ストリングが中央において隣り合い、間に間隔 2 L を有する、ことを特徴とする請求項 1 に記載のシングルチップ基準ブリッジ式磁場センサ。

【請求項 7】

前記減衰器の数 N は、前記感知素子ストリングの行または列の数よりも小さくなく、前記遮へい構造の数 M は、前記基準素子ストリングの行または列の数よりも小さくなく、 $N < M$ であり、かつ N および M は正の整数である、ことを特徴とする請求項 1 に記載のシングルチップ基準ブリッジ式磁場センサ。

【請求項 8】

前記基板は、集積回路を備えている、ことを特徴とする請求項 1 に記載のシングルチップ基準ブリッジ式磁場センサ。

【請求項 9】

前記集積回路は、CMOS、BiCMOS、バイポーラ、BCDMOS、およびSOI のうちの 1 つであり、前記基準アームおよび前記感知アームは、前記基板の前記集積回路の上に直接設けられる、ことを特徴とする請求項 8 に記載のシングルチップ基準ブリッジ式磁場センサ。

【請求項 10】

前記基板は、ASIC チップであり、前記 ASIC チップは、オフセット回路、利得回路、較正回路、温度補償回路、および論理回路のうちの任意の 1 つまたは少なくとも 2 つを備える、ことを特徴とする請求項 1 に記載のシングルチップ基準ブリッジ式磁場センサ。

【請求項 11】

前記論理回路は、デジタルスイッチング回路または回転角算出回路である、ことを特徴とする請求項 10 に記載のシングルチップ基準ブリッジ式磁場センサ。

【請求項 12】

前記遮へい構造および前記減衰器の形状は、列方向または行方向に沿って延びる長いバーのアレイである、ことを特徴とする請求項 1 に記載のシングルチップ基準ブリッジ式磁場センサ。

10

20

30

40

50

【請求項 1 3】

前記遮へい構造および前記減衰器は、軟強磁性合金である同一の材料で構成され、前記軟強磁性合金は、Ni、Fe、およびCoのうちの1つまたは少なくとも2つの元素を含む、ことを特徴とする請求項1または12に記載のシングルチップ基準ブリッジ式磁場センサ。

【請求項 1 4】

当該シングルチップ基準ブリッジ式磁場センサの入力ノ出力接続端子が、半導体パッケージの入力ノ出力接続端子へと電氣的に接続され、前記半導体パッケージの方法は、パッド・ワイヤ・ボンディング、フリップチップ、ボール・グリッド・アレイ・パッケージ、ウエハ・レベル・パッケージ、またはチップ・オン・ボード・パッケージを含む、ことを特徴とする請求項1に記載のシングルチップ基準ブリッジ式磁場センサ。

10

【請求項 1 5】

当該シングルチップ基準ブリッジ式磁場センサの動作磁場強度は、20～500 [Oe]である、ことを特徴とする請求項1に記載のシングルチップ基準ブリッジ式磁場センサ。

【請求項 1 6】

前記遮へい構造は、前記基準素子ストリングを完全に覆う、ことを特徴とする請求項1に記載のシングルチップ基準ブリッジ式磁場センサ。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、磁場センサの技術分野に関し、とくには強磁場用のシングルチップ (single chip) 基準ブリッジ (referenced bridge) 式磁場センサに関する。

【背景技術】

【0002】

磁場センサは、磁場の強度を感知することによって電流、位置、および方向などの物理的なパラメータを測定するために、最新の工業および電子製品に幅広く適用されている。先行技術において、ホール素子、異方性磁気抵抗 (AMR) 素子、または巨大磁気抵抗 (GMR) 素子を感知素子として使用する磁場センサなど、磁場および他のパラメータの測定に使用される多数の異なる種類のセンサが存在する。ホール磁場センサは、高強度の磁場において動作しうるが、感度がきわめて低い、電力の消費が大きいなどの欠点を有している。AMR磁場センサは、ホールセンサよりも感度が高いが、AMR磁場センサは、製造プロセスが複雑であり、電力消費が大きく、高強度の磁場には適用できない。GMR磁場センサは、ホール磁場センサよりも高い感度を有するが、GMR磁場センサは、線形性が低い範囲を有し、やはり高強度の磁場には適用できない。

30

【0003】

TMR (トンネル磁気抵抗) 磁場センサが、近年において工業的に活用され始めている新規な磁気抵抗効果センサであり、磁場を感知するために磁気多層膜材料のトンネル磁気抵抗効果を利用し、ホール磁場センサ、AMR磁場センサ、およびGMR磁場センサよりも高い感度および少ない電力消費を有している。しかしながら、既存のTMR磁場センサは、依然として高強度の磁場には適用できず、線形な範囲が充分には広くない。

40

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の目的は、先行技術に存在する上述の問題を克服し、高強度の磁場に適したシングルチップ基準ブリッジ式磁場センサを提供することにある。

【課題を解決するための手段】

【0005】

上述の技術的な目的を実現し、上述の技術的效果を達成するために、本発明は、以下の

50

技術的解決策を採用することによって実施される。

【0006】

本発明は、高強度の磁場用のシングルチップ基準ブリッジ式磁場センサであって、

- ・基板と、
 - ・前記基板上に配置され、1つまたは少なくとも2つの同一な電氣的に相互接続された磁気抵抗感知素子を備える少なくとも1つの行または列の基準素子ストリングを備えている少なくとも1つの基準アームと、
 - ・前記基板上に配置され、1つまたは少なくとも2つの同一な電氣的に相互接続された磁気抵抗感知素子を備える少なくとも1つの行または列の感知素子ストリングを備えている少なくとも1つの感知アームと、
 - ・少なくとも1つの減衰器および少なくとも2つの遮へい構造と、
- を備えており、

前記減衰器および前記遮へい構造は、間隔を空けて互いに交互に配置され、前記減衰器および前記遮へい構造の形状は、同じであり、前記遮へい構造の幅および面積は、それぞれ前記減衰器の幅および面積よりも大きく、

前記基準アームおよび前記感知アームは、ブリッジを形成するように接続され、

各々の基準素子ストリングは、自身の上に遮へい構造を有するように設計され、各々の感知素子ストリングは、自身の上に減衰器を有するように設計され、前記基準素子ストリングは、前記遮へい構造の下方または上方に位置し、前記感知素子ストリングは、前記減衰器の下方または上方に位置し、

前記基準素子ストリングおよび前記感知素子ストリングは、行または列の数において同じであり、行方向または列方向に沿って間隔を空けて互いに交互に配置され、

前記感知素子ストリングの位置における磁場の利得係数が、前記基準素子ストリングの位置における磁場の利得係数よりも大きい、

シングルチップ基準ブリッジ式磁場センサを提供する。

【0007】

好ましくは、基準素子ストリングおよび感知素子ストリングを形成する磁気抵抗感知素子は、AMR、GMR、またはTMRセンサ素子であってよい。

【0008】

磁気抵抗感知素子は、GMRスピナルブ構造、GMR多層膜構造、TMRスピナルブ構造、またはTMR3層膜構造であってよい。

【0009】

好ましくは、ブリッジは、ハーフブリッジ、フルブリッジ、または疑似ブリッジである。

【0010】

好ましくは、感知アームの磁気抵抗感知素子および基準アームの磁気抵抗感知素子は、数が同じである。

【0011】

好ましくは、各々の感知素子ストリングおよび隣の基準素子ストリングは、間隔Lに離されており、減衰器の数が奇数である場合、2つの基準素子ストリングが中央において隣り合い、間に間隔2Lを有し、減衰器の数が偶数である場合には、2つの感知素子ストリングが中央において隣り合い、間に間隔2Lを有する。

【0012】

好ましくは、減衰器の数Nは、感知素子ストリングの行または列の数よりも小さくなく、遮へい構造の数Mは、基準素子ストリングの行または列の数よりも小さくなく、 $N < M$ であって、NおよびMは正の整数である。

【0013】

好ましくは、基板は、集積回路を備えており、あるいは集積回路を備える他の基板に接続される。

【0014】

10

20

30

40

50

好ましくは、集積回路は、C M O S、B i C M O S、バイポーラ、B C D M O S、およびS O Iのうちの1つであり、基準アームおよび感知アームは、基板の集積回路の上に直接設けられる。

【0015】

好ましくは、基板は、A S I Cチップであり、A S I Cチップは、オフセット回路、利得回路、校正回路、温度補償回路、および論理回路のうちの任意の1つまたは少なくとも2つを備える。

【0016】

好ましくは、論理回路は、デジタルスイッチング回路または回転角算出回路である。

【0017】

好ましくは、遮へい構造および減衰器の形状は、列方向または行方向に沿って延びる長いバーのアレイである。

【0018】

好ましくは、遮へい構造および減衰器は、軟強磁性合金である同一の材料で構成され、軟強磁性合金は、N i、F e、およびC oのうちの1つまたは少なくとも2つの元素を含む。

【0019】

好ましくは、シングルチップ基準ブリッジ式磁場センサの入力/出力接続端子が、半導体パッケージの入力/出力接続端子へと電気的に接続され、半導体パッケージの方法は、パッド・ワイヤ・ボンディング、フリップチップ、ボール・グリッド・アレイ・パッケージ、ウエハ・レベル・パッケージ、またはチップ・オン・ボード・パッケージを含む。

【0020】

好ましくは、シングルチップ基準ブリッジ式磁場センサの動作磁場強度は、20～500 [Oe]である。

【0021】

好ましくは、遮へい構造は、基準素子ストリングを完全に覆う。

【0022】

先行技術と比べ、本発明は、以下の有益な効果を有する。すなわち、電力消費が少なく、線形性が良好であり、動作範囲が広く、高強度の磁場に適用することができる。

【図面の簡単な説明】

【0023】

本発明の実施形態における技術的解決策をより分かりやすく示すために、実施形態の説明において使用される必要がある図面を、以下で簡単に紹介する。当然ながら、以下で説明される図面は、本発明の一部の実施形態にすぎない。当業者であれば、いかなる独創的な苦勞も捧げることなく、これらの図面に従って他の図面を得ることができる。

【0024】

【図1】先行技術におけるシングルチップブリッジ式磁場センサの構造概略図である。

【図2】本発明によって提供されるシングルチップブリッジ式磁場センサの構造概略図である。

【図3】本発明によって提供されるシングルチップブリッジ式磁場センサの別の構造概略図である。

【図4】本発明における外部磁場内のシングルチップ基準ブリッジ式磁場センサの磁場の分布図である。

【図5】本発明における基準素子ストリングおよび感知素子ストリングの位置と対応する利得係数との間の関係曲線である。

【図6】先行技術における基準素子ストリングおよび感知素子ストリングの位置と対応する利得係数との間の関係曲線である。

【図7】T M RおよびG M Rスピンバルブ構造の磁気抵抗感知素子の応答曲線である。

【図8】T M R 3層膜構造およびG M R多層膜構造の磁気抵抗感知素子の応答曲線である。

。

10

20

30

40

50

【図 9】AMR barber-pole 構造の磁気抵抗感知素子の応答曲線である。

【図 10】本発明の減衰器の有無における TMR スピンバルブ構造の磁場センサの変換曲線である。

【図 11】本発明の減衰器の有無における TMR 3 層膜構造の磁場センサの変換曲線である。

【発明を実施するための形態】

【0025】

本発明を、図面および実施形態と併せて下記でさらに説明する。

【0026】

図 1 は、先行技術において特許出願第 201310203311.3 号明細書によって開示されたシングルチップブリッジ式磁場センサの構造概略図である。センサは、基板 1 と、感知素子 ストリング 2 と、基準素子 ストリング 3 と、遮へい構造 4 と、電気接続導体 6 と、入力 / 出力の接続に使用され、電源端子 Vbias、接地端子 GND、ならびに電圧出力 V+ および V- としてそれぞれ使用される 4 つのパッド 7 ~ 10 とを備えており、感知素子 ストリング 2 および基準素子 ストリング 3 は、互いに交互に配置され、感知素子 ストリング 2 が、2 つの遮へい構造 4 の間のすき間に位置し、基準素子 ストリング 3 が、遮へい構造 4 の下方に位置している。感知アーム、基準アーム、およびパッド 7 ~ 10 が、電気接続導体 6 を使用することによって接続されている。このセンサは、高い感度、良好な線形性、小さなオフセットなどの利点を有するが、容易に飽和してしまい、したがって約 100 [Oe] の最大磁場強度の磁場には適用可能であるものの、高強度の磁場では使用できない。

【0027】

実施形態

図 2 は、本発明によって提供されるシングルチップ基準ブリッジ式磁場センサの構造概略図である。図 2 のセンサは、センサが減衰器 5 をさらに備えており、減衰器 5 および遮へい構造 4 が間隔を空けて並べられ、減衰器 5 の数 N が感知素子 ストリング 2 の行または列の数よりも小さくなく、遮へい構造 4 の数 M が基準素子 ストリング 3 の行または列の数よりも小さくなく、 $N < M$ であって、 N および M は正の整数である点で、図 1 に示したセンサから相違する。図 2 において、 N は 5 であり、 M は 6 である。減衰器 5 および遮へい構造 4 の形状は、同じであり、好ましくは横断または長手方向に沿って延びる長いバーのアレイであり、 Ni 、 Fe 、および Co のうちの 1 つまたはいくつかの元素からなる軟強磁性合金であり、非強磁性材料であってもよいが、上述の材料には限定されない同一の材料で構成される。感知素子 ストリング 2 および基準素子 ストリング 3 は、それぞれ 1 つまたは少なくとも 2 つの同一な電氣的に相互接続された磁気抵抗感知素子を含む少なくとも 1 つの行または列からなり、好ましくは磁気抵抗感知素子は、AMR、GMR、または TMR センサ素子であり、感知素子 ストリング 2 によって含まれる磁気抵抗感知素子および基準素子 ストリング 3 によって含まれる磁気抵抗感知素子は、同じ数であり、それらのピン層の磁化方向も同じである。感知素子 ストリング 2 および基準素子 ストリング 3 は、互いに交互に配置され、各々の感知素子 ストリング 2 および隣の基準素子 ストリング 3 は、間隔 L に離されているが、図 2 に示されるとおりの奇数の減衰器 5 においては、2 つの基準素子 ストリング 3 が中央において隣り合い、間に間隔 $2L$ を有し、図 3 に示されるとおりの偶数の減衰器 5 においては、2 つの感知素子 ストリング 2 が中央において隣り合い、間に間隔 $2L$ を有する。間隔 L は、きわめて小さく、好ましくは 20 ~ 100 ミクロンである。各々の感知素子 ストリング 2 は、その上に減衰器 5 を有するように設計され、各々の基準素子 ストリング 3 は、その上に遮へい構造 4 を有するように設計され、感知素子 ストリング 2 および基準素子 ストリング 3 を、それぞれ減衰器 5 および遮へい構造 4 の上方または下方に配置することができ、図 2 は下方に配置される状況を示している。遮へい構造 4 の幅および面積は、減衰器 5 の幅および面積よりも大きく、基準素子 ストリング 3 の位置における磁場をきわめて大きく減衰させることができ、完全に遮へいすることさえ可能であるよう、基準素子 ストリング 3 を完全に覆うように充分に大きい一方で、感知素子

ストリング 2 によって感知することができる磁場は、減衰器 5 の作用のもとで減衰させられるが、減衰の大きさはきわめて大きくはなく、したがって感知素子ストリング 2 の位置における磁場の利得係数 A_{sns} が、基準素子ストリング 3 の位置における磁場の利得係数 A_{ref} よりも大きい。相互接続された感知素子ストリング 2 によって形成される感知アームおよび相互接続された基準素子ストリング 3 によって形成される基準アームが、ブリッジを形成するように電氣的に接続され、ブリッジの入力 / 出力接続端子は、それぞれ電源端子 V_{bias} 7、接地端子 GND 8、ならびに電圧出力 $V+$ 9 および $V-$ 10 である。センサ上のすべての素子は、電気接続導体 6 によって接続される。

【0028】

基板 1 は、基板上に印刷された集積回路をさらに有することができ、あるいは集積回路が印刷された別の基板に接続され、好ましくは、印刷された集積回路は、CMOS、BiCMOS（バイポーラ相補型金属酸化膜半導体）、バイポーラ、BCDMOS（バイポーラ CMOS - DMOS 構造）、または SOI（シリコン・オン・インシュレータ）であってよく、基準アームおよび感知アームは、基板 1 の集積回路の上に直接堆積させられる。加えて、基板 1 は、オフセット回路、利得回路、較正回路、温度補償回路、および論理回路のうちの任意の 1 つまたはいくつかを備えている特定用途向け集積回路（ASIC）チップであってもよく、論理回路は、デジタルスイッチング回路または回転角算出回路であってよいが、上述の回路に限られるわけではない。

【0029】

この実施形態において、パッドは、入力 / 出力の接続に使用され、フリップチップ、ボール・グリッド・アレイ・パッケージ、ウエハ・レベル・パッケージ、およびチップ・オン・ボード・パッケージなどの半導体パッケージ法を採用することもできる。このセンサは、20 ~ 500 $[Oe]$ の磁場に適用可能である。

【0030】

図 4 は、本発明において外部から印加される磁場における感知素子ストリング 2 および基準素子ストリング 3 の磁場の分布図である。この図において、外部から印加される磁場の方向は 11 である。感知素子ストリング 2 および基準素子ストリング 3 を形成している磁気抵抗感知素子は、TMR センサ素子である。この図から、基準素子ストリング 3 の位置における磁場が、遮へい構造の作用のもとで大きく減衰させられている一方で、感知素子ストリング 2 の位置における磁場の減衰の大きさが、前者の位置における磁場の減衰の大きさよりも小さいことを、見て取ることができる。図 5 は、図 4 における対応する感知素子ストリング 2 および基準素子ストリング 3 の位置と、対応する位置における利得係数との間の関係曲線である。この図において、横軸によって表される位置は、縮尺された距離の形態にて反映されている。図 5 から、感知素子ストリング 2 の位置における磁場の大きさの利得係数 A_{sns} および基準素子ストリング 3 の位置における磁場の大きさの利得係数 A_{ref} が、0 ~ 1 の間であり、利得係数 A_{sns} が利得係数 A_{ref} よりも大きいことを、見て取ることができる。換言すると、基準素子ストリング 3 の位置における磁場の減衰の大きさが、感知素子ストリング 2 の位置における磁場の減衰の大きさよりも大きく、これは図 4 から得られる結論に一致している。

【0031】

図 6 は、図 1 の対応するセンサ構造の感知素子ストリング 2 および基準素子ストリング 3 の位置と、対応する位置における利得係数との間の関係曲線である。比較を容易にするために、基準素子ストリング 3 および感知素子ストリング 2 の数は、図 5 における基準素子ストリング 3 および感知素子ストリング 2 の数と同じである。図 5 および図 6 の 2 つの曲線 12 および 13 を比較することによって、本発明においては感知素子ストリング 2 の位置における磁場の大きさが、大きく減衰させられており、したがってたとえ本発明のシングルチップ基準ブリッジ式磁場センサが高強度の磁場に配置されたとしても、センサによって感知される磁場は減衰させられた磁場であり、それがセンサの飽和範囲の範囲内である限りにおいて、センサが依然として正常に機能できることを、見て取ることができる。

【0032】

図7は、TMRおよびGMRスピバルブ構造の磁気抵抗感知素子の応答曲線である。外部から印加される磁場11の方向がピン層の磁化方向19に平行であり、外部から印加される磁場の強度が $-B_s + B_o$ 25よりも大きい場合、磁気フリー層の磁化方向18は、外部から印加される磁場11の方向に平行であり、さらにピン層の磁化方向19に平行であり、この瞬間において、TMR素子の磁気抵抗は最小であり、すなわち R_L 21である。外部から印加される磁場11の方向がピン層の磁化方向19に逆平行であり、外部から印加される磁場の強度が $B_s + B_o$ 26よりも大きい場合、磁気フリー層の磁化方向18は、外部から印加される磁場11の方向に平行であり、さらにピン層の磁化方向19に逆平行であり、この瞬間において、TMR素子の磁気抵抗は最大であり、すなわち R_H 22である。外部から印加される磁場11の強度が B_o 23である場合、磁気フリー層の磁化方向18は、ピン層の磁化方向19に垂直であり、この瞬間において、TMR素子の磁気抵抗は R_L 21および R_H 22の中央の値であり、すなわち $(R_L + R_H) / 2$ である。 $-B_s + B_o$ 25と $B_s + B_o$ 26との間の磁場が、シングルチップ線形ブリッジ式磁場センサの測定範囲である。この図から、曲線20が $-B_s + B_o$ 25と $B_s + B_o$ 26との間において線形であり、抵抗変化率が $(R_H - R_L) / R_L \times 100\% = R / R_L \times 100\%$ であることを、見て取ることができる。

10

【0033】

TMRスピバルブについて、その抵抗変化率が最大で200%になり得る一方で、GMRスピバルブについては、その抵抗変化率は最大で10%にすぎない。

20

【0034】

図8は、TMR3層膜構造およびGMR多層膜構造の磁気抵抗感知素子の応答曲線である。外部から印加される磁場11の方向がピン層の磁化方向19に平行であり、外部から印加される磁場の強度が $-B_s$ 31または B_s 32よりも大きい場合、磁気フリー層の磁化方向18は、外部から印加される磁場11の方向に平行であり、さらにピン層の磁化方向19に平行であり、この瞬間において、MTJ素子の磁気抵抗は最小であり、すなわち R_L 28である。外部から印加される磁場が0である場合、磁気フリー層の磁化方向18は、ピン層の磁化方向19に逆平行であり、この瞬間において、MTJ素子の磁気抵抗は最大であり、すなわち R_H 27である。 $-B_s$ 31と B_s 32との間の磁場が、センサの測定範囲である。この図から、曲線29および30が、 $-B_s$ 31と B_s 32との間において線形であり、磁気抵抗素子の抵抗変化率が、やはり最大で200%になり得ることを、見て取ることができる。

30

【0035】

図9は、AMR Barber-pole構造の磁気抵抗感知素子の応答曲線である。この図から、磁気抵抗素子の抵抗変化率が約1%であることを、見て取ることができる。

【0036】

図10は、TMRスピバルブ構造の磁気抵抗感知素子を備えるシングルチップ基準ブリッジ式センサについて、減衰器がある場合および減衰器がない場合の変換特性曲線である。曲線15が、減衰器が存在しない状況を示し、曲線16が、減衰器が使用されている状況を示しており、横軸は、外部から印加される磁場の大きさを表し、縦軸は、電源電圧に対するセンサ出力電圧の比を表している。2つの曲線を比較することによって、曲線15に対応する磁場の線形性の範囲が約35 [Oe]である一方で、曲線16に対応する磁場の線形性の範囲が約150 [Oe]であり、したがってセンサの線形な動作範囲が、減衰器の使用後に明らかに広がっていることを、見て取ることができる。

40

【0037】

図11は、TMR3層膜構造の磁気抵抗感知素子を備えるシングルチップ基準ブリッジ式センサについて、減衰器がある場合および減衰器がない場合の変換特性曲線である。曲線33が、減衰器が存在しない状況を示し、曲線34が、減衰器が使用されている状況を示しており、横軸は、外部から印加される磁場の大きさを表し、縦軸は、電源電圧に対するセンサ出力電圧の比を表している。2つの曲線を比較することによって、センサの動作

50

範囲が、減衰器の使用後に明らかに広がっていることを、見て取ることができる。

【 0 0 3 8 】

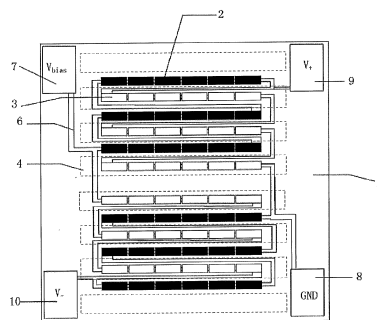
上述の内容は、ブリッジがフルブリッジである状況である。ハーフブリッジおよび疑似ブリッジの動作原理は、フルブリッジの動作原理と同じであるため、ここでは動作原理を繰り返し説明することはしない。上記にて得られた結論は、ハーフブリッジおよび疑似ブリッジ構造のシングルチップ基準ブリッジ式磁場センサにも適用可能である。

【 0 0 3 9 】

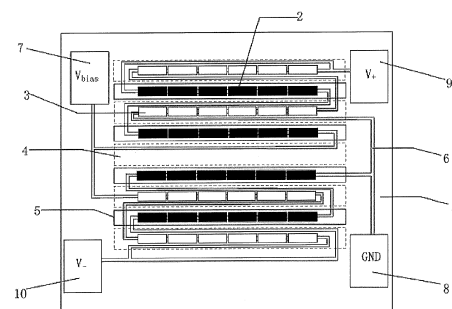
上述の実施形態は、本発明の好ましい実施形態にすぎず、本発明を限定するために使用されるものではない。当業者にとって、本発明は、種々の変更および変形を有することができる。本発明の精神および原理の範囲内で行われるあらゆる修正、同等物による置き換え、改善なども、本発明の保護の範囲に含まれなければならない。

10

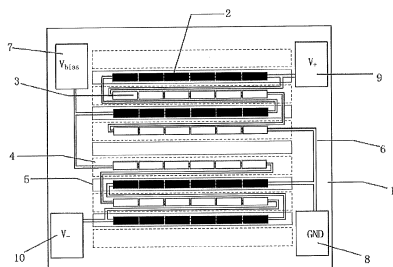
【 図 1 】



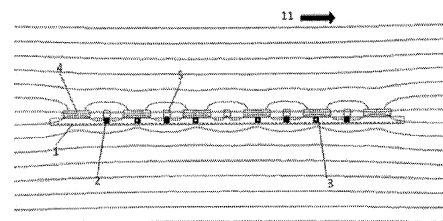
【 図 3 】



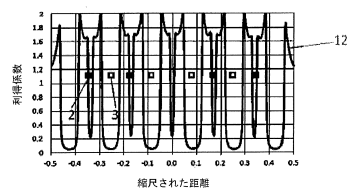
【 図 2 】



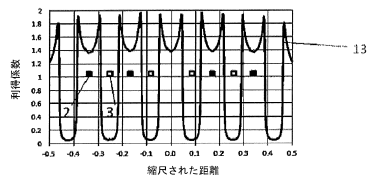
【 図 4 】



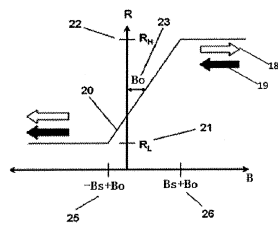
【図 5】



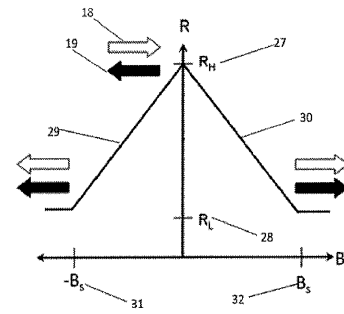
【図 6】



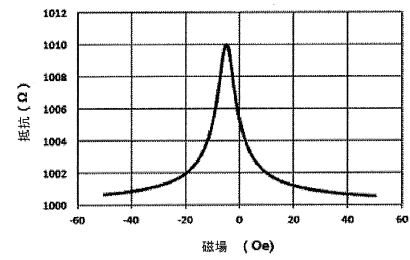
【図 7】



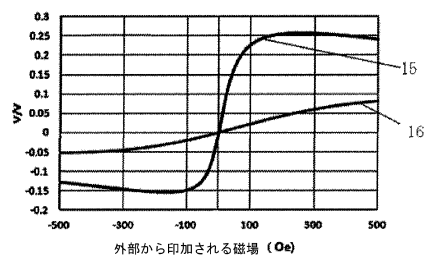
【図 8】



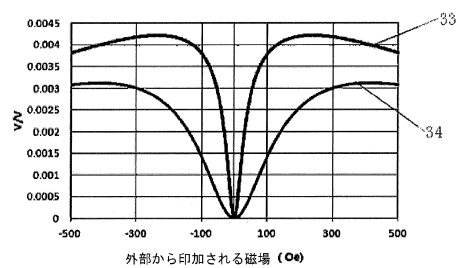
【図 9】



【図 10】



【図 11】



フロントページの続き

(72)発明者 ディーク、ジェイムズ ゲーザ
中華人民共和国江 蘇 省 張 家港市保税区 広 東 路7号イー 棟 、チャンスー、2 1
5 6 3 4

審査官 小川 浩史

(56)参考文献 国際公開第2 0 1 2 / 1 2 0 9 4 0 (W O , A 1)
特開2 0 1 3 - 2 1 0 3 3 5 (J P , A)
中国特許出願公開第1 0 3 2 6 7 9 5 5 (C N , A)
特表2 0 1 6 - 5 2 4 1 4 2 (J P , A)
特許第6 4 6 1 9 4 6 (J P , B 2)
特許第6 4 7 4 8 2 2 (J P , B 2)

(58)調査した分野(Int.Cl. , D B名)
G 0 1 R 3 3 / 0 0 - 3 3 / 2 6