

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4822145号
(P4822145)

(45) 発行日 平成23年11月24日 (2011.11.24)

(24) 登録日 平成23年9月16日 (2011.9.16)

(51) Int. Cl.	F I
HO 2 M 3/155 (2006.01)	HO 2 M 3/155 H
GO 5 F 3/26 (2006.01)	GO 5 F 3/26
HO 3 F 3/45 (2006.01)	HO 3 F 3/45 A

請求項の数 7 (全 10 頁)

(21) 出願番号 特願2009-501009 (P2009-501009)	(73) 特許権者 510000633 エスティー-エリクソン、ソシエテ、アノ ニム スイス国ブラン-レーズアト、シュマン、 デュ、シャン-デーフィュー、39
(86) (22) 出願日 平成19年3月21日 (2007.3.21)	
(65) 公表番号 特表2009-531013 (P2009-531013A)	
(43) 公表日 平成21年8月27日 (2009.8.27)	
(86) 国際出願番号 PCT/IB2007/050994	
(87) 国際公開番号 W02007/107963	(74) 代理人 100117787 弁理士 勝沼 宏仁
(87) 国際公開日 平成19年9月27日 (2007.9.27)	
審査請求日 平成20年9月19日 (2008.9.19)	(72) 発明者 ワン、ゼンファ オランダ国5656、アーヘー、アインド ーフェン、プロフ、ホルストラーン、4、 エイチティーシー、60、1.31、ケア オブ、エヌエックスピー、セミコンダク ターズ、アイピー、デパートメント
(31) 優先権主張番号 06300280.2	
(32) 優先日 平成18年3月23日 (2006.3.23)	
(33) 優先権主張国 欧州特許庁 (EP)	
	審査官 櫻田 正紀
	最終頁に続く

(54) 【発明の名称】 レギュレータ及び装置

(57) 【特許請求の範囲】

【請求項1】

第1および第2の差動入力信号を出力信号に変換するための回路を備えるレギュレータであって、前記回路は、

前記第1の差動入力信号を受け取るための第1および第2の入力端を有し、第1および第2の出力端を有する、第1の差動入力段と、

前記第2の差動入力信号を受け取るための第3および第4の入力端を有し、第3および第4の出力端を有する、第2の差動入力段と、

前記第1の出力端に接続された第1の端子を有し、前記第2の出力端に接続された第2の端子を有し、前記出力信号を供給するための第3の端子を有する出力段とを備え、前記第1の出力端はさらに前記第3の出力端に接続され、前記第2の出力端はさらに前記第4の出力端に接続され、

前記出力信号に応答して電源信号を変調するための変調器段と、第1の抵抗をさらに備え、

前記第1の抵抗の一端は前記第2の入力端および第2の抵抗の一端に接続され、前記第2の抵抗の他端は前記第4の入力端および接地に接続され、前記第1の入力端は基準端子に接続され、前記第1の抵抗の他端は負荷の一端に接続可能であり、前記第3の入力端は前記負荷の他端に接続可能であるレギュレータ。

【請求項2】

前記第1の差動入力段が、第1の対のトランジスタであって、互いに接続された第1の

主電極を有し、前記第1および第2の入力端を構成する制御電極を有し、前記第1および第2の出力端を構成する第2の主電極を有する第1の対のトランジスタを備え、前記第2の差動入力段が、第2の対のトランジスタであって、互いに接続された第1の主電極を有し、前記第3および第4の入力端を構成する制御電極を有し、前記第3および第4の出力端を構成する第2の主電極を有する第2の対のトランジスタを備える、請求項1に記載のレギュレータ。

【請求項3】

前記出力段が、カレント・ミラー段であって、前記第1の端子を構成する第5の入力端を有し、前記第2の端子を構成する第5の出力端を有するカレント・ミラー段を備え、前記カレント・ミラー段は、第3の対のトランジスタであって、互いに接続された制御電極を有し、互いに接続された第1の主電極を有し、前記第5の入力端および前記第5の出力端を構成する第2の主電極を有し、前記第5の入力端は前記第3の対のトランジスタの前記制御電極に接続された、第3の対のトランジスタを備え、前記出力段はさらに、トランジスタであって、前記第5の出力端に接続された制御電極を有し、前記第3の端子を構成する主電極を有するトランジスタを備える、請求項1に記載のレギュレータ。

10

【請求項4】

インダクタをさらに備え、前記インダクタの一端は前記変調器段に接続され、前記インダクタの他端は第1の導線の一端に接続され、前記第1の導線の他端は前記負荷の前記一端に接続可能であり、前記接地は第2の導線の一端に接続され、前記第2の導線の他端は前記負荷の他端に接続可能である、請求項1に記載のレギュレータ。

20

【請求項5】

請求項1に記載のレギュレータを備え、前記電源信号を供給するための電源をさらに備える、装置。

【請求項6】

請求項1に記載のレギュレータを備え、前記負荷をさらに備える、装置。

【請求項7】

請求項6に記載のレギュレータを備え、前記導線をさらに備える、装置。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、第1および第2の差動入力信号を出力信号に変換するための回路に関し、また回路を備えるレギュレータ、レギュレータを備える装置、および方法に関する。

【0002】

このようなレギュレータの例は、スイッチング電源およびその他の種類の電源である。このような装置の例は、民生用製品および非民生用製品である。

【背景技術】

【0003】

第1の差動入力信号を出力信号に変換するための従来技術の回路は、US 2005/0258901により知られている。

【0004】

40

第1の差動入力信号を出力信号に変換するための一般的な従来技術の回路は、演算増幅器である。第1および第2の差動入力信号を出力信号に変換するための回路を形成するには、3つの演算増幅器が必要となり得る。第1の演算増幅器は、第1の差動入力信号を第1の中間信号に変換し、第2の演算増幅器は、第2の差動入力信号を第2の中間信号に変換し、第3の演算増幅器は、第1および第2の中間信号を出力信号に変換する。通常、これら第1および第2の演算増幅器を制御するために、第1および第2の演算増幅器の出力端に結合された同相帰還回路がさらに必要となり得る。

【0005】

第1および第2の差動入力信号を出力信号に変換するための従来技術の回路は、とりわけ、比較的複雑であるために不利である。

50

【発明の開示】

【発明が解決しようとする課題】

【0006】

とりわけ、第1および第2の差動入力信号を出力信号に変換するための比較的簡単な回路を実現することが、本発明の一目的である。

【0007】

本発明の別の目的は、とりわけ、比較的簡単な回路を備えるレギュレータ、レギュレータを備える装置、および方法を実現することである。

【課題を解決するための手段】

【0008】

第1および第2の差動入力信号を出力信号に変換するための、本発明による回路は、
第1の差動入力信号を受け取るための第1および第2の入力端を有し、第1および第2の出力端を有する、第1の差動入力段と、
第2の差動入力信号を受け取るための第3および第4の入力端を有し、第3および第4の出力端を有する、第2の差動入力段と、
第1の出力端に接続された第1の端子を有し、第2の出力端に接続された第2の端子を有し、出力信号を供給するための第3の端子を有する出力段とを備え、第1の出力端はさらに第3の出力端に接続され、第2の出力端はさらに第4の出力端に接続される。

【0009】

第1の出力端が第3の出力端に接続され、第2の出力端が第4の出力端に接続されるために、互いに並列に接続された2つの差動入力段を回路に設けることにより、2つの差動入力段は共に、結果としての中間信号を発生する。さらに、結果としての中間信号を出力信号に変換する出力段を回路に設けることによって、各段をたとえば少数のトランジスタのみで実現できるために、簡単な回路が形成された。

【0010】

本発明による回路はさらに、とりわけ、3つの複雑な演算増幅器と、複雑な同相帰還回路が不要であるという点で有利である。

【0011】

本発明による回路の一実施形態は、第1の差動入力段が、第1の対のトランジスタであって、互いに接続された第1の主電極を有し、第1および第2の入力端を構成する制御電極を有し、第1および第2の出力端を構成する第2の主電極を有する第1の対のトランジスタを備え、第2の差動入力段が、第2の対のトランジスタであって、互いに接続された第1の主電極を有し、第3および第4の入力端を構成する制御電極を有し、第3および第4の出力端を構成する第2の主電極を有する第2の対のトランジスタを備えることによって定義される。この実施形態は、極めて簡単である。

【0012】

本発明による回路の一実施形態は、出力段が、カレント・ミラー段であって、第1の端子を構成する第5の入力端を有し、第2の端子を構成する第5の出力端を有するカレント・ミラー段を備え、カレント・ミラー段は、第3の対のトランジスタであって、互いに接続された制御電極を有し、互いに接続された第1の主電極を有し、第5の入力端および第5の出力端を構成する第2の主電極を有し、第5の入力端は第3の対のトランジスタの制御電極に接続された、第3の対のトランジスタを備え、出力段はさらに、トランジスタであって、第5の出力端に接続された制御電極を有し、第3の端子を構成する主電極を有するトランジスタを備えることによって定義される。この実施形態は、極めて簡単である。

【0013】

本発明によるレギュレータは、本発明による回路を備え、出力信号に応答して電源信号を変調するための変調器段をさらに備える。このような変調器段は、たとえばパルス幅変調器段を備え、その場合出力信号は、パルス幅変調器段によって発生されるパルスの、パルス幅および／またはデューティ・サイクルを規定するために用いられる。その他の種類の変調器段を、除外するものではない。

10

20

30

40

50

【0014】

本発明によるレギュレータの一実施形態は、第1の抵抗をさらに備え、第1の抵抗の一端は第2の入力端および第2の抵抗の一端に接続され、第2の抵抗の他端は第4の入力端および接地に接続され、第1の入力端は基準端子に接続され、第1の抵抗の他端は負荷の一端に接続可能であり、第3の入力端は負荷の他端に接続可能であることによって定義される。このレギュレータは、負荷の両端の出力電圧を安定化する能力を有する。

【0015】

本発明によるレギュレータの一実施形態は、インダクタをさらに備え、インダクタの一端は変調器段に接続され、インダクタの他端は第1の導線の一端に接続され、第1の導線の他端は負荷の一端に接続可能であり、接地は第2の導線の一端に接続され、第2の導線の他端は負荷の他端に接続可能であることによって定義される。このレギュレータは、導線の両端の電圧降下を補償する能力を有する。

10

【0016】

本発明による装置は、本発明によるレギュレータを備えることができ、電源信号を供給するための電源をさらに備えることができる。

【0017】

本発明による装置は、本発明によるレギュレータを備えることができ、負荷をさらに備えることができる。

【0018】

本発明による装置は、本発明によるレギュレータを備えることができ、導線をさらに備えることができる。

20

【0019】

本発明による方法の実施形態は、本発明による回路および／または本発明による装置の実施形態に対応する。

【0020】

本発明は、とりわけ、第1および第2の差動入力信号を出力信号に変換するための従来技術の回路は複雑であるとの洞察に基づき、かつ、とりわけ、互いに並列に接続され、簡単な出力段に接続された、2つの簡単な差動入力段で十分であるという基本概念に基づいている。

【0021】

30

本発明は、とりわけ、第1および第2の差動入力信号を出力信号に変換するための比較的簡単な回路を実現するための問題を解決し、とりわけ、3つの複雑な演算増幅器と、複雑な同相帰還回路が不要であるという点でさらに有利である。

【0022】

本発明の上記その他の態様は、以下に説明する実施形態から明らかになり、それらを参照することにより明瞭となるであろう。

【発明を実施するための最良の形態】

【0023】

図1に示される従来技術の回路は、3つの演算増幅器101～103を備える。第1の演算増幅器101は、2つの入力端と、抵抗105の一端および同相帰還ユニット104の第1の入力端に接続された出力端とを有する。第2の演算増幅器102は、2つの入力端と、抵抗106の一端および同相帰還ユニット104の第2の入力端に接続された出力端とを有する。同相帰還ユニット104の第1および第2の出力端は、演算増幅器101および102の制御入力端に接続される。抵抗105の他端は、第3の演算増幅器103の一方の入力端および抵抗107の一端に接続され、抵抗106の他端は、第3の演算増幅器103の他方の入力端および抵抗108の一端に接続される。抵抗107の他端は演算増幅器103の出力端に接続され、抵抗108の他端は接地に接続される。

40

【0024】

この従来技術の回路は、3つの複雑な演算増幅器と、複雑な同相帰還ユニットとを用いて、2つの差動入力信号を出力信号に変換する。

50

【0025】

図2に示される本発明による簡単な回路1は、第1の差動入力段10であって、第1の差動入力信号を受け取るための第1および第2の入力端11、12と、第1および第2の出力端13、14を有する第1の差動入力段10と、第2の差動入力段20であって、第2の差動入力信号を受け取るための第3および第4の入力端21、22と、第3および第4の出力端23、24を有する第2の差動入力段20と、出力段30であって、第1の出力端13に接続された第1の端子31と、第2の出力端14に接続された第2の端子32と、出力信号を供給するための第3の端子33を有する出力段30と、を備える。第1および第2の差動入力段は、第1の出力端13がさらに第3の出力端23に接続され、第2の出力端14がさらに第4の出力端24に接続されるように、並列に接続される。

10

【0026】

第1の差動入力段10は、第1の対のトランジスタ15、16であって、互いに接続され、かつトランジスタ17の主電極に接続された第1の主電極を有し、第1および第2の入力端11、12を構成する制御電極を有し、第1および第2の出力端13、14を構成する第2の主電極を有する、第1の対のトランジスタ15、16を備える。第2の差動入力段20は、第2の対のトランジスタ25、26であって、互いに接続され、かつトランジスタ27の主電極に接続された第1の主電極を有し、第3および第4の入力端21、22を構成する制御電極を有し、第3および第4の出力端23、24を構成する第2の主電極を有する、第2の対のトランジスタ25、26を備える。

【0027】

20

出力段30はカレント・ミラー段であって、第1の端子31を構成する第5の入力端を有し、第2の端子32を構成する第5の出力端を有するカレント・ミラー段を備える。カレント・ミラー段は、第3の対のトランジスタ34、35であって、互いに接続された制御電極を有し、互いに接続され、かつ接地に接続された第1の主電極を有し、第5の入力端および第5の出力端を構成する第2の主電極を有する、第3の対のトランジスタ34、35を備える。第5の入力端は、第3の対のトランジスタ34、35の制御電極に接続され、出力段30は、トランジスタ36であって、第5の出力端に接続された制御電極を有し、第3の端子33を構成する主電極を有し、接地に接続された別の主電極を有する、トランジスタ36をさらに備える。第3の端子33は、さらにトランジスタ37の主電極に接続され、さらにキャパシタ39と抵抗38の直列構成を通じてトランジスタ36の制御電極に接続される。トランジスタ17、27、37の別の主電極は互いに接続され、かつ供給端子に接続され、トランジスタ17、27、37の制御電極は互いに接続され、かつ別の供給端子に接続される。これらのトランジスタ17、27、37は、バイアスする機能を有する。

30

【0028】

本発明による装置5は本発明によるレギュレータ4を備える。このレギュレータ4は、回路1を備え、電源54から生ずる電源信号を、出力信号に応答して変調するための変調器段40をさらに備える。そこでは、変調器段40は、変調器41であって、第3の端子33に接続された入力端を有し、トランジスタ42の制御電極に接続された第1の出力端を有し、トランジスタ43の制御電極に接続された第2の出力端を有する、変調器41を備える。トランジスタ42の1つの主電極は電源54に接続され、別の主電極はインダクタ44の一端に接続される。トランジスタ43の1つの主電極はインダクタ44の一端に接続され、トランジスタ43の別の主電極は接地に接続される。

40

【0029】

変調器41は、たとえばパルス幅変調器を備え、その場合、回路1からの出力信号は、パルス幅変調器によって発生されるパルスの、パルス幅および／またはデューティ・サイクルを規定するために用いられる。

【0030】

レギュレータ4は、第1の抵抗45を備える。第1の抵抗45の一端は、第2の入力端12に接続され、かつ第2の抵抗46の一端に接続される。第2の抵抗46の他端は、第

50

4の入力端22および接地に接続される。第1の入力端11は、基準端子48に接続される。第1の抵抗45の他端は、負荷51の一端に接続される。第3の入力端21は、負荷51の他端に接続される。

【0031】

インダクタ44の他端は、第1の導線52の一端に接続され、キャパシタ47を通じて接地に接続される。第1の導線52の他端は、負荷51の一端に接続される。接地は、第2の導線53の一端に接続される。第2の導線53の他端は、負荷51の他端に接続される。

【0032】

各トランジスタは、その他の種類のトランジスタを除外することなく、N-FETまたはP-FET、あるいはN-MOSまたはP-MOSなどとすることができる。本発明の範囲から逸脱することなく、例えばバイアス目的のために、他の要素を導入してもよい。

【0033】

高性能システムには、高性能電源が要求される。たとえば、正しい動作を保証するために、ペンティアム（登録商標）4マイクロプロセッサの電源電圧は、1.25V~1.4Vに厳密に制限されなければならない。1.325Vの公称電圧を出力する電源を設計するのは難しくないが、マイクロプロセッサに対して、上記に規定された範囲を確実にすることは挑戦を要する。プロセッサは、78Aもの電流を引き込み、わずか17mΩの負荷を示すだけであるので、電源ラインに沿った非常に小さな寄生抵抗さえも、許容できないIR降下（電圧降下）を生じ得る。寄生抵抗は予測困難であり、制御が難しく、ほとんどの応用例では電源電流が変化するので前置補償は難しい。この問題に対する答えは、スイッチング・レギュレータおよびリニア・レギュレータに、IR降下補償を付加することである。最も簡単なものは、部分補償である。部分補償は、プロセッサの電源端子における電圧を検出するために追加の接続を用いる。この場合は主にコスト上の理由から、電源経路に沿った電圧降下のみ補償され、戻り経路に沿った電圧降下は補償されないまとなる。全補償は、両方の電圧降下を補償する。全補償は、たとえば図1に示されるように、3つの演算増幅器、4つの抵抗、同相帰還ユニット、および1つの追加の検出リードなど、多くの構成要素を必要とするので高価格となる。明らかにこの価格は、多くの商用製品には高すぎる。この種類による実現は、確かに複雑である。帰還ループ内にあることで、追加された差動増幅器およびフローティング電圧により、不可避的な複雑さおよび位相遅延が加わり、したがって安定性とループ動特性を悪化させる。これらの影響を軽減するためには、両方の帯域が非常に広くなければならない。さらに不便であり厄介なのは、出力電圧のプログラム可能性が永久に失われることである。固定電圧しか利用できないので、製造コストは増加し、用途の融通性は失われ、用途の領域は限られる。

【0034】

本発明により、ブレイクスルーが報告され、それにより無視できるオーバーヘッド／コストで全補償が可能になる。本発明により、全補償かつ動的補償が、すぐに商用レギュレータ製品に対する業界標準となることが予想される。

【0035】

本発明は出力電圧のプログラム可能性を維持し、実装は極めて簡単であり、3つのトランジスタを追加しなければならないだけであり、ループ動特性は維持され、ループ安定性は維持され、事実上、シリコン面積上のオーバーヘッドはなく、IR降下補償のない高レベル集積化の製品と比べて、事実上、電力消費のオーバーヘッドはなく、これらはすべて低コストでなされる。

【0036】

ループ動特性は、スイッチング・レギュレータの設計においては非常に重要な側面である。図2に示される回路1に基づく、提案の全補償かつ動的補償では、4入力誤差増幅器（回路1）がもとの2入力誤差増幅器と同じ周波数特性をもつならば、同じループ動特性が維持されることが可能である。これは、図2に示すものを用いて、容易に実現可能である。

10

20

30

40

50

【0037】

提案の全補償法を用いたスイッチング・レギュレータは、図3に示される。誤差増幅器の2つの入力差動対は、図示のように接続される。サンプルされた出力電圧および基準電圧は、誤差増幅器の1つの入力差動対の入力端に印加され、一方、第2の導線53の両端の電圧は、もう1つの入力差動対の入力端に印加される。その場合、図3に負荷51によって表される、例えばベースバンドICは、全電源経路に沿ったIR降下にかかわらず、この負荷51の両端にて、その電源端子に対する必要な電圧を常に正確に得る。

【0038】

図4には、変調器電圧（上側の波形）および出力電圧（下側の波形）が、時間の関数として示される。これは、シミュレーションによる検証である。実際的な例が、検証用選ばれた。提案の全補償かつ動的補償は、1.2Vの電源にて動作し300mAの電流を引き込む、デジタル・ベースバンドIC用の降圧スイッチング・レギュレータ内に実施される。レギュレータに対してコンピュータ・シミュレーションが行われ、図4は、導線52および53の抵抗が50mΩであると仮定した場合の、1つのシミュレーション結果を示す。上側の波形は「パルス幅変調器」段の出力であり、下側の波形はベースバンドICに対する電源電圧を示す。比較のために下側の波形には、61によって示される無補償での結果、62によって示される従来型の部分補償での結果、および63によって示される本発明による全補償での結果が示される。

【0039】

回路1内の付加された追加の入力差動対は、周波数特性を変化させない。理想カレント・ミラーの仮定の下での、両方の入力段の全体的な出力インピーダンスは、入力差動対が並列に接続されているために、半分になる。同時に両方の入力段の全体的なキャパシタンスは2倍になり、したがって両方の入力差動対の出力端での時定数には、実際的に正味の変化はない。実際的なカレント・ミラーでは、2差動対型の入力段は、このインピーダンスがおよそ全く変化しないように設計されることが可能である。簡単にこのようにして、ループ安定性およびループ動特性の両方が維持されることが可能であり、これは大きな利点である。

【0040】

本発明は、正確で安定な電源電圧が重要な要件であり、IR降下補償が用いるべき唯一の技法である、特にサーバ、ワークステーション、ネットワーク・システム、大型メモリ・アレイ、およびハイエンド・デスクトップなどの、低電圧大電流用途での高度の要求の応用分野で使用されることが可能である。

【0041】

上述の実施形態は、本発明を説明するものであって、本発明を限定するものではなく、当業者なら添付の特許請求の範囲から逸脱することなく、多くの代替実施形態を設計することが可能であることに留意すべきである。特許請求の範囲において、括弧内に置かれた何れの参照記号も、特許請求の範囲を限定するものと解釈されるべきではない。「備える（comprise）」という動詞およびその活用形の使用は、請求項中に記載されたもの以外の要素またはステップの存在を除外するものではない。要素に先行する冠詞「a」または「an」は、複数のそのような要素の存在を除外するものではない。本発明は、複数の異なる要素を含むハードウェアを用いて、かつ適切にプログラミングされたコンピュータを用いて実施されることが可能である。複数の手段を列挙した、装置に関する請求項では、これらの手段のいくつかが同じ1つのハードウェア品目によって具体化されることが可能である。何らかの複数の処置が、互いに異なる従属請求項中に記載されていても、それだけでは、それらの処置の組合せが利用できないということにはならない。

【図面の簡単な説明】

【0042】

【図1】従来技術の回路を概略的に示す図である。

【図2】本発明による回路を概略的に示す図である。

【図3】本発明による装置を概略的に示す図である。

10

20

30

40

50

【図 4】 変調器電圧および出力電圧を、時間の関数として示す図である。

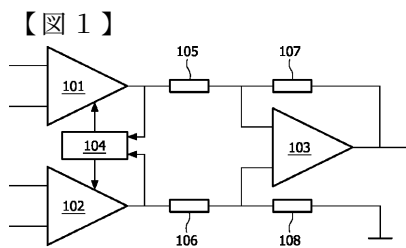


FIG. 1 (prior art)

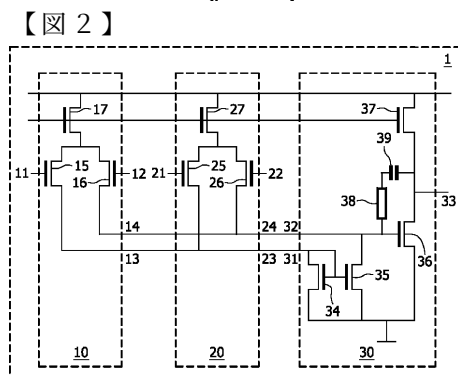


FIG. 2

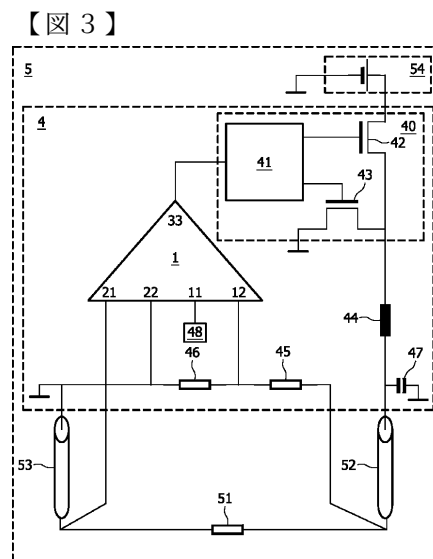


FIG. 3

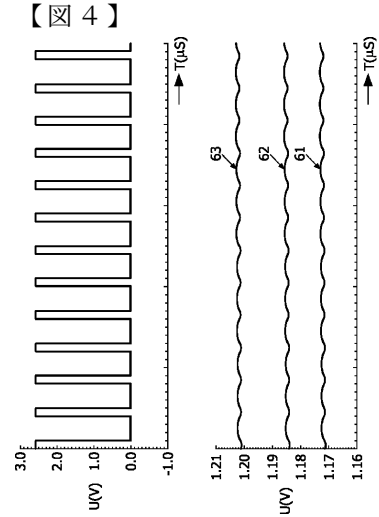


FIG. 4

フロントページの続き

- (56)参考文献 特開2001-085958 (JP, A)
特開平07-273558 (JP, A)
特開2000-278935 (JP, A)
特開2002-176770 (JP, A)
特開平01-238458 (JP, A)
特開昭62-049525 (JP, A)
特開平08-044438 (JP, A)
特開平06-250747 (JP, A)
特開平11-017466 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00-3/44

G05F 3/26

H03F 3/45