

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4993206号
(P4993206)

(45) 発行日 平成24年8月8日(2012.8.8)

(24) 登録日 平成24年5月18日(2012.5.18)

(51) Int.Cl.	F I
H O 4 B 10/152 (2006.01)	H O 4 B 9/00 L
H O 4 B 10/142 (2006.01)	H O 4 B 9/00 Y
H O 4 B 10/06 (2006.01)	H O 1 S 3/06 B
H O 4 B 10/04 (2006.01)	H O 1 S 3/10 Z
H O 4 B 10/28 (2006.01)	

請求項の数 46 (全 22 頁) 最終頁に続く

(21) 出願番号	特願2007-549601 (P2007-549601)	(73) 特許権者	502101180
(86) (22) 出願日	平成17年12月22日(2005.12.22)		タイコ エレクトロニクス サブシー コ
(65) 公表番号	特表2008-527803 (P2008-527803A)		ミュニケーションズ エルエルシー
(43) 公表日	平成20年7月24日(2008.7.24)		アメリカ合衆国 07960 ニュージャ
(86) 国際出願番号	PCT/US2005/047318		ージー州 モリスタウン マウント ケン
(87) 国際公開番号	W02006/074020		ブル アヴェニュー 412 スイート
(87) 国際公開日	平成18年7月13日(2006.7.13)		100エス
審査請求日	平成20年12月5日(2008.12.5)	(74) 代理人	100073184
(31) 優先権主張番号	11/026,564		弁理士 柳田 征史
(32) 優先日	平成16年12月30日(2004.12.30)	(74) 代理人	100090468
(33) 優先権主張国	米国 (US)		弁理士 佐久間 剛
		(72) 発明者	ドマガラ, ジャーリー
			アメリカ合衆国 ニュージャージー州 O
			7701 レッド バンク カーペンター
			ストリート 29

最終頁に続く

(54) 【発明の名称】 光受信器

(57) 【特許請求の範囲】

【請求項1】

D P S K 変調方式に従ってデータが変調された光入力信号を復調する復調器であって、前記光入力信号を第1および第2のアームに分け、第1および第2の光出力を提供するように構成される復調器と、

第1および第2の光検出器であって、該第1の光検出器は、前記第1の光出力が付与されたことに応答して第1の電気出力を提供するように構成され、該第2の光検出器は、前記第2の光出力が付与されたことに応答して第2の電気出力を提供するように構成される、第1および第2の光検出器と、

前記第1および第2の電気出力に結合され、前記第1および第2の電気出力のうちの少なくとも一方の信号レベルを表す信号レベル出力を提供するように構成される集積クロック・データ復元回路と、

復調器ディザ信号を確立する第1のディザ回路と、

前記信号レベル出力に応答して、復調器設定信号を提供するように構成されるコントローラと、

前記第1および第2のアームのうちの一方の光路長を制御およびディザする復調器制御信号として、前記復調器ディザ信号と前記復調器設定信号とを結合する結合器と、を備えることを特徴とする装置。

【請求項2】

前記コントローラは、前記第1および第2のアームのうちの前記一方を伝播する光と前

10

20

記第 1 および第 2 のアームのうちの他方を伝播する光との間に位相関係 $k\pi$ を実現するように前記光路長を制御するように構成され、ここで k は整数値であることを特徴とする請求項 1 に記載の装置。

【請求項 3】

復調器ディザ基準信号を確立する第 2 のディザ回路を備え、

前記復調器ディザ信号および前記復調器ディザ基準信号は、共通クロック入力に応答して前記第 1 および前記第 2 のディザ回路によってそれぞれ確立されるものであり、

前記信号レベル出力および復調器ディザ基準信号に応答してエラー信号を提供する誤り検出回路をさらに備え、前記復調器設定信号は、前記復調器エラー信号に応答して前記コントローラにより提供されることを特徴とする請求項 1 に記載の装置。

10

【請求項 4】

前記コントローラは、前記復調器エラー信号を最小に抑えるように前記復調器設定信号を調整するように構成されることを特徴とする請求項 3 に記載の装置。

【請求項 5】

前記誤り検出回路は同期位相検出器を含むことを特徴とする請求項 3 に記載の装置。

【請求項 6】

前記第 2 のディザ回路は、前記復調器ディザ信号と前記復調器ディザ基準信号との間に選択可能な相対位相差を付与するように構成されることを特徴とする請求項 3 に記載の装置。

【請求項 7】

前記第 1 および第 2 のディザ回路は別個の直接デジタル合成器を含むことを特徴とする請求項 3 に記載の装置。

20

【請求項 8】

前記復調器ディザ信号を受け取り、前記復調器設定信号の振幅に応答して前記復調器ディザ信号の振幅を確立するように構成される増幅器をさらに備えることを特徴とする請求項 1 に記載の装置。

【請求項 9】

前記 D P S K 方式は R Z - D P S K 方式であることを特徴とする請求項 1 に記載の装置。

【請求項 10】

前記復調器はマッハツェンダー復調器を含むことを特徴とする請求項 1 に記載の装置。

30

【請求項 11】

前記集積クロック・データ復元回路は、前記信号レベル出力の第 1 および第 2 の信号レベル出力を提供するように構成され、前記コントローラは、前記第 1 および第 2 の信号レベル出力に応答して前記復調器設定信号を提供するように構成されることを特徴とする請求項 1 に記載の装置。

【請求項 12】

前記第 1 の電気出力と前記クロック・データ復元回路との間に結合され、前記第 1 の電気出力を前記第 2 の電気出力に対して電氣的に遅延させるように構成される電気遅延回路を備えることを特徴とする請求項 1 に記載の装置。

40

【請求項 13】

D P S K 方式の光入力信号を第 1 および第 2 のアームに分け、第 1 および第 2 の光出力を提供するように構成される復調器を安定化する方法であって、

前記復調器の出力を集積クロック・データ復元回路に結合することであって、前記集積クロック・データ復元回路は、前記第 1 および第 2 の出力のうちの少なくとも一方の信号レベルを表す信号レベル出力を提供するように構成される工程、

復調器ディザ信号を提供する工程、

前記信号レベル出力に応答して、復調器設定信号を提供する工程、および

前記第 1 および第 2 のアームのうちの一方の光路長を制御およびディザする復調器制御

50

信号として、前記復調器ディザ信号と前記復調器設定信号とを結合する工程を含むことを特徴とする方法。

【請求項 1 4】

前記復調器設定信号は、前記第 1 および第 2 のアームのうちの前記一方を伝播する光と前記第 1 および第 2 のアームのうちの他方を伝播する光との間に位相関係 $k\pi$ を確立するように構成され、ここで k は整数値であることを特徴とする請求項 1 3 に記載の方法。

【請求項 1 5】

前記復調器ディザ信号を確立する第 1 のディザ回路を提供する工程、および前記復調器ディザ基準信号を確立する第 2 のディザ回路を提供する工程、を含み、前記復調器ディザ信号および前記復調器ディザ基準信号は、共通クロック入力に応答して前記第 1 および第 2 のディザ回路によりそれぞれ合成されるものであり、

10

前記信号レベル出力および前記復調器ディザ基準信号に応答して復調器エラー信号を生成する工程をさらに含み、前記復調器設定信号は、前記復調器エラー信号に応答して提供されることを特徴とする請求項 1 3 に記載の方法。

【請求項 1 6】

前記復調器設定信号の振幅に応答して前記復調器ディザ信号の振幅をさらに確立することを特徴とする請求項 1 3 に記載の方法。

【請求項 1 7】

前記復調器ディザ信号と前記復調器ディザ基準信号との間に位相差を付与する工程をさらに含むことを特徴とする請求項 1 5 に記載の方法。

20

【請求項 1 8】

前記集積クロック・データ復元回路は、前記信号レベル出力の第 1 および第 2 の信号レベル出力を提供するように構成され、コントローラが、前記第 1 および第 2 の信号レベル出力に応答して前記復調器設定信号を提供するように構成されることを特徴とする請求項 1 3 に記載の方法。

【請求項 1 9】

前記 D P S K 変調方式に従ってデータが変調された前記光入力信号の受信器内の関連する第 1 および第 2 の光検出器の第 1 の電気出力と第 2 の電気出力との遅延差を補償するように電気遅延線の値を調整する工程、および

前記電気遅延線を前記第 1 および第 2 の出力のうちの一方に結合する工程、を含むことを特徴とする請求項 1 3 に記載の方法。

30

【請求項 2 0】

前記電気遅延線の値を調整する工程は、前記電気遅延線を前記第 1 および第 2 の出力のうちの前記一方に結合する工程の前に行われることを特徴とする請求項 1 9 に記載の方法。

【請求項 2 1】

前記電気遅延線の値を調整する工程は、前記電気遅延線を前記第 1 および第 2 の出力のうちの前記一方に結合する工程の後に行われることを特徴とする請求項 1 9 に記載の方法。

【請求項 2 2】

40

D P S K 変調方式に従ってデータが変調された前記光入力信号を受け取る調整可能な光帯域フィルタを備え、

前記コントローラは、前記第 1 および第 2 の電気出力の信号パワーを表す信号パワーフィードバック信号に応答して、前記帯域フィルタの中心波長を制御する帯域フィルタ設定信号を提供するものであることを特徴とする請求項 3 に記載の装置。

【請求項 2 3】

前記コントローラは、前記中心波長を前記光信号の波長と位置合わせするように前記帯域フィルタ設定信号を提供するように構成されることを特徴とする請求項 2 2 に記載の装置。

【請求項 2 4】

50

前記中心波長は、前記帯域フィルタ設定信号および帯域フィルタディザ信号にตอบสนองして変化するように構成されることを特徴とする請求項 2 2 に記載の装置。

【請求項 2 5】

前記帯域フィルタディザ信号を確立する第 3 のディザ回路と、
帯域フィルタディザ基準信号を確立する第 4 のディザ回路と、を備え
前記帯域フィルタディザ信号および前記帯域フィルタディザ基準信号は、共通クロック
入力にตอบสนองして前記第 3 および第 4 のディザ回路によってそれぞれ確立されるものであり

前記信号パワーフィードバック信号および前記帯域フィルタディザ基準信号にตอบสนองして、帯域フィルタエラー信号を提供する誤り検出回路をさらに備え、前記帯域フィルタ設定信号は、前記帯域フィルタエラー信号にตอบสนองして前記コントローラにより提供されることを特徴とする請求項 2 4 に記載の装置。

10

【請求項 2 6】

前記コントローラは、前記帯域フィルタエラー信号を最小に抑えるように前記帯域フィルタ設定信号を調整するように構成されることを特徴とする請求項 2 5 に記載の装置。

【請求項 2 7】

前記誤り検出回路は同期位相検出器を含むことを特徴とする請求項 2 5 に記載の装置。

【請求項 2 8】

前記第 2 のディザ回路は、前記帯域フィルタディザ信号と前記帯域フィルタディザ基準信号との間に選択可能な相対位相差を付与するように構成されることを特徴とする請求項 2 5 に記載の装置。

20

【請求項 2 9】

前記第 1 および第 2 のディザ回路は別個の直接デジタル合成器を含むことを特徴とする請求項 2 5 に記載の装置。

【請求項 3 0】

前記 D P S K 変調方式に従ってデータが変調された前記光入力信号を増幅する光増幅器と、

前記光帯域フィルタは、前記光増幅器の出力に結合されるものであり、

前記コントローラは、前記信号パワーフィードバック信号にตอบสนองして、前記増幅器の利得を制御する増幅器設定信号を提供するものであることを特徴とする請求項 2 2 に記載の装置。

30

【請求項 3 1】

前記信号パワーフィードバック信号は前記第 1 および第 2 の電気出力での D C バイアスを表すことを特徴とする請求項 3 0 に記載の装置。

【請求項 3 2】

前記コントローラは、前記信号パワーを一定レベルに保つように前記増幅器利得を調整するように構成されることを特徴とする請求項 3 0 に記載の装置。

【請求項 3 3】

前記増幅器はエルビウム添加ファイバ増幅器を含むことを特徴とする請求項 3 0 に記載の装置。

40

【請求項 3 4】

前記データを復号化し、前記データ復号化の際に故障が発生したときに故障インジケータを提供するように構成される F E C デコーダを備え、

前記コントローラは、前記光入力信号のパワーレベルが所定の閾値未満であり、かつ前記故障インジケータが前記 F E C デコーダにより提供される場合、前記増幅器をディセーブルするように構成されるものであることを特徴とする請求項 3 0 に記載の装置。

【請求項 3 5】

前記故障インジケータはフレーム同期外れ (O O F) 故障を示すことを特徴とする請求項 3 4 に記載の装置。

【請求項 3 6】

50

前記コントローラは、前記パワーレベルが増大して前記所定の閾値を超えた場合、前記増幅器をイネーブルするようにさらに構成されることを特徴とする請求項 3 4 に記載の装置。

【請求項 3 7】

前記復調器ディザ信号は第 1 のディザ回路で確立され、且つ復調器ディザ基準信号が第 2 のディザ回路によって確立されるものであり、前記復調器ディザ信号および前記復調器ディザ基準信号は、共通クロック入力に応答して前記第 1 および第 2 のディザ回路によりそれぞれ合成されるものであり、

前記復調器設定信号を提供する工程は、前記信号レベルを表す復調器ディザフィードバック信号および前記復調器ディザ基準信号に応答して提供するものであることを特徴とする請求項 1 3 に記載の方法。

10

【請求項 3 8】

D P S K 方式の前記光入力信号を受信する受信器内の光帯域フィルタを、前記光入力信号を第 1 および第 2 のアームに分け、第 1 および第 2 の光出力を提供するように構成される復調器に結合する工程、および

前記第 1 および第 2 の電気出力を表す信号パワーフィードバック信号に응答して、前記光帯域フィルタの中心波長を制御する帯域フィルタ設定信号を提供する工程、を含むことを特徴とする請求項 3 7 に記載の方法。

【請求項 3 9】

帯域フィルタディザ信号を提供する工程、および

20

前記帯域フィルタディザ信号を、前記中心波長を制御する前記帯域フィルタ設定信号と結合する工程、

をさらに含むことを特徴とする請求項 3 8 に記載の方法。

【請求項 4 0】

前記帯域フィルタディザ信号を確立する第 3 のディザ回路を提供する工程、および帯域フィルタディザ基準信号を確立する第 4 のディザ回路を提供する工程を含み、

前記帯域フィルタディザ信号および前記帯域フィルタディザ基準信号は、共通クロック入力に응答して前記第 3 および第 4 のディザ回路によりそれぞれ合成されるものであり、

前記信号パワーフィードバック信号および前記帯域フィルタディザ基準信号に응答して帯域フィルタエラー信号を生成する工程をさらに含み、前記帯域フィルタ設定信号は、前記帯域フィルタエラー信号に응答して提供されることを特徴とする請求項 3 9 に記載の方法。

30

【請求項 4 1】

前記帯域フィルタ設定信号は、前記中心波長を前記光信号の波長と位置合わせするように提供されることを特徴とする請求項 3 8 に記載の方法。

【請求項 4 2】

D P S K 方式の前記光入力信号を受信する受信器内の光前置増幅器を前記光帯域フィルタに結合する工程、

前記フィルタの出力を、前記光信号を第 1 および第 2 のアームに分け、第 1 および第 2 の光出力を提供するように構成される D P S K 復調器に結合する工程、および

40

前記信号パワーフィードバック信号に응答して前記光前置増幅器利得を制御する増幅器設定信号を提供する工程、

を含むことを特徴とする請求項 3 8 に記載の方法。

【請求項 4 3】

前記増幅器設定信号は、前記信号パワーを一定レベルに保つように前記増幅器利得を制御するように提供されることを特徴とする請求項 4 2 に記載の方法。

【請求項 4 4】

前記受信器の前記光前置増幅器に付与された入力信号のパワーレベルを監視する工程、
前記光信号に変調されたデータを復号化する F E C デコーダの故障状況を監視する工程、および

50

前記パワーレベルが所定の閾値未満であり、かつ前記 F E C デコーダの前記故障状況が示された場合、前記光増幅器をディセーブルする工程、を含むことを特徴とする請求項 4 2 に記載の方法。

【請求項 4 5】

前記故障状況はフレーム同期外れ (O O F) 故障状況を示すことを特徴とする請求項 4 4 に記載の方法。

【請求項 4 6】

前記パワーレベルが増大して前記所定の閾値を超えた場合、前記増幅器をイネーブルする工程をさらに含むことを特徴とする請求項 4 4 に記載の方法。

【発明の詳細な説明】

10

【技術分野】

【0 0 0 1】

本願は、情報の光伝送に関し、特に、差動位相偏移変調方式光信号の受信器に関する。

【背景技術】

【0 0 0 2】

海底または大陸横断地上光波伝送システムに利用される光ファイバ伝送路等の超長距離光ファイバ伝送路は、伝送路での光ファイバ長手方向に沿って累積する多量の減衰による性能の劣化を受ける。単一データチャネル内のこういった減衰の原因としては、エルビウム添加ファイバ増幅器 (E D F A) で発生する増幅自然放出 (A S E) ノイズ、光ファイバを通して伝播する光の強度へのシングルモードファイバ屈折率の依存に起因する非線形性、および光が伝播する際の群速度が光周波数で異なる色分散が含まれる。さらに、波長分割多重 (W D M) システムでは、同じファイバにいくつかの光チャネルが存在し、ファイバの非線形屈折率に起因するチャネル間のクロストークが問題になることがある。

20

【0 0 0 3】

受信波形の歪みは、伝送線の設計ならびに送信パルスの形状により影響を受ける。既知の長距離システムはオンオフキーイング (O O K) を使用して実施されてきており、送信パルスがデータビットストリームの 1 および 0 に合わせてオンオフ切り替えされる。オンオフキーイングは、R Z (R e t u r n - t o - Z e r o) 方式、N R Z (N o n - R e t u r n t o Z e r o) 方式、および C R Z (C h i r p e d - R e t u r n - t o - Z e r o) 方式等の種々の周知の方式で実施することが可能である。一般に、R Z 方式では、送信光パルスはビット周期をすべては占有せず、隣接ビット間で一旦 0 に戻るが、N R Z 方式では、光パルスは、連続してバイナリ 1 が送信されているときは一定値特性を有する。C R Z 等のチャープ方式では、ビット同期正弦波位相変調が送信パルスに施される。

30

【0 0 0 4】

位相偏移変調 (P S K) は、当業者に既知の別の変調方法である。P S K 変調では、1 と 0 が光搬送波の位相差または位相遷移によって識別される。P S K は、第 1 の位相で 1 を示し、第 2 の位相で 0 を示すように送信器をオンにすることで実施することができる。差動位相偏移変調 (D P S K) 方式では、信号の光強度を一定に保つことができ、1 および 0 は差動位相遷移によって示される。D P S K 変調方式には、D P S K 信号に R T Z 振幅変調が施される R Z - D P S K および C R Z - D P S K が含まれる。

40

【0 0 0 5】

R Z - D P S K 変調方式が W D M 長距離光システムの他の方式よりも特に優れていることが認識されてきた。例えば、O O K と比較して、R Z - D P S K 変調は、特定のビットエラーレート (B E R) に対する所要光信号対雑音比 (O S N R) を大幅に低減する。このため、W D M 光信号に R Z - D P S K 変調を施すシステムが開発されてきた。

【0 0 0 6】

D P S K 変調された光信号を復調する受信器構成が既知である。既知の受信器構成は、受信光信号を増幅する光増幅器、例えば添加光ファイバ増幅器、増幅された光信号から帯域外ノイズを除去する調整可能な帯域フィルタ、マッハツェンダー型干渉計等の調整可

50

能な光干渉計、および干渉計の光出力を、変調データを表す電気信号に変換するデュアルバランス検出器 (dual balanced detector) 等の光学部品および電気部品を含んでいる。受信器部品の動作点、例えば、フィルタの通過帯域波長、干渉計の路長、受信器の光パワーレベル等を安定かつ正確に設定することが、最適なシステムBERの実現に必要とされる。しかし、製造公差、温度、および老化を含む緒要因が部品の動作点を変化させ、それによって受信器の性能に悪影響を及ぼす恐れがある。受信器部品の動作点を積極的に制御するために、標準ディザ制御ループが実施されている。しかし、既知の制御ループ構成は、受信器毎に異なり得る、特定されないパラメータに依存し、かつ／またはデータパスに複雑で高価なハードウェアを追加する必要がある、これは受信器の性能を低下させる。

10

【0007】

例えば、受信器の光パワーを制御する既知の一方法は、本質的に、信号と広帯域ASEノイズとを合わせたものを含む光増幅器の出力パワーを安定化することを含む。別の既知の方法では、光フィルタ出力に追加の光スプリッタおよびダイオードを必要とする。DPSSK干渉計を制御する既知の方法は、後続するフォトダイオードのDCバイアス電流からのフィードバックを提供することを含む。しかし、フォトダイオードからのDCバイアス電流からのベースバンドフィードバックは、「非制御」データであるマーク対スペース比に依存し、マーク対スペース比が1:1である理想的な場合では0であり得る。DPSSK干渉計を制御する既知の別の方法では、データパスに追加の部品 (RF検出器) が必要である。

20

【0008】

受信器部品の動作点の制御に加えて、受信器の入力での信号の光遷移を制御することが好都合である。既知のように、前置光増幅器付き受信器での光遷移は、受信器部品を潜在的に破壊する恐れがある。入力信号損失 (ISL) 状況下では、受信器の、一定出力パワーで動作している前置増幅器、例えばEDFAは利得を最大値に設定することができる。ISLは、所定の閾値未満の信号レベルを検出することで判断することができる。この閾値は増幅器の公称入力動作範囲よりも下に設定することができる。ISLが検出された場合、入力信号レベルが閾値よりも上になるまで増幅器をディセーブルさせることができる。

【0009】

前方誤り訂正 (FEC) を組み込んだ最近のシステムは、増幅器の公称入力動作範囲よりも下の入力信号パワーレベルで動作することができる。したがって、光遷移に対して保護する既知の手法が入力増幅器をディセーブルすることができるのは、入力信号が公称入力動作範囲よりも下であるが、信頼できる信号検出には十分に高いときである。これは非効率的なシステム動作に繋がる。

30

【0010】

さらに、既知の受信器構成は、入力データストリームからデータクロックを抽出するクロック復元ユニットを組み込んでいる。通常、クロック復元ユニットは、トラッキング帯域幅が数MHzの狭帯域装置である。これにより、受信信号での高周波ジッタに耐えられない受信器構成になる可能性がある。

40

【発明の開示】**【発明が解決しようとする課題】****【0011】**

したがって、DPSSK変調された光信号を効率的かつ信頼的に復調する受信器構成が必要とされる。

【課題を解決するための手段】**【0012】**

ある態様において、本発明は、DPSSK変調方式に従ってデータが変調された光入力信号を復調する復調器であって、前記光入力信号を第1および第2のアームに分け、第1および第2の光出力を提供するように構成される復調器と；第1および第2の光検出器であ

50

って、該第1の光検出器は、前記第1の光出力が付与されたことに応答して第1の電気出力を提供するように構成され、該第2の光検出器は、前記第2の光出力が付与されたことに応答して第2の電気出力を提供するように構成される、第1および第2の光検出器と；

前記第1および第2の電気出力に結合され、前記第1および第2の電気出力のうちの少なくとも一方の信号レベルを表す信号レベル出力を提供するように構成される集積クロック・データ復元回路と；前記信号レベル出力に応答して、前記第1および第2のアームのうちの一方の光路長を制御する復調器設定信号を提供するように構成されるコントローラと；を備える装置を提供する。

【0013】

別の態様において、本発明は、DPSK方式の光入力信号を第1および第2のアームに分け、第1および第2の光出力を提供するように構成される復調器を安定化する方法であって、前記復調器の出力を集積クロック・データ復元回路に結合することであって、前記集積クロック・データ復元回路は、前記第1および第2の出力のうちの少なくとも一方の信号レベルを表す信号レベル出力を提供するように構成される工程、および前記信号レベル出力に応答して、前記第1および第2のアームのうちの一方の光路長を制御する復調器設定信号を提供する工程を含む方法を提供する。

【発明を実施するための最良の形態】

【0014】

同様の番号が同様の部分を示す以下の図と併せて読むべき以下の詳細な説明を参照すべきである。

【0015】

図1は、本発明によるWDM伝送システム100の例示的な一実施形態の簡略ブロック図である。この伝送システムは、複数の光チャネルを、送信端末104から光情報路102を通して遠隔に配置された1つまたは複数の受信端末106に送信する役割を果たす。システム100が、説明を容易にするためにかなり簡略化されたポイントツーポイントシステムの形態として示されていることを当業者は認識しよう。例えば、送信端末104および受信端末106はもちろん、両方とも送受信器として構成することができ、それにより、送信機能および受信機能の両方を実行するようにそれぞれ構成することができる。しかし、説明を容易にするために、本明細書では、端末の送信機能のみまたは受信機能のみを図示して説明する。本発明によるシステムおよび方法が多様なネットワーク構成要素および構成に組み込み可能なことを理解されたい。本明細書において示す例示的な実施形態は単に説明として提供されるものであり、限定として提供されるものではない。

【0016】

示す例示的な実施形態では、複数の各送信器TX1、TX2、…、TXNは各データ信号に関連する入力ポート108-1、108-2、…、108-N上で受信し、そのデータ信号に関連する波長 λ_1 、 λ_2 、…、 λ_N で送信する。送信器TX1、TX2、…、TXNのうちの1つまたは複数は、DPSK変調方式、例えばRZ-DPSK方式を使用してデータに関連する波長で変調するように構成することができる。もちろん、送信器は、説明を容易にするためにかなり簡略化された形態で示されている。各送信器が、所望の振幅および変調を使用してデータ信号に関連する波長で送信するように構成された電気部品および光学部品を含み得ることを当業者は認識しよう。

【0017】

送信された各波長または各チャネルは、複数のパス110-1、110-2、…、110-Nで搬送される。複数のデータチャネルが、マルチプレクサまたは結合器112により光路102上の集合信号に結合される。光情報チャネル102は、光ファイバ導波路、光増幅器、光フィルタ、色分散補償モジュール、ならびに他の能動および受動構成要素を含むことができる。

【0018】

集合信号は、1つまたは複数の遠隔受信端末106で受信することができる。デマルチプレクサ114が、波長 λ_1 、 λ_2 、…、 λ_N の送信チャネルを、関連する受信器RX1

、RX2、…、RXNに結合された関連するパス116-1、116-2、…、116-Nに分離する。受信器RX1、RX2、…、RXNのうちの1つまたは複数は、本発明によりDPSSK変調信号を復調し、関連する出力データ信号を関連する出力パス118-1、118-2、118-3、…、116-Nに提供するように構成することができる。

【0019】

システムBERを向上させるために、本発明によるシステム内の送信器のうちの1つまたは複数は、変調データに前方誤り訂正(FEC)符号化を適用するエンコーダを含むことができる。当業者に既知のように、FEC符号化は、本質的に、それ以前に分かっている情報がないデータエラーの検出および訂正に適した符号をデータストリームに組み込むことを含む。データストリームの誤り訂正符号が生成され(すなわち、符号化)、受信器に送信される。受信器は、誤り訂正符号を復元し、復元された誤り訂正符号を使用して受信データストリームのあらゆるエラーを訂正(すなわち、復号化)するFECデコーダを含むことができる。

10

【0020】

多くの誤り訂正符号が既知であり、それぞれが符号の生成方法、ひいては実行方法に関して異なる特性を有している。こういった誤り訂正符号のいくつかの例が、線形ハミング符号、巡回ハミング符号、巡回ボースーチョードリーオッカングム(BCH)符号、畳み込み(ビタビ)符号、巡回ゴレーイ符号、巡回ファイア符号、ならびにターボ畳み込み符号およびターボ積符号(TCC、TPC)等のいくつかの新しい符号である。各種誤り訂正符号を実施するハードウェア構成およびソフトウェア構成が当業者に既知である。

20

【0021】

図2を参照して、本発明による例示的な受信器200を示す。示す例示的な実施形態は、パス220で提供されるDPSSK変調光信号を受信して増幅する増幅器202、既知の調整可能な光帯域フィルタ(OBPF)204、既知のDPSSK復調器206、および既知のクロック・データ復元回路(CDR)212に結合された第1の光検出器と増幅器とのペア208および第2の光検出器と増幅器とのペア210を含むデュアルバランス検出器構成を含む。CDRは、時間調整された復調データを含む電気出力をパス214に提供するとともに、復元されたデータクロックをパス216に提供する。

【0022】

増幅器202は既知の添加ファイバ増幅器、例えばエルビウム添加ファイバ増幅器(EDFA)であることができる。既知のように、添加ファイバ増幅器構成は、内部回路および添加ファイバをポンピングして選択された動作モードを確立させる1つまたは複数の増幅器ポンプを含み得る。本発明によるシステムでは、増幅器202の出力パワーは、さらに詳細に後述するように、入力信号レベルPin、OBPFおよび復調器の光挿入損、および下流パスでの高速光検出器と光コネクタとスプライスの結合効率から独立して光検出器228および230での信号パワーを安定化するように、パス218上の制御信号POUTSETによって動的に制御することができる。

30

【0023】

示す例示的な実施形態では、増幅器202の出力はOBPF204に結合される。種々の調整可能なOBPF構成が当業者に既知である。OBPF204は、調整可能な帯域通過特性を提供するように構成された単一の装置、例えば調整可能なファイバファブリーペローフィルタであってもよく、または別個のフィルタの組み合わせであって、そのうちの1つまたは複数のフィルタがその組み合わせに関連する帯域通過特性を確立するように調整可能な組み合わせを含んでもよい。詳細に後述するように、OBPF204は、例えば、パス222上の帯域フィルタ制御信号に応答して、受信光信号の波長に位置合わせされた中心波長を有する狭い通過帯域を提供するように調整可能である。これにより、OBPF204は大半の帯域外ノイズを濾波して、信号パワーおよび帯域内ノイズだけを含む出力を提供することができる。OBPF204が図2の例示的な実施形態に示されるが、いくつかの実施形態ではOBPF204を省いてもよい。

40

【0024】

50

OBPF204の光出力はDPSSK復調器206に結合される。DPSSK復調器206は、光を2つの別個の光路／光アームに分離するように構成される、マッハツェンダー干渉計等の既知の干渉計を含むことができ、2つの光路のうち的一方は、他方よりも1データビット分長い光路長を有し、光を干渉により再結合することができる。DPSSK復調器206の出力の1つ、例えばパス224上の出力は、2つのアームからの光の建設的干渉から生成される光信号（建設的出力）を提供することができ、別の出力、例えばパス226上の出力は、2つのアームからの光の相殺的干渉から生成される光信号（相殺的出力）を提供することができる。

【0025】

既知のように、DPSSK光信号を復調するために、DPSSK復調器206は、例えば、パス228上の制御信号に応答して、 $k\pi$ （ k は整数値）に等しい干渉再結合点において、他方のアームの搬送波の位相と比較して1ビット遅延したアームの光搬送波の位相関係を確立するように調整することができる。DPSSK復調器206が適宜調整された場合、復調器からの1つの出力（建設的アーム）からの光が光信号に強度変調されたデジタル「1」を表し、他方の出力（相殺的アーム）からの光が光信号に強度変調されたデジタル「0」を表す。

【0026】

DPSSK復調器206の光出力は、第1の光検出器と増幅器とのペア208および第2の光検出器と増幅器とのペア210に与えられ、各ペアは、関連する既知の高速光検出器228、230、例えばピンフォトダイオードおよび既知の関連する電気増幅器240、242を含む。光検出器と増幅器とのペア208、210は、付与された光を表す、関連する電気出力を、例えばパス232、234上に提供する。DPSSK復調器206とCDR212の差動入力との間の建設的信号パスおよび相殺的信号パスの両方の製造公差による遅延差を補償するために、一方の出力を関連する電気遅延回路236に結合することができる。

【0027】

電気遅延回路236は、手動で調整された電気遅延を低挿入損で提供することができる。遅延の具体的な値は予め決めることができ、電気遅延回路236は、所要遅延を付与するようにプリセットしてもよく、または送信性能を最適化するように回路内で調整してもよい。電気遅延回路は、当業者に既知の種々の構成のうちの任意の構成をとることができる。一実施形態では、例えば、電気遅延回路は、手動もしくはステップモータで制御される既知のスライディング同軸遅延線（トロンプーン）または電氣的に制御される既知の遅延線ICであることができる。

【0028】

電気遅延回路の出力、例えばパス238上の出力およびパス232上の光検出器と増幅器とのペア208の出力は、CDR回路212に結合することができる。種々のCDR回路構成が当業者に既知である。CDR回路212は、ハードウェア、ソフトウェア、またはハードウェアとソフトウェアとの組み合わせから構成することができ、離散および／または集積された部品を含むことができる。一実施形態では、CDR回路は、ビテス（Vitesse）から市販のCDR型番VSC1238等の集積回路パッケージであってよい。

【0029】

本発明による受信器では、増幅器202の出力パワー（および光検出器228および230が見る光パワー）、OBPF204の中心波長、および／またはDPSSK復調器206において付与される遅延差は、入力信号レベルPinの関数の増幅器発生ASEノイズの依存性を補償すると共に、例えば、温度および／または老化に関連するドリフトおよび波長依存光挿入損の影響を最小に抑えるような効率的な方法で、動的に制御することが可能である。示す例示的な実施形態200では、増幅器202、OBPF204、およびDPSSK復調器206への制御信号は、関連するフィードバック信号に응答してコントローラ244によって確立されて制御される。コントローラは、アナログフィードバック信号

を、デジタル信号プロセッサ (DSP) による処理のためにデジタル信号に変換する1つまたは複数のアナログ／デジタル変換器を含むことができる。コントローラは、復調器206、OBPF204、および増幅器202のそれぞれの動作点を確立できるアナログ出力信号DEMOD V_CTRL、OBPF V_CTRL、およびP_OUT_SETを、例えばバス246、248、218上に提供する1つまたは複数のデジタル／アナログ変換器も含むことができる。

【0030】

復調器206およびOBPF204の制御はディザ技法を用いて実現することができ、バス252上の復調器ディザ信号がコントローラ244のDEMOD V_CTRL出力に追加され、復調器制御信号としてバス228に提供され、バス254上のOBPFディザ信号がコントローラ244のOBPF V_CTRL出力に追加され、OBPF制御信号としてバス222に提供される。本発明との併用に有用な種々のディザ信号確立回路が当業者に既知である。一実施形態では、復調器ディザ信号およびOBPFディザ信号は、バス261でのクロック入力にตอบสนองして所定の周波数で周期的なディザ信号を生成するように構成された関連する別個の直接デジタル合成器(DDS)256、258により確立することができる。ディザ信号は、正弦波、三角波等の形態の周期的な低周波信号であることができる。本明細書において使用する「低周波」なる用語は、変調器データレートよりも少なくとも1桁低い(すなわち、10分の1の)周波数を指す。

【0031】

復調器とOBPFとの各制御ループ内でのディザ周波数の干渉を避けるために、復調器およびOBPFのディザ周波数は、整数倍数で互いに関連する異なる周波数であることができる。一実施形態では、例えば、復調器ディザ f_D 信号は約20Hzであり、OBPFディザ f_F 信号は約 $n \times f_D$ 、例えば2000Hz($n=100$ の場合)であることができる。他の種々のディザ周波数を提供してよいことが当業者は認識しよう。

【0032】

一般に、OBPFおよび復調器の制御信号に適用されるディザ信号は、ディザ信号周波数での復調信号の光パワーおよびデータ信号レベルを変更させる。ディザ周波数でのパワーまたは信号レベルの変更は検出され、ディザ基準信号と比較されて、関連するディザ周波数でのエネルギーを表す復調器およびOBPFのエラー信号を確立する。特定のディザ周波数にエネルギーが存在することは、関連する制御設定が最適ではないことを示す。エラー値はコントローラ244に提供され、コントローラ244は復調器設定DEMOD V_CTRLおよびOBPF設定OBPF V_CTRLに新しい値を確立する。関連するエラー値を最小化することにより、最適な設定を得ることができる。

【0033】

示す例示的な実施形態では、例えば、復調器ディザ信号252を、例えば加算器262によりコントローラ244のDEMOD V_CTRL出力に追加し、結合された信号を復調器制御信号としてバス228に提供することができる。復調器ディザ信号は、バス261上のクロック入力にตอบสนองしてDDS258により確立される。一実施形態では、DP SK復調器206は、全ファイバ型マッハツェンダー干渉計を含むことができ、干渉による再結合アームの端部で所要の光搬送波位相関係が、装置の一方のアームの温度に対して他方のアームの温度を変更させることによって実現される。既知のマイクロヒータを設けて、バス228上の復調器制御信号にตอบสนองして装置の一方のアームを加熱することができる。

【0034】

示す例示的な実施形態では、バス252上の復調器ディザ信号の振幅は、コントローラ244のDEMOD V_CTRL出力により確立される復調器動作点に応じて調整することができる。復調器調整プロセスは、印加される制御電圧DEMOD V_CTRLの二乗に比例する熱影響に基づくことができる。復調器遅延差(干渉再結合点での光位相)の変調深度を一定に保つために、バス252上の復調器ディザ信号の振幅は、制御電圧DEMOD V_CTRLが増大したときに低減することができる。その結果として、ルー

10

20

30

40

50

プ利得を復調器の動作点から独立した状態に保つことができ、ディザにより発生する伝送ペナルティを最小に抑え、かつ／または動作点から独立させることができる。示す実施形態では、電圧制御増幅器249をパス252に結合して、コントローラ244によりパス247に提供されるGAIN__V__CTRL信号に応答して復調器ディザ信号の利得を制御することができる。復調器信号の振幅を制御する他の方法が当業者に既知であろう。例えば、利得制御をDDS258で実施することができる。

【0035】

復調器ディザ信号は、マイクロヒータが適用される復調器アームの路長に低周波ディザを生じさせる。このディザは、ディザ信号の周波数および／またはその高調波で復調器206の建設的出力アームと相殺的出力アームとへの出力パワーの分配を変更させる。本発明によれば、この変更は、市販のCDR集積回路に内蔵されている信号レベル検出器を使用して検出することができる。この手法は、高速データパスの複雑性を大幅に簡易化する。示す実施形態では、CDR信号レベル検出器の、例えばパス264、266上の正(SLD)出力および負(NSLD)出力のそれぞれが、差動増幅器268によりパス272上のシングルエンド信号に変換され、復調器ディザフィードバック信号を提供する。

【0036】

復調器ディザフィードバック信号は、例えば、パス272を介して既知の同期位相検出器270に結合され、ここで、DDS260によりパス263上に提供される復調器ディザ基準信号と結合される。パス274上の位相検出器270の出力は、ディザ周波数での出力信号レベルSLDおよびNSLDにあるエネルギーを示す復調器エラー信号である。ディザ周波数にエネルギーが存在することは、復調器制御設定DEMOD__V__CTRLが最適ではないことを示す。

【0037】

このエラー信号は、例えば、エラー信号をコントローラによる処理のためにデジタルエラー値に変換するアナログ／デジタル変換器を通してコントローラ244に結合することができる。コントローラ244は、エラー値に応答してパス246上に新しい復調器設定DEMOD__V__CTRLを確立するように構成されるDSPを含むことができる。エラー値を最小に抑えることで、最適な設定を実現することができる。

【0038】

エラー値を最小に抑えて最適なバイアス設定を実現する多くの方法を当業者は認識しよう。例えば、エラー値の符号(+/-)により、復調器設定DEMOD__V__CTRLの変更方向を確立することができる。バイアスは任意の増分で変更することができる。バイアスでの変更増分が小さいほど、バイアス分解能および精度が上がる。一実施形態では、バイアスは、エラー値の倍数である変数で変更することができ、変数は復調器の動作点(例えば、制御電圧およびその光入力パワーレベル)の関数である。最適な設定は、設定が一方向に変更されてから再び最適に戻されたときに、設定が逆の方向に変更されてから最適に戻されたときと同じエラー値変更が実現されるときに実現することができる。最適な設定が実現されると、エラー値は関連するディザ周波数の基本波ではもはやスペクトル成分を含まなくなる。それでも、エラー信号はやはりディザ周波数の高調波ではスペクトル成分を含み得る。

【0039】

示す例示的な実施形態では、既知のCDR集積回路212に設けられているSLD出力およびNSLD出力を使用して復調器ディザフィードバック信号を確立することにより、高速データパス、すなわち増幅器202からCDR回路212まで入力信号が辿るパスが簡易化される。これは、ディザ周波数での出力信号レベルまたはパワーの変化を検出するために、高速パス中に追加する必要のある構成要素がないためである。これは、このような追加構成要素を含む構成と比較して受信器の伝送性能の向上、低コスト、およびサイズ軽減に繋がる。

【0040】

さらに、全ファイバ型マッハツェンダー式DPSSK復調器206を、アームの一方の

10

20

30

40

50

路長を調整するためのマイクロヒータ復調器ディザ信号を確立すると共に組み込んだ実施形態では、第1のDDS258を使用して復調器ディザ信号を確立し、第2のDDS260を使用して、同期位相検出器270への復調器ディザ基準信号を確立することにより、ディザフィードバックに対してタイミングを調整することができるようになる。特に、既知のマイクロヒータの変調帯域幅を数ヘルツの周波数範囲に制限することができる。これにより、パス252上の復調器ディザ信号と比較して、例えば、パス272上の復調器ディザフィードバック信号を大幅に位相シフトさせることができる。

【0041】

第1のDDS258を使用して復調器ディザ信号を確立し、第2のDDSを使用して、同期位相検出器270が受け取る復調器ディザ基準信号を確立することで、復調器ディザフィードバック信号と復調器ディザ基準信号とのタイミングを、復調器ディザ信号に影響することなく調整することが可能になる。DDS258およびDDS260は、パス261に提供される共通基準クロックC1kからの復調器ディザ周波数で関連する出力を合成することができる。しかし、DDS260により提供される復調器ディザ基準信号のタイミングは、例えば、コントローラによりパス241に提供される制御入力である復調器DDS同期(Synchronize Demod DDS)により、復調器ディザ基準信号を復調器ディザフィードバック信号に位置合わせするように調整することができる。

【0042】

例えば、コントローラ244は、例えばソフトウェア、ハードウェア、またはソフトウェアとハードウェアとの組み合わせを通して、復調器ディザ基準信号と復調器ディザフィードバック信号とに決定論的な位相差を持たせるように構成することができる。復調器ディザ基準信号に最適な位相値は、復調器設定DEMOD V_CRTLを故意に誤調整し、復調器ディザ基準信号位相値の関数としてエラー値を測定することにより求めることができる。復調器ディザ基準信号位相値は、復調器の所与の動作点でエラー値を最大にする値(例えば、 $V_{error} = V_{dith_fdb} \times V_{dith_ref} \times \cos(\psi_{dith_fdb} - \psi_{dith_ref})$)に設定することができる。

【0043】

OBPFフィードバックループは、復調器フィードバックループと同様に動作することができる。図2に示すように、OBPFディザ信号254をコントローラ244のOBPF制御設定OBPF_CTRL出力に、例えば加算器276により追加し、結合された信号をOBPF制御信号としてパス222に提供することができる。パス254上のOBPFディザ信号は、DDS258、DDS260、およびDDS257にも提供される共通クロック入力C1k261に応答して、DDS256により確立することができる。この手法は、OBPFディザ周波数を復調器ディザ周波数の倍数に保つのに役立ち、ループ間の干渉を最小にすることができる。既知のOBPF204は、中心波長がOBPF制御信号に応答して調整可能なように構成することができる。

【0044】

OBPFディザ信号は、フィルタの損入損を変更させ、ひいてはフィルタ出力での光信号パワーを変更させる。本発明によれば、これら変更は、下流データパスでの光パワーを監視することにより、例えば、復調器206の各出力に結合された高速光検出器228、230のバイアス電流を監視することにより検出することができる。光検出器228、230からの対応する出力信号を、加算器278により追加することができる。

【0045】

OBPF制御入力のディザリングにより、加算器278の出力でのディザ周波数での振幅が変化する。加算器出力は既知の同期位相検出器280に結合することができ、ここで、パス255上でDDS257により提供されるOBPFディザ基準信号と結合される。第1のDDS256を使用してOBPFディザ信号を確立し、第2のDDS257を使用して、同期位相検出器280へのOBPFディザ基準信号を確立することで、ディザフィードバックに対するタイミングを調整することができるようになる。特に、既知のPZT制御OBPFの変調帯域幅を数kHzの周波数範囲に制限することができる。これにより

10

20

30

40

50

、OBPF制御入力に印加されるパス254上のOBPFディザ信号と比較して、例えば、パス284上のOBPFディザフィードバック信号を大幅に位相シフトさせることができる。

【0046】

DDS256およびDDS257は、パス261上に提供される共通基準クロックC1kからのOBPFディザ周波数に関連する出力を合成することができる。しかし、DDS257により提供されるOBPFディザ基準信号のタイミングは、例えば、コントローラ244によりパス243上に提供される制御入力であるOBPF DDS同期(Synchr onize OBPF DDS)により、OBPFディザ基準信号をOBPFディザフィードバック信号と位置合わせするように調整することができる。例えば、コントローラ244は、例えばソフトウェア、ハードウェア、またはソフトウェアとハードウェアとの組み合わせを通して、OBPFディザ基準信号とOBPFディザフィードバック信号とに決定論的な位相差を持たせるように構成することができる。OBPFディザ基準信号に最適な位相値は、OBPF設定OBPF_V_CTRLを故意に誤調整し、OBPFディザ基準信号位相値の関数としてエラー値を測定することにより求めることができる。OBPFディザ基準信号位相値は、OBPFの所与の動作点でエラー値を最大にする値(例えば、 $V_{error} = V_{dith_fdb} \times V_{dith_ref} \times \cos(\psi_{dith_fdb} - \psi_{dith_ref})$)に設定することができる。

10

【0047】

パス282上の位相検出器280の出力は、ディザ周波数で加算器278の出力にエネルギーがあることを示すOBPFエラー信号を表す。エラー信号は、例えば、エラー信号をコントローラによる処理のためにデジタルエラー値に変換するアナログ／デジタル変換器を通してコントローラ244に結合することができる。コントローラは、エラー値にตอบสนองして新しいOBPF設定OBPF_V_CTRLを確立するように構成されるDSPを含むことができる。エラー値を最小に抑えることで、最適な設定を実現することができる。エラー値は、復調器制御ループと併せて上述した方法を用いて最小化することができる。

20

【0048】

示す例示的な実施形態では、高速光検出器228、230の出力を使用してOBPFディザフィードバック信号を確立することにより、高速データパスが簡易化される。これは、ディザ周波数での信号パワーの変化を検出するために、高速パス中に追加する必要のある構成要素がないためである。これは、このような追加構成要素を含む構成と比較して受信器の伝送性能の向上、低コスト、およびサイズ軽減に繋がる。

30

【0049】

引き続き図2を参照すると、増幅器202の利得は、高速光検出器228、230からのフィードバックを使用して、復調された光信号の信号パワー、すなわち高速光検出器228および230の入力での信号パワーを安定化するように動的に制御することができる。示す例示的な実施形態では、加算器278の出力は、高速光検出器228、230により検出される結合光パワーを表す電気信号である。この出力は、信号パワーフィードバック信号としてパス284でコントローラ244に結合することができる。別法として、差動増幅器268のDC出力は、信号パワーフィードバック信号として提供することができる。これは、CDR入力での真のデータ信号および相補データ信号の振幅の安定化に繋がる。高速光検出器からのフィードバック信号は復調器の現在の設定から独立しており、復調器の状態に関係なく増幅器ループに使用することができる。CDR回路212のレベル検出器からのフィードバック、例えば増幅器268の出力は、復調器の動作点に依存し、復調器がロックされたときに増幅器制御ループに使用することができる。

40

【0050】

示す例示的な実施形態では、コントローラ244は、例えばソフトウェア、ハードウェア、またはソフトウェアとハードウェアとの組み合わせを通して、信号パワーフィードバック信号にตอบสนองして、POUT_SET信号をパス218上で増幅器に提供するように構

50

成することができる。P_{OUT}_S_{ET}信号のレベルは、増幅器202がパス220上の入力光信号P_{in}に付与する利得を決定することができる。コントローラは、信号パワーフィードバック信号の変更に応答して、信号パワーフィードバック信号を一定に保つようにP_{OUT}_S_{ET}信号を変更するように構成することができる。したがって、増幅器202の出力パワーP_{OUT}は、コントローラ244によりP_{OUT}_S_{ET}信号が変更されると、一定の信号パワーフィードバック信号を保つように変化することができる。その結果として、高速光検出器への入力において一定の光パワーが確立され、CDR回路212の入力において、ある程度一定のデータ振幅が確立される。

【0051】

高速光検出器228、230はOBPF204の後に配置されるため、帯域外ノイズの大半は濾波され、信号パワーおよび帯域内ノイズのみが光検出器228、230に到達する。したがって、光検出器228、230の出力に応答して増幅器202の利得を制御することにより、増幅器が一定の総（信号および広帯域ASEノイズ）出力パワーモードで動作する構成と比較して、信号パワー安定化および全体的な受信器性能が向上する。既知のように、増幅器は、一定の出力パワーモードで動作するとき、入力信号レベルおよび波長に依存する信号対雑音比で一定の出力パワーを提供する。信号パワーフィードバック信号が光検出器228、230の出力から導出される本発明によるシステムでは、信号パワーは、増幅器202への光入力信号の信号レベルおよび波長から独立して安定化される。

【0052】

本発明による受信器は、FEC符号化を使用して実現可能な低入力信号パワーレベルを考慮して光遷移保護を提供するように構成することもできる。一般に、本発明のよるシステムは、入力光信号が所定の閾値未満であり、かつ受信器のFECデコーダが受信データを識別できない場合のみ、前置増幅器202をディセーブルしてISL状況から保護するように構成することができる。それに対応して、入力光信号が増大して所定の閾値を超えると、増幅器202をイネーブルすることができる。この構成では、受信器の動作は、受信器が入力光信号からのデータを復元できる限り中断されない。

【0053】

示す例示的な実施形態では、例えば、増幅器202は、入力光信号のパワーレベルを検出し、入力パワーレベルを表す出力P_{IN}_M_{ON}を、例えばパス286に提供する既知の内部パワー検出器を含むことができる。また、受信器のFECデコーダ288は、データが入力光信号から復元されているか否かを示す状態出力、例えばFEC状態（FEC Status）をパス290に提供することができる。状態出力は、例えば、OOF（フレーム同期外れ）、LOF（フレーム損失）、OOM（マルチフレーム同期外れ）、またはLMF（マルチフレーム損失）等の既知のFECデコーダ故障インジケータであることができる。

【0054】

増幅器286のP_{IN}_M_{ON}出力は、FECデコーダ288の状態出力と共にコントローラ244に結合することができる。コントローラ244は、P_{in}が所定の閾値未満であり、かつ故障インジケータがFECデコーダ288の状態出力で提供される場合、増幅器202へのインタフェース、例えばSPIバスを介して出力を提供して、増幅器をディセーブルすることができる。コントローラ244は、P_{in}が所定の閾値を超えたときに増幅器286をディセーブル状況からイネーブルすることができる。

【0055】

図3は、本発明による遷移保護プロセス300の一例のブロック流れ図である。このブロック流れ図は、特定の順番のステップで示されている。しかし、ステップの順番は、単に、本明細書において説明する機能全体の実施の仕方の例を提供するにすぎないことが分かる。さらに、別記されない限り、順番になった各ステップを提示されている順番で実行する必要はない。

【0056】

例示的な実施形態では、増幅器入力パワーレベルを検出し（302）、所定の閾値と比

10

20

30

40

50

較する(304)ことができる。入力パワーレベルが所定の閾値を超える場合(304)、入力パワーレベルを引き続き検出／監視することができる。入力パワーレベルが所定の閾値未満になると(304)、FECデコーダの状況を検出し(306)、故障状況について監視する(308)ことができる。FECデコーダが故障状況を示さない場合(308)、増幅器はイネーブル状態のままであることができ、流れを再びステップ302に渡すことができる。FECデコーダが故障状況、例えばOOFを示す場合(308)、増幅器をディセーブルする(310)ことができる。

【0057】

増幅器がディセーブルされると、増幅器入力パワーレベルを検出して(312)、所定の閾値と比較する(314)ことができる。パワーレベルが閾値未満である限り、比較(314)を繰り返すことができる。パワーレベルが所定の閾値を超えると、増幅器をイネーブルし(316)、流れを再びステップ302に渡すことができる。

10

【0058】

本発明による受信器は、データクロックを受信信号から直接復元して、高ジッタ耐性を提供するように構成することができる。一般に、データがRZ-DPSK方式で入力光信号に変調される場合、データは光搬送波の位相変調によって搬送されるが、この変調方式のRZ部に関連する強度変調がデータクロックを搬送する。その結果として、クロックを強度復調装置(例えば、標準の光検出器)により入力光信号から、または両方の強度変調光ストリング、すなわち復調された「1」と「0」がDPSK復調器の出力において利用可能なことを利用して復調光信号から直接復元することができる。クロックをデータストリームから直接復元できることにより、比較的広帯域のクロック復元CR回路の使用が可能になり、高周波数耐性の受信器になる。

20

【0059】

図4は、復調器へのRZ-DPSK光入力信号がC1k入力としてDフリップフロップ400に結合される、本発明による受信器200aの例示的な一実施形態を示す。例えばパス402上でのDフリップフロップ400の出力は、復元され、タイミング調整され、変換されたNRZ方式シリアルデータストリームを表すことができる。示すように、光タップ406を復調器の入力に結合して、RZ-DPSK信号の一部に関連する光検出器と増幅器とのペア410に分岐させることができる。光検出器と増幅器とのペア410の出力は、例えば、ビットレートに略等しい中心周波数で数百MHzの帯域幅を有する帯域フィルタ412に結合することができる。フィルタ412の出力を制限増幅器414に結合して、濾波後の信号を整形することができる。復調器入力がRZ-DPSK変調信号である場合、制限増幅器414の出力は、データクロックの周波数に等しい周波数を有する周期的な電気信号であることができる。制限増幅器414の出力を電気遅延回路416に結合して調整可能な遅延を付与し、パス418上のクロック信号を、例えばパス420、422上のDフリップフロップの入力で受信するデータと位置合わせすることができる。

30

【0060】

データクロックを復元するために、入力データストリームを高速データパスの種々の場所で分岐または検出してもよいことを当業者は認めよう。例えば、図5は、クロックが光検出器と増幅器とのペア208、210の出力から復元される、データクロックをRZ-DPSK方式の入力信号から復元する構成の例200bを示す。示すように、光検出器と増幅器とのペア208、210の電気出力を調整可能な遅延236の後で分岐して、結合器500、例えば6dB結合器により結合してもよい。結合器500の出力を帯域フィルタ412、制限増幅器414、および電気遅延回路416に結合して、Dフリップフロップ400へのクロック入力C1kを生成することができる。

40

【0061】

別の代替の構成200cを図6に示す。示すように、光検出器228、230に関連する増幅器240、242のそれぞれの反転出力を、例えば調整可能な遅延236の後で、結合器500に提供することができる。結合器500の出力を帯域フィルタ412、制限増幅器414、および電気遅延回路416に結合して、Dフリップフロップ400へのク

50

ロック入力Clockを生成することができる。直接クロック復元アーキテクチャの高周波数ジッタ耐性を最良にするには、上記構成のいずれでも、クロックパスが開始されるポイントからのデータパスの電気長をクロックパスの長さと等しくすべきである。

【0062】

こうして、効率的かつ信頼性の高い復調を提供する差動位相偏移変調光信号の受信器が提供される。一態様によれば、DPSK変調方式に従ってデータが変調された光入力信号を復調する復調器であって、光入力信号を第1および第2のアームに分け、第1および第2の光出力を提供するように構成される復調器と、第1および第2の光検出器であって、第1の光検出器は、第1の光出力が付与されたことに応答して第1の電気出力を提供するように構成され、第2の光検出器は、第2の光出力が付与されたことに応答して第2の電気出力を提供するように構成される、第1および第2の光検出器と、第1および第2の電気出力に結合され、第1および第2の電気出力のうちの少なくとも一方の信号レベルを表す信号レベル出力を提供するように構成される集積クロック・データ復元回路と、信号レベル出力に応答して、第1および第2のアームのうちの一方の光路長を制御する復調器設定信号を提供するように構成されるコントローラと、を含む装置が提供される。そして、DPSK方式の光入力信号を第1および第2のアームに分け、第1および第2の光出力を提供するように構成される復調器を安定化する方法であって、復調器の出力を集積クロック・データ復元回路に結合することであって、集積クロック・データ復元回路は、第1および第2の出力のうちの少なくとも一方の信号レベルを表す信号レベル出力を提供するように構成されること、および信号レベル出力に応答して、第1および第2のアームのうちの一方の光路長を制御する復調器設定信号を提供すること、を含む方法も提供される。

【0063】

本発明の別の態様によれば、光入力信号を復調する復調器であって、光入力信号を第1および第2のアームに分け、第1および第2の光出力を提供するように構成される復調器と、復調器ディザ信号を確立する第1のディザ回路と、復調器設定信号を提供するように構成されるコントローラと、第1および第2のアームのうちの一方の光路長を制御する復調器制御信号として、復調器ディザ信号と復調器設定信号とを結合する結合器と、復調器ディザ基準信号を確立する第2のディザ回路と、第1および第2の光出力のうちの少なくとも一方の信号レベルを表すフィードバック信号および復調器ディザ基準信号に応答して、エラー信号を提供する誤り検出回路であって、コントローラは、復調器エラー信号に応答して復調器設定信号を提供するように構成される、誤り検出回路と、を含む装置が提供される。そして、光入力信号を第1および第2のアームに分け、第1および第2の光出力を提供するように構成される復調器を安定化する方法であって、復調器ディザ信号を確立する第1のディザ回路を設けること、復調器ディザ信号および復調器設定信号に応答して、第1および第2のアームのうちの一方の光路長を制御すること、復調器ディザ基準信号を確立する第2のディザ回路を設けること、および第1および第2の光出力のうちの少なくとも一方の信号レベルを表すフィードバック信号および復調器ディザ基準信号に応答して、復調器設定信号を生成すること、を含む方法も提供される。

【0064】

本発明の別の態様によれば、DPSK変調方式に従ってデータが変調された光入力信号を受け取る調整可能な光帯域フィルタと、帯域フィルタの出力に結合され、光入力信号を復調する復調器であって、光入力信号を第1および第2のアームに分け、第1および第2の光出力を提供するように構成される復調器と、第1および第2の光検出器であって、第1の光検出器は、第1の光出力が付与されたことに応答して第1の電気出力を提供するように構成され、第2の光検出器は、第2の光出力が付与されたことに応答して第2の電気出力を提供するように構成される、第1および第2の光検出器と、第1および第2の電気出力の信号パワーを表すフィードバック信号に応答して、帯域フィルタの中心波長を制御する帯域フィルタ設定信号を提供するコントローラと、を含む装置が提供される。そして、DPSK方式の光信号を受信する受信器内の光帯域フィルタの中心波長を制御する方法であって、フィルタの出力を、光信号を第1および第2のアームに分け、第1および第2

の光出力を提供するように構成される復調器に結合すること、第1および第2の光検出器を設けることであって、第1の光検出器は、第1の光出力が付与されたことに応答して第1の電気出力を提供するように構成され、第2の光検出器は、第2の光出力が付与されたことに応答して第2の電気出力を提供するように構成されること、および第1および第2の電気出力を表すフィードバック信号に応答して、中心波長を制御する帯域フィルタ設定信号を提供すること、を含む方法も提供される。

【0065】

本発明の別の態様によれば、DPSK変調方式に従ってデータが変調された光信号を増幅する光増幅器と、光増幅器に結合され、光信号を受け取る光帯域フィルタと、フィルタに結合され、光信号を復調する復調器であって、光入力信号を第1および第2のアームに分け、第1および第2の光出力を提供するように構成される復調器と、第1および第2の光出力の信号パワーを表すフィードバック信号に応答して、増幅器の利得を制御する増幅器設定信号を提供するコントローラと、を含む装置が提供される。そして、DPSK方式の光信号を受信する受信器内の光前置増幅器の利得を制御する方法であって、増幅器の出力を光帯域フィルタに結合すること、フィルタの出力を、光信号を第1および第2のアームに分け、第1および第2の光出力を提供するように構成されるDPSK復調器に結合すること、および第1および第2の光出力の信号パワーを表すフィードバック信号に応答して利得を制御する増幅器設定信号を提供すること、を含む方法も提供される。

【0066】

本発明の別の態様によれば、光入力信号を増幅する光増幅器と、増幅器に結合され、光入力信号からデータを復調する復調器と、データを復号化し、データ復号化の際に故障が発生したときに故障インジケータを提供するように構成されるFECデコーダと、光入力信号のパワーレベルが所定の閾値未満であり、かつ故障インジケータがFECデコーダにより提供される場合、増幅器をディセーブルするように構成されるコントローラと、を含む装置が提供される。そして、光信号受信器の光増幅器に付与された入力信号の遷移に対する保護方法であって、入力信号のパワーレベルを監視すること、光信号に変調されたデータを復号化するFECデコーダの故障状況を監視すること、およびパワーレベルが所定の閾値未満であり、かつFECデコーダの故障状況が示された場合、光増幅器をディセーブルすること、を含む方法も提供される。

【0067】

本発明の別の態様によれば、DPSK変調方式に従ってデータが変調された光入力信号を復調する復調器であって、光入力信号を第1および第2のアームに分け、第1および第2の光出力を提供するように構成される復調器と、第1および第2の光検出器であって、第1の光検出器は、第1の光出力が付与されたことに応答して第1の電気出力を提供するように構成され、第2の光検出器は、第2の光出力が付与されたことに応答して第2の電気出力を提供するように構成される、第1および第2の光検出器と、第1および第2の電気出力に結合され、データを表す出力を提供するように構成されるクロック・データ復元回路と、第1の電気出力とクロック・データ復元回路との間に結合され、第1の電気出力を第2の電気出力に対して遅延させるように構成される電気遅延回路と、を含む装置が提供される。そして、DPSK変調方式に従ってデータが変調された光入力信号の受信器内の関連する第1および第2の光検出器の第1の電気出力と第2の電気出力との遅延差を補償する方法であって、遅延差を補償するように電気遅延線の値を調整すること、およびその値を最良送信性能に対応する値に設定すること、を含む方法も提供される。

【0068】

本発明の別の態様によれば、データパスであって、RZ-DPSK変調方式に従ってデータが変調された光入力信号を復調する復調器であって、光入力信号を第1および第2のアームに分け、第1および第2の光出力を提供するように構成される復調器、および第1および第2の光検出器であって、第1の光検出器は、第1の光出力が付与されたことに応答して第1の電気出力を提供するように構成され、第2の光検出器は、第2の光出力が付与されたことに応答して第2の電気出力を提供するように構成される、第1および第2の

光検出器を含むデータパスと、第1および第2の電気出力に結合され、データに関連するクロックを表すクロック入力に応答して、データを表す電気出力データストリームを提供するように構成される回路と、データパス上の信号の一部をクロック入力として回路に結合するクロックパスと、を含む装置が提供される。そして、RZ-DPSK変調方式に従ってデータが変調された光入力信号を復調する復調器であって、光入力信号を第1および第2のアームに分け、第1および第2の光出力を提供するように構成される復調器と、第1および第2の光検出器であって、第1の光検出器は、第1の光出力が付与されたことに応答して第1の電気出力を提供するように構成され、第2の光検出器は、第2の光出力が付与されたことに応答して第2の電気出力を提供するように構成される、第1および第2の光検出器と、を含むデータパスを有する光受信器においてデータを復元する方法であって、第1および第2の電気出力に結合され、データに関連するクロックを表すクロック入力に
10
応答して、データを表す電気出力データストリームを提供するように構成される回路を設けること、およびデータパス上の信号の一部をクロック入力として回路に結合すること、を含む方法も提供される。

【0069】

本明細書において実施形態について説明したが、これら実施形態は単に、本発明を利用する実施形態のうちのいくつかにすぎず、限定ではなく例示を目的として説明されたものである。当業者に容易に理解される他の多くの実施形態を、本発明の精神および範囲から著しく逸脱することなく可能である。

【図面の簡単な説明】

【0070】

【図1】本発明によるシステムの例示的な一実施形態の簡略ブロック図である。

【図2】本発明による例示的な一受信器の簡略ブロック図である。

【図3】本発明による例示的な光遷移保護プロセスを示すブロック流れ図である。

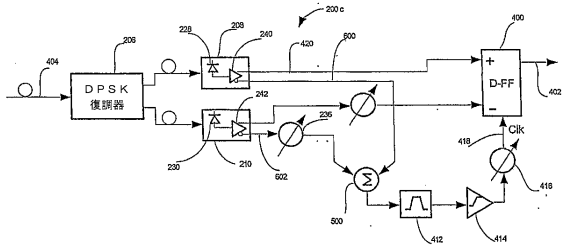
【図4】本発明による例示的な別の受信器の簡略ブロック図である。

【図5】本発明による例示的な別の受信器の簡略ブロック図である。

【図6】本発明による例示的な別の受信器の簡略ブロック図である。

[illegible]

【図 6】



フロントページの続き

(51)Int.Cl. F I

H04B 10/26 (2006.01)

H04B 10/14 (2006.01)

H01S 3/067 (2006.01)

H01S 3/10 (2006.01)

審査官 後澤 瑞征

(56)参考文献 特開平05-268162 (JP, A)

国際公開第2006/070456 (WO, A1)

特開平06-021891 (JP, A)

特開平05-018822 (JP, A)

特開平08-331062 (JP, A)

特開2003-309520 (JP, A)

特表2004-533163 (JP, A)

米国特許第06396605 (US, B1)

B. Milivojevic et al., 「40 Gbit/s CSRZ-DPSK transmission system with signed online chromatic dispersion detection」, Electronics Letters, 2003年10月, Vol.39 No.20

Eric A. Swanson et al., 「High sensitivity optically preamplified direct detection DPSK receiver with active delay-line stabilization」, IEEE Photonics Technology Letters, 1994年 2月, Vol.6 No.2, p.263-265

(58)調査した分野(Int.Cl., DB名)

H04B10/00-10/28

H04J14/00-14/08

H01S 3/06

H01S 3/10