

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6391307号
(P6391307)

(45) 発行日 平成30年9月19日 (2018.9.19)

(24) 登録日 平成30年8月31日 (2018.8.31)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 9 A

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 8 B

請求項の数 9 (全 39 頁)

(21) 出願番号 特願2014-120122 (P2014-120122)
 (22) 出願日 平成26年6月11日 (2014.6.11)
 (65) 公開番号 特開2015-19057 (P2015-19057A)
 (43) 公開日 平成27年1月29日 (2015.1.29)
 審査請求日 平成29年6月8日 (2017.6.8)
 (31) 優先権主張番号 特願2013-123013 (P2013-123013)
 (32) 優先日 平成25年6月11日 (2013.6.11)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 笹川 慎也
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 倉田 求
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 花岡 一哉
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 本堂 英
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置、および半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面上に、酸化物半導体層を形成する工程と、
 前記酸化物半導体層上に、ソース電極およびドレイン電極を形成する工程と、
 前記酸化物半導体層、前記ソース電極、および前記ドレイン電極上に、絶縁膜および導電膜をこの順番で成膜する工程と、
 前記導電膜および前記絶縁膜の一部をエッチングしてゲート電極およびゲート絶縁層を形成し、且つ、前記ソース電極および前記ドレイン電極の上部の一部をエッチングして前記ソース電極および前記ドレイン電極の構成元素を含む第1の被覆層を前記ゲート絶縁層の側面に接して形成する工程と、
 前記第1の被覆層を酸化させて、第2の被覆層を形成する工程と、
 前記第2の被覆層上に、酸化物を含む保護絶縁層を成膜する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項2】

絶縁表面上に、酸化物半導体層を形成する工程と、
 前記酸化物半導体層上に、ソース電極およびドレイン電極を形成する工程と、
 前記酸化物半導体層、前記ソース電極、および前記ドレイン電極上に、絶縁膜および導電膜をこの順番で成膜する工程と、
 前記導電膜および前記絶縁膜の一部をエッチングしてゲート電極およびゲート絶縁層を形成し、且つ、前記ソース電極および前記ドレイン電極の上部の一部をエッチングして前

記ソース電極および前記ドレイン電極の構成元素を含む第1の被覆層を前記ゲート絶縁層の側面に接して形成する工程と、

前記第1の被覆層上に酸素を含む雰囲気下で酸化物を含む保護絶縁層を成膜すると共に、前記第1の被覆層を酸化させて、第2の被覆層を形成する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項3】

絶縁表面上に、第1の酸化物層、および酸化物半導体層をこの順番で積層して形成する工程と、

前記酸化物半導体層上に、ソース電極およびドレイン電極を形成する工程と、

前記酸化物半導体層、前記ソース電極、および前記ドレイン電極上に、酸化物膜、絶縁膜、および導電膜をこの順番で成膜する工程と、

前記導電膜、前記絶縁膜、および前記酸化物膜の一部をエッチングしてゲート電極、ゲート絶縁層、および第2の酸化物層を形成し、且つ、前記ソース電極および前記ドレイン電極の上部の一部をエッチングして前記ソース電極および前記ドレイン電極の構成元素を含む第1の被覆層を前記ゲート絶縁層の側面および前記第2の酸化物層の側面に接して形成する工程と、

前記第1の被覆層を酸化させて、第2の被覆層を形成する工程と、

前記第2の被覆層上に、酸化物を含む保護絶縁層を成膜する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項4】

絶縁表面上に、第1の酸化物層、および酸化物半導体層をこの順番で積層して形成する工程と、

前記酸化物半導体層上に、ソース電極およびドレイン電極を形成する工程と、

前記酸化物半導体層、前記ソース電極、および前記ドレイン電極上に、酸化物膜、絶縁膜、および導電膜をこの順番で成膜する工程と、

前記導電膜、前記絶縁膜、および前記酸化物膜の一部をエッチングしてゲート電極、ゲート絶縁層、および第2の酸化物層を形成し、且つ、前記ソース電極および前記ドレイン電極の上部の一部をエッチングして前記ソース電極および前記ドレイン電極の構成元素を含む第1の被覆層を前記ゲート絶縁層の側面および前記第2の酸化物層の側面に接して形成する工程と、

前記第1の被覆層上に酸素を含む雰囲気下で酸化物を含む保護絶縁層を成膜すると共に、前記第1の被覆層を酸化させて、第2の被覆層を形成する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項5】

絶縁表面上に酸化物半導体層と、

前記酸化物半導体層上に、ソース電極およびドレイン電極と、

前記酸化物半導体層上、前記ソース電極上、および前記ドレイン電極上に位置し、前記ソース電極と接する領域および前記ドレイン電極と接する領域を有するゲート絶縁層と、

前記ゲート絶縁層上に、ゲート電極と、

前記ゲート絶縁層の側面に接し、前記ソース電極および前記ドレイン電極の構成元素を含む酸化物を含む被覆層と、

前記被覆層を覆い、酸化物を含む保護絶縁層と、を有し、

前記ゲート電極と前記ゲート絶縁層とは、上面形状が概略一致することを特徴とする半導体装置。

【請求項6】

絶縁表面上に第1の酸化物層と、

前記第1の酸化物層上に酸化物半導体層と、

前記酸化物半導体層上に第2の酸化物層と、

前記第2の酸化物層上に、ソース電極およびドレイン電極と、

前記第2の酸化物層上、前記ソース電極上、および前記ドレイン電極上に位置し、前記

10

20

30

40

50

ソース電極と接する領域および前記ドレイン電極と接する領域を有するゲート絶縁層と、
前記ゲート絶縁層上に、ゲート電極と、
前記ゲート絶縁層の側面に接し、前記ソース電極および前記ドレイン電極の構成元素を含む酸化物を含む被覆層と、
前記被覆層を覆い、酸化物を含む保護絶縁層と、を有し、
前記ゲート電極と前記ゲート絶縁層とは、上面形状が概略一致することを特徴とする半導体装置。

【請求項 7】

絶縁表面上に第 1 の酸化物層と、
前記第 1 の酸化物層上に酸化物半導体層と、
前記酸化物半導体層上に、ソース電極およびドレイン電極と、
酸化物半導体層上、前記ソース電極上、および前記ドレイン電極上に位置し、前記ソース電極と接する領域および前記ドレイン電極と接する領域を有する第 2 の酸化物層と、
前記第 2 の酸化物層上に、ゲート絶縁層と、
前記ゲート絶縁層上に、ゲート電極と、
前記ゲート絶縁層の側面、および前記第 2 の酸化物層の側面に接し、前記ソース電極および前記ドレイン電極の構成元素を含む酸化物を含む被覆層と、
前記被覆層を覆い、酸化物を含む保護絶縁層と、を有し、
前記ゲート電極、前記ゲート絶縁層及び前記第 2 の酸化物層は、上面形状が概略一致することを特徴とする半導体装置。

【請求項 8】

請求項 5 乃至請求項 7 のいずれか一項において、
前記保護絶縁層は、酸化アルミニウムを含むことを特徴とする半導体装置。

【請求項 9】

請求項 5 乃至請求項 8 のいずれか一項において、
前記構成元素は、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンであることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置とその作製方法に関する。

【0002】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、トランジスタ、半導体回路、演算装置、記憶装置、撮像装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、および電子機器は半導体装置の一態様である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜として、シリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、酸化物半導体として、酸化亜鉛、または $In-Ga-Zn$ 系酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献 1 および特許文献 2 参照）。

【0005】

また、近年では電子機器の高性能化、小型化、または軽量化に伴い、微細化されたトラ

10

20

30

40

50

ンジスタなどの半導体素子を高密度に集積した集積回路の要求が高まっている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の一態様は、酸化物半導体を用いた半導体装置に良好な電気特性を付与することを課題の一とする。

10

【0008】

または、本発明の一態様は、酸化物半導体を用いた半導体装置の電気特性の変動を抑制し、信頼性の高い半導体装置を提供することを課題の一とする。

【0009】

または、本発明の一態様は、微細化に適した半導体装置を提供することを課題の一とする。

【0010】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

20

【課題を解決するための手段】

【0011】

本発明の一態様は、絶縁表面上に、酸化物半導体層を形成する工程と、酸化物半導体層上に、ソース電極およびドレイン電極を形成する工程と、酸化物半導体層、ソース電極、およびドレイン電極上に、絶縁膜および導電膜をこの順番で成膜する工程と、導電膜および絶縁膜の一部をエッチングしてゲート電極およびゲート絶縁層を形成し、且つ、ソース電極およびドレイン電極の上部の一部をエッチングしてソース電極およびドレイン電極の構成元素を含む第1の被覆層をゲート絶縁層の側面に接して形成する工程と、第1の被覆層を酸化させて、第2の被覆層を形成する工程と、第2の被覆層上に、酸化物を含む保護絶縁層を成膜する工程と、を有する、半導体装置の作製方法である。

30

【0012】

また、本発明の他の一態様は、絶縁表面上に、酸化物半導体層を形成する工程と、酸化物半導体層上に、ソース電極およびドレイン電極を形成する工程と、酸化物半導体層、ソース電極、およびドレイン電極上に、絶縁膜および導電膜をこの順番で成膜する工程と、導電膜および絶縁膜の一部をエッチングしてゲート電極およびゲート絶縁層を形成し、且つ、ソース電極およびドレイン電極の上部の一部をエッチングしてソース電極およびドレイン電極の構成元素を含む第1の被覆層をゲート絶縁層の側面に接して形成する工程と、第1の被覆層上に酸素を含む雰囲気下で酸化物を含む保護絶縁層を成膜すると共に、第1の被覆層を酸化させて、第2の被覆層を形成する工程と、を有する、半導体装置の作製方法である。

40

【0013】

また、本発明の他の一態様は、絶縁表面上に、第1の酸化物層、および酸化物半導体層をこの順番で積層して形成する工程と、酸化物半導体層上に、ソース電極およびドレイン電極を形成する工程と、酸化物半導体層、ソース電極、およびドレイン電極上に、酸化物膜、絶縁膜、および導電膜をこの順番で成膜する工程と、導電膜、絶縁膜、および酸化物膜の一部をエッチングしてゲート電極、ゲート絶縁層、および第2の酸化物層を形成し、且つ、ソース電極およびドレイン電極の上部の一部をエッチングしてソース電極およびドレイン電極の構成元素を含む第1の被覆層をゲート絶縁層の側面および第2の酸化物層の

50

側面に接して形成する工程と、第1の被覆層を酸化させて、第2の被覆層を形成する工程と、第2の被覆層上に、酸化物を含む保護絶縁層を成膜する工程と、を有する、半導体装置の作製方法である。

【0014】

また、本発明の他の一態様は、絶縁表面上に、第1の酸化物層、および酸化物半導体層をこの順番で積層して形成する工程と、酸化物半導体層上に、ソース電極およびドレイン電極を形成する工程と、酸化物半導体層、ソース電極、およびドレイン電極上に、酸化物膜、絶縁膜、および導電膜をこの順番で成膜する工程と、導電膜、絶縁膜、および酸化物膜の一部をエッチングしてゲート電極、ゲート絶縁層、および第2の酸化物層を形成し、且つ、ソース電極およびドレイン電極の上部の一部をエッチングしてソース電極およびドレイン電極の構成元素を含む第1の被覆層をゲート絶縁層の側面および第2の酸化物層の側面に接して形成する工程と、第1の被覆層上に酸素を含む雰囲気下で酸化物を含む保護絶縁層を成膜すると共に、第1の被覆層を酸化させて、第2の被覆層を形成する工程と、を有する、半導体装置の作製方法である。

10

【0015】

また、本発明の他の一態様は、絶縁表面上に酸化物半導体層と、酸化物半導体層上に、ソース電極およびドレイン電極と、酸化物半導体層上に、ゲート絶縁層と、ゲート絶縁層上に、ゲート電極と、ゲート絶縁層の側面に接し、ソース電極およびドレイン電極の構成元素を含む酸化物を含む被覆層と、被覆層を覆い、酸化物を含む保護絶縁層と、を有する半導体装置であって、ゲート電極とゲート絶縁層とは、上面形状が概略一致することを特徴とするものである。

20

【0016】

また、本発明の他の一態様は、絶縁表面上に第1の酸化物層と、第1の酸化物層上に酸化物半導体層と、酸化物半導体層上に第2の酸化物層と、第2の酸化物層上に、ソース電極およびドレイン電極と、第2の酸化物層上に、ゲート絶縁層と、ゲート絶縁層上に、ゲート電極と、ゲート絶縁層の側面に接し、ソース電極およびドレイン電極の構成元素を含む酸化物を含む被覆層と、被覆層を覆い、酸化物を含む保護絶縁層と、を有する半導体装置であって、ゲート電極とゲート絶縁層とは、上面形状が概略一致することを特徴とするものである。

【0017】

30

また、本発明の他の一態様は、絶縁表面上に第1の酸化物層と、第1の酸化物層上に酸化物半導体層と、酸化物半導体層上に、ソース電極およびドレイン電極と、酸化物半導体層上に、第2の酸化物層と、第2の酸化物層上に、ゲート絶縁層と、ゲート絶縁層上に、ゲート電極と、ゲート絶縁層の側面、および第2の酸化物層の側面に接し、ソース電極およびドレイン電極の構成元素を含む酸化物を含む被覆層と、被覆層を覆い、酸化物を含む保護絶縁層と、を有する半導体装置であって、ゲート電極、ゲート絶縁層及び第2の酸化物層は、上面形状が概略一致することを特徴とするものである。

【0018】

また、上記半導体装置において、保護絶縁層は、酸化アルミニウムを含んでいることが好ましい。

40

【0019】

また、上記半導体装置において、上記構成元素は、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンであることが好ましい。

【0020】

なお、本明細書等において「上面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置することや、上層が下層の外側に位置することもあり、この場合も「上面形状が概略一致」という。

50

【発明の効果】

【0021】

本発明によれば、電気特性の良好な半導体装置を提供できる。または、電気特性の変動が抑制され、信頼性の高い半導体装置を提供できる。または、微細化に適した半導体装置を提供できる。

【図面の簡単な説明】

【0022】

【図1】実施の形態に係る、半導体装置の構成例。

【図2】実施の形態に係る、半導体装置の作成方法例を説明する図。

【図3】実施の形態に係る、半導体装置の構成例。

10

【図4】実施の形態に係る、半導体装置の構成例。

【図5】実施の形態に係る、半導体装置の回路図。

【図6】実施の形態に係る、半導体装置のブロック図。

【図7】実施の形態に係る、記憶装置を説明する回路図。

【図8】実施の形態に係る、電子機器。

【図9】実施例に係る、断面観察像およびEDX分析結果。

【図10】実施例に係る、断面観察像。

【図11】実施例に係る、 $V_g - I_d$ 特性。

【図12】実施例に係る、 $V_g - I_d$ 特性。

20

【発明を実施するための形態】

【0023】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0024】

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0025】

30

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0026】

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0027】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

40

【0028】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置の例として、トランジスタの構成例と、その作製方法例について、図面を参照して説明する。

【0029】

半導体装置の作製工程において、2以上の膜を同一のエッチングマスクを用いて加工する場合がある。例えば、絶縁膜上に導電膜を有する積層膜を形成し、それぞれを連続してエッチングする場合がある。

50

【 0 0 3 0 】

ここで、当該積層膜の下層に導電材料を含む層（導電層ともよぶ）を有する場合、エッチングにより導電層の導電材料が加工後の絶縁膜の側面に付着することにより、積層膜の上部の導電膜と、積層膜の下層とが、当該付着物を介して電氣的にショートしてしまう恐れがある。したがってこのことを防止するため、エッチングを行った後に酸などのエッチング液を用いて、当該付着物を除去する必要がある。

【 0 0 3 1 】

しかしながら、付着物を除去するためのエッチング液により絶縁膜や導電膜がエッチングされてしまう場合がある。例えば絶縁膜がエッチングされると、絶縁膜の端部が上部の導電膜よりも内側に位置してしまう、いわゆるアンダーカットが生じ、積層膜の上層にさらに薄膜を成膜する際に、当該薄膜の被覆性が損なわれる恐れがある。また、導電膜がエッチングされると、当該導電膜を加工して得られる電極や配線の厚さや幅が変化してしまう。その結果、当該電極や配線を備える半導体装置の電気特性の設計値からのずれが生じ、電気特性のばらつきの原因となってしまう。特に、微細な半導体装置の場合、導電膜は微細に加工される必要があるため、当該導電膜は極めて薄い場合が多く、このようなばらつきが顕著となる。

10

【 0 0 3 2 】

そこで本発明の一態様の半導体装置の作製方法では、エッチング後の絶縁膜の側面に付着した導電性の付着物を除去するのではなく、当該付着物を酸化させることにより、上述したような問題を解決することができる。

20

【 0 0 3 3 】

当該付着物の酸化は、例えば熱酸化処理、酸素プラズマ処理、またはオゾン水等の酸化力の強い溶液での処理等により行うことができる。

【 0 0 3 4 】

また、付着物が付着している状態で、酸素を含む雰囲気下で酸化物を含む薄膜を成膜し、成膜と並行して付着物の酸化処理を行うことが好ましい。

【 0 0 3 5 】

より具体的には、例えば以下のような方法を用いて半導体装置を作製することができる。まず、本発明の一態様の半導体装置の作製方法により作製可能なトランジスタの構成例を説明する。

30

【 0 0 3 6 】

〔 構成例 〕

図 1 (A) に、本構成例で示すトランジスタ 1 0 0 の上面概略図を示す。また、図 1 (B)、(C) はそれぞれ、図 1 (A) 中の切断線 A - B、C - D における断面概略図を示す。なお、図 1 (A) では明瞭化のため一部の構成要素を明示していない。

【 0 0 3 7 】

トランジスタ 1 0 0 は、基板 1 0 1 上に設けられ、島状の半導体層 1 0 2 と、半導体層 1 0 2 上に一對の電極 1 0 3 と、半導体層 1 0 2 と重なるゲート電極 1 0 5 と、半導体層 1 0 2 とゲート電極 1 0 5 の間にゲート絶縁層 1 0 4 と、を有する。

【 0 0 3 8 】

ゲート電極 1 0 5 とゲート絶縁層 1 0 4 とは上面形状が概略一致するように設けられている。また、ゲート電極 1 0 5 の一部、およびゲート絶縁層 1 0 4 の側面を覆う、被覆層 1 1 0 が設けられている。被覆層 1 1 0 は、少なくとも一對の電極 1 0 3 と重なる領域において、ゲート絶縁層 1 0 4 の側面を覆うように設けられている。

40

【 0 0 3 9 】

また、基板 1 0 1 の上面を覆って絶縁層 1 0 6 が設けられている。絶縁層 1 0 6 は、半導体層 1 0 2 の下面に接して設けられている。

【 0 0 4 0 】

また、トランジスタ 1 0 0 を覆って絶縁層 1 0 7 が設けられている。具体的には、ゲート絶縁層 1 0 4、一對の電極 1 0 3、ゲート電極 1 0 5、被覆層 1 1 0 上に絶縁層 1 0 7

50

が設けられている。

【0041】

半導体層102は、酸化物半導体を含むことが好ましい。また半導体層102は、少なくともインジウム(In)もしくは亜鉛(Zn)を含むことが好ましい。より好ましくはIn-M-Zn系酸化物(MはAl、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)で表記される酸化物を含む。

【0042】

一对の電極103のうち、一方がトランジスタ100のソース電極として、他方がドレイン電極として機能する。

【0043】

一对の電極103としては、例えばアルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの導電性材料を含むことが好ましい。または、上記導電性材料の窒化物を含んでいてもよい。なお、トランジスタ100の作製工程における温度の上限を高めることができるなどの理由から、融点の比較的高いWやTiを用いることが好ましい。

【0044】

被覆層110は、一对の電極103の構成元素を含む酸化物を含む。例えば、上述の導電性材料の酸化物を含んで構成される。

【0045】

そのほか、被覆層110は、ゲート電極105及びゲート絶縁層104をエッチングにより加工する際に用いるレジストマスクを構成する元素(例えば炭素)や、エッチングに用いるガス(例えばフッ素、塩素、もしくはアルゴンなどの希ガス)を含んでいてもよい。

【0046】

図1(B)に示すように、被覆層110は、ゲート絶縁層104の側面を被覆するように設けられ、一对の電極103の一部とゲート電極105の一部に接して設けられることが好ましい。したがって、被覆層110が絶縁性を有する、またはトランジスタ100の動作に悪影響を及ぼさない程度に高抵抗であることが好ましい。

【0047】

絶縁層107は、水素や水に対してバリア性を有する材料を含むことが好ましい。また、絶縁層107は、半導体層102中の酸素が外部に放出されることを抑制するために、酸素を透過しにくい材料を含むことが好ましい。

【0048】

また、後述するように被覆層110を酸化させる工程と絶縁層107の成膜工程とを兼ねる場合には、絶縁層107として酸化物を含む材料を用いることが好ましい。

【0049】

絶縁層107に用いることのできる材料としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等の絶縁材料を用いることができる。特に、酸化アルミニウムまたは酸化窒化アルミニウムは、水素や酸素に対して高いバリア性を有する酸化物であるため、好ましい。

【0050】

なお、半導体層102を挟んでゲート電極105と対向する第2のゲート電極を、半導体層102よりも基板101側に設けてもよい。例えば、基板101と絶縁層106との間に第2のゲート電極を設ける場合には、絶縁層106が第2のゲート絶縁層として機能する。第2のゲート電極を設ける場合、第2のゲート電極を形成した後に厚く絶縁膜を成膜し、第2のゲート電極の上面が露出するように平坦化処理を行うことが好ましい。

【0051】

2つのゲート電極を有する構成とすることによりトランジスタ100のしきい値電圧を制御することができる。また、2つのゲート電極に同電位を与えることによりトランジス

10

20

30

40

50

タ１００のオン電流を増大させることができる。

【００５２】

[各構成要素について]

以下では、トランジスタ１００の各構成要素について説明する。

【００５３】

[半導体層]

トランジスタのチャネルが形成される半導体層に適用可能な半導体として、例えばシリコンやゲルマニウムなどの半導体材料、化合物半導体材料、有機半導体材料、または酸化物半導体材料を用いてもよい。

【００５４】

また、トランジスタに用いる半導体の結晶性についても特に限定されず、非晶質半導体、結晶性を有する半導体（微結晶半導体、多結晶半導体、単結晶半導体、または一部に結晶領域を有する半導体）のいずれを用いてもよい。結晶性を有する半導体を用いると、トランジスタ特性の劣化が抑制されるため好ましい。

【００５５】

例えば上記半導体としてシリコンを用いる場合、アモルファスシリコン、微結晶シリコン、多結晶シリコン、または単結晶シリコンなどを用いることができる。

【００５６】

特に、半導体層１０２に含まれる半導体として、酸化物半導体を用いることが好ましい。シリコンよりもバンドギャップが広く、且つキャリア密度の小さい酸化物半導体を用いると、トランジスタのオフ状態における電流を低減できるため好ましい。以下では、半導体層１０２として酸化物半導体を用いる場合について説明する。

【００５７】

特に、半導体層１０２として、複数の結晶部を有し、当該結晶部はｃ軸が半導体層１０２の被形成面（絶縁層１０６の上面）、または半導体層１０２の上面に対し垂直に配向し、且つ隣接する結晶部間には粒界を有さない層を用いることが好ましい。

【００５８】

半導体層１０２としてこのような材料を用いることで、電気特性の変動が抑制され、信頼性の高いトランジスタ１００を実現できる。

【００５９】

なお、半導体層１０２に適用可能な酸化物半導体の好ましい形態とその形成方法については、後の実施の形態で詳細に説明する。

【００６０】

また、以下では特に、酸化物半導体を含む半導体層のことを酸化物半導体層ともよぶこともある。

【００６１】

[基板]

基板１０１の材質などに大きな制限はないが、少なくとも工程中の熱処理に耐えうる程度の耐熱性を有する材料を用いる。例えば、ガラス基板、セラミック基板、石英基板、サファイヤ基板、イットリア安定化ジルコニア（ＹＳＺ）基板などを、基板１０１として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板または多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、ＳＯＩ基板などを適用することもできる。

【００６２】

また、各種半導体基板やＳＯＩ基板上に半導体素子が設けられたものを、基板１０１として用いてもよい。その場合、基板１０１上に層間絶縁層を介してトランジスタ１００を形成する。このとき、当該層間絶縁層に埋め込まれた接続電極により、トランジスタ１００のゲート電極１０５、一対の電極１０３の少なくとも一つが、上記半導体素子と電氣的に接続する構成とすればよい。半導体素子上に層間絶縁層を介してトランジスタ１００を設けることにより、トランジスタ１００を付加することによる面積の増大を抑制すること

10

20

30

40

50

ができる。

【 0 0 6 3 】

〔 ゲート電極 〕

ゲート電極 1 0 5 は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。また、上記金属としてマンガンまたはジルコニウムを用いてもよい。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイドを用いてもよい。また、ゲート電極 1 0 5 は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の金属を組み合わせた合金膜、もしくはこれらの窒化膜を用いてもよい。

10

【 0 0 6 4 】

〔 ゲート絶縁層 〕

ゲート絶縁層 1 0 4 は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたは $G a - Z n$ 系金属酸化物、窒化シリコンなどを用いればよく、積層または単層で設ける。

20

【 0 0 6 5 】

また、ゲート絶縁層 1 0 4 として、ハフニウムシリケート ($H f S i O _ x$)、窒素が添加されたハフニウムシリケート ($H f S i _ x O _ y N _ z$)、窒素が添加されたハフニウムアルミネート ($H f A l _ x O _ y N _ z$)、酸化ハフニウム、酸化イットリウムなどの $h i g h - k$ 材料を用いることでトランジスタのゲートリークを低減できる。

【 0 0 6 6 】

〔 一対の電極 〕

一対の電極 1 0 3 は、上述した材料の単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いることができる。または、上述した金属や合金の窒化物を用いてもよい。

30

【 0 0 6 7 】

例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅 - マグネシウム - アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。

【 0 0 6 8 】

40

〔 絶縁層 〕

絶縁層 1 0 6 は、基板 1 0 1 に含有される不純物が拡散することを防ぐバリア層として機能する。

【 0 0 6 9 】

また、絶縁層 1 0 6 は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜であることが好ましい。このような酸化物絶縁膜は、加熱により一部の酸素が脱離する。例えば、表面温度が 1 0 0 以上 7 0 0 以下、好ましくは 1 0 0 以上 5 0 0 以下の加熱処理で行われる昇温脱離ガス分光法 ($T D S : T h e r m a l D e s o r p t i o n S p e c t r o s c o p y$) 分析にて、酸素原子に換算しての酸素の脱離量が $1 . 0 \times 1 0 ^ { 1 8 } a t o m s / c m ^ 3$ 以上、好ましくは $3 . 0 \times 1 0 ^ { 2 0 } a t o m s / c m$

50

³ 以上である酸化物絶縁膜を用いることが好ましい。

【0070】

例えば、絶縁層106としては、酸化シリコン、酸化窒化シリコン等を用いることができる。

【0071】

このような絶縁層106を半導体層102に接して設けることにより、作製工程に係る熱によって絶縁層106から脱離した酸素が半導体層102に供給され、半導体層102中の酸素欠損を補填する。したがって、電気特性の変動が抑制され、信頼性の高いトランジスタ100を実現できる。

【0072】

10

なお、絶縁層107を2層以上の多層構造とし、半導体層102側に絶縁層106と同様の酸化物を含む絶縁膜を設け、その上層に酸素や水素に対しバリア性を有する絶縁膜を設ける構成としてもよい。このような構成とすることにより、絶縁層107からも半導体層102に酸素を供給することができる。

【0073】

以上がトランジスタ100の構成例についての説明である。

【0074】

〔作製方法例〕

以下では、図1で例示したトランジスタ100の作製方法の一例について、図面を参照して説明する。図2は、以下で例示する作製方法での各工程における断面概略図である。

20

【0075】

〔絶縁層の形成〕

まず、基板101上に絶縁層106を形成する。

【0076】

絶縁層106は、スパッタリング法、CVD(Chemical Vapor Deposition)法、蒸着法等で形成する。

【0077】

絶縁層106に酸素を過剰に含有させるためには、例えば、酸素雰囲気下にて絶縁層106の成膜を行えばよい。または、成膜後の絶縁層106に酸素を導入して酸素を過剰に含有させてもよく、双方の手段を組み合わせてもよい。

30

【0078】

例えば、成膜後の絶縁層106に酸素(少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む)を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。

【0079】

酸素導入処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、酸素、一酸化二窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素導入処理において、酸素を含むガスに希ガスを含ませてもよい。

【0080】

40

〔半導体層の形成〕

続いて、絶縁層106上に半導体膜を成膜する。その後フォトリソグラフィ法等を用いて半導体膜上にレジストマスクを形成し、半導体膜の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、島状の半導体層102を形成することができる(図2(A))。

【0081】

半導体膜の成膜は、スパッタリング法、CVD法、MBE(Molecular Beam Epitaxy)法、ALD(Atomic Layer Deposition)法、またはPLD(Pulsed Laser Deposition)法等を用いることができる。または、ゾルゲル法やスプレー法、ミスト法など、液状の材料を用いた薄

50

膜形成技術を用いることもできる。半導体膜の成膜は、スパッタリング法を用いることが好ましい。スパッタリング法としては、R Fスパッタリング法、D Cスパッタリング法、A Cスパッタリング法等を用いることができる。特に、成膜時に発生するゴミを低減でき、且つ膜厚分布も均一とすることから、D Cスパッタリング法を用いることが好ましい。

【0082】

半導体膜の成膜後、加熱処理を行ってもよい。加熱処理は、250 以上650 以下、好ましくは300 以上500 以下の温度で、不活性ガス雰囲気、酸化性ガスを10 ppm以上含む雰囲気、または減圧状態で行えばよい。また、加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10 ppm以上含む雰囲気で行ってもよい。加熱処理により、絶縁層106から半導体膜（または半導体層102）に酸素が供給され、半導体層102に含まれる酸化物半導体中の酸素欠損を低減できる。なお、加熱処理は、半導体膜を成膜した直後に行ってもよいし、半導体膜を加工して島状の半導体層102を形成した後に行ってもよい。

【0083】

レジストマスクの形成に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線やKrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光（EUV：Extreme Ultra-violet）やX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

【0084】

また、レジストマスクとなるレジスト膜を形成する前に、被加工膜（ここでは半導体膜）とレジスト膜との密着性を改善する機能を有する有機樹脂膜を形成してもよい。また当該有機樹脂膜は、例えばスピンコート法などにより、その下層の段差を被覆するように形成することができ、当該有機樹脂膜の上層に設けられるレジストマスクの厚さのばらつきを低減できる。また特に微細な加工を行う場合には、当該有機樹脂膜として、露光に用いる光に対する反射防止膜として機能する材料を用いることが好ましい。このような機能を有する有機樹脂膜としては、例えばBARC（Bottom Anti-Reflection Coating）膜などがある。当該有機樹脂膜は、レジストマスクの除去と同時に除去するか、レジストマスクを除去した後に除去すればよい。

【0085】

〔一対の電極の形成〕

続いて、絶縁層106、半導体層102上に、導電膜を成膜する。その後フォトリソグラフィ法等を用いて導電膜上にレジストマスクを形成し、導電膜の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、一対の電極103を形成することができる（図2（B））。

【0086】

導電膜は、例えばスパッタリング法、蒸着法、CVD法などにより成膜することができる。

【0087】

ここで図2（B）に示すように、導電膜のエッチングの際に半導体層102の上部の一部がエッチングされ、一対の電極103と重ならない部分が薄膜化することがある。したがって、半導体層102となる半導体膜の厚さを、エッチングされる深さを考慮して予め厚く形成しておくことが好ましい。

【0088】

〔ゲート絶縁層、ゲート電極の形成〕

続いて、半導体層102、一対の電極103、絶縁層106上に絶縁膜114を成膜する。さらに、絶縁膜114上に導電膜115を成膜する（図2（C））。

【 0 0 8 9 】

絶縁膜 1 1 4 は、後にゲート絶縁層 1 0 4 となる絶縁膜である。絶縁膜 1 1 4 は、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法などを用いて形成することができる。特に、当該絶縁膜を C V D 法、好ましくはプラズマ C V D 法によって成膜すると、被覆性を向上させることができるため好ましい。

【 0 0 9 0 】

導電膜 1 1 5 は、後にゲート電極 1 0 5 となる導電膜である。導電膜 1 1 5 は、例えばスパッタリング法、蒸着法、C V D 法などにより成膜することができる。

【 0 0 9 1 】

続いて、フォトリソグラフィ法等を用いて導電膜 1 1 5 上にレジストマスクを形成する。その後、導電膜 1 1 5 と絶縁膜 1 1 4 の不要な部分を順にエッチングにより除去する。その後レジストマスクを除去することにより、ゲート電極 1 0 5 およびゲート絶縁層 1 0 4 を形成することができる。ここで、エッチングはドライエッチングを用いることが好ましい。

10

【 0 0 9 2 】

なお、導電膜 1 1 5 をエッチングしてゲート電極 1 0 5 を形成した後にレジストマスクを除去し、ゲート電極 1 0 5 をハードマスクとして用いてゲート絶縁層 1 0 4 のエッチングを行ってもよい。

【 0 0 9 3 】

ドライエッチングにより絶縁膜 1 1 4 をエッチングしてゲート絶縁層 1 0 4 に加工する際、露出した一对の電極 1 0 3 の反応生成物が、ゲート絶縁層 1 0 4 の側面およびゲート電極 1 0 5 の側面および上面に再付着し、被覆層 1 2 0 (第 1 の被覆層ともいう) が形成される (図 2 (D))。

20

【 0 0 9 4 】

被覆層 1 2 0 は、一对の電極 1 0 3 の反応生成物を含むため、一对の電極 1 0 3 の構成元素を含む。そのほか、ゲート絶縁層 1 0 4 の構成元素 (例えばシリコン) や、レジストマスク、ドライエッチングに用いるガスなどの構成元素 (例えば炭素、フッ素、塩素など) を含んでいてもよい。

【 0 0 9 5 】

ここで、図中には、被覆層 1 2 0 の被形成面に対する垂直方向の厚さが均一になるように明示しているが、被覆層 1 2 0 の厚さは、一对の電極 1 0 3 に近いほど厚く、遠いほど薄くなる場合がある。また、ゲート電極 1 0 5 の大きさによっては、ゲート電極の上面に被覆層 1 2 0 が形成されない場合もある。なお、この時点では被覆層 1 2 0 は導電性を有している場合がある。

30

【 0 0 9 6 】

〔被覆層の酸化処理〕

続いて、被覆層 1 2 0 を酸化させることにより、一对の電極 1 0 3 の構成元素を含む酸化物を含む被覆層 1 1 0 を形成する。

【 0 0 9 7 】

酸化処理としては、熱酸化処理、酸素プラズマ処理、オゾン水等の酸化力の強い溶液を用いた処理などが挙げられる。

40

【 0 0 9 8 】

このように被覆層 1 2 0 を酸化させることにより、被覆層 1 1 0 を絶縁化、または極めて高抵抗化させることができる。したがって、一对の電極 1 0 3 とゲート電極 1 0 5 との電気的なショートを抑制することができる。

【 0 0 9 9 】

また形成された被覆層 1 1 0 は、少なくとも一对の電極 1 0 3 上において、ゲート絶縁層 1 0 4 の側面、およびゲート電極 1 0 5 の側面の一部を被覆する。したがってゲート電極 1 0 5 およびゲート絶縁層 1 0 4 の端部の段差が緩和され、この後に形成される絶縁層 1 0 7 の被覆性を向上させることができる。したがって、当該段差部において絶縁層 1 0

50

7の段切れや、低密度な領域（鬆ともいう）が生じ、絶縁層107のバリア性が損なわれてしまうことを抑制できる。

【0100】

ここで例えば、被覆層120をエッチング液により除去すると、ゲート絶縁層104の側面までもエッチングされ、その端部がゲート電極105よりも内側に位置してしまう、いわゆるアンダーカットが生じる。そのため、後に形成される絶縁層107の被覆性が低下し、絶縁層107の段切れや鬆の発生といった不具合が生じてしまう。

【0101】

しかしながら本作製方法例によれば、被覆層120の酸化処理を行い、絶縁化または高抵抗化された被覆層110を形成することで、被覆層120が導電性を有していたとしてもこれを除去することなく、ゲート電極105と一对の電極103との電氣的なショートを防ぐことができる。

【0102】

〔絶縁層の形成〕

続いて、一对の電極103、ゲート電極105、ゲート絶縁層104、被覆層110上に絶縁層107を形成する（図2（E））。

【0103】

絶縁層107は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、絶縁層107をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を良好なものとすることができるため好ましい。

【0104】

以上の工程により、トランジスタ100を作製することができる。

【0105】

〔加熱処理〕

絶縁層107の形成後、加熱処理を行ってもよい。加熱処理により、絶縁層106や絶縁層107から半導体層102に対して酸素を供給し、半導体層102中の酸素欠損を低減することができる。またこのとき、絶縁層107により絶縁層106や半導体層102からの酸素の外部への放出が抑制される。したがって半導体層102中の酸素欠損の形成が抑制されると共に、絶縁層106から放出され、半導体層102に供給しうる酸素の量を増大させることができ、半導体層102中の酸素欠損を効果的に低減することができる。

【0106】

以上がトランジスタ100の作製工程例についての説明である。

【0107】

〔変形例〕

上記作製方法例において、被覆層120の酸化処理と、絶縁層107の形成工程を兼ねることにより、工程を簡略化することができるため好ましい。

【0108】

絶縁層107の成膜方法として、酸素を含む雰囲気下におけるスパッタリング法を用いることにより、被覆層120を酸化させつつ、絶縁層107を堆積させることができる。

【0109】

例えば、絶縁層107の成膜に用いるスパッタリングターゲットとして、金属酸化物ターゲットを用い、成膜ガスとして酸素ガスを含むガスを用いることが好ましい。スパッタリングターゲットとして金属酸化物ターゲットを用いることにより、金属ターゲットを用いた反応性スパッタリング法と比較し、成膜ガスに含まれる酸素のうち、被覆層120と反応しうる酸素の量を増やすことができる。

【0110】

絶縁層107の成膜における成膜ガスとして、希ガス（例えばアルゴン）と酸素を含むガスを用いる。ここで、例えば成膜ガス全体に対する酸素の流量比を20%以上、好ましくは30%以上、より好ましくは50%以上とする。酸素の流量比が大きいほど、より効

10

20

30

40

50

率的に被覆層 120 を酸化させることができる。

【0111】

このように、酸化された被覆層 110 の形成と、絶縁層 107 の形成を同一の工程で並行して行うことにより、工程を増やすことなく信頼性の高いトランジスタ 100 を形成することができる。

【0112】

以上が本変形例についての説明である。

【0113】

本実施の形態は、本明細書中に記載する他の実施の形態または実施例と適宜組み合わせで実施することができる。

【0114】

(実施の形態 2)

本実施の形態では、上記で例示したトランジスタとは構成の一部が異なるトランジスタの構成例と、その作製方法例について説明する。なお、上記と重複する部分については説明を省略し、相違点についてのみ詳細に説明する。また、位置や形状が異なる構成要素であっても、その機能が同一である場合には、同一の符号を付し、説明を省略する場合がある。

【0115】

本発明の一態様の半導体装置は、酸化物半導体層と、該酸化物半導体層と重なる絶縁層との間に、酸化物半導体層を構成する金属元素のうち、少なくとも一の金属元素を構成元素として含む酸化物層を有することが好ましい。これにより、酸化物半導体層と、該酸化物半導体層と重なる絶縁層との界面にトラップ準位が形成されることを抑制することができる。

【0116】

すなわち、本発明の一態様は、酸化物半導体層の少なくともチャネル形成領域における上面および底面が、酸化物半導体層の界面準位形成防止のためのバリア膜として機能する酸化物層に接する構成とすることが好ましい。このような構成とすることにより、酸化物半導体層中および界面においてキャリアの生成要因となる酸素欠損の生成および不純物の混入を抑制することが可能となるため、酸化物半導体層を高純度真性化することができる。高純度真性化とは、酸化物半導体層を真性または実質的に真性にすることをいう。よって、当該酸化物半導体層を含むトランジスタの電気特性の変動を抑制し、信頼性の高い半導体装置を提供することが可能となる。

【0117】

なお、本明細書等において実質的に真性という場合、酸化物半導体層のキャリア密度は、 $1 \times 10^{17} / \text{cm}^3$ 未満、 $1 \times 10^{15} / \text{cm}^3$ 未満、または $1 \times 10^{13} / \text{cm}^3$ 未満である。酸化物半導体層を高純度真性化することで、トランジスタに安定した電気特性を付与することができる。

【0118】

より具体的には、例えば以下の構成とすることができる。

【0119】

[構成例 1]

図 3 (A)、(B) に、以下で例示するトランジスタ 150 の断面概略図を示す。なお、上面概略図については図 1 (A) を援用できる。図 3 に示すトランジスタ 150 は、主に第 1 の酸化物層 151 および第 2 の酸化物層 152 を有している点で、実施の形態 1 で例示したトランジスタ 100 と相違している。

【0120】

第 1 の酸化物層 151 は、絶縁層 106 と半導体層 102 の間に設けられている。

【0121】

第 2 の酸化物層 152 は、半導体層 102 とゲート絶縁層 104 との間に設けられている。より具体的には、第 2 の酸化物層 152 は、その上面が一对の電極 103 の下面、及

10

20

30

40

50

びゲート絶縁層 104 の下面に接して設けられている。

【0122】

第1の酸化物層 151 および第2の酸化物層 152 は、それぞれ半導体層 102 と同一の金属元素を一種以上含む酸化物を含む。

【0123】

なお、半導体層 102 と第1の酸化物層 151 の境界、または半導体層 102 と第2の酸化物層 152 の境界は不明瞭である場合がある。

【0124】

例えば、第1の酸化物層 151 および第2の酸化物層 152 は、In 若しくはGaを含み、代表的には、In-Ga系酸化物、In-Zn系酸化物、In-M-Zn系酸化物（MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf）であり、且つ半導体層 102 よりも伝導帯の下端のエネルギーが真空準位に近い材料を用いる。代表的には、第1の酸化物層 151 または第2の酸化物層 152 の伝導帯の下端のエネルギーと、半導体層 102 の伝導帯の下端のエネルギーとの差が、0.05 eV以上、0.07 eV以上、0.1 eV以上、または0.15 eV以上、且つ2 eV以下、1 eV以下、0.5 eV以下、または0.4 eV以下とすることが好ましい。

【0125】

半導体層 102 を挟むように設けられる第1の酸化物層 151 および第2の酸化物層 152 に、半導体層 102 に比べてスタビライザとして機能するGaの含有量の多い酸化物を用いることにより、半導体層 102 からの酸素の放出を抑制することができる。

【0126】

半導体層 102 として、例えばIn:Ga:Zn = 1:1:1 または3:1:2 の原子数比のIn-Ga-Zn系酸化物を用いた場合、第1の酸化物層 151 または第2の酸化物層 152 として、例えばIn:Ga:Zn = 1:3:2、1:3:4、1:3:6、1:6:4、1:6:8、1:6:10、または1:9:6 などの原子数比のIn-Ga-Zn系酸化物を用いることができる。なお、半導体層 102、第1の酸化物層 151 および第2の酸化物層 152 の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。また、第1の酸化物層 151 と第2の酸化物層 152 は、組成の同じ材料を用いてもよいし、異なる組成の材料を用いてもよい。

【0127】

また、半導体層 102 としてIn-M-Zn系酸化物を用いた場合、半導体層 102 となる半導体膜を成膜するために用いるターゲットは、該ターゲットが含有する金属元素の原子数比をIn:M:Zn = x_1 : y_1 : z_1 としたときに、 x_1/y_1 の値が1/3以上6以下、好ましくは1以上6以下であり、 z_1/y_1 が1/3以上6以下、好ましくは1以上6以下の原子数比の酸化物を用いることが好ましい。なお、 z_1/y_1 を6以下とすることで、後述するCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn = 1:1:1、3:1:2 などがある。

【0128】

また、第1の酸化物層 151、第2の酸化物層 152 としてIn-M-Zn系酸化物を用いた場合、第1の酸化物層 151、第2の酸化物層 152 となる酸化物膜を成膜するために用いるターゲットは、該ターゲットが含有する金属元素の原子数比をIn:M:Zn = x_2 : y_2 : z_2 としたときに、 $x_2/y_2 < x_1/y_1$ であり、 z_2/y_2 の値が1/3以上6以下、好ましくは1以上6以下の原子数比の酸化物を用いることが好ましい。なお、 z_2/y_2 を6以下とすることで、後述するCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn = 1:3:4、1:3:6、1:3:8 などがある。

【0129】

また、第1の酸化物層 151 および第2の酸化物層 152 に、半導体層 102 に比べて伝導帯の下端のエネルギーが真空準位に近い材料を用いることにより、半導体層 102 に主としてチャネルが形成され、半導体層 102 が主な電流経路となる。このように、チャ

10

20

30

40

50

ネルが形成される半導体層 102 を、同じ金属元素を含む第 1 の酸化物層 151 および第 2 の酸化物層 152 で挟持することにより、これらの界面準位の生成が抑制され、トランジスタの電気特性における信頼性が向上する。

【0130】

なお、これに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層 102、第 1 の酸化物層 151、第 2 の酸化物層 152 のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0131】

ここで、半導体層 102 の厚さは、少なくとも第 1 の酸化物層 151 よりも厚く形成することが好ましい。半導体層 102 が厚いほど、トランジスタのオン電流を高めることができる。また、第 1 の酸化物層 151 は、半導体層 102 の界面準位の生成を抑制する効果が失われない程度の厚さであればよい。例えば、半導体層 102 の厚さは、第 1 の酸化物層 151 の厚さに対して、1 倍よりも大きく、好ましくは 2 倍以上、より好ましくは 4 倍以上、より好ましくは 6 倍以上とすればよい。なお、トランジスタのオン電流を高める必要のない場合にはその限りではなく、第 1 の酸化物層 151 の厚さを半導体層 102 の厚さ以上としてもよい。

【0132】

また、第 2 の酸化物層 152 も第 1 の酸化物層 151 と同様に、半導体層 102 の界面準位の生成を抑制する効果が失われない程度の厚さであればよい。例えば、第 1 の酸化物層 151 と同等またはそれ以下の厚さとすればよい。第 2 の酸化物層 152 が厚いと、ゲート電極 105 による電界が半導体層 102 に届きにくくなる恐れがあるため、第 2 の酸化物層 152 は薄く形成することが好ましい。例えば、半導体層 102 の厚さよりも薄くすればよい。なおこれに限られず、第 1 の酸化物層 152 の厚さはゲート絶縁層 104 の耐圧を考慮して、トランジスタ 150 を駆動させる電圧に応じて適宜設定すればよい。

【0133】

ここで、例えば半導体層 102 が、構成元素の異なる絶縁層（例えば酸化シリコン膜を含む絶縁層など）と接する場合、これらの界面に界面準位が形成され、該界面準位はチャネルを形成することがある。このような場合、しきい値電圧の異なる第 2 のトランジスタが出現し、トランジスタの見かけ上のしきい値電圧が変動することがある。しかしながら、トランジスタ 150 においては、半導体層 102 を構成する金属元素を一種以上含んで第 1 の酸化物層 151 を有しているため、第 1 の酸化物層 151 と半導体層 102 との界面に界面準位を形成しにくくなる。よって第 1 の酸化物層 151 を設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきや変動を低減することができる。

【0134】

また、ゲート絶縁層 104 と半導体層 102 との界面にチャネルが形成される場合、該界面で界面散乱が起こり、トランジスタの電界効果移動度が低下する。しかしながら、トランジスタ 150 においては、半導体層 102 を構成する金属元素を一種以上含んで第 2 の酸化物層 152 を有しているため、半導体層 102 と第 2 の酸化物層 152 との界面ではキャリアの散乱が起こりにくく、トランジスタの電界効果移動度を高くすることができる。

【0135】

〔作製方法例 1〕

トランジスタ 150 は、実施の形態 1 で例示したトランジスタ 100 の作製方法例やその変形例の一部を異ならせることにより作製できる。

【0136】

具体的には、半導体層 102 の形成工程に係る酸化物半導体膜の成膜工程に換えて、第 1 の酸化物層 151 となる第 1 の酸化物膜、酸化物半導体膜、及び第 2 の酸化物層 152 となる第 2 の酸化物膜を順に成膜する。その後、第 1 の酸化物膜、酸化物半導体膜、及び

10

20

30

40

50

第2の酸化物膜を島状に加工することにより、第1の酸化物層151、半導体層102、及び第2の酸化物層152を形成することができる。

【0137】

第1の酸化物膜、及び第2の酸化物膜は、上記半導体膜の成膜方法と同様の方法を用いて成膜することができる。

【0138】

特に、第1の酸化物膜、半導体膜、及び第2の酸化物膜の成膜は、大気に暴露することなく連続して行うことが好ましい。これらを連続して成膜することにより、これらの界面欠陥の生成を抑制することができる。

【0139】

以降の工程については、上記作製方法例を援用できる。このような方法により、図3に示すトランジスタ150を作製することができる。

【0140】

以上が構成例1についての説明である。

【0141】

[構成例2]

図4(A)、(B)に、以下で例示するトランジスタ160の断面概略図を示す。なお、上面概略図については、図1(A)を援用できる。図4に示すトランジスタ160は、主に第2の酸化物層152の形状が異なる点で、上記トランジスタ150と相違している。

【0142】

トランジスタ160において、第2の酸化物層152は、その下面が一对の電極103のそれぞれの上面に接して設けられている。さらに、一对の電極103が設けられていない領域において、半導体層102の上面及び側面に接して設けられている。

【0143】

図4に示す構成では、第2の酸化物層152およびゲート絶縁層104の上面形状が、ゲート電極105の上面形状と概略一致するように、同一のフォトリソマスクを用いて加工されている。

【0144】

また、被覆層110は、ゲート絶縁層104だけでなく、第2の酸化物層152の端部にも接して設けられている。ここで、トランジスタ160のような構成では、上記トランジスタ100やトランジスタ150に比べて第2の酸化物層152の厚さの分、一对の電極103とゲート電極105のそれぞれの上面の高低差が大きいため、ゲート電極105の端部における段差が、その上層に設けられる層(例えば絶縁層107)の被覆性が悪くなる恐れがある。しかしながら、被覆層110が第2の酸化物層152、ゲート絶縁層104、及びゲート電極105の側面を覆って設けられることにより、当該段差の影響が緩和され、その上層に設けられる層の被覆性を向上させることができる。特に、被覆層110は、一对の電極103に近いほど、基板101の被形成面と水平な方向の厚さが厚くなるように設けられると、より絶縁層107の被覆性を向上させることができる。

【0145】

また、被覆層110は絶縁化または十分に高抵抗化されているため、被覆層110を介してゲート電極105と第2の酸化物層152とが電気的にショートしてしまうことなく、良好なトランジスタ特性を得ることができる。

【0146】

また、図4(B)に示すように、トランジスタ160のチャネル形成領域は、半導体層102の上面だけでなく、側面も第2の酸化物層152と接して設けられている。すなわち、半導体層102のチャネル形成領域が第1の酸化物層151と第2の酸化物層152とで囲われた構成となっている。さらに、ゲート電極105は半導体層102の上面だけでなく側面も覆うように設けられている。

【0147】

このように、ゲート電極 105 が半導体層 102 の上面だけでなく側面も覆うため、半導体層 102 の側面側からもゲート電極 105 から電界を掛けることができる。また、半導体層 102 の側面に接して設けられる第 2 の酸化物層 152 により、半導体層 102 の側面においても界面準位の形成を抑制することができる。その結果、半導体層 102 の側面近傍に形成されるチャネルを積極的に用いることができると共に、トランジスタの電気特性の変動を抑制することができる。その結果、高いオン電流と高い信頼性を兼ね備えたトランジスタを実現できる。

【0148】

[作製方法例 2]

トランジスタ 160 は、実施の形態 1 で例示したトランジスタ 100 の作製方法例や変形例、または上記作製方法例 1 の一部を異ならせることにより作製できる。

10

【0149】

具体的には、半導体層 102 の形成工程に係る酸化物半導体膜の成膜工程に換えて、第 1 の酸化物膜、及び酸化物半導体膜を順に成膜する。その後第 1 の酸化物膜及び酸化物半導体膜を島状に加工することにより、第 1 の酸化物層 151、半導体層 102 を形成する。その後、上記と同様の方法により、一对の電極 103 を形成する。

【0150】

また、ゲート絶縁層 104 およびゲート電極 105 の形成工程において、絶縁膜 114 の成膜より前に第 2 の酸化物膜を成膜する。その後、導電膜 115、絶縁膜 114 および第 2 の酸化物膜を同一のフォトリソを用いて加工することにより、ゲート電極 105、ゲート絶縁層 104 および第 2 の酸化物層 152 と、これらの少なくとも側面を被覆する被覆層 120 を形成する。

20

【0151】

以降の工程については、上記各作製方法を援用できる。このような方法により、図 4 に示すトランジスタ 160 を作製することができる。

【0152】

以上が構成例 2 についての説明である。

【0153】

本実施の形態は、本明細書中に記載する他の実施の形態または実施例と適宜組み合わせて実施することができる。

30

【0154】

(実施の形態 3)

本実施の形態では、本発明の一態様の半導体装置の半導体層に好適に用いることのできる酸化物半導体について説明する。

【0155】

酸化物半導体は、エネルギーギャップが 3 . 0 e V 以上と大きく、酸化物半導体を適切な条件で加工し、そのキャリア密度を十分に低減して得られた酸化物半導体膜が適用されたトランジスタにおいては、オフ状態でのソースとドレイン間のリーク電流（オフ電流）を、従来のシリコンを用いたトランジスタと比較して極めて低いものとすることができる。

40

【0156】

酸化物半導体膜をトランジスタに適用する場合、酸化物半導体膜の膜厚は 2 nm 以上 40 nm 以下とすることが好ましい。

【0157】

適用可能な酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザとして、それらに加えてガリウム（Ga）、スズ（Sn）、ハフニウム（Hf）、ジルコニウム（Zr）、チタン（Ti）、スカンジウム（Sc）、イットリウム（Y）、ランタノイド（例えば、セリウム（Ce）、ネオジム（Nd）、ガドリニウム（Gd））から選ばれた一種、ま

50

たは複数種が含まれていることが好ましい。

【0158】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

10

【0159】

ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

20

【0160】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素、若しくは上記のスタビライザとしての元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0161】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:3:6$ 、 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ あるいは $\text{In}:\text{Ga}:\text{Zn}=2:1:3$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

30

【0162】

酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理（脱水素化処理）を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【0163】

なお、酸化物半導体膜への脱水化処理（脱水素化処理）によって、酸化物半導体膜から酸素も同時に減少してしまうことがある。よって、酸化物半導体膜への脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するため酸素を酸化物半導体に加える処理を行うことが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理と記す場合がある、または酸化物半導体膜に含まれる酸素を化学量論的組成よりも多くする場合を過酸素化処理と記す場合がある。

40

【0164】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、 i 型（真性）化または i 型に限りなく近く実質的に i 型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下

50

、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下であることをいう。

【0165】

またこのように、i 型又は実質的に i 型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温（25 程度）にて $1 \times 10^{-18} \text{ A}$ 以下、好ましくは $1 \times 10^{-21} \text{ A}$ 以下、さらに好ましくは $1 \times 10^{-24} \text{ A}$ 以下、または 85 にて $1 \times 10^{-15} \text{ A}$ 以下、好ましくは $1 \times 10^{-18} \text{ A}$ 以下、さらに好ましくは $1 \times 10^{-21} \text{ A}$ 以下とすることができる。なお、トランジスタがオフ状態とは、n チャネル型のトランジスタの場合、ゲート電圧がしきい値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧がしきい値電圧よりも 1 V 以上、2 V 以上または 3 V 以上小さければ、トランジスタはオフ状態となる。

10

【0166】

以下では、酸化物半導体膜の構造について説明する。

【0167】

なお本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0168】

20

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶として表す。

【0169】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0170】

まずは、CAAC-OS 膜について説明する。

【0171】

30

CAAC-OS 膜は、c 軸配向した複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさである。従って、CAAC-OS 膜に含まれる結晶部は、一辺が 10 nm 未満、 5 nm 未満または 3 nm 未満の立方体内に収まる大きさの場合も含まれる。ただし、CAAC-OS 膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面の高分解能 TEM 像において、 2500 nm^2 以上、 $5 \mu\text{m}^2$ 以上または $1000 \mu\text{m}^2$ 以上となる結晶領域が観察される場合がある。

【0172】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって CAAC-OS 膜の明視野像および回折パターンの複合解析像 (高分解能 TEM 像ともいう。) を観察することで複数の結晶部を確認することができる。一方、高分解能 TEM 像によっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

40

【0173】

試料面と概略平行な方向から、CAAC-OS 膜の断面の高分解能 TEM 像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、CAAC-OS 膜の被形成面または上面と平行に配列する。

【0174】

50

一方、試料面と概略垂直な方向から、C A A C - O S 膜の平面の高分解能 T E M 像を観察すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【 0 1 7 5 】

断面の高分解能 T E M 像および平面の高分解能 T E M 像より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【 0 1 7 6 】

C A A C - O S 膜に対し、X 線回折 (X R D : X - R a y D i f f r a c t i o n) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の *o u t - o f - p l a n e* 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (0 0 9) 面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

10

【 0 1 7 7 】

一方、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる *i n - p l a n e* 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (1 1 0) 面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (ϕ 軸) として試料を回転させながら分析 (ϕ スキャン) を行うと、(1 1 0) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、 2θ を 56° 近傍に固定して ϕ スキャンした場合でも、明瞭なピークが現れない。

20

【 0 1 7 8 】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面の高分解能 T E M 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

【 0 1 7 9 】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

30

【 0 1 8 0 】

また、C A A C - O S 膜中において、c 軸配向した結晶部の分布が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも c 軸配向した結晶部の割合が高くなることもある。また、不純物の添加された C A A C - O S 膜は、不純物が添加された領域が変質し、部分的に c 軸配向した結晶部の割合の異なる領域が形成されることもある。

【 0 1 8 1 】

40

なお、 InGaZnO_4 の結晶を有する C A A C - O S 膜の *o u t - o f - p l a n e* 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【 0 1 8 2 】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させ

50

る要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいと、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0183】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0184】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

【0185】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0186】

次に、微結晶酸化物半導体膜について説明する。

【0187】

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶（nc:nanocrystal）を有する酸化物半導体膜を、nc-OS（nanocrystalline Oxide Semiconductor）膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

【0188】

nc-OS膜は、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【0189】

nc - OS 膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc - OS 膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc - OS 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc - OS 膜は、CAAC - OS 膜と比べて欠陥準位密度が高くなる。

【0190】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC - OS 膜のうち、二種以上を有する積層膜であってもよい。

【0191】

本実施の形態は、本明細書中に記載する他の実施の形態または実施例と適宜組み合わせで実施することができる。

【0192】

(実施の形態4)

本実施の形態では、本発明の一態様である酸化物半導体を備えるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置(記憶装置)の一例を、図面を用いて説明する。

【0193】

図5に半導体装置の回路図を示す。

【0194】

図5に示す半導体装置は、第1の半導体材料を用いたトランジスタ3200と第2の半導体材料を用いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、先の実施の形態で説明したトランジスタを用いることができる。

【0195】

ここで、第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等など)とし、第2の半導体材料を先の実施の形態で説明した酸化物半導体とすることが出来る。酸化物半導体以外の材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い。

【0196】

トランジスタ3300は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ3300は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0197】

図5において、第1の配線3001はトランジスタ3200のソース電極と電氣的に接続され、第2の配線3002はトランジスタ3200のドレイン電極と電氣的に接続されている。また、第3の配線3003はトランジスタ3300のソース電極またはドレイン電極の一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲート電極と電氣的に接続されている。そして、トランジスタ3200のゲート電極、およびトランジスタ3300のソース電極またはドレイン電極の他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3005は容量素子3400の電極の他方と電氣的に接続されている。

【0198】

図5に示す半導体装置では、トランジスタ3200のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0199】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300がオン状態となる電位にして、トランジスタ3300をオン状態とす

10

20

30

40

50

る。これにより、第3の配線3003の電位が、トランジスタ3200のゲート電極、および容量素子3400に与えられる。すなわち、トランジスタ3200のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300がオフ状態となる電位にして、トランジスタ3300をオフ状態とすることにより、トランジスタ3200のゲート電極に与えられた電荷が保持される（保持）。

【0200】

トランジスタ3300のオフ電流は極めて小さいため、トランジスタ3200のゲート電極の電荷は長時間にわたって保持される。

10

【0201】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、トランジスタ3200のゲート電極に保持された電荷量に応じて、第2の配線3002は異なる電位をとる。一般に、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ3200のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ3200を「オン状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ3200のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線3005の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ3200は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線3005の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ3200は「オフ状態」のままである。このため、第2の配線3002の電位を判別することで、保持されている情報を読み出すことができる。

20

【0202】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、トランジスタ3200がnチャネル型であるとする、ゲート電極の状態にかかわらずトランジスタ3200が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線3005に与えればよい。または、トランジスタ3200がpチャネル型であれば、ゲート電極の状態にかかわらずトランジスタ3200が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線3005に与えればよい。

30

【0203】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

40

【0204】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

50

【0205】

本実施の形態は、本明細書中に記載する他の実施の形態または実施例と適宜組み合わせて実施することができる。

【0206】

(実施の形態5)

本実施の形態では、先の実施の形態で説明したトランジスタ、または先の実施の形態で説明した記憶装置を含むCPUについて説明する。

【0207】

図6は、上記実施の形態で説明したトランジスタを少なくとも一部に用いたCPUの一例の構成を示すブロック図である。

10

【0208】

図6に示すCPUは、基板1190上に、ALU1191(ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198(Bus I/F)、書き換え可能なROM1199、およびROMインターフェース1189(ROM I/F)を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図6に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図6に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

20

【0209】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0210】

30

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

【0211】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

40

【0212】

図6に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

【0213】

50

図6に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

【0214】

図7は、レジスタ1196として用いることのできる記憶素子の回路図の一例である。記憶素子700は、電源遮断で記憶データが揮発する回路701と、電源遮断で記憶データが揮発しない回路702と、スイッチ703と、スイッチ704と、論理素子706と、容量素子707と、選択機能を有する回路720と、を有する。回路702は、容量素子708と、トランジスタ709と、トランジスタ710と、を有する。なお、記憶素子700は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

10

【0215】

ここで、回路702には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子700への電源電圧の供給が停止した際、回路702のトランジスタ709のゲートには接地電位(0V)、またはトランジスタ709がオフする電位が入力され続ける構成とする。例えば、トランジスタ709のゲートが抵抗等の負荷を介して接地される構成とする。

20

【0216】

スイッチ703は、一導電型(例えば、nチャネル型)のトランジスタ713を用いて構成され、スイッチ704は、一導電型とは逆の導電型(例えば、pチャネル型)のトランジスタ714を用いて構成した例を示す。ここで、スイッチ703の第1の端子はトランジスタ713のソースとドレインの一方に対応し、スイッチ703の第2の端子はトランジスタ713のソースとドレインの他方に対応し、スイッチ703はトランジスタ713のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ713のオン状態またはオフ状態)が選択される。スイッチ704の第1の端子はトランジスタ714のソースとドレインの一方に対応し、スイッチ704の第2の端子はトランジスタ714のソースとドレインの他方に対応し、スイッチ704はトランジスタ714のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ714のオン状態またはオフ状態)が選択される。

30

【0217】

トランジスタ709のソースとドレインの一方は、容量素子708の一对の電極のうち的一方、およびトランジスタ710のゲートと電気的に接続される。ここで、接続部分をノードM2とする。トランジスタ710のソースとドレインの一方は、低電位電源を供給することのできる配線(例えばGND線)に電気的に接続され、他方は、スイッチ703の第1の端子(トランジスタ713のソースとドレインの一方)と電気的に接続される。スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)はスイッチ704の第1の端子(トランジスタ714のソースとドレインの一方)と電気的に接続される。スイッチ704の第2の端子(トランジスタ714のソースとドレインの他方)は電源電位VDDを供給することのできる配線と電気的に接続される。スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)と、スイッチ704の第1の端子(トランジスタ714のソースとドレインの一方)と、論理素子706の入力端子と、容量素子707の一对の電極のうち的一方と、は電気的に接続される。ここで、接続部分をノードM1とする。容量素子707の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(

40

50

VDD等)が入力される構成とすることができる。容量素子707の一对の電極のうちの他方は、低電位電源を供給することのできる配線(例えばGND線)と電気的に接続される。容量素子708の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子708の一对の電極のうちの他方は、低電位電源を供給することのできる配線(例えばGND線)と電気的に接続される。

【0218】

なお、容量素子707および容量素子708は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0219】

トランジスタ709の第1ゲート(第1のゲート電極)には、制御信号WEが入力される。スイッチ703およびスイッチ704は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

【0220】

トランジスタ709のソースとドレインの他方には、回路701に保持されたデータに対応する信号が入力される。図7では、回路701から出力された信号が、トランジスタ709のソースとドレインの他方に入力される例を示した。スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)から出力される信号は、論理素子706によってその論理値が反転された反転信号となり、回路720を介して回路701に入力される。

【0221】

なお、図7では、スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)から出力される信号は、論理素子706および回路720を介して回路701に入力する例を示したがこれに限定されない。スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)から出力される信号が、論理値を反転させられることなく、回路701に入力されてもよい。例えば、回路701内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ703の第2の端子(トランジスタ713のソースとドレインの他方)から出力される信号を当該ノードに入力することができる。

【0222】

図7におけるトランジスタ709は、上記実施の形態で説明したトランジスタを用いることができる。また、第2ゲート(第2のゲート電極)を有する構成とすることが好ましい。第1ゲートには制御信号WEを入力し、第2ゲートには制御信号WE2を入力することができる。制御信号WE2は、一定の電位の信号とすればよい。当該一定の電位には、例えば、接地電位GNDやトランジスタ709のソース電位よりも小さい電位などが選ばれる。制御信号WE2は、トランジスタ709のしきい値電圧を制御するための電位信号であり、トランジスタ709のI_{cut}(トランジスタのゲート電圧が0V時の電流)をより低減することができる。なお、トランジスタ709としては、第2ゲートを有さないトランジスタを用いることもできる。

【0223】

また、図7において、記憶素子700に用いられるトランジスタのうち、トランジスタ709以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子700に用いられるトランジスタ全てを、チャネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子700は、トランジスタ709以外にも、チャネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトラン

10

20

30

40

50

ジスタとすることもできる。

【0224】

図7における回路701には、例えばフリップフロップ回路を用いることができる。また、論理素子706としては、例えばインバータやクロックドインバータ等を用いることができる。

【0225】

本発明の一態様における半導体装置では、記憶素子700に電源電圧が供給されない間は、回路701に記憶されていたデータを、回路702に設けられた容量素子708によって保持することができる。

【0226】

また、酸化物半導体層にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ709として用いることによって、記憶素子700に電源電圧が供給されない間も容量素子708に保持された信号は長期間にわたり保たれる。こうして、記憶素子700は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

【0227】

また、スイッチ703およびスイッチ704を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路701が元のデータを保持しなおすまでの時間を短くすることができる。

【0228】

また、回路702において、容量素子708によって保持された信号はトランジスタ710のゲートに入力される。そのため、記憶素子700への電源電圧の供給が再開された後、容量素子708によって保持された信号を、トランジスタ710の状態（オン状態、またはオフ状態）に変換して、回路702から読み出すことができる。それ故、容量素子708に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0229】

このような記憶素子700を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0230】

本実施の形態では、記憶素子700をCPUに用いる例として説明したが、記憶素子700は、DSP (Digital Signal Processor)、カスタムLSI、PLD (Programmable Logic Device) 等のLSI、RF-ID (Radio Frequency Identification) にも応用可能である。

【0231】

本実施の形態は、本明細書中に記載する他の実施の形態または実施例と適宜組み合わせて実施することができる。

【0232】

(実施の形態6)

本実施の形態では、上記実施の形態で説明したトランジスタ、記憶装置、またはCPU等 (DSP、カスタムLSI、PLD、RF-IDを含む) などの半導体装置を用いることのできる電子機器の例について説明する。

【0233】

上記実施の形態で例示したトランジスタ、記憶装置、またはCPU等は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、テレビ、モニタ等の表示装置、照明装置、パーソナルコンピュータ、ワードプロセッサ、画像再生装置、ポータブルオーディオプレーヤ、ラジオ、テープレコーダ、ステレオ、電話、コードレス電話、携帯電話、自動車電話、トランシーバ、無線機、ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、ICチップ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、エアコンディショナーなどの空調設備、食器洗い機、食器乾燥機、衣類乾燥機、布団乾燥機、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、放射線測定器、透析装置、X線診断装置等の医療機器、などが挙げられる。また、煙感知器、熱感知器、ガス警報装置、防犯警報装置などの警報装置も挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム等の産業機器も挙げられる。また、燃料を用いたエンジンや、非水系二次電池からの電力を用いて電動機により推進する移動体なども、電子機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車（EV）、内燃機関と電動機を併せ持ったハイブリッド車（HEV）、プラグインハイブリッド車（PHEV）、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型または大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船が挙げられる。これらの電子機器の一部の具体例を図8に示す。

10

20

【0234】

図8（A）に示すテレビジョン装置8000は、筐体8001に表示部8002が組み込まれており、表示部8002により映像を表示し、スピーカ部8003から音声を出力することが可能である。先の実施の形態で例示したトランジスタを筐体8001に組み込まれた表示部8002を動作するための駆動回路または画素に用いることが可能である。

【0235】

表示部8002は、液晶表示装置、有機EL素子などの発光素子を各画素に備えた発光装置、電気泳動表示装置、DMD（Digital Micromirror Device）、PDP（Plasma Display Panel）等の半導体表示装置を用いることができる。

30

【0236】

テレビジョン装置8000は、受信機やモデムなどを備えていてもよい。テレビジョン装置8000は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0237】

また、テレビジョン装置8000は、情報通信を行うためのCPU8004や、メモリを備えていてもよい。CPU8004やメモリに、先の実施の形態に示したトランジスタ、記憶装置、またはCPUを用いることによって省電力化を図ることができる。

40

【0238】

図8（A）に示す警報装置8100は、住宅用火災警報器であり、煙または熱の検出部8102と、マイクロコンピュータ8101を有している。マイクロコンピュータ8101は、先の実施の形態に示したトランジスタ、記憶装置、またはCPUを含む電気機器の一例である。

【0239】

また、図8（A）に示す室内機8200および室外機8204を有するエアコンディショナーは、先の実施の形態に示したトランジスタ、記憶装置、またはCPU等を含む電気機器の一例である。具体的に、室内機8200は、筐体8201、送風口8202、CPU8203等を有する。図8（A）においては、CPU8203が、室内機8200に設

50

けられている場合を例示しているが、CPU8203は室外機8204に設けられていてもよい。または、室内機8200と室外機8204の両方に、CPU8203が設けられていてもよい。先の実施の形態に示したトランジスタをエアコンディショナーのCPUに用いることによって省電力化を図ることができる。

【0240】

また、図8(A)に示す電気冷凍冷蔵庫8300は、先の実施の形態に示したトランジスタ、記憶装置、またはCPU等を含む電気機器の一例である。具体的に、電気冷凍冷蔵庫8300は、筐体8301、冷蔵室用扉8302、冷凍室用扉8303、CPU8304等を有する。図8(A)では、CPU8304が、筐体8301の内部に設けられている。先の実施の形態に示したトランジスタを電気冷凍冷蔵庫8300のCPU8304に用いることによって省電力化が図れる。

10

【0241】

図8(B)、(C)には、電気機器の一例である電気自動車の例を示す。電気自動車9700には、二次電池9701が搭載されている。二次電池9701の電力は、回路9702により出力が調整されて、駆動装置9703に供給される。回路9702は、図示しないROM、RAM、CPU等を有する処理装置9704によって制御される。先の実施の形態に示したトランジスタを電気自動車9700のCPUに用いることによって省電力化が図れる。

【0242】

駆動装置9703は、直流電動機もしくは交流電動機単体、または電動機と内燃機関と、を組み合わせで構成される。処理装置9704は、電気自動車9700の運転者の操作情報(加速、減速、停止など)や走行時の情報(上り坂や下り坂等の情報、駆動輪にかかる負荷情報など)の入力情報に基づき、回路9702に制御信号を出力する。回路9702は、処理装置9704の制御信号により、二次電池9701から供給される電気エネルギーを調整して駆動装置9703の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバータも内蔵される。

20

【0243】

本実施の形態は、本明細書中に記載する他の実施の形態または実施例と適宜組み合わせて実施することができる。

【実施例】

30

【0244】

本実施例ではトランジスタを作製し、その断面観察、及び電気特性の測定を行った。

【0245】

[トランジスタの作製]

トランジスタを作製した試料として、試料1乃至試料3の3種類作製した。以下では特に言及する場合を除いては、これら3種類の試料において同様の工程を経るものとして説明を行う。

【0246】

基板として、シリコンウェハを用いた。まず、基板に対して熱酸化を行い、基板表面上に熱酸化膜を形成した。続いて、熱酸化膜上に厚さ約300nmの酸化シリコン膜をプラズマCVD法により形成した後、CMP(Chemical Mechanical Polishing)法を用いて表面を平坦化した。

40

【0247】

続いて、酸化物半導体膜(OS1)と、これとは組成の異なる酸化物半導体膜(OS2)をスパッタリング法により順に成膜した。続いて、厚さ約5nmのタングステン膜をスパッタリング法により成膜した。その後タングステン膜上に厚さ約20nmの非感光性の有機樹脂膜と、厚さ約100nmのネガ型のレジスト膜を形成し、レジスト膜に対して電子ビームを走査して露光し、現像処理を行うことでレジスト膜のパターンを形成した。続いてレジスト膜をマスクとして有機樹脂膜とタングステン膜をエッチングし、レジスト膜を除去した。続いてタングステン膜をマスクとして酸化物半導体膜(OS1及びOS2)

50

をエッチングした。その後、タングステン膜を除去することにより、島状の第1の酸化物層及び半導体層を得た。

【0248】

ここで、試料1及び試料2では、酸化物半導体膜(OS1)の厚さを20nm、酸化物半導体膜(OS2)の厚さを15nmとした。また、試料3では、酸化物半導体膜(OS1)の厚さを10nm、酸化物半導体膜(OS2)の厚さを40nmとした。

【0249】

続いて、厚さ約10nmのタングステン膜をスパッタリング法により成膜し、その上方に厚さ約20nmの非感光性の有機樹脂膜を形成した。その後上記と同様の方法により、当該タングステン膜上にレジスト膜のパターンを形成した。続いて、レジスト膜をマスクとしてタングステン膜と有機樹脂膜をエッチングし、島状の半導体層上の一対の電極を得た。

10

【0250】

続いて、厚さ約5nmの酸化物半導体膜(OS3)をスパッタリング法により成膜した。その後、厚さ約10nmの窒素化シリコン膜をプラズマCVD法により成膜した。続いて、厚さ約10nmの窒素化チタン膜と、厚さ約10nmのタングステン膜をスパッタリング法により連続して成膜した。続いて、上記と同様の方法により、当該タングステン膜上にレジスト膜のパターンを形成した。

【0251】

続いて、レジスト膜をマスクとして、タングステン膜と窒素化チタン膜をドライエッチング法によりエッチングした。エッチングはまず初めに、エッチングガスとして Cl_2 （流量45sccm）と CF_4 （流量55sccm）と O_2 （流量55sccm）の混合ガスを用い、ICP電力3000W、バイアス電力110W、圧力0.67Pa、基板温度40の条件で約5秒間行った。続いて、エッチングガスとして Cl_2 （流量50sccm）と BCl_3 （流量150sccm）の混合ガスを用い、ICP電力1000W、バイアス電力50W、圧力0.67Pa、基板温度40の条件で約12秒間行った。

20

【0252】

続いて、窒素化シリコン膜のエッチングを行った。エッチングはエッチングガスとして CHF_3 （流量56sccm）とHe（流量144sccm）の混合ガスを用い、ICP電力25W、バイアス電力425W、圧力7.5Paの条件で約16秒間行った。

30

【0253】

続いて、酸化物半導体膜(OS3)のエッチングを行った。エッチングはエッチングガスとして CH_4 （流量16sccm）とAr（流量32sccm）の混合ガスを用い、ICP電力600W、バイアス電力100W、圧力1.0Pa、基板温度70の条件で約22秒間行った。

【0254】

その後、酸素雰囲気中におけるプラズマ処理（アッシングともいう）により、レジスト膜を除去した。この段階で、ゲート電極、ゲート絶縁層、及び第2の酸化物層を得た。

【0255】

試料3については、この段階で工程を終了し断面観察を行った。取得した断面観察像については、後に説明する。

40

【0256】

続いて、試料2のみ、フッ化水素酸を用いて被覆層のエッチングを行った。エッチングは、基板を回転させながら希釈したフッ化水素酸を吐出することにより行った。フッ化水素酸としては、0.5wt%のフッ化水素酸と水とを1:100の割合で混合したものをを用いた。

【0257】

続いて、絶縁層として、厚さ約20nm酸化アルミニウム膜と、厚さ約150nmの窒素化シリコン膜を成膜した。

【0258】

50

酸化アルミニウム膜はスパッタリング法により成膜した。成膜は酸化アルミニウムをスパッタリングターゲットに用い、成膜ガスとしてArとO₂（共に流量25 sccm）の混合ガスを用い、基板とスパッタリングターゲットとの距離を60 mmとし、圧力0.4 Pa、RF電力2500 Wの条件で行った。

【0259】

また、酸窒化シリコン膜は、プラズマCVD法により成膜した。

【0260】

以上の工程により、試料1および試料2を作製した。試料2は、被覆層をフッ化水素酸でエッチングする工程を経ている点で、試料1の作製工程と相違している。

【0261】

[断面観察]

作製した試料について、走査透過電子顕微鏡（STEM：Scanning Transmission Electron Microscope）による断面観察を行った。

【0262】

まず、試料3について、トランジスタのチャネル長方向の断面観察像を図9（A）に示す。図9（A）は、位相コントラスト像（透過電子（TE：Transmitted Electron）像ともいう。）である。

【0263】

図9（A）に示す断面観察像より、ゲート電極、ゲート絶縁層、及び第2の酸化物層の側面がほぼ一致するように加工されており、これらの側面、及びゲート電極の上面を覆うように、被覆層（第1の被覆層）が形成されていることが確認できた。

【0264】

ここで、図9（A）中の破線で囲った2点（ポイント1、ポイント2）について、エネルギー分散型X線分光法（EDX：Energy Dispersive X-ray spectroscopy）を用いた元素分析を行った結果を、それぞれ図9（B）、（C）に示す。ここで、ポイント1はゲート絶縁層である酸窒化シリコン膜の内部の領域、ポイント2は当該ゲート絶縁層の側面とこれに接する被覆層を含む領域に相当する。

【0265】

図9（B）より、ゲート絶縁層の内部（ポイント1）では、主にシリコン、酸素などが検出されている。一方、ゲート絶縁層の側面近傍（ポイント2）では、上記のほかにタングステンや炭素が多く検出されている。タングstenはソース電極及びドレイン電極を構成する金属元素である。また炭素はレジスト材料に含まれる元素である。したがってゲート絶縁層の側面に接する被覆層は、第2の酸化物層を形成するためのエッチングの際に、レジストの一部や、ソース電極及びドレイン電極の上部の一部がエッチングされ、これらの反応生成物としてゲート絶縁層の側面に付着したものであることがわかる。

【0266】

図10（A）、（B）にそれぞれ試料1、試料2における断面観察像を示す。図10（A）、（B）はそれぞれ位相コントラスト像である。

【0267】

図10（A）に示す断面観察像より、試料1では一対の電極上のゲート電極、ゲート絶縁層、及び第2の酸化物層の端部の段差部において、絶縁層の第1層である酸化アルミニウム膜に低密度な領域や段切れは見られず、確実に当該段差を被覆していることが確認できる。

【0268】

ここで、試料3の断面観察像（図9（A））では被覆層（第1の被覆層）は明瞭に確認できていたが、試料1の断面観察像（図10（A））では被覆層（第2の被覆層）が酸化アルミニウム膜等と同程度にまで明るさ（コントラスト）が変化していることがわかる。ここで、位相コントラスト像は試料を透過した電子を結像して得られる像であるため、膜による電子の吸収が小さいほど明るく視認される。例えば膜に原子数の小さい元素を構成

10

20

30

40

50

元素として多く含む場合や、膜の密度の低い場合には明るく視認される。このことから、酸化アルミニウム膜の成膜時などに被覆層が酸化されることにより、その密度が低下したことが確認できる。

【0269】

また、図10(B)に示す断面観察像より、試料2では少なくとも第2の酸化物層の端部がゲート電極の端部よりも内側に位置していることがわかる。さらに、一对の電極上のゲート電極、ゲート絶縁層、及び第2の酸化物層の端部の段差部において、絶縁層の第1層である酸化アルミニウム膜に低密度な領域(鬆ともいう)が形成されていることが確認できる。また、第2の酸化物層の端部と酸化アルミニウム膜との間に空洞が形成されていることも確認できる。これは、被覆層をエッチングにより除去する工程で少なくとも第2の酸化物層の端部がエッチングにより後退してアンダーカットが形成され、その上層に設けられる絶縁層の被覆性が低下したことが原因であると推察される。このように、保護膜として機能する絶縁層に低密度な領域が形成されていると、水や水素などの不純物に対するバリア性が低下し、信頼性が損なわれてしまう危険性がある。

【0270】

[電気特性の測定]

続いて、作製した試料1及び試料2のトランジスタについて、電気特性を測定した。ここでは、ソース-ドレイン間の電位差(以下、ドレイン電圧 V_d ともいう)を0.1Vまたは1.0Vとし、ソース-ゲート間の電位差(以下、ゲート電圧 V_g ともいう)を-3.0Vから3.0Vまで変化させたときのソース-ドレイン間に流れる電流(以下、ドレイン電流 I_d ともいう)の変化特性、すなわち V_g-I_d 特性を測定した。

【0271】

ここでは一例として、 $L/W=100\text{nm}/1000\text{nm}$ のトランジスタをそれぞれ9個、 $L/W=50\text{nm}/100\text{nm}$ のトランジスタをそれぞれ25個用いて測定を行った結果について示す。ここでLはチャネル長、Wはチャネル幅をそれぞれ意味する。

【0272】

図11(A)、(B)にそれぞれ試料1、試料2における $L/W=100\text{nm}/1000\text{nm}$ のトランジスタの V_g-I_d 特性を示す。また、図12(A)、(B)にそれぞれ、試料1、試料2における $L/W=50\text{nm}/100\text{nm}$ のトランジスタの V_g-I_d 特性を示す。

【0273】

図11(A)、(B)より、試料1と試料2とで、初期特性として同等の電気特性が得られていることがわかる。また、図12(A)、(B)より、チャネル長L及びチャネル幅Wが極めて小さいトランジスタであっても、試料1と試料2とで、初期特性として同等の電気特性が得られていることがわかる。このことから、試料1では、被覆層を介してゲート電極とソース電極及びドレイン電極とが電氣的にショートしてしまうことなく、これらが確実に絶縁されていることが確認できた。

【0274】

以上の断面観察像、及び電気特性の測定結果から、本発明の一態様の半導体装置の作製方法を用いて作製したトランジスタは、トランジスタを覆う絶縁層の被覆性が向上し、信頼性の高いトランジスタであることが確認できた。また、極めて微細に作製されたトランジスタであっても、良好な電気特性を付与できることが確認できた。

【符号の説明】

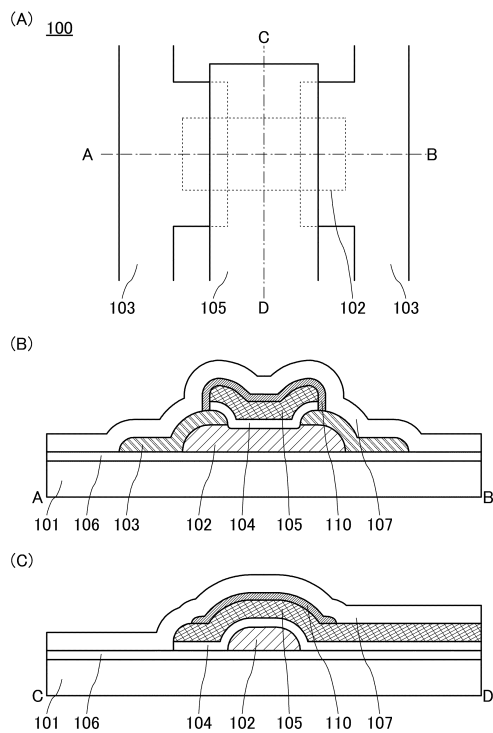
【0275】

- 100 トランジスタ
- 101 基板
- 102 半導体層
- 103 電極
- 104 ゲート絶縁層
- 105 ゲート電極

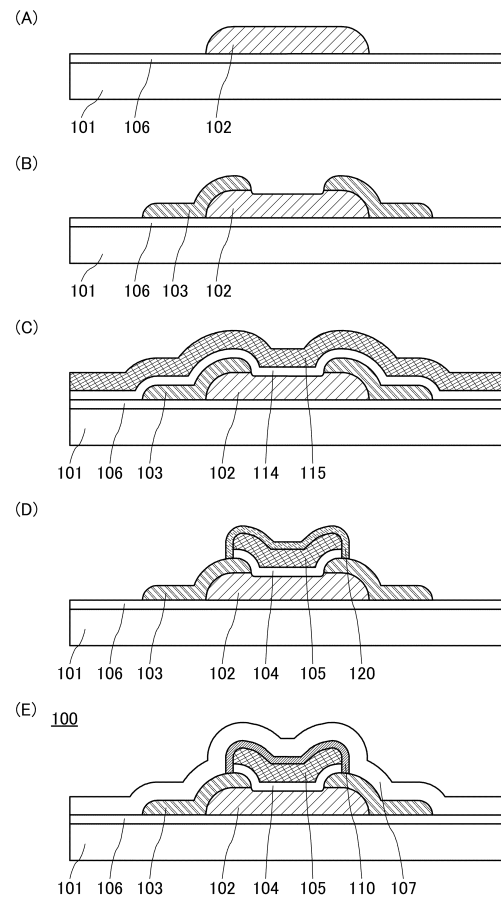
1 0 6	絶縁層	
1 0 7	絶縁層	
1 1 0	被覆層	
1 1 4	絶縁膜	
1 1 5	導電膜	
1 2 0	被覆層	
1 5 0	トランジスタ	
1 5 1	酸化物層	
1 5 2	酸化物層	
1 6 0	トランジスタ	10
7 0 0	記憶素子	
7 0 1	回路	
7 0 2	回路	
7 0 3	スイッチ	
7 0 4	スイッチ	
7 0 6	論理素子	
7 0 7	容量素子	
7 0 8	容量素子	
7 0 9	トランジスタ	
7 1 0	トランジスタ	20
7 1 3	トランジスタ	
7 1 4	トランジスタ	
7 2 0	回路	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	30
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	40
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
8 0 0 0	テレビジョン装置	
8 0 0 1	筐体	
8 0 0 2	表示部	
8 0 0 3	スピーカ部	
8 0 0 4	CPU	
8 1 0 0	警報装置	
8 1 0 1	マイクロコンピュータ	
8 1 0 2	検出部	50

8 2 0 0	室内機
8 2 0 1	筐体
8 2 0 2	送風口
8 2 0 3	C P U
8 2 0 4	室外機
8 3 0 0	電気冷凍冷蔵庫
8 3 0 1	筐体
8 3 0 2	冷蔵室用扉
8 3 0 3	冷凍室用扉
8 3 0 4	C P U
9 7 0 0	電気自動車
9 7 0 1	二次電池
9 7 0 2	回路
9 7 0 3	駆動装置
9 7 0 4	処理装置

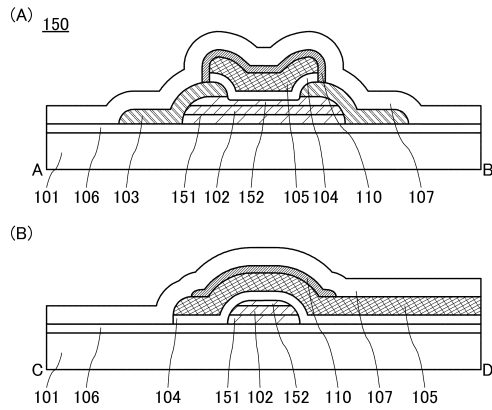
【図 1】



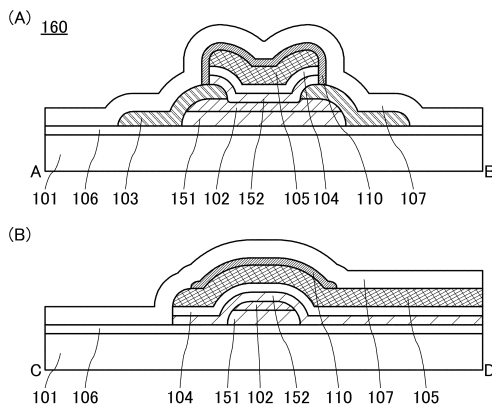
【図 2】



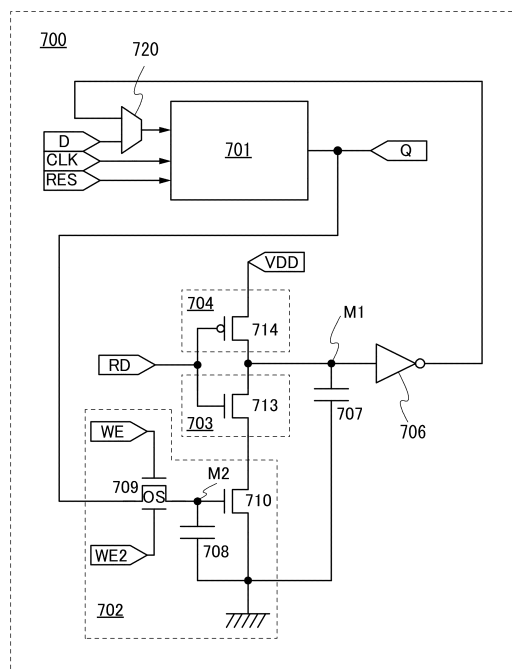
【図 3】



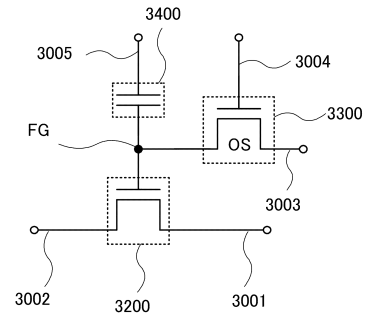
【図 4】



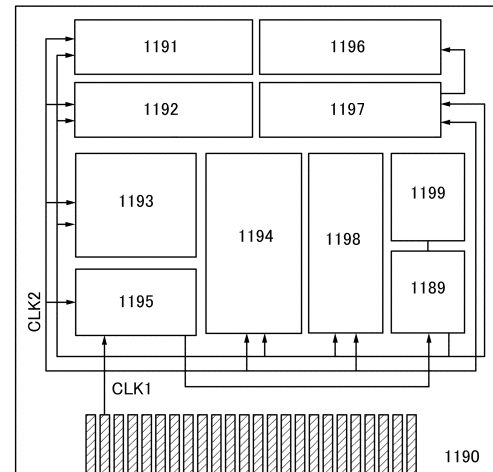
【図 7】



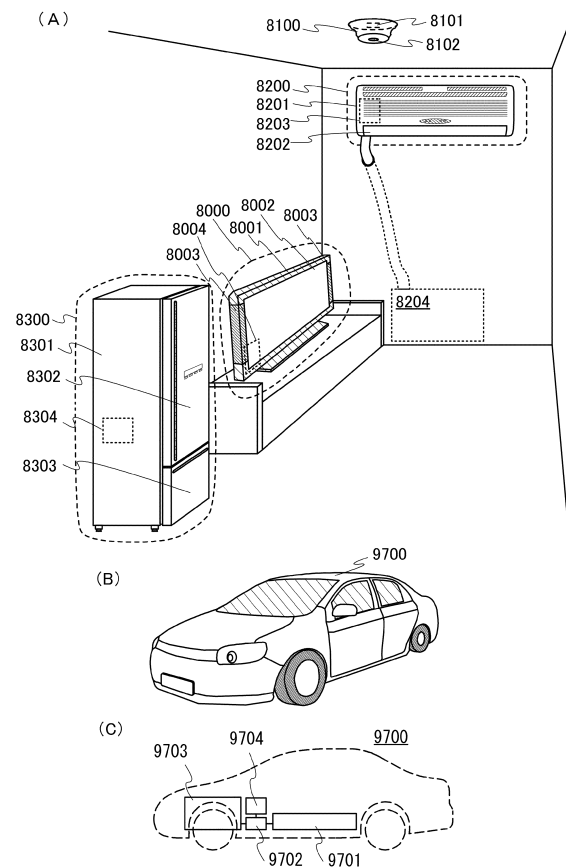
【図 5】



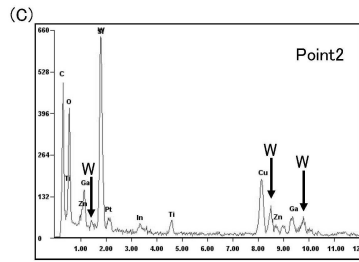
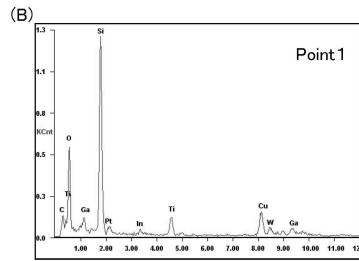
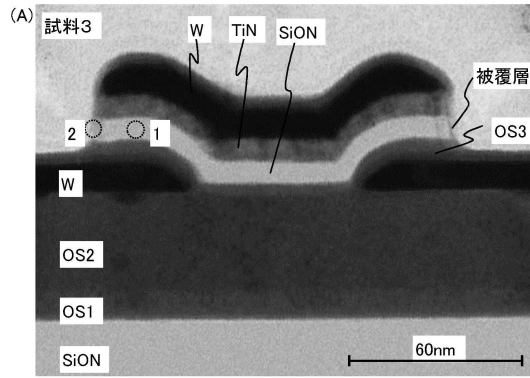
【図 6】



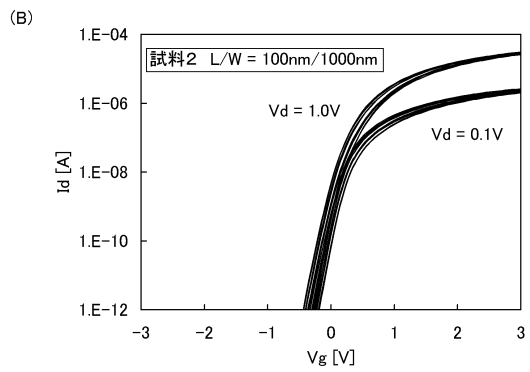
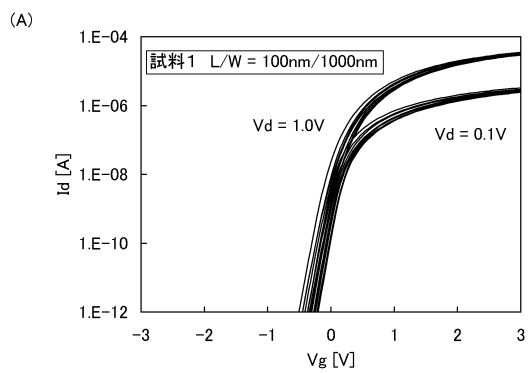
【図 8】



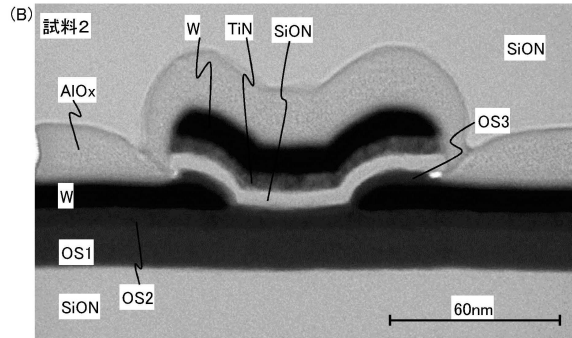
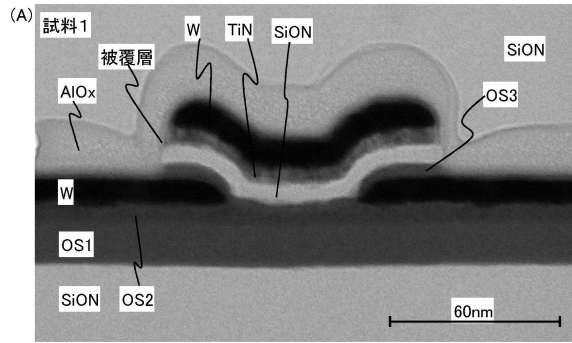
【図 9】



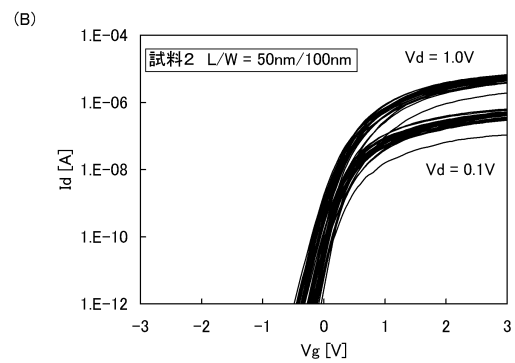
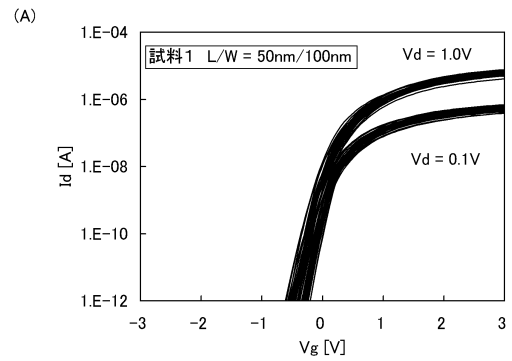
【図 11】



【図 10】



【図 12】



フロントページの続き

審査官 綿引 隆

(56)参考文献 特開 2 0 1 3 - 0 1 6 7 8 2 (J P , A)
特開 2 0 1 3 - 1 0 2 1 5 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 6