

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6203573号  
(P6203573)

(45) 発行日 平成29年9月27日(2017.9.27)

(24) 登録日 平成29年9月8日(2017.9.8)

(51) Int.Cl.

F 1

H01L 23/522 (2006.01)

H01L 21/90

B

H01L 21/768 (2006.01)

H01L 27/10

H01L 27/10 (2006.01)

請求項の数 14 (全 47 頁)

(21) 出願番号

特願2013-172535 (P2013-172535)

(22) 出願日

平成25年8月22日(2013.8.22)

(65) 公開番号

特開2014-42029 (P2014-42029A)

(43) 公開日

平成26年3月6日(2014.3.6)

審査請求日

平成28年8月9日(2016.8.9)

(31) 優先権主張番号

10-2012-0091920

(32) 優先日

平成24年8月22日(2012.8.22)

(33) 優先権主張国

韓国(KR)

(73) 特許権者

390019839

三星電子株式会社

Samsung Electronics  
Co., Ltd.

大韓民国京畿道水原市靈通区三星路129

129, Samsung-ro, Yeon  
gton-gu, Suwon-si, G  
yeonggi-do, Republic  
of Korea

(74) 代理人

110000051  
特許業務法人共生国際特許事務所

(72) 発明者

殷東錫

大韓民国京畿道城南市盆唐区薮内2洞パク  
タウンデリムアパート597番地106棟  
504号

最終頁に続く

(54) 【発明の名称】 3次元半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

基板上に順次に積層された複数の電極を含む電極構造体を具備し、  
前記電極の各々は、その上部に位置し、前記電極の中のいずれか1つの側壁に対して水平に、そして外方に突出された連結部と、

前記電極の内の一つの上部又はその他の電極の下部に位置し、これら電極の中のいずれか1つの側壁と共に面をなす側壁を有する整列部とを含み、

前記電極の中で垂直に互いに隣接する少なくとも2つの前記整列部は、共面をなす側壁を有し、

前記電極構造体は、少なくとも1つの第1グループ及び少なくとも1つの第2グループを含み、前記少なくとも1つの第1グループ及び少なくとも1つの第2グループの各々は、前記基板の上部面と垂直になる方向に沿って連続して積層された前記複数の電極の中の複数の電極を含み、

前記少なくとも1つの第1グループを構成する前記電極の前記連結部は、前記電極構造体の一側に配置され、前記少なくとも1つの第1グループの前記整列部は前記電極構造体の反対側の他側に配置され、

前記少なくとも1つの第2グループを構成する前記電極の前記連結部は、前記電極構造体の前記他側に配置され、前記少なくとも1つの第2グループの前記整列部は前記電極構造体の前記一側に配置され、

前記少なくとも1つの第1グループは前記基板上に積層された複数の電極内の偶数番

10

20

目の電極からなり、前記少なくとも 1 つの第 2 グループは前記基板上に積層された複数の電極の内の奇数番目の電極からなることを特徴とする 3 次元半導体装置。

【請求項 2】

前記少なくとも 1 つの第 1 グループ及び少なくとも 1 つの第 2 グループの各々を構成する前記電極の積層数は、2 ~ 16 の範囲にあることを特徴とする請求項 1 に記載の 3 次元半導体装置。

【請求項 3】

前記少なくとも 1 つの第 2 グループは前記少なくとも 1 つの第 1 グループの上部又は下部に配置されることを特徴とする請求項 1 に記載の 3 次元半導体装置。

【請求項 4】

基板上に順次に積層された複数の電極を含む電極構造体を具備し、  
前記電極の各々は、その上部に位置し、前記電極の中のいずれか 1 つの側壁に対して水平に、そして外方に突出された連結部と、

前記電極の内の一つの上部又はその他の電極の下部に位置し、これら電極の中のいずれか 1 つの側壁と共に面をなす側壁を有する整列部とを含み、

前記電極の中で垂直に互いに隣接する少なくとも 2 つの前記整列部は、共面をなす側壁を有し、

前記電極構造体は、少なくとも 1 つの第 1 グループ及び少なくとも 1 つの第 2 グループを含み、前記少なくとも 1 つの第 1 グループ及び少なくとも 1 つの第 2 グループの各々は、前記基板の上部面と垂直になる方向に沿って連続して積層された前記複数の電極の中の複数の電極を含み、

前記少なくとも 1 つの第 1 グループを構成する前記電極の前記連結部は、前記電極構造体の一側に配置され、前記少なくとも 1 つの第 1 グループの前記整列部は前記電極構造体の反対側の他側に配置され、

前記少なくとも 1 つの第 2 グループを構成する前記電極の前記連結部は、前記電極構造体の前記他側に配置され、前記少なくとも 1 つの第 2 グループの前記整列部は前記電極構造体の前記一側に配置され、

前記少なくとも 1 つの第 1 グループは前記基板上に積層された複数の電極の内の (4n + 1) 番目及び (4n + 2) 番目の電極からなり、

前記少なくとも 1 つの第 2 グループは前記基板上に積層された複数の電極の内の (4n + 3) 番目及び (4n + 4) 番目の電極からなり、

ここで、前記 n は、(4n + 4) が前記電極の総積層数より小さい条件を満足させる 0 又は自然数の中の少なくとも 1 つであることを特徴とする 3 次元半導体装置。

【請求項 5】

前記複数の電極の各々の前記連結部及び前記整列部は、当該電極の互いに対向する両端部に配置されることを特徴とする請求項 1 に記載の 3 次元半導体装置。

【請求項 6】

前記電極構造体は、第 1 領域、第 2 領域、及びこれらの間に介在するアレイ領域を含み、  
前記連結部及び前記整列部の各々は、前記第 1 及び第 2 領域の内のいずれか 1 つの上に配置されることを特徴とする請求項 1 に記載の 3 次元半導体装置。

【請求項 7】

前記電極構造体の前記アレイ領域を垂直に貫通する垂直パターンと、  
前記垂直パターンと前記複数の電極との間に介在するメモリ要素とをさらに具備することを特徴とする請求項 6 に記載の 3 次元半導体装置。

【請求項 8】

前記メモリ要素は、電荷格納が可能である物質又は膜構造、あるいは可変抵抗特性を示す物質又は膜構造を含むことを特徴とする請求項 7 に記載の 3 次元半導体装置。

【請求項 9】

基板上に順次に積層された複数の電極を含む電極構造体を具備し、

10

20

30

40

50

前記電極の各々は、その上部に位置し、前記電極の中のいずれか1つの側壁に対して水平に、そして外方に突出された連結部と、

前記電極の内の一つの上部又はその他の電極の下部に位置し、これら電極の中のいずれか1つの側壁と共に面をなす側壁を有する整列部とを含み、

前記電極の中で垂直に互いに隣接する少なくとも2つの前記整列部は、共面をなす側壁を有し、

前記複数の電極の内の偶数番目の電極の連結部は、前記電極構造体の一側に配置され、前記複数の電極の内の偶数番目の電極の整列部は前記電極構造体の反対側の他側に配置され、

前記複数の電極の内の奇数番目の電極の連結部は、前記電極構造体の前記他側に配置され、前記複数の電極の内の奇数番目の電極の前記整列部は、前記電極構造体の前記一側に配置されることを特徴とする3次元半導体装置。 10

【請求項10】

基板上に順次に積層された複数の電極を含む電極構造体を具備し、

前記電極の各々は、その上部に位置し、前記電極の中のいずれか1つの側壁に対して水平に、そして外方に突出された連結部と、

前記電極の内の一つの上部又はその他の電極の下部に位置し、これら電極の中のいずれか1つの側壁と共に面をなす側壁を有する整列部と、

前記複数の電極の中のいずれか1つから水平に離隔されて配置され、前記電極と同一の物質で形成される少なくとも1つのダミーパターンとを具備し、 20

前記ダミー部分は、前記複数の電極の側面部と対向する第1ダミー側面部を含み、

前記前記複数の電極の側面部及び前記第1ダミー側面部は、互いにミラー対称に配置され、前記前記複数の電極の側面部及び前記第1ダミー側面部の各々は階段形態の断面形状を有し、

前記ダミー部分は、前記第1ダミー側面部と対向する第2ダミー側面部をさらに含み、

前記基板の上部面の法線に対する前記第2ダミー側面部の角度は、前記法線に対する前記第1ダミー側面部の角度より小さいことを特徴とする3次元半導体装置。 30

【請求項11】

前記少なくとも1つのダミーパターンは、電気的にフローティング状態にあることを特徴とする請求項10に記載の3次元半導体装置。 30

【請求項12】

基板上に順次に積層された複数の電極を含む電極構造体を具備し、

前記電極の各々は、その上部に位置し、前記電極の中のいずれか1つの側壁に対して水平に、そして外方に突出された連結部と、

前記電極の内の一つの上部又はその他の電極の下部に位置し、これら電極の中のいずれか1つの側壁と共に面をなす側壁を有する整列部とを含み、

前記電極の中で垂直に互いに隣接する少なくとも2つの前記整列部は、共面をなす側壁を有し、

前記電極構造体上に配置されるプラグをさらに具備し、

前記電極構造体は、前記複数の電極の中の前記プラグに電気的に接続されたことで構成される本体部分と、

前記電極の中の前記プラグから電気的に離隔されて構成されるダミー部分とを含み、

前記ダミー部分は、前記本体部分から水平に離隔されて配置され、

前記本体部分は、少なくとも1つの本体側面部を含み、

前記ダミー部分は、前記本体側面部と対向する第1ダミー側面部を含み、

前記本体側面部及び前記第1ダミー側面部は、互いにミラー対称に配置され、前記本体側面部及び前記第1ダミー側面部の各々は階段形態の断面形状を有し、

前記ダミー部分は、前記第1ダミー側面部と対向する第2ダミー側面部をさらに含み、

前記基板の上部面の法線に対する前記第2ダミー側面部の角度は、前記法線に対する前記第1ダミー側面部の角度より小さいことを特徴とする3次元半導体装置。 40

## 【請求項 1 3】

前記第2ダミー側面部は、階段形態の断面形状を有することを特徴とする請求項1 2に記載の3次元半導体装置。

## 【請求項 1 4】

前記ダミー部分は、前記基板上に連続して積層された前記複数の電極の中の複数の電極で構成されることを特徴とする請求項1 2に記載の3次元半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0 0 0 1】

10

本発明は、半導体装置に関し、より具体的には、積層された電極を利用して製造される3次元半導体装置に関する。

## 【背景技術】

## 【0 0 0 2】

消費者が要求する優れた性能及び低廉な価額を充足させるために半導体装置の集積度を増加させることが要求されている。

メモリ半導体装置の場合、その集積度は製品の価額を決定する重要な要因であるので、特に増加した集積度が要求されている。

従来の2次元又は平面的なメモリ半導体装置の場合、その集積度は単位メモリセルが占有する面積によって主に決定されるので、微細パターン形成技術の水準に大きく影響を受ける。

20

## 【0 0 0 3】

しかし、パターンの微細化のためには超高価の装備が必要するので、2次元メモリ半導体装置の集積度は増加しているが、相変わらず制限的である。

このような限界を克服するための代案として、3次元に配列されたメモリセルを具備する半導体装置（以下、3次元メモリ素子）が提案されている。

3次元メモリ素子の場合、メモリセルのみならず、これらに接近するための配線（例えば、ワードライン又はビットライン）もやはり3次元に配列される。

従って、電極等の占有面積をより減らす工夫が求められているという問題がある。

## 【先行技術文献】

30

## 【特許文献】

## 【0 0 0 4】

## 【特許文献 1】特許公開第2011-204829号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0 0 0 5】

本発明は上記従来の3次元半導体装置における問題点に鑑みてなされたものであって、本発明の目的は、電極の階段形連結構造の占有面積を減らすことができる3次元半導体装置を提供することにある。

また、本発明の他の目的は、階段形連結構造を有する電極が配置された3次元半導体装置、電極連結のための面積を減らすことができる3次元半導体装置を提供することにある。

40

## 【課題を解決するための手段】

## 【0 0 0 6】

上記目的を達成するためになされた本発明による3次元半導体装置は、基板上に順次に積層された複数の電極を含む電極構造体を具備し、前記電極の各々は、その上部に位置し、前記電極の中のいずれか1つの側壁に対して水平に、そして外方に突出された連結部と、前記電極の内の一つの上部又はその他の電極の下部に位置し、これら電極の中のいずれか1つの側壁と共に面をなす側壁を有する整列部とを含み、前記電極の中で垂直に互いに隣接する少なくとも2つの前記整列部は、共面をなす側壁を有し、前記電極構造体は、少な

50

くとも 1 つの第 1 グループ及び少なくとも 1 つの第 2 グループを含み、前記少なくとも 1 つの第 1 グループ及び少なくとも 1 つの第 2 グループの各々は、前記基板の上部面と垂直になる方向に沿って連続して積層された前記複数の電極の中の複数の電極を含み、前記少なくとも 1 つの第 1 グループを構成する前記電極の前記連結部は、前記電極構造体の一側に配置され、前記少なくとも 1 つの第 1 グループの前記整列部は前記電極構造体の反対側の他側に配置され、前記少なくとも 1 つの第 2 グループを構成する前記電極の前記連結部は、前記電極構造体の前記他側に配置され、前記少なくとも 1 つの第 2 グループの前記整列部は前記電極構造体の前記一側に配置され、前記少なくとも 1 つの第 1 グループは前記基板上に積層された複数の電極の内の偶数番目の電極からなり、前記少なくとも 1 つの第 2 グループは前記基板上に積層された複数の電極の内の奇数番目の電極からなることを特徴とする。

10

#### 【 0 0 0 7 】

前記少なくとも 1 つの第 1 グループ及び少なくとも 1 つの第 2 グループの各々を構成する前記電極の積層数は、2 ~ 16 の範囲にあることが好ましい。

前記少なくとも 1 つの第 2 グループは前記少なくとも 1 つの第 1 グループの上部又は下部に配置されることが好ましい。

上記目的を達成するためになされた本発明による 3 次元半導体装置は、基板上に順次に積層された複数の電極を含む電極構造体を具備し、前記電極の各々は、その上部に位置し、前記電極の中のいずれか 1 つの側壁に対して水平に、そして外方に突出された連結部と、

20

前記電極の内の一つの上部又はその他の電極の下部に位置し、これら電極の中のいずれか 1 つの側壁と共に面をなす側壁を有する整列部とを含み、前記電極の中で垂直に互いに隣接する少なくとも 2 つの前記整列部は、共面をなす側壁を有し、前記電極構造体は、少なくとも 1 つの第 1 グループ及び少なくとも 1 つの第 2 グループを含み、前記少なくとも 1 つの第 1 グループ及び少なくとも 1 つの第 2 グループの各々は、前記基板の上部面と垂直になる方向に沿って連続して積層された前記複数の電極の中の複数の電極を含み、前記少なくとも 1 つの第 1 グループを構成する前記電極の前記連結部は、前記電極構造体の一側に配置され、前記少なくとも 1 つの第 1 グループの前記整列部は前記電極構造体の反対側の他側に配置され、前記少なくとも 1 つの第 2 グループを構成する前記電極の前記連結部は、前記電極構造体の前記他側に配置され、前記少なくとも 1 つの第 2 グループの前記整列部は前記電極構造体の前記一側に配置され、前記少なくとも 1 つの第 1 グループは前記基板上に積層された複数の電極の内の (4n + 1) 番目及び (4n + 2) 番目の電極からなり、前記少なくとも 1 つの第 2 グループは前記基板上に積層された複数の電極の内の (4n + 3) 番目及び (4n + 4) 番目の電極からなり、ここで、前記 n は、(4n + 4) が前記電極の総積層数より小さい条件を満足させる 0 又は自然数の中の少なくとも 1 つであることを特徴とする。

30

前記複数の電極の各々の前記連結部及び前記整列部は、当該電極の互いに対向する両端部に配置されることが好ましい。

#### 【 0 0 0 8 】

前記電極構造体は、第 1 領域、第 2 領域、及びこれらの間に介在するアレイ領域を含み、前記連結部及び前記整列部の各々は、前記第 1 及び第 2 領域の中のいずれか 1 つの上に配置されることが好ましい。

40

前記電極構造体の前記アレイ領域を垂直に貫通する垂直パターンと、前記垂直パターンと前記複数の電極との間に介在するメモリ要素とをさらに具備することが好ましい。

前記メモリ要素は、電荷格納が可能である物質又は膜構造、あるいは可変抵抗特性を示す物質又は膜構造を含むことが好ましい。

また、上記目的を達成するためになされた本発明による 3 次元半導体装置は、基板上に順次に積層された複数の電極を含む電極構造体を具備し、前記電極の各々は、その上部に位置し、前記電極の中のいずれか 1 つの側壁に対して水平に、そして外方に突出された連結部と、前記電極の内の一つの上部又はその他の電極の下部に位置し、これら電極の中の

50

いずれか1つの側壁と共に面をなす側壁を有する整列部とを含み、前記電極の中で垂直に互いに隣接する少なくとも2つの前記整列部は、共面をなす側壁を有し、前記複数の電極の内の偶数番目の電極の連結部は、前記電極構造体の一側に配置され、前記複数の電極の内の偶数番目の電極の整列部は前記電極構造体の反対側の他側に配置され、前記複数の電極の内の奇数番目の電極の連結部は、前記電極構造体の前記他側に配置され、前記複数の電極の内の奇数番目の電極の前記整列部は、前記電極構造体の前記一側に配置されることを特徴とする。

また、上記目的を達成するためになされた本発明による3次元半導体装置は、基板上に順次に積層された複数の電極を含む電極構造体を具備し、前記電極の各々は、その上部に位置し、前記電極の中のいずれか1つの側壁に対して水平に、そして外方に突出された連結部と、前記電極の内の一つの上部又はその他の電極の下部に位置し、これら電極の中のいずれか1つの側壁と共に面をなす側壁を有する整列部と、前記複数の電極の中のいずれか1つから水平に離隔されて配置され、前記電極と同一の物質で形成される少なくとも1つのダミーパターンとを具備し、前記ダミー部分は、前記複数の電極の側面部と対向する第1ダミー側面部を含み、前記前記複数の電極の側面部及び前記第1ダミー側面部は、互いにミラー対称に配置され、前記前記複数の電極の側面部及び前記第1ダミー側面部の各々は階段形態の断面形状を有し、前記ダミー部分は、前記第1ダミー側面部と対向する第2ダミー側面部をさらに含み、前記基板の上部面の法線に対する前記第2ダミー側面部の角度は、前記法線に対する前記第1ダミー側面部の角度より小さいことを特徴とする。

前記少なくとも1つのダミーパターンは、電気的にフローティング状態にあることが好みしい。

また、上記目的を達成するためになされた本発明による3次元半導体装置は、基板上に順次に積層された複数の電極を含む電極構造体を具備し、前記電極の各々は、その上部に位置し、前記電極の中のいずれか1つの側壁に対して水平に、そして外方に突出された連結部と、前記電極の内の一つの上部又はその他の電極の下部に位置し、これら電極の中のいずれか1つの側壁と共に面をなす側壁を有する整列部とを含み、前記電極の中で垂直に互いに隣接する少なくとも2つの前記整列部は、共面をなす側壁を有し、前記電極構造体上に配置されるプラグをさらに具備し、前記電極構造体は、前記複数の電極の中の前記プラグに電気的に接続されたことで構成される本体部分と、前記電極の中の前記プラグから電気的に離隔されて構成されるダミー部分とを含み、前記ダミー部分は、前記本体部分から水平に離隔されて配置され、前記本体部分は、少なくとも1つの本体側面部を含み、前記ダミー部分は、前記本体側面部と対向する第1ダミー側面部を含み、前記本体側面部及び前記第1ダミー側面部は、互いにミラー対称に配置され、前記本体側面部及び前記第1ダミー側面部の各々は階段形態の断面形状を有し、前記ダミー部分は、前記第1ダミー側面部と対向する第2ダミー側面部をさらに含み、前記基板の上部面の法線に対する前記第2ダミー側面部の角度は、前記法線に対する前記第1ダミー側面部の角度より小さいことを特徴とする。

前記第2ダミー側面部は、階段形態の断面形状を有することが好みしい。

前記ダミー部分は、前記基板上に連続して積層された前記複数の電極の中の複数の電極で構成されることが好みしい。

#### 【発明の効果】

#### 【0009】

本発明に係る3次元半導体装置によれば、エッチング深さ及びエッチング領域の両方で差異を有するように実施される、第1パターニング工程及び第2パターニング工程が電極の階段形連結構造を形成するために使用される。

これによって、本発明による3次元半導体装置の階段形連結構造は、共通の単層エッチング方式を通じて具現される従来の構造に比べ、減少した占有面積を有するように形成でき、これを形成する工程もやはり単純化することができるという効果がある。

#### 【図面の簡単な説明】

#### 【0010】

10

20

30

40

50

【図 1】本発明の一実施形態による半導体装置を例示的に示す斜視図である。

【図 2】本発明の例示的な実施形態による半導体装置の製造方法を概略的に説明するためのフローチャートである。

【図 3】本発明の例示的な実施形態による半導体装置の製造方法を示すテーブルである。

【図 4】本発明の例示的な実施形態の中の 1 つによる半導体装置の製造方法を説明するためのフローチャートである。

【図 5】本発明の例示的な実施形態の中の 1 つによる半導体装置の製造方法を例示的に図示する断面図である。

【図 6】本発明の例示的な実施形態の中の 1 つによる半導体装置の製造方法を例示的に説明するための断面図である。 10

【図 7】本発明の例示的な実施形態の中の 1 つによる半導体装置の製造方法を例示的に説明するための断面図である。

【図 8】本発明の例示的な実施形態の中の 1 つによる半導体装置の製造方法を例示的に説明するための断面図である。

【図 9】本発明の例示的な実施形態の中の他の 1 つによる半導体装置の製造方法を説明するためのフローチャートである。

【図 10】本発明の例示的な実施形態の中の他の 1 つによる半導体装置の製造方法を説明するための断面図である。 20

【図 11】本発明の例示的な実施形態の中の他の 1 つによる半導体装置の製造方法を説明するための断面図である。

【図 12】本発明の例示的な実施形態の中のその他の 1 つによる半導体装置の製造方法を説明するためのフローチャートである。

【図 13】本発明の例示的な実施形態の中のその他の 1 つによる半導体装置の製造方法を説明するための断面図である。 20

【図 14】本発明の例示的な実施形態の中のその他の 1 つによる半導体装置の製造方法を説明するための断面図である。

【図 15】本発明の例示的な実施形態の中のその他の 1 つによる半導体装置の製造方法を説明するための断面図である。

【図 16】本発明の例示的な実施形態の中のその他の 1 つによる半導体装置の製造方法を説明するためのフローチャートである。 30

【図 17】本発明の例示的な実施形態の中のその他の 1 つによる半導体装置の製造方法を説明するための断面図である。

【図 18】本発明の例示的な実施形態の中のその他の 1 つによる半導体装置の製造方法を説明するための断面図である。

【図 19】本発明の他の例示的な実施形態による半導体装置の製造方法を示すテーブルである。

【図 20】本発明の他の例示的な実施形態の中の 1 つによる半導体装置の製造方法を説明するためのフローチャートである。

【図 21】本発明の他の例示的な実施形態の中の 1 つによる半導体装置の製造方法を例示的に図示する断面図である。 40

【図 22】本発明の他の例示的な実施形態の中の 1 つによる半導体装置の製造方法を説明するための断面図である。

【図 23】本発明の他の例示的な実施形態の中の 1 つによる半導体装置の製造方法を説明するための断面図である。

【図 24】本発明の他の例示的な実施形態の中の 1 つによる半導体装置の製造方法を説明するための断面図である。

【図 25】本発明の他の例示的な実施形態の変形の中の 1 つによる半導体装置の製造方法を説明するための断面図である。

【図 26】本発明の他の例示的な実施形態の変形の中の 1 つによる半導体装置の製造方法を説明するための断面図である。 50

【図27】本発明の他の例示的な実施形態による半導体装置の一部分を示す斜視図である。

【図28】本発明の他の例示的な実施形態及びその変形形態による半導体装置の製造方法を説明するための概略的な断面図である。

【図29】本発明の他の例示的な実施形態及びその変形形態による半導体装置の製造方法を説明するための概略的な断面図である。

【図30】本発明の他の例示的な実施形態の中の他の1つによる半導体装置の製造方法を例示的に説明するための概略的な断面図である。

【図31】本発明のその他の例示的な実施形態の中の1つによる半導体装置の製造方法を説明するためのフローチャートである。 10

【図32】本発明のその他の例示的な実施形態の中の1つによる半導体装置の製造方法を説明するための概略的な断面図である。

【図33】本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

【図34】本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

【図35】本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

【図36】本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための概略的な断面図である。 20

【図37】本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

【図38】本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するためのフローチャートである。

【図39】本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための断面図である。

【図40】本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための断面図である。

【図41】本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための断面図である。 30

【図42】本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための断面図である。

【図43】本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための断面図である。

【図44】図43の半導体装置の一部分を示す拡大断面図である。

【図45】図39～図43を参照して先に説明した実施形態の変形を説明するための概略的な断面図である。

【図46】図39～図43を参照して先に説明した実施形態の変形を説明するための概略的な断面図である。 40

【図47】本発明のその他の例示的な実施形態による半導体装置を説明するための概略的な断面図である。

【図48】本発明のその他の例示的な実施形態による半導体装置を説明するための概略的な断面図である。

【図49】本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための断面図である。

【図50】本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための断面図である。

【図51】本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための断面図である。

【図52】本発明のその他の例示的な実施形態による半導体装置の一部分を示す斜視図で 50

ある。

【図53】図49～図51を参照して説明した実施形態との比較のために提供する断面図である。

【図54】本発明の一実施形態と比較例による半導体装置の階段式構造間の比較を説明するための概略的な断面図である。

【図55】本発明の一実施形態と比較例による半導体装置の階段式構造間の比較を説明するための概略的な断面図である。

【図56】本発明の一実施形態と比較例による半導体装置間の技術的相違点を説明するための図である。

【図57】本発明の一実施形態と比較例による半導体装置間の技術的相違点を説明するための図である。 10

【図58】本発明の他の実施形態による半導体装置の構造的特徴を説明するための図である。

【図59】本発明の他の実施形態による半導体装置の構造的特徴を説明するための図である。

【図60】本発明の実施形態による半導体装置の製造方法を利用して形成された3次元半導体メモリ装置を例示的に示す斜視図である。

【図61】本発明の実施形態による半導体装置の製造方法を利用して形成された3次元半導体メモリ装置を例示的に示す斜視図である。 20

【図62】本発明の一実施形態による3次元メモリ半導体装置の例示的な回路図である。

【図63】本発明の一実施形態による3次元メモリ半導体装置の例示的な回路図である。

【図64】本発明の実施形態による半導体装置を含む電子装置の概略的なブロック図である。

【図65】本発明の実施形態による半導体装置を含む電子装置の概略的なブロック図である。

#### 【発明を実施するための形態】

##### 【0011】

次に、本発明に係る3次元半導体装置を実施するための形態の具体例を図面を参照しながら説明する。

##### 【0012】

本発明の長所及び特徴、そしてそれらを達成する方法は添付される図面と共に詳細に後述する実施形態を参照すれば、明確になる。しかし、本発明は以下で開示する実施形態に限定されることではなく、互に異なる多様な形態に具現でき、単なる本実施形態は本発明の開示が完全になるようにし、本発明が属する技術分野で通常の知識を有する者に発明の範疇を完全に知らせるために提供するものであり、本発明は請求項の範疇によって定義されるだけである。明細書の全文に掛けて同一参照符号は同一構成要素を称する。 30

##### 【0013】

本明細書で、導電性膜、半導体膜、又は絶縁性膜等のいずれの物質膜が他の物質膜又は基板“上”に在ると言及する場合に、その物質膜は他の物質膜又は基板上に直接形成され得るか、又はこれらの間にその他の物質膜が介在することもあり得ることを意味する。また、本明細書の多様な実施形態で、第1、第2、第3等の用語が物質膜又は工程段階を記述するために使用するが、これは単なるいずれの特定物質膜又は工程段階を他の物質膜又は他の工程段階と区別させるために使用するだけであり、このような用語によって限定されてはならない。 40

本明細書で使用する用語は実施形態を説明するためのものであり、本発明を制限しようとすることではない。本明細書で单数形は文句で特別に言及しない限り複数形も含む。明細書で使用する‘含む (comprises)’及び／又は‘含む (comprising)’は言及された構成要素、段階と、動作及び／又は素子は1つ以上の他の構成要素、段階と、動作及び／又は素子の存在又は追加を排除しない。

また、本明細書で記述する実施形態は本発明の理想的な例示図である断面図及び／又は 50

平面図を参考して説明する。図面において、膜及び領域の厚さは技術的内容の効果的な説明のために誇張したものである。したがって、製造技術及び/又は許容誤差等によって例示図の形態が変形され得る。したがって、本発明の実施形態は図示した特定形態に制限されることではなく、製造工程によって生成される形態の変化も含むことである。

【0014】

図1は、本発明の一実施形態による半導体装置を例示的に示す斜視図である。

図1を参照すると、電極構造体が連結領域及びアレイ領域RAを含む基板10上に配置される。

例えば、連結領域は、アレイ領域RAの両側に各々位置する第1領域R1及び第2領域R2を包含することができるが、本発明の技術的な思想がこれに限定されることではない。

【0015】

電極構造体は、順次に積層された複数の電極ELを含む。

電極ELは、導電性物質（例えば、ドーピングされた半導体又は金属）で形成され得る。一実施形態において、電極ELは同一の物質で形成され得る。

電極ELは、基板10からの距離が遠くなるほど、減少する長さを有するように形成され得る。

これに加えて、平面図上からの観点で見る時、電極ELの中のいずれか1つはその下部に位置する他の電極が占有する領域内に配置される。

【0016】

例えば、電極ELは、階段形態の積層構造を有するように配置され、電極ELの中のいずれか1つはその上部に位置する他の電極によって、隠されない少なくとも1つの端部分（以下、連結部CPと称す）を有することができる。

連結部CPが充分な面積を有するように形成される場合、連結部CPは該当電極と異なる配線との間の電気的な接続のための経路（以下、コンタクト領域）として利用され得る。

【0017】

本発明の一実施形態によれば、電極ELの中の少なくとも1つはその上部に位置する他の電極と整列された側壁を有する端部分（以下、整列部AP）を有する。

例えば、垂直に隣接する一対の電極ELは、実質的に垂直になる所定の平面VSに整列された（即ち、互いに共面をなす）側壁を有する。

本発明の実施形態で、電極ELの各々は、連結部CP及び整列部APの構造的な特徴を有するように形成された両端を包含する。即ち、電極ELの各々の一端（例えば、連結部CP）はその上部に位置する他の電極によって覆われなく、他端（例えば、整列部AP）はその上部に位置する他の電極の側壁と共に側壁を有する。

【0018】

本発明の一実施形態によれば、図1に示すように、電極ELの中で偶数番目の電極の各々は第1及び第2領域R1、R2上に各々連結部CP及び整列部APを有するように形成され、電極ELの中で奇数番目の電極の各々は第2及び第1領域R2、R1上に各々連結部CP及び整列部APを有するように形成される。

【0019】

図2は、本発明の例示的な実施形態による半導体装置の製造方法を概略的に説明するためのフローチャートである。

半導体装置の製造方法は、積層された電極を形成する段階を含み、電極形成段階は、図1に示したように階段形態の連結構造を形成する段階を含む。

以下では図2を参照して本発明の実施形態による階段形態の連結構造を形成する段階を説明する。

図2を参照すれば、基板上に水平膜を順次に積層して積層体を形成する（ステップS1）。

【0020】

10

20

30

40

50

複数の電極膜及び絶縁膜が交互に積層されて、第1領域及び第2領域を有する積層体を形成する。

積層体は、1つの電極膜の上部面とそれに隣接する他の電極膜の上部面との間の距離に該当する垂直的なピッチを有するように構成される。

一実施形態によれば、図1の電極ELは、水平膜を以下で説明されるパターニング方法を利用してエッティングすることによって得られる結果物であり得る。

即ち、水平膜は、電極ELとして使用され得る。

#### 【0021】

他の実施形態によれば、図1の電極ELは、水平膜を以下で説明されるパターニング方法を利用してエッティングし、水平膜を選択的に除去して空いた空間を形成した後、空いた空間を導電膜で満たすことによって、得られる結果物であり得る。10

即ち、水平膜は電極ELが配置される空間を定義する犠牲膜として使用され得る。

#### 【0022】

積層体をパターニングして基板の連結領域上に階段形態の連結構造を形成する（ステップS2）。

このステップS2は、選択的なエッティング段階SE及び共通的なエッティング段階CEを包含することができる。

ここで、選択的なエッティング段階SEは、連結領域の特定部分を局所的にエッティングする段階を包含する。反面、共通的なエッティング段階CEは、連結領域の部分の中の複数の部分を同時にエッティングする段階を包含する。一実施形態によれば、選択的なエッティング段階SEでエッティングされる特定部分は、共通的なエッティング段階CEでエッティングされる部分の中の1つに包含され得る。20

#### 【0023】

階段形態の連結構造を形成する間に、選択的なエッティング段階SE及び共通的なエッティング段階CEは各々少なくとも1回実施され、これらの各々は単層エッティング又は多層エッティングの方法で実施することができる。

単層エッティング方法の場合、選択的又は共通的なエッティング段階（SE又はCE）はエッティングされる領域が水平膜の各々の垂直的なピッチに該当する第2深さを有するように実施され、多層エッティング方法の場合、選択的又は共通的なエッティング段階（SE又はCE）は水平膜の中の少なくとも2つの層を連続的にエッティングする方式に実施する。30

#### 【0024】

選択的なエッティング段階SE及び共通的なエッティング段階CEは、階段形態の連結構造（例えば、階段式形状形態）を形成するために多様に組み合わせることができ、以下では図3～図52を参照してそのような組み合わせの例をより詳細に説明する。

これによって、第2領域の第1形状の模様は、第2領域の第2形状の模様と異なることがあり得、その相違は少なくとも垂直的なピッチと同一の大きさであり得る。

#### 【0025】

図3は、本発明の例示的な実施形態による半導体装置の製造方法を示すテーブルである。

本発明の実施形態によれば、連結構造を形成するステップS2は、エッティング深さ及びエッティング領域の両方が相違を有するように構成、形成される、第1及び第2パターニング工程を包含することができる。40

#### 【0026】

例えば、第1及び第2パターニング工程の中の少なくとも1つでのエッティング深さは、水平膜の垂直的なピッチの少なくとも2倍である得り、他の1つのエッティング深さは大略水平膜の垂直的なピッチであり得る。

ここで、水平膜の垂直的なピッチは、水平膜の中のいずれか1つとその上部又は下部の他の1つの水平膜の上部面との間の高さの差を意味する。

言い換えれば、第1及び第2パターニング工程の中のいずれか1つは多層エッティングの方法に実施され、その他の1つは単層エッティングの方法に実施される。50

例えば、図3に例示的に分類した第1及び第4例は、第1及び第2パターニング工程を各々多層及び単層エッティングの方式に実施し、第2及び第3例は、第1及び第2パターニング工程を各々単層及び多層エッティングの方式に実施する。

【0027】

エッティング領域と関連して、本発明の一実施形態によれば、第1及び第2パターニング工程の中の少なくとも1つは、連結領域の各部分に対して実施され、その他の1つは連結領域の特定部分に対して実施される。

例えば、第1及び第2パターニング工程の中のいずれか1つは、第1及び第2領域R1、R2の両方が水平膜をパターニングする共通的なエッティング方式で実施され、その他の1つは、第2領域R2で水平膜をパターニングする選択的なエッティング方式で実施する。

【0028】

図3を再び参照すると、第1及び第3例の場合、第1パターニング工程は共通的なエッティング方式で実施され、第2パターニング工程は選択的なエッティング方式で実施される。

また、第2及び第4例の場合、第1パターニング工程は選択的なエッティング方式で実施され、第2パターニング工程は共通的なエッティング方式で実施される。

【0029】

一実施形態によれば、共通的なエッティング段階は水平膜を第1及び第2領域R1、R2の両方が数回エッティングされるように実施し、選択的なエッティング段階は水平膜を第2領域で1回エッティングするように実施する。

例えば、第1及び第3例では、第1パターニング工程は共通的なエッティング方式に水平膜を数回エッティングする段階を含み、第2パターニング工程は選択的なエッティング方式に水平膜を1回エッティングする段階を含む。

【0030】

以下では、図4～図18を参照して図3で例示的に分類された第1～第4例による半導体装置の製造方法を説明する。

図4は、本発明の例示的な実施形態の中の1つによる半導体装置の製造方法を説明するためのフローチャートであり、図5～図8は本発明の例示的な実施形態の中の1つによる半導体装置の製造方法を例示的に説明するための断面図である。

【0031】

図3～図5を参照すると、基板100上に水平膜100及び層間絶縁膜200を交互に積層して積層体STを形成する（ステップS1）。

基板100は、第1領域R1、第2領域R2、及びこれらの間のアレイ領域RAを含む。

水平膜100は、層間絶縁膜200に対してエッティング選択性を有する物質で形成する。例えば、層間絶縁膜200はシリコン酸化膜であり、水平膜100はシリコン窒化膜、シリコン酸化窒化膜、多結晶シリコン膜、又は金属膜の中の少なくとも1つを含む。

実施形態において、水平膜100は同一の物質で形成され得る。

【0032】

図3、図4及び図6を参照すると、積層体STに対する第1パターニング工程（ステップS21）を実施する。

この実施形態によれば、第1パターニング工程（ステップS21）は複数回のエッティング段階を含み、エッティング段階の各々は、上述した共通的な多層エッティング方式で実施することができる。

【0033】

例えば、第1パターニング工程（ステップS21）は少なくとも2回のエッティング段階を含み、エッティング段階の各々は、第1及び第2領域R1、R2上に位置する積層体STの部分を同一のエッティング深さにエッティングするように実施する。

このような共通的なエッティング方式の具現のために、エッティング段階の各々は、第1及び第2領域R1、R2の全てを露出させる所定のエッティングマスクを使用して実施する。

図6に示すように、一実施形態によれば、エッティング段階の各々でのエッティング深さは水平膜100の垂直的なピッチの2倍に相当する。

10

20

30

40

50

## 【0034】

一方、第1パターニング工程（ステップS21）が共通的なエッチング方式で実施される複数回のエッチング段階を含む場合、エッチング段階の中で時間的に連続する少なくとも2つの段階は1つのエッチングマスクを共通に使用して実施することができる。

例えば、時間的に後行するエッチング段階は時間的に先行するエッチング段階で使用された第1エッチングマスク201の水平的な大きさを縮小させる段階を含む。

縮小された第1エッチングマスク201は時間的に後行するエッチング段階でエッチングマスクとして再使用される。このようなエッチングマスクの再使用は、誤整列によって起こる技術的難しさ、そして高費用のフォトリソグラフィー工程の回数を減らすことができる。

10

## 【0035】

この実施形態での第1パターニング工程（ステップS21）でのように、複数回のエッチング段階がエッチングマスクの縮小段階を含む場合、積層体STの外側部分にはその内側部分に比べてエッチング段階がさらに数回実施される。

これによって、第1パターニング工程（ステップS21）の間にエッチングされる積層体STの部分（以下、第1エッチング部分E1）の深さは、アレイ領域RAから遠くなるほど、不連続的に増加する。

即ち、図6に示すように、積層体ST及び第1エッチング部分E1は、第1及び第2領域R1、R2上で階段形態の構造を有するように形成される。

## 【0036】

20

上述したように、第1パターニング工程（ステップS21）が共通的なエッチング方式に実施されるので、第1領域R1と第2領域R2上に位置する積層体STの2つの部分、又は第1エッチング部分E1は実質的にミラー対称性を有するように形成される。

## 【0037】

図3、図4、及び図7を参照すると、積層体STに対する第2パターニング工程（ステップS22）を実施する。

この実施形態によれば、第2パターニング工程（ステップS22）は上述した選択的な単層エッチングの方式で実施される1回のエッチング段階を含む。

例えば、第2パターニング工程（ステップS22）は、第2領域R2上に位置する積層体STの一部を水平膜100の垂直的なピッチPに該当する深さにエッチングする段階を含む。第2パターニング工程（ステップS22）は第1領域R1を覆い、第2領域R2を露出させる第2エッチングマスク202を使用して実施する。第2エッチングマスク202は、図7に示すように、第2領域R2上の第1エッチング部分E1及びその周辺領域を露出させるように形成される。

30

## 【0038】

以下、説明を簡単にするため、第2パターニング工程（ステップS22）を通じて新しくエッチングされた積層体STの一部分は第2エッチング部分E2と称する。

この実施形態によれば、第2パターニング工程（ステップS22）は選択的なエッチング方式で実施されるので、第2エッチング部分E2は第2領域R2上のみに局所的に形成される。

40

これによって、第1領域R1と第2領域R2との上に位置する積層体STの2つの部分はそれ以上ミラー対称性を有しないようになる。

## 【0039】

また、第2パターニング工程（ステップS22）が単層エッチングの方式で実施されるので、露出部分の高さにおいて、第1及び第2領域R1、R2の各々の上部に位置する積層体STの2つの部分は、水平膜100の垂直的なピッチPに該当する高さの差を有するようになる。

その結果、積層体STを構成する水平膜100は、図1を参照して説明したのと同一である階段形態の連結構造を有するようになる。また、上述した実施形態によれば、水平膜100の各々は連結部CP及び整列部APを有するように形成される。

50

## 【0040】

図3、図4、及び図8を参照すると、第2パターニング工程（ステップS22）が実施された結果物上に配線構造体300を形成する（ステップS3）。

一実施形態によれば、図8に示すように、配線構造体300は、水平膜100の連結部CPに接続するプラグ301及びプラグ301と連結されるパッド302、ビア303、及び金属ライン304を含むが、本発明の実施形態がこれに限定されることではない。

## 【0041】

これに加えて、配線構造体300を形成する前に、第2パターニング工程（ステップS22）が実施された結果物を覆うエッチング停止膜99がさらに形成され得る。

他の実施形態によれば、水平膜100の露出された側壁の上には、絶縁性スペーサー（図示せず）がさらに形成され得る。 10

絶縁性スペーサー及び／又はエッチング停止膜99によって、水平膜100とプラグ301との間の意図されない電気的な接続を防止することができる。

## 【0042】

上述した一例によれば、第1パターニング工程（ステップS21）の各段階でのエッチング深さは水平膜100の垂直的なピッチの2倍であり（即ち、2P）、第2パターニング工程（ステップS22）でのエッチング深さは水平膜100の垂直的なピッチ（即ち、P）であり得る。

この場合、図8に示すように、水平膜100の中で偶数番目層に位置するものは第1領域R1上で配線構造体300に連結され、水平膜100の中で奇数番目層に位置するものは第2領域R2上で配線構造体300に連結される。 20

## 【0043】

図9は、本発明の例示的な実施形態の中の他の1つによる半導体装置の製造方法を説明するためのフローチャートであり、図10及び図11は、本発明の例示的な実施形態の中の他の1つによる半導体装置の製造方法を説明するための断面図である。

図3、図9、及び図10を参照すると、図6を参照して説明した積層体STに対する第1パターニング工程（ステップS21）を実施する。

この実施形態によれば、第1パターニング工程（ステップS21）は上述した選択的な単層エッチングの方式で実施される1回のエッチング段階を含む。 30

## 【0044】

例えば、第1パターニング工程（ステップS21）は、第2領域R2上に位置する積層体STの一部を水平膜100の垂直的なピッチPに該当する深さにエッチングする段階を含む。

第1パターニング工程（ステップS21）は第1領域R1を覆い、第2領域R2を露出させる第1エッチングマスク201を使用して実施する。

第1パターニング工程（ステップS21）が選択的なエッチング方式で実施されるので、第1エッチング部分E1は第2領域R2上のみに局所的に形成される。これによって、第1領域R1と第2領域R2との上に位置する積層体STの2つの部分は、露出される領域の高さにおいて、水平膜100の垂直的なピッチPに該当する差を有するようになる。 40

## 【0045】

図3、図9、及び図11を参照すると、積層体STに対する第2パターニング工程（ステップS22）を実施する。

この実施形態によれば、第2パターニング工程（ステップS22）は複数回のエッチング段階を含み、エッチング段階の各々は、図6を参照して先に説明した共通的な多層エッチング方式で実施する。

これによって、積層体ST及び第1エッチング部分E1は第1及び第2領域R1、R2の上で階段形態の構造を有するように形成される。

## 【0046】

しかし、積層体STの第1領域R1は第1パターニング工程（ステップS21）にしたがう第1エッチング部分E1によって定義される階段構造を有し、積層体STの第2領域

R 2 は第 1 及び第 2 パターニング工程 (ステップ S 2 1、ステップ S 2 2) にしたがう第 1 及び第 2 エッチング部分 E 1、E 2 によって定義される他の階段構造を有する。

その結果、水平膜 1 0 0 の中で偶数番目層は第 1 領域 R 1 上で連結部 C P を有し、第 2 領域 R 2 上で整列部 A P を有し、水平膜 1 0 0 の中で奇数番目層は第 2 領域 R 2 上に連結部 C P を有し、第 1 領域 R 1 上で整列部 A P を有する。

以後、配線構造体 3 0 0 は図 1 1 を参照して説明した構造上に形成でき、その結果物は図 8 に示した構造的特徴を有する。

#### 【 0 0 4 7 】

図 1 2 は、本発明の例示的な実施形態の中のその他の 1 つによる半導体装置の製造方法を説明するためのフロー チャートであり、図 1 3 ~ 図 1 5 は、本発明の例示的な実施形態の中のその他の 1 つによる半導体装置の製造方法を説明するための断面図である。  
10

図 3、図 1 2、及び図 1 3 を参照すると、積層体 S T に対する第 1 パターニング工程 (ステップ S 2 1) を実施する。

#### 【 0 0 4 8 】

この実施形態によれば、第 1 パターニング工程 (ステップ S 2 1) は複数回のエッチング段階を含み、エッチング段階の各々は上述した共通的な单層エッチング方式で実施する。  
。

例えば、第 1 パターニング工程 (ステップ S 2 1) は少なくとも 2 回のエッチング段階を含み、エッチング段階の各々は第 1 及び第 2 領域 R 1、R 2 上に位置する積層体 S T の部分を水平膜 1 0 0 の垂直的なピッチに該当するエッチング深さにエッチングするように実施する。  
20

このような共通的なエッチング方式の具現のために、エッチング段階の各々は第 1 及び第 2 領域 R 1、R 2 の全てを露出させる所定のエッチングマスクを使用して実施する。

#### 【 0 0 4 9 】

一方、第 1 パターニング工程 (ステップ S 2 1) が共通的なエッチング方式で実施される複数回のエッチング段階を含む場合、エッチング段階の中で時間的に連続する少なくとも 2 つの段階は 1 つのエッチングマスクを共通に使用して実施することができる。

例えば、時間的に後行するエッチング段階は、時間的に先行するエッチング段階で使用された第 1 エッチングマスク 2 0 1 の水平的大きさを縮小させる段階を含む。

縮小された第 1 エッチングマスク 2 0 1 は時間的に後行するエッチング段階でエッチングマスクとして再使用される。このようなエッチングマスクの再使用は誤整列によって起こる技術的な難しさ、そして高費用のフォトリソグラフィー工程の回数を減らすことができる。  
30

#### 【 0 0 5 0 】

この実施形態での第 1 パターニング工程 (ステップ S 2 1) でのように、複数回のエッチング段階がエッチングマスクの縮小段階を含む場合、積層体 S T の外側部分にはその内側部分に比べてエッチング段階がさらに数回実施される。

これによって、第 1 パターニング工程 (ステップ S 2 1) の間にエッチングされる積層体 S T の部分 (以下、第 1 エッチング部分 E 1) の深さは、アレイ領域 R A から遠くなるほど、不連続的に増加される。即ち、図 1 3 に示すように、積層体 S T 及び第 1 エッチング部分 E 1 は、第 1 及び第 2 領域 R 1、R 2 上で階段形態の構造を有するように形成される。  
40

#### 【 0 0 5 1 】

上述したように、第 1 パターニング工程 (ステップ S 2 1) が共通的なエッチング方式で実施されるので、第 1 領域 R 1 と第 2 領域 R 2 との上に位置する積層体 S T の 2 つの部分、又は第 1 エッチング部分 E 1 は、実質的にミラー対称性を有するように形成される。

#### 【 0 0 5 2 】

図 3、図 1 2、及び図 1 4 を参照すると、積層体 S T に対する第 2 パターニング工程 (ステップ S 2 2) を実施する。

この実施形態によれば、第 2 パターニング工程 (ステップ S 2 2) は上述した選択的な  
50

多層エッティングの方式で実施される1回のエッティング段階を含む。

例えば、第2パターニング工程(ステップS22)は第2領域R2上に位置する積層体STの一部を水平膜100の垂直的なピッチPの数倍に該当する深さにエッティングする段階を含む。

【0053】

一実施形態によれば、エッティング深さは、積層体STの高さの半分又は水平膜100の総積層高さの半分であり得る。

第2パターニング工程(ステップS22)は第1領域R1を覆い、第2領域R2を露出させる第2エッティングマスク202を使用して実施する。

第2エッティングマスク202は、図14に示すように、第2領域R2上の第1エッティング部分E1及びその周辺領域を露出させるように形成される。

第2パターニング工程(ステップS22)が選択的なエッティング方式で実施されるので、第2エッティング部分E2は第2領域R2上のみに局所的に形成される。これによって、第1領域R1と第2領域R2上に位置する積層体STの2つの部分はそれ以上ミラー対称性を有しないようになる。

【0054】

図3、図12、及び図15を参照すると、第2パターニング工程(ステップS22)が実施された結果物上に配線構造体300を形成する(ステップS3)。

プラグ301の長さでの差を除外すれば、配線構造体300は図8を参照して説明したものと同一である技術的な特徴を有するように形成される。

【0055】

図16は、本発明の例示的な実施形態の中のその他の1つによる半導体装置の製造方法を説明するためのフローチャートであり、図17及び図18は本発明の例示的な実施形態の中のその他の1つによる半導体装置の製造方法を説明するための断面図である。

図3、図16、及び図17を参照すると、図6を参照して説明した積層体STに対する第1パターニング工程(ステップS21)を実施する。

この実施形態によれば、第1パターニング工程(ステップS21)は上述した選択的な多層エッティングの方式で実施される1回のエッティング段階を含む。

【0056】

例えば、第1パターニング工程(ステップS21)は、第2領域R2上に位置する積層体STの一部を水平膜100の垂直的なピッチPの数倍に該当する深さにエッティングする段階を含む。

一実施形態によれば、エッティング深さは、積層体STの高さの半分又は水平膜100の総積層高さの半分であり得る。第1パターニング工程(ステップS21)は、図17に示すように、第1領域R1を覆い、第2領域R2を露出させる第1エッティングマスク201を使用して実施する。

【0057】

第1パターニング工程(ステップS21)が選択的なエッティング方式で実施されるので、第1エッティング部分E1は第2領域R2上のみに局所的に形成される。

これによって、第1領域R1と第2領域R2との上に位置する積層体STの2つの部分は、露出される領域の高さで、水平膜100の垂直的なピッチPの数倍又は積層体STの高さの半分に該当する差を有するようになる。

【0058】

図3、図16、及び図18を参照すると、積層体STに対する第2パターニング工程(ステップS22)を実施する。

この実施形態によれば、第2パターニング工程(ステップS22)は複数回のエッティング段階を含み、エッティング段階の各々は図13を参照して先に説明した共通的な単層エッティング方式で実施する。

これによって、積層体ST及び第1エッティング部分E1は、第1及び第2領域R1、R2上で階段形態の構造を有するように形成される。

10

20

30

40

50

## 【0059】

しかし、積層体STの第1領域R1は、第2パターニング工程(ステップS22)にしたがう第2エッチング部分E2によって定義される階段構造を有し、積層体STの第2領域R2は、第1及び第2パターニング工程(ステップS21、ステップS22)にしたがう第1及び第2エッチング部分E1、E2によって定義される他の階段構造を有する。

その結果、水平膜100の中で上方の半分は第1領域R1上で連結部CPを有し、第2領域R2上で整列部APを有し、水平膜100の中で下方の半分は第2領域R2上で連結部CPを有し、第1領域R1上で整列部APを有する。

以後、配線構造体300が図18を参照して説明した構造上に形成でき、その結果物は図15に示した構造的特徴を有することができる。

10

## 【0060】

図19は、本発明の他の例示的な実施形態による半導体装置の製造方法を示すテーブルである。

本発明の他の実施形態によれば、連結構造を形成する段階(ステップS2)は第1、第2及び第3パターニング工程を含むことができる。第1～第3パターニング工程の中のいずれか1つは共通的な単層エッチング方式で実施される1回のエッチング段階(以下、共通的な単層エッチング段階)を含み、第1～第3パターニング工程の中のその他の1つは選択的な多層エッチング方式で実施される1回のエッチング段階(以下、選択的な多層エッチング段階)を含み、残る1つは共通的な多層エッチング方式で実施される少なくとも1回のエッチング段階(以下、共通的な多層エッチング段階)を含む。

20

共通的な単層エッチング段階、選択的な多層エッチング段階、及び共通的な多層エッチング段階は、多様に組み合わせられて、連結構造を形成するために使用される。例えば、図19に示すように、このような組み合わせの最も単純な形態は、第5～第10例に開示する方式で具現される。

## 【0061】

説明の重複及び複雑を避けるために、以下では図20～図29を参照して図19の第5例を例示的に説明する。

図20は、本発明の他の例示的な実施形態の中の1つによる半導体装置の製造方法を説明するためのフローチャートであり、図21～図24は本発明の他の例示的な実施形態の中の1つによる半導体装置の製造方法を説明するための断面図である。

30

## 【0062】

図20及び図21を参照すると、基板10上に水平膜100及び層間絶縁膜200を交互に積層して積層体STを形成した後(ステップS1)、積層体STに対する共通的な単層エッチング段階(第1パターニング工程)(ステップS21)を実施する。

共通的な単層エッチング段階(ステップS21)は互いに離隔された第1エッチング部分E1を形成するように実施する。共通的な単層エッチング段階(ステップS21)は第1及び第2領域R1、R2の全てを露出させる第1マスク211を使用して実施する。これによって、第1エッチング部分E1は、第1及び第2領域R1、R2上に共通的に形成でき、そのエッチング深さは水平膜100の垂直的なピッチであり得る。

40

## 【0063】

図20及び図22を参照すると、第1エッチング部分E1が形成された積層体STに対する選択的な多層エッチング段階(第2パターニング工程)(ステップS22)を実施する。

選択的な多層エッチング段階(ステップS22)は、第1領域R1の一部分を露出させ、第2領域R2及びアレイ領域RAを覆う第2マスク212をエッチングマスクとして使用して実施する。

## 【0064】

例えば、選択的な多層エッチング段階(ステップS22)は、第1領域R1で水平膜100をエッチングする段階を含む。

これによって、第1領域R1上に位置する積層体STに第2エッチング部分E2が局所

50

的に形成される。

第2エッティング部分E2は、水平膜100の垂直的なピッチの2倍に相当するエッティング深さを有するように形成される。選択的な多層エッティング段階(ステップS22)によって、第1及び第2領域R1、R2は、互いに異なる構造を有するようになる。例えば、第1領域R1と第2領域R2との上に位置する積層体STの2つの部分はそれ以上ミラー対称性を有しないようになる。

#### 【0065】

図20、図23、及び図24を参照すると、第2エッティング部分E2が形成された積層体STに対する共通的な多層エッティング段階(第3パターニング工程)(ステップS23)を実施する。

10

共通的な多層エッティング段階は、第3マスク213及び第4マスク214を各々エッティングマスクとして使用して実施する第1及び第2共通的な多層エッティング段階を含む。

第3及び第4マスク213、214は、第1及び第2領域R1、R2の一部分を露出させ、アレイ領域RAを覆うように形成される。この実施形態によれば、第4マスク214は第3マスク213より広い幅を有するように形成し、第3マスク213によって隠れる領域を包含することができる。

#### 【0066】

第1及び第2共通的な多層エッティング段階によって、第1及び第2領域R1、R2の各々には第3及び第4エッティング部分E3、E4が形成される。第3及び第4エッティング部分E3、E4の各々は水平膜100の垂直的なピッチの4倍に該当する深さを有するよう20に形成される。

20

整理すれば、第1領域R1には第1～第4エッティング部分(E1、E2、E3、E4)が形成され、第2領域R2には第1、第3、及び第4エッティング部分(E1、E3、E4)が形成される。

#### 【0067】

ここで、第1、第3、及び第4エッティング部分(E1、E3、E4)は、それらの各々が形成される水平的位置において互いに段差を有する。

このような水平的位置での段差によって、積層体STは、各階段の高さが水平膜100の垂直的なピッチの複数倍である階段構造を有するように形成される。第2エッティング部分E2が無い場合、積層体STは第1及び第2領域R1、R2でミラー対称的構造を有することができる。

30

しかし、第1領域R1に形成された第2エッティング部分E2によって、積層体STはそれ以上ミラー対称性を有しない。例えば、積層体STを構成する水平膜100の各々が露出される位置は第1及び第2領域R1、R2で互いに異なる。

#### 【0068】

図25及び図26は、本発明の他の例示的な実施形態の変形の中の1つによる半導体装置の製造方法を説明するための断面図である。

図25及び図26に示すように、共通的な多層エッティング段階は、第3マスク223及び第4マスク224を各々エッティングマスクとして使用して実施される第1及び第2共通的な多層エッティング段階を含む。

40

この実施形態によれば、第3マスク223は、第4マスク224より広い幅を有するよう40に形成し、第4マスク224によって隠れる領域を包含することができる。

#### 【0069】

例えば、第4マスク224は、第3マスク223に対する上述したマスク縮小段階の結果物であり得る。

この場合、第4エッティング部分E4は、第3エッティング部分E3と積層体STの側面との間に位置するエッティング部分を包含することができる。

言い換えれば、共通的な多層エッティング段階が共通的なエッティング方式で実施される複数回のエッティング段階を含む場合、エッティング段階の中で時間的に連続する少なくとも2つの段階は1つのエッティングマスクを共通に使用して実施することができる。

50

## 【0070】

例えば、時間的に後行するエッティング段階は時間的に先行するエッティング段階で使用された第3エッティングマスク223の水平的大きさを縮小させる段階を含む。

縮小された第3マスク223は、時間的に後行するエッティング段階で第4マスク224として再使用される。

このようなエッティングマスクの再使用は、誤整列によって起こる技術的難しさ、そして高費用のフォトリソグラフィー工程の回数を減らすことができる。

## 【0071】

図27は、本発明の他の例示的な実施形態による半導体装置の一部分を示す斜視図である。

10

本発明の他の例示的な実施形態及びその変形例によれば、図27に示すように、電極ELの中で(4n+1)番目及び(4n+2)番目の電極の各々は第1及び第2領域R1、R2上に各々整列部AP及び連結部CPを有するように形成され、電極ELの中で(4n+3)番目及び(4n+4)番目の電極の各々は第1及び第2領域R2、R1上に各々連結部CP及び整列部APを有するように形成される。

ここで、“n”は(4n+4)が水平膜の総積層数より小さい条件を満足させる“0”又は自然数であり得る。

## 【0072】

図28及び図29、は本発明の他の例示的な実施形態及びその変形例による半導体装置の製造方法を説明するための概略的な断面図である。

20

図28及び図29を参照すると、連結構造を形成する段階は、共通的な单層エッティング段階(ステップS21)を1回実施して第1エッティング部分E1を形成し、選択的な多層エッティング段階(ステップS22)を1回実施して第2エッティング部分E2を形成した後、共通的な多層エッティング段階(ステップS23)を7回実施して第3～第9エッティング部分(E3、E4、E5、E6、E7、E8、E9)を形成する段階を含む。

## 【0073】

共通的な多層エッティング段階(ステップS23)は互に異なるエッティングマスクを使用して実施する。

例えば、共通的な多層エッティング段階(ステップS23)の各々はそれより先に実施された段階のものより、より増加した幅を有するエッティングマスクを使用して実施する。

30

この場合、図28に示すように、第3～第9エッティング部分(E3～E9)は、順に、それに先に形成されたエッティング部分の下でありながら、積層体STの中心から遠くなる位置に形成される。

## 【0074】

変形された実施形態によれば、共通的な多層エッティング段階(ステップS23)の中の少なくとも1つはそれより先に実施された段階でのものより、より減少した幅を有するエッティングマスクを使用して実施する。

この場合、図29に示すように、第3～第9エッティング部分(E3～E9)の中の一部(例えば、E4、E6、E8)はそれより先に形成されたエッティング部分(例えば、E3、E5、E7)より積層体STの中心に近く形成される。

40

## 【0075】

図30は、本発明の他の例示的な実施形態の中の他の1つによる半導体装置の製造方法を例示的に説明するための概略的な断面図である。

例えば、図30は、図19に例示的に分類した第10例に該当する製造方法を示すものである。

図19に開示された第10例の場合、連結構造を形成する段階は、共通的な多層エッティング段階(ステップS23)を7回実施して第1～第7エッティング部分(E1、E2、E3、E4、E5、E6、E7)を形成し、選択的な多層エッティング段階(ステップS22)を1回実施して第8エッティング部分E8を形成し、共通的な单層エッティング段階(ステップS21)を1回実施して第9エッティング部分E9を形成する段階を含む。即ち、共通

50

的な多層エッティング段階（ステップS23）を、共通的な单層エッティング段階（ステップS21）及び選択的な多層エッティング段階（ステップS22）より先に実施することができる。

【0076】

図28～図30を比較すれば、エッティング段階の順序での相違があるが、積層体STは実質的に同一の模様の階段構造を有する。

言い換えれば、エッティング段階の順序は、製品の開発者の必要によって、多様に変更することができることを意味する。

このような点で、本発明の技術的な思想は、上記例示した又は以下で説明する実施形態に限定されることではなく、上述した実施形態に基づいて多様に変形することができるこ<sup>10</sup>とを意味する。

【0077】

図31は、本発明のその他の例示的な実施形態の中の1つによる半導体装置の製造方法を説明するためのフローチャートであり、図32は本発明のその他の例示的な実施形態の中の1つによる半導体装置の製造方法を説明するためのフローチャート概略的な断面図である。

図31及び図32を参照すると、この実施形態による階段模様の連結構造を形成する工程は、水平膜100を積層して積層体STを形成し（ステップS1）、積層体STに対する第1共通的な单層エッティング段階（ステップS21）、第2共通的な单層エッティング段階（ステップS22）、選択的な多層エッティング段階（ステップS23）、及び共通的な多層エッティング段階（ステップS24）を順次に実施した後、その結果物上に配線構造体<sup>20</sup>300を形成する段階（ステップS3）を含む。

【0078】

第1共通的な单層エッティング段階（ステップS21）は、互いに離隔された第1エッティング部分E1を形成するように実施する。

第1エッティング部分E1は、第1及び第2領域R1、R2上に共通的に形成され、図32に示すように、第1及び第2領域R1、R2の各々で交互に形成される。

例えば、第1エッティング部分E1は、3Wのピッチを有するように形成し、その各々の幅は2Wである。エッティング深さにおいて、第1エッティング部分E1は水平膜100の垂直的ピッチである。<sup>30</sup>

【0079】

第2共通的な单層エッティング段階（ステップS22）は、互いに離隔された第2エッティング部分E2を形成するように実施する。

第2エッティング部分E2は、第1及び第2領域R1、R2上に共通して形成し、第1エッティング部分E1と同様に、第1及び第2領域R1、R2の各々で交互に形成される。

第2エッティング部分E2は、3Wのピッチを有するように形成し、その各々の幅は1Wである。エッティング深さにおいて、第2エッティング部分E2は水平膜100の垂直的なピッチである。

【0080】

選択的な多層エッティング段階（ステップS23）は、第2領域R2に局所的に第3エッティング部分R3を形成するように実施する。<sup>40</sup>

図22を参照して説明した実施形態のそれと類似して、第2エッティング部分E2は、水平膜100の垂直的なピッチの2倍に該当するエッティング深さを有するように形成される。選択的な多層エッティング段階（ステップS23）によって、第1及び第2領域R1、R2は互に異なる構造を有するようになる。例えば、第1領域R1と第2領域R2上に位置する積層体STの2つの部分はそれ以上ミラー対称性を有しないようになる。

【0081】

共通的な多層エッティング段階（ステップS24）は、第1及び第2領域R1、R2の両方が積層体STをパターニングするように実施する。

一実施形態によれば、図32に示すように、連結構造の形成工程の間に、共通的な多層

10

20

30

40

50

エッチング段階（ステップ S 2 4）は数回実施し、その段階の各々は互に異なる幅を有するエッチングマスクを使用して実施する。これによって、共通的な多層エッチング段階（ステップ S 2 4）によって形成されるエッチング部分（E 4、E 5、E 6）は互いに異なる高さで積層体 S T の階段模様の構造を定義することができる。

【0082】

配線構造体 3 0 0 を形成する段階（ステップ S 3）は、図 8 を参照して説明した実施形態のそれと実質的に同一の方式で実施する。

積層体 S T は、第 1 及び第 2 領域 R 1、R 2 の各々に形成されて配線構造体 3 0 0 への電気的な接続として使用される複数の階段形態の領域を包含する。

図 3 1 及び図 3 2 を参照して説明した上記の実施形態によれば、階段形態の領域の各々は連続的に積層された 4 層の水平膜 1 0 0 によって構成される。 10

【0083】

先の実施形態の場合、階段形態の領域の各々は連続的に積層された 1 層又は 2 層の水平膜 1 0 0 によって構成される。即ち、階段形態の領域の各々の垂直的厚さ（即ち、これを構成する水平膜の個数）は特定の数値に限定されることではなく、図 3 1 及び図 3 2 によって例示的に示したように、製品の開発者の必要によって、多様に変化され得る。

例えば、階段形態の領域の各々を構成する水平膜 1 0 0 の積層数は、2 ~ 1 6 の中の少なくとも 1 つであり得る。

【0084】

図 3 3 ~ 図 3 7 は、本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための概略的な断面図である。 20

例えば、図 3 3 ~ 図 3 7 は、図 3 1 及び図 3 2 を参照して説明した実施形態の可能である変形の中の一部を例示的に示す。

たとえ重複を避けるために別の説明が提供しなくとも、ここで説明する方法的及び構造的な特徴は、上述した又は後述する本発明の他の実施形態でも同一又は類似の方式が適用又は具現される。また、説明を簡単にするために、先に説明したものと同一の構成要素又は技術的な特徴に対する重複される説明は省略する。

【0085】

一実施形態によれば、図 3 2 を参照して説明した実施形態は、選択的な多層エッチング段階を共通的な多層エッチング段階の間に実施するように変形される。 30

例えば、選択的な多層エッチング段階は、第 1 及び第 2 共通的な单層エッチング段階及び共通的な多層エッチング段階の以後に実施し、図 3 3 に示すように、水平膜 1 0 0 の垂直的なピッチの 2 倍に相当するエッチング深さを有する第 4 エッチング部分 E 4 を形成する。

【0086】

以後、積層体 S T は、共通的な多層エッチング方式で追加的にパターニングされ得る。

この実施形態による第 1 及び第 2 共通的な单層エッチング段階、選択的な多層エッチング段階、共通的な多層エッチング段階は、図 3 2 を参照して説明した実施形態のそれらと同一の方式で実施することができる。

積層体 S T の最終構造は、図 3 2 及び図 3 3 を参照して説明した実施形態の間で差がない。これは工程順序での変化又は選択的な多層エッチング段階の実施順序での変化にもかかわらず、同一の模様の階段構造を具現することができることを意味する。 40

【0087】

一実施形態によれば、図 3 2 を参照して説明した実施形態は、選択的な多層エッチング段階を第 1 及び第 2 共通的な单層エッチング段階の以前に実施するように変形される。

例えば、選択的な多層エッチング段階によって形成される第 4 エッチング部分 E 4 は、図 3 4 に示すように、水平膜 1 0 0 の垂直的なピッチの 2 倍に相当するエッチング深さを有しながら、積層体 S T の最上部領域に形成される。

【0088】

以後、積層体 S T に対する共通的な多層エッチング段階を数回実施する。 50

この実施形態による第1及び第2共通的な单層エッチング段階、選択的な多層エッチング段階、共通的な多層エッチング段階は、図32を参照して説明した実施形態のそれらと同一の方式で実施することができる。

積層体STの最終構造は、図32及び図34を参照して説明した実施形態の間で差がない。図33の実施形態と同様に、これは工程順序での変化又は選択的な多層エッチング段階の実施順序での変化にもかかわらず、同一の模様の階段構造を具現することができるこ<sup>10</sup>とを意味する。

#### 【0089】

一実施形態によれば、図32を参照して説明した実施形態は、共通的な多層エッチング段階の中の1つを第1及び第2共通的な单層エッチング段階の以前に実施するように変形される。

例えば、共通的な多層エッチング段階によって形成される第1エッチング部分E1は、図35に示すように、水平膜100の垂直的なピッチの6倍に該当するエッチング深さを有しながら、積層体STの最上部領域に形成される。

#### 【0090】

以後、第1及び第2共通的な单層エッチング段階、選択的な多層エッチング段階、共通的な多層エッチング段階が順次に積層体STに対して実施され、これらの各々は図32を参照して説明した実施形態のそれらと同一の方式で実施することができる。

積層体STの最終構造は、図32及び図35を参照して説明した実施形態の間で差がない。図33及び図34の実施形態と同様に、これは工程順序での変化又は選択的な多層エッチング段階の実施順序での変化にもかかわらず、同一の模様の階段構造を具現するこ<sup>20</sup>とができるこ<sup>20</sup>とを意味する。

#### 【0091】

一実施形態によれば、図35を参照して説明した実施形態と比較する時、共通的な多層エッチング段階の中の少なくとも1つはエッチング領域で変化するように変形される。

例えば、図36の実施形態によれば、図35の第1及び第6エッチング部分E1、E6を形成するために使用されるエッチングマスクは互いに変更することができる。この場合にも、図36に示すように、積層体STは、図32～図35を参照して説明した実施形態と同一である最終構造を有することができる。これは、共通的な多層エッチング段階の実施順序が変わる場合にも、同一の模様の階段構造を具現するこ<sup>30</sup>とを意味する。

#### 【0092】

図32を参照して説明した実施形態は、上述した他の実施形態の中のいずれか1つ（例えば、図17を参照して説明した実施形態）と組み合わされて、階段構造の連結領域を形成する。

例えば、図37に例示的に示すように、選択的なエッチング段階、第1共通的な单層エッチング段階、第2共通的な单層エッチング段階、及び複数回の共通的な多層エッチング段階を順次に実施することによって、積層体STは階段構造を有するように形成される。

#### 【0093】

共通的な多層エッチング段階は、水平膜100の垂直的なピッチの3倍に該当するエッチング深さを有するエッチング部分（E4、E5、E6）を各々形成するように実施する。第1及び第2共通的な单層エッチング段階は、図32を参照して説明した実施形態のそれらと同一の方式で実施することができる。

実施形態のこのような組み合わせは、図37に例示的に示した方法に限定されることではなく、上述した又は後述する本発明の他の実施形態でも同一又は類似な方式で適用又は具現され得る。

#### 【0094】

図38は、本発明のその他の実施形態による半導体装置の製造方法を説明するためのフローチャートである。

図39～図43は、本発明のその他の実施形態による半導体装置の製造方法を説明する

50

ための断面図である。

説明を簡単にするために、先に説明したことと同一の構成要素又は技術的な特徴に対する重複する説明は省略する。また、ここで説明する方法及び構造的な特徴は、上述した又は後述する本発明の他の実施形態でも同一又は類似な方式で適用又は具現され得る。

【0095】

図38及び図39を参照すると、この実施形態によれば、基板10は互いに離隔された第1、第2及び第3領域(D1、D2、D3)を含む。

基板10上に水平膜100及び層間絶縁膜200を交互に積層して積層体STを形成した後(ステップS1)、積層体STに対する第1多層エッティング段階(ステップS21)を実施する。

10

一実施形態によれば、第1多層エッティング段階(ステップS21)は、第2及び第3領域D2、D3を露出させる第1エッティングマスク241を使用して積層体STを異方的にエッティングする段階を含む。これによって、第2及び第3領域D2、D3を含む領域に、第1エッティング部分E1が形成される。

【0096】

図38及び図40を参照すると、積層体STに対する第2多層エッティング段階(ステップS22)を実施する。

第2多層エッティング段階(ステップS22)は、第3領域D3を局所的に露出させる第2エッティングマスク242を使用して積層体STを異方的にエッティングする段階を含む。

これによって、第3領域D3を含む領域に、第2エッティング部分E2が形成される。第1及び第2エッティング部分E1、E2の深さは実質的に同一であるが、これに限定されることではない。

20

【0097】

図38及び図41を参照すると、第2多層エッティング段階(ステップS22)が実施された結果物上に、第3エッティングマスク243を形成する。

第3エッティングマスク243は第1～第3領域(D1、D2、D3)の各々を部分的に露出させる開口部OPを有するように形成される。

【0098】

図38及び図42を参照すると、積層体STに対する共通的な单層エッティング段階(ステップS21)を複数回実施する。

30

共通的な单層エッティング段階(ステップS21)は、第3エッティングマスク243を共通に使用して実施する。

共通的な单層エッティング段階(ステップS21)を実施する間に、上述したマスク縮小段階が第3エッティングマスク243に対して実施する。これによって、共通的な单層エッティング段階(ステップS21)が進行するほど、積層体STのエッティングされる部分の幅は増加する。その結果、第1～第3領域(D1、D2、D3)には下方にテーパーされた断面を有する第3エッティング部分E3が形成される。

【0099】

図38及び図43を参照すると、第1～第3エッティング部分(E1～E3)を満たす第1層間絶縁膜251を形成する。

40

第1層間絶縁膜251は、平坦化工エッティング工程(例えば、化学的機械的研磨工程)を通じて平坦な上部面を有するように形成される。

以後、第2層間絶縁膜252を形成し、第2層間絶縁膜252及び第1層間絶縁膜251を貫通するプラグ301を形成する。一実施形態によれば、上述したように、プラグ301を形成する前に、水平膜100を金属を含む物質で代替する工程をさらに実施することができる。

【0100】

上述した実施形態によれば、第1～第3領域(D1、D2、D3)の間には、第1及び第2ダミー領域DR1、DR2が介在し、第1及び第2ダミー領域DR1、DR2の上にはダミーパターンDPが形成される。

50

ダミーパターン DP の各々は、図 4 4 に示すように、共通的な単層エッチング段階（ステップ S 2 3）によって形成される第 1 側面 SS 1 と第 1 又は第 2 多層エッチング段階（ステップ S 2 1、ステップ S 2 2）によって形成される第 2 側面 SS 2 を有する。

第 1 側面及び階段形態の連結構造は、第 3 エッチング部分 E 3 の互いに対向する側面であり得る。これによって、第 1 側面 SS 1 は、第 1 ~ 第 3 領域（D 1、D 2、D 3）に形成される階段形態の連結構造に対してミラー対称的な断面形状を有するように形成される。

#### 【 0 1 0 1 】

これとは異なり、第 2 側面 SS 2 は、第 1 又は第 2 多層エッチング段階（ステップ S 2 1、ステップ S 2 2）によって形成され、第 1 側面 SS 1 と異なる断面形状を有することができる。10

例えば、第 1 側面 SS 1 は A 1 の傾斜角を有するように形成され、第 2 側面 SS 2 は A 1 とは異なる A 2 の傾斜角を有するように形成され得る。

一実施形態で、第 2 側面 SS 2 の傾斜角 A 2 は、0 ° ~ 45 ° であり得る。

#### 【 0 1 0 2 】

一実施形態で、第 1 及び第 2 多層エッチング段階（ステップ S 2 1、ステップ S 2 2）の中のいずれか 1 つはマスク縮小方式で実施される複数の多層エッチング段階を含む。

この場合、図 4 4 に示すように、第 2 側面 SS 2 は、階段形態の断面形状を有し得、その傾斜角 A 2 は、0 ° より大きくなり得る。

ダミーパターン DP の第 2 側面 SS 2 がこのように傾いた側面を有する場合、第 2 又は第 3 エッチングマスク 2 4 2、2 4 3 の薄膜化及びこれに伴う工程不良を防止できる。20

#### 【 0 1 0 3 】

ダミーパターン DP の存在によって、積層体 ST の高さはその縁部で急激に変わらない。これは第 1 又は第 2 層間絶縁膜 2 5 1、2 5 2 の蒸着プロフィールを改善することをできる。

これに加えて、ダミーパターン DP の存在によって、第 1 層間絶縁膜 2 5 1 に対する平坦化エッチング工程で積層体 ST の縁部が損傷される技術的難しさを防止できる。

#### 【 0 1 0 4 】

図 4 5 及び図 4 6 は、図 3 9 ~ 図 4 3 を参照して先に説明した実施形態の変形を説明するための概略的な断面図である。30

図 3 9 ~ 図 4 3 を参照して説明した実施形態によれば、階段模様の連結構造がアレイ領域 RA の一側に形成される。しかし、図 3 9 ~ 図 4 3 を参照して説明した実施形態は、階段模様の連結構造をアレイ領域 RA の両側に形成するように変形され得る。

#### 【 0 1 0 5 】

例えば、プラグ 3 0 1 と連結される積層体 ST の階段形領域を、基板 1 0 の上部面との離隔距離にしたがって、第 1 ~ 第 4 連結領域（D 1、D 2、D 3、D 4）であるとすれば、第 1 ~ 第 4 連結領域（D 1、D 2、D 3、D 4）の一部は、アレイ領域 RA の一側（例えば、第 1 領域 R 1）に形成され、残りはアレイ領域 RA の他側（例えば、第 2 領域 R 2）に形成される。

#### 【 0 1 0 6 】

図 4 5 に示す実施形態によれば、第 2 及び第 4 連結領域 D 2、D 4 が第 1 領域 R 1 に形成され、第 1 及び第 3 連結領域 D 1、D 3 が第 2 領域 D 2 に形成される。

一実施形態で、第 2 及び第 4 連結領域 D 2、D 4 の間、又は第 1 及び第 3 連結領域 D 1、D 3 の間隔「H」は。これらの間に位置する連結領域の厚さと実質的に同一であり得る。

#### 【 0 1 0 7 】

図 4 6 に示す実施形態によれば、第 1 及び第 2 連結領域 D 1、D 2 が第 1 領域 R 1 に形成され、第 3 及び第 4 連結領域 D 3、D 4 が第 2 領域 D 2 に形成される。

#### 【 0 1 0 8 】

図 4 7 及び図 4 8 は、本発明のその他の例示的な実施形態による半導体装置を説明する50

ための概略的な断面図である。

説明を簡単にするために、先に説明したことと同一の構成要素又は技術的な特徴に対する重複する説明は省略する。また、ここで説明する方法及び構造的な特徴は、上述した又は後述する本発明の他の実施形態でも同一又は類似な方式で適用又は具現され得る。

【0109】

上述した又は後述する本発明の他の実施形態は、図44を参照して説明した技術的な特徴の一部を含むように具現される。

例えば、図17を参照して説明した段階で、第1エッティング部分E1の側壁は、図44の第2側面SS2が有する技術的な特徴を含むように形成される。言い換えれば、図47に示すように、第1エッティング部分E1の側壁は、基板10の上部面の法線に対して傾いた断面形状を有するように形成される。また、第1エッティング部分E1の側壁は、マスク縮小方式で実施される複数の多層エッティング段階を通じて形成でき、この場合、図47に示すように、第1エッティング部分E1の側壁は、階段形態の断面形状を有する。

【0110】

他の例として、図37の実施形態で、第1エッティング部分E1の側壁は、基板10の上部面の法線に対して傾いた断面形状を有するように形成される。

また、第1エッティング部分E1の側壁は、マスク縮小方式で実施される複数の多層エッティング段階を通じて形成でき、この場合、図48に示すように、第1エッティング部分E1の側壁は、階段形態の断面形状を有することができる。

【0111】

図49～図51は、本発明のその他の例示的な実施形態による半導体装置の製造方法を説明するための断面図であり、図52は本発明のその他の例示的な実施形態による半導体装置の一部分を示す斜視図である。

説明を簡単にするために、先に説明したことと同一の構成要素又は技術的な特徴に対する重複する説明は省略する。また、ここで説明する方法及び構造的な特徴は、上述した又は後述する本発明の他の実施形態でも同一又は類似な方式で適用又は具現され得る。

【0112】

図49を参照すると、共通的な单層エッティング段階(S21)によって形成される第1エッティング部分E1は、これらの間に残存する積層体STの部分STRより狭い幅を有するように形成される。例えば、図49に示すように、第1エッティング部分E1の各々の幅は「b」であり、積層体STの部分STRの各々の幅は、「b」より大きい、「a」であり得る。

【0113】

図50及び図51を参照すると、共通的な多層エッティング段階(ステップS23)は積層体STの中心部分から水平に離隔された残存部RPを形成するように実施する。

例えば、共通的な多層エッティング段階(ステップS23)によって形成される第2～第4エッティング部分(E2～E4)によって、残存部RPは積層体STの本体から水平に分離され得る。この場合、図52に示すように、プラグ301の周囲には残存部RPが存在する。

【0114】

誤整列が無い場合、残存部RPの幅は、積層体STの部分STRの幅と第1エッティング部分E1の幅との差(即ち、a-b)であり得る。一実施形態によれば、図52の残存部RPは、同一の高さに形成される電極ELと同一である物質で形成でき、他の導電性要素(例えば、電極EL又はプラグ301から離隔されて電気的にフローティング状態にあり得る)。

【0115】

図53は、図49～図51を参照して説明した実施形態との比較のために提供する断面図である。

図23を参照して説明した共通的な多層エッティング段階(ステップS23)で誤整列Mが発生する場合、図53に示すように、連結部CPが第3エッティング部分E3によって積

10

20

30

40

50

層体 S T の中心部分から分離される。連結部 C P のこのような分離は半導体装置での電気的な断線不良を生じさせる。反面、図 4 9 ~ 図 5 1 を参照して説明したように、積層体 S T の部分 S T R が第 1 エッチング部分 E 1 より広い幅を有するように形成される場合、誤整列 M に対する工程マージンを確保することができ、その結果、誤整列 M と関連した技術的な問題（例えば、電気的な断線不良）は減少される。

#### 【 0 1 1 6 】

図 5 4 及び図 5 5 は、各々、本発明の一実施形態と比較例による半導体装置の階段式構造間の比較を説明するための概略的な断面図である。

比較例による半導体装置は、選択的なエッチング方式及び / 又は多層エッチング方式が適用されないパターニング工程を通じて形成される。即ち、比較例による半導体装置は単なる共通的な単層エッチング方式で進行される複数のエッチング段階を通じて形成される。この場合、本発明の一実施形態による半導体装置は図 5 4 に示す第 1 階段式構造 S T 1 を有するように形成され、比較例による半導体装置は図 5 5 に示す第 2 階段式構造 S T 2 を有するように形成される。

#### 【 0 1 1 7 】

図 5 4 及び図 5 5 を参照すると、本発明の実施形態の場合、上述した多層エッチング方式のパターニング工程が使用された結果として、第 1 階段式構造 S T 1 の階段高さは水平膜 1 0 0 の垂直的なピッチ P の 2 倍又はその以上であり得る。

これとは異なり、比較例の場合、単層エッチング方式のパターニング工程が使用されるので、第 2 階段式構造 S T 2 の階段高さは、全部水平膜 1 0 0 の垂直的なピッチ P であり得る。

#### 【 0 1 1 8 】

即ち、第 1 階段式構造 S T 1 は、第 2 階段式構造 S T 2 に比べて増加した階段高さを有する。このような階段高さの増加は、階段領域の幅の減少をもたらすことができる。

例えば、第 1 階段式構造 S T 1 の階段領域が、図 5 4 に例示的に示すように 3 W の幅を有すれば、第 2 階段式構造 S T 2 の階段領域は、図 5 5 に例示的に示すように 7 W の幅を有する。即ち、階段式構造の占有面積を半分又はその以上に減らし得る。

#### 【 0 1 1 9 】

これに加えて、上述した製造方法によれば、図 5 4 に示す第 1 階段式構造 S T 1 は、多層エッチング方式で実施される 3 回のエッチング段階 ( E S 1 、 E S 2 、 E S 3 ) 及び単層エッチング方式で実施される 1 回のエッチング段階 E S 4 を通じて形成される。

これとは異なり、上述した比較例の方法によれば、すべての水平膜 1 0 0 が単層エッチングの方式にパターニングされるので、第 2 階段式構造 S T 2 は、7 回のエッチング段階 ( C E S 1 ~ C E S 7 ) を通じて形成される。

即ち、本発明の実施形態による半導体装置は上述した比較例による半導体装置に比べて減少した工程段階を通じて製造される。このような工程単純化は、製造費用及び工程不良を減らすことができる。

#### 【 0 1 2 0 】

図 5 6 及び図 5 7 は、各々、本発明の一実施形態と比較例による半導体装置間の技術的相違点を説明するための図である。

図 5 6 及び図 5 7 を参照すると、半導体装置は、3 次元的に配列されたメモリセルが提供される第 1 及び第 2 ブロック ( B L O C K 1 、 B L O C K 2 ) 及びこれらの周囲に配置される複数の X - デコーダーを含むことができる。

#### 【 0 1 2 1 】

本発明の実施形態によれば、図 5 6 に示すように、第 1 及び第 2 ブロック ( B L O C K 1 、 B L O C K 2 ) の各々は、アレイ領域 R A 及びその両側に配置される第 1 領域 R 1 及び第 2 領域 R 2 を含み、X - デコーダーは第 1 ブロック B L O C K 1 の第 1 及び第 2 領域 R 1 、 R 2 の各々に隣接する第 1 及び第 2 X - デコーダー ( X D C R 1 、 X D C R 2 ) を含むことができ、第 2 ブロック B L O C K 2 の第 1 及び第 2 領域 R 1 、 R 2 の各々に隣接する第 3 及び第 4 X - デコーダー ( X D C R 3 、 X D C R 4 ) を含むことができる。

10

20

30

40

50

## 【0122】

比較例によれば、図57に示すように、第1及び第2ブロック(BLOCK1、BLOCK2)の各々はアレイ領域RA及びその両側に配置される連結領域CR及び無駄になる領域WRを含み、X-デコーダーは、第1及び第2ブロック(BLOCK1、BLOCK2)の連結領域CRに各々隣接する第1及び第2X-デコーダー(XDCR1、XDCR2)を含むことができる。

## 【0123】

比較例の場合、X-デコーダーは、連結領域CRを通じてアレイ領域RAに配置されたメモリセルへ接続することができる。反面、無駄になる領域WRは上述した比較例による半導体装置が共通的なエッチング方式のエッチング段階を通じて形成されるので、作られた結果物であるが、第1及び第2X-デコーダー(XDCR1、XDCR2)と水平膜100又は電極ELとの間の電気的な接続のために使用されない。

これとは異なり、本発明の実施形態によれば、第1及び第2ブロック(BLOCK1、BLOCK2)の第1及び第2領域R1、R2は全て第1～第4X-デコーダー(XDCR1～XDCR4)と水平膜100又は電極ELとの間の電気的な接続のために使用される。

## 【0124】

図54及び図55を参照して説明した階段式構造の占有面積での減少によって、本発明の実施形態による第1及び第2領域R1、R2の各々の幅は、比較例の連結領域CR及び無駄になる領域WRの幅より小さいことがあり得る。

例えば、図56及び図57に示すように、第1及び第2領域R1、R2の各々は3Wの幅を有し、連結領域CR及び無駄になる領域WRは7Wの幅を有する。

## 【0125】

即ち、比較例の場合、無駄になる領域WRは電気的な接続のために使用されないだけでなく、第1及び第2領域R1、R2に比べて大きい占有面積を有する。

無駄になる領域WRの存在及びその大きい占有面積を考慮する時、本発明の実施形態による半導体装置は、比較例による半導体装置に比べて増加した集積度又は増加したメモリ容量を有することができる。

## 【0126】

図58及び図59は、本発明の他の実施形態による半導体装置の構造的な特徴を説明するための図である。

第1及び第2領域R1、R2がアレイ領域RAの対向する2つの側面に形成されなければならないことはなく、これらが配置される位置は多様に変形され得る。

## 【0127】

例えば、図58に示すように、連結領域を構成する第1及び第2領域R1、R2は全てアレイ領域RA又はその中心CRAとX-デコーダーXDCRとの間に形成され得る。

これに加えて、図39～図43を参照して説明した実施形態の場合、図59に示すように、第1～第3領域(R1、R2、R3)がアレイ領域RA又はその中心CRAとX-デコーダーXDCRとの間に配置され得る。

## 【0128】

図60及び図61は、本発明の実施形態による半導体装置の製造方法を利用して形成された3次元半導体メモリ装置を例示的に示す斜視図である。

先に説明したことと同一の構成要素に対する重複する説明は省略する。

図60及び図61を参照すると、電極ELが図1又は図27を参照して説明した構造的特徴を有するように形成される。

## 【0129】

垂直パターンVPが、電極ELを又は電極ELの間を垂直に貫通するように配置される。

一実施形態によれば、垂直パターンVPは、トランジスタのチャンネル領域として使用され得る。例えば、垂直パターンVPは、以下で図62を参照して例示的に説明する垂直

10

20

30

40

50

3次元NANDフラッシュメモリでセルストリングCSTRの活性パターンとして使用され得る。

【0130】

他の実施形態によれば、垂直パターンVPは、2端子メモリ要素への電気的な接続のための電極として使用され得る。例えば、垂直パターンVPは、以下で図63を参照して例示的に説明する3次元可変抵抗性メモリ装置での垂直電極VEとして使用され得る。

垂直パターンVPと電極ELとの間には情報格納膜ML又はメモリ要素が介在する。情報格納膜MLは、電荷格納が可能である物質又は膜構造、あるいは可変抵抗特性を示す物質又は膜構造を含む。

【0131】

図62及び図63は、本発明の一実施形態による3次元メモリ半導体装置の例示的な回路図である。

図62を参照すれば、3次元半導体メモリ装置は、共通ソースラインCSL、複数個のビットライン(BL0、BL1、BL2)、及び共通ソースラインCSLとビットライン(BL0～BL2)との間に配置される複数個のセルストリングCSTRを含む。

【0132】

共通ソースラインCSLは、基板10上に配置される導電性薄膜又は基板10内に形成される不純物領域であり得る。

ビットライン(BL0～BL2)は、基板10から離隔されてその上部に配置される導電性パターン(例えば、金属ライン)であり得る。

ビットライン(BL0～BL2)は2次元的に配列され、その各々には複数個のセルストリングCSTRが並列に連結される。これによって、セルストリングCSTRは共通ソースラインCSL又は基板10上に2次元的に配列される。

【0133】

セルストリングCSTRの各々は、共通ソースラインCSLに接続する接地選択トランジスタGST、ビットライン(BL0～BL2)に接続するストリング選択トランジスタSST、及び接地及びストリング選択トランジスタGST、SSTの間に配置される複数個のメモリセルトランジスタMCTで構成される。

接地選択トランジスタGST、ストリング選択トランジスタSST、及びメモリセルトランジスタMCTは直列に連結される。

【0134】

これに加えて、共通ソースラインCSLとビットライン(BL0～BL2)との間に配置される接地選択ラインGSL、複数個のワードライン(WL0～WL3)、及び複数個のストリング選択ライン(SSL0～SSL2)が接地選択トランジスタGST、メモリセルトランジスタMCT、及びストリング選択トランジスタSSTのゲート電極として各々使用され得る。

【0135】

接地選択トランジスタGSTの全ては、基板10から実質的に同一の距離に配置され、これらのゲート電極は接地選択ラインGSLに共通に接続されて等電位状態にある。

同様に、共通ソースラインCSLから実質的に同一の距離に配置される複数のメモリセルトランジスタMCTのゲート電極もやはりワードライン(WL0～WL3)の中の1つに共通に接続されて等電位状態にある。

【0136】

1つのセルストリングCSTRは、共通ソースラインCSLからの距離が互に異なる複数個のメモリセルトランジスタMCTで構成されるので、共通ソースラインCSLとビットライン(BL0～BL2)との間には多層のワードライン(WL0～WL3)が配置される。

多層のワードライン(WL0～WL3)は、本発明の実施形態による半導体装置の上述した技術的な特徴を有するように構成される。

【0137】

10

20

30

40

50

セルストリング C S T R の各々は、共通ソースライン C S L から垂直に延長されてビットライン ( B L 0 ~ B L 3 ) に接続する活性パターン ( 例えば、図 6 0 及び図 6 1 の垂直パターン V P ) を含む。

ワードライン ( W L 0 ~ W L 3 ) と活性パターンとの間には情報格納膜 ( 例えば、図 6 0 及び図 6 1 の M L ) が配置される。一実施形態によれば、情報格納膜は電荷を格納することができるような物質又は膜構造を含むことができる。例えば、情報格納膜はシリコン窒化膜のようなトラップサイトが豊富な絶縁膜、浮遊ゲート電極、又は導電性ナノドット ( c o n d u c t i v e n a n o d o t s ) を含む絶縁膜の中の 1 つであり得る。

【 0 1 3 8 】

図 6 3 を参照すると、複数の選択トランジスタ S S T が複数のビットラインプラグ B L P を通じてビットライン B L に並列に接続される。 10

ビットラインプラグ B L P の各々は、それに隣接する一対の選択トランジスタ S S T に共通に接続される。

複数のワードライン W L 及び複数の垂直電極 V E がビットライン B L と選択トランジスタ S S T との間に配置される。

【 0 1 3 9 】

ワードライン W L は、本発明の実施形態による上述した技術的な特徴を有するように構成される。垂直電極 V E は、ビットラインプラグ B L P の間に配置される。

例えば、垂直電極 V E 及びビットラインプラグ B L P は、ビットライン B L と平行な方向に沿って交互に配列される。これに加えて、垂直電極 V E の各々は、それに隣接する一対の選択トランジスタ S S T に共通に接続される。 20

【 0 1 4 0 】

複数のメモリ要素 M E が垂直電極 V E の各々に並列に接続される。

メモリ要素 M E の各々は、ワードライン W L の対応する 1 つに接続される。即ち、ワードライン W L の各々は、メモリ要素 M E の対応する 1 つを通じて、垂直電極 V E の対応する 1 つに接続される。

選択トランジスタ S S T の各々は、そのゲート電極として機能する選択ライン S L を具備することができる。一実施形態で、選択ライン S L は、ワードライン W L と平行になり得る。

【 0 1 4 1 】

本発明の実施形態による 3 次元半導体メモリ装置を図 6 2 及び図 6 3 を参照して例示的に説明した。しかし、図 6 2 及び図 6 3 は、本発明の技術的な思想の可能である応用に対するより分かりやすい理解のために提供することのみであり、本発明の技術的な思想がこれらに限定されることではない。 30

【 0 1 4 2 】

図 6 4 及び図 6 5 は、本発明の実施形態による半導体装置を含む電子装置の概略的なブロック図である。

図 6 4 を参照すると、本発明の実施形態による半導体装置を含む電子装置 1 3 0 0 は、 P D A 、ラップトップ ( l a p t o p ) コンピュータ、携帯用コンピュータ、ウェブタブレット ( w e b t a b l e t ) 、無線電話機、携帯電話、デジタル音楽再生器 ( d i g i t a l m u s i c p l a y e r ) 、有線無線電子機器、又はこれらの中の少なくとも 2 つを含む複合電子装置の中の 1 つであり得る。 40

【 0 1 4 3 】

電子装置 1 3 0 0 は、バス 1 3 5 0 を通じて互いに接続した制御器 1 3 1 0 、キーパッド、キーボード、表示装置 ( d i s p l a y ) のような入出力装置 1 3 2 0 、メモリ 1 3 3 0 、無線インターフェイス 1 3 4 0 を含むことができる。

制御器 1 3 1 0 は、例えば 1 つ以上のマイクロプロセッサ、デジタル信号プロセッサ、マイクロコントローラ、又はこれらと類似するものを含むことができる。

メモリ 1 3 3 0 は、例えば制御器 1 3 1 0 によって実行される命令語を格納するのに使用される。メモリ 1 3 3 0 は使用者データを格納するのに使用でき、上述した本発明の実 50

施形態による半導体装置を含むことができる。

【0144】

電子装置1300は、RF信号に通信する無線通信ネットワークにデータを伝送するか、或いはネットワークでデータを受信するために無線インターフェイス1340を使用することができる。

例えば無線インターフェイス1340はアンテナ、無線トランシーバー等を含むことができる。

【0145】

電子装置1300は、CDMA、GSM(登録商標)、NADC、E-TDMA、WC  
DMA(登録商標)、CDMA2000、Wi-Fi、Muni Wi-Fi、Blue  
tooth(登録商標)、DECT、Wireless USB、Flash-OFDM  
、IEEE 802.20、GPRS、iBurst、WiBro、WiMAX、WiM  
AX-Advanced、UMTS-TDD、HSPA、EVDO、LTE-Advanced、MMDS等のような通信システムの通信インターフェイスプロトコルを具現する  
のに利用され得る。

【0146】

図65を参照すると、本発明の実施形態による半導体装置は、メモリシステム(memory system)を具現するために使用され得る。

メモリシステム1400は、大容量のデータを格納するためのメモリ素子1410及び  
メモリコントローラ1420を含むことができる。

メモリコントローラ1420はホスト1430の読み出し/書き込み要請に応答してメモリ  
素子1410から格納されたデータを読み出し又は書き込むようにメモリ素子1410を制  
御する。

【0147】

メモリコントローラ1420は、ホスト1430、例えばモバイル機器又はコンピュー  
ターシステムから提供されるアドレスをメモリ素子1410の物理的なアドレスでマッピ  
ングするためのアドレスマッピングテーブル(Address mapping table)を構成する  
ことができる。

メモリ素子1410は、上述した本発明の実施形態による半導体装置を含む能够  
する。

【0148】

上述した実施形態で開示した半導体装置は、多様な形態の半導体パッケージ(semiconductor package)に具現され得る。

例えば、本発明の実施形態による半導体装置は、PoP(Package on Pa  
ckage)、Ball grid arrays(BGAs)、Chip scale  
packages(CSPs)、Plastic Leaded Chip Carr  
ier(PLCC)、Plastic Dual In-Line Package(P  
DIP)、Die in Waffle Pack、Die in Wafer For  
m、Chip On Board(COB)、Ceramic Dual In-Lin  
e Package(CERDIP)、Plastic Metric Quad Fl  
at Pack(MQFP)、Thin Quad Flatpack(TQFP)、S  
mall Outline(SOIC)、Shrink Small Outline  
Package(SSOP)、Thin Small Outline(TSOP)、T  
hin Quad Flatpack(TQFP)、System In Packag  
e(SIP)、Multi Chip Package(MCP)、Wafer-level  
Fabricated Package(WFP)、Wafer-Level P  
rocessed Stack Package(WSP)等の方式でパッケージングされ得る。

本発明の実施形態による半導体装置が実装されたパッケージは、半導体装置を制御する  
コントローラ及び/又は論理素子等をさらに含むこともあり得る。

10

20

30

40

50

## 【0149】

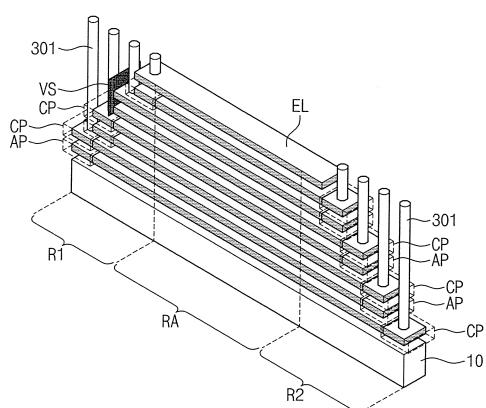
尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

## 【符号の説明】

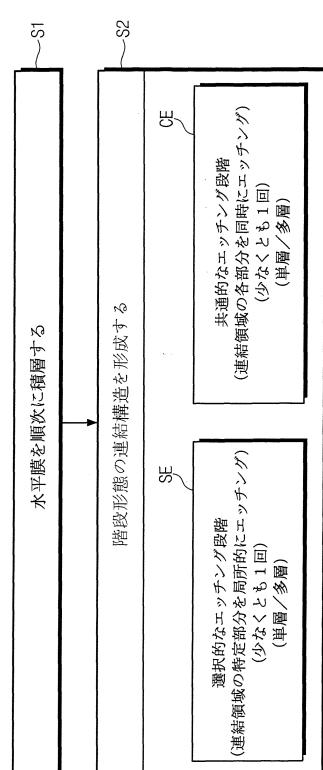
## 【0150】

10	基板	
99	エッティング停止膜	
100	水平膜	
200	層間絶縁膜	
300	配線構造体	10
301	プラグ	
302	パッド	
303	ビア	
304	金属ライン	
AP	整列部	
CP	連結部	
E 1 ~ E 9	(第1 ~ 第9)エッティング部分	
EL	電極	
RA	アレイ領域	
R 1	第1領域	20
R 2	第2領域	
ST	積層体	

【図1】



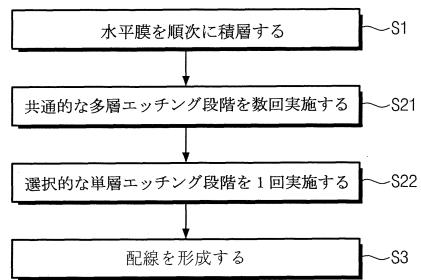
【図2】



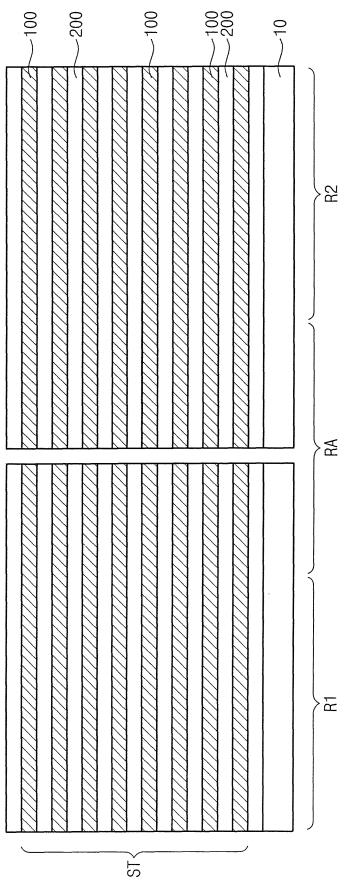
【図3】

	第1バーニング工程			第2バーニング工程		
	深さ	領域	回数	深さ	領域	回数
第1例	多層	共通	少なくとも1回	单層	特定	1回
第2例	单層	特定	1回	多層	共通	少なくとも1回
第3例	单層	共通	少なくとも1回	多層	特定	1回
第4例	多層	特定	1回	单層	共通	少なくとも1回

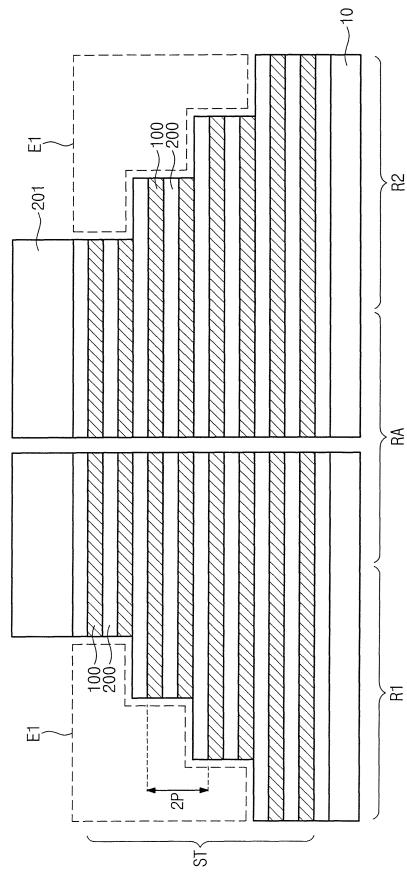
【図4】



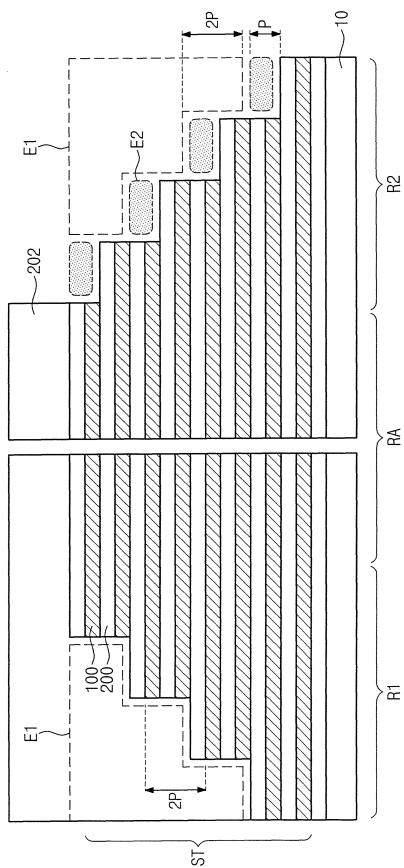
【図5】



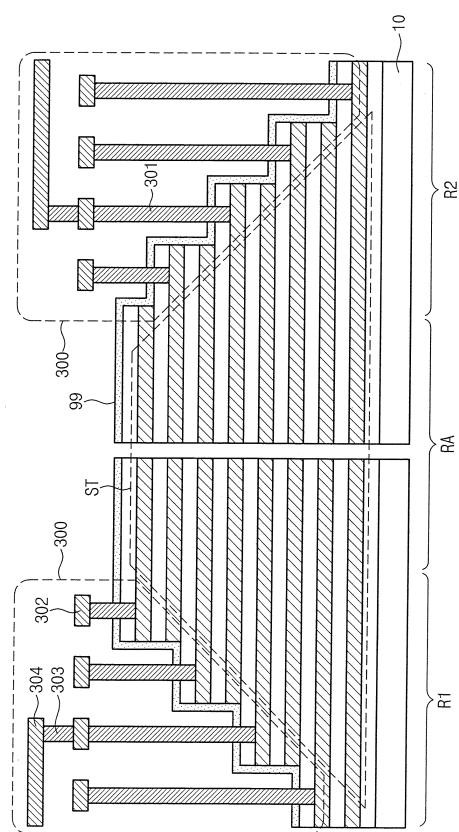
【図6】



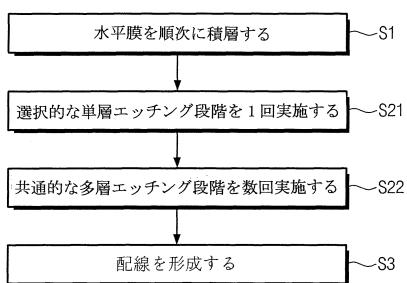
【図7】



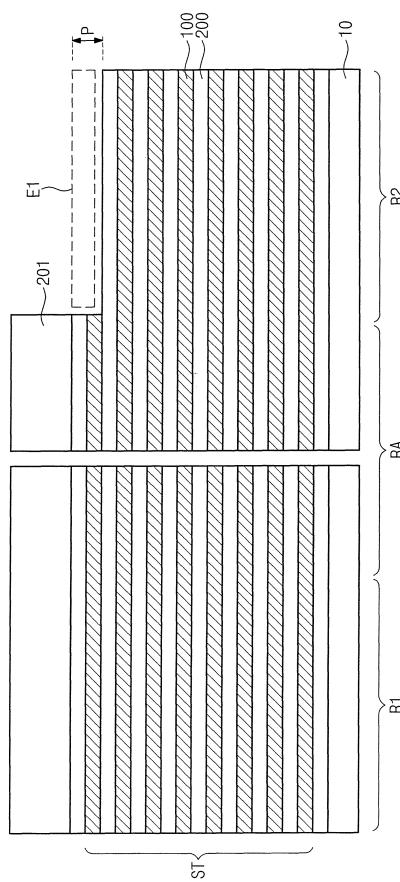
【図8】



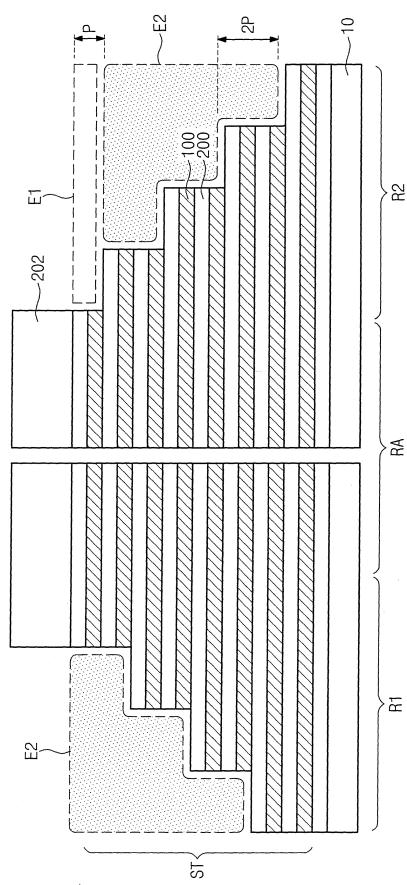
【図9】



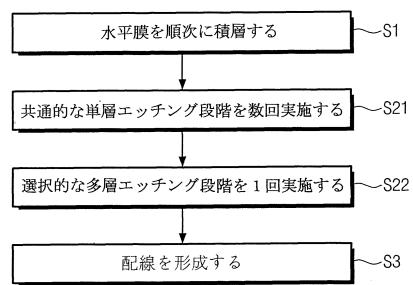
【図10】



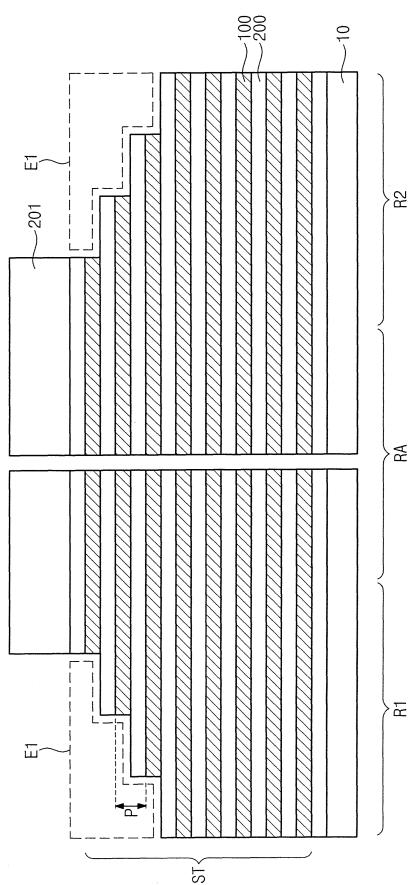
【図11】



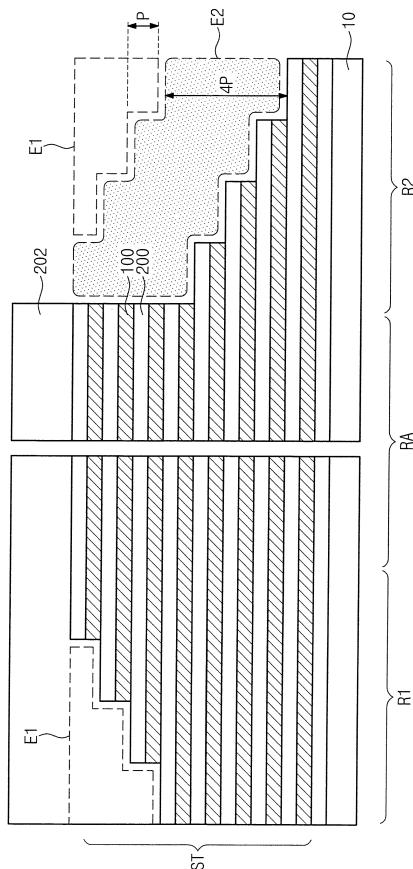
【図12】



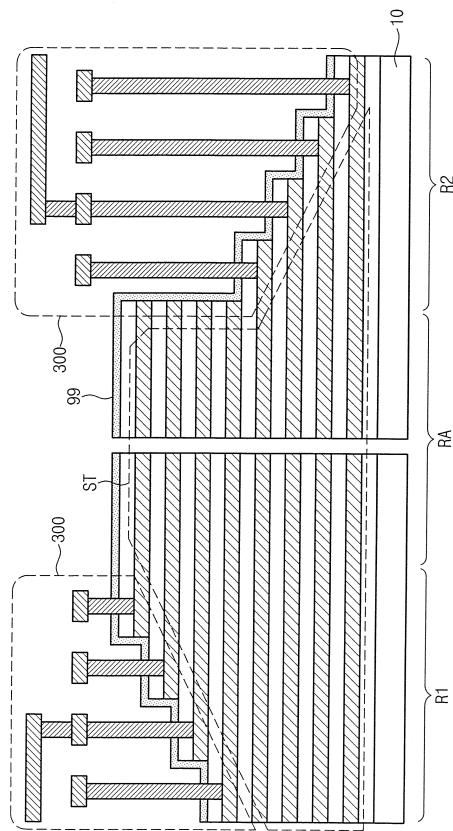
【図13】



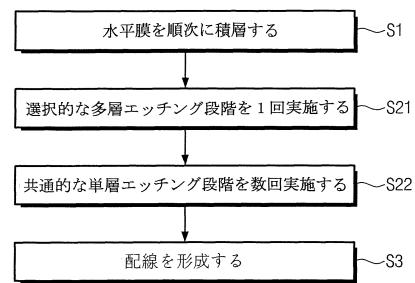
【図14】



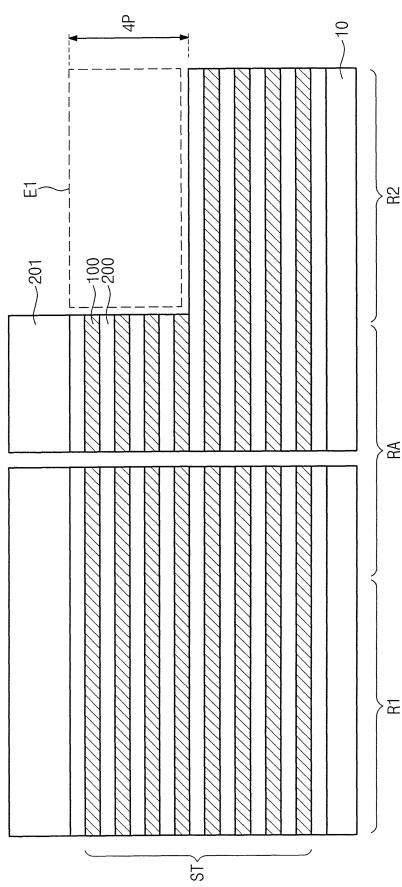
【図15】



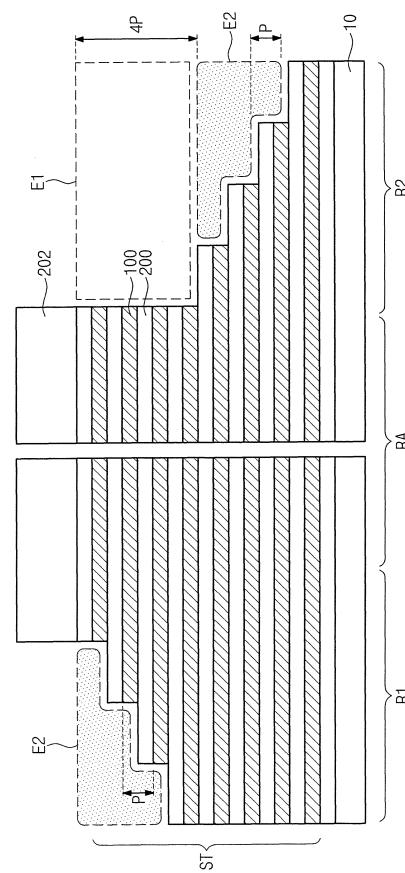
【図16】



【図17】



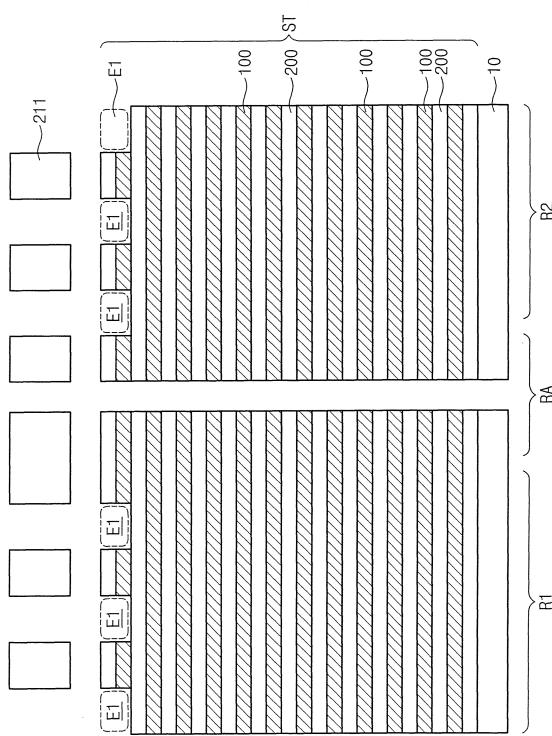
【図18】



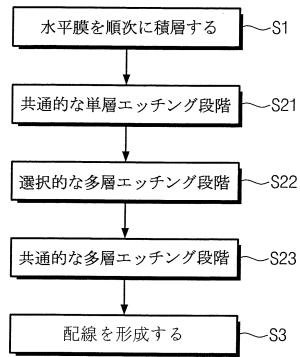
【図 19】

	第1バーナーニング工程			第2バーナーニング工程			第3バーナーニング工程		
	深さ	領域	回数	深さ	領域	回数	深さ	領域	回数
第5例	単層	共通	1回	2層	特定	1回	4層	共通	少なくとも1回
第6例	単層	共通	1回	4層	共通	少なくとも1回	2層	特定	1回
第7例	2層	特定	1回	單層	共通	1回	4層	共通	少なくとも1回
第8例	2層	特定	1回	4層	共通	少なくとも1回	单層	共通	1回
第9例	4層	共通	少なくとも1回	单層	共通	1回	2層	特定	1回
第10例	4層	共通	少なくとも1回	2層	特定	1回	单層	共通	1回

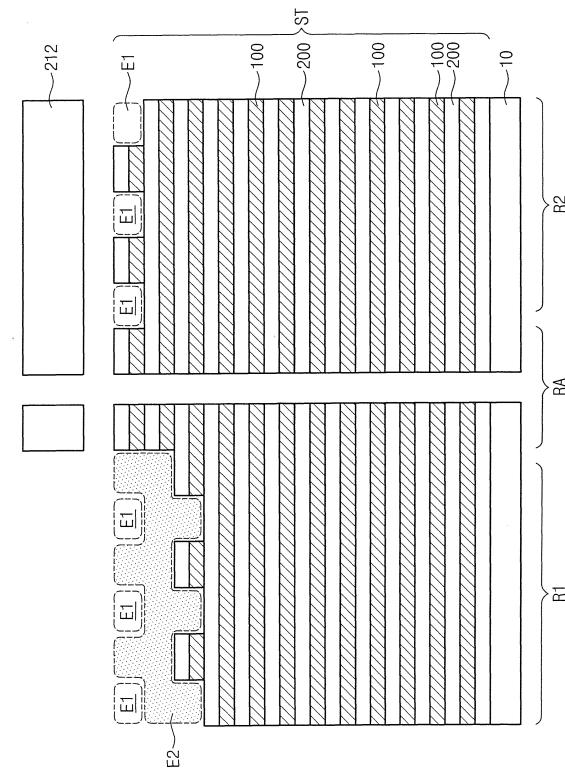
【図 21】



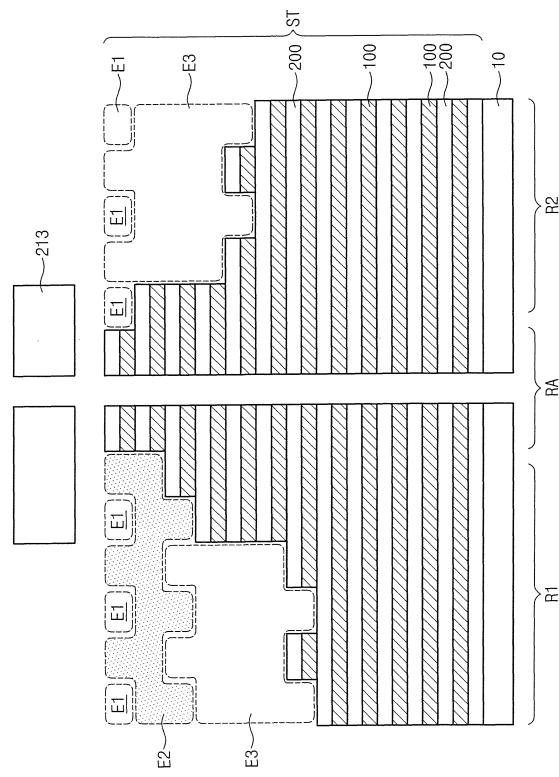
【図 20】



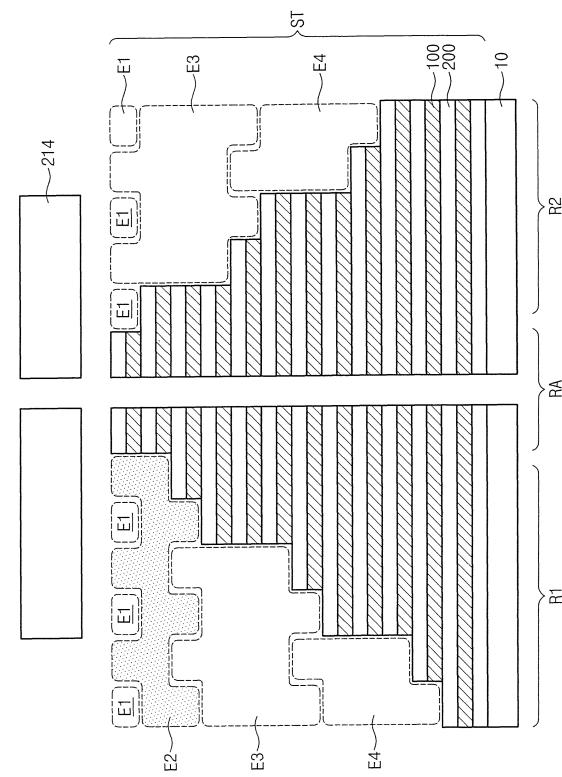
【図 22】



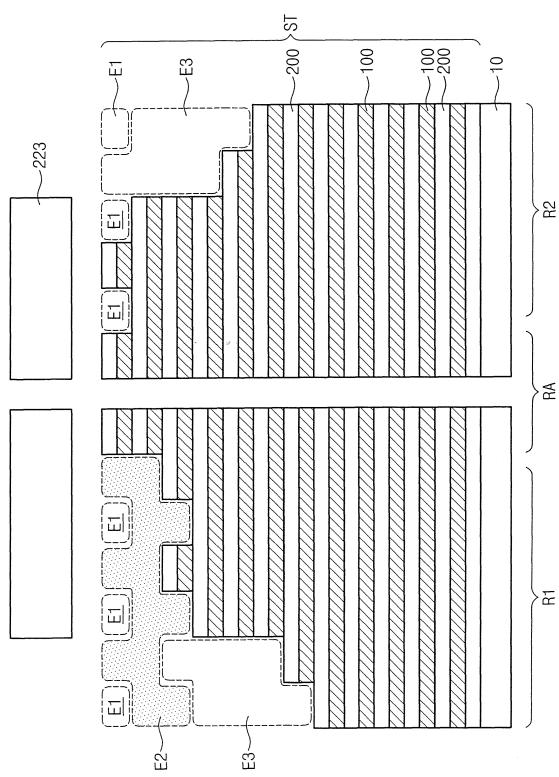
【図23】



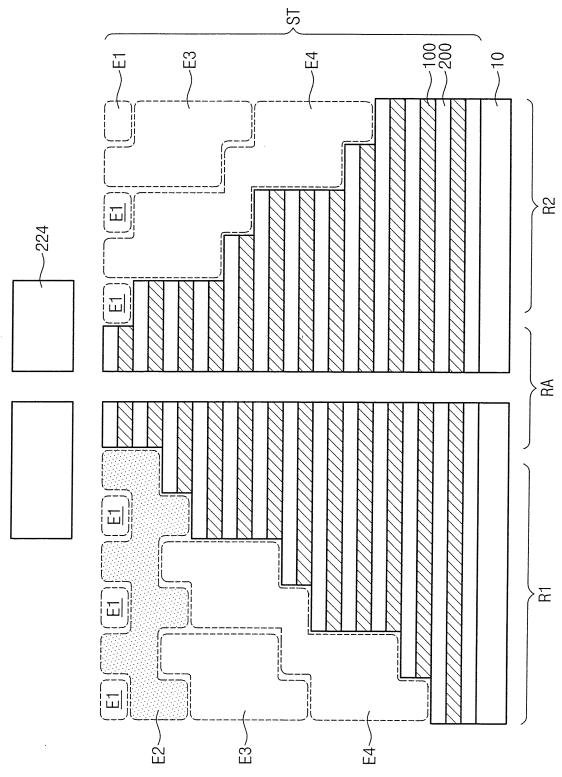
【図24】



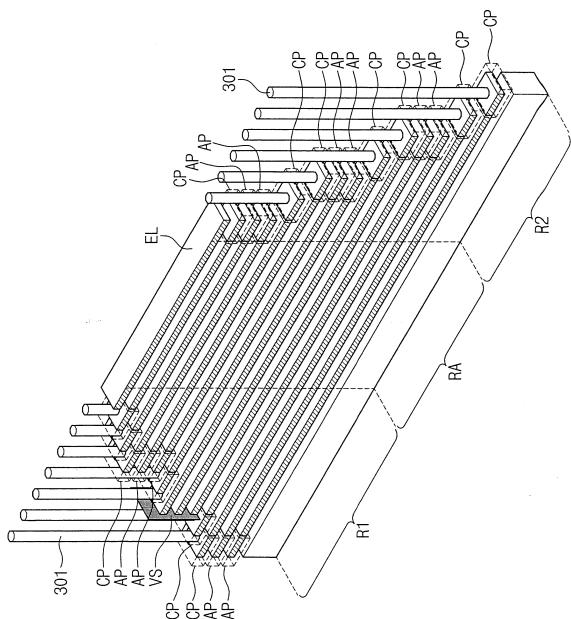
【図25】



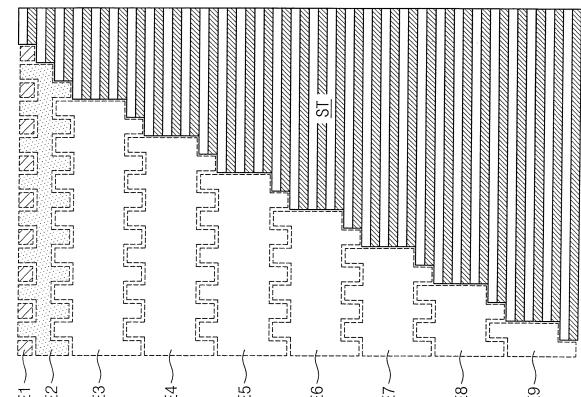
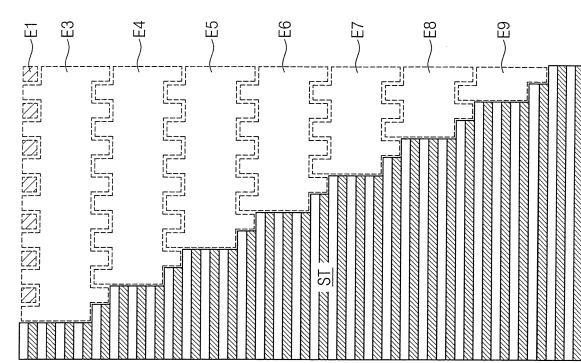
【図26】



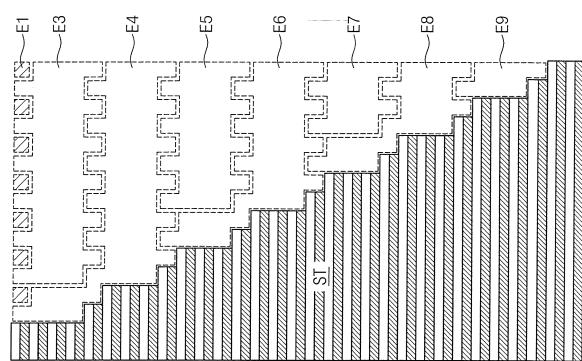
【図27】



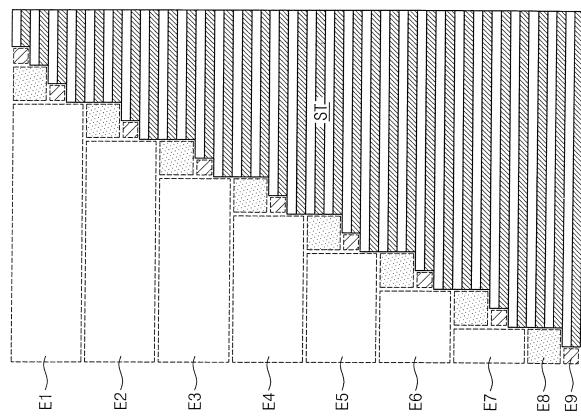
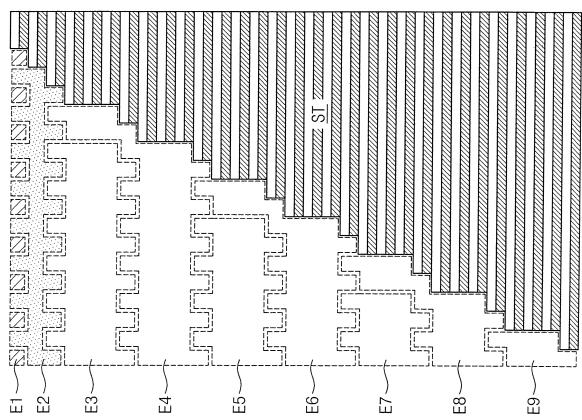
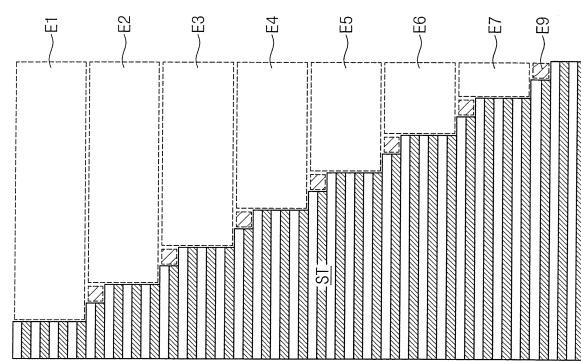
【図28】



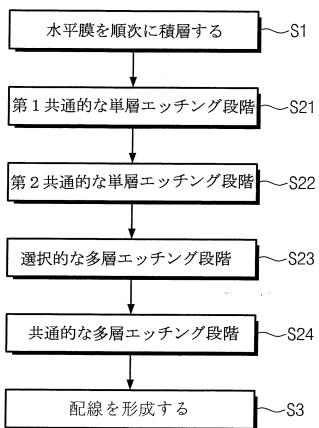
【図29】



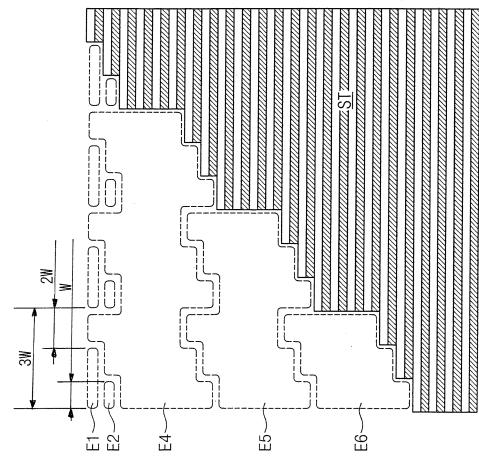
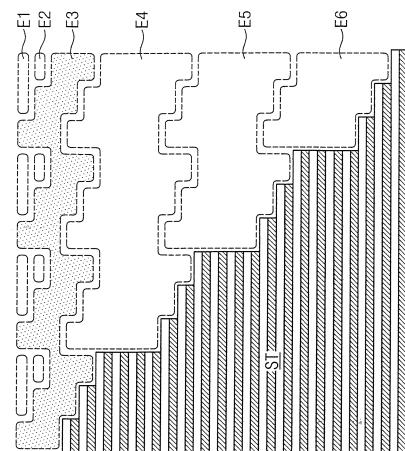
【図30】



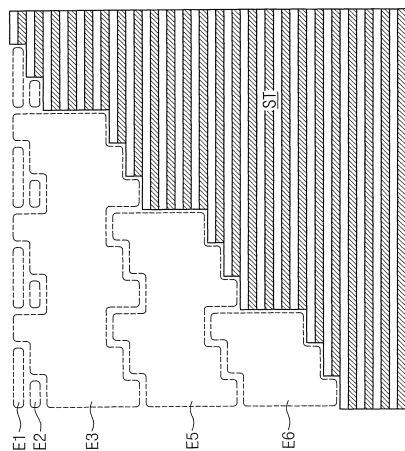
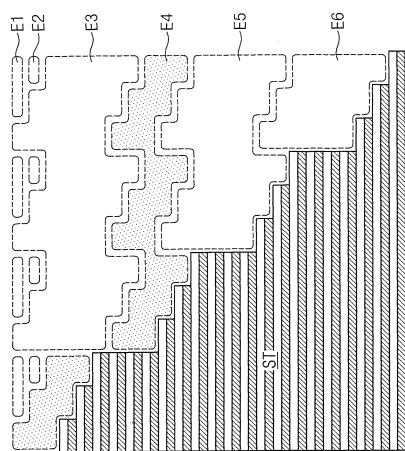
【図31】



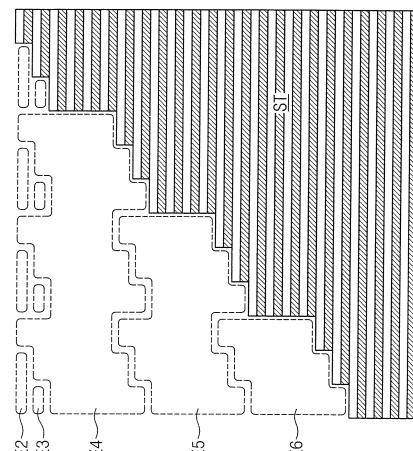
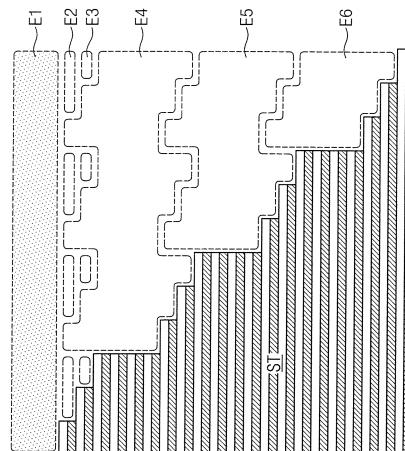
【図32】



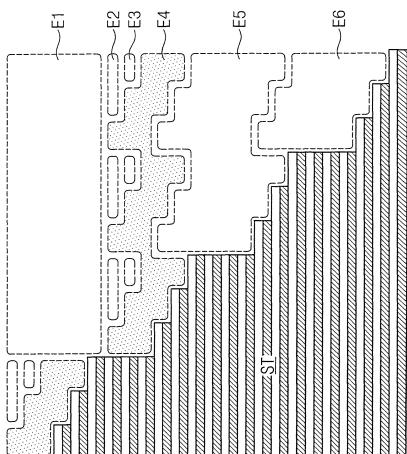
【図33】



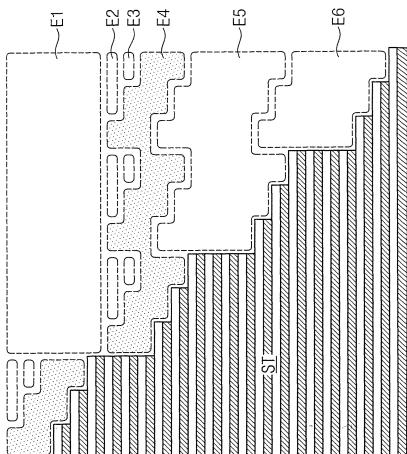
【図34】



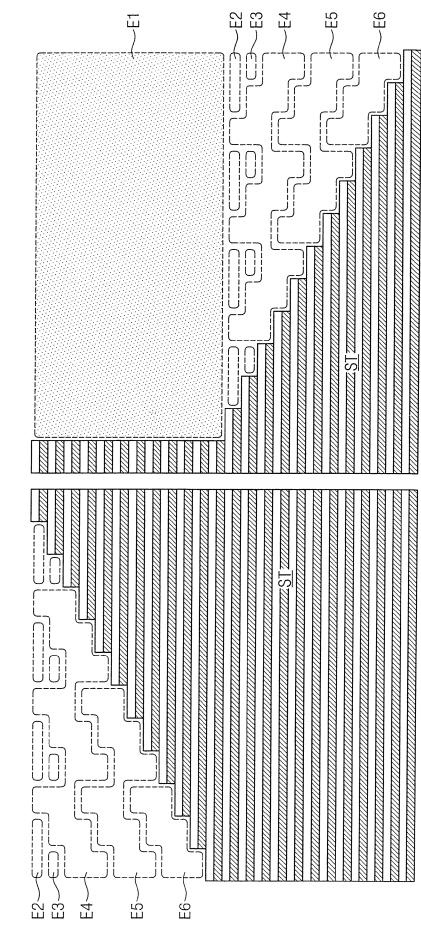
【図35】



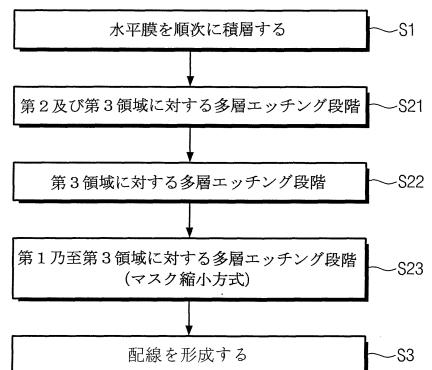
【図36】



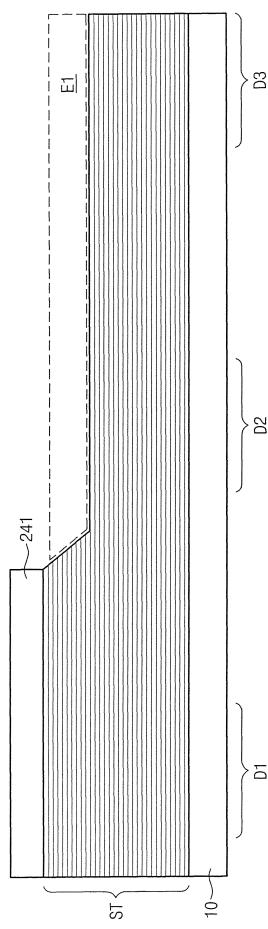
【図37】



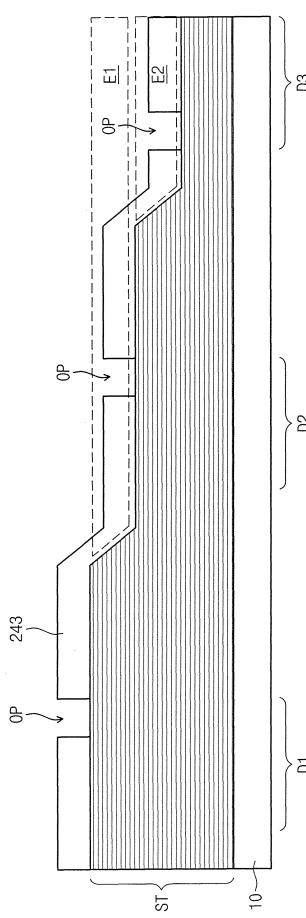
【図38】



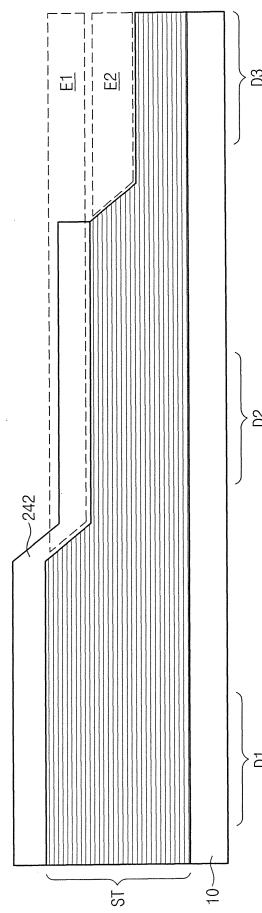
【図39】



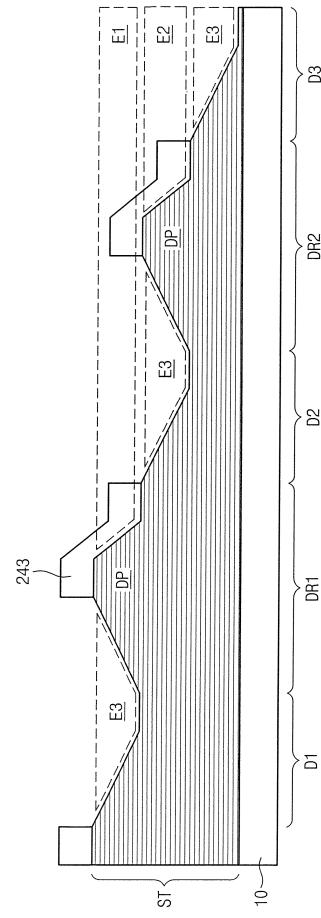
【図41】



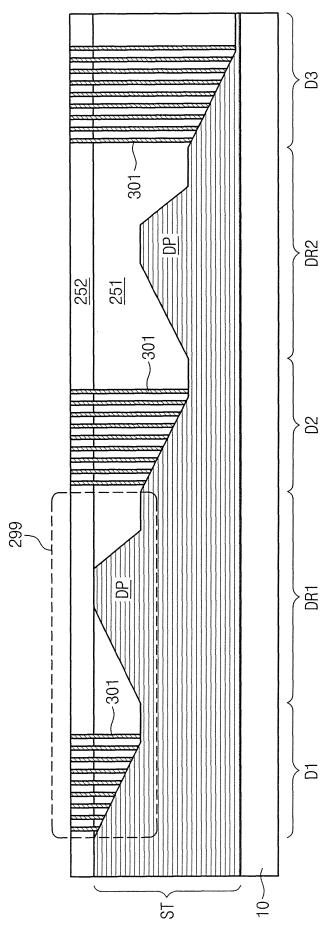
【図40】



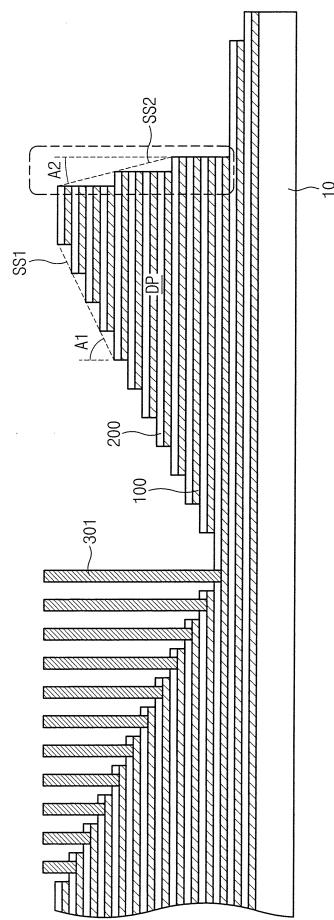
【図42】



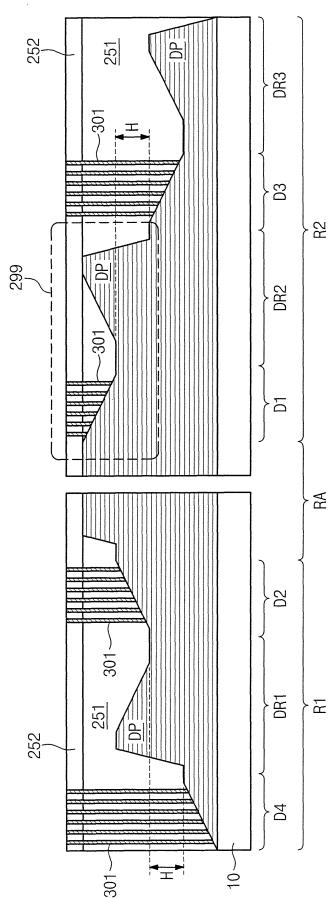
【図43】



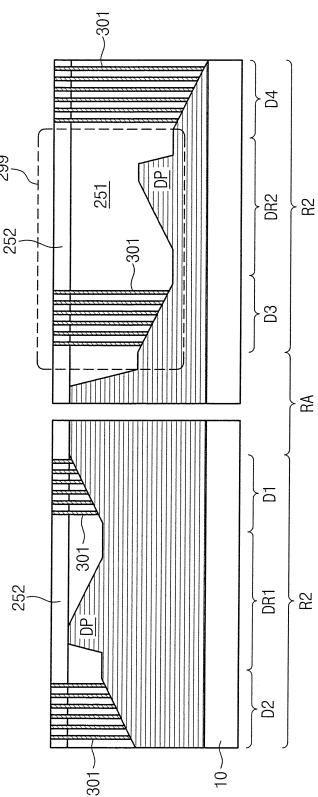
【図44】



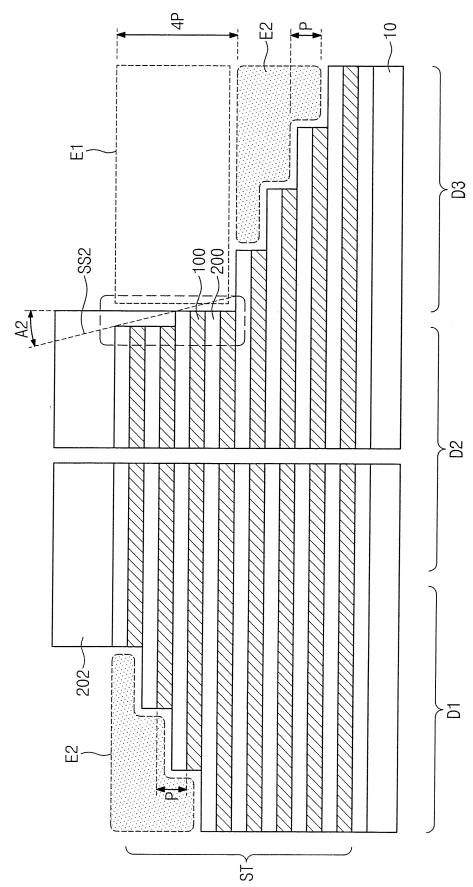
【図45】



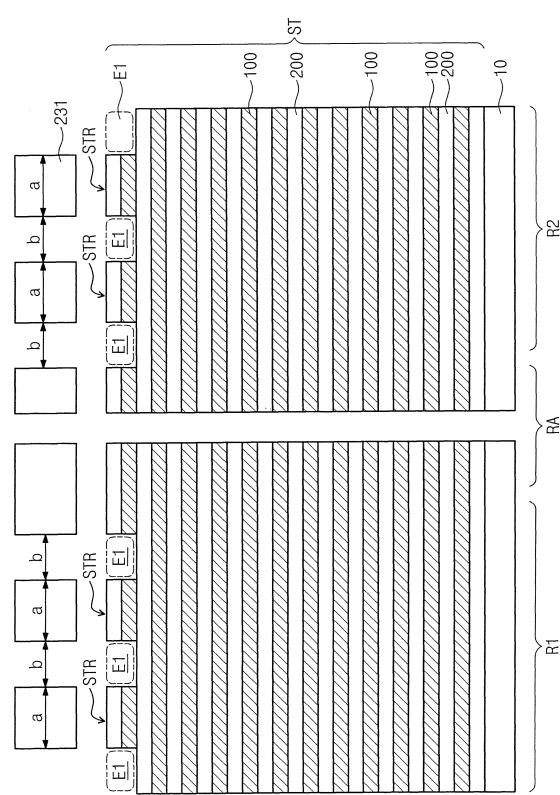
【図46】



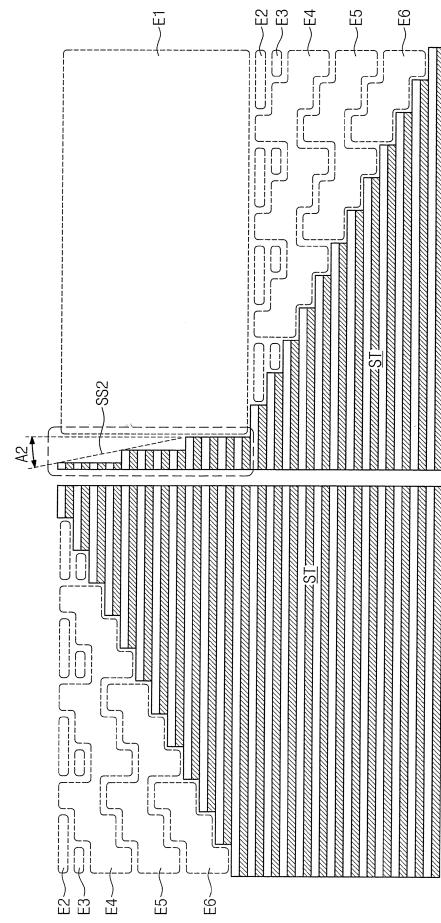
【図47】



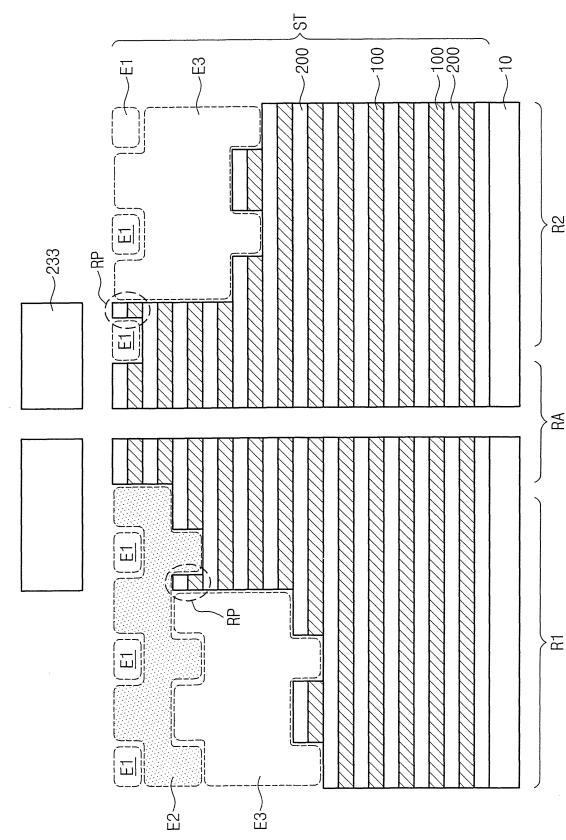
【図49】



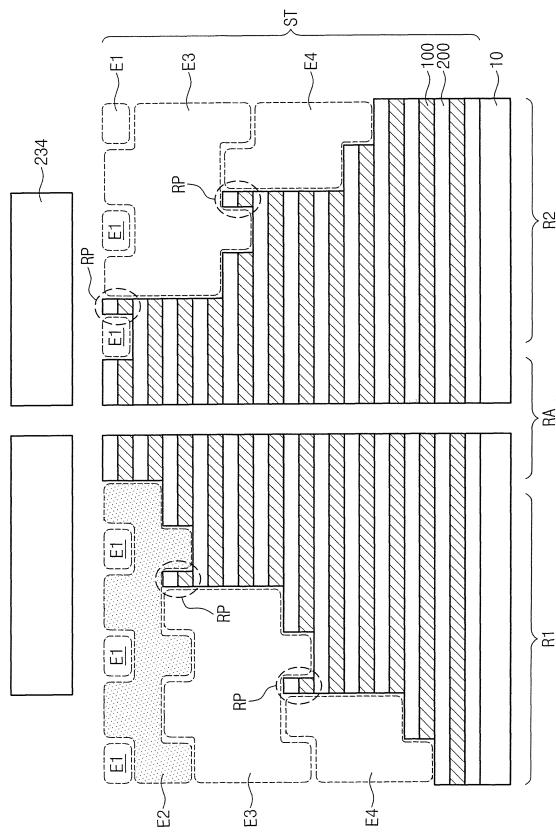
【図48】



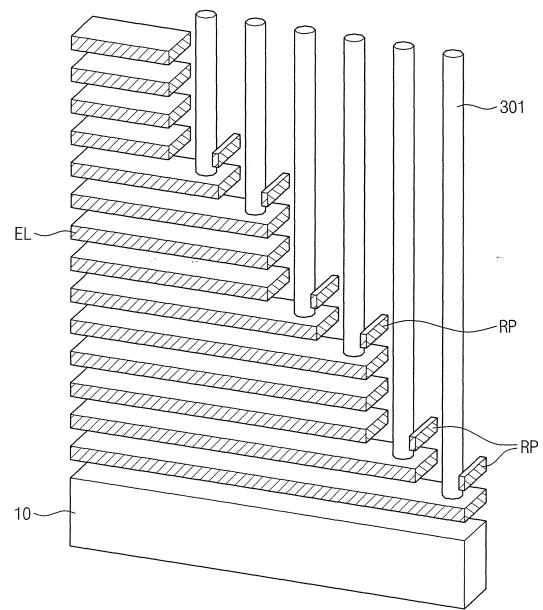
【図50】



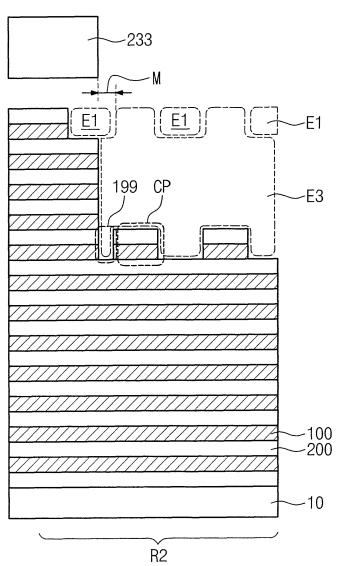
【図 5 1】



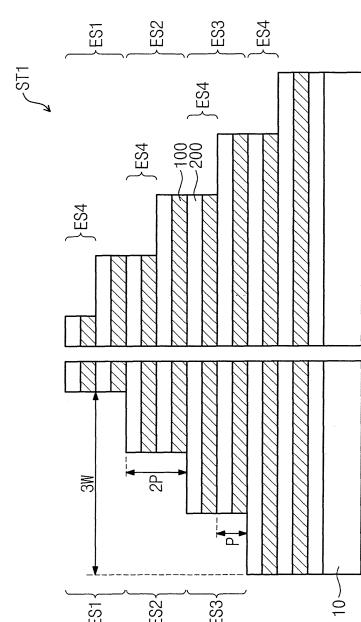
【図 5 2】



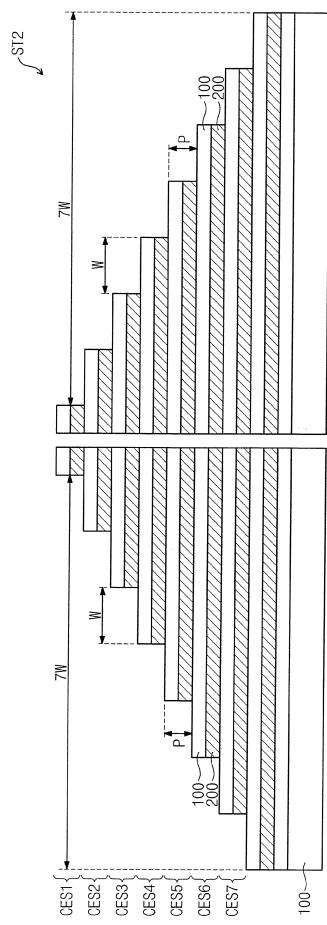
【図 5 3】



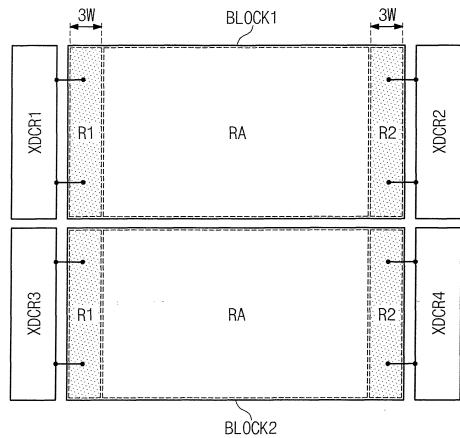
【図 5 4】



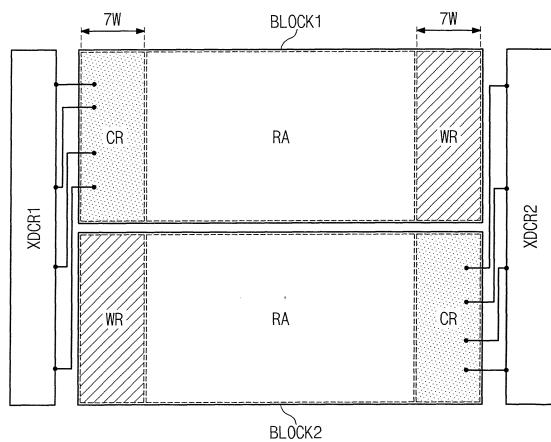
【図55】



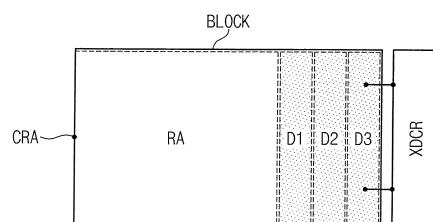
【図56】



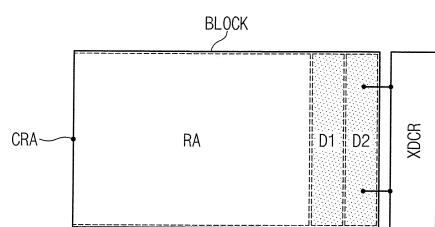
【図57】



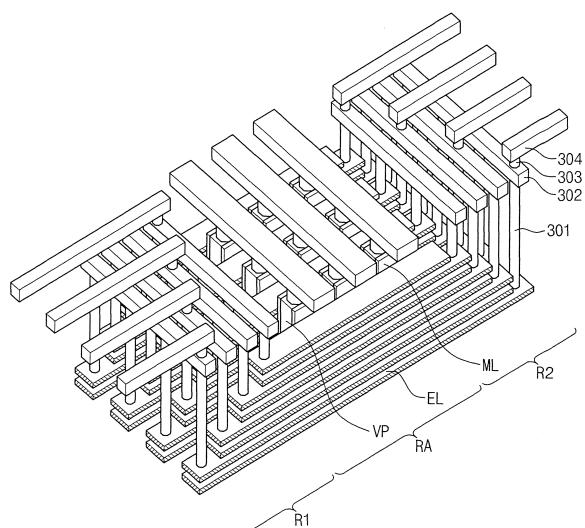
【図59】



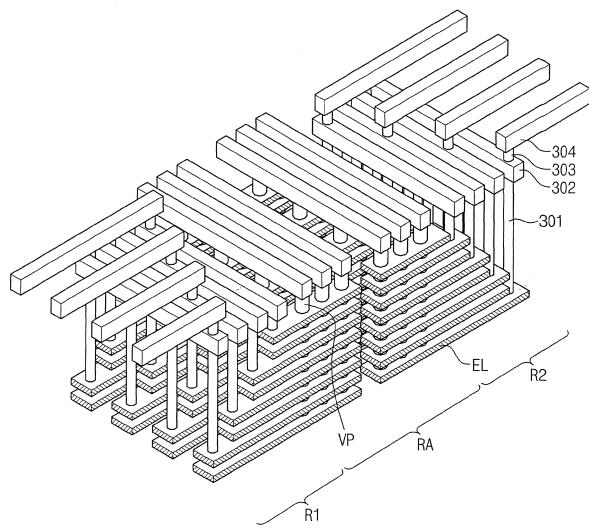
【図58】



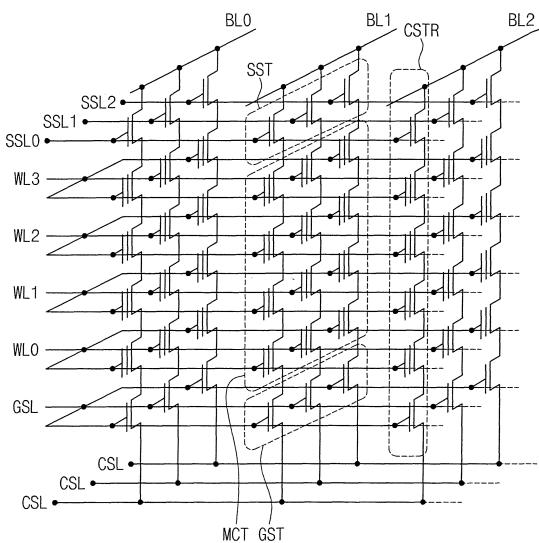
【図60】



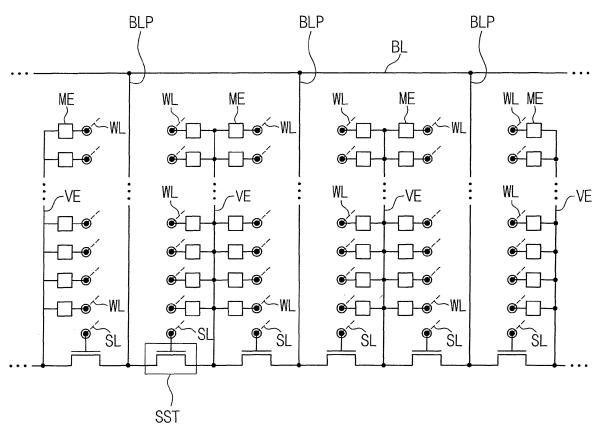
【図 6 1】



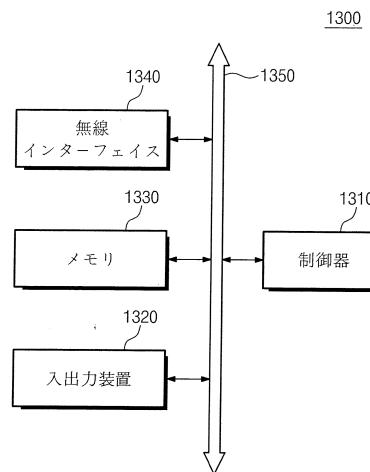
【図 6 2】



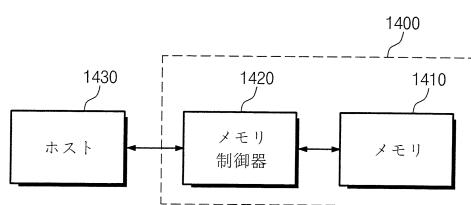
【図 6 3】



【図 6 4】



【図 6 5】



---

フロントページの続き

(72)発明者 李 寧 浩

大韓民国京畿道華城市陵洞スプソクマウルザヨン - エンデジアンアパート 872 棟 2002 号

(72)発明者 李 俊 熙

大韓民国京畿道城南市盆唐区三坪洞 718 番地ボッドルマウルアパート 402 棟 1103 号

(72)発明者 李 錫 元

大韓民国京畿道龍仁市器興区書川洞ヒュマンソチョンマウル 108 棟 401 号

(72)発明者 申 有 哲

大韓民国京畿道華城市石隅洞ロッテケッスルアパート 144 棟 802 号

審査官 佐藤 靖史

(56)参考文献 特開 2010-118659 (JP, A)

特開 2010-192589 (JP, A)

特開 2011-222994 (JP, A)

特開 2009-267243 (JP, A)

特開 2011-204829 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/768

H01L 23/522

H01L 27/10