

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：9411617P

※ 申請日期：94-5-18

※IPC 分類：G01R \rightarrow 3/36

一、發明名稱：(中文/英文)

可自我測試之晶片及其測試方法

Chip Capable of Testing Itself and Testing Method Thereof

二、申請人：(共1人)

姓名或名稱：(中文/英文)

威盛電子股份有限公司

VIA Technologies, Inc.

代表人：(中文/英文) 王雪紅 Cher Wang

住居所或營業所地址：(中文/英文)

台北縣新店市中正路 535 號 8 樓

8F, No. 535, Chung-Cheng Rd., Hsin-Tien, Taipei, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國 Taiwan(R.O.C.)

三、發明人：(共3人)

姓名：(中文/英文) ID：

1. 黃建中 HUANG, JIEN-CHUNG E120172600

2. 賈維國 CHIA, WEI-KUO R122404301

3. 莫凱圳 MO, KAE-JIUN D121248120

國籍：(中文/英文)

1. 中華民國 (R.O.C.)

2. 中華民國 (R.O.C.)

3. 中華民國 (R.O.C.)

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種測試晶片及其方法，且特別是有關於一種自我測試之晶片及其方法。

【先前技術】

在設計晶片時，其較以前之電路板系統在重量、體積、性能及價格皆具有優勢。然若在設計晶片前忽略測試問題，則待產品大量產生時甚至會出現測試代價超過製造代價之問題。因此，於設計晶片時，測試方面係為一重要課題。

請參照第 1 圖，其繪示係傳統測試晶片之架構圖，在此以應用於電腦系統的晶片為例。電腦系統 100 包括處理器 110、晶片 120 及記憶體 130。當晶片 120 於測試狀態時，處理器 110 係以控制訊號 CO1 控制晶片 120 之動作。晶片 120 在此係以整合式晶片為例，包括北橋(North Bridge)121 及繪圖電路 122。因晶片 120 主要之輸出及輸入係透過北橋 121，繪圖電路 122 之輸出及輸入亦需透過北橋 121。於測試繪圖電路 122 時，繪圖電路 122 藉由北橋 121 接收記憶體 130 輸出之測試樣本 P12，並藉由北橋 121 接收處理器 110 輸出之控制指令 CO1，據以處理後，透過北橋 121 輸出測試結果 P14 至記憶體 130。

然而，處理器 110 與晶片 120 溝通之外部匯流排(Front Side Bus, FSB)之時脈係有 400MHz 或 800MHz 不等，而記憶體 130 之運作時脈係有 266 MHz 或 333 MHz 不等，繪圖電路 122 之工作時脈係有 266 MHz 或 333 MHz 不等。為了支援多種時脈頻率之組合，而使測試過程複雜化且較難以除錯(debug)，則會使測試之效率下降。對於測試者而言，此些時脈頻率係不允許被更動，而使測試時有所限制。

另一方面，一般測試樣本係輸入人眼可辨視之樣本，例如輸入三

點之座標樣本，經繪圖電路運算後輸出結果為一三角型之圖形以驗證其正確性。然而，測試樣本建立不易，且繪圖電路產生的測試結果的資料量也很大，會延長測試時間。

晶片 120 於測試時也可透過自動測試設備(Auto Test Equivalent, ATE)驗證晶片之正確性。但是自動測試設備價格相當昂貴，動輒上百萬美元。且晶片電路日趨複雜，漸漸超出目前自動測試設備的速度與儲存能力，因此會降低錯誤覆蓋率(fault coverage)而降低產品整體品質及增長測試時間而間接增加成本。

為了方便的驗證晶片，晶片之內建式自我測試技術(Built-in Self Test, BIST)技術開始受到注目。BIST 之應用，在走向單晶片系統(System on Chip, SoC)的今天，愈是大型設計之晶片愈依賴此技術。然而，一般內建式自我測試的晶片，其需進行驗證的電路需重新設計，如刊載於 IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN ON INTEGRATED CIRCUIT AND SYSTEM.VOL.20.NO.4.APRIL 2001 中，Touba 等人所提出之”Bit-Fixing in Pseudorandom Sequences for Scan BIST”，其待測電路需因應自我測試的需求而改變設計，增添研發之複雜度。

【發明內容】

有鑑於此，本發明的目的就是在提供一種內建自我測試之晶片及其測試方法。可使驗證過程簡化，節約測試所需之時間以跟進市場之腳步。

根據本發明的內容係提出一種可自我測試之晶片，該晶片包括一樣本產生器產生一測試樣本，一待測電路接收該測試樣本，並根據該測試樣本輸出一測試結果以及一結果產生器，依據該測試結果而產生

一簽章結果，藉由輸出該簽章結果以驗證該晶片。

根據本發明的另一內容係提出一種內建自我測試之晶片，與一處理器電性連接，晶片係依一測試模式以自我測試，晶片包括第一電路、樣本產生器、待測電路及結果產生器。第一電路與處理器電性連接。樣本產生器以擬亂數方式產生一測試樣本。待測電路接收經由第一電路接收處理器輸出之一命令，並依據測試樣本而執行命令以輸出一測試結果。結果產生器，依據測試結果而產生一簽章結果。之後，係根據簽章結果以驗證晶片。

根據本發明的又另一內容，提出一種自我測試之方法，用於一晶片。晶片係與一處理器電性連接並具有一測試模式。自我測試之方法係於測試模式下執行。首先，以擬亂數方式產生一測試樣本。接著，依據測試樣本而執行處理器出之一命令以輸出一測試結果。而後，依據測試結果而產生一簽章結果。最後，依據簽章結果以驗證晶片。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉數個較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參照第 2 圖，其繪示依照本發明一實施例之整合式晶片之架構圖，應用於電腦系統。電腦系統 200 包括整合式之晶片 220 及處理器 210。整合式晶片 220 係與處理器 210 電性連接，本實施例中所提之處理器 210 係中央處理器(Center Process Unit, CPU)。晶片 220 係於一測試模式下進行自我測試。整合式晶片 220 包括北橋 221、測試電路 223 及繪圖電路 222。北橋 221 與處理器 210 電性連接並接收處理器輸出之命令 CO2 以輸出命令 CO2' 至繪圖電路 222。測試電路 223 包括樣本產生器 224 及結果產生器 225。樣本產生器 224 以擬亂數(pseudo-random)方式產生一測試樣本(test pattern)P21。繪

圖電路 222 接收命令 CO2'，並依據測試樣本 P21 而執行命令 CO2'，以輸出測試結果 P22。結果產生器 225 依據測試結果 P22 而產生簽章(signature)結果 P23。最後，係根據簽章結果 P23 以驗證晶片 220。

樣本產生器 224 於本實施例中係為線性反饋移位暫存器(Linear Feedback Shift Register, LFSR)。結果產生器 225 於本實施例中係為多輸入記號暫存器(Multiple-Input Signature Register, MISR)。結果產生器 225 依據測試結果 P22 而產生簽章結果 P23，結果產生器 225 係於其過程加入資料量壓縮之動作使簽章結果 P23 之資料量減小而減少測試時間。

結果產生器 225 產生簽章結果 P23 之方法如下。其一為結果產生器 225 將測試結果 P22 以核對和(checksum)之方式產生簽章結果 P23。例如繪圖電路 222 輸出之測試結果 P22 係包括多個子測試結果，結果產生器 225 係根據此些子測試結果產生多個子簽章結果並相加後得到簽章結果 P23。另一為結果產生器 225 將測試結果 P22 依一多項式之運算產生簽章結果 P23。

而於本實施例中，因待測之晶片 220 中已內建 BIST 之技術，不需自記憶體中讀取測試樣本。因而於測試階段，輸入之測試樣本之值並不需具有實質意義，僅需輸入數值使繪圖電路 222 運算，最後以測試結果 P22 計算出簽章結果 P43 驗證晶片 220 之正確性。故由內部之樣本產生器 224 以擬亂數之方式產生測試樣本 P21，使繪圖電路 222 於測試狀態下執行，且亦不用受限於記憶體之工作時脈，使工作環境之因素簡化。且此種於晶片內自我測試之做法，可配合晶片之時脈而達全速測試(at-speed)之效用。

雖本實施例係於北橋及繪圖電路整合之晶片中提出 BIST 架構，但其以 LFSR 以擬亂數之方式產生之測試樣本及 MISR 產生簽章結果之方式，並不限於此實施例。凡以此概念提出之概念，皆於本發明之範

疇內。

請參照第 3 圖，其繪示係依本發明提出一實施例之晶片自我測試之方法。首先，以擬亂數方式產生測試樣本 P21，如步驟 31 所示。接著，依據測試樣本 P21 而執行命令 CO2' 以輸出測試結果 P22，如步驟 32 所示。之後，依據測試結果 P22 而產生一簽章結果 P23，如步驟 33 所示。最後，依據簽章結果 P23 以驗證晶片 220，如步驟 34 所示。而其驗證方式，係以簽章結果 P23 與模擬(simulation)之結果比對繪圖電路 222 之運作正確性。

請參照第 4 圖，其繪示依照本發明另一實施例之整合式晶片之架構圖。整合式晶片 420 係於一測試模式下進行自我測試。整合式晶片 420 包括測試電路 423 及待測電路 422，其中待測電路 422 可以是提供網路實體層作用之電路，亦可以是負責 USB 傳輸功能之電路，也可以是一種橋接電路。而測試電路 423 包括樣本產生器 424 及結果產生器 425。樣本產生器 424 以擬亂數方式產生一測試樣本 P41。待測電路 422 接收測試樣本 P41，並執行測試樣本 P41 以輸出測試結果 P42。結果產生器 425 依據測試結果 P42 而產生簽章結果 P43，其簽章結果 P43 係用以驗證晶片 420。

樣本產生器 424 於本實施例中係為線性反饋移位暫存器。結果產生器 425 於本實施例中係為多輸入記號暫存器。結果產生器 425 依據測試結果 P42 而產生簽章結果 P43，結果產生器 425 係於其過程加入資料量壓縮之動作使簽章結果 P43 之資料量減小而減少測試時間。

結果產生器 425 產生簽章結果 P43 之方法如下。其一為結果產生器 425 將測試結果 P42 以核對和之方式產生簽章結果 P43。例如待測電路 422 輸出之測試結果 P42 係包括多個子測試結果，結果產生器 425 係根據此些子測試結果產生多個子簽章結果並相加後得到簽

章結果 P43。另一為結果產生器 425 將測試結果 P42 依一多項式之運算產生簽章結果 P43。

而於本實施例中，因待測之晶片 420 中已內建 BIST 之技術，不需自記憶體中讀取測試樣本。因而於測試階段，輸入之測試樣本 P41 之值並不需具有實質意義，僅需輸入數值使待測電路 422 運算，最後以測試結果 P42 計算出簽章結果 P43 用以驗證晶片 420 之正確性。由內部之樣本產生器 424 以擬亂數之方式產生測試樣本 P41，使待測電路 422 於測試狀態下執行，且亦不用受限於記憶體之工作時脈，使工作環境之因素簡化。且此種於晶片內自我測試之做法，可配合晶片之時脈而達全速測試(at-speed)之效用。

本發明上述實施例所揭露之可自我測試之晶片及其測試方法，因避免自記憶體讀取測試樣本而造成工作時脈頻率之複雜化。且於結果產生器之端將測試結果壓縮，而使驗證過程簡化。相較於晶片內部數百萬顆之電路，BIST 技術僅於晶片內部增加稍許之電路，並未增加過多成本，且又相對節約測試所需之時間。而且省略了人為輸入測試樣本之動作，以擬亂數之方式產生測試樣本，亦節省測試之時間以跟進市場之腳步。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖繪示圖係傳統測試晶片之架構圖。

第 2 圖繪示依照本發明一實施例之測試晶片之架構圖。

第 3 圖繪示係依本發明一較佳實施例之晶片自我測試之方法。

第 4 圖繪示依照本發明另一實施例之整合式晶片之架構圖。

【主要元件符號說明】

100：電腦系統

110、210：處理器

120：晶片

220、420：依本發明所提出之晶片

121、221：北橋

122、222：繪圖電路

130：記憶體

223、423：測試電路

224、424：樣本產生器

225、425：結果產生器

422：待測電路

五、中文發明摘要：(案件名稱：可自我測試之晶片及其測試方法)

可自我測試之晶片及其測試方法。可自我測試之晶片係與一處理器電性連接。晶片係依一測試模式以自我測試。晶片包括第一電路、樣本產生器、待測電路及結果產生器。第一電路與處理器電性連接。樣本產生器以擬亂數方式產生一測試樣本。待測電路接收經由第一電路接收處理器輸出之一命令，並依據測試樣本而執行命令以輸出一測試結果。結果產生器依據測試結果而產生一簽章結果。之後，係根據簽章結果以驗證晶片。

六、英文發明摘要：(案件名稱：Chip Capable of Testing Itself and Testing Method Thereof)

A chip capable of testing itself and a testing method thereof is provided. The chip capable of testing itself is electrically connected to a processor. The chip tests itself with a testing mode. The chip comprises a first circuit, a pattern generator, a second circuit, and a result generator. The first circuit is electrically connected to the processor. The pattern generator generates a test pattern by the way of pseudo-random. The second circuit receives an order from the processor through the first circuit and executes the order to output a testing result. The result generator generates a signature result according to the testing result. Verifying the chip by the signature result.

十、申請專利範圍：

1. 一種可自我測試之晶片，該晶片包括：

一 樣本產生器，產生一測試樣本(test pattern)；

一 待測電路，接收該測試樣本，並根據該測試樣本輸出一測試結果；以及

一 結果產生器，依據該測試結果而產生一簽章(signature)結果，藉由輸出該簽章結果以驗證該晶片。

2. 如申請專利範圍第 1 項所述之晶片，其中更包含一第一電路與一處理器電性連接，該第一電路用以接收該處理器輸出之命令並傳遞命令至該待測電路以供該待測電路配合該測試樣本執行，使該待測電路產生該測試結果。

3. 如申請專利範圍第 1 項所述之晶片，其中該測試樣本係以擬亂數(pseudo-random)方式產生。

4. 如申請專利範圍第 1 項所述之晶片，其中該樣本產生器係為線性反饋移位暫存器(Linear Feedback Shift Register, LFSR)。

5. 如申請專利範圍第 1 項所述之晶片，其中該結果產生器係為多輸入記號暫存器(Multiple-Input Signature Register, MISR)。

6. 如申請專利範圍第 1 項所述之晶片，其中該結果產生器係將該測試結果依核對和(checksum)之方式產生該簽章結果。

7. 如申請專利範圍第 1 項所述之晶片，其中該結果產生器係將該測試結果依一多項式之運算產生該簽章結果。

8. 一種自我測試晶片之方法，用於一晶片，該晶片係與一處理器電性連接並具有一測試模式，該方法係於該測試模式下執行，該方法包括：

由該晶片內部產生一測試樣本；

依據該測試樣本而執行該處理器出之命令以產生一測試結果；

依據該測試結果而產生一簽章結果；以及

依據該簽章結果以驗證該晶片。

9. 如申請專利範圍第 8 項所述之方法，其中於產生一測試樣本之步驟，該測試樣本係由一線性反饋移位暫存器所產生。

10. 如申請專利範圍第 8 項所述之方法，其中於產生一簽章結果之步驟，該簽章結果係由一多輸入記號暫存器所產生。

11. 如申請專利範圍第 8 項所述之方法，其中於產生一簽章結果之步驟中，係將該測試結果依核對和之方式產生該簽章結果。

12. 如申請專利範圍第 8 項所述之方法，其中於產生一簽章結果之步驟中，係將該測試結果依一多項式之運算產生該簽章結果。

13. 如申請專利範圍第 8 項所述之方法，其中該測試樣本係以擬亂數方式產生。

14. 一種可自我測試之晶片，該晶片包括：

一測試電路，產生一測試樣本；以及

一待測電路，接收該測試樣本以產生一測試結果；

其中，該測試結果回傳至該測試電路，使該測試電路係依據該測試結果而產生一簽章結果，並藉由輸出該簽章結果以驗證該晶片。

15. 如申請專利範圍第 14 項所述之晶片，其中更包含一第一電路與一處理器電性連接，該第一電路用以接收該處理器輸出之命令並傳遞命令至該待測電路以供該待測電路配合該測試樣本執行，使該待測電路產生該測試結果。

16. 如申請專利範圍第 14 項所述之晶片，其中該測試電路包括：

一樣本產生器，以擬亂數方式產生該測試樣本；及

一結果產生器，接收由該測試電路所產生之測試結果，並且依據該測試結果產生該簽章結果。

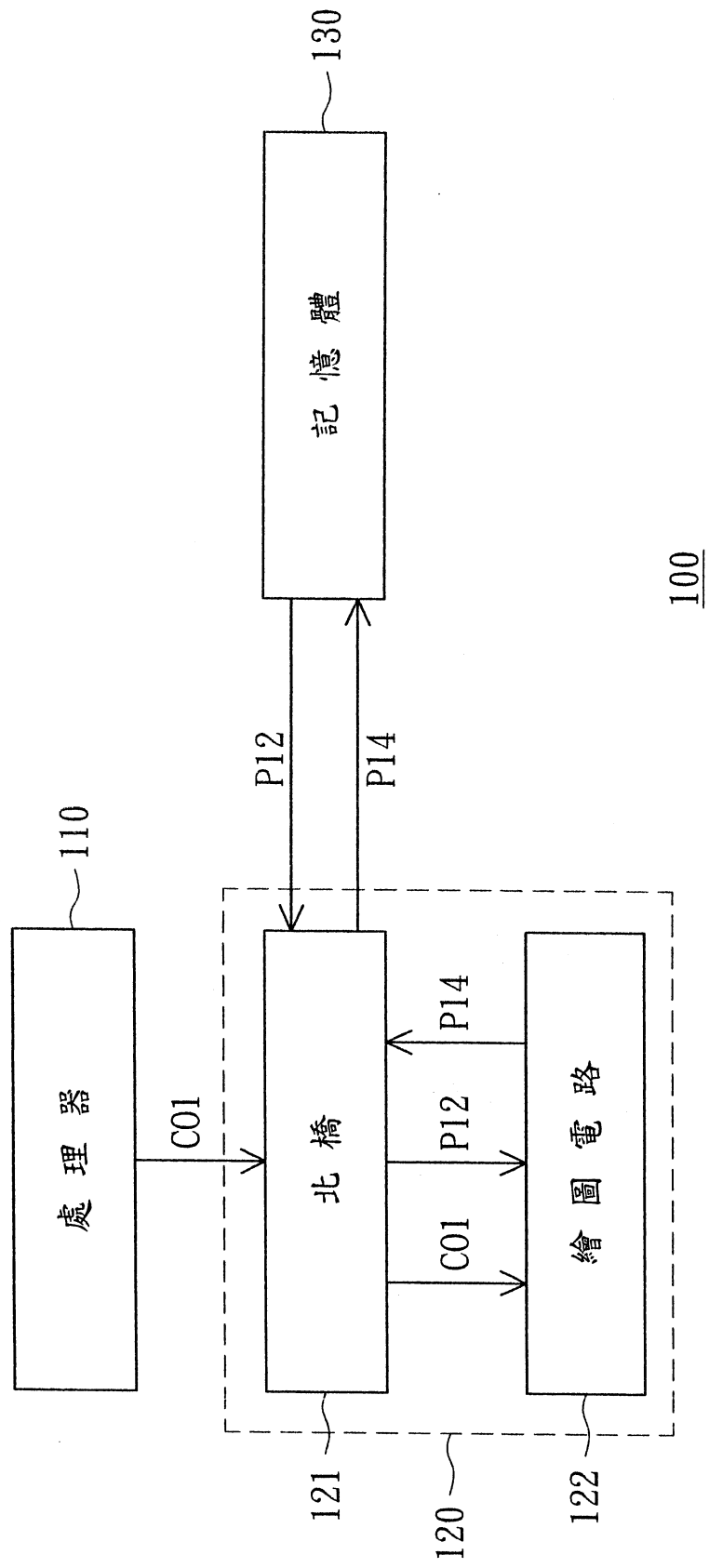
17. 如申請專利範圍第 16 項所述之晶片，其中該樣本產生器係為

線性反饋移位暫存器。

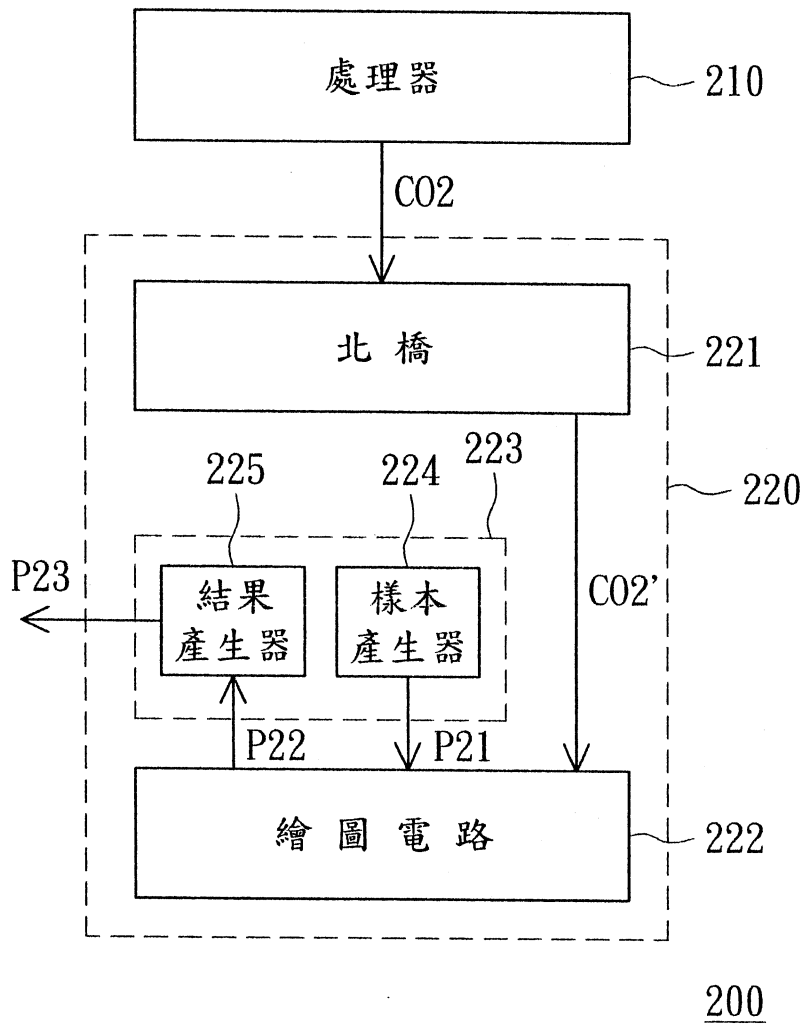
18. 如申請專利範圍第 16 項所述之晶片，其中該結果產生器係為多輸入記號暫存器。

19. 如申請專利範圍第 14 項所述之晶片，其中該測試電路係將該測試結果依核對和之方式產生該簽章結果。

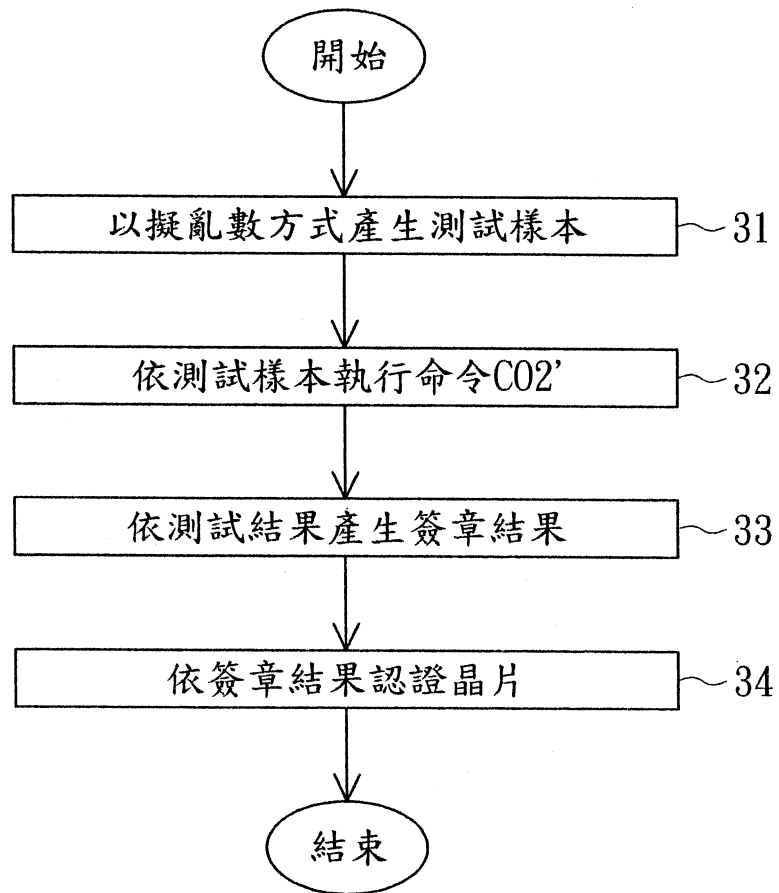
20. 如申請專利範圍第 14 項所述之晶片，其中該測試電路係將該測試結果依一多項式之運算產生該簽章結果。



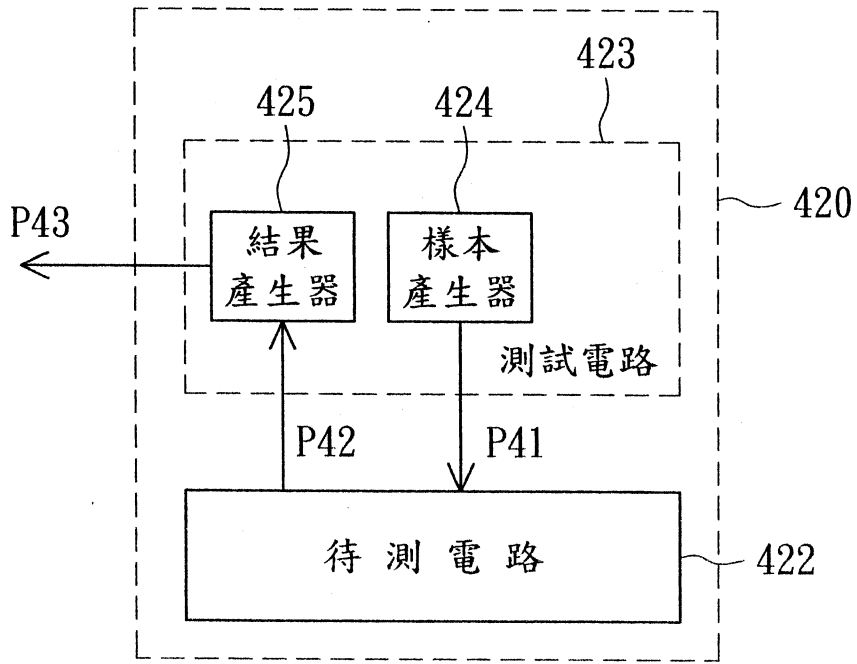
第 1 圖(習知技藝)



第 2 圖



第 3 圖



第 4 圖

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖

(二)本代表圖之元件符號簡單說明：

210：處理器

220：晶片

221：北橋

222：繪圖電路

223：測試電路

224：樣本產生器

225：結果產生器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：