

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 29/00

(45) 공고일자 2001년05월 15일

(11) 등록번호 10-0290696

(24) 등록일자 2001년03월05일

(21) 출원번호	10-1999-0004049	(65) 공개번호	특 1999-0087859
(22) 출원일자	1999년02월05일	(43) 공개일자	1999년12월27일
(30) 우선권 주장	1998-147477 1998년05월28일	일본(JP)	
(73) 특허권자	미쓰비시덴키 가부시기가이샤 다니구찌 이찌로오, 기타오카 다카시		
(72) 발명자	일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 쓰지다카하루 일본도쿄토지요다쿠마루노우치2-2-3미쓰비시덴키가부시기가이샤내 오오이시쓰까사 일본도쿄토지요다쿠마루노우치2-2-3미쓰비시덴키가부시기가이샤내 가도히로시 일본도쿄토지요다쿠마루노우치2-2-3미쓰비시덴키가부시기가이샤내 도미시마시게끼 일본도쿄토지요다쿠마루노우치2-2-3미쓰비시덴키가부시기가이샤내 시마노히로끼 일본도쿄토지요다쿠마루노우치2-2-3미쓰비시덴키가부시기가이샤내		
(74) 대리인	장수길, 구영창, 주성민		

심사관 : 김세영

(54) 고속 동작이 가능한 용장 셀을 포함하는 반도체 기억 장치

요약

고속화 또한 효율적으로 치환 가능한 반도체 기억 장치를 제공한다.

본 발명의 반도체 기억 장치에서는, 용장(redundancy) 판정 회로(20)의 용장 판정과 독립적으로, 어드레스 신호를 디코드한 결과에 응답하여 대응하는 노멀 블럭에서의 워드선을 선택 상태로 하는 워드선 활성화 신호(서브 디코드 신호)를 활성화한다. WL 드라이버(4)는 노멀 블럭에서의 워드선을 선택하는 드라이버 부분과, 용장 블럭에서의 스페어 워드선을 선택하는 드라이버 부분을 구비한다. 용장 판정 회로(20)에서의 용장 판정의 결과, 용장 미사용인 경우, 활성화한 서브 디코드 신호를 비활성화한다. 용장 판정의 결과가 용장 사용인 경우, 활성화한 서브 디코드 신호를 이용하여 대응하는 워드선을 선택 상태로 한다.

대표도

도1

색인어

반도체 기억 장치, 메모리 블럭, 용장 블럭, 노멀 블럭, 용장 판정

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에서의 반도체 기억 장치(1000)의 전체 구성을 나타낸 도면.

도 2는 도 1에 도시한 본 발명의 제1 실시예에서의 WL 드라이버(4)의 구성을 나타낸 도면.

도 3은 도 1에 도시한 본 발명의 제1 실시예에서의 로우 어드레스게 디코드 회로(21)의 주요부의 구성을 나타낸 도면.

도 4는 도 3에 도시한 본 발명의 제1 실시예에서의 MWL 프리디코더(22c)의 구성을 나타낸 도면.

도 5는 본 발명의 제1 실시예에서의 MWL 드라이버의 구성을 나타낸 도면.

도 6의 (a)~도 6의 (m)은 본 발명의 제1 실시예에서의 반도체 기억 장치(1000)의 동작을 설명하기 위한 타이밍차트.

도 7은 본 발명의 제2 실시예에서의 반도체 기억 장치(1200)의 주요부의 구성의 일례를 나타낸 도면.

도 8은 도 7에 도시한 본 발명의 제2 실시예에서의 SD 로컬 드라이버의 구성의 일례를 나타낸 도면.
 도 9는 본 발명의 제3 실시예에서의 SD 로컬 드라이버의 구성의 일례를 나타낸 도면.
 도 10은 본 발명의 제4 실시예에서의 반도체 기억 장치(1400)의 전체 구성의 일례를 나타낸 도면.
 도 11은 도 10에 도시한 본 발명의 제4 실시예에서의 블록 선택 회로(45)의 구성의 일례를 나타낸 도면.
 도 12는 도 10에 도시한 본 발명의 제4 실시예에서의 SD 드라이버의 구성의 일례를 나타낸 도면.
 도 13은 도 10에 도시한 본 발명의 제4 실시예에서의 MWL 드라이버의 구성의 일례를 나타낸 도면.
 도 14는 도 10에 도시한 본 발명의 제4 실시예에서의 S/A대(帶) 제어 신호 드라이버의 구성을 나타낸 도면.
 도 15의 (a)~도 15의 (r)은 본 발명의 제4 실시예에서의 반도체 기억 장치(1400)의 동작을 설명하기 위한 타이밍차트.
 도 16은 본 발명의 제4 실시예에서의 치환을 나타낸 도면.
 도 17은 본 발명의 제4 실시예에서의 다른 치환의 예를 나타낸 도면.
 도 18은 본 발명의 제4 실시예에서의 다른 치환의 예를 나타낸 도면.
 도 19는 본 발명의 제5 실시예에서의 반도체 기억 장치(1500)의 주요부의 구성의 일례를 나타낸 도면.
 도 20은 도 19에서의 반도체 기억 장치(1500)의 주요부의 구성을 나타낸 도면.
 도 21의 (a)~도 21의 (c)는 도 19에 도시한 본 발명의 제5 실시예에서의 반도체 기억 장치(1500)의 동작을 설명하기 위한 타이밍차트.
 도 22의 (a)~도 22의 (n)은 도 19에 도시한 본 발명의 제5 실시예에서의 반도체 기억 장치(1500)의 동작을 설명하기 위한 타이밍차트.
 도 23은 본 발명의 제6 실시예에서의 반도체 기억 장치(1600)의 주요부의 구성의 일례를 나타낸 도면.
 도 24는 도 23에 도시한 본 발명의 제6 실시예에서의 메모리 셀 어레이(65)의 구성을 나타낸 도면.
 도 25는 도 23에 도시한 본 발명의 제6 실시예에서의 노말 블록에 대한 회로 구성을 나타낸 도면.
 도 26은 도 23에 도시한 본 발명의 제6 실시예에서의 용장 블록에 대한 회로 구성을 나타낸 도면.
 도 27의 (a)~도 27의 (w)는 본 발명의 제6 실시예에서의 반도체 기억 장치(1600)의 동작을 설명하기 위한 타이밍차트.
 도 28은 본 발명의 제7 실시예에서의 반도체 기억 장치(1700)의 메모리 매트(memory mat)의 구성을 나타낸 도면.
 도 29는 본 발명의 제8 실시예에서의 반도체 기억 장치(1800)의 메모리 매트(1800)의 구성을 나타낸 도면.
 도 30은 본 발명의 제9 실시예에서의 반도체 기억 장치(1900)의 메모리 매트(1900)의 구성을 나타낸 도면.
 도 31은 본 발명의 제10 실시예에서의 반도체 기억 장치(2000)의 메모리 매트(2000)의 구성을 나타낸 도면.
 도 32는 종래의 반도체 기억 장치(9000)에서의 전체 구성을 나타낸 도면.
 도 33은 도 32에 도시한 종래의 반도체 기억 장치에서의 WL 드라이버(914)의 구성을 나타낸 도면.
 도 34의 (a)~도 34의 (m)은 도 32에 도시한 종래의 반도체 기억 장치(9000)에서의 동작을 설명하기 위한 타이밍차트.

<도면의 주요 부분에 대한 부호의 설명>

1 : 메모리 블록
 2, 66, 70 : 센스 앰프 블록
 4, 63 : 드라이버
 21 : 로우 어드레스계 디코드 회로
 20, 46, 50, 60 : 용장 판정 회로
 22, 33 : 로우 프리디코더
 23, 45 : 블록 선택 회로
 24 : SD 드라이버/SA 드라이버
 25 : MWL 드라이버
 31 : MWL 디코더/드라이버
 32a, 32b, 36a, 36b : SD 로컬 드라이버
 34 : 블록 선택 회로/SD 드라이버
 901 : 레지스터

902 : 로우 어드레스 버퍼
 42 : SD 드라이버 · S/A대 제어 신호 드라이버
 61 : 입력 버퍼
 62, 64 : 프리디코더
 40a, 40b, RBL : 용장 블록
 NBL : 노멀 블록
 1000~1900 : 반도체 기억 장치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 기억 장치에 관해서, 특히 치환 가능한 용장 셀을 포함하는 반도체 기억 장치에 관한 것이다.

종래의 용장 셀을 구비하는 반도체 기억 장치의 일례에 대해서, 도 32를 이용하여 간단하게 설명한다.

도 32에 도시한 종래의 반도체 기억 장치(9000)는 레지스터(901), 로우 어드레스 버퍼(902), 로우 프리디코더(212), 용장 판정 회로(211), 메모리 셀 어레이(910), 칼럼 디코더(903) 및 데이터 입출력 버퍼(904)를 포함한다. 종래의 반도체 기억 장치(9000)는 계층 워드선(hierarchical word lines) 방식, 공유 센스 앰프(shared sense amplifier) 방식의 구성을 구비한다.

메모리 셀 어레이(910)는 복수의 메모리 블록(1.0, 1.1, ...)을 포함한다. 각 메모리 블록은 정규 메모리 셀로 구성되는 노멀 블록 [도면 중 기호 NBL(0), NBL(1), ...]과 용장 셀로 구성되는 용장 블록 [도면 중 기호 RBL(0), RBL(1), ...]을 포함한다. 메모리 블록(1.0, ...)의 양측에 센스 앰프 블록(2)이 배치된다. 인접하는 메모리 블록끼리는 센스 앰프 블록(2)을 공유한다.

레지스터(901)는 외부로부터 신호 (외부 로우 어드레스 스트로브 신호/RAS, 외부 칼럼 어드레스 스트로브 신호/CAS, 외부 칩 선택 신호/CS, 외부 기록 인에이블 신호/WE, 외부 클럭 신호 CLK, 외부 클럭 인에이블 신호/CKE 등)를 받아 대응하는 제어 신호를 출력한다.

로우 어드레스 버퍼(902)는, 외부 어드레스 신호(A0~Ai)에 응답하여 로우 어드레스 신호를 출력한다.

로우 프리디코더(212)는 용장 판정 회로(211)로부터 출력되는 인에이블 신호 PDE에 응답하여 로우 어드레스 버퍼(902)의 출력에 기초하여 메인 워드선 MWL을 지정하는 디코드 신호를 출력한다. 또한, 로우 프리디코더(212)는 로우 어드레스 버퍼(902)의 출력에 기초하여 대응하는 블록 선택 신호를 출력한다.

데이터 입출력 버퍼(904)는 칼럼 디코더(903)의 제어에 기초하여, 데이터 I/O 핀(DQ0~DQn)과 메모리 셀 어레이(910) 사이에서 신호를 교환한다.

메모리 셀 어레이(910)에 대해서 SD 드라이버/SA 드라이버(924) 및 MWL 드라이버(925)를 배치한다. SD 드라이버/SA 드라이버(924)는 센스 앰프의 활성화를 제어하는 공유 게이트 신호 및 워드선을 활성화하는 서브 디코드 신호를 출력한다. MWL 드라이버(925)는 메인 워드선을 선택 상태로 한다.

용장 판정 회로(211)는 용장 사용/미사용을 판정한다. 용장 사용의 경우에는 용장 메인 워드선 RMWL을 선택 상태로 하기 위한 용장 메인 워드선 선택 신호를 출력한다.

메모리 블록(1.0, ...) 각각에 대해서 도 33에 도시한 WL 드라이버(914)를 배치한다.

도 32에 도시한 종래의 반도체 기억 장치에서의 WL 드라이버(914)의 구성을 도 33을 이용하여 설명한다.

메모리 블록(1.1)은 복수의 용장 및 노멀 메모리 셀(MC), 복수의 비트선쌍 BL(0) 및 /BL(0), ..., 복수의 워드선 WL(n), WL(n+1), ..., 복수의 스페어 워드선 SWL(0), SWL(1), ...을 포함한다. 복수의 비트선쌍은 각 열에 대응하여 배치된다. 복수의 워드선 및 스페어 워드선은 각 행에 대응하여 배치된다.

메모리 블록(1.1)에 대응하여 센스 앰프 블록 (도면 중 기호 2a, 2b)을 배치한다. 센스 앰프 블록(2a, 2b)은 각각 복수의 센스 앰프 S/A와, PMOS 트랜지스터 PT10을 구성 요소로 하는 복수의 이퀄라이즈 회로와, NMOS 트랜지스터 NT10, NT11, NT12 및 NT13을 구성 요소로 하는 복수의 S/A 공유 회로를 포함한다.

WL 드라이버(914)는 메인 워드선 MWL(0), ..., MWL(m) 또는 용장 메인 워드선 RMWL 및 서브 디코드 신호 SD(0), /SD(0), SD(1), /SD(1), ...에 기초하여, 1개의 워드선 WL(n), WL(n+1) 또는 스페어 워드선 SWL(0), SWL(1)을 선택 상태로 한다. 용장 메인 워드선 및 스페어 워드선은 용장 셀을 선택하기 위해서 사용한다.

WL 드라이버(914)는 각 워드선 및 스페어 워드선에 대응하여 PMOS 트랜지스터 PT1 및 NMOS 트랜지스터 NT1 및 NMOS 트랜지스터 NT2를 구비한다. 예를 들면, 워드선 WL(0)에 대해서 PMOS 트랜지스터 PT1의 한쪽 단자는 서브 디코드 신호 SD(1)을 받고, 다른쪽 단자는 NMOS 트랜지스터 NT1의 한쪽 단자와 접속된다. PMOS 트랜지스터 PT1 및 NMOS 트랜지스터 NT1 각각의 게이트 전극은 메인 워드선 MWL과 접속된다. PMOS 트랜지스터 PT1과 NMOS 트랜지스터 NT1의 접속 노드는 워드선 WL(0)과 접속된다. NMOS 트랜지스터 NT2의 한쪽 단자는 워드선 WL(0)과 접속되고, 다른쪽 단자는 접지 전위와 접속되며, 그 게이트 전극은 서브 디코드 신호 SD(1)을 반전한 서브 디코드 신호 /SD(1)을 받는다. 이 결과, 서브 디코드 신호 또는 용장 서

브 디코드 신호에 의해 어느 하나의 워드선 또는 스페어 워드선이 선택 상태가 된다.

그런데, 용장 영역을 배치하는 메모리 셀 어레이는, 반도체 기억 장치에 있어서 필수 구성이 되고 있다. 이 점에서, 특히, 도 32에 도시한 종래의 반도체 기억 장치(9000)는 메모리 블록 간을 넘어서 치환이 가능하다고 하는 점에서 구제 효율(repairing efficiency)이 높은 구성을 구비하고 있다고 할 수 있다.

그러나, 일반적으로 용장 셀을 포함하는 반도체 기억 장치에서는 용장 판정이 있기까지 활성화시키는 블록이 결정되지 않아, 고속 액세스가 불충분하다고 하는 문제가 있다.

이 문제점을 도 32에 도시한 종래의 반도체 기억 장치를 구체예로 하여 도 34의 (a)~도 34의 (m)을 이용하여 설명한다.

도 34의 (a)~도 34의 (m)을 참조하여, 뱅크 활성화 신호 ACT에 의해, 로우계의 동작이 개시된다. 어드레스 신호 RA0~RA12가 래치되며, 워드선 또는 스페어 워드선의 선택, 센스 앰프의 활성화의 동작이 행해진다. 워드선의 선택 시에는 용장의 사용·미사용 판정이 행해진다.

시각 t0에서 로우 어드레스가 용장 판정 회로(211) 및 로우 프리디코더(212)에 도달한다. τ_0 의 기간에 용장 판정이 행해진다. 용장 판정 후, 시각 t1에서, 대응하는 워드선 또는 스페어 워드선을 선택 상태로 하기 위한 서브 디코드 신호 또는 용장 서브 디코드 신호의 활성화 및 센스 앰프의 준비를 행한다.

구체적으로는, 메모리 블록(1.1)이 선택되면, 그 양단에 위치하는 센스 앰프 블록이 활성화 상태가 된다. 그 동작의 준비로서 비트선의 이퀄라이즈를 해제하기 위해서 이퀄라이즈 신호 BLEQ를 L 레벨로 하고, 공유 게이트를 오프하기 위해서 공유 게이트 SHR(U) 및 SHE(D)를 L 레벨로 한다. 이들의 동작은, 용장 판정 후 워드선을 상승시킬 때까지 완료한다.

이 결과, 최종적으로 로우 어드레스의 입력으로부터 워드선의 상승까지에 $\tau_0 + \tau_{20}$ (단, $\tau_{20} = t_2 - t_0$)이 필요해진다.

더욱이, 용장 셀을 사용한 경우, 레이아웃 면적이 증대한다고 하는 문제가 존재한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 용장 셀을 갖는 반도체 기억 장치에서 고속 동작이 가능한 반도체 기억 장치를 제공한다.

또한, 본 발명은 레이아웃 면적을 억제하면서 구제 효율이 높은 반도체 기억 장치를 제공한다.

본 발명에 따른 반도체 기억 장치는, 복수의 메모리 블록을 구비하고, 복수의 메모리 블록의 각각은 행렬 형태로 배치되는 복수의 정규 메모리 셀과, 행에 대응하여 배치되는 복수의 워드선과, 열에 대응하여 배치되는 복수의 비트선을 포함하는 노말 블록과, 행렬 형태로 배치되는 복수의 용장 셀과, 행에 대응하여 배치되는 복수의 용장 워드선과, 열에 대응하여 배치되는 복수의 비트선을 포함하는 용장 블록을 포함하고, 복수의 용장 셀은 복수의 메모리 블록 중 어느 하나에 속하는 정규 메모리 셀을 치환하기 위해서 사용되며, 외부 어드레스 신호에 응답하여 용장 사용인자의 여부를 판정하는 판정 회로와, 판정 회로의 판정 결과와 독립적으로 외부 어드레스 신호에 응답하여, 대응하는 워드선을 선택 상태로 하기 위한 제어를 행하는 제1 제어 회로와, 판정 회로의 판정 결과를 받아서 외부 어드레스 신호에 기초하여, 대응하는 용장 워드선을 선택 상태로 하기 위한 제어를 행하는 제2 제어 회로를 더욱 구비하고, 제1 제어 회로는 판정 회로에 의한 용장 사용의 판정 결과를 받아서 대응하는 워드선을 비선택 상태로 한다.

따라서, 본 발명의 이점은 다른 메모리 블록에서의 용장 블록을 이용하여 치환 가능한 반도체 기억 장치에서 용장 사용 판정 처리와 독립하여 워드선을 선택 상태로 하기 위해서 필요한 제어 (신호 발생)를 행함으로써 고속의 액세스가 가능해지는 점에 있다.

특히, 용장 사용 판정 처리와 독립적으로, 워드선을 선택 상태로 하기 위해서 필요한 활성화 신호를 활성화하고, 또한 용장 판정 후에 용장 사용이면, 활성화 신호를 비활성화시킨다. 이에 따라, 용장 미사용의 경우, 고속 액세스가 가능해진다.

특히, 워드선을 선택 상태로 하기 위해서 필요한 활성화 신호를 발생시키는 디코더 및 용장 워드선을 선택 상태로 하기 위해서 필요한 활성화 신호를 발생시키는 디코더를 인접하는 블록 간에서 공통화함으로써, 레이아웃 면적을 삭감하는 것이 가능해진다.

본 발명에 따른 반도체 기억 장치는, 복수의 메모리 블록을 구비하고, 복수의 메모리 블록의 각각은 행렬 형태로 배치되는 복수의 정규 메모리 셀과, 행에 대응하여 배치되는 복수의 워드선과, 열에 대응하여 배치되는 복수의 비트선을 포함하는 노말 블록을 포함하고, 복수의 메모리 블록 중, 적어도 1 이상의 메모리 블록은 행렬 형태로 배치되는 복수의 용장 셀과, 행에 대응하여 배치되는 복수의 용장 워드선과, 열에 대응하여 배치되는 복수의 비트선을 포함하는 용장 블록을 더욱 포함하고, 복수의 용장 셀은 복수의 메모리 블록 중 어느 하나에 속하는 정규 메모리 셀을 치환하기 위해서 사용되며, 외부 어드레스 신호에 응답하여 용장 사용인자의 여부를 판정하는 판정 회로와, 판정 회로의 판정 결과와 독립해서 외부 어드레스 신호에 응답하여 대응하는 워드선을 선택 상태로 하기 위한 제어를 행하는 제1 제어 회로와, 판정 회로의 판정 결과와 독립하여, 외부 어드레스 신호에 응답하여 대응하는 용장 워드선을 선택 상태로 하기 위한 제어를 행하는 제2 제어 회로를 더 구비하고, 제1 제어 회로는 판정 회로에 의한 용장 판정의 결과를 받아서 대응하는 워드선을 비선택 상태로 하기 위한 제어를 행하고, 제2 제어 회로는 판정 회로에 의한 용장 미판정의 결과를 받아서 대응하는 워드선을 비선택 상태로 하기 위한 제어를 행한다.

본 발명의 또 다른 이점은, 다른 메모리 블록에서의 용장 블록을 이용하여 치환 가능한 반도체 기억 장치에서 용장 사용 판정 처리와 독립하여 워드선 및 용장 워드선을 선택 상태로 하기 위해서 필요한 제어 (신호 발생)를 행함으로써 고속 액세스가 가능해지는 점에 있다.

특히, 용장 사용의 판정 처리와 독립하여 워드선 및 용장 워드선을 선택 상태로 하기 위해서 필요한 활성화 신호를 활성화하고 또한 용장 판정 후에 필요한 신호를 남겨서 비활성화시킨다. 이에 따라, 용장 미사용의 경우 고속 액세스가 가능해진다.

특히, 용장 판정의 판정 처리와 독립하여, 대응하는 센스 앰프에 대한 제어 신호를 발생해 준다. 또한, 용장 사용의 판정 처리와 독립하여, 워드선 및 용장 워드선을 선택 상태로 하기 위해서 필요한 활성화 신호를 활성화하고 또한 용장 판정 후에 필요한 신호를 남겨서 비활성화시킨다. 이에 따라, 고속 액세스가 가능해진다.

특히, 용장 사용의 판정 처리와 독립하여, 워드선 및 용장 워드선을 선택 상태로 하기 위해서 필요한 활성화 신호를 중간 레벨로 상승시키고 또한 용장 판정 후에 필요한 신호를 활성화하고, 다른 신호를 비활성화시킨다. 이에 따라, 용장 미사용의 경우, 고속 액세스가 가능해진다. 또한, 중간 레벨의 전원 전압을 사용하기 위해서 주변 회로로의 부담을 억제하여 소비 전력을 저감시킬 수 있다.

본 발명에 따른 반도체 기억 장치는, 행렬 형태로 배치되는 복수의 정규 메모리 셀과, 행에 대응하여 배치되는 복수의 워드선과, 열에 대응하여 배치되는 복수의 비트선을 포함하는 노멀 블럭과, 행렬 형태로 배치되며, 대응하는 정규 메모리 셀과 치환하기 위한 복수의 용장 셀과, 행에 대응하여 배치되는 복수의 용장 워드선과, 열에 대응하여 배치되는 복수의 비트선을 포함하는 용장 블럭과, 외부 어드레스 신호에 응답하여 용장 사용인지의 여부를 판정하는 판정 회로와, 판정 회로의 판정 결과와 독립해서 외부 어드레스 신호에 응답하여 대응하는 워드선을 선택 상태로 하기 위한 제어를 행하는 제1 제어 회로와, 판정 회로의 판정 결과와 독립해서 외부 어드레스 신호에 응답하여 대응하는 용장 워드선을 선택 상태로 하기 위한 제어를 행하는 제2 제어 회로를 더 구비하고, 제1 제어 회로는 판정 회로에 의한 용장 판정의 결과를 받아서 대응하는 워드선을 비선택 상태로 하기 위한 제어를 행하며, 제2 제어 회로는 판정 회로에 의한 용장 미판정의 결과를 받아서 대응하는 용장 워드선을 비선택 상태로 하기 위한 제어를 행한다.

따라서, 본 발명의 또 다른 이점은, 용장 블럭을 갖는 반도체 기억 장치에서, 용장 사용의 판정 처리와 독립하여, 워드선 및 용장 워드선을 선택 상태로 하기 위해서 필요한 활성화 신호를 중간 레벨로 상승시키고, 또한 용장 판정 후에 필요한 신호를 활성화하고, 다른 신호를 비활성화시킨다. 이에 따라, 용장 미사용의 경우 고속 액세스가 가능해진다.

특히, 중간 레벨의 전원 전압을 사용하기 위해서 주변 회로로의 부담을 억제하여 소비 전력을 저감시킬 수 있다.

특히, 용장 판정의 타이밍이 아닌 디코드의 타이밍에 필요한 신호를 활성화시키는 것이 가능해진다.

본 발명의 또 다른 목적, 특징 및 우수성은 이하에 기재한 설명에 의해 충분히 알 수 있을 것이다. 또한, 본 발명의 이점은 첨부 도면을 참조로 한 다음의 설명으로 명백해질 것이다.

발명의 구성 및 작용

[제1 실시예]

본 발명의 제1 실시예에서의 반도체 기억 장치에 대해서 설명한다. 본 발명의 제1 실시예에서의 반도체 기억 장치는 메모리 블럭 간을 넘어서 치환 가능한 반도체 기억 장치에 관한 것이며, 통상의 로우 어드레스계와 용장용 로우 어드레스계를 개별로 제어함으로써 액세스 시간의 고속화를 꾀하는 것이다.

본 발명의 제1 실시예에서의 반도체 기억 장치의 전체 구성에 대해서 도 1을 이용하여 설명한다. 종래의 반도체 기억 장치(9000)와 동일한 구성 요소에는 동일한 부호, 동일한 기호를 부여하여, 그 설명을 생략한다.

도 1에 도시한 반도체 기억 장치(1000)는 레지스터(901), 로우 어드레스 버퍼(902), 로우 어드레스계 디코드 회로(21), 칼럼 디코더(903), 메모리 셀 어레이(910) 및 데이터 입출력 버퍼(904)를 포함한다. 도 1에 도시한 반도체 기억 장치(1000)는 계층 워드선 방식, 공유 센스 앰프 방식의 구성을 구비한다.

메모리 셀 어레이(910)는 복수의 메모리 블럭(1.0, 1.1, ...)을 포함한다. 각 메모리 블럭은 정규 메모리 셀로 구성되는 노멀 블럭 [도면 중 기호 NBL(0), NBL(1), ...]과 용장 셀로 구성되는 용장 블럭 [도면 중 기호 RBL(0), RBL(1), ...]을 포함한다. 반도체 기억 장치(1000)에서는 1의 메모리 블럭에 대해서 다른 메모리 블럭에 존재하는 용장 블럭을 사용하여 치환하는 것이 가능하다.

메모리 블럭(1.0, ...) 각각의 양측에, 센스 앰프 블럭(2)이 배치된다. 인접하는 메모리 블럭끼리는 센스 앰프 블럭(2)을 공유한다. 메모리 블럭(1.0, ...)의 각각에 대해서 WL 드라이버(4)를 배치한다.

또, 이하의 설명에서는 16조의 노멀 블럭, 64개의 메인 워드선 및 8조의 서브 디코드 신호로부터 1개의 워드선이 선택되는 것으로 한다. 또한, 각 메모리 블럭마다 1개의 용장 메인 워드선과 8조의 용장 서브 디코드 신호로부터 1개의 스페어 워드선이 선택되는 것으로 한다.

로우 어드레스계 디코드 회로(21)는 용장 판정 회로(20), 로우 프리디코더(22), 블럭 선택 회로(23), SD 드라이버/SA 드라이버(24) 및 MWL 드라이버(25)를 포함한다. 용장 판정 회로(20)는 레지스터(901)로부터 받는 액트 신호 ACT에 응답하여, 어드레스 버퍼(902)로부터 받는 어드레스 신호에 기초하여, 용장 판정을 행한다. 판정 결과로서, 판정 신호 RHIT, 신호 RMWL 및 용장 블럭을 지정하는 프리디코드 신호 RSDF [도면 중 기호 RSDF(0)~RSDF(15)]를 출력한다.

용장 판정 회로(20)로부터 출력되는 판정 신호 RHIT는 초기 상태에서 L 레벨이다. 용장을 사용한 경우는, 판정 신호 RHIT는 H 레벨이 되며, 어느 하나의 프리디코드 신호 RSDF가 H 레벨이 된다. 용장 미사용의 경우는, 판정 신호 RHIT 및 프리디코드 신호 RSDF는 L 레벨을 유지한다. 로우 프리디코더(22)는 로우 어드레스 버퍼(902)의 출력을 디코드한다.

블럭 선택 회로(23)는 용장 판정 회로(20)로부터 출력되는 판정 신호 RHIT에 응답하여, 어드레스 버퍼

(902)의 출력에 기초하여, 노멀 블럭에 대응하는 블럭 선택 신호를 출력한다.

도 1에 도시한 본 발명의 제1 실시예에서의 WL 드라이버(4)의 구성을 도 2를 이용하여 설명한다.

메모리 블럭(1.1)에 대응하여 센스 앰프 블럭 (도면 중 기호 2a, 2b)을 배치한다. 센스 앰프 블럭(2a, 2b)은 각각 복수의 센스 앰프 S/A와, PMOS 트랜지스터 PT10을 구성 요소로 하는 복수의 이퀄라이즈 회로와, NMOS 트랜지스터 NT10, NT11, NT12 및 NT13을 구성 요소로 하는 복수의 S/A 공유 회로를 포함한다. PMOS 트랜지스터 PT10은 이퀄라이즈 신호 BLEQ에 응답하여 온/오프한다. NMOS 트랜지스터 NT10 및 NT11은 공유 게이트 신호 SHR(U)에 응답하여 온/오프한다. NMOS 트랜지스터 NT12 및 NT13은 공유 게이트 신호 SHR(D)에 응답하여 온/오프한다.

WL 드라이버(4)는 노멀 블럭에 대한 드라이버(4b) 외에, 용장 블럭에 대한 드라이버(4b)를 구비한다. 드라이버(4b)의 구성은 도 33에서 설명한 구성과 동일하다.

드라이버(4b)는 메인 워드선 MWL(0), ..., MWL(m) 및 서브 디코드 신호 SD(0) 및 /SD(0), SD(1) 및 /SD(1), ...에 기초하여 1개의 워드선 WL(n), WL(n+1), ...을 선택 상태로 한다.

드라이버(4a)는 용장 메인 워드선 RMWL 및 용장 서브 디코드 신호 RSD(0) 및 /RSD(0), RSD(1) 및 /RSD(1), ...에 기초하여 1개의 스페어 워드선 SWL(0), SWL(1), ...을 선택 상태로 한다.

드라이버(4a)는 각 스페어 워드선에 대응하여, PMOS 트랜지스터 PT2 및 NMOS 트랜지스터 NT4 및 NT5를 구비한다. 예를 들면, 스페어 워드선 SWL(0)에 대해서 PMOS 트랜지스터 PT2 한쪽 단자는 용장 서브 디코드 신호 RSD(1)를 받고, 다른쪽 단자는 NMOS 트랜지스터 NT4의 한쪽 단자와 접속된다. PMOS 트랜지스터 PT2 및 NMOS 트랜지스터 NT4의 각각의 게이트 전극은 용장 메인 워드선 RMWL과 접속된다. NMOS 트랜지스터 NT4의 다른쪽 단자는 접지 전위와 접속된다.

PMOS 트랜지스터 PT2와 NMOS 트랜지스터 NT4의 접속 노드는 스페어 워드선 SWL(0)과 접속된다. NMOS 트랜지스터 NT5의 한쪽 단자는 스페어 워드선 SWL(0)과 접속되며, 다른쪽 단자는 접지 전위와 접속되며, 그 게이트 전극은 용장 서브 디코드 신호 /RSD(1)를 받는다. 스페어 워드선과 워드선은 다른 경로로 선택된다.

도 1에 도시한 본 발명의 제1 실시예에서의 로우 어드레스계 디코드 회로(21)의 주요부의 구성을 도 3을 이용하여 설명한다.

도 3에 도시한 프리디코더(22a, 22b) 및 MWL 프리디코더(22c)는 도 1에 도시한 로우 프리디코더(22)에 포함된다. 프리디코더(22a)는 4비트의 어드레스 신호 RA9~RA12에 응답하여 16비트의 프리디코드 신호 XF2 [도면 중 기호 XF2(0)~XF2(15)]를 출력한다.

프리디코더(22b)는 3비트의 어드레스 신호 RA0~RA2에 응답하여 8비트의 프리디코드 신호 XF0 [도면 중 기호 XF0(0)~XF0(7)]를 출력한다.

MWL 프리디코더(22c)는 판정 신호 RHIT에 응답하여 6비트의 어드레스 신호 RA3~RA8에 기초하여 메인 워드선을 지정하는 프리디코드 신호를 출력한다.

도 3에 도시한 본 발명의 제1 실시예에서의 MWL 프리디코더(22c)의 구성을 도 4를 이용하여 설명한다. MWL 프리디코더(22c)는 3조의 디코드 회로(28a, 28b, 28c)를 포함한다.

디코드 회로(28a)는 어드레스 신호 RA3, /RA3, RA4 및 /RA4에 응답하여 프리디코드 신호 XF1L(0)~(3)을 출력한다. 디코드 회로(28b)는 어드레스 신호 RA5, /RA5, RA6 및 /RA6에 응답하여 프리디코드 신호 XF1M(0)~(3)을 출력한다. 디코드 회로(28c)는 어드레스 신호 RA7, /RA7, RA8 및 /RA8에 응답하여 프리디코드 신호 XF1H(0)~(3)을 출력한다.

디코드 회로(28a, 28b, 28c) 각각은 NAND 회로 N4, N5, N6 및 N7과 인버터 I3, I4, I5 및 I6을 포함한다.

디코드 회로(28a)를 대표예로 하여 그 구성을 설명한다. NAND 회로 N4는 어드레스 신호 RA3과 어드레스 신호 /RA4를 입력으로 받는다. 인버터 I3은 NAND 회로 N4의 출력을 반전하여, 프리디코드 신호 XF1L(0)을 출력한다. NAND 회로 N5는 어드레스 신호 /RA4와 어드레스 신호 /RA3을 입력으로 받는다. 인버터 I4는 NAND 회로 N5의 출력을 반전하여, 프리디코드 신호 XF1L(1)을 출력한다. NAND 회로 N6은 어드레스 신호 RA3과 어드레스 신호 RA4를 입력으로 받는다. 인버터 I5는 NAND 회로 N6의 출력을 반전하여 프리디코드 신호 XF1L(2)을 출력한다. NAND 회로 N7은 어드레스 신호 /RA3과 어드레스 신호 RA4를 입력으로 받는다. 인버터 I6은 NAND 회로 N7의 출력을 반전하여 프리디코드 신호 XF1L(3)을 출력한다.

도 3에서의 SD 드라이버(26.0, ...)는 도 1에 도시한 SD 드라이버/SA 드라이버(24)에 포함된다. SD 드라이버(26.0, ...)는 메모리 블럭 각각에 대응하여 배치한다.

SD 드라이버(26.0, ...)의 각각은 NAND 회로 N1 및 N2, 레벨 변환 회로 S1 및 인버터 I1을 포함한다. NAND 회로 N1은 프리디코더(22a, 22b)의 출력을 받는다. 인버터 I0은 판정 신호 RHIT를 반전하여 신호 /RHIT를 출력한다. NAND 회로 N2의 한쪽 노드는 신호 /RHIT를 받고, 다른쪽 노드는 NAND 회로 N1의 출력을 받는다.

NAND 회로 N2는 대응하는 노멀 블럭에서의 서브 디코드 신호 /SD [도면 중 기호 /SD0(i), ...; i = 0~7]를 출력한다. 인버터 I1은 레벨 변환 회로 S1을 통해 NAND 회로 N2의 출력을 받아 대응하는 노멀 블럭에서의 서브 디코드 신호 SD [도면 중 기호 SD0(i), ...; i = 0~7]를 출력한다.

SD 드라이버(26.0, ...) 각각은 또한 NAND 회로 N3, 레벨 변환 회로 S2 및 인버터 I2를 포함한다. NAND 회로 N3은 프리디코더(22b)의 출력과 용장 판정 회로(20)로부터 출력되는 16비트의 프리디코드 신호 RSDF(0)~RSDF(15)를 받는다.

NAND 회로 N3은 대응하는 용장 블럭에서의 용장 서브 디코드 신호 /RSD [도면 중 기호 /RSD0(i), ...; i = 0~7]를 출력한다. 인버터 I2는 레벨 변환 회로 S2를 통하여 NAND 회로 N3의 출력을 받아 대응하는 용장

블럭에서의 용장 서브 디코드 신호 RSD [도면 중 기호 RSD0(i), ...; i = 0~7]를 출력한다.

도 3에 도시한 MWL 드라이버(25.n; n = 0~15)는 1의 메모리 블럭에 대응하는 것이며, 다른 메모리 블럭에 대응하는 MWL 드라이버와 함께 도 1에 도시한 MWL 드라이버(25)에 포함된다.

MWL 드라이버(25.n)는 MWL 프리디코더(22c)의 출력과, 용장 판정 회로(20)로부터 출력되는 신호 RMWL 및 프리디코드 신호 RSDF(0)~RSDF(15)에 응답하여 대응하는 메모리 블럭의 메인 워드선 선택 신호 또는 용장 메인 워드선 선택 신호를 출력한다. 이에 따라, 메인 워드선 MWL(0)~MWL(m) 또는 용장 메인 워드선 RMWL이 선택 상태가 된다.

대표예로서 1의 메모리 블럭에 대응하는 MWL 드라이버(25.n)의 구성을 도 5를 이용하여 설명한다.

MWL 드라이버(25.n)는 NAND 회로 N8.0, ..., N8.63, 레벨 변환 회로 S3.0, ..., S3.63 및 인버터 I7.0, ..., I7.63을 포함한다. NAND 회로 N8.0, ..., N8.63, 레벨 변환 회로 S3.0, ..., S3.63 및 인버터 I7.0, ..., I7.63의 각각은 메인 워드선에 대응하여 배치한다.

예를 들면, NAND 회로 N8.0은, MWL 프리디코더(22c)로부터 대응하는 프리디코드 신호 XF1L(0)~(3), XF1H(0)~(3), XF1M(0)~(3)을 받는다. 인버터 I7.0은 대응하는 레벨 변환 회로 S3.0을 통해 NAND 회로 N8.0의 출력을 받아서 메인 워드선 선택 신호 /MWL(0)을 출력한다. 대응하는 메인 워드선 MWL(0)은 메인 워드선 선택 신호 /MWL(0)을 받아 선택 상태가 된다.

MWL 드라이버(25.n)는 또한 레벨 변환 회로 S4 및 인버터 I8을 포함한다. 레벨 변환 회로 S4 및 인버터 I8은 용장 블럭에서의 용장 메인 워드선에 대응하여 배치한다.

레벨 변환 회로 S4는 용장 판정 회로(20)으로부터 신호 RMWL을 받는다. 인버터 I8은 대응하는 레벨 변환 회로 S4의 출력을 반전하여 용장 메인 워드선 선택 신호 /RMWL을 출력한다. 대응하는 용장 메인 워드선 RMWL은 용장 메인 워드선 선택 신호 /RMWL을 받아 선택 상태가 된다.

다음에, 본 발명의 제1 실시예에서의 반도체 기억 장치(1000)의 동작에 대해서 타이밍차트인 도 6의 (a)~도 6의 (m)을 참조하여 설명한다.

외부 제어 신호에 응답하여 액트 신호 ACT가 H 레벨의 활성 상태가 되며 로우 어드레스 신호가 취득된다. 이 시점에서, 판정 신호 RHIT는 L 레벨의 상태에 있다.

시각 t0에서, 어드레스 신호를 프리디코딩한 프리디코드 신호 XF2, XF0 중 어느 하나가 H 레벨의 상태가 된다.

이에 따라, 대응하는 서브 디코드 신호 SD 및 /SD가 활성화된다. 또한, 대응하는 메인 워드선을 선택하는 메인 워드선 선택 신호가 활성화된다. 이 동안, 용장 판정 회로(20)는 용장 판정 처리의 상태에 있다.

시각 t1에서, 판정 결과로서 판정 신호 RHIT가 출력된다. 용장 미사용의 경우, 판정 신호 RHIT는 L 레벨을 유지한다(실선 부분). 이 경우, 용장 판정 회로(20)의 출력인 프리디코드 신호 RSDF는 L 레벨 그대로이다.

용장 사용의 경우, 판정 신호 RHIT가 H 레벨로 상승한다(점선 부분). 이에 따라, 활성화된 서브 디코드 신호 SD 및 /SD가 비활성화된다(점선 부분). 치환된 스페어 워드선이 존재하는 용장 블럭을 지정하는 프리디코드 신호 RSDF가 H 레벨로 상승한다.

한편, 대응하는 용장 서브 디코드 신호 RSD 및 /RSD가 활성화된다. 또한, 이것을 트리거로 하여, 대응하는 용장 메인 워드선을 선택하는 용장 메인 워드선 선택 신호가 활성 상태가 된다.

이와 같이 구성함으로써, 용장 미사용시의 경우, 노멀 블럭에 대한 서브 디코드 신호 SD의 활성화는 시각 t0~t1의 용장 판정 시간 τ_0 에 완료되고, 워드선의 상승은 메인 워드선 선택 신호의 도달에 의해서만 규정되게 된다.

한편, 용장 사용 시에 대해서는, 용장용 워드선 드라이버(드라이버 4a)의 수는 정규 워드선 드라이버(드라이버 4b)의 수보다 적어 (1 대 64), 용장용 드라이버에 관한 부하 용량은 정규 드라이버에 걸린 부하 용량보다 작다.

또한, 용장 서브 디코드선의 활성화 속도는 빠르고 용장 서브 디코드선의 상승 속도는 메인 워드선의 상승 속도와 동등 혹은 그 이상이다. 메인 워드선은 서브 디코드선과 비교하여 용량이 작기 때문에, 워드선의 상승 속도가 빨라진다 (τ_2 는 도 34에서의 τ_{20} 보다 짧아진다).

이 결과, 특히 메모리 블럭 간을 넘어서 치환 가능한 용장 블럭을 포함하는 반도체 기억 장치에서 액세스 시간의 단축화를 꾀하는 것이 가능해진다.

[제2 실시예]

본 발명의 제2 실시예에서의 반도체 기억 장치에 대해서 설명한다. 본 발명의 제1 실시예에서의 반도체 기억 장치(1000)는 노멀 블럭의 로우 액세스와 용장 블럭의 로우 액세스를 분리하여 제어함으로써 고속 액세스를 실현하는 것이다. 그러나, 본 발명의 제1 실시예에서의 구성에서는, SD 드라이버로부터 WL 드라이버로의 배선, WL 드라이버 상의 배선 및 SD 드라이버의 수가 각각 종래에 비해서 증가하기 때문에, 레이아웃 면적이 증대하게 된다.

그래서, 본 발명의 제2 실시예에서는 인접하는 메모리 블럭 간에서 서브 디코드 신호 (정규 및 용장 모두)를 공유한다. 이에 따라, 액세스의 고속화 및 레이아웃 면적의 축소를 가능하게 한다.

본 발명의 제2 실시예에서의 반도체 기억 장치의 주요부의 구성에 대해서 도 7을 이용하여 설명한다.

도 7에 도시한 반도체 기억 장치(1200)는 복수의 메모리 블럭(1.0, ..., 1.15)을 포함한다. 각 메모리 블

력에 대응하여 MML 디코더/드라이버(31)를 배치한다.

메모리 블록(1.0, ...) 각각의 양측에, 도시하지 않은 센스 앰프 블록을 배치한다. 인접하는 메모리 블록 끼리는 센스 앰프 블록을 공유한다.

각 메모리 블록은 노멀 블록 [도면 중 기호 NBL(0), NBL(1), ...]과 용장 블록 [도면 중 기호 RBL(0), RBL(1), ...]을 포함한다. 1의 메모리 블록에 대해서, 다른 메모리 블록에 존재하는 용장 블록을 사용하여 지환하는 것이 가능하다.

용장 블록을 메모리 블록의 단부에 배치하고, 인접하는 메모리 블록 간에서, 서로의 용장 블록이 센스 앰프 블록을 개재하여 마주 보도록 배치한다.

용장 서브 디코드 신호 RSD를 활성화하는 SD 로컬 드라이버(32a)는 용장 블록에 개재되는 센스 앰프 블록에 배치한다. 노멀 블록에 대한 서브 디코드 신호 SD를 활성화하는 SD 로컬 드라이버(32b)는 노멀 블록에 의해 개재된 센스 앰프 블록에 배치한다.

각각의 SD 로컬 드라이버(32a, 32b)는 각각을 사이에 두도록 위치하는 노멀 블록 또는 용장 블록에 대응하여 배치된다. 구체적으로는, 용장 블록 RBL(0) 및 RBL(1) 간에 위치하는 SD 로컬 드라이버(32a)는 양 메모리 블록에서의 용장 서브 디코드 신호 RSD를 활성화하기 위해서 이용한다. 노멀 블록 NBL(1) 및 NBL(2) 간에 위치하는 SD 로컬 드라이버(32b)는 양 메모리 블록에서의 서브 디코드 신호 SD를 활성화하기 위해서 이용한다.

SD 로컬 드라이버(32b, 32a)의 열에 대하여 SD 드라이버(33)를 배치한다.

도 7에 도시한 본 발명의 제2 실시예에서의 SD 로컬 드라이버의 구성의 일례 [메모리 블록(1.1, 1.2)에서의 노멀 블록에 대응하는 SD 로컬 드라이버(32b)와, 메모리 블록(1.0, 1.1)에서의 용장 블록에 대응하는 SD 로컬 드라이버(32a)]를 도 8을 이용하여 설명한다.

SD 로컬 드라이버에 대해서는 로우 프리디코더(35) 및 블록 선택 회로/SD 드라이버(34)를 배치한다.

로우 프리디코더(35)는, 1비트의 어드레스 신호 RA9에 응답하여 2비트의 프리디코드 신호 XF2L [도면 중 기호 XF2L(0)~XF2L(1)]을 출력한다. 프리디코드 신호 XF2L은 2개의 메모리 블록 중의 1개를 선택한다.

또한, 로우 프리디코더(35)는 3비트의 어드레스 신호 RA10~RA12에 응답하여 노멀 블록에 대한 8비트의 프리디코드 신호 XF2H [도면 중 기호 XF2H(0)~XF2H(7)]을 출력한다. 또한, 로우 프리디코더(35)는 3비트의 어드레스 신호 RA0~RA2에 응답하여 용장 블록에 대한 8비트의 프리디코드 신호 XF0 [도면 중 기호 XF0(0)~XF0(7)]을 출력한다.

블록 선택 회로/SD 드라이버(34)는 프리디코드 신호 XF2H에 응답하여 공통 서브 디코드 신호 SD1/2 [도면 중 기호, SD1/2(0)~SD1/2(7)] 및 이들을 반전한 신호 /SD1/2 [도면 중 기호 /SD1/2(0)~ /SD1/2(7)]을 출력한다.

블록 선택 회로/SD 드라이버(34)는 프리디코드 신호 XF0에 응답하여 공통 용장 서브 디코드 신호 RSD0/1 [도면 중 기호, RSD0/1(0)~RSD0/1(7)] 및 이들을 반전한 신호 /RSD0/1 [도면 중 기호 /RSD0/1(0)~ /RSD0/1(7)]을 출력한다.

SD 로컬 드라이버(32b)는 NAND 회로 N10, N11, N12 및 N13을 포함한다. NAND 회로 N10은 노멀 블록 NBL(1)의 서브 디코드 신호 SD1(0)~SD1(7)에 대응하여 배치한다. NAND 회로 N11은 노멀 블록 NBL(2)의 서브 디코드 신호 SD2(0)~SD2(7)에 대응하여 배치한다.

NAND 회로 N12는 노멀 블록 NBL(1)의 서브 디코드 신호 /SD1(0)~ /SD1(7)에 대응하여 배치한다. NAND 회로 N13은 노멀 블록 NBL(2)의 서브 디코드 신호 /SD2(0)~ /SD2(7)에 대응하여 배치한다.

NAND 회로 N10 및 N12 각각의 한쪽 입력 노드는 프리디코드 신호 XF2L(0)를 받는다. NAND 회로 N11 및 N13 각각의 한쪽 입력 노드는 프리디코드 신호 XF2L(1)을 받는다. NAND 회로 N10 및 N11 각각의 다른쪽 입력 노드는 공통 서브 디코드 신호 SD1/2를 받는다. NAND 회로 N12 및 N13의 각각의 다른쪽 입력 노드는 공통 서브 디코드 신호 /SD1/2를 받는다.

NAND 회로 N10 및 N12 각각으로부터, 노멀 블록 NBL(1)에 대한 서브 디코드 신호 SD1(0)~SD1(7), /SD1(0)~ /SD1(7)이 각각 출력된다. NAND 회로 N11 및 N13 각각으로부터 노멀 블록 NBL(2)에 대한 서브 디코드 신호 SD2(0)~SD2(7), /SD2(0)~ /SD2(7)이 출력된다.

SD 로컬 드라이버(32a)는 NAND 회로 N14, N15, N16 및 N17을 포함한다. NAND 회로 N14는 용장 블록 RBL(0)의 용장 서브 디코드 신호 RSD0(0)~RSD0(7)에 대응하여 배치한다. NAND 회로 N15는 용장 블록 RBL(1)의 용장 서브 디코드 신호 RSD1(0)~RSD1(7)에 대응하여 배치한다. NAND 회로 N16은 용장 블록 RBL(0)의 용장 서브 디코드 신호 /RSD0(0)~ /RSD0(7)에 대응하여 배치한다. NAND 회로 N17은 용장 블록 RBL(1)의 용장 서브 디코드 신호 /RSD1(0)~ /RSD1(7)에 대응하여 배치한다.

NAND 회로 N14 및 N16 각각의 한쪽 입력 노드는 프리디코드 신호 XF2L(0)를 받는다. NAND 회로 N15 및 N17 각각의 한쪽 입력 노드는 프리디코드 신호 XF2L(1)을 받는다. NAND 회로 N14 및 N15의 각각의 다른쪽 입력 노드는 공통 용장 서브 디코드 신호 RSD0/1을 받는다. NAND 회로 N16 및 N17의 각각의 다른쪽 입력 노드는 공통 용장 서브 디코드 신호 /RSD0/1을 받는다.

NAND 회로 N14 및 N16 각각으로부터 용장 블록 RBL(0)에 대응하는 용장 서브 디코드 신호 RSD0(0)~RSD0(7), /RSD0(0)~ /RSD0(7)이 각각 출력된다. NAND 회로 N15 및 N17의 각각으로부터, 용장 블록 RBL(1)에 대응하는 용장 서브 디코드 신호 RSD1(0)~RSD1(7), /RSD1(0)~ /RSD1(7)이 각각 출력된다.

이와 같이, 노멀 블록에서의 로우 액세스와 용장 블록에서의 로우 액세스를 분리하여 제어함으로써 고속 액세스를 가능하게 한다.

또한, 인접하는 메모리 블록 간에서 서브 디코드 신호 SD 및 용장 서브 디코드 신호 RSD를 공유함으로써 레이아웃 면적을 축소하는 것이 가능해진다.

[제3 실시예]

본 발명의 제3 실시예에서의 반도체 기억 장치에 대해서 도 9를 이용하여 설명한다. 본 발명의 제3 실시예에서의 반도체 기억 장치는 도 7에 도시하는 반도체 기억 장치(1200)에 대응하는 것이며, 도 7 및 도 8에 도시한 SD 로컬 드라이버(32a, 32b) 대신에 도 9에 도시한 SD 로컬 드라이버(36a, 36b)를 구비한다.

본 발명의 제3 실시예에서의 SD 로컬 드라이버의 구성의 일례 [메모리 블록(1.1, 1.2)의 노멀 블록에 대응하는 SD 로컬 드라이버(36b)와, 메모리 블록(1.0, 1.1)의 용장 블록에 대응하는 SD 로컬 드라이버(35a)]를 도 9를 이용하여 설명한다.

SD 로컬 드라이버에 대해서는 로우 프리디코더(35) 및 블록 선택 회로/SD드라이버(34)를 배치한다.

상술한 바와 같이, 로우 프리디코더(35)는 2비트의 프리디코드 신호 XF2L [도면 중 기호 XF2(0)~XF2L(1)], 8비트의 프리디코드 신호 XF2H [도면 중 기호 XF2H(0)~XF2H(7)] 및 8비트의 프리디코드 신호 XF0 [도면 중 기호 XF0(0)~XF0(7)]을 출력한다.

블록 선택 회로/SD 드라이버(34)는 공통 서브 디코드 신호 SD1/2 [도면 중 기호 SD1/2(0)~SD1/2(7)] 및 이들을 반전한 신호 /SD1/2 [도면 중 기호 /SD1/2(0)~/SD1/2(7)] 및 공통 용장 서브 디코드 신호 RSD0/1 [도면 중 기호 RSD0/1(0)~RSD0/1(7)] 및 이들을 반전한 신호 /RSD0/1 [도면 중 기호 /RSD0/1(0)~/RSD0/1(7)]을 출력한다.

SD 로컬 드라이버(36b)는 도 8에 도시한 NAND 회로 N10, N11, N12 및 N13의 각각을 대신해서 트랜스퍼 게이트 T10, T11, T12 및 T13을 구비한다.

트랜스퍼 게이트 T10 및 T12 각각은 H 레벨의 프리디코드 신호 XF2L(0)에 응답하여 도통 상태가 된다. 트랜스퍼 게이트 T11 및 T13 각각은 H 레벨의 프리디코드 신호 XF2L(1)에 응답하여 도통 상태가 된다.

트랜스퍼 게이트 T10 및 T11 각각의 한쪽 도통 단자는 공통 서브 디코드 신호 SD1/2를 받는다. 트랜스퍼 게이트 T12 및 T13 각각의 한쪽 도통 단자는 공통 서브 디코드 신호 /SD1/2를 받는다.

트랜스퍼 게이트 T10 및 T12 각각의 다른쪽 도통 단자로부터 메모리 블록(1.1)의 노멀 블록 NBL(1)에 대한 서브 디코드 신호 SD1(0)~SD1(7), 서브 디코드 신호 /SD1(0)~/SD1(7)이 각각 출력된다. 트랜스퍼 게이트 T11 및 T13 각각의 다른쪽 도통 단자로부터 메모리 블록(1.2)의 노멀 블록 NBL(2)에 대한 서브 디코드 신호 SD2(0)~SD2(7), /SD2(0)~/SD2(7)이 각각 출력된다.

SD 로컬 드라이버(36b)는 도 8에 도시한 NAND 회로 N14, N15, N16 및 N17 각각을 대신해서 트랜스퍼 게이트 T14, T15, T16 및 T17을 구비한다.

트랜스퍼 게이트 T14 및 T16 각각은 H 레벨의 프리디코드 신호 XF2L(0)에 응답하여 도통 상태가 된다. 트랜스퍼 게이트 T15 및 T17 각각은 H 레벨의 프리디코드 신호 XF2L(1)에 응답하여 도통 상태가 된다.

트랜스퍼 게이트 T14 및 T15의 각각의 한쪽 도통 단자는 공통 용장 서브 디코드 신호 RSD0/1을 받는다. 트랜스퍼 게이트 T16 및 T17 각각의 한쪽 도통 단자는 공통 용장 서브 디코드 신호 /RSD0/1을 받는다.

트랜스퍼 게이트 T14 및 T15의 각각의 다른쪽 도통 단자로부터 용장 블록 RBL(0)에 대한 용장 서브 디코드 신호 RSD0(0)~SD0(7), /RSD0(0)~/RSD0(7)이 각각 출력된다. 트랜스퍼 게이트 T16 및 T17의 각각의 다른쪽 도통 단자로부터 용장 블록 RBL(1)에 대한 용장 서브 디코드 신호 RSD1(0)~RSD1(7), /RSD1(0)~/RSD1(7)이 각각 출력된다.

이와 같이, 노멀 블록에서의 로우 액세스와 용장 블록에서의 로우 액세스를 분리하여 제어함으로써 고속 액세스를 가능하게 한다.

또한, 인접하는 메모리 블록 간에 디코더를 공유함으로써 레이아웃 면적을 축소하는 것이 가능해진다.

또한, SD 로컬 디코더를 구성 소자수가 많은 NAND 회로 대신에 구성 소자가 적은 트랜스퍼 게이트로 구성함으로써 본 발명의 제3 실시예에 비해 레이아웃 면적을 축소하는 것이 가능해진다.

[제4 실시예]

본 발명의 제4 실시예에서의 반도체 기억 장치에 대해서 설명한다. 본 발명의 제4 실시예에서의 반도체 기억 장치는 노멀 블록에 대한 서브 디코드 신호의 활성화 이외에 센스 앰프계에 대해서도 용장계와 분리하여 제어함으로써 액세스 시간의 단축화를 더욱 꾀하는 것이다.

본 발명의 제4 실시예에서의 반도체 기억 장치에 대해서 도 10을 이용하여 설명한다. 반도체 기억 장치(1000, 1200)와 동일한 구성 요소에는 동일한 부호를 부여하여 그 설명을 생략한다.

도 10에 도시한 반도체 기억 장치(1400)는 로우 어드레스 버퍼(902), 프리디코더(22a, 22b), MWL 프리디코더(22d), 블록 선택 회로(45), 용장 판정 회로(46) 및 복수의 메모리 블록(1.0, ..., 1.15)을 포함한다.

메모리 블록(1.0, ...) 각각을 사이에 두는 영역에 센스 앰프 S/A를 배치한다. 인접하는 메모리 블록끼리는 센스 앰프 S/A를 공유한다. 복수의 센스 앰프 S/A를 포함하는 센스 앰프 블록에 대응하여 SD 드라이버·S/A대 제어 신호용 드라이버(42)를 배치한다. SD 드라이버·S/A대 제어 신호 드라이버(42)에서의 S/A대 제어 신호 드라이버 부분은 비선택의 메모리 블록을 분리하기 위한 공유 게이트 신호 및 비트선택을 이퀄라이즈하기 위한 이퀄라이즈 신호를 출력한다. SD 드라이버·S/A대 제어 신호 드라이버(42)에서의 SD 드라이버 부분은 서브 디코드 신호를 활성화한다.

메모리 블록(1.0, ...)의 각각에 대해서 MWL 디코더/드라이버(41)를 배치한다. 도 10에서의 기호 WLD는

WL 드라이버를 나타낸다.

메모리 블록(1.0, ...)의 배열의 양단 부분에 위치하는 메모리 블록(1.0, 1.15)은 용장 블록(40a, 40b)을 포함한다. 그 외의 메모리 블록(1.1, ..., 1.14)은 용장 블록을 포함하지 않는다. 메모리 블록(1.1, ..., 1.14)의 각각은 노멀 블록 NBL(1), NBL(2), ... 각각을 포함한다.

용장 블록(40a, 40b)의 각각에 대응하여 용장용 RMWL 드라이버(43a, 43b)를 배치한다.

본 발명의 제4 실시예에서는 종래 각 블록마다 분산하여 배치하고 있던 용장 블록을 2개소에 집중하여 배치한다. 스페어 워드선 SWL은 용장 메인 워드선이 활성화한 경우에만 활성화된다.

용장 판정 회로(46)는 어드레스 신호 RA0~RA12에 기초하여 2 종류의 판정 신호 RHIT 및 RMIS를 출력한다. 판정 신호 RHIT 및 RMIS는 초기 상태에서 L 레벨이다. 용장 미사용이라고 판정된 경우, 판정 신호 RMIS가 H 레벨이 되며, 용장 사용이라고 판정된 경우, 판정 신호 RHIT가 H 레벨이 된다. MWL 프리디코더(22d)는 판정 신호 RMIS에 응답하여 프리디코드 신호를 출력한다.

블록 선택 회로(45)는, 판정 신호 RHIT 및 RMIS에 응답하여, 프리디코더(22a)로부터 받는 프리디코드 신호 XF2 [도면 중 기호 XF2(0)~XF2(15)]에 기초하여 블록 선택 신호 BS(0)~BS(15)를 출력한다.

도 10에 도시한 본 발명의 제4 실시예에서의 블록 선택 회로(45)의 구성의 일례를 도 11을 이용하여 설명한다. 블록 선택 회로(45)는 인버터 I10, I11 및 I12를 포함한다.

인버터 I10은 판정 신호 RHIT를 반전한 신호 /RHIT를 출력한다. 인버터 I11은 RMIS를 반전한 신호 /RMIS를 출력한다. 인버터 I12는 어드레스 신호 RA12를 반전한 어드레스 신호 /RA12를 출력한다.

후술하는 바와 같이, 어드레스 신호 RA12 및 /RA12는 메모리 블록(1.0~1.7)에 대해서는 메모리 블록(1.15)을 활성화하고, 메모리 블록(1.8~1.15)에 대해서는 메모리 블록(1.0)을 활성화하기 위해서 사용한다.

도 11에 도시한 블록 선택 회로(45)는 용장 블록을 갖지 않는 메모리 블록에 대해서 NAND 회로 N20.1, ..., N20.14 및 인버터 I13.1, ..., I13.14를 배치한다.

NAND 회로 N20.1, ..., N20.14의 각각의 입력 노드는 프리디코더(22a)로부터 출력되는 프리디코드 신호 XF2(1)~(14)를 각각 받는다. 또한, NAND 회로 N20.1, ..., N20.14의 각각의 입력 노드는 신호 /RHIT를 받는다. 인버터 I13.1, ..., I13.14의 각각은 NAND 회로 N20.1, ..., N20.14의 각각의 출력을 반전한다. 인버터 I13.1, ..., I13.14의 각각으로부터 블록 선택 신호 BS(1), ..., BS(14)가 각각 출력된다.

블록 선택 회로(45)는 또한 용장 블록(40a)을 갖는 메모리 블록(1.0)에 대해서 NAND 회로 N21a, N22a 및 N23a 및 인버터 I14a를 배치한다. 인버터 I14a는 프리디코드 신호 XF2(0)를 반전한 신호 /XF2(0)를 출력한다.

NAND 회로 N21a는 신호 /RHIT, 어드레스 신호 RA12 및 프리디코드 신호 XF2(0)를 입력에서 받는다. NAND 회로 N22a는 신호 /RMIS, 어드레스 신호 /RA12 및 신호 /XF2(0)를 입력에서 받는다.

NAND 회로 N23a는 NAND 회로 N21a 및 N22a의 각각의 출력을 받아서 메모리 블록(1.0)에 대응하는 블록 선택 신호 BS(0)를 출력한다.

블록 선택 회로(45)는 또한 용장 블록(40b)을 갖는 메모리 블록(1.15)에 대해서 NAND 회로 N21b, N22b 및 N23b 및 인버터 I14b를 배치한다. 인버터 I14b는 프리디코드 신호 XF2(15)를 반전한 신호 /XF2(15)를 출력한다.

NAND 회로 N21b는 신호 /RHIT, 어드레스 신호 RA12 및 프리디코드 신호 XF2(15)를 입력에서 받는다. NAND 회로 N22b는 신호 /RMIS, 어드레스 신호 /RA12 및 신호 /XF2(15)를 입력에서 받는다.

NAND 회로 N23b는 NAND 회로 N21b 및 N22b의 각각의 출력을 받아서 메모리 블록(1.15)에 대응하는 블록 선택 신호 BS(15)를 출력한다.

도 10에 도시한 본 발명의 제4 실시예에서의 SD 드라이버의 구성을 도 12를 이용하여 설명한다. 도 12에 도시한 구성은 도 10에서의 SD 드라이버 · S/A제어 신호 드라이버(42)에 포함된다.

도 12에 도시한 SD 드라이버는 NAND 회로 N24, 레벨 변환 회로 S5 및 인버터 I5를 포함한다. NAND 회로 N24는 프리디코더(22b)로부터 출력되는 프리디코드 신호 XF0(i) 및 XF0(h) (i, h = 0, 1, ...) 및 대응하는 블록 선택 신호 BS를 입력에서 받는다. 레벨 변환 회로 S5는 NAND 회로 N24의 출력을 받아서 대응하는 서브 디코드 신호 /SD를 출력한다. 인버터 I5는 레벨 변환 회로 S5의 출력을 받아서 대응하는 서브 디코드 신호 SD를 출력한다.

도 10에 도시한 본 발명의 제4 실시예에서의 MWL 드라이버의 구성의 일례 (1의 메모리 블록에 대응하는 MWL 드라이버)를 도 13을 이용하여 설명한다.

MWL 프리디코더(22d)의 기본 구성은 MWL 프리디코더(22c)와 동일하다. MWL 프리디코더(22d)는 어드레스 신호 RA3~RA8에 응답하여 프리디코드 신호 XF1L(0)~XF1L(3), 프리디코드 신호 XF1M(0)~XF1M(3), 프리디코드 신호 XF1H(0)~XF1H(3)를 출력한다.

도 13에 도시한 MWL 드라이버는 NAND 회로 N25.0, ..., N25.63, 레벨 변환 회로 S6.0, ..., S6.63 및 인버터 I16.0, ..., I16.63을 포함한다. NAND 회로 N25.0, ..., N25.63, 레벨 변환 회로 S6.0, ..., S6.63 및 인버터 I16.0, ..., I16.63 각각은 노멀 블록에서의 메인 워드선에 대응하여 배치한다.

예를 들면, NAND 회로 N25.0은 MWL 프리디코더(22d)로부터 대응하는 프리디코드 신호 XF1L(0)~XF1L(3), XF1H(0)~XF1H(3), XF1M(0)~XF1M(3)을 받는다. 인버터 I16.0은 대응하는 레벨 변환 회로 S6.0을 통해 NAND 회로 N25.0의 출력을 받아서 대응하는 메인 워드선 선택 신호 /MWL(0)를 출력한다.

도 13에 도시한 MWL 드라이버는 또한 레벨 변환 회로 S7.0, ..., S7.k 및 인버터 I17.0, ..., I17.k를 포함한다. 레벨 변환 회로 S7.0, ..., S7.k 및 인버터 I17.0, ..., I17.k 각각은 용장 메인 워드선 RMWL(0), ..., RMWL(k) 각각에 대응하여 배치한다.

예를 들면, 레벨 변환 회로 S7.0은 용장 판정 회로(46)가 출력하는 신호 RMWL(0)을 받는다. 인버터 I17.0은 대응하는 레벨 변환 회로 S7.0의 출력을 반전하여, 대응하는 용장 메인 워드선 선택 신호 /RMWL(0)을 출력한다.

도 10에 도시한 본 발명의 제4 실시예에서의 S/A대 제어 신호 드라이버의 구성을 도 14를 이용하여 설명한다. 도 14에 도시한 구성은 도 10에서의 SD 드라이버·S/A대 제어 신호 드라이버(42)에 포함된다.

도 14에 도시한 S/A대 제어 신호 드라이버는 NAND 회로 N26, 레벨 변환 회로 S8a 및 S8b 및 인버터 I17a 및 I17b를 포함한다.

인버터 I17a는 대응하는 블럭 선택 신호 BS(i)를 반전하여 출력한다. 인버터 I17b는 인접하는 메모리 블럭에 대응하는 블럭 선택 신호 BS(i+1)를 반전하여 출력한다. NAND 회로 N26은 인버터 I17a 및 I17b의 출력을 받는다. NAND 회로 N26으로부터 대응하는 이퀄라이즈 신호 BLEQ가 출력된다.

레벨 변환 회로 S8a는 인버터 I17a의 출력을 받아서 한쪽의 공유 게이트 신호 SHR(U)를 출력한다. 레벨 변환 회로 S8b는 인버터 I17b의 출력을 받아서 다른쪽 공유 게이트 신호 SHR(D)를 출력한다. 메모리 블럭이 선택되면 용장 판정의 유무에 상관없이 비선택의 메모리 블럭측을 분리하는 공유 게이트 신호 및 비트선쌍을 이퀄라이즈하는 이퀄라이즈 신호 BLEQ를 비활성화한다.

다음에, 본 발명의 제4 실시예에서의 반도체 기억 장치의 동작에 대해서 타이밍차트인 도 15의 (a)~도 15의 (r)을 참조하여 설명한다.

외부 제어 신호에 응답하여, 액트 신호 ACT가 H 레벨의 활성 상태가 되어, 로우 어드레스 신호가 취득된다. 이 시점에서, 판정 신호 RHIT 및 RMIS는 모두 L 레벨의 상태에 있다.

용장 블럭을 갖지 않는 메모리 블럭(1.2)이 선택되었다고 한다. 시각 t0에서 액트 신호 ACT에 의해 로우 계가 액티브가 됨과 동시에 (시각 t0), 대응하는 서브 디코드 신호 SD 및 /SD가 활성화, 공유 게이트 신호 SHR 및 이퀄라이즈 신호 BLEQ가 비활성화된다. 용장 블럭에 대해서도, 대응하는 용장 서브 디코드 신호 RSD 및 /RSD가 활성화, 공유 게이트 신호 SHR 및 이퀄라이즈 신호 BLEQ가 비활성화된다.

시각 t0~t1에서, 용장 판정 회로(46)가 용장 사용/미사용의 판정 처리를 행한다. 시각 t1에서 판정 결과로서 판정 신호 RHIT, RMIS 및 용장 메인 워드선 선택 신호 /RMWL(0)~(k)가 출력된다.

용장 메인 워드선 선택 신호는 대응하는 용장 메인 워드선을 선택 상태로 하는 신호로서 초기 상태에서는 전부 L 레벨의 상태에 있다.

용장 미사용의 경우에는, 판정 신호 RMIS가 H 레벨 (실선 부분)이 된다. 판정 신호 RMIS가 H 레벨로 상승함으로써, 메모리 블럭(1.0, 1.15)의 선택이 해제되어 활성 상태의 서브 디코드 신호 SD 및 /SD가 비활성화된다. 공유 게이트 신호 SHR 및 이퀄라이즈 신호 BLEQ는 비활성이 된다.

또한, 판정 신호 RMIS가 H 레벨로 상승함으로써, MWL 프리디코드(22d)로부터 출력되는 프리디코드 신호 중 어느 하나가 L 레벨로부터 H 레벨로 상승한다. 이에 따라, 대응하는 메인 워드선 선택 신호가 활성화되어, 노멀 블럭의 워드선 WL이 선택 상태가 된다.

용장 사용의 경우에는, 판정 신호 RHIT가 H 레벨 (점선 부분)이 된다. 치환처의 용장 메인 워드선 선택 신호가 활성화 (H 레벨)된다.

판정 신호 RHIT가 H 레벨로 상승함으로써, 로우 어드레스에 의해 선택되어 있던 메모리 블럭(1.2)이 비선택화된다. 이와 동시에 1개의 용장 메인 워드선 선택 신호가 활성화된다. 대응하는 스페어 워드선 SWL이 선택 상태가 된다.

이와 같이, 시각 t0~t1의 판정 처리 기간 t0에, 노멀 블럭에 대한 서브 디코드 신호 SD의 활성화 및 센스 앰프의 활성화를 제어하는 공유 게이트 신호 등을 비활성화함으로써, 계속되는 시각 t1~t2의 기간 t1에서는 메인 워드선의 하강과 워드선의 상승을 행하는 것만으로 줄기 때문에, 워드선 상승에 필요한 시간을 단축하는 것이 가능해진다.

본 발명의 제4 실시예에서의 치환을 도 16을 이용하여 설명한다. 도 16에 도시한 바와 같이, 반도체 기억 장치(1400)에서는, 노멀 블럭 NBL(0)~NBL(7)에 대해서는, 메모리 블럭(1.15)에 위치하는 용장 블럭(40b)을 사용하고, 노멀 블럭 NBL(8)~NBL(15)에 대해서는 메모리 블럭(1.0)에 위치하는 용장 블럭(40a)을 사용한다. 이것은 인접하는 메모리 블럭에 치환한 경우, 2개의 메모리 블럭 간에 개재된 센스 앰프 블럭의 공유 게이트 신호 SHR을 일단 비활성화하고, 용장 판정 후의 워드선의 상승될 때까지 한번 더 활성화할 필요가 생기기 때문이다. 이에 의하면, 워드선의 상승에 시간을 요하기 때문이다.

또, 본 발명은 도 16에 도시한 치환에 한정되지 않고 도 17 및 도 18에 도시한 구성으로 치환을 행해도 마찬가지로의 효과가 얻어진다.

본 발명의 제4 실시예에서의 다른 치환의 예를 도 17, 도 18을 이용하여 설명한다. 도 17에 도시한 구성에서는, 홀수번째의 노멀 블럭 NBL(1), NBL(3), ...에 대해서는, 용장 블럭(40a)을 이용하여 치환한다. 짝수번째의 노멀 블럭 NBL(0), NBL(2), ...에 대해서는 용장 블럭(40b)을 이용하여 치환한다.

또한, 도 18에 도시한 구성에서는, 1개의 용장 블럭(40a)에 대해서 전용 센스 앰프를 구비한다. 모든 노멀 블럭 NBL(0), NBL(1), ...에 대해서 용장 블럭(40a)을 이용하여 치환한다. 이 경우에 있어서도, 어드레스 신호의 입력과 함께, 센스 앰프에 대한 신호를 제어함으로써 고속 액세스가 가능해진다.

또, 계층 워드선 구성이 아닌 경우에도, 본 발명은 적용 가능하며 액세스의 고속화를 꾀할 수 있다.

[제5 실시예]

본 발명의 제5 실시예에서의 반도체 기억 장치에 대해서 설명한다. 본 발명의 제5 실시예는 용장 셀이 물리적으로 구제 범위 내에 분산하여 존재하는 반도체 기억 장치에 있어서, 서브 디코드 신호 (정규 및 용장)를 일괄하여 활성화하고, 용장 판정 후에 활성화한 서브 디코드 신호 중에서 필요한 신호를 선택함으로써 고속 액세스를 꾀하는 것이다.

본 발명의 제5 실시예에서의 반도체 기억 장치에 대해서 도 19를 이용하여 설명한다. 반도체 기억 장치 (1000~1400)와 동일한 구성 요소에는 동일한 부호를 부여하여 그 설명을 생략한다.

도 19에 도시한 반도체 기억 장치는 용장 구제 범위 RED에서 용장 메인 워드선 RMWL이 분산하여 존재한다. 복수의 센스 앰프 S/A로 구성되는 센스 앰프열에 의해 구획된 블럭마다 1개의 용장 메인 워드선 RMWL을 배치한다. 노멀 블럭에 대한 서브 디코드 신호를 전송하는 서브 디코드선 SD0, SD1, ...과 용장 블럭에 대한 서브 디코드 신호를 전송하는 용장 서브 디코드선 RSD0, RSD1, ...을 평행하게 배치한다.

노멀 블럭에서의 서브 디코드선 (예를 들면, SD1 및 SD2)에 대해서, 치환할 가능성이 있는 모든 용장 서브 디코드선 RSD1, ..., RSD4를 동시에 활성화한다.

도 19에서의 반도체 기억 장치(1500)의 주요부의 구성을 도 20을 이용하여 설명한다. 도 3에 도시한 구성과 동일한 구성 요소에는 동일한 기호 및 부호를 부여하여 그 설명을 생략한다.

도 20에서의 구성에서는, 도 3에 도시한 용장 판정 회로(20) 대신에, 용장 판정 회로(50)를 구비한다. 용장 판정 회로(50)는 어드레스 신호에 응답하여 대응하는 블럭을 지정하는 16비트의 신호 RSDRST(0), ..., RSDRST(15)를 출력한다. MWL 디코더(25.n)는 프리디코드 신호 RSDF(0), ..., RSDF(15) 대신에, 프리디코드 신호 RSDRST(0), ..., RSDRST(15)를 받는다.

16비트의 신호 RSDRST(0), ..., RSDRST(15)는 용장 판정 전에는 전부 H 레벨이다. 어느 하나의 프리디코드 신호 XF0가 활성화되면 대응하는 용장 서브 디코드선 RSD0~RSD15가 활성화된다.

용장 판정 후, 신호 RSDRST(0), ..., RSDRST(15) 중 어느 하나를 남기고 다른 신호 (비선택)가 L레벨이 된다.

다음에, 본 발명의 제5 실시예에서의 반도체 기억 장치의 동작에 대해서 타이밍차트인 도 21의 (a)~도 21의 (c) 및 도 22의 (a)~도 22의 (n)을 참조하여 설명한다.

로우 액세스 시, 어드레스 신호 RA0~RA12에 응답하여 치환 가능성이 있는 모든 용장 서브 디코드 신호를 활성화한다.

구체적으로는, 노멀 블럭에서의 서브 디코드선 (도 19에서의 SD1 및 SD2)과, 용장 구제 범위 내 RED에 있는 모든 용장 서브 디코드선 (도 19에서의 RSD1, ..., RSD4, ...)을 활성화한다.

용장 판정 후, 대응하는 용장 서브 디코드 신호 또는 서브 디코드 신호의 한 쪽만을 남기고 다른 것을 비활성화한다. 이 결과, 노멀 블럭 또는 용장 블럭에서의 어느 한 쪽의 워드선이 활성화 [도 21의 (c)에서의 기호 a]되고 다른쪽의 워드선이 비활성화 [도 21의 (c)에서의 기호 b]된다.

서브 디코드 신호의 활성화 과정에서, 용장 판정을 행하지 않는다. 이 때문에, 액세스 속도는 용장 구제 범위 RED가 센스 앰프 블럭으로 구획된 블럭 내로 한정되는 경우와 동일하다.

[제6 실시예]

본 발명의 제6 실시예에서의 반도체 기억 장치에 대해서 설명한다. 본 발명의 제6 실시예에서의 반도체 기억 장치는 용장 판정 전에 서브 디코드 신호 (노멀 블럭 및 용장 블럭)를 중간 전위까지 상승시켜 동으로써 액세스 시간의 단축을 꾀하는 것이다.

본 발명의 제6 실시예에서의 반도체 기억 장치의 주요부의 구성에 대해서 도 23을 이용하여 설명한다.

도 23에 도시한 반도체 기억 장치(1600)는 복수의 메모리 블럭으로 분할되는 메모리 셀 어레이(65), 입력 버퍼(61), 프리디코더(62, 64), 드라이버(63) 및 용장 판정 회로(60)를 포함한다.

입력 버퍼(61)는 외부로부터 외부 어드레스 신호를 입력한다. 용장 판정 회로(60)는 입력 버퍼(61)로부터 받는 어드레스 신호에 기초하여 용장 판정을 행한다. 판정 결과로서 판정 신호 HIT 및 MISS를 출력한다.

프리디코더(62)는 입력 버퍼(61)로부터 받는 어드레스 신호에 기초하여 리셋 신호 RST0, ...를 출력한다. 프리디코더(64)는 입력 버퍼(61)로부터 받는 어드레스 신호를 디코드한다. 드라이버(63)는 프리디코더(64)가 출력하는 디코드 신호에 기초하여 메모리 셀 어레이(65)의 워드선 또는 스페어 워드선을 선택 상태로 한다.

도 23에 도시한 본 발명의 제6 실시예에서의 메모리 셀 어레이(65)의 구성을 도 24를 이용하여 설명한다. 도 24에 도시한 바와 같이 메모리 셀 어레이(65)는 노멀 블럭 B0, ..., B3 각각에 대해서 용장 블럭 S0, ..., S3을 배치한다. 노멀 블럭과 용장 블럭에 대해서 센스 앰프 블럭(66)을 배치한다. 반도체 기억 장치(1600)는 계층 워드선 방식의 구성을 구비한다.

도 23에 도시한 본 발명의 제6 실시예에서의 노멀 블럭에 대한 회로 구성을 도 25를 이용하여, 도 23에 도시한 본 발명의 제6 실시예에서의 용장 블럭에 대한 회로 구성을 도 26을 이용하여 설명한다. 본 발명의 제6 실시예에서는 노멀 블럭과 용장 블럭으로 서브 디코드 신호를 전송하는 전송선을 분할한다.

도 25를 참조하면, 노멀 블럭에서는, 1개의 메인 워드선 MWL에 대해서 4개의 워드선 SWL을 배치한다. 4개의 워드선 SWL 중 어느 하나를 선택하기 위한 서브 디코드 신호를 전송하는 신호선으로서 서브 디코드선 SD0, SD1, SD2 및 SD3을 배치한다.

각 서브 디코드선에 대해서, PMOS 트랜지스터 PT30 및 PT32 및 NMOS 트랜지스터 NT30 및 NT32를 배치한다. PMOS 트랜지스터 PT30 및 NMOS 트랜지스터 NT30은 중간 전위 VCC와 접지 전위 간에 직렬로 접속된다. PMOS 트랜지스터 PT32 및 NMOS 트랜지스터 NT32는 전원 전위 VPP와 접지 전위 간에 직렬로 접속된다.

PMOS 트랜지스터 PT30과 NMOS 트랜지스터 NT30의 접속 노드 및 PMOS 트랜지스터 PT32와 NMOS 트랜지스터 NT32의 접속 노드는 대응하는 서브 디코드선과 접속된다.

PMOS 트랜지스터 PT32의 게이트 전극은 판정 신호 MISS를 반전한 신호 /MISS를 받는다. NMOS 트랜지스터 NT32의 게이트 전극은 판정 신호 HIT를 받는다.

서브 디코드선 SD0, SD1, SD2, SD3 각각의 NMOS 트랜지스터 NT30의 게이트 전극에 대해서 리셋 신호 RST0, RST1, RST2, RST3이 각각 제공된다.

서브 디코드선 SD0, SD1, SD2, SD3 각각의 PMOS 트랜지스터 PT30의 게이트 전극에 대해서 프리차지 신호 /PC0, /PC1, /PC2, /PC3이 각각 제공된다.

도 26을 참조하면, 용장 블록에서는, 1개의 용장 메인 워드선 SMWL에 대해서 4개의 스페어 워드선 SSWL을 배치한다. 4개의 스페어 워드선 SSWL 중 어느 1개를 선택하기 위한 용장 서브 디코드 신호를 전송하는 신호선으로서, 용장 서브 디코드선 SSD0, SSD1, SSD2 및 SSD3을 배치한다.

각 용장 서브 디코드선에 대해서 PMOS 트랜지스터 PT34 및 PT36 및 NMOS 트랜지스터 NT34 및 NT36을 배치한다. PMOS 트랜지스터 PT34 및 NMOS 트랜지스터 NT34는 중간 전위 VCC와 접지 전위 간에 직렬로 접속된다. PMOS 트랜지스터 PT36 및 NMOS 트랜지스터 NT36은 전원 전위 VPP와 접지 전위 간에 직렬로 접속된다.

PMOS 트랜지스터 PT34와 NMOS 트랜지스터 NT34의 접속 노드 및 PMOS 트랜지스터 PT36과 NMOS 트랜지스터 NT36의 접속 노드는 대응하는 용장 서브 디코드선과 접속된다.

PMOS 트랜지스터 PT36의 게이트 전극은 판정 신호 HIT를 반전한 신호 /HIT를 받는다. NMOS 트랜지스터 NT36의 게이트 전극은 판정 신호 MISS를 받는다.

용장 서브 디코드선 SSD0, SSD1, SSD2, SSD3 각각의 NMOS 트랜지스터 NT34의 게이트 전극에 대해서 리셋 신호 RST0, RST1, RST2, RST3이 각각 제공된다.

용장 서브 디코드선 SSD0, SSD1, SSD2, SSD3 각각의 PMOS 트랜지스터 PT34의 게이트 전극에 대해서 프리차지 신호 /PC0, /PC1, /PC2, /PC3이 각각 제공된다.

뱅크 활성화 신호가 입력되면, 입력한 어드레스 신호 (상위)를 디코드한 신호에 기초하여 대응하는 워드선 SWL 및 스페어 워드선 SSWL에 관한 서브 디코드선 및 용장 서브 디코드선을 동시에 활성화한다. 이 시점에서의 활성화 레벨을 중간 전위 VCC로 설정한다.

용장 판정의 결과가 나온 시점에서, 노멀 블록의 서브 디코드선을 활성화할지, 용장 블록의 용장 서브 디코드선을 활성화할지를 선택한다. 선택된 서브 디코드선 (용장 서브 디코드선)에 대해서는 전원 전위 VPP 레벨까지 전압 레벨을 올린다. 비선택의 서브 디코드선 (용장 서브 디코드선)에 대해서는 비활성화시킨다.

다음에, 본 발명의 제6 실시예에서의 반도체 기억 장치(1600)의 동작에 대해서 타이밍차트인 도 27의 (a)~도 27의 (w)를 참조하여 설명한다.

반도체 기억 장치(1600)는 내부 클럭 신호 CLK에 동기하여 동작한다. 어드레스 신호에 대해서 서브 디코드선 SD0가 선택되는 것으로 한다.

어느 뱅크 BK0에 대한 액트 신호 ACT0가 입력되면, 플래그 BAflag0가 활성화된다. 뱅크 BK0에 대응하는 프리차지 신호 /PC(B0)가 일시적으로 활성화된다. 뱅크 BK0에 대응하는 리셋 신호 RST0(B0)가 비활성화된다. 이 플래그 BAflag0에 기초하여 어드레스 신호에 대응하여 서브 디코드선 SD0 및 용장 서브 디코드선 SSD0가 프리차지된다.

여기서, 선택되는 노멀 블록의 메모리 셀이 정상인 경우, 판정 신호 MISS가 활성화된다. 이에 따라, 서브 디코드선 SD0의 전위가 전원 전위 VPP 레벨까지 상승한다. 용장 서브 디코드선 SSD0의 전위는 접지 전위 레벨까지 저하된다.

그 후, 대응하는 메인 워드선 MWL이 활성화됨으로써 선택된 워드선 SWL이 선택 상태가 된다. 이 상태는 뱅크의 활성화를 리셋하는 신호 BankRST0의 입력까지 유지된다.

뱅크 BK1에 대한 액트 신호 ACT1이 입력되면 플래그 BAflag1이 활성화된다. 뱅크 BK1에 대응하는 프리차지 신호 /PC(B1)이 일시적으로 활성화된다. 뱅크 BK1에 대응하는 리셋 신호 RST0(B1)이 비활성화된다. 이 플래그 BAflag1에 기초하여 어드레스 신호에 대응하여 서브 디코드선 SD0 및 용장 서브 디코드선 SSD0이 프리차지된다.

여기서, 선택되는 노멀 블록의 메모리 셀이 불량인 경우, 판정 신호 HIT(B1)가 활성화된다. 이에 따라, 용장 서브 디코드선 SSD0의 전위가 전원 전위 VPP 레벨까지 상승한다. 서브 디코드선 SD0의 전위는 접지 전위 레벨까지 저하된다.

그 후, 대응하는 용장 메인 워드선 SMWL이 활성화됨으로써 선택된 스페어 워드선 SSWL이 선택 상태가 된다. 이 상태는 뱅크의 활성화를 리셋하는 신호 BankRST1의 입력까지 유지된다.

이와 같이, 상위의 어드레스 신호를 디코드한 결과를 이용함으로써, 용장 판정에 관계없이, 서브 디코드선 및 용장 서브 디코드선을 고속으로 중간 레벨까지 활성화할 수 있다.

그리고, 중간 전위까지 활성화시켜 줌으로써, 용장 판정의 결과를 이용하여 고속으로 워드선을 선택하는 것이 가능해진다.

또, 전원 전위 VPP와 같은 고전위를 사용하지 않고, 활성화 레벨을 중간 전위 VCC로 함으로써, 소비 전력을 억제하는 것이 가능해진다. 또한, 전원 전위를 발생시키는 회로의 부담을 경감시키는 것이 가능해진다.

[제7 실시예]

본 발명의 제7 실시예에서의 반도체 기억 장치에 대해서 설명한다. 본 발명의 제7 실시예에서의 반도체 기억 장치는 복수의 노멀 블럭을 포함하는 뱅크마다 전용의 용장 블럭을 배치함으로써 구제 효율의 향상을 꾀하는 것이다.

본 발명의 제7 실시예에서의 반도체 기억 장치(1700)의 메모리 매트 구성을 도 28을 이용하여 설명한다. 도 28에 도시한 메모리 매트는 2개의 뱅크 B0 및 B1을 배치한다.

뱅크 B0 및 B1은 각각 정규 메모리 셀로 구성되는 노멀 블럭 NBL(0), ..., NBL(m)을 포함하고, 공유 센스 앰프 방식의 구성 [센스 앰프 블럭(70)]을 취한다.

또한, 뱅크 B0 및 B1은 각각 용장 셀로 구성되는 용장 블럭 RBL(0) 및 용장 블럭 RBL(1)을 포함한다. 용장 블럭 RBL(0) 및 용장 블럭 RBL(1)은 모두 공유 센스 앰프 방식의 구성 [센스 앰프 블럭(70)]을 취한다.

뱅크 B0에서의 노멀 블럭에 대해서는 동일 뱅크에서의 용장 블럭 RBL(0)을 이용하여 치환을 행한다. 뱅크 B1에서의 노멀 블럭에 대해서는 동일 뱅크에서의 용장 블럭 RBL(1)을 이용하여 치환을 행한다.

뱅크 B0 및 B1은 내부 클럭 신호에 응답하여 동작하고, 더욱이 서로 독립하여 동작하는 것이 가능하다.

이와 같이, 뱅크의 각각에 대해서 독립하여 용장 블럭을 배치함으로써, 고속인 구제가 가능해진다.

[제8 실시예]

본 발명의 제8 실시예에서의 반도체 기억 장치에 대해서 설명한다. 본 발명의 제8 실시예에서의 반도체 기억 장치는 제7 실시예에서의 반도체 기억 장치에 대해서 센스 앰프의 공유화를 꾀함으로써 구제 효율의 향상 및 레이아웃 면적의 삭감을 꾀하는 것이다.

본 발명의 제8 실시예에서의 반도체 기억 장치(1800)의 메모리 매트 구성을 도 29를 이용하여 설명한다. 도 28에 도시한 구성과 동일한 부분에는 동일한 기호를 부여하여 그 설명을 생략한다.

도 29에 도시한 메모리 매트는 2개의 뱅크 B0 및 B1을 포함한다. 뱅크 B0에서의 노멀 블럭 NBL(0), ..., NBL(m) 및 용장 블럭 RBL(0)은 공유 센스 앰프 방식의 구성 [센스 앰프 블럭(70)]을 취한다. 뱅크 B1에서의 노멀 블럭 NBL(0), ..., NBL(m) 및 용장 블럭 RBL(1)은 공유 센스 앰프 방식의 구성 [센스 앰프 블럭(70)]을 취한다.

뱅크 B0에 대응하는 용장 블럭 RBL(0)과, 동일한 뱅크 B0에 속하는 노멀 블럭 NBL(0)에서 센스 앰프 블럭(70)을 공유한다.

뱅크 B1에 대응하는 용장 블럭 RBL(1)과, 동일한 뱅크 B0에 속하는 노멀 블럭 NBL(m)에서 센스 앰프 블럭(70)을 공유한다.

이와 같이 구성함으로써 고속인 구제가 가능해짐과 함께, 레이아웃 면적을 삭감하는 것이 가능해진다.

[제9 실시예]

본 발명의 제9 실시예에서의 반도체 기억 장치에 대해서 설명한다. 본 발명의 제9 실시예에서의 반도체 기억 장치는 제8 실시예에서의 반도체 기억 장치에 대해서 도 30에 도시한 구성을 취한다.

본 발명의 제9 실시예에서의 반도체 기억 장치(1900)의 메모리 매트 구성을 도 30을 이용하여 설명한다. 도 29에 도시한 구성과 동일한 부분에는 동일한 기호를 부여하여 그 설명을 생략한다.

도 30에 도시한 메모리 매트는 2개의 뱅크 B0 및 B1을 포함한다. 뱅크 B0에서의 노멀 블럭 NBL(0), ..., NBL(m) 및 용장 블럭 RBL(0)은 공유 센스 앰프 방식의 구성 (센스 앰프 블럭(70))을 취한다. 뱅크 B1에서의 노멀 블럭 NBL(0), ..., NBL(m) 및 용장 블럭 RBL(1)은 공유 센스 앰프 방식의 구성 [센스 앰프 블럭(70)]을 취한다.

용장 블럭 RBL(0) 및 RBL(1)은 뱅크 B0과 B1의 사이의 영역에 배치한다.

뱅크 B0에 대응하는 용장 블럭 RBL(0)과, 동일한 뱅크 B0에 속하는 노멀 블럭 NBL(m)에서 센스 앰프 블럭(70)을 공유한다.

뱅크 B1에 대응하는 용장 블럭 RBL(1)과, 동일한 뱅크 B0에 속하는 노멀 블럭 NBL(0)에서 센스 앰프 블럭(70)을 공유한다.

이와 같이 구성함으로써, 고속 구제가 가능해짐과 함께, 레이아웃 면적을 삭감하는 것이 가능해진다.

[제10 실시예]

본 발명의 제10 실시예에서의 반도체 기억 장치에 대해서 설명한다.

본 발명의 제10 실시예에서의 반도체 기억 장치(2000)의 메모리 매트 구성을 도 31을 이용하여 설명한다. 도 30에 도시한 구성과 동일한 부분에는 동일한 기호를 부여하여 그 설명을 생략한다.

도 31에 도시한 메모리 매트는 20이상의 복수의 뱅크 B0, ..., Bn을 포함한다. 각 뱅크는 노멀 블럭 [도면 중 기호 NBL(0), NBL(1), ...]과 용장 블럭 [도면 중 기호 RBL(0), RBL(1), ...]을 구비한다. 각 뱅크에서

의 용장 블록은 동일한 블록에 속하는 노멀 블록을 치환하기 위해서 이용한다. 각 뱅크는 내부 클럭 신호에 응답하여 독립적으로 동작한다. 이와 같이 구성함으로써 고속 구제가 가능해진다.

발명의 효과

본 발명에 따르면, 다른 메모리 블록에서의 용장 블록을 이용하여 치환 가능한 반도체 기억 장치에서 용장 사용 판정 처리와 독립적으로 워드선을 선택 상태로 하기 위해서 필요한 제어를 행함으로써 고속의 액세스가 가능해지는 등의 효과를 달성할 수 있다.

상술한 구체적인 실시예들은 어디까지나 본 발명의 기술 내용을 명확히 하기 위한 것인 바, 본원 발명은 그와 같은 구체예에만 한정하여 협의적으로 해석되어서는 안되며, 본 발명의 사상과 다음에 기재하는 특허 청구 범위 내에서 여러가지로 변경하여 실시할 수 있다.

(57) 청구의 범위

청구항 1

반도체 기억 장치에 있어서,

복수의 메모리 블록을 구비하며,

상기 복수의 메모리 블록의 각각은

행렬 형태로 배치되는 복수의 정규 메모리 셀, 상기 행에 대응하여 배치되는 복수의 워드선, 및 상기 열에 대응하여 배치되는 복수의 비트선을 포함하는 노멀 블록, 및

행렬 형태로 배치되는 복수의 용장 셀, 상기 행에 대응하여 배치되는 복수의 용장 워드선, 및 상기 열에 대응하여 배치되는 복수의 비트선을 포함하는 용장 블록

을 포함하며,

상기 복수의 용장 셀은 상기 복수의 메모리 블록 중 어느 하나에 속하는 상기 정규 메모리 셀을 치환하기 위해서 사용되고,

외부 어드레스 신호에 응답하여 용장 사용인 지의 여부를 판정하는 판정 수단,

상기 판정 수단의 판정 결과와 독립적으로, 상기 외부 어드레스 신호에 응답하여 대응하는 워드선을 선택 상태로 하기 위한 제어를 행하는 제1 제어 수단, 및

상기 판정 수단의 판정 결과를 받아서 상기 외부 어드레스 신호에 기초하여 대응하는 용장 워드선을 선택 상태로 하기 위한 제어를 행하는 제2 제어 수단

을 더 구비하고,

상기 제1 제어 수단은 상기 판정 수단에 의한 용장 사용의 판정 결과를 받아서 대응하는 상기 워드선을 비선택 상태로 하는 반도체 기억 장치.

청구항 2

반도체 기억 장치에 있어서,

복수의 메모리 블록을 구비하며,

상기 복수의 메모리 블록의 각각은

행렬 형태로 배치되는 복수의 정규 메모리 셀, 상기 행에 대응하여 배치되는 복수의 워드선, 및 상기 열에 대응하여 배치되는 복수의 비트선을 포함하는 노멀 블록을 포함하고,

상기 복수의 메모리 블록 중 적어도 1 이상의 메모리 블록은

행렬 형태로 배치되는 복수의 용장 셀, 상기 행에 대응하여 배치되는 복수의 용장 워드선, 및 상기 열에 대응하여 배치되는 복수의 비트선을 포함하는 용장 블록을 더 포함하며,

상기 복수의 용장 셀은 상기 복수의 메모리 블록 중 어느 하나에 속하는 상기 정규 메모리 셀을 치환하기 위해서 사용되며,

외부 어드레스 신호에 응답하여, 용장 사용인 지의 여부를 판정하는 판정 수단,

상기 판정 수단의 판정 결과와 독립적으로, 상기 외부 어드레스 신호에 응답하여 대응하는 워드선을 선택 상태로 하기 위한 제어를 행하는 제1 제어 수단, 및

상기 판정 수단의 판정 결과와 독립적으로, 상기 외부 어드레스 신호에 응답하여 대응하는 용장 워드선을 선택 상태로 하기 위한 제어를 행하는 제2 제어 수단을 더 구비하고,

상기 제1 제어 수단은 상기 판정 수단에 의한 용장 판정의 결과를 받아서 상기 대응하는 상기 워드선을 비선택 상태로 하기 위한 제어를 행하고,

상기 제2 제어 수단은 상기 판정 수단에 의한 용장 미판정의 결과를 받아서 상기 대응하는 상기 용장 워드선을 비선택 상태로 하기 위한 제어를 행하는 반도체 기억 장치.

청구항 3

반도체 기억 장치에 있어서,

행렬 형태로 배치되는 복수의 정규 메모리 셀, 상기 행에 대응하여 배치되는 복수의 워드선, 및 상기 열에 대응하여 배치되는 복수의 비트선을 포함하는 노멀 블럭,

행렬 형태로 배치되며 대응하는 정규 메모리 셀과 치환하기 위한 복수의 용장 셀, 상기 행에 대응하여 배치되는 복수의 용장 워드선, 및 상기 열에 대응하여 배치되는 복수의 비트선을 포함하는 용장 블럭,

외부 어드레스 신호에 응답하여 용장 사용인 지의 여부를 판정하는 판정 수단,

상기 판정 수단의 판정 결과와 독립적으로, 상기 외부 어드레스 신호에 응답하여 대응하는 워드선을 선택 상태로 하기 위한 제어를 행하는 제1 제어 수단, 및

상기 판정 수단의 판정 결과와 독립적으로, 상기 외부 어드레스 신호에 응답하여 대응하는 용장 워드선을 선택 상태로 하기 위한 제어를 행하는 제2 제어 수단

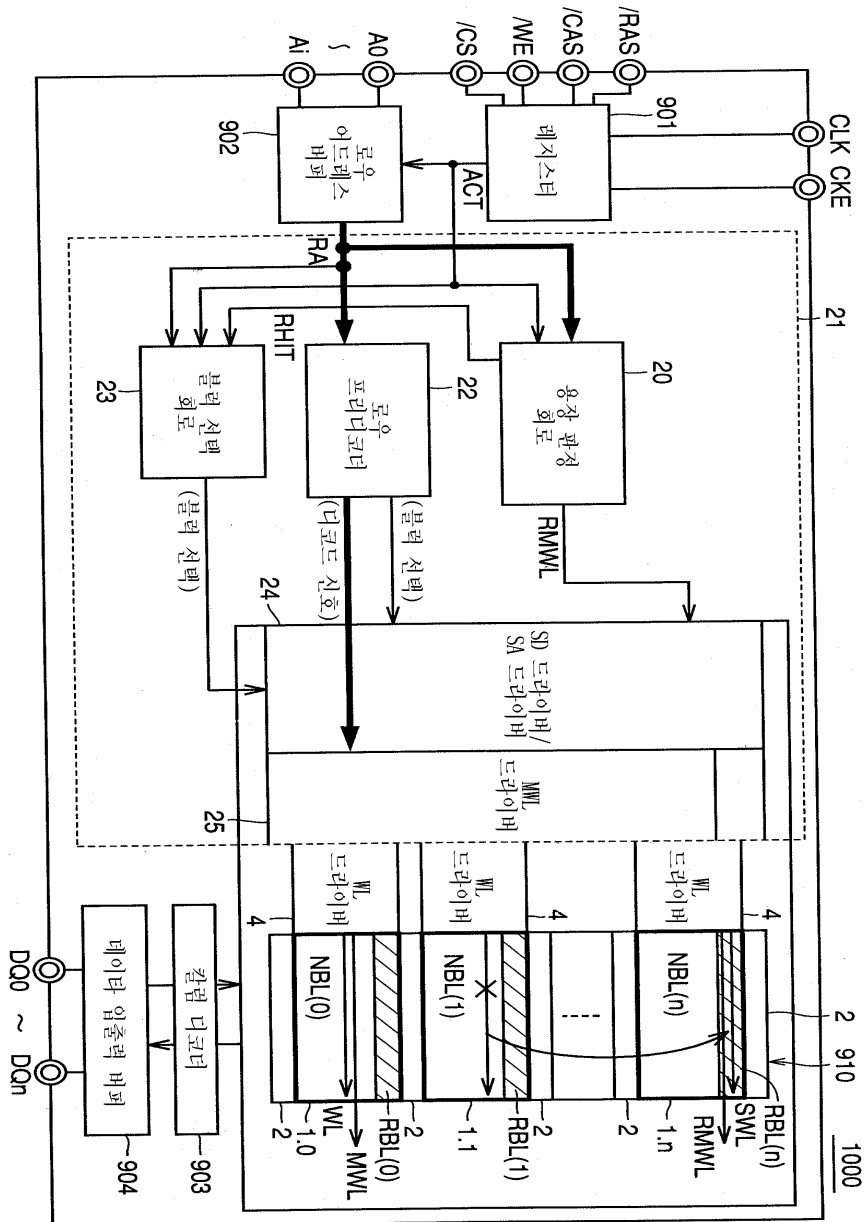
을 구비하고,

상기 제1 제어 수단은 상기 판정 수단에 의한 용장 판정의 결과를 받아서 상기 대응하는 워드선을 비선택 상태로 하기 위한 제어를 행하고,

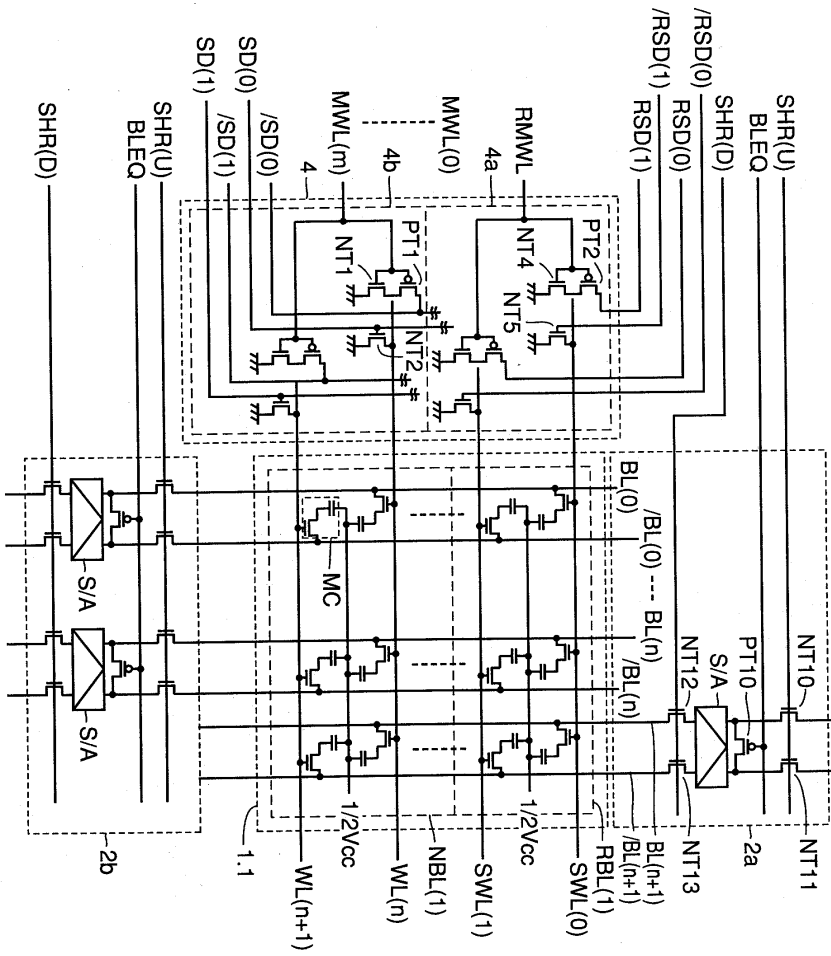
상기 제2 제어 수단은 상기 판정 수단에 의한 용장 미판정의 결과를 받아서 상기 대응하는 용장 워드선을 비선택 상태로 하기 위한 제어를 행하는 반도체 기억 장치.

도면

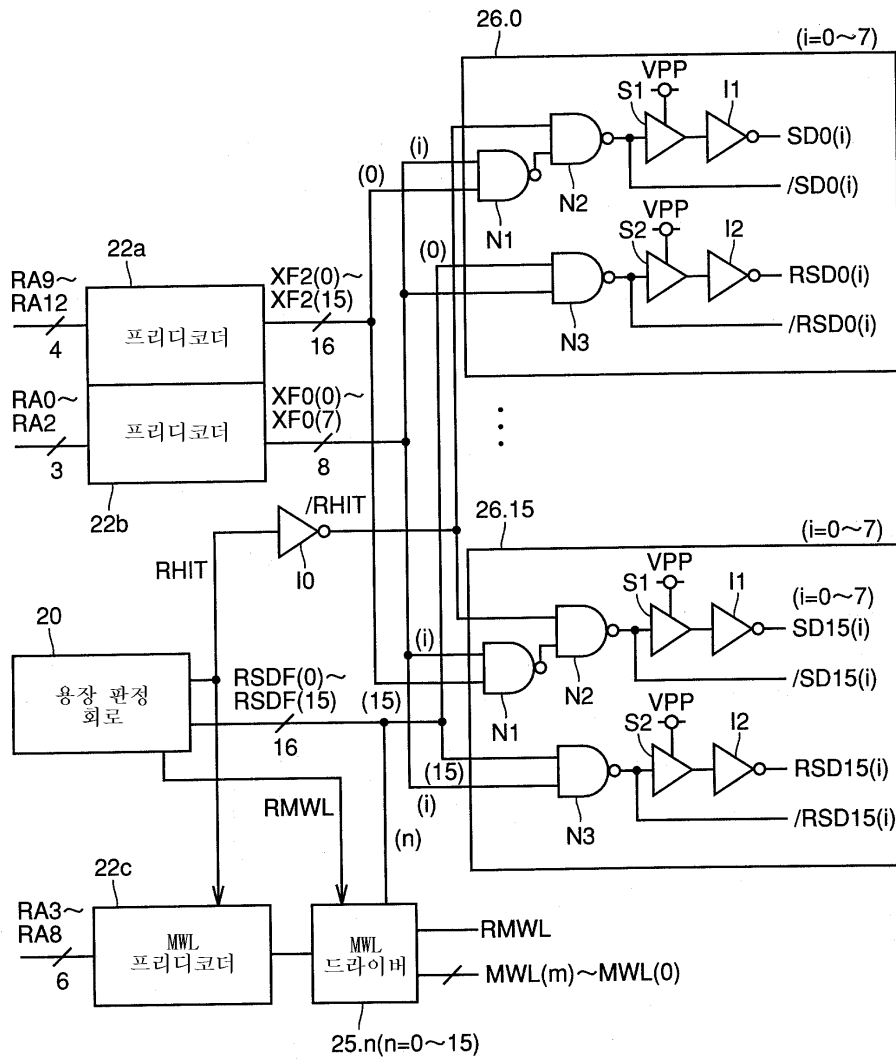
도면1



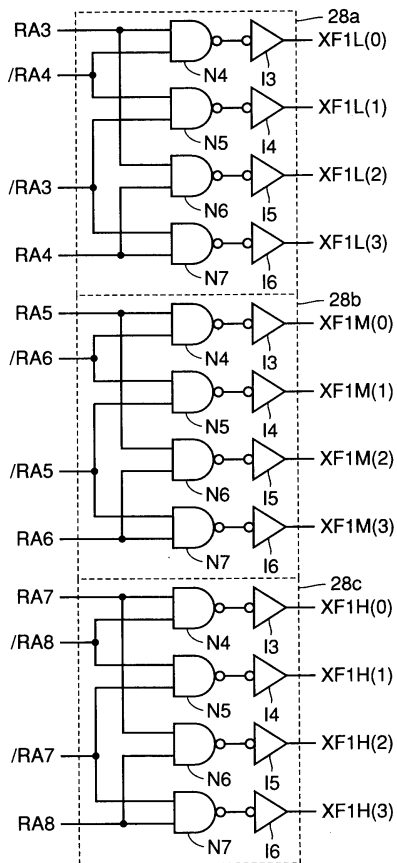
도면2



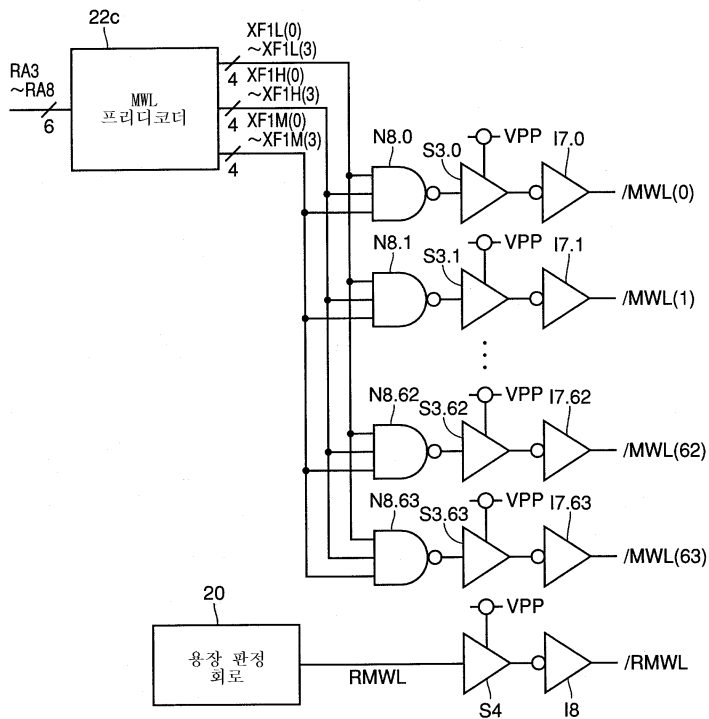
도면3



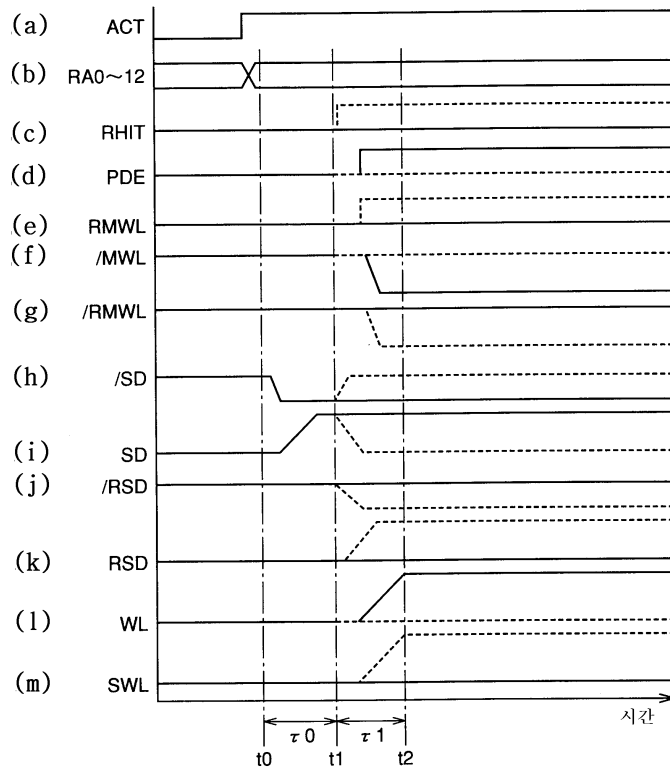
도면4



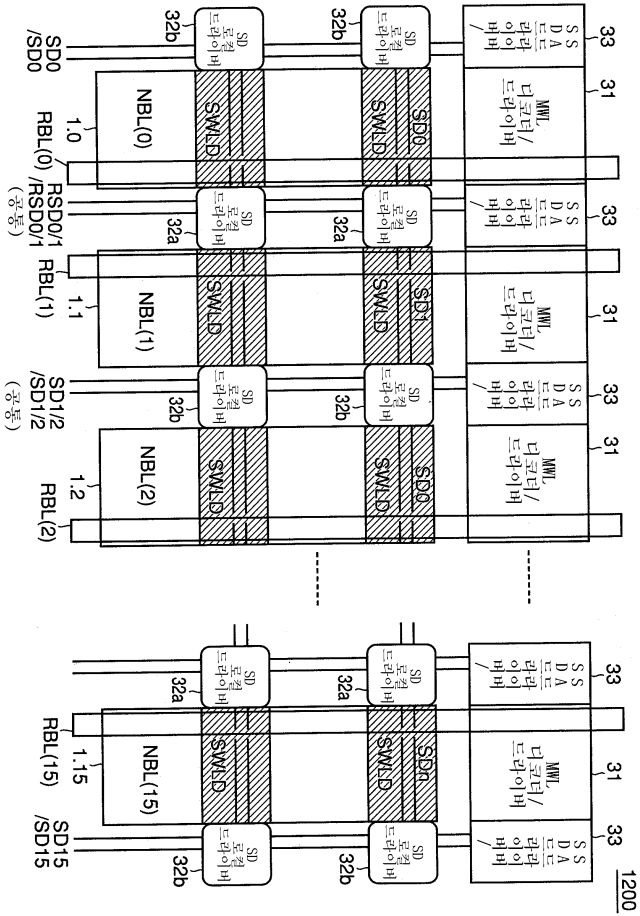
도면5



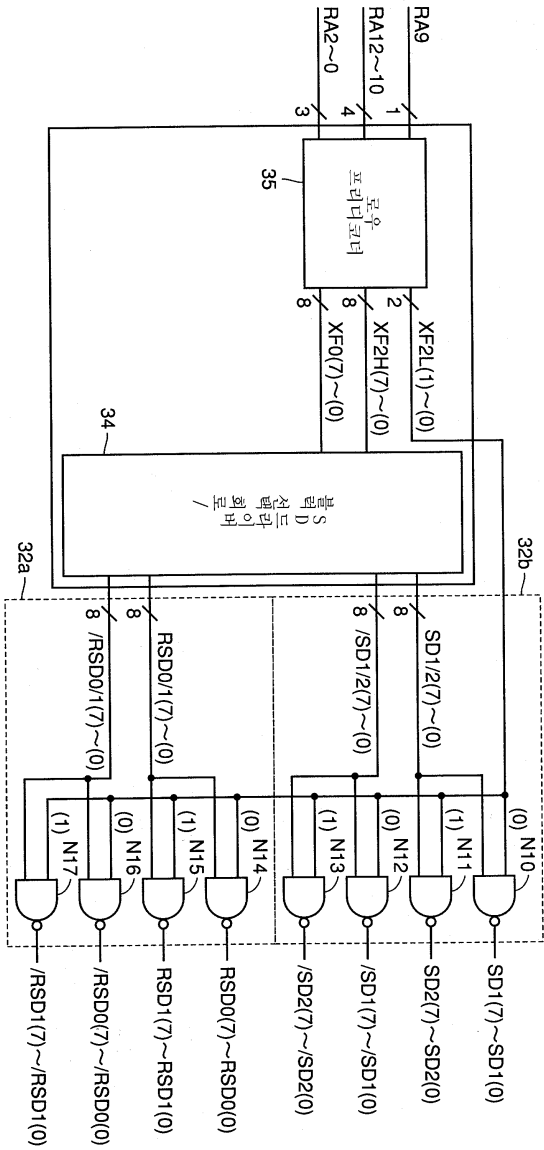
도면6



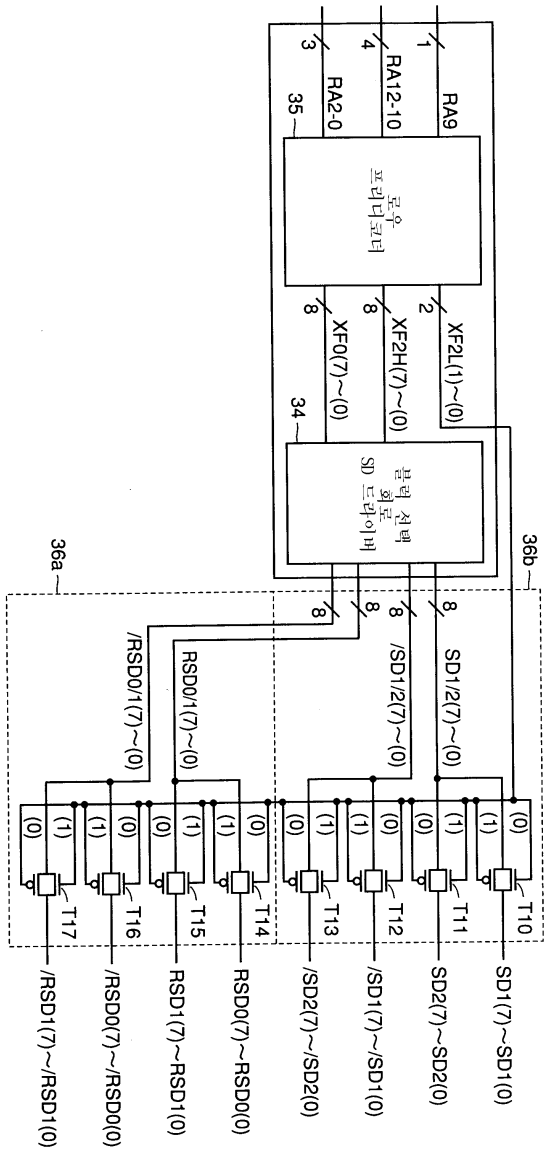
도면7



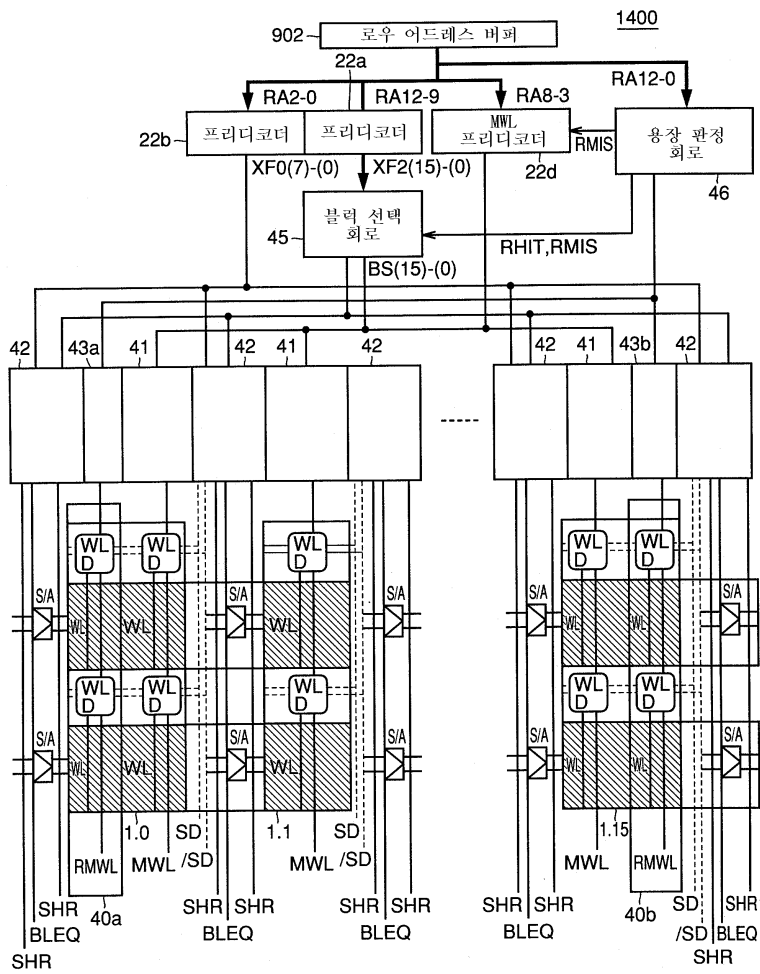
도면 8



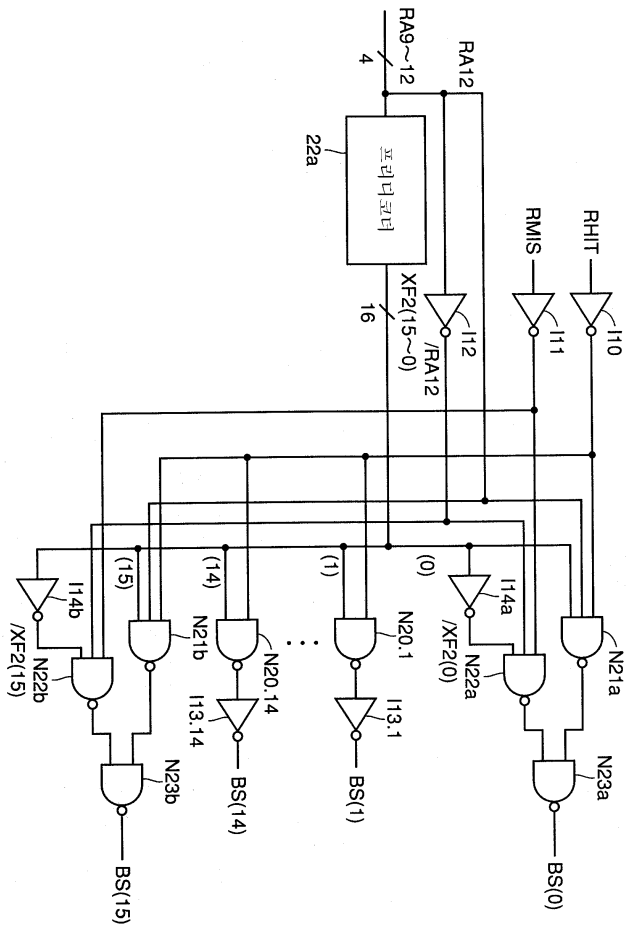
도면9



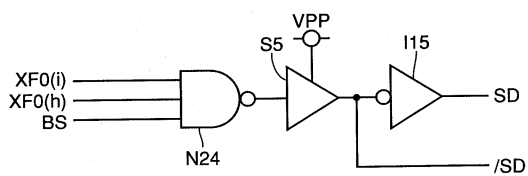
도면 10



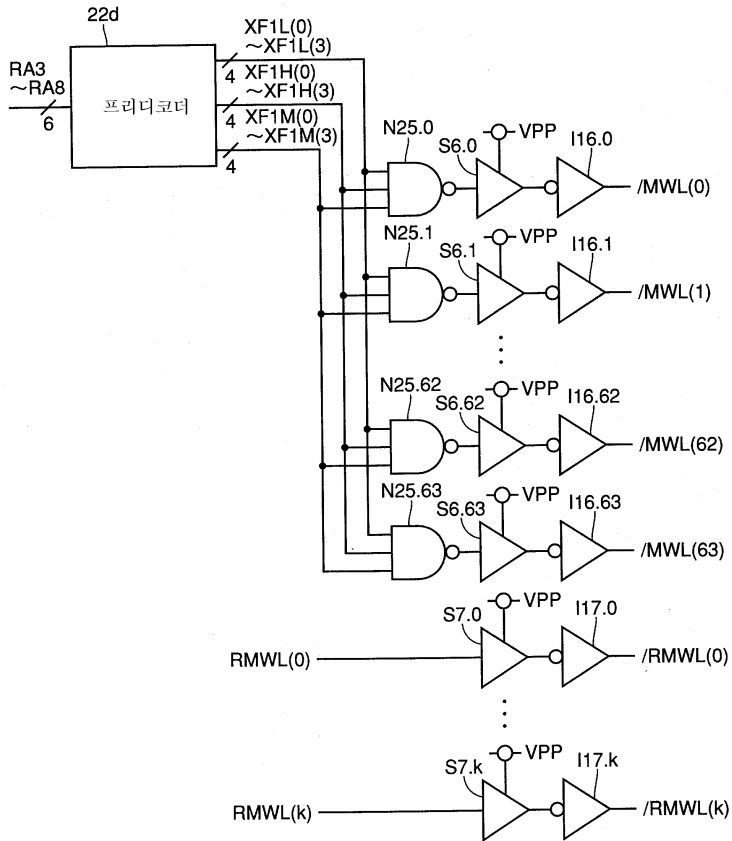
도면 11



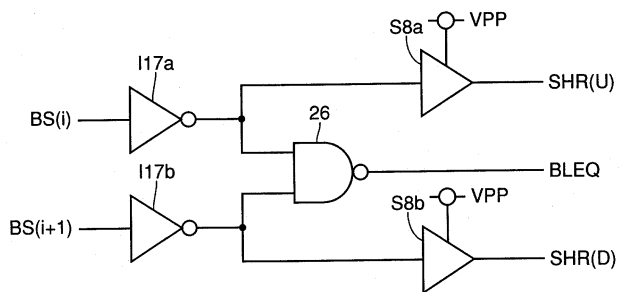
도면 12



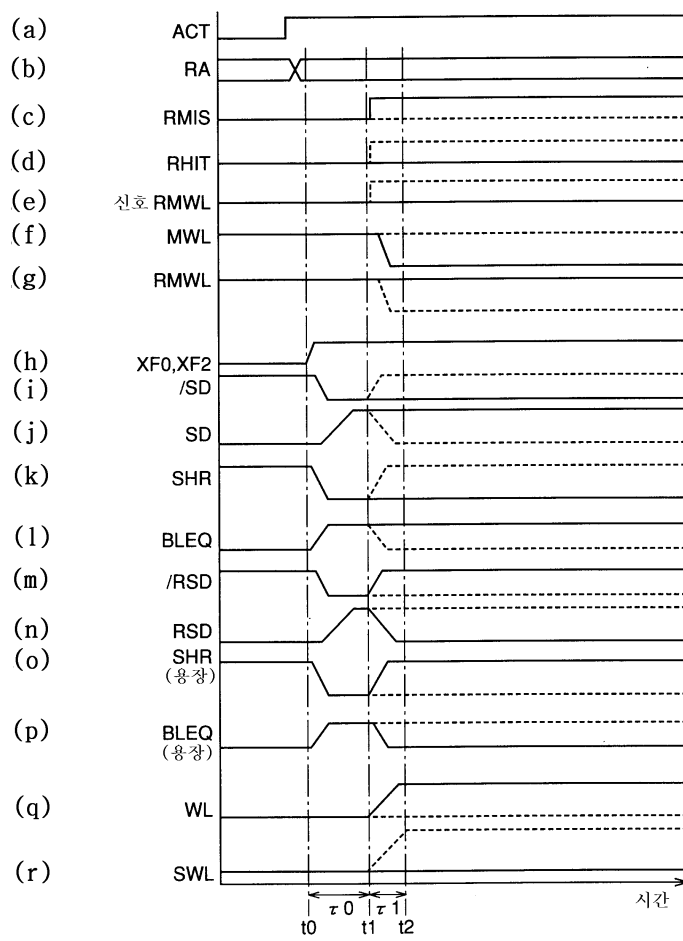
도면 13



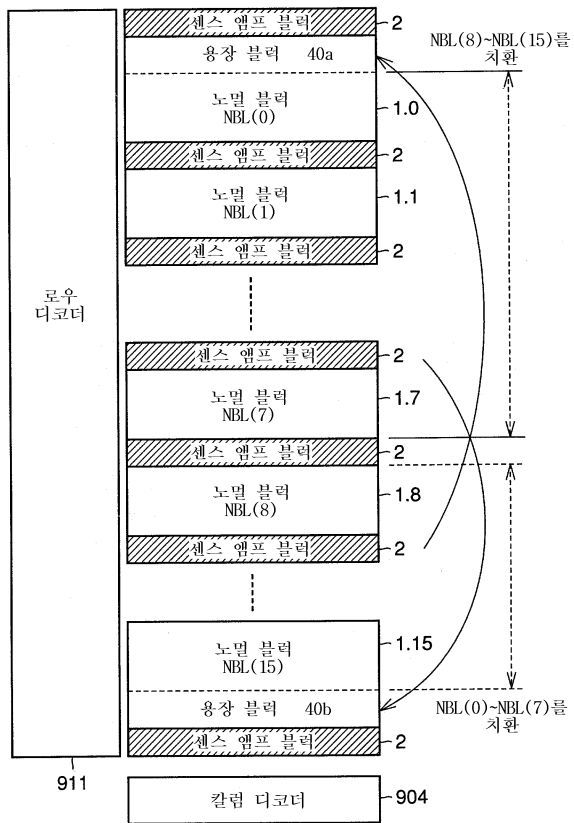
도면 14



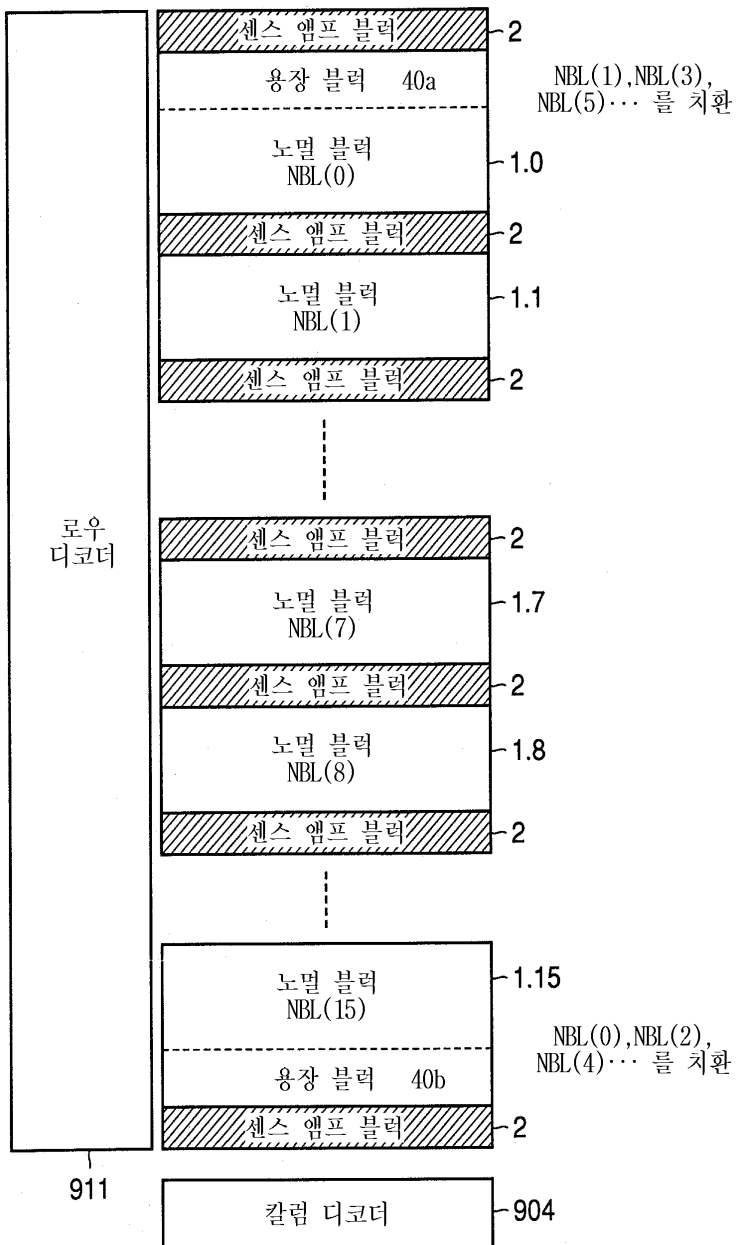
도면 15



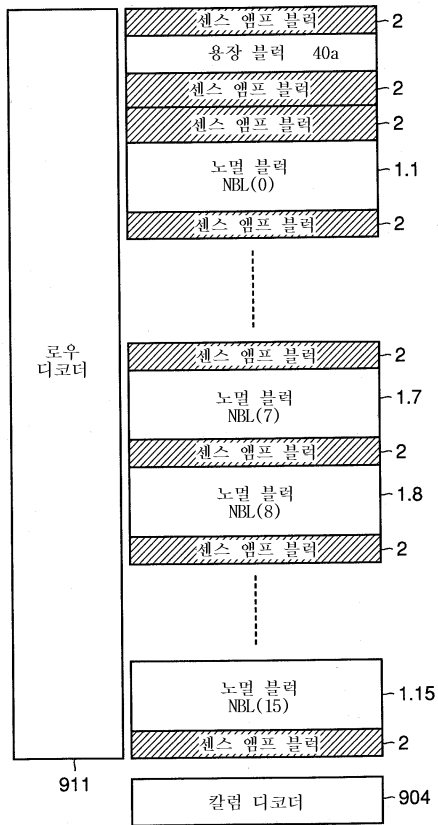
도면 16



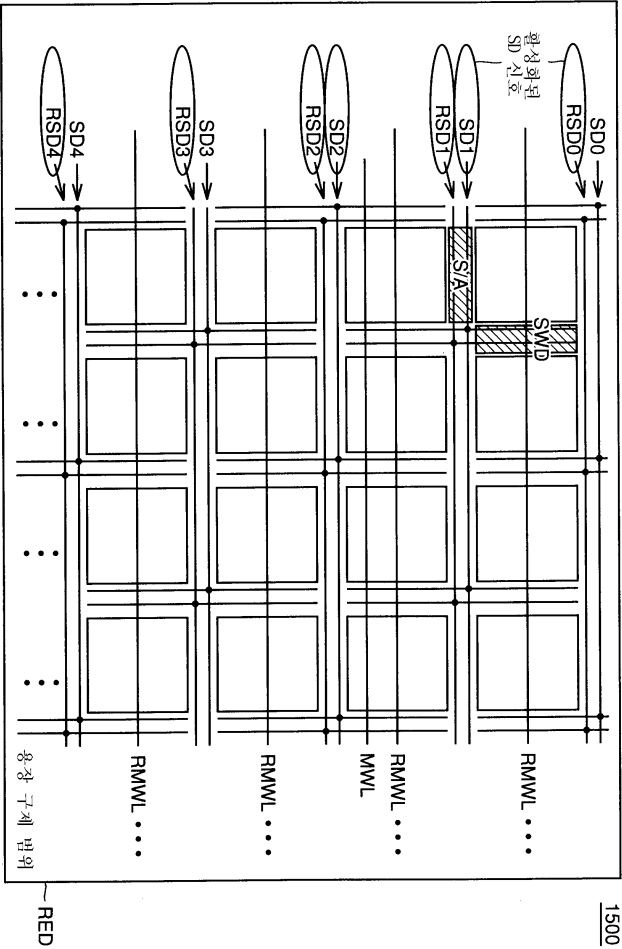
도면17



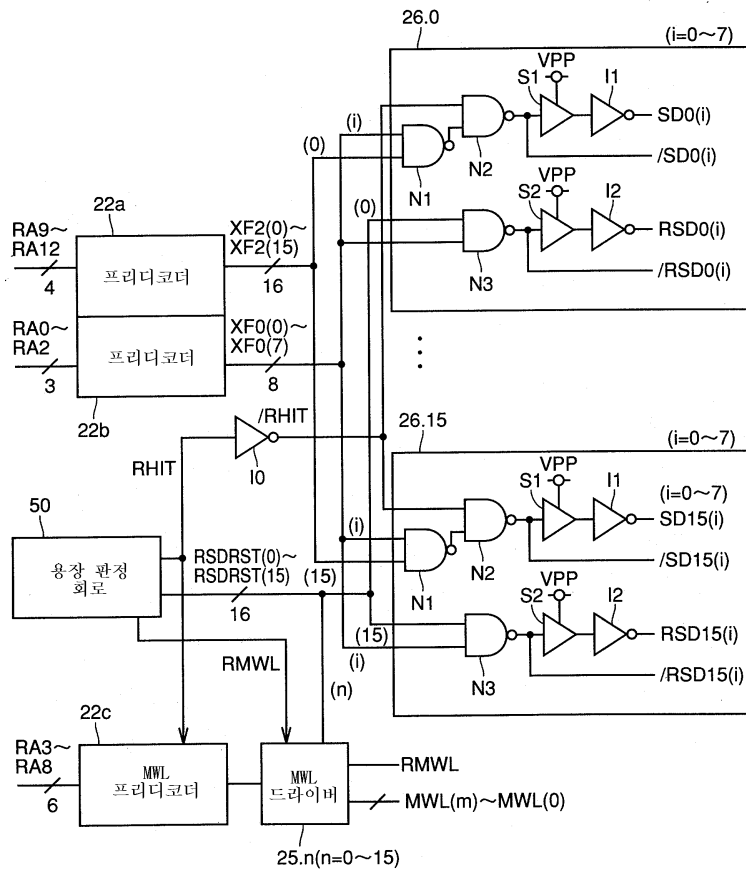
도면 18



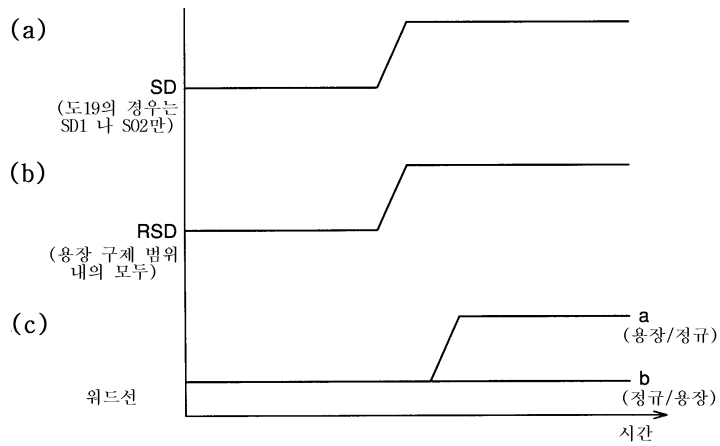
도면 19



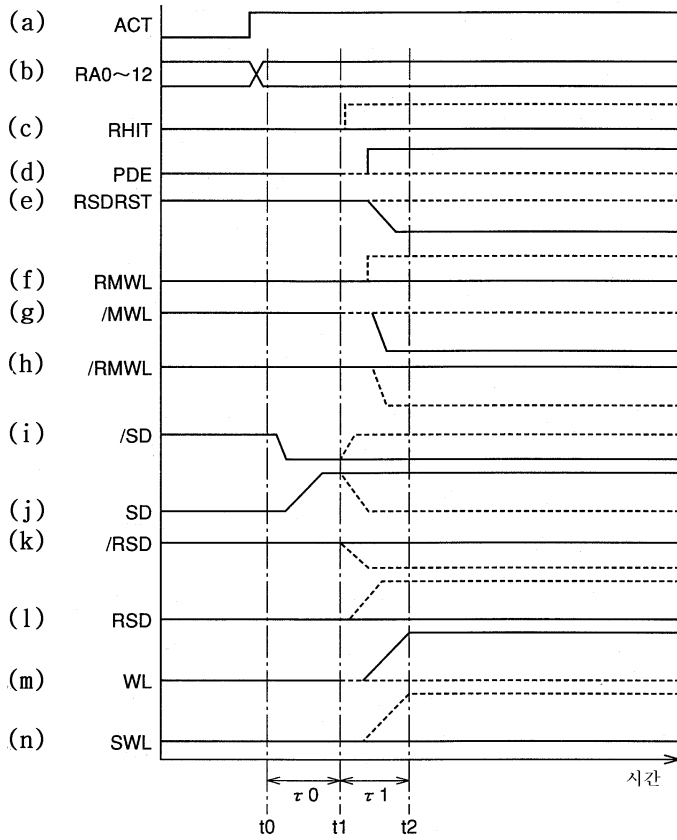
도면20



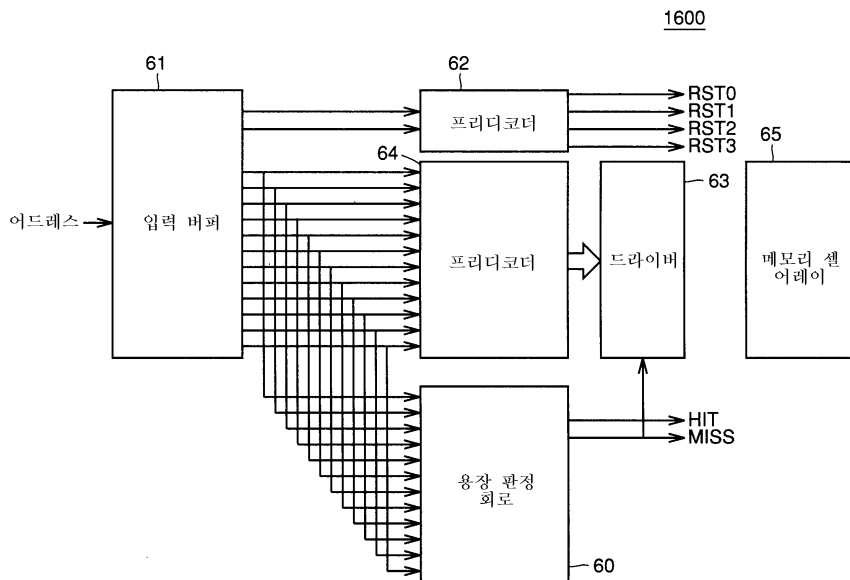
도면21



도면22



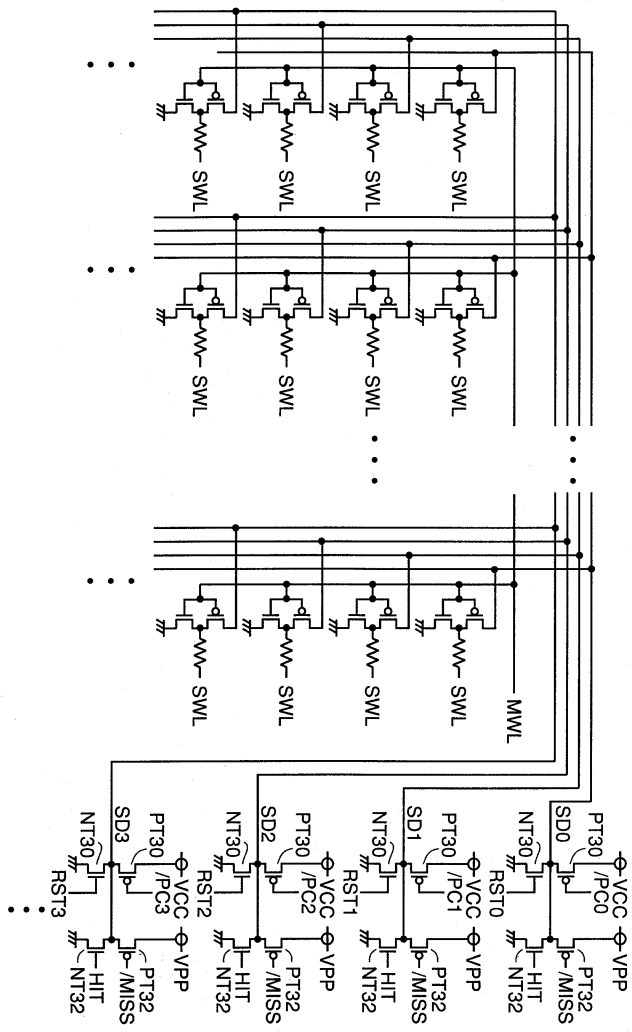
도면23



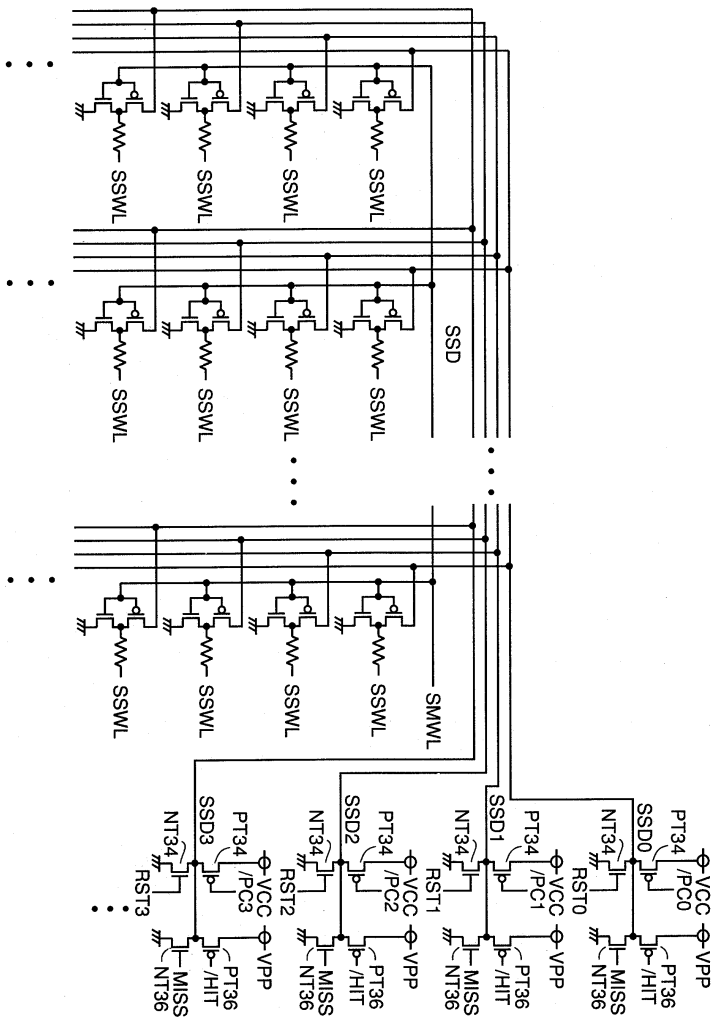
도면24

66	노멀 블록 B0
	스페이 블록 S0
	센스 앰프 영역
66	노멀 블록 B1
	스페이 블록 S1
	센스 앰프 영역
66	노멀 블록 B2
	스페이 블록 S2
	센스 앰프 영역
66	노멀 블록 B3
	스페이 블록 S3
	센스 앰프 영역

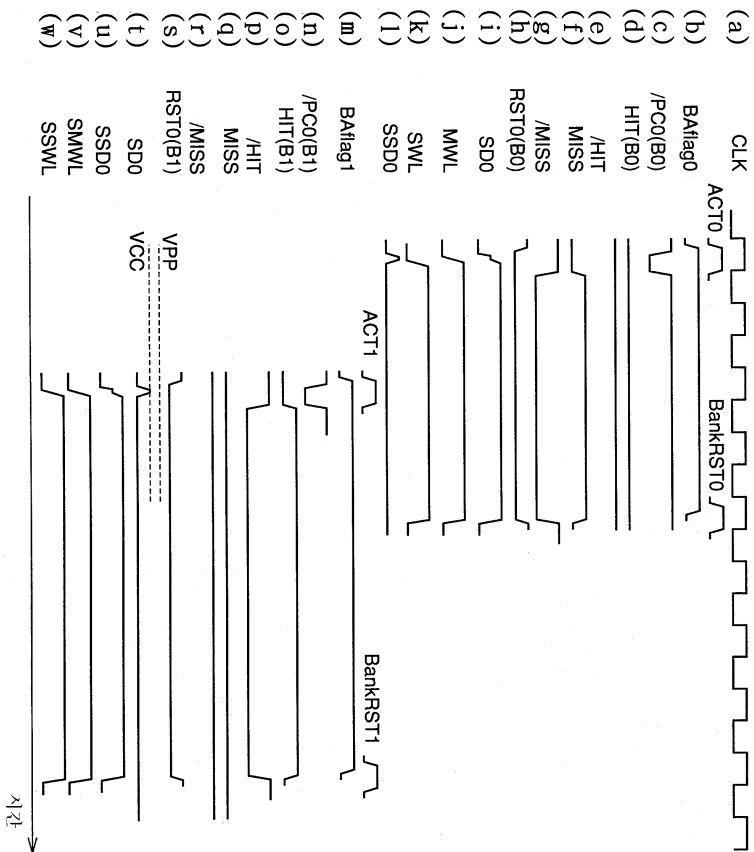
도면25



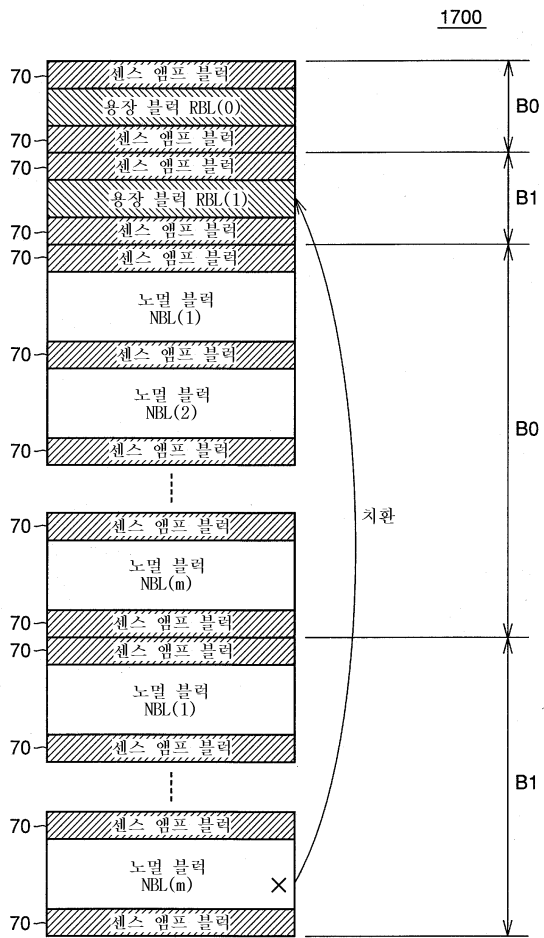
도면26



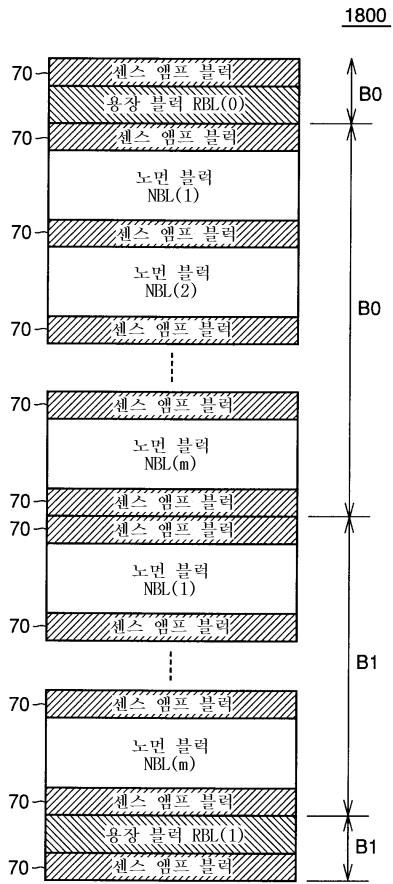
도면27



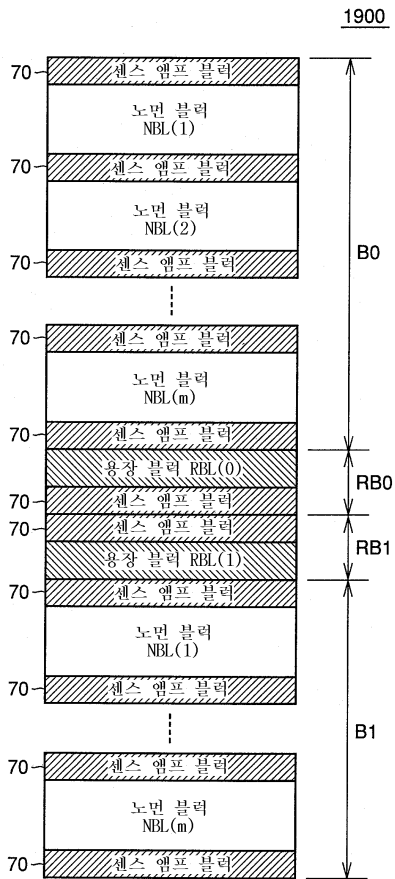
도면28



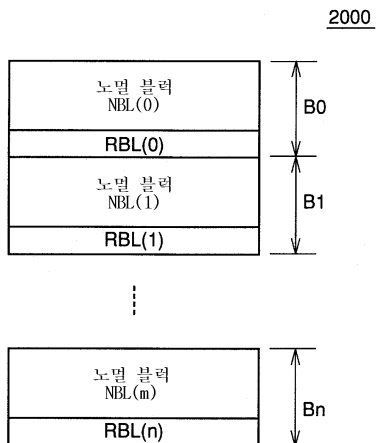
도면29



도면30

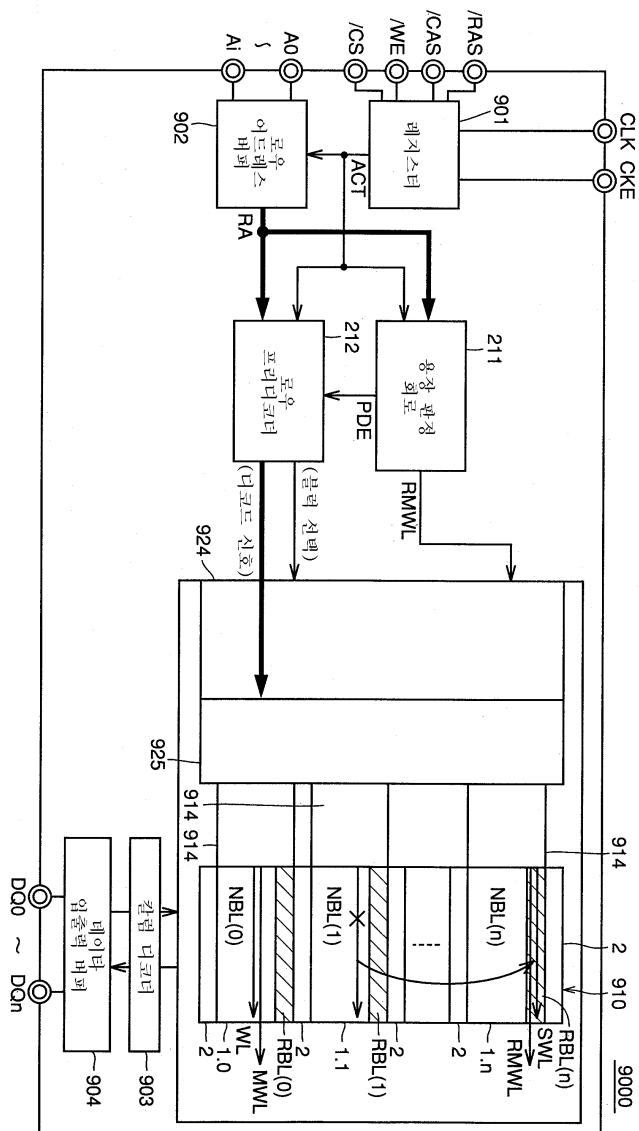


도면31



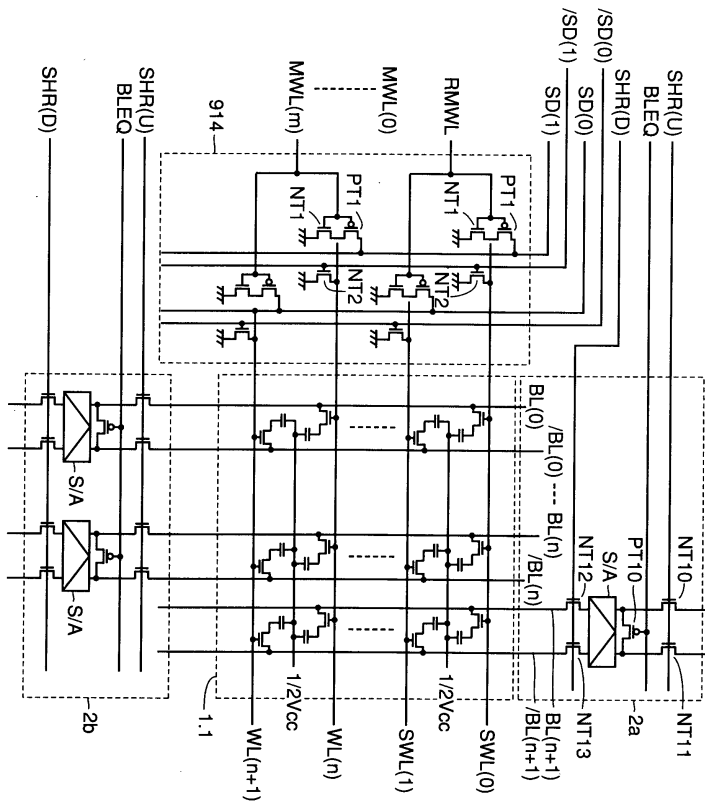
도면32

(종래 기술)



도면33

(종래 기술)



도면34

(종래 기술)

