

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 6 月 2 日 (02.06.2022)



(10) 国际公布号
WO 2022/110757 A1

(51) 国际专利分类号:
H03K 19/20 (2006.01)

(21) 国际申请号: PCT/CN2021/098722

(22) 国际申请日: 2021 年 6 月 7 日 (07.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202011340770.2 2020 年 11 月 25 日 (25.11.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 朱磊 (ZHU, Lei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中

国北京市海淀区西直门北大街 32 号枫蓝国际 A 座 8F-6, Beijing 100082 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: POTENTIAL GENERATION CIRCUIT, INVERTER, DELAY CIRCUIT, AND LOGIC GATE CIRCUIT

(54) 发明名称: 电位产生电路、反相器、延时电路和逻辑门电路

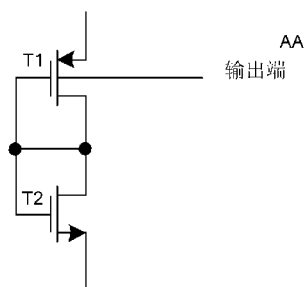


图 18

AA Output terminal

(57) Abstract: A potential generation circuit, an inverter, a delay circuit, and a logic gate circuit. The potential generation circuit comprises a first transistor (T1) and a second transistor (T2). The potential at a substrate terminal of the first transistor (T1) changes with a change in a first parameter. The first parameter is any one of a power supply voltage, an operating temperature, and a manufacturing process of the potential generation circuit. A gate terminal of the first transistor (T1) is connected to a drain terminal of the first transistor (T1). The substrate terminal of the first transistor (T1) serves as an output terminal of the potential generation circuit. A gate terminal of the second transistor (T2) is connected to a drain terminal of the second transistor (T2). The above configuration enables the substrate terminal of the first transistor (T1) to output a potential that changes with a change in any one of the power supply voltage, the operating temperature, and the manufacturing process.

(57) 摘要: 一种电位产生电路、反相器、延时电路和逻辑门电路。该电位产生电路包括: 第一晶体管(T1)和第二晶体管(T2), 第一晶体管(T1)的衬底端的电位随第一参数变化而变化, 第一参数为电位产生电路的供电电压、工作温度和制造工艺中的任一项, 其中, 第一晶体管(T1)的栅极端连接第一晶体管(T1)的漏极端, 第一晶体管(T1)的衬底端作为电位产生电路的输出端, 第二晶体管(T2)的栅极端连接第二晶体管(T2)的漏极端。从而, 第一晶体管(T1)的衬底端可输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电位。

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

电位产生电路、反相器、延时电路和逻辑门电路

本申请要求于 2020 年 11 月 25 日提交中国专利局、申请号为 202011340770.2、申请名称为“电位产生电路、反相器、延时电路和逻辑门电路”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及集成电路技术领域，尤其涉及一种电位产生电路、反相器、延时电路和逻辑门电路。

背景技术

目前，在半导体元件中常使用到延时电路，延时电路为能够使脉冲信号延迟一定时间的电路。延时电路应用在动态随机存取存储器 (Dynamic Random Access Memory, DRAM) 中时，常常需要精确控制延时电路的延迟时间，延迟电路需要满足在电源电压、工作温度以及制造工艺等参数发生变化时，延迟时间的变化较小。

图 1 为一种输入信号和经过延时电路的输出信号的示意图，输入信号经过延时电路后，输出延时信号，如图 1 所示，输出信号为输入信号延迟时间 T 后的信号。图 1 所示的是输入信号的上升沿和下降沿均延迟时间 T 的情况，还有一种情况是只有输入信号的上升沿延迟时间 T 或只有输入信号的下降沿延迟时间 T 。

现有的延时电路中，延时时间 T 会随着电源电压、工作温度以及制造工艺的变化发生较大的变化（变大或变小），会影响延时时间的精度。如何降低上述参数的变化对延时电路的延迟时间 T 的影响，使得延迟时间 T 的变化较小，是亟需解决的问题。

发明内容

本申请提供一种电位产生电路，可输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电位。

本申请提供一种反相器，可使得反向器的上升沿延迟时间或下降沿延迟时间的变化较小，提高反相器对延迟时间精度的控制能力。

本申请提供一种延时电路，以降低延时电路的制造工艺、供电电压和工作温度对延时电路的上升沿延迟时间和/或下降沿延迟时间的影响，使得上升沿延迟时间和/或下降沿延迟时间的变化较小。

本申请提供一种逻辑门电路，以降低逻辑门电路的制造工艺、供电电压和工作温度对逻辑门电路的上升沿延迟时间和/或下降沿延迟时间的影响，使得上升沿延迟时间和/或下降沿延迟时间的变化较小。

第一方面，本申请提供一种电位产生电路，包括：

第一晶体管和第二晶体管，所述第一晶体管的衬底端的电位随第一参数变化而变化，所述第一参数为所述电位产生电路的供电电压、工作温度和制造工艺中的任一项；

其中，所述第一晶体管的栅极端连接所述第一晶体管的漏极端，所述第一晶体管的衬底端作为所述电位产生电路的输出端；所述第二晶体管的栅极端连接所述第二晶体管的漏极端。

5 本申请提供的电位产生电路，通过设置第一晶体管和第二晶体管，第一晶体管的栅极端连接第一晶体管的漏极端，第一晶体管的衬底端作为电位产生电路的输出端，第二晶体管的栅极端连接第二晶体管的漏极端，由于第一晶体管的衬底端的电位随第一参数变化而变化，从而，输出端可输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电位。

可选的，所述第一参数为所述电位产生电路的供电电压或工作温度，

10 所述第一晶体管的衬底端的电位随所述第一参数升高而升高，所述第一晶体管的衬底端的电位随所述第一参数降低而降低。

可选的，所述第一晶体管为 P 型晶体管，所述第二晶体管为 N 型晶体管。

可选的，所述第一晶体管的源极端连接第一电压节点，所述第二晶体管的源极端连接第二电压节点，所述第一晶体管的漏极端连接所述第二晶体管的漏极端，所述第
15 二晶体管的衬底端连接所述第二电压节点。

可选的，还包括：

恒流源，所述恒流源的第一端连接所述第一电压节点，所述恒流源的第二端连接第三电压节点。

可选的，还包括：

20 误差放大器，与所述第一晶体管构成反馈回路，所述第一晶体管的衬底端连接所述第一反馈回路的一个电压节点。

可选的，所述误差放大器的负输入端连接所述第一电压节点，所述误差放大器的正输入端连接第一参考电压，所述误差放大器的输出端连接所述第一晶体管的衬底端。

可选的，所述第三电压节点连接电源端，所述第一参考电压连接电源端，所述第
25 三电压节点的电位大于所述第一参考电压的电位。

可选的，还包括：

缓冲器，所述缓冲器连接所述输出端，并输出衬底电位，所述衬底电位的值等于所述第一晶体管的衬底端的电位值。

第二方面，本申请提供一种电位产生电路，包括：

30 第一晶体管和第二晶体管，所述第二晶体管的衬底端的电位随第一参数变化而变化，所述第一参数为所述电位产生电路的供电电压、工作温度和制造工艺中的任一项；

其中，所述第一晶体管的栅极端连接所述第一晶体管的漏极端，所述第二晶体管的栅极端连接所述第二晶体管的漏极端，所述第二晶体管的衬底端作为所述电位产生电路的输出端。

35 本申请提供的电位产生电路，通过设置第一晶体管和第二晶体管，第一晶体管的栅极端连接第一晶体管的漏极端，第二晶体管的栅极端连接第二晶体管的漏极端，第二晶体管 T2 的衬底端的电位随第一参数变化而变化，第二晶体管的衬底端作为所述电位产生电路的输出端，由于第二晶体管的衬底端的电位随第一参数变化而变化，从而，输出端可输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电位。

可选的，所述第一参数为所述电位产生电路的供电电压或工作温度，所述第二晶体管的衬底端的电位随所述第一参数升高而降低，所述第二晶体管的衬底端的电位随所述第一参数降低而升高。

可选的，所述第一晶体管为 P 型晶体管，所述第二晶体管为 N 型晶体管。

5 可选的，所述第一晶体管的源极端连接第一电压节点，所述第二晶体管的源极端连接第二电压节点，所述第一晶体管的漏极端连接所述第二晶体管的漏极端，所述第一晶体管的衬底端连接所述第一电压节点。

可选的，还包括：

10 恒流源，所述恒流源的第一端连接第三电压节点，所述恒流源的第二端连接所述第二电压节点。

可选的，还包括：

误差放大器，与所述第二晶体管构成反馈回路，所述第二晶体管的衬底端连接所述第一反馈回路的一个电压节点。

15 可选的，所述误差放大器的负输入端连接所述第二电压节点，所述误差放大器的正输入端连接第一参考电压，所述误差放大器的输出端连接所述第二晶体管的衬底端。

可选的，所述第一电压节点连接电源端，所述第一参考电压连接接地端，所述第三电压节点的电位小于所述第一参考电压的电位。

可选的，还包括：

20 缓冲器，所述缓冲器连接所述输出端，并输出衬底电位，所述衬底电位的值等于所述第二晶体管的衬底端的电位值。

第三方面，本申请提供一种延时电路，包括：

如第一方面及第一方面的实施方式中任一所述的电位产生电路；

25 延迟单元，所述延迟单元包括第一反相器，所述第一反相器包括第四晶体管和第五晶体管，所述第四晶体管的衬底端连接所述第一晶体管的衬底端的电位，所述第五晶体管的衬底端连接接地端，所述第四晶体管为 P 型晶体管，所述第五晶体管为 N 型晶体管。

30 可选的，记所述第一晶体管的沟道长度与所述第四晶体管的沟道长度之比为 H，记所述第二晶体管的沟道长度与所述第五晶体管的沟道长度之比为 L，记所述第一晶体管的沟道宽度与所述第四晶体管的沟道宽度之比为 M，记所述第二晶体管的沟道宽度与所述第五晶体管的沟道宽度之比为 N，所述 H 等于所述 L，所述 M 等于所述 N。

35 本申请提供的延时电路，由于电位产生电路中第一晶体管的衬底端的电位可随供电电压、工作温度和制造工艺中的任一项的变化而变化，从而可为反相器中的 P 型晶体管的衬底端提供随第一参数变化而变化的衬底电位，因此可调节流经反相器中的 P 型晶体管的电流，对流经反相器中的 P 型晶体管的电流的变化值进行补偿，使得延时电路的上升沿延迟时间 T 的变化较小，提高延时电路对上升沿延迟时间精度的控制能力。

第四方面，本申请提供一种延时电路，包括：

如第二方面及第二方面的实施方式中任一所述的电位产生电路；

延迟单元，所述延迟单元包括第一反相器，所述第一反相器包括第四晶体管和第

五晶体管，所述第四晶体管的衬底端连接所述第一晶体管的衬底端的电位，所述第五晶体管的衬底端连接电源端，所述第四晶体管为 P 型晶体管，所述第五晶体管为 N 型晶体管。

本申请提供的延时电路，由于电位产生电路中第二晶体管的衬底端的电位可随供电电压、工作温度和制造工艺中的任一项的变化而变化，从而可为反相器中的 N 型晶体管的衬底端提供随第一参数变化而变化的衬底电位，因此可调节流经反相器中的 N 型晶体管的电流，对流经反相器中的 N 型晶体管的电流的变化值进行补偿，使得延时电路的下降沿延迟时间 T 的变化较小，提高延时电路对下降沿延迟时间精度的控制能力。

可选的，记所述第一晶体管的沟道长度与所述第四晶体管的沟道长度之比为 H，记所述第二晶体管的沟道长度与所述第五晶体管的沟道长度之比为 L，记所述第一晶体管的沟道宽度与所述第四晶体管的沟道宽度之比为 M，记所述第二晶体管的沟道宽度与所述第五晶体管的沟道宽度之比为 N，所述 H 等于所述 L，所述 M 等于所述 N。

第五方面，本申请提供一种延时电路，包括：

第一电位产生电路，所述第一电位产生电路为如第一方面及第一方面的实施方式中任一所述的电位产生电路；

第二电位产生电路，所述第二电位产生电路为如第二方面及第二方面的实施方式中任一所述的电位产生电路；

延迟单元，所述延迟单元包括第一反相器，所述第一反相器包括第四晶体管和第五晶体管，所述第四晶体管的衬底端连接所述第一电位产生电路中的第一晶体管的衬底端的电位，所述第五晶体管的衬底端连接所述第二电位产生电路中的第二晶体管的衬底端的电位，所述第四晶体管为 P 型晶体管，所述第五晶体管为 N 型晶体管。

本申请提供的延时电路，可同时补偿电源电压、工作温度以及制造工艺中的任一项的变化对上升沿延时时间和下降沿延迟时间的影响，使得上升沿延时时间 T 和下降沿延迟时间 T 的变化较小，提高延时电路对上升沿延时时间和下降沿延迟时间精度的控制能力。

可选的，记所述第一电位产生电路中的第一晶体管的沟道长度与所述第四晶体管的沟道长度之比为 H1，记所述第一电位产生电路中的第二晶体管的沟道长度与所述第五晶体管的沟道长度之比为 L1，记所述第一电位产生电路中的第一晶体管的沟道宽度与所述第四晶体管的沟道宽度之比为 M1，记所述第一电位产生电路中的第二晶体管的沟道宽度与所述第五晶体管的沟道宽度之比为 N1，所述 H1 等于所述 L1，所述 M1 等于所述 N1；

记所述第二电位产生电路中的第一晶体管的沟道长度与所述第四晶体管的沟道长度之比为 H2，记所述第二电位产生电路中的第二晶体管的沟道长度与所述第五晶体管的沟道长度之比为 L2，记所述第二电位产生电路中的第一晶体管的沟道宽度与所述第四晶体管的沟道宽度之比为 M2，记所述第二电位产生电路中的第二晶体管的沟道宽度与所述第五晶体管的沟道宽度之比为 N2，所述 H2 等于所述 L2，所述 M2 等于所述 N2。

第六方面，本申请提供一种反相器，包括：

P 型晶体管和 N 型晶体管, 所述 P 型晶体管的源极端连接电源端, 所述 P 型晶体管的漏极端连接所述 N 型晶体管的漏极端, 所述 N 型晶体管的源极端连接接地端, 所述 P 型晶体管的栅极端连接所述 N 型晶体管的栅极端, 并作为所述反相器的输入端, 所述 P 型晶体管的漏极端作为所述反相器的输出端;

5 所述 P 型晶体管的衬底端连接衬底电位, 所述 N 型晶体管的衬底端连接接地端, 所述衬底电位随第一参数变化而变化, 所述第一参数为所述反相器的供电电压、工作温度和制造工艺中的任一项。

可选的, 所述第一参数为所述反相器的供电电压或工作温度,

10 所述衬底电位随所述第一参数升高而升高, 所述衬底电位随所述第一参数升高而降低。

本申请提供的反相器, 由于衬底电位可随供电电压、工作温度和制造工艺中的任一项的变化而变化, 从而可提供随第一参数变化而变化的衬底电位给 P 型晶体管 TP2 的衬底端, 因此可调节流经反相器的 P 型晶体管 TP2 的电流, 对流经 P 型晶体管 TP2 的电流的变化值进行补偿, 使得反向器的上升沿延迟时间 T 的变化较小, 提高反相器
15 对上升沿延迟时间精度的控制能力。

第七方面, 本申请提供一种反相器, 包括:

P 型晶体管和 N 型晶体管, 所述 P 型晶体管的源极端连接电源端, 所述 P 型晶体管的漏极端连接所述 N 型晶体管的漏极端, 所述 N 型晶体管的源极端连接接地端, 所述 P 型晶体管的栅极端连接所述 N 型晶体管的栅极端, 并作为所述反相器的输入端, 20 所述 P 型晶体管的漏极端作为所述反相器的输出端;

所述 N 型晶体管的衬底端连接衬底电位, 所述 P 型晶体管的衬底端连接电源端, 所述衬底电位随第一参数变化而变化, 所述第一参数为所述反相器的供电电压、工作温度和制造工艺中的任一项。

本申请提供的反相器, 由于衬底电位可随供电电压、工作温度和制造工艺中的任
25 一项的变化而变化, 从而可提供随第一参数变化而变化的衬底电位给 N 型晶体管 TN2 的衬底端, 因此可调节流经反相器的 N 型晶体管 TN2 的电流, 对流经 N 型晶体管 TN2 的电流的变化值进行补偿, 使得反向器的下降沿延迟时间 T 的变化较小, 提高反相器对下降沿延迟时间精度的控制能力。

可选的, 所述第一参数为所述反相器的供电电压或工作温度,

30 所述第一衬底电位随所述第一参数降低而降低, 所述第二衬底电位随所述第一参数降低而升高。

第八方面, 本申请提供一种延时电路, 包括:

如第五方面及第五方面的实施方式中和第六方面及第六方面的实施方式中任一所述的反相器;

35 电容, 其一端与所述反相器的输出端连接, 其另一端连接所述电源端或所述接地端。

可选的, 所述电容为电容阵列。

本申请提供的延时电路, 由于可对流经反相器的 P 型晶体管 TP2 的电流的变化值进行补偿, 使得反向器的上升沿延迟时间 T 的变化较小, 进而可使得延时电路的上升

沿延迟时间 T 的变化较小，提高延时电路对上升沿延迟时间精度的控制能力。

第九方面，本申请提供一种逻辑门电路，包括：

5 P 型晶体管和 N 型晶体管，所述 P 型晶体管的衬底端连接衬底电位，所述 N 型晶体管的衬底端连接接地端，所述衬底电位随第一参数变化而变化，使得所述逻辑门电路从输入端到输出端的延迟时间随所述第一参数变化的变化值在第一范围内，所述第一参数包括所述逻辑门电路的供电电压、工作温度和制造工艺中的任一项。

本申请提供的逻辑门电路，可以使得逻辑门电路从输入端到输出端的上升沿延迟时间在电源电压、工作温度和制造工艺中的任一项发生变化时的变化较小，提高逻辑门电路对上升沿延迟时间精度的控制能力。

10 第十方面，本申请提供一种逻辑门电路，包括：

P 型晶体管和 N 型晶体管，所述 N 型晶体管的衬底端连接衬底电位，所述 P 型晶体管的衬底端连接电源端，所述衬底电位随第一参数变化而变化，使得所述逻辑门电路从输入端到输出端的延迟时间随所述第一参数变化的变化值在第一范围内，所述第一参数包括所述逻辑门电路的供电电压、工作温度和制造工艺中的任一项。

15 本申请提供的逻辑门电路，可以使得逻辑门电路从输入端到输出端的下降沿延迟时间在电源电压、工作温度和制造工艺中的任一项发生变化时的变化较小，提高逻辑门电路对下降沿延迟时间精度的控制能力。

附图说明

20 为了更清楚地说明本申请或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

图 1 为一种输入信号和经过延时电路的输出信号的示意图；

图 2 为一种输入信号和经过延时电路的输出信号的示意图；

25 图 3 为一种输入信号和经过延时电路的输出信号的示意图；

图 4 为本申请实施例提供的一种电位产生电路的结构示意图；

图 5 为本申请实施例提供的一种电位产生电路的结构示意图；

图 6 为本申请实施例提供的一种电位产生电路的结构示意图；

图 7 为本申请实施例提供的一种电位产生电路的结构示意图；

30 图 8 为本申请实施例提供的一种电位产生电路的结构示意图；

图 9 为本申请实施例提供的一种电位产生电路的结构示意图；

图 10 为本申请实施例提供的一种电位产生电路的结构示意图；

图 11 为本申请实施例提供的一种电位产生电路的结构示意图；

图 12 为本申请实施例提供的一种电位产生电路的结构示意图；

35 图 13 为本申请实施例提供的一种延时电路的结构示意图；

图 14 为本申请实施例提供的一种延时电路的结构示意图；

图 15 为本申请实施例提供的一种延时电路的结构示意图；

图 16 为本申请实施例提供的一种反相器的结构示意图；

图 17 为本申请实施例提供的一种延时电路的结构示意图；

图 18 为本申请实施例提供的一种电位产生电路的结构示意图；
图 19 为本申请实施例提供的一种电位产生电路的结构示意图；
图 20 为本申请实施例提供的一种电位产生电路的结构示意图；
图 21 为本申请实施例提供的一种电位产生电路的结构示意图；
5 图 22 为本申请实施例提供的一种电位产生电路的结构示意图；
图 23 为本申请实施例提供的一种电位产生电路的结构示意图；
图 24 为本申请实施例提供的一种电位产生电路的结构示意图；
图 25 为本申请实施例提供的一种电位产生电路的结构示意图；
图 26 为本申请实施例提供的一种电位产生电路的结构示意图；
10 图 27 为本申请实施例提供的一种电位产生电路的结构示意图；
图 28 为本申请实施例提供的一种延时电路的结构示意图；
图 29 为本申请实施例提供的一种延时电路的结构示意图；
图 30 为本申请实施例提供的一种延时电路的结构示意图；
图 31 为本申请实施例提供的一种反相器的结构示意图；
15 图 32 为本申请实施例提供的一种反相器的结构示意图；
图 33 为本申请实施例提供的一种延时电路的结构示意图；
图 34 为本申请实施例提供的一种延时电路的结构示意图；
图 35 为本申请实施例提供的一种控制电路的结构示意图；
图 36 为本申请实施例提供的一种控制电路的结构示意图；
20 图 37 为本申请实施例提供的一种控制电路的结构示意图；
图 38 为本申请实施例提供的一种控制电路的结构示意图；
图 39 为本申请实施例提供的一种控制电路的结构示意图；
图 40 为本申请实施例提供的一种控制电路的结构示意图；
图 41 为本申请实施例提供的一种控制电路的结构示意图；
25 图 42 为本申请实施例提供的一种控制电路的结构示意图；
图 43 为本申请实施例提供的一种控制电路的结构示意图；
图 44 为本申请实施例提供的一种控制电路的结构示意图；
图 45 为本申请实施例提供的一种控制电路的结构示意图；
图 46 为本申请实施例提供的一种控制电路的结构示意图；
30 图 47 为本申请实施例提供的一种控制电路的结构示意图；
图 48 为本申请实施例提供的一种控制电路的结构示意图；
图 49 为本申请实施例提供的一种控制电路的结构示意图；
图 50 为本申请实施例提供的一种控制电路的结构示意图；
图 51 为本申请实施例提供的一种控制电路的结构示意图；
35 图 52 为本申请实施例提供的一种控制电路的结构示意图；
图 53 为本申请实施例提供的一种控制电路的结构示意图；
图 54 为本申请实施例提供的一种控制电路的结构示意图。

具体实施方式

为使本申请的目的、技术方案和优点更加清楚，下面将结合本申请中的附图，对本申请中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

5 首先对本申请中涉及到的上升沿延迟时间和下降沿延迟时间进行解释，以便于理解。

1、上升沿延迟时间，图 1 为一种输入信号和经过延时电路的输出信号的示意图，如图 1 所示，输出信号的上升沿与输入信号的上升沿之间的延迟时间 T 为上升沿延迟时间。

10 2、下降沿延迟时间，如图 1 所示，输出信号的下降沿与输入信号的下降沿之间的延迟时间 T 为下降沿延迟时间。

本申请提供的延时电路，可以实现对输入信号的上升沿和下降沿均延迟时间 T ，脉冲信号的宽度不变，如图 1 中所示，也可以实现对输入信号的上升沿延迟时间 T ，还可以实现对输入信号的下降沿延迟时间 T 。图 2 为一种输入信号和经过延时电路的
15 输出信号的示意图，如图 2 所示，输入信号的上升沿被延迟时间 T 得到输出信号，脉冲信号的宽度被缩短了时间 T 。图 3 为一种输入信号和经过延时电路的输出信号的示意图，如图 3 所示，输入信号的下降沿被延迟时间 T 得到输出信号，脉冲信号的宽度被延长了时间 T 。需要说明的是，图 1-图 3 中仅示出了脉冲信号的一个周期。

本申请提供的延时电路，可应用于需要精确控制延时电路的延迟时间的场景，例如可应用于 DRAM 中，可同时补偿电源电压、工作温度以及制造工艺中的任一项的变化对延迟时间的影响，使得延迟时间 T 的变化较小，提高延时电路对延迟时间精度的控制能力。

现有的延时电路中的延迟单元包括反相器，反相器由两个晶体管（P 型晶体管和 N 型晶体管）组成，经过延时电路的输出信号的延时时间 T 会随着电源电压、工作温
25 度以及制造工艺的变化发生较大的变化，会影响延时时间的精度。为解决这一问题，本申请从延迟单元的结构出发，由于电源电压、工作温度以及制造工艺发生变化时，均会导致流经反相器的两个晶体管的电流发生变化，才会导致延时时间发生变化，因此本申请提供一种延时电路，延时电路包括电位产生电路和延迟单元，该电位产生电路包括第一晶体管和第二晶体管，第一晶体管的衬底端的电位随第一参数变化而变化，
30 第二晶体管的衬底端的电位随第一参数变化而变化，第一参数为电位产生电路的供电电压、工作温度和制造工艺中的任一项。延迟单元包括第一反相器，第一反相器包括第四晶体管和第五晶体管，第四晶体管的衬底端连接第一晶体管的衬底端的电位，第五晶体管的衬底端连接第二晶体管的衬底端的电位。

由于第一晶体管的衬底端的电位可随供电电压、工作温度和制造工艺中的任一项
35 的变化而变化，从而可提供随第一参数变化而变化的衬底电位给第四晶体管的衬底端，第二晶体管的衬底端的电位可随供电电压、工作温度和制造工艺中的任一项的变化而变化，从而可提供随第一参数变化而变化的衬底电位给第五晶体管的衬底端，因此可调节流经第一反相器的两个晶体管的电流，对流经反相器的两个晶体管的电流的变化值进行补偿，使得延时电路的延迟时间 T 的变化较小，提高延时电路对延迟时间精度

的控制能力。

下面通过具体实施例，对本申请提供的电位产生电路、反相器、延时电路和逻辑门电路的具体结构进行详细说明。

实施例一

5 图 4 为本申请实施例提供的一种电位产生电路的结构示意图，如图 4 所示，本实施例的电位产生电路可以包括：第一晶体管 T1 和第二晶体管 T2，其中，第一晶体管 T1 的衬底端的电位随第一参数变化而变化，第一参数为电位产生电路的供电电压、工作温度和制造工艺中的任一项，第二晶体管 T2 的衬底端的电位随第一参数变化而变化。

10 其中，第一晶体管 T1 的栅极端连接第一晶体管 T1 的漏极端，第一晶体管 T1 的衬底端作为电位产生电路的第一输出端，第二晶体管 T2 的栅极端连接第二晶体管 T2 的漏极端，第二晶体管 T2 的衬底端作为电位产生电路的第二输出端。

具体地，第一晶体管 T1 的衬底端的电位即为第一输出端输出的电位，第二晶体管 T2 的衬底端的电位即为第二输出端输出的电位。第一晶体管 T1 的衬底端的电位随第一参数变化而变化，第二晶体管 T2 的衬底端的电位随第一参数变化而变化，因此，本
15 实施例提供的电位产生电路可输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电位。

具体来说，若第一参数为电位产生电路的供电电压或工作温度，第一晶体管 T1 的衬底端的电位随第一参数变化而变化，第二晶体管 T2 的衬底端的电位随第一参数变化而变化，具体可以是：第一晶体管 T1 的衬底端的电位随第一参数升高而升高，第一
20 晶体管 T1 的衬底端的电位随第一参数降低而降低，即二者是正比的关系；第二晶体管 T2 的衬底端的电位随第一参数升高而降低，第二晶体管 T2 的衬底端的电位随第一参数降低而升高。

在一种可实施的方式中，第一晶体管 T1 为 P 型晶体管，第二晶体管 T2 为 N 型晶体管。

25 在一种可实施的方式中，第一晶体管 T1 的源极端连接第一电压节点，第二晶体管 T2 的源极端连接第二电压节点，第一晶体管 T1 的漏极端连接第二晶体管 T2 的漏极端。

在该实施方式中，图 5 为本申请实施例提供的一种电位产生电路的结构示意图，如图 5 所示，本实施例的电位产生电路在图 4 所示电路的基础上，进一步地，还可以包括：恒流源 11，恒流源 11 的第一端连接第二电压节点，恒流源 11 的第二端连接第
30 三电压节点。

图 6 为本申请实施例提供的一种电位产生电路的结构示意图，如图 6 所示，本实施例的电位产生电路在图 5 所示电路的基础上，进一步地，还可以包括：第一误差放大器 12、第二误差放大器 13 和第三晶体管 T3，其中，

35 第一误差放大器 12 与第二晶体管 T2 构成第一反馈回路，第二晶体管 T2 的衬底端连接第一反馈回路的一个电压节点。

第二误差放大器 13 和第三晶体管 T3 构成第二反馈回路，第一晶体管的衬底端连接第二反馈回路的一个电压节点。

如图 6 所示，可选的，第一误差放大器 12 的负输入端连接第二电压节点，第一误差放大器 12 的正输入端连接第一参考电压 V_1 ，第一误差放大器 12 的输出端连接第二

晶体管 T2 的衬底端。

第二误差放大器 13 的负输入端连接第二参考电压 V_2 ，第二误差放大器 13 的正输入端连接第四电压节点，第二误差放大器 13 的输出端连接第三晶体管 T3 的栅极端，第三晶体管 T3 的源极端连接第一电压节点，第三晶体管 T3 的漏极端通过第一电阻 R1 耦合到第四电压节点，第一误差放大器 12 的输出端通过第二电阻 R2 耦合到第四电压节点。

本实施例中，第一电压节点可以是连接电源端，第一参考电压 V_1 可以是连接接地端，第三电压节点的电位小于第一参考电压 V_1 的电位。

图 6 所示的电位产生电路中，第一电压节点连接电源端，第一参考电压 V_1 连接接地端，第三电压节点的电位小于 V_1 的电位，也即就是第三电压节点的电位小于 0。第一电压节点的电位大于第三电压节点的电位。

下面结合图 7 和图 8 示出另一种电位产生电路，下面结合图 7 和图 8 进行详细说明。

图 7 为本申请实施例提供的一种电位产生电路的结构示意图，如图 7 所示，本实施例的电位产生电路在图 4 所示电路的基础上，进一步地，还可以包括：恒流源 11，恒流源 11 的第一端连接第三电压节点，恒流源 11 的第二端连接第一电压节点。

图 8 为本申请实施例提供的一种电位产生电路的结构示意图，如图 8 所示，本实施例的电位产生电路在图 7 所示电路的基础上，进一步地，还可以包括：第一误差放大器 12，与第一晶体管 T1 构成第一反馈回路，第一晶体管 T1 的衬底端连接第一反馈回路的一个电压节点。

第二误差放大器 13 和第三晶体管 T3，第二误差放大器 13 和第三晶体管 T3 构成第二反馈回路，第二晶体管 T2 的衬底端连接第二反馈回路的一个电压节点。

如图 8 所示，可选的，第一误差放大器 12 的负输入端连接第一电压节点，第一误差放大器的正输入端连接第一参考电压 V_1 ，第一误差放大器 12 的输出端连接第一晶体管 T1 的衬底端。

第二误差放大器 13 的负输入端连接第二参考电压 V_2 ，第二误差放大器 13 的正输入端连接第四电压节点，第二误差放大器 13 的输出端连接第三晶体管 T3 的栅极端，第三晶体管 T3 的源极端连接第二电压节点，第三晶体管 T3 的漏极端通过第二电阻 R2 耦合到第四电压节点，第一误差放大器 12 的输出端通过第一电阻 R1 耦合到第四电压节点。

本实施例中，第二电压节点可以是连接接地端，第一参考电压 V_1 可以是连接电源端，第三电压节点的电位大于第一参考电压 V_1 的电位。

图 8 所示的电位产生电路中，第二电压节点连接接地端，第一参考电压 V_1 连接电源端，第三电压节点的电位大于 V_1 的电位，也即就是第三电压节点的电位大于电源端电位。第一电压节点的电位小于第三电压节点的电位。

图 4 至图 8 任一所示的电位产生电路，通过设置第一晶体管和第二晶体管，第一晶体管的栅极端连接第一晶体管的漏极端，第一晶体管的衬底端作为电位产生电路的第一输出端，第二晶体管的栅极端连接第二晶体管的漏极端，第二晶体管的衬底端作为电位产生电路的第二输出端，由于第一晶体管的衬底端的电位随第一参数变化而变

化，第二晶体管的衬底端的电位随第一参数变化而变化，从而，第一输出端和第二输出端可分别输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电位。

进一步地，在图 4 至图 8 任一所示电位产生电路的基础上，还可以包括：第一缓冲器 14 和第二缓冲器 15，图 9 为本申请实施例提供的一种电位产生电路的结构示意图，图 10 为本申请实施例提供的一种电位产生电路的结构示意图，图 9 所示的电位产生电路在图 6 所示电路的基础上，还可以包括：第一缓冲器 14 和第二缓冲器 15，图 10 所示的电位产生电路在图 8 所示电路的基础上，还可以包括：第一缓冲器 14 和第二缓冲器 15。

参见图 9 和图 10，第一缓冲器 14 连接第一输出端，并输出第一衬底电位，第一衬底电位的值等于第一晶体管 T1 的衬底端的电位值。第一缓冲器 14 的输入电位和输出电位相同，第一缓冲器 14 用于增强第一晶体管 T1 的衬底端的电位的驱动能力，还可以对第一晶体管 T1 的衬底端隔离，避免第一晶体管 T1 的衬底端的电位受到干扰。

第二缓冲器 15 连接第二输出端，并输出第二衬底电位，第二衬底电位的值等于第二晶体管 T2 的衬底端的电位值。第二缓冲器 15 的输入电位和输出电位相同，第二缓冲器 15 用于增强第二晶体管 T2 的衬底端的电位的驱动能力，还可以对第二晶体管 T2 的衬底端隔离，避免第二晶体管 T2 的衬底端的电位受到干扰。

下面结合具体实施例对本申请的电位产生电路的结构进行说明，本申请的电位产生电路的具体结构并不局限于下面任一种结构。

图 11 为本申请实施例提供的一种电位产生电路的结构示意图，本实施例的电位产生电路可以包括：第一晶体管 T1、第二晶体管 T2、恒流源 11、第一误差放大器 12、第二误差放大器 13、第一电阻 R1、第二电阻 R2、第三晶体管 T3、第一缓冲器 14 和第二缓冲器 15。

本实施例中，其中，第一晶体管 T1 为 P 型晶体管，第二晶体管 T2 为 N 型晶体管。第一晶体管 T1 的栅极端连接第一晶体管 T1 的漏极端，第二晶体管 T2 的栅极端连接第二晶体管 T2 的漏极端，第一晶体管 T1 的源极端连接电源端 Vcc，第二晶体管 T2 的源极端连接恒流源 11 的第一端，第一晶体管 T1 的漏极端连接第二晶体管 T2 的漏极端。恒流源 11 第二端连接 Vkb，Vkb 的电位小于 0。

其中，第一误差放大器 12 与第二晶体管 T2 构成第一反馈回路，第一误差放大器 12 的负输入端连接第二晶体管 T2 的源极端和恒流源 11 的第一端，第一误差放大器 12 的正输入端连接接地端，第一误差放大器 12 的输出端连接第二晶体管 T2 的衬底端。

其中，第二误差放大器 13 的负输入端连接电源端（例如可以为 Vcc/2），第二误差放大器 13 的正输入端连接第四电压节点，第二误差放大器 13 的输出端连接第三晶体管 T3 的栅极端，第三晶体管 T3 的源极端连接电源端 Vcc，第三晶体管 T3 的漏极端通过第一电阻 R1 耦合到第四电压节点，第一误差放大器 12 的输出端通过第二电阻 R2 耦合到第四电压节点。

其中，第一缓冲器 14 连接第一晶体管的衬底端，并输出第一衬底电位，第一衬底电位的值等于第一晶体管 T1 的衬底端的电位值。第二缓冲器 15 连接第二晶体管的衬底端，并输出第二衬底电位，第二衬底电位的值等于第二晶体管 T2 的衬底端的电位值。

可选的，第一电阻 R1 和第二电阻 R2 的阻值可以设置较大，例如设置为 100MΩ，

通过将第一电阻 R1 和第二电阻 R2 的阻值设置较大，第一误差放大器 12 的输出只会缓慢的影响第二误差放大器 13 的输入，而对第一衬底电位的影响较小。

本实施例中，第一晶体管 T1 的衬底端的电位随第一参数升高而升高，第一晶体管 T1 的衬底端的电位随第一参数降低而降低；第二晶体管 T2 的衬底端的电位随第一参数升高而降低，第二晶体管 T2 的衬底端的电位随第一参数降低而升高，第一参数为电

位产生电路的供电电压、工作温度和制造工艺中的任一项。

以第一参数为工作温度为例，下面详细介绍第一晶体管 T1 的衬底端的电位随第一参数变化而变化的原理，以及第二晶体管 T2 的衬底端的电位随第一参数变化而变化的原理。

流经第一晶体管 T1 的电流 $I_d = \mu * C_{ox} * (W/L) * (V_{gs} - V_{th})^2$ ，其中， μ 为电子迁移率， C_{ox} 为栅极电容， V_{gs} 为栅极与源极之间的电压差， V_{th} 为阈值电压，例如工作温度升高时，电子迁移率 μ 变小，会导致流经第一晶体管 T1 的电流 I_d 变小，对应的反相器的延迟时间变长，此时若调整 $V_{gs} - V_{th}$ 变大可以补偿电子迁移率 μ 变小导致的电流变化，具体调整的数值可根据实际需求设置。图 11 所示的电位产生电路中，若温度升高，电子迁移率 μ 变小，流经第一晶体管 T1 的电流 I_d 变小，为了保持恒流源的电流不变，需要将第一衬底电位增大，例如变成 $V_{cc} + 100mV$ ，同时需要将第二衬底电位减小，例如变成 $-100mV$ 。当温度升高，流经第一晶体管 T1 和第二晶体管 T2 的电流 I_d 减小，对于恒流源 11 而言，上方提供的电流减小，而流向下方的电流不变，从而使得第一误差放大器 12 的负输入端电位减小，进而第二衬底电位减小，这时候会导致第一误差放大器 12 的输出逐渐变为 $-100mV$ ，然后第二误差放大器 13 的正输入端减小，导致第二误差放大器 13 的输出电压变小，然后再导致第三晶体管 T3 的上拉能力增强，进而使得第一衬底电位的电压变高，第一衬底电位逐渐变为 $V_{cc} + 100mV$ 。

第一参数为供电电压和制造工艺时，供电电压和制造工艺的变化均会导致流经第一晶体管 T1 的电流 I_d 发生变化，进而导致延迟时间发生变化，补偿的原理和上述原理类似，此处不再赘述。

图 12 为本申请实施例提供的一种电位产生电路的结构示意图，本实施例的电位产生电路可以包括：第一晶体管 T1、第二晶体管 T2、恒流源 11、第一误差放大器 12、第二误差放大器 13、第一电阻 R1、第二电阻 R2、第三晶体管 T3、第一缓冲器 14 和第二缓冲器 15。

本实施例中，其中，第一晶体管 T1 为 P 型晶体管，第二晶体管 T2 为 N 型晶体管。第一晶体管 T1 的栅极端连接第一晶体管 T1 的漏极端，第二晶体管 T2 的栅极端连接第二晶体管 T2 的漏极端，第一晶体管 T1 的源极端连接恒流源 11 的第一端，第二晶体管 T2 的源极端连接接地端，第一晶体管 T1 的漏极端连接第二晶体管 T2 的漏极端。恒流源 11 第二端连接电源端 V_{dd} 。

其中，第一误差放大器 12 与第一晶体管 T1 构成第一反馈回路，第一误差放大器 12 的负输入端连接恒流源 11 的第一端，第一误差放大器的正输入端连接电源端 V_{cc} ，第一误差放大器 12 的输出端连接第一晶体管 T1 的衬底端。

其中， V_{dd} 大于 V_{cc} 。

其中，第二误差放大器 13 的负输入端连接电源端（例如可以为 $V_{cc}/2$ ），第二误

差放大器 13 的正输入端连接第四电压节点，第二误差放大器 13 的输出端连接第三晶体管 T3 的栅极端，第三晶体管 T3 的源极端连接接地端，第三晶体管 T3 的漏极端通过第二电阻 R2 耦合到第四电压节点，第一误差放大器 12 的输出端通过第一电阻 R1 耦合到第四电压节点。

其中，第一缓冲器 14 连接第一晶体管的衬底端，并输出第一衬底电位，第一衬底电位的值等于第一晶体管 T1 的衬底端的电位值。第二缓冲器 15 连接第二晶体管的衬底端，并输出第二衬底电位，第二衬底电位的值等于第二晶体管 T2 的衬底端的电位值。

本实施例中，第一晶体管 T1 的衬底端的电位随第一参数升高而升高，第一晶体管 T1 的衬底端的电位随第一参数降低而降低；第二晶体管 T2 的衬底端的电位随第一参数升高而降低，第二晶体管 T2 的衬底端的电位随第一参数降低而升高，第一参数为电

位产生电路的供电电压、工作温度和制造工艺中的任一项。

以第一参数为工作温度为例，下面详细介绍第一晶体管 T1 的衬底端的电位随第一参数变化而变化的原理，以及第二晶体管 T2 的衬底端的电位随第一参数变化而变化的原理。

流经第一晶体管 T1 的电流 $I_d = \mu * C_{ox} * (W/L) * (V_{gs} - V_{th})^2$ ，其中， μ 为电子迁移率， V_{th} 为阈值电压，例如工作温度升高时，电子迁移率 μ 变小，会导致流经第一晶体管 T1 的电流 I_d 变小，对应的反相器的延迟时间变长，此时若调整 $V_{gs} - V_{th}$ 变大可以补偿电子迁移率 μ 变小导致的电流变化，具体调整的数值可根据实际需求设置。图 12 所示的电位产生电路中，若温度升高，电子迁移率 μ 变小，流经第一晶体管 T1 的电流 I_d 变小，为了保持恒流源的电流不变，需要将第二衬底电位减小，例如变成 -100mV，同时需要把第一衬底电位增大，例如变成 $V_{cc} + 100mV$ 。若温度升高，恒流源上方提供的电流不变，恒流源流向下方的电流等于流经第一晶体管 T1 和第二晶体管 T2 的电流 I_d ， I_d 变小，因此第一误差放大器 12 的负输入端电位增大，第一衬底电位增大，这时候会导致第一误差放大器 12 的输出逐渐变为 $V_{cc} + 100mV$ ，然后第二误差放大器 13 的正输入端增大，导致第二误差放大器 13 的输出电压变大，然后再导致第三晶体管 T3 的下拉能力增强，使得第二衬底电位的电压变小。

第一参数为供电电压和制造工艺时，供电电压和制造工艺的变化均会导致流经第一晶体管 T1 的电流 I_d 发生变化，进而导致延迟时间发生变化，补偿的原理和上述原理类似，此处不再赘述。

本申请实施例还提供一种延时电路，包括图 4 至图 12 任一所示的电位产生电路和延迟单元，延迟单元包括第一反相器，第一反相器包括第四晶体管和第五晶体管，第四晶体管的衬底端连接第一晶体管 T1 的衬底端的电位，第五晶体管的衬底端连接第二晶体管 T2 的衬底端的电位。

本实施例提供的延时电路，由于电位产生电路中第一晶体管的衬底端的电位可随供电电压、工作温度和制造工艺中的任一项的变化而变化，从而可为第四晶体管的衬底端提供随第一参数变化而变化的第一衬底电位，第二晶体管的衬底端的电位可随供电电压、工作温度和制造工艺中的任一项的变化而变化，从而可为第五晶体管的衬底端提供随第一参数变化而变化的第二衬底电位，因此可调节流经第一反相器的两个晶体管的电流，对流经反相器的两个晶体管的电流的变化值进行补偿，使得延时电路的

延迟时间 T 的变化较小，提高延时电路对延迟时间精度的控制能力。

当第一晶体管为 P 型晶体管，第二晶体管为 N 型晶体管，第四晶体管为 P 型晶体管，第五晶体管为 N 型晶体管时，通过为 P 型晶体管的衬底端提供随第一参数变化而变化的第一衬底电位，可调节延时电路的上升沿延迟时间的变化值，使得延时电路的上升沿延迟时间的变化较小，通过为 N 型晶体管的衬底端提供随第一参数变化而变化的第二衬底电位时，可调节延时电路的下降沿延迟时间的变化值，使得延时电路的下降沿延迟时间的变化较小。

需要说明的是，本申请实施例中可根据延时电路所包括的反相器的个数及延迟时间补偿的需求设置电位产生电路与反相器的连接关系，例如两个反相器串联，反相器中 P 型晶体管的衬底端连接电位产生电路中 P 型晶体管的衬底端，可调节延时电路的上升沿延迟时间的变化值，反相器中 N 型晶体管的衬底端连接电位产生电路中 N 型晶体管的衬底端，可调节延时电路的下降沿延迟时间的变化值，具体可根据所需调节的上升沿和/或下降沿延迟时间的变化值，设置电位产生电路与反相器的连接关系。本申请实施例提供的电位产生电路，可应用于上升沿和/或下降沿均延迟的延时电路中，可降低延时电路的制造工艺、供电电压和工作温度对延时电路的延迟时间 T 的影响，使得延迟时间 T （包括上升沿和/或下降沿）的变化较小，提高延时电路对延迟时间精度的控制能力。

下面结合图 13 至图 15 给出三种延时电路的示例，图 13 为本申请实施例提供的一种延时电路的结构示意图，如图 13 所示，本实施例的延时电路包括电位产生电路 1 和延迟单元 2，电位产生电路 1 为图 11 所示的电路，具体结构描述可参见图 11 所示实施例中的描述，此处不再赘述，电位产生电路 1 输出第一衬底电位 BP 和第二衬底电位 BN ，延迟单元 2 包括反相器和电容 $C1$ ，反相器包括 P 型晶体管 $TP1$ 和 N 型晶体管 $TN1$ ， P 型晶体管 $TP1$ 的衬底端连接第一衬底电位 BP ， N 型晶体管 $TN1$ 的衬底端连接第二衬底电位 BN 。本实施例的延时电路中，电位产生电路 1 为延迟单元 2 中的 P 型晶体管的衬底端提供随第一参数变化而变化的第一衬底电位，当延迟单元 2 的输入端为下降沿时，第一衬底电位 BP 可调节延时电路的上升沿延迟时间的变化值，使得延时电路的上升沿延迟时间的变化较小，电位产生电路 1 为延迟单元 2 中的 N 型晶体管的衬底端提供随第一参数变化而变化的第二衬底电位，当延迟单元 2 的输入端为上升沿时，第二衬底电位 BN 可调节延时电路的下降沿延迟时间的变化值，使得延时电路的下降沿延迟时间的变化较小，从而，可降低延时电路的制造工艺、供电电压和工作温度对延时电路的延迟时间 T 的影响，使得延迟时间 T （包括上升沿和下降沿）的变化较小，提高延时电路对延迟时间精度的控制能力。

图 14 为本申请实施例提供的一种延时电路的结构示意图，如图 14 所示，本实施例的延时电路包括电位产生电路 1 和延迟单元 2，电位产生电路 1 为图 11 所示的电路，具体结构描述可参见图 11 所示实施例中的描述，此处不再赘述，电位产生电路 1 输出第一衬底电位 BP 和第二衬底电位 BN ，延迟单元 2 包括第一反相器、第二反相器和电容 $C1$ ，第一反相器包括 P 型晶体管 $TP1$ 和 N 型晶体管 $TN1$ ，第二反相器包括 P 型晶体管 $TP2$ 和 N 型晶体管 $TN2$ 。其中，延迟单元 2 中 N 型晶体管 $TN1$ 的衬底端连接第二衬底电位 BN ， N 型晶体管 $TN2$ 的衬底端连接第二衬底电位 BN 。本实施例的延时电路

中，电位产生电路 1 为延迟单元 2 中 N 型晶体管 TN1 和 N 型晶体管 TN2 的衬底端提供随第一参数变化而变化的第二衬底电位 BN，当延迟单元 2 的输入端为上升沿时，可调节延时电路的下降沿延迟时间的变化值，使得延时电路的上升沿延迟时间的变化较小，从而，可降低延时电路的制造工艺、供电电压和工作温度对延时电路的上升沿延迟时间 T 的影响，使得上升沿延迟时间 T 的变化较小，提高延时电路对延迟时间精度的控制能力。

可以理解的是，在另一中延时电路中，还可以是延迟单元 2 中 P 型晶体管 TP1 的衬底端连接第一衬底电位 BP，P 型晶体管 TP2 的衬底端连接第一衬底电位 BP，可调节延时电路的下降沿延迟时间的变化值，使得延时电路的下降沿延迟时间的变化较小。

图 15 为本申请实施例提供的一种延时电路的结构示意图，如图 15 所示，本实施例中的延时电路和图 13 所示的延时电路的区别在于，本实施例中的电位产生电路 1 为图 12 所示的电路，其它结构相同，所达到的效果也相同，此处不再赘述。

本申请实施例还提供一种延时电路，包括图 9 至图 12 任一所示的电位产生电路和延迟单元，延迟单元包括第一反相器，第一反相器包括第四晶体管和第五晶体管，第四晶体管的衬底端连接第一衬底电位，第五晶体管的衬底端连接第二衬底电位。

本实施例提供的延时电路，由于电位产生电路中第一衬底电位可随供电电压、工作温度和制造工艺中的任一项的变化而变化，从而可提供随第一参数变化而变化的第一衬底电位给第四晶体管的衬底端，第二衬底电位可随供电电压、工作温度和制造工艺中的任一项的变化而变化，从而可提供随第一参数变化而变化的第二衬底电位给第五晶体管的衬底端，因此可调节流经第一反相器的两个晶体管的电流，对流经反相器的两个晶体管的电流的变化值进行补偿，使得延时电路的延迟时间 T 的变化较小，提高延时电路对延迟时间精度的控制能力。

在上述两种延时电路中，记第一晶体管 T1 的沟道长度与第四晶体管的沟道长度之比为 H，记第二晶体管 T2 的沟道长度与第五晶体管的沟道长度之比为 L，记第一晶体管 T1 的沟道宽度与第四晶体管的沟道宽度之比为 M，记第二晶体管 T2 的沟道宽度与第五晶体管的沟道宽度之比为 N，H 等于 L，M 等于 N，可选的，H、L、M 和 N 可以是 1。可选的，第一晶体管和第四晶体管的类型可以相同，第二晶体管和第五晶体管的类型可以相同。

本申请实施例还提供一种反相器，图 16 为本申请实施例提供的一种反相器的结构示意图，如图 16 所示，该反相器包括：

P 型晶体管 TP1 和 N 型晶体管 TN1，P 型晶体管 TP1 的源极端连接电源端，P 型晶体管 TP1 的漏极端连接 N 型晶体管 TN1 的漏极端，N 型晶体管 TN1 的源极端连接接地端，P 型晶体管 TP1 的栅极端连接 N 型晶体管 TN1 的栅极端，并作为反相器的输入端，P 型晶体管的漏极端作为反相器的输出端。

P 型晶体管 TP1 的衬底端连接第一衬底电位，N 型晶体管 TN1 的衬底端连接第二衬底电位，第一衬底电位随第一参数变化而变化，第二衬底电位随第一参数变化而变化，第一参数为反相器的供电电压、工作温度和制造工艺中的任一项。

其中，第一参数为反相器的供电电压或工作温度时，第一衬底电位随第一参数升高而升高，第一衬底电位随第一参数降低而降低；第二衬底电位随第一参数升高而降

低，第二衬底电位随第一参数降低而升高。

本实施例提供的反相器，由于第一衬底电位可随供电电压、工作温度和制造工艺中的任一项的变化而变化，从而可提供随第一参数变化而变化的第一衬底电位给 TP1 的衬底端，第二衬底电位可随供电电压、工作温度和制造工艺中的任一项的变化而变化，从而可提供随第一参数变化而变化的第二衬底电位给 TN1 的衬底端，因此可调节流经反相器的 P 型晶体管 TP1 和 N 型晶体管 TN1 的电流，对流经反相器的两个晶体管的电流的变化值进行补偿，使得反向器的延迟时间 T 的变化较小，提高反相器对延迟时间精度的控制能力。

本申请实施例还提供一种延时电路，图 17 为本申请实施例提供的一种延时电路的结构示意图，如图 17 所示，本实施例的延时电路可以包括图 16 所示的反相器和电容 C1，电容 C1 的一端连接接地端。在一种可实施的方式中，电容 C1 可以为电容阵列。

本实施例提供的延时电路，由于可对流经反相器的两个晶体管的电流的变化值进行补偿，使得反向器的延迟时间 T 的变化较小，进而可使得延时电路的延迟时间 T 的变化较小，提高延时电路对延迟时间精度的控制能力。

本申请实施例还提供一种逻辑门电路，包括：P 型晶体管和 N 型晶体管，P 型晶体管的衬底端连接第一衬底电位，N 型晶体管的衬底端连接第二衬底电位，第一衬底电位和第二衬底电位随第一参数变化而变化，使得逻辑门电路从输入端到输出端的延迟时间随第一参数变化的变化值在第一范围内，第一参数包括逻辑门电路的供电电压、工作温度和制造工艺中的任一项。

具体来说，第一范围为一个较小的范围，例如为接近 0 的范围，如第一范围为 1% 或 3% 或 5%，可以使得逻辑门电路从输入端到输出端的延迟时间在电源电压、工作温度和制造工艺中的任一项发生变化时的变化较小，提高逻辑门电路对延迟时间精度的控制能力。

实施例二

图 18 为本申请实施例提供的一种电位产生电路的结构示意图，如图 18 所示，本实施例的电位产生电路可以包括：第一晶体管 T1 和第二晶体管 T2，其中，第一晶体管 T1 的衬底端的电位随第一参数变化而变化，第一参数为电位产生电路的供电电压、工作温度和制造工艺中的任一项。

其中，第一晶体管 T1 的栅极端连接第一晶体管 T1 的漏极端，第一晶体管 T1 的衬底端作为电位产生电路的输出端，第二晶体管 T2 的栅极端连接第二晶体管 T2 的漏极端。

具体地，第一晶体管 T1 的衬底端的电位即为输出端输出的电位，第一晶体管 T1 的衬底端的电位随第一参数变化而变化，因此，本实施例提供的电位产生电路可输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电位。

具体来说，若第一参数为电位产生电路的供电电压或工作温度，第一晶体管 T1 的衬底端的电位随第一参数变化而变化，具体可以是：第一晶体管 T1 的衬底端的电位随第一参数升高而升高，第一晶体管 T1 的衬底端的电位随第一参数降低而降低，即二者是正比的关系。

在一种可实施的方式中，第一晶体管 T1 为 P 型晶体管，第二晶体管 T2 为 N 型晶体管。

在一种可实施的方式中，第一晶体管 T1 的源极端连接第一电压节点，第二晶体管 T2 的源极端连接第二电压节点，第一晶体管 T1 的漏极端连接第二晶体管 T2 的漏极端，
5 第二晶体管 T2 的衬底端连接第二电压节点。

在该实施方式中，图 19 为本申请实施例提供的一种电位产生电路的结构示意图，如图 19 所示，本实施例的电位产生电路在图 18 所示电路的基础上，进一步地，还可以包括：恒流源 21，恒流源 21 的第一端连接第一电压节点，恒流源 21 的第二端连接第三电压节点。

10 图 20 为本申请实施例提供的一种电位产生电路的结构示意图，如图 20 所示，本实施例的电位产生电路在图 19 所示电路的基础上，进一步地，还可以包括：误差放大器 22，与第一晶体管 T1 构成反馈回路，第一晶体管 T1 的衬底端连接第一反馈回路的一个电压节点。

15 如图 20 所示，可选的，误差放大器 22 的负输入端连接第一电压节点，误差放大器 22 的正输入端连接第一参考电压 V_1 ，误差放大器 22 的输出端连接第一晶体管 T1 的衬底端。

本实施例中，第一参考电压 V_1 可以是连接电源端，第三电压节点的电位大于第一参考电压 V_1 的电位。

20 图 20 所示的电位产生电路中，第三电压节点的电位大于第一参考电压 V_1 的电位，第一电压节点的电位小于第三电压节点的电位，例如第三电压节点电压可以为 Vdd，第一参考电压 V_1 可以等于 Vcc，Vdd 大于 Vcc。

图 18 至图 20 任一所示的电位产生电路，通过设置第一晶体管和第二晶体管，第一晶体管的栅极端连接第一晶体管的漏极端，第一晶体管的衬底端作为电位产生电路的输出端，第二晶体管的栅极端连接第二晶体管的漏极端，由于第一晶体管的衬底端的电位随第一参数变化而变化，从而，输出端可输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电位。
25

图 21 为本申请实施例提供的一种电位产生电路的结构示意图，如图 21 所示，在图 20 所示电位产生电路的基础上，进一步地，还可以包括：缓冲器 23，缓冲器 23 连接输出端，并输出衬底电位，衬底电位的值等于第一晶体管 T1 的衬底端的电位值。缓冲器 23 的输入电位和输出电位相同，缓冲器 23 用于增强第一晶体管 T1 的衬底端的电位的驱动能力，还可以对第一晶体管 T1 的衬底端隔离，避免第一晶体管 T1 的衬底端的电位受到干扰。
30

下面结合图 22 至图 25 示出另一种电位产生电路，图 22 为本申请实施例提供的一种电位产生电路的结构示意图，如图 22 所示，本实施例的电位产生电路可以包括：第一晶体管 T1 和第二晶体管 T2，其中，第二晶体管 T2 的衬底端的电位随第一参数变化而变化，第一参数为电位产生电路的供电电压、工作温度和制造工艺中的任一项。
35

其中，第一晶体管 T1 的栅极端连接第一晶体管 T1 的漏极端，第二晶体管 T2 的栅极端连接第二晶体管 T2 的漏极端，第二晶体管的衬底端作为电位产生电路的输出端。

具体地，第二晶体管 T2 的衬底端的电位即为输出端输出的电位，第二晶体管 T2

的衬底端的电位随第一参数变化而变化，因此，本实施例提供的电位产生电路可输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电位。

具体来说，若第一参数为电位产生电路的供电电压或工作温度，第二晶体管 T2 的衬底端的电位随第一参数变化而变化，具体可以是：第二晶体管 T2 的衬底端的电位随第一参数升高而降低，第二晶体管 T2 的衬底端的电位随第一参数降低而升高。

在一种可实施的方式中，第一晶体管 T1 为 P 型晶体管，第二晶体管 T2 为 N 型晶体管。

在一种可实施的方式中，第一晶体管 T1 的源极端连接第一电压节点，第二晶体管 T2 的源极端连接第二电压节点，第一晶体管 T1 的漏极端连接第二晶体管 T2 的漏极端，第一晶体管 T1 的衬底端连接第一电压节点。

在该实施方式中，图 23 为本申请实施例提供的一种电位产生电路的结构示意图，如图 23 所示，本实施例的电位产生电路在图 22 所示电路的基础上，进一步地，还可以包括：恒流源 21，恒流源 21 的第一端连接第三电压节点，恒流源 21 的第二端连接第二电压节点。

图 24 为本申请实施例提供的一种电位产生电路的结构示意图，如图 24 所示，本实施例的电位产生电路在图 23 所示电路的基础上，进一步地，还可以包括：误差放大器 22，与第二晶体管 T2 构成反馈回路，第二晶体管 T2 的衬底端连接第一反馈回路的一个电压节点。

如图 24 所示，可选的，误差放大器 22 的负输入端连接第二电压节点，误差放大器 22 的正输入端连接第一参考电压 V_1 ，误差放大器 22 的输出端连接第二晶体管 T2 的衬底端。

本实施例中，第一电压节点可以是连接电源端 V_{cc} ，第一参考电压 V_1 可以是连接接地端 V_{ss} ，第三电压节点的电位小于第一参考电压 V_1 的电位。

图 24 所示的电位产生电路中，第一电压节点连接电源端 V_{cc} ，第一参考电压 V_1 连接接地端 V_{ss} ，第三电压节点的电位小于 V_1 的电位，例如，第三电压节点的电位小于 0，第二电压节点的电位大于第三电压节点的电位。

图 22 至图 24 任一所示的电位产生电路，通过设置第一晶体管和第二晶体管，第一晶体管的栅极端连接第一晶体管的漏极端，第二晶体管的栅极端连接第二晶体管的漏极端，第二晶体管 T2 的衬底端的电位随第一参数变化而变化，第二晶体管的衬底端作为电位产生电路的输出端，由于第二晶体管的衬底端的电位随第一参数变化而变化，从而，输出端可输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电位。

图 25 为本申请实施例提供的一种电位产生电路的结构示意图，如图 25 所示，在图 24 所示电位产生电路的基础上，进一步地，还可以包括：缓冲器 23，缓冲器 23 连接输出端，并输出衬底电位，衬底电位的值等于第二晶体管 T2 的衬底端的电位值。缓冲器 23 的输入电位和输出电位相同，缓冲器 23 用于增强第二晶体管 T2 的衬底端的电位的驱动能力，还可以对第二晶体管 T2 的衬底端隔离，避免第二晶体管 T2 的衬底端的电位受到干扰。

下面结合具体实施例对本申请的电位产生电路的结构进行说明，本申请的电位产生电路的具体结构并不局限于下面任一种结构。

图 26 为本申请实施例提供的一种电位产生电路的结构示意图, 如图 26 所示, 本实施例的电位产生电路可以包括: 第一晶体管 T1、第二晶体管 T2、恒流源 21、误差放大器 22 和缓冲器 23。

本实施例中, 其中, 第一晶体管 T1 为 P 型晶体管, 第二晶体管 T2 为 N 型晶体管。
 5 第一晶体管 T1 的栅极端连接第一晶体管 T1 的漏极端, 第二晶体管 T2 的栅极端连接第二晶体管 T2 的漏极端, 第一晶体管 T1 的源极端连接电源端 Vcc, 第二晶体管 T2 的源极端连接恒流源 21 的第一端, 第一晶体管 T1 的漏极端连接第二晶体管 T2 的漏极端。恒流源 21 的第二端连接 Vkb, Vkb 的电位小于 0。

其中, 误差放大器 22 与第二晶体管 T2 构成第一反馈回路, 误差放大器 22 的负输入端连接第二晶体管 T2 的源极端和恒流源 21 的第一端, 误差放大器 22 的正输入端连接接地端, 误差放大器 22 的输出端连接第二晶体管 T2 的衬底端。
 10

其中, 缓冲器 23 连接第二晶体管 T2 的衬底端, 并输出衬底电位, 衬底电位的值等于第二晶体管 T2 的衬底端的电位值。

本实施例中, 第二晶体管 T2 的衬底端的电位随第一参数变化而变化, 具体地, 第二晶体管 T2 的衬底端的电位随第一参数升高而降低, 第二晶体管 T2 的衬底端的电位随第一参数降低而升高, 第一参数为电位产生电路的供电电压、工作温度和制造工艺中的任一项。
 15

以第一参数为工作温度为例, 下面详细介绍第二晶体管 T2 的衬底端的电位随第一参数变化而变化的原理。

20 流经第二晶体管 T2 的电流 $I_d = \mu * C_{ox} * (W/L) * (V_{gs} - V_{th})^2$, 其中, μ 为电子迁移率, V_{th} 为阈值电压, 例如工作温度升高时, 电子迁移率 μ 变小, 会导致流经第二晶体管 T2 的电流 I_d 变小, 对应的反相器的延迟时间变长, 此时若调整 $V_{gs} - V_{th}$ 变大可以补偿电子迁移率 μ 变小导致的电流变化, 具体调整的数值可根据实际需求设置。图 26 所示的电位产生电路中, 若温度升高, 电子迁移率 μ 变小, 流经第二晶体管 T2 的电流 I_d 变小, 为了保持恒流源的电流不变, 需要将第二晶体管 T2 的衬底电位减小, 此时衬底电位是随着温度升高而降低的。
 25

第一参数为供电电压和制造工艺时, 供电电压和制造工艺的变化均会导致流经第二晶体管 T2 的电流 I_d 发生变化, 进而导致延迟时间发生变化, 补偿的原理和上述原理类似, 此处不再赘述。

30 图 27 为本申请实施例提供的一种电位产生电路的结构示意图, 如图 27 所示, 本实施例的电位产生电路可以包括: 第一晶体管 T1、第二晶体管 T2、恒流源 21、误差放大器 22 和缓冲器 23。

本实施例中, 其中, 第一晶体管 T1 为 P 型晶体管, 第二晶体管 T2 为 N 型晶体管。第一晶体管 T1 的栅极端连接第一晶体管 T1 的漏极端, 第二晶体管 T2 的栅极端连接第二晶体管 T2 的漏极端, 第一晶体管 T1 的源极端连接恒流源 21 的第一端, 第二晶体管 T2 的源极端连接接地端, 第一晶体管 T1 的漏极端连接第二晶体管 T2 的漏极端。恒流源 21 的第二端连接 Vdd。
 35

其中, 误差放大器 22 与第一晶体管 T1 构成第一反馈回路, 误差放大器 22 的负输入端连接第一晶体管 T1 的源极端和恒流源 21 的第一端, 误差放大器 22 的正输入端连

接电源端 V_{cc} ，误差放大器 22 的输出端连接第一晶体管 T1 的衬底端。

其中， V_{dd} 大于 V_{cc} 。

其中，缓冲器 23 连接第一晶体管 T1 的衬底端，并输出衬底电位，衬底电位的值等于第一晶体管 T1 的衬底端的电位值。

5 本实施例中，第一晶体管 T1 的衬底端的电位随第一参数变化而变化，具体地，第一晶体管 T1 的衬底端的电位随第一参数升高而升高，第一晶体管 T1 的衬底端的电位随第一参数降低而降低，第一参数为电位产生电路的供电电压、工作温度和制造工艺中的任一项。

10 以第一参数为工作温度为例，下面详细介绍第一晶体管 T1 的衬底端的电位随第一参数变化而变化的原理。

流经第一晶体管 T1 的电流 $I_d = \mu * C_{ox} * (W/L) * (V_{gs} - V_{th})^2$ ，其中， μ 为电子迁移率， V_{th} 为阈值电压，例如工作温度升高时，电子迁移率 μ 变小，会导致流经第一晶体管 T1 的电流 I_d 变小，对应的反相器的延迟时间变长，此时若调整 $V_{gs} - V_{th}$ 变大可以补偿电子迁移率 μ 变小导致的电流变化，具体调整的数值可根据实际需求设置。图 15 26 所示的电位产生电路中，若温度升高，电子迁移率 μ 变小，流经第一晶体管 T1 的电流 I_d 变小，为了保持恒流源的电流不变，需要将第一晶体管 T1 的衬底电位减小，此时衬底电位是随着温度升高而降低的。

20 第一参数为供电电压和制造工艺时，供电电压和制造工艺的变化均会导致流经第二晶体管 T2 的电流 I_d 发生变化，进而导致延迟时间发生变化，补偿的原理和上述原理类似，此处不再赘述。

本申请实施例还提供一种延时电路，包括图 18 或图 19 或图 20 图 21 或图 27 所示的电位产生电路和延迟单元，延迟单元包括第一反相器，第一反相器包括第四晶体管和第五晶体管，第四晶体管的衬底端连接第一晶体管的衬底端的电位，第五晶体管的衬底端连接接地端，第四晶体管为 P 型晶体管，第五晶体管为 N 型晶体管。

25 其中，可选的，记第一晶体管的沟道长度与第四晶体管的沟道长度之比为 H，记第二晶体管的沟道长度与第五晶体管的沟道长度之比为 L，记第一晶体管的沟道宽度与第四晶体管的沟道宽度之比为 M，记第二晶体管的沟道宽度与第五晶体管的沟道宽度之比为 N，H 等于 L，M 等于 N。可选的，H、L、M 和 N 可以是 1。可选的，第一晶体管和第四晶体管的类型可以相同，第二晶体管和第五晶体管的类型可以相同。

30 本实施例提供的延时电路，由于电位产生电路中第一晶体管的衬底端的电位可随供电电压、工作温度和制造工艺中的任一项的变化而变化，从而可为反相器中的 P 型晶体管的衬底端提供随第一参数变化而变化的衬底电位，因此可调节流经反相器中的 P 型晶体管的电流，对流经反相器中的 P 型晶体管的电流的变化值进行补偿，使得延时电路的上升沿延迟时间 T 的变化较小，提高延时电路对上升沿延迟时间精度的控制能力。

35 本实施例提供的延时电路，可应用于需要精确控制延时电路的上升沿延迟时间的场景，例如可应用于 DRAM 中，可同时补偿电源电压、工作温度以及制造工艺中的任一项的变化对上升沿延迟时间的影响，使得上升沿延迟时间 T 的变化较小，提高延时电路对上升沿延迟时间精度的控制能力。

本申请实施例还提供一种延时电路，包括图 22 至图 26 任一所示的电位产生电路和延迟单元，延迟单元包括第一反相器，第一反相器包括第四晶体管和第五晶体管，第四晶体管的衬底端连接第一晶体管的衬底端的电位，第五晶体管的衬底端连接电源端，第四晶体管为 P 型晶体管，第五晶体管为 N 型晶体管。

其中，可选的，记第一晶体管的沟道长度与第四晶体管的沟道长度之比为 H ，记第二晶体管的沟道长度与第五晶体管的沟道长度之比为 L ，记第一晶体管的沟道宽度与第四晶体管的沟道宽度之比为 M ，记第二晶体管的沟道宽度与第五晶体管的沟道宽度之比为 N ， H 等于 L ， M 等于 N 。可选的， H 、 L 、 M 和 N 可以是 1。可选的，第一晶体管和第四晶体管的类型可以相同，第二晶体管和第五晶体管的类型可以相同。

本实施例提供的延时电路，由于电位产生电路中第二晶体管的衬底端的电位可随供电电压、工作温度和制造工艺中的任一项的变化而变化，从而可为反相器中的 N 型晶体管的衬底端提供随第一参数变化而变化的衬底电位，因此可调节流经反相器中的 N 型晶体管的电流，对流经反相器中的 N 型晶体管的电流的变化值进行补偿，使得延时电路的下降沿延迟时间 T 的变化较小，提高延时电路对下降沿延迟时间精度的控制能力。

本实施例提供的延时电路，可应用于需要精确控制延时电路的下降沿延迟时间的场景，例如可应用于 DRAM 中，可同时补偿电源电压、工作温度以及制造工艺中的任一项的变化对下降沿延迟时间的影响，使得下降沿延迟时间 T 的变化较小，提高延时电路对下降沿延迟时间精度的控制能力。

本申请实施例还提供一种延时电路，包括：第一电位产生电路、第二电位产生电路和延迟单元，其中，

第一电位产生电路为如图 18 或图 19 或 20 或图 21 或图 27 所示的电位产生电路；

第二电位产生电路为如图 22 至图 26 任一所示的电位产生电路；

延迟单元，延迟单元包括第一反相器，第一反相器包括第四晶体管和第五晶体管，第四晶体管的衬底端连接第一电位产生电路中的第一晶体管的衬底端的电位，第五晶体管的衬底端连接第二电位产生电路中的第二晶体管的衬底端的电位，第四晶体管为 P 型晶体管，第五晶体管为 N 型晶体管。

其中，可选的，记第一电位产生电路中的第一晶体管的沟道长度与第四晶体管的沟道长度之比为 $H1$ ，记第一电位产生电路中的第二晶体管的沟道长度与第五晶体管的沟道长度之比为 $L1$ ，记第一电位产生电路中的第一晶体管的沟道宽度与第四晶体管的沟道宽度之比为 $M1$ ，记第一电位产生电路中的第二晶体管的沟道宽度与第五晶体管的沟道宽度之比为 $N1$ ， $H1$ 等于 $L1$ ， $M1$ 等于 $N1$ 。可选的， $H1$ 、 $L1$ 、 $M1$ 和 $N1$ 可以是 1。

记第二电位产生电路中的第一晶体管的沟道长度与第四晶体管的沟道长度之比为 $H2$ ，记第二电位产生电路中的第二晶体管的沟道长度与第五晶体管的沟道长度之比为 $L2$ ，记第二电位产生电路中的第一晶体管的沟道宽度与第四晶体管的沟道宽度之比为 $M2$ ，记第二电位产生电路中的第二晶体管的沟道宽度与第五晶体管的沟道宽度之比为 $N2$ ， $H2$ 等于 $L2$ ， $M2$ 等于 $N2$ 。可选的， $H2$ 、 $L2$ 、 $M2$ 和 $N2$ 可以是 1。

本实施例提供的延时电路，可应用于需要精确控制延时电路的上升沿延迟时间和

下降沿延迟时间的场景，例如可应用于 DRAM 中，可同时补偿电源电压、工作温度以及制造工艺中的任一项的变化对上升沿延时时间和下降沿延迟时间的影响，使得上升沿延时时间 T 和下降沿延迟时间 T 的变化较小，提高延时电路对上升沿延时时间和下降沿延迟时间精度的控制能力。

5 需要说明的是，本申请实施例提供的延时电路，可根据延迟单元所实现的上升沿延迟和/或下降沿延迟来设置上述两个实施例中所示的电位产生电路与延迟单元中的反相器的连接关系，例如，某一延时电路实现的是上升沿延迟，该延时电路包括反相器，反相器包括 P 型晶体管和 N 型晶体管，则在该延时电路中设置第一电位产生电路，第一电位产生电路可为反相器中的 P 型晶体管的衬底端提供随第一参数变化而变化的
10 衬底电位，从而可调节流经反相器中的 P 型晶体管的电流，对流经反相器中的 P 型晶体管的电流的变化值进行补偿，使得延时电路的上升沿延迟时间 T 的变化较小。又例如，某一延时电路实现的是下降沿延迟，该延时电路包括反相器，反相器包括 P 型晶体管和 N 型晶体管，则在该延时电路中设置第二电位产生电路，第二电位产生电路可为反相器中的 N 型晶体管的衬底端提供随第一参数变化而变化的衬底电位，从而可
15 调节流经反相器中的 N 型晶体管的电流，对流经反相器中的 N 型晶体管的电流的变化值进行补偿，使得延时电路的下降沿延迟时间 T 的变化较小。又例如，某一延时电路实现的是上升沿和下降沿均延迟，该延时电路包括反相器，反相器包括 P 型晶体管和 N 型晶体管，则在该延时电路中设置第一电位产生电路和第二电位产生电路，第一电位产生电路可为反相器中的 P 型晶体管的衬底端提供随第一参数变化而变化的衬底电位，
20 从而可调节流经反相器中的 P 型晶体管的电流，对流经反相器中的 P 型晶体管的电流的变化值进行补偿，使得延时电路的上升沿延迟时间 T 的变化较小，第二电位产生电路可为反相器中的 N 型晶体管的衬底端提供随第一参数变化而变化的衬底电位，从而可调节流经反相器中的 N 型晶体管的电流，对流经反相器中的 N 型晶体管的电流的变化值进行补偿，使得延时电路的下降沿延迟时间 T 的变化较小。从而，可使得延时电
25 路的上升沿延迟时间 T 和下降沿延迟时间 T 的变化较小。提高延时电路对延迟时间（包括上升沿延迟时间和下降沿延迟时间）精度的控制能力。

下面结合图 28-图 30 给出三种延时电路的示例，图 28 为本申请实施例提供的一种延时电路的结构示意图，如图 28 所示，本实施例的延时电路包括电位产生电路 1 和延迟单元 2，电位产生电路 1 为图 26 所示的电路，具体结构描述可参见图 26 所示实施
30 例中的描述，此处不再赘述，电位产生电路 1 输出衬底电位 BN，延迟单元 2 包括反相器和电容 C1，反相器包括 P 型晶体管 TP1 和 N 型晶体管 TN1，P 型晶体管 TP1 的衬底端连接电源端 Vcc，N 型晶体管 TN1 的衬底端连接衬底电位 BN。本实施例的延时电路中，电位产生电路 1 为延迟单元 2 中的 N 型晶体管的衬底端提供随第一参数变化而变化的衬底电位，可调节延时电路的下降沿延迟时间的变化值，使得延时电路的下降沿延迟时间的变化较小，从而，可降低延时电路的制造工艺、供电电压和工作温度
35 对延时电路的下降沿延迟时间 T 的影响，使得下降沿延迟时间 T 的变化较小，提高延时电路对下降沿延迟时间精度的控制能力。

图 29 为本申请实施例提供的一种延时电路的结构示意图，如图 29 所示，本实施例的延时电路包括电位产生电路 1 和延迟单元 2，电位产生电路 1 为图 27 所示的电路，

具体结构描述可参见图 27 所示实施例中的描述，此处不再赘述，电位产生电路 1 输出衬底电位 BP，延迟单元 2 包括反相器和电容 C1，反相器包括 P 型晶体管 TP1 和 N 型晶体管 TN1，P 型晶体管 TP1 的衬底端连接衬底电位 BP，N 型晶体管 TN1 的衬底端连接接地端。本实施例的延时电路中，电位产生电路 1 为延迟单元 2 中的 P 型晶体管的衬底端提供随第一参数变化而变化的衬底电位，可调节延时电路的上升沿延迟时间的变化值，使得延时电路的上升沿延迟时间的变化较小，从而，可降低延时电路的制造工艺、供电电压和工作温度对延时电路的上升沿延迟时间 T 的影响，使得上升沿延迟时间 T 的变化较小，提高延时电路对上升沿延迟时间精度的控制能力。

图 30 为本申请实施例提供的一种延时电路的结构示意图，如图 30 所示，本实施例的延时电路包括第一电位产生电路 1、第二电位产生电路 3 和延迟单元 2，第一电位产生电路 1 为图 27 所示的电路，具体结构描述可参见图 27 所示实施例中的描述，此处不再赘述，第一电位产生电路 1 输出衬底电位 BN。第二电位产生电路 3 为图 28 所示的电路，具体结构描述可参见图 28 所示实施例中的描述，此处不再赘述，第二电位产生电路 3 输出衬底电位 BP。延迟单元 2 包括反相器和电容 C1，反相器包括 P 型晶体管 TP1 和 N 型晶体管 TN1，P 型晶体管 TP1 的衬底端连接第二电位产生电路 3 输出的衬底电位 BP，N 型晶体管 TN1 的衬底端连接第一电位产生电路 1 输出的衬底电位 BN。本实施例的延时电路中，电位产生电路 1 为延迟单元 2 中的 N 型晶体管的衬底端提供随第一参数变化而变化的衬底电位，可调节延时电路的上升沿延迟时间的变化值，使得延时电路的上升沿延迟时间的变化较小，电位产生电路 3 为延迟单元 2 中的 P 型晶体管的衬底端提供随第一参数变化而变化的衬底电位，可调节延时电路的下降沿延迟时间的变化值，使得延时电路的下降沿延迟时间的变化较小，从而，可降低延时电路的制造工艺、供电电压和工作温度对延时电路的延迟时间 T（包括上升沿延迟时间和下降沿延迟时间）的影响，使得延迟时间 T 的变化较小，提高延时电路对延迟时间精度的控制能力。

本申请实施例还提供一种反相器，图 31 为本申请实施例提供的一种反相器的结构示意图，如图 31 所示，该反相器包括：

P 型晶体管 TP2 和 N 型晶体管 TN2，P 型晶体管 TP2 的源极端连接电源端，P 型晶体管 TP2 的漏极端连接 N 型晶体管 TN2 的漏极端，N 型晶体管 TN2 的源极端连接接地端，P 型晶体管 TP2 的栅极端连接 N 型晶体管 TN2 的栅极端，并作为反相器的输入端，P 型晶体管 TP2 的漏极端作为反相器的输出端。

P 型晶体管 TP2 的衬底端连接衬底电位，N 型晶体管 TN2 的衬底端连接接地端，衬底电位随第一参数变化而变化，第一参数为反相器的供电电压、工作温度和制造工艺中的任一项。

若第一参数为反相器的供电电压或工作温度，衬底电位随第一参数升高而升高，衬底电位随第一参数降低而降低。

本实施例提供的反相器，由于衬底电位可随供电电压、工作温度和制造工艺中的任一项的变化而变化，从而可提供随第一参数变化而变化的衬底电位给 P 型晶体管 TP2 的衬底端，因此可调节流经反相器的 P 型晶体管 TP2 的电流，对流经 P 型晶体管 TP2 的电流的变化值进行补偿，使得反向器的上升沿延迟时间 T 的变化较小，提高反相器

对上升沿延迟时间精度的控制能力。

图 32 为本申请实施例提供的一种反相器的结构示意图，如图 32 所示，该反相器包括：P 型晶体管 TP2 和 N 型晶体管 TN2，P 型晶体管 TP2 的源极端连接电源端，P 型晶体管 TP2 的漏极端连接 N 型晶体管 TN2 的漏极端，N 型晶体管 TN2 的源极端连接接地端，P 型晶体管 TP2 的栅极端连接 N 型晶体管 TN2 的栅极端，并作为反相器的输入端，P 型晶体管 TP2 的漏极端作为反相器的输出端。

N 型晶体管 TN2 的衬底端连接衬底电位，P 型晶体管 TP2 的衬底端连接电源端，衬底电位随第一参数变化而变化，第一参数为反相器的供电电压、工作温度和制造工艺中的任一项。

若第一参数为反相器的供电电压或工作温度，衬底电位随第一参数升高而降低，衬底电位随第一参数降低而升高。

本实施例提供的反相器，由于衬底电位可随供电电压、工作温度和制造工艺中的任一项的变化而变化，从而可提供随第一参数变化而变化的衬底电位给 N 型晶体管 TN2 的衬底端，因此可调节流经反相器的 N 型晶体管 TN2 的电流，对流经 N 型晶体管 TN2 的电流的变化值进行补偿，使得反向器的下降沿延迟时间 T 的变化较小，提高反相器对下降沿延迟时间精度的控制能力。

本申请实施例还提供一种延时电路，图 33 为本申请实施例提供的一种延时电路的结构示意图，如图 33 所示，本实施例的延时电路可以包括图 31 所示的反相器和电容 C1，电容 C1 的一端连接接地端。在一种可实施的方式中，电容 C1 可以为电容阵列。

本实施例提供的延时电路，由于可对流经反相器的 P 型晶体管 TP2 的电流的变化值进行补偿，使得反向器的上升沿延迟时间 T 的变化较小，进而可使得延时电路的上升沿延迟时间 T 的变化较小，提高延时电路对上升沿延迟时间精度的控制能力。

本申请实施例还提供一种延时电路，图 34 为本申请实施例提供的一种延时电路的结构示意图，如图 34 所示，本实施例的延时电路可以包括图 32 所示的反相器和电容 C1，电容 C1 的一端连接接地端。在一种可实施的方式中，电容 C1 可以为电容阵列。

本实施例提供的延时电路，由于可对流经反相器的 N 型晶体管 TN2 的电流的变化值进行补偿，使得反向器的下降沿延迟时间 T 的变化较小，进而可使得延时电路的下降沿延迟时间 T 的变化较小，提高延时电路对下降沿延迟时间精度的控制能力。

本申请实施例还提供一种逻辑门电路，包括：P 型晶体管和 N 型晶体管，P 型晶体管的衬底端连接衬底电位，N 型晶体管的衬底端连接接地端，衬底电位随第一参数变化而变化，使得逻辑门电路从输入端到输出端的延迟时间随第一参数变化的变化值在第一范围内，第一参数包括逻辑门电路的供电电压、工作温度和制造工艺中的任一项。

具体来说，第一范围为一个较小的范围，例如为接近 0 的范围，如第一范围为 1% 或 3% 或 5%，可以使得逻辑门电路从输入端到输出端的上升沿延迟时间在电源电压、工作温度和制造工艺中的任一项发生变化时的变化较小，提高逻辑门电路对上升沿延迟时间精度的控制能力。

本申请实施例还提供一种逻辑门电路，包括：P 型晶体管和 N 型晶体管，N 型晶体管的衬底端连接衬底电位，P 型晶体管的衬底端连接电源端，衬底电位随第一参数

变化而变化,使得逻辑门电路从输入端到输出端的延迟时间随第一参数变化的变化值在第一范围内,第一参数包括逻辑门电路的供电电压、工作温度和制造工艺中的任一项。

具体来说,第一范围为一个较小的范围,例如为接近0的范围,如第一范围为1%或3%或5%,可以使得逻辑门电路从输入端到输出端的下降沿延迟时间在电源电压、工作温度和制造工艺中的任一项发生变化时的变化较小,提高逻辑门电路对下降沿延迟时间精度的控制能力。

实施例三

图35为本申请实施例提供的一种控制电路的结构示意图,如图35所示,本实施例的控制电路电路可以包括:控制单元41、第一反馈单元42和第二反馈单元43,其中,第一反馈单元42用于根据控制单元41的电压和第一参考电压,输出第一反馈信号,第一反馈单元42的第一端与控制单元的第一端连接,第一反馈单元42的第二端为第一参考电压的输入端,第一反馈单元42的输出端与控制单元41的第二端及第二反馈单元43的第一端连接。

第二反馈单元43用于根据第一反馈单元42输出的电压和第二参考电压,输出第二反馈信号,第二反馈单元43的第二端为第二参考电压的输入端,第二反馈单元43的输出端与控制单元41的第三端连接。

控制单元41用于根据第一反馈信号,调节控制单元41的第二端的电压,根据第二反馈信号,调节控制单元41的第三端的电压,以使控制单元41的电流随第一参数变化的变化值在第一范围内,第一参数包括控制电路的制造工艺、供电电压和工作温度中的至少一项,控制单元41的第四端连接第一电源端,控制单元41的第五端连接负电源端。其中,具体来说,第一范围为一个较小的范围,例如为接近0的范围,如第一范围为1%或3%或5%,从而可使得控制单元41的电流随第一参数变化的变化较小。

图36为本申请实施例提供的一种控制电路的结构示意图,如图36所示,本实施例与图35所示实施例的区别在于,控制单元41的第四端连接第二电源端,控制单元41的第五端连接接地端V_{gg}。

图35和图36所示的控制电路,通过设置控制单元、第一反馈单元和第二反馈单元,第一反馈单元的第一端与控制单元的第一端连接,第一反馈单元的第二端为第一参考电压的输入端,第一反馈单元的输出端与控制单元的第二端及第二反馈单元的第一端连接,第二反馈单元的第二端为第二参考电压的输入端,第二反馈单元的输出端与控制单元的第三端连接。第一反馈单元用于根据控制单元的电压和第一参考电压,输出第一反馈信号,第二反馈单元用于根据第一反馈单元输出的电压和第二参考电压,输出第二反馈信号,控制单元用于根据第一反馈信号,调节控制单元的第二端的电压,根据第二反馈信号,调节控制单元的第三端的电压,以使控制单元的电流随第一参数变化的变化值在第一范围内,第一参数为供电电压、工作温度和制造工艺中的任一项,从而,控制单元的第二端和控制单元的第三端可分别输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电压。

图37为本申请实施例提供的一种控制电路的结构示意图,如图37所示,本实施

例的控制电路电路在图 35 所示电路的基础上,进一步地,控制单元 41 可以包括反相器 411 和恒流源 412,其中,反相器 411 的第一端连接第一电源端;

恒流源 412 的第一端与反相器 411 的第二端连接,恒流源 412 的第二端连接负电源端;

5 反相器 411 的输入端与反相器 411 的输出端短接。

图 38 为本申请实施例提供的一种控制电路的结构示意图,如图 38 所示,本实施例的控制电路电路在图 37 所示电路的基础上,进一步地,反相器 411 包括第一晶体管 T1 和第二晶体管 T2,第一晶体管 T1 的衬底端连接第二反馈单元 43 的输出端,第二晶体管 T2 的衬底端连接第一反馈单元 42 的输出端;

10 第一晶体管 T1 的第一端接第一电源端,第一晶体管 T1 的第二端接第二晶体管 T2 的第一端,第一晶体管 T1 的控制端和第二晶体管 T2 的控制端连接,第二晶体管 T2 的第二端与恒流源 412 的第一端连接。

本实施例中,控制单元 41 用于根据第一反馈信号,调节第二晶体管 T2 的衬底端的电压,根据第二反馈信号,调节第一晶体管 T1 的衬底端的电压。

15 本实施例提供的控制电路,控制单元用于根据第一反馈信号,调节第二晶体管的衬底端的电压,根据第二反馈信号,调节第一晶体管的衬底端的电压,以使控制单元的电流随第一参数变化的变化值在第一范围内,第一参数为供电电压、工作温度和制造工艺中的任一项,从而,第一晶体管的衬底端和第二晶体管的衬底端可分别输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电压。

20 图 39 为本申请实施例提供的一种控制电路的结构示意图,如图 39 所示,本实施例的控制电路电路在图 36 所示电路的基础上,进一步地,控制单元 41 可以包括反相器 411 和恒流源 412,反相器 411 的第一端连接接地端;

恒流源 412 的第一端与反相器 411 的第二端连接,恒流源 412 的第二端连接第二电源端;

25 反相器 411 的输入端与反相器 411 的输出端短接。

图 40 为本申请实施例提供的一种控制电路的结构示意图,如图 40 所示,本实施例的控制电路电路在图 39 所示电路的基础上,进一步地,反相器 411 包括第一晶体管 T1 和第二晶体管 T2,第一晶体管 T1 的衬底端连接第一反馈单元的输出端,第二晶体管 T2 的衬底端连接第二反馈单元 43 的输出端。

30 第一晶体管 T1 的第一端接恒流源的第一端,第一晶体管 T1 的第二端接第二晶体管 T2 的第一端,第一晶体管 T1 的控制端和第二晶体管 T2 的控制端连接,第二晶体管 T2 的第二端连接接地端。

本实施例中,控制单元 41 用于根据第一反馈信号,调节第二晶体管 T2 的衬底端的电压,根据第二反馈信号,调节第一晶体管 T1 的衬底端的电压。

35 本实施例提供的控制电路,控制单元用于根据第一反馈信号,调节第二晶体管的衬底端的电压,根据第二反馈信号,调节第一晶体管的衬底端的电压,以使控制单元的电流随第一参数变化的变化值在第一范围内,第一参数为供电电压、工作温度和制造工艺中的任一项,从而,第一晶体管的衬底端和第二晶体管的衬底端可分别输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电压。

在图 38 和图 40 所示的控制电路中，第一晶体管为 P 型晶体管，第二晶体管为 N 型晶体管。

下面结合附图详细说明第一反馈单元和第二反馈单元的具体可实施的结构。

图 41 为本申请实施例提供的一种控制电路的结构示意图，如图 41 所示，本实施例的控制电路在图 38 所示电路的基础上，进一步地，第一反馈单元 42 包括第一误差放大器 421，第一误差放大器 421 的负输入端与控制单元 41 的第一端连接，第一误差放大器 421 的正输入端为第一参考电压的输入端，第一误差放大器 421 的输出端与控制单元 41 的第二端及第二反馈单元 43 的第一端连接。

如图 41 所示，进一步地，第二反馈单元 43 包括第二误差放大器 431、第一电阻 R1、第二电阻 R2 和第三晶体管 T3，其中，第二误差放大器 431 的负输入端为第二参考电压的输入端，第二误差放大器 431 的正输入端与第一电阻 R1 的第一端和第二电阻 R2 的第一端连接，第二误差放大器 431 的输出端连接第三晶体管 T3 的控制端；

第一电阻 R1 的第二端连接第三晶体管 T3 的第一端与控制单元 41 的第三端；

第二电阻 R2 的第二端连接第一反馈单元的输出端与控制单元 41 的第二端；

第三晶体管的第二端连接第一电源端。

图 42 为本申请实施例提供的一种控制电路的结构示意图，如图 42 所示，本实施例的控制电路在图 40 所示电路的基础上，进一步地，第一反馈单元 42 包括第一误差放大器 421，第一误差放大器 421 的负输入端与控制单元 41 的第一端连接，第一误差放大器 421 的正输入端为第一参考电压的输入端，第一误差放大器 421 的输出端与控制单元 41 的第二端及第二反馈单元 43 的第一端连接。

如图 42 所示，进一步地，第二反馈单元 43 包括第二误差放大器 431、第一电阻 R1、第二电阻 R2 和第三晶体管 T3，其中，第二误差放大器 431 的负输入端为第二参考电压的输入端，第二误差放大器 431 的正输入端与第一电阻 R1 的第一端和第二电阻 R2 的第一端连接，第二误差放大器 431 的输出端连接第三晶体管 T3 的控制端；

第一电阻 R1 的第二端连接第一反馈单元的输出端与控制单元 41 的第二端；

第二电阻 R2 的第二端连接第三晶体管 T3 的第一端与控制单元 41 的第三端；

第三晶体管的第二端连接接地端。

在图 41 或图 42 所示的控制电路中，进一步地，还可以包括第一缓冲器和第二缓冲器，图 43 为本申请实施例提供的一种控制电路的结构示意图，图 44 为本申请实施例提供的一种控制电路的结构示意图，如图 43 和图 44 所示，在图 41 或图 42 所示的控制电路的基础上，进一步地，还可以包括：第一缓冲器 44 和第二缓冲器 45，其中，第一缓冲器 44 连接第一晶体管 T1 的衬底端，并输出第一衬底电压，第一衬底电压的值等于第一晶体管 T1 的衬底端的电压值，第一缓冲器 44 的输入电压和输出电压相同，第一缓冲器 44 用于增强第一晶体管 T1 的衬底端的电位的驱动能力，还可以对第一晶体管 T1 的衬底端隔离，避免第一晶体管 T1 的衬底端的电位受到干扰。

第二缓冲器 45 连接第二晶体管 T2 的衬底端，并输出第二衬底电压，第二衬底电压的值等于第一晶体管 T1 的衬底端的电压值，第二缓冲器 45 用于增强第二晶体管 T2 的衬底端的电位的驱动能力，还可以对第二晶体管 T2 的衬底端隔离，避免第二晶体管 T2 的衬底端的电位受到干扰。

需要说明的是,在图 35-图 44 所示的控制电路中,第一电源端的电压例如为 V_{cc} ,第二参考电压可以为 $V_{cc}/2$,负电源端的电压可以为小于 0 的电压值,第一参考电压可以为 0。

第二电源端的电压大于第一参考电压的电压,第二参考电压的值可以为第一参考电压的一半,例如,第二电源端的电压为 V_{dd} ,第一参考电压为 V_{cc} , V_{dd} 大于 V_{cc} ,第二参考电压的值可以为 $V_{cc}/2$ 。

下面结合具体实施例对本申请的控制电路的结构进行说明,本申请的控制电路的具体结构并不局限于下面任一种结构。

具体地,本实施例的控制电路的具体结构可参见图 11 和图 12 所示的电路结构,图 11 和图 12 所示的电位产生电路即为本实施例中的控制电路,工作原理相同,详细可参见图 11 和图 12 所示实施例的描述,此处不再赘述。

申请实施例还提供一种延时电路,包括图 35-图 44 任一所示的控制电路和延迟单元,其中,控制电路中的控制单元的第二端与延迟单元的第一端连接,控制单元的第三端与延迟单元的第二端连接,控制电路用于控制延迟单元的上升沿延迟时间和/或下降沿延迟时间随第一参数变化的变化值在第一范围内。

可选的,延迟单元包括反相器,反相器包括第四晶体管和第五晶体管,控制单元的第三端与第四晶体管的衬底端连接,控制单元的第二端与第五晶体管的衬底端连接。

可选的,第四晶体管为 P 型晶体管,第五晶体管为 N 型晶体管。

本实施例中,可选的,延时电路中控制电路为图 38 或图 40 或图 41-图 44 任一所示的控制电路时,记第一晶体管的沟道长度与第四晶体管的沟道长度之比为 H ,记第二晶体管的沟道长度与第五晶体管的沟道长度之比为 L ,记第一晶体管的沟道宽度与第四晶体管的沟道宽度之比为 M ,记第二晶体管的沟道宽度与第五晶体管的沟道宽度之比为 N , H 等于 L , M 等于 N 。

本实施例提供的延时电路,由于控制单元的第二端和控制单元的第三端可分别输出随第一参数(为供电电压、工作温度和制造工艺中的任一项)变化而变化的电压。从而可为第四晶体管的衬底端提供随第一参数变化而变化的第一衬底电压,可为第五晶体管的衬底端提供随第一参数变化而变化的第二衬底电压,因此可调节流经反相器的两个晶体管的电流随第一参数变化的变化值在第一范围内,对流经反相器的两个晶体管的电流的变化值进行补偿,使得延时电路的延迟时间 T 的变化较小,提高延时电路对延迟时间精度的控制能力。

需要说明的是,本申请实施例中可根据延时电路所包括的反相器的个数及延迟时间补偿的需求设置控制电路与反相器的连接关系,反相器中 P 型晶体管的衬底端连接控制电路中 P 型晶体管的衬底端,可调节延时电路的上升沿延迟时间的变化值,反相器中 N 型晶体管的衬底端连接控制电路中 N 型晶体管的衬底端,可调节延时电路的下降沿延迟时间的变化值,具体可根据所需调节的上升沿和/或下降沿延迟时间的变化值,设置控制电路与反相器的连接关系。本申请实施例提供的控制电路,可应用于上升沿和/或下降沿均延迟的延时电路中,可降低延时电路的制造工艺、供电电压和工作温度对延时电路的延迟时间 T 的影响,使得延迟时间 T (包括上升沿和/或下降沿)的变化较小,提高延时电路对延迟时间精度的控制能力。

图 13-图 15 给出两种延时电路的示例，也适用于本实施例中，图 13-图 15 中所示的电位产生电路即为本实施例中具体的控制电路，可参见图 13-图 15 中具体的描述，此处不再赘述。

5 实施例四

图 45 为本申请实施例提供的一种控制电路的结构示意图，如图 45 所示，本实施例的控制电路电路可以包括：控制单元 51 和反馈单元 52，其中，

反馈单元 52 用于根据控制单元 51 的电压和参考电压，输出反馈信号，其第一端与控制单元 51 的第一端连接，其第二端为参考电压的输入端，其输出端与控制单元 10 51 的第二端连接。

控制单元 51 用于根据反馈信号，调节控制单元 51 的第二端的电压，以使控制单元 51 的电流随第一参数变化的变化值在第一范围内，第一参数包括控制电路的制造工艺、供电电压和工作温度中的至少一项，控制单元 51 的第三端连接第一电源端，控制单元 51 的第四端连接负电源端。

15 具体来说，第一范围为一个较小的范围，例如为接近 0 的范围，如第一范围为 1% 或 3% 或 5%，从而可使得控制单元 41 的电流随第一参数变化的变化较小。

图 46 为本申请实施例提供的一种控制电路的结构示意图，如图 46 所示，本实施例与图 45 所示实施例的区别在于，控制单元 51 的第三端连接第二电源端，控制单元 51 的第四端连接接地端 V_{gg} 。

20 图 45 和图 46 所示的控制电路，通过设置控制单元和反馈单元，反馈单元用于根据控制单元的电压和参考电压，输出反馈信号，控制单元用于根据反馈信号，调节控制单元的第二端的电压，以使控制单元的电流随第一参数变化的变化值在第一范围内，第一参数为供电电压、工作温度和制造工艺中的任一项，从而，控制单元的第二端可输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电压。

25 图 47 为本申请实施例提供的一种控制电路的结构示意图，如图 47 所示，本实施例的控制电路电路在图 45 所示电路的基础上，进一步地，控制单元 51 可以包括反相器 511 和恒流源 512，反相器 511 的第一端连接第一电源端，恒流源 512 的第一端与反相器 511 的第二端连接，恒流源 512 的第二端连接负电源端，反相器 511 的输入端与反相器 511 的输出端短接。

30 图 48 为本申请实施例提供的一种控制电路的结构示意图，如图 48 所示，本实施例的控制电路电路在图 47 所示电路的基础上，进一步地，反相器 411 包括第一晶体管 T1 和第二晶体管 T2，第一晶体管 T1 的衬底端连接第一电源端，第二晶体管 T2 的衬底端连接反馈单元 52 的输出端；

35 第一晶体管 T1 的第一端接第一电源端，第一晶体管 T1 的第二端接第二晶体管 T2 的第一端，第一晶体管 T1 的控制端和第二晶体管 T2 的控制端连接，第二晶体管 T2 的第二端与恒流源的第一端连接。

本实施例中，控制单元 41 用于根据反馈信号，调节第二晶体管 T2 的衬底端的电压。

本实施例提供的控制电路，控制单元用于根据反馈信号，调节第二晶体管的衬底

端的电压，以使控制单元的电流随第一参数变化的变化值在第一范围内，第一参数为供电电压、工作温度和制造工艺中的任一项，从而，第二晶体管的衬底端可分别输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电压。

5 图 49 为本申请实施例提供的一种控制电路的结构示意图，如图 49 所示，本实施例的控制电路电路在图 46 所示电路的基础上，进一步地，控制单元 51 可以包括反相器 511 和恒流源 512，其中，反相器 511 的第一端连接接地端，恒流源 512 的第一端与反相器 511 的第二端连接，恒流源 512 的第二端连接第二电源端，反相器 511 的输入端与反相器 511 的输出端短接。

10 图 50 为本申请实施例提供的一种控制电路的结构示意图，如图 50 所示，本实施例的控制电路电路在图 49 所示电路的基础上，进一步地，反相器 511 包括第一晶体管 T1 和第二晶体管 T2，第一晶体管 T1 的衬底端连接反馈单元的输出端，第二晶体管的衬底端连接接地端；

15 第一晶体管 T1 的第一端连接恒流源的第一端，第一晶体管 T1 的第二端连接第二晶体管 T2 的第一端，第一晶体管 T1 的控制端和第二晶体管 T2 的控制端连接，第二晶体管 T2 的第二端连接接地端。

本实施例中，控制单元 51 用于根据反馈信号，调节第一晶体管 T1 的衬底端的电压。

20 本实施例提供的控制电路，控制单元用于根据反馈信号，调节第一晶体管的衬底端的电压，以使控制单元的电流随第一参数变化的变化值在第一范围内，第一参数为供电电压、工作温度和制造工艺中的任一项，从而，第一晶体管的衬底端可分别输出随供电电压、工作温度和制造工艺中的任一项变化而变化的电压。

在图 48 和图 50 所示的控制电路中，第一晶体管为 P 型晶体管，第二晶体管为 N 型晶体管。

下面结合附图详细说明反馈单元的具体可实施的结构。

25 图 51 为本申请实施例提供的一种控制电路的结构示意图，如图 51 所示，本实施例的控制电路电路在图 48 所示电路的基础上，进一步地，反馈单元 52 包括误差放大器 521，误差放大器 521 的负输入端与恒流源 512 的第一端和第二晶体管 T2 的第二端连接，误差放大器 521 的正输入端为参考电压输入端，误差放大器 521 的输出端与第二晶体管 T2 的衬底端连接。

30 图 52 为本申请实施例提供的一种控制电路的结构示意图，如图 52 所示，本实施例的控制电路电路在图 51 所示电路的基础上，进一步地，还可以包括：

缓冲器 53，缓冲器 53 连接第二晶体管 T2 的衬底端，并输出第一衬底电压，第一衬底电压的值等于第二晶体管 T2 的衬底端的电压值。

35 图 53 为本申请实施例提供的一种控制电路的结构示意图，如图 53 所示，本实施例的控制电路电路在图 50 所示电路的基础上，进一步地，反馈单元 52 包括误差放大器 521，误差放大器 521 的负输入端与恒流源 512 的第一端和第一晶体管 T1 的第一端连接，误差放大器 521 的正输入端为参考电压输入端，误差放大器 521 的输出端与述第一晶体管 T1 的衬底端连接。

图 54 为本申请实施例提供的一种控制电路的结构示意图，如图 54 所示，本实施

例的控制电路电路在图 53 所示电路的基础上,进一步地,还可以包括:缓冲器 53,缓冲器 53 连接第一晶体管 T1 的衬底端,并输出第二衬底电压,第二衬底电压的值等于第一晶体管 T1 的衬底端的电压值。

需要说明的是,在图 45-图 54 所示的控制电路中,第一电源端的电压例如为 V_{cc} ,第二参考电压可以为 $V_{cc}/2$,负电源端的电压可以为 0 或小于 0,第一参考电压可以为 0。

第二电源端的电压大于第一参考电压的电压,第二参考电压的值可以为第一参考电压的一半,例如,第二电源端的电压为 V_{dd} ,第一参考电压为 V_{cc} , V_{dd} 大于 V_{cc} ,第二参考电压的值可以为 $V_{cc}/2$ 。

下面结合具体实施例对本申请的控制电路的结构进行说明,本申请的控制电路的具体结构并不局限于下面任一种结构。

具体地,本实施例的控制电路的具体结构可参见图 26 和图 27 所示的电路结构,图 26 和图 27 所示的电位产生电路即为本实施例中的控制电路,工作原理相同,详细可参见图 26 和图 27 所示实施例的描述,此处不再赘述。

本申请实施例还提供一种延时电路,包括图 45-图 54 任一所示的控制电路和延迟单元,其中,控制单元的第二端与延迟单元的第一端连接,控制电路用于控制延迟单元的上升沿延迟时间和/或下降沿延迟时间随第一参数变化的变化值在第一范围内。

可选的,延迟单元包括反相器,反相器包括第四晶体管和第五晶体管,控制单元的第二端与第四晶体管的衬底端或第五晶体管的衬底端连接。

可选的,第四晶体管为 P 型晶体管,第五晶体管为 N 型晶体管。

控制单元的第五端连接负电源端时,控制单元的第二端与第五晶体管的衬底端连接。

控制单元的第三端连接第二电源端,控制单元的第四端连接接地端时,控制单元的第二端与第四晶体管的衬底端连接。

本实施例中,可选的,延时电路中控制电路为图 48 或图 50 或图 51-图 54 任一所示的控制电路时,记第一晶体管的沟道长度与第四晶体管的沟道长度之比为 H ,记第二晶体管的沟道长度与第五晶体管的沟道长度之比为 L ,记第一晶体管的沟道宽度与第四晶体管的沟道宽度之比为 M ,记第二晶体管的沟道宽度与第五晶体管的沟道宽度之比为 N , H 等于 L , M 等于 N 。

本实施例提供的延时电路,由于控制单元的第二端可输出随第一参数(为供电电压、工作温度和制造工艺中的任一项)变化而变化的电压。从而可为第四晶体管的衬底端提供随第一参数变化而变化的第一衬底电压,因此可调节流经反相器的第四晶体管的电流随第一参数变化的变化值在第一范围内,对流经反相器的第四晶体管的电流的变化值进行补偿,使得延时电路的上升沿延迟时间 T 的变化较小,提高延时电路对上升沿延迟时间精度的控制能力。

或者可为第五晶体管的衬底端提供随第一参数变化而变化的第一衬底电压,因此可调节流经反相器的第五晶体管的电流随第一参数变化的变化值在第一范围内,对流经反相器的第五晶体管的电流的变化值进行补偿,使得延时电路的下降沿延迟时间 T 的变化较小,提高延时电路对下降沿延迟时间精度的控制能力。

需要说明的是，本申请实施例提供的延时电路，可根据延迟单元所实现的上升沿延迟和/或下降沿延迟来设置上述两个实施例中所示的控制电路与延迟单元中的反相器的连接关系，例如，某一延时电路实现的是上升沿延迟，该延时电路包括反相器，反相器包括 P 型晶体管和 N 型晶体管，则在该延时电路中设置第一控制电路，第一控制电路可调节反相器中的 P 型晶体管的衬底端的电压，从而可调节流经反相器中的 P 型晶体管的电流，使得流经反相器中的 P 型晶体管的电流随第一参数变化的变化值在第一范围内，对流经反相器中的 P 型晶体管的电流的变化值进行补偿，使得延时电路的上升沿延迟时间 T 的变化较小。又例如，某一延时电路实现的是下降沿延迟，该延时电路包括反相器，反相器包括 P 型晶体管和 N 型晶体管，则在该延时电路中设置第二控制电路，第二控制电路可调节反相器中的 N 型晶体管的衬底端的电压，从而可调节流经反相器中的 N 型晶体管的电流，使得流经反相器中的 N 型晶体管的电流随第一参数变化的变化值在第一范围内，对流经反相器中的 N 型晶体管的电流的变化值进行补偿，使得延时电路的下降沿延迟时间 T 的变化较小。又例如，某一延时电路实现的是上升沿和下降沿均延迟，该延时电路包括反相器，反相器包括 P 型晶体管和 N 型晶体管，则在该延时电路中设置第一控制电路和第二控制电路，第一控制电路可调节反相器中的 P 型晶体管的衬底端的电压，从而可调节流经反相器中的 P 型晶体管的电流，使得流经反相器中的 P 型晶体管的电流随第一参数变化的变化值在第一范围内，对流经反相器中的 P 型晶体管的电流的变化值进行补偿，使得延时电路的上升沿延迟时间 T 的变化较小，第二控制电路可调节反相器中的 N 型晶体管的衬底端的电压，从而可调节流经反相器中的 N 型晶体管的电流，使得流经反相器中的 N 型晶体管的电流随第一参数变化的变化值在第一范围内，对流经反相器中的 N 型晶体管的电流的变化值进行补偿，使得延时电路的下降沿延迟时间 T 的变化较小。从而，可使得延时电路的上升沿延迟时间 T 和下降沿延迟时间 T 的变化较小。提高延时电路对延迟时间（包括上升沿延迟时间和下降沿延迟时间）精度的控制能力。

图 28-图 30 给出两种延时电路的示例，也适用于本实施例中，图 28-图 30 中所示的电位产生电路即为本实施例中具体的控制电路，可参见图 28-图 30 中具体的描述，此处不再赘述。

上述实施例中的恒流源例如可以用镜像电流源，镜像端的电流可以是与温度系数无关的电流，或者该电流与温度、电压等均无关；上述实施例中的恒流源也可以采用其他方式实现。

最后应说明的是：以上各实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述各实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

权 利 要 求 书

1、一种电位产生电路，包括：

第一晶体管和第二晶体管，所述第一晶体管的衬底端的电位随第一参数变化而变化，所述第一参数为所述电位产生电路的供电电压、工作温度和制造工艺中的任一项；

5 其中，所述第一晶体管的栅极端连接所述第一晶体管的漏极端，所述第一晶体管的衬底端作为所述电位产生电路的输出端；所述第二晶体管的栅极端连接所述第二晶体管的漏极端。

2、根据权利要求1所述的电位产生电路，所述第一参数为所述电位产生电路的供电电压或工作温度，所述第一晶体管的衬底端的电位随所述第一参数升高而升高，所述
10 所述第一晶体管的衬底端的电位随所述第一参数降低而降低。

3、根据权利要求1所述的电位产生电路，所述第一晶体管为P型晶体管，所述第二晶体管为N型晶体管。

4、根据权利要求3所述的电位产生电路，所述第一晶体管的源极端连接第一电压节点，所述第二晶体管的源极端连接第二电压节点，所述第一晶体管的漏极端连接所述
15 所述第二晶体管的漏极端，所述第二晶体管的衬底端连接所述第二电压节点。

5、根据权利要求4所述的电位产生电路，还包括：

恒流源，所述恒流源的第一端连接所述第一电压节点，所述恒流源的第二端连接第三电压节点。

6、根据权利要求5所述的电位产生电路，还包括：

20 误差放大器，与所述第一晶体管构成第一反馈回路，所述第一晶体管的衬底端连接所述第一反馈回路的一个电压节点。

7、根据权利要求6所述的电位产生电路，所述误差放大器的负输入端连接所述第一电压节点，所述误差放大器的正输入端连接第一参考电压，所述误差放大器的输出端连接所述第一晶体管的衬底端。

25 8、根据权利要求7所述的电位产生电路，所述第三电压节点连接电源端，所述第一参考电压连接电源端，所述第三电压节点的电位大于所述第一参考电压的电位。

9、根据权利要求1-7任一项所述的电位产生电路，还包括：

缓冲器，所述缓冲器连接所述输出端，并输出衬底电位，所述衬底电位的值等于所述
30 所述第一晶体管的衬底端的电位值。

10、一种电位产生电路，包括：

第一晶体管和第二晶体管，所述第二晶体管的衬底端的电位随第一参数变化而变化，所述第一参数为所述电位产生电路的供电电压、工作温度和制造工艺中的任一项；

35 其中，所述第一晶体管的栅极端连接所述第一晶体管的漏极端，所述第二晶体管的栅极端连接所述第二晶体管的漏极端，所述第二晶体管的衬底端作为所述电位产生电路的输出端。

11、根据权利要求10所述的电位产生电路，所述第一参数为所述电位产生电路的供电电压或工作温度，所述第二晶体管的衬底端的电位随所述第一参数升高而降低，所述第二晶体管的衬底端的电位随所述第一参数降低而升高。

12、根据权利要求10所述的电位产生电路，所述第一晶体管为P型晶体管，所述

第二晶体管为 N 型晶体管。

13、根据权利要求 12 所述的电位产生电路，所述第一晶体管的源极端连接第一电压节点，所述第二晶体管的源极端连接第二电压节点，所述第一晶体管的漏极端连接所述第二晶体管的漏极端，所述第一晶体管的衬底端连接所述第一电压节点。

5 14、根据权利要求 13 所述的电位产生电路，还包括：

恒流源，所述恒流源的第一端连接第三电压节点，所述恒流源的第二端连接所述第二电压节点。

15、根据权利要求 14 所述的电位产生电路，还包括：

10 误差放大器，与所述第二晶体管构成第一反馈回路，所述第二晶体管的衬底端连接所述第一反馈回路的一个电压节点。

16、根据权利要求 15 所述的电位产生电路，所述误差放大器的负输入端连接所述第二电压节点，所述误差放大器的正输入端连接第一参考电压，所述误差放大器的输出端连接所述第二晶体管的衬底端。

15 17、根据权利要求 16 所述的电位产生电路，所述第一电压节点连接电源端，所述第一参考电压连接接地端，所述第三电压节点的电位小于所述第一参考电压的电位。

18、根据权利要求 10-16 任一项所述的电位产生电路，还包括：

缓冲器，所述缓冲器连接所述输出端，并输出衬底电位，所述衬底电位的值等于所述第二晶体管的衬底端的电位值。

19、一种延时电路，包括：

20 如权利要求 1-9 任一项所述的电位产生电路；

延迟单元，所述延迟单元包括第一反相器，所述第一反相器包括第四晶体管和第五晶体管，所述第四晶体管的衬底端连接所述第一晶体管的衬底端的电位，所述第五晶体管的衬底端连接接地端，所述第四晶体管为 P 型晶体管，所述第五晶体管为 N 型晶体管。

25 20、根据权利要求 19 所述的延时电路，记所述第一晶体管的沟道长度与所述第四晶体管的沟道长度之比为 H，记所述第二晶体管的沟道长度与所述第五晶体管的沟道长度之比为 L，记所述第一晶体管的沟道宽度与所述第四晶体管的沟道宽度之比为 M，记所述第二晶体管的沟道宽度与所述第五晶体管的沟道宽度之比为 N，所述 H 等于所述 L，所述 M 等于所述 N。

30 21、一种延时电路，包括：

如权利要求 10-18 任一项所述的电位产生电路；

35 延迟单元，所述延迟单元包括第一反相器，所述第一反相器包括第四晶体管和第五晶体管，所述第四晶体管的衬底端连接所述第一晶体管的衬底端的电位，所述第五晶体管的衬底端连接电源端，所述第四晶体管为 P 型晶体管，所述第五晶体管为 N 型晶体管。

22、根据权利要求 21 所述的延时电路，记所述第一晶体管的沟道长度与所述第四晶体管的沟道长度之比为 H，记所述第二晶体管的沟道长度与所述第五晶体管的沟道长度之比为 L，记所述第一晶体管的沟道宽度与所述第四晶体管的沟道宽度之比为 M，记所述第二晶体管的沟道宽度与所述第五晶体管的沟道宽度之比为 N，所述 H 等于所

述 L，所述 M 等于所述 N。

23、一种延时电路，包括：

第一电位产生电路，所述第一电位产生电路为如权利要求 1-9 任一项所述的第一电位产生电路；

5 第二电位产生电路，所述第二电位产生电路为如权利要求 10-18 任一项所述的第二电位产生电路；

10 延迟单元，所述延迟单元包括第一反相器，所述第一反相器包括第四晶体管和第五晶体管，所述第四晶体管的衬底端连接所述第一电位产生电路中的第一晶体管的衬底端的电位，所述第五晶体管的衬底端连接所述第二电位产生电路中的第二晶体管的衬底端的电位，所述第四晶体管为 P 型晶体管，所述第五晶体管为 N 型晶体管。

15 24、根据权利要求 23 所述的延时电路，记所述第一电位产生电路中的第一晶体管的沟道长度与所述第四晶体管的沟道长度之比为 H1，记所述第一电位产生电路中的第二晶体管的沟道长度与所述第五晶体管的沟道长度之比为 L1，记所述第一电位产生电路中的第一晶体管的沟道宽度与所述第四晶体管的沟道宽度之比为 M1，记所述第一电位产生电路中的第二晶体管的沟道宽度与所述第五晶体管的沟道宽度之比为 N1，所述 H1 等于所述 L1，所述 M1 等于所述 N1；

20 记所述第二电位产生电路中的第一晶体管的沟道长度与所述第四晶体管的沟道长度之比为 H2，记所述第二电位产生电路中的第二晶体管的沟道长度与所述第五晶体管的沟道长度之比为 L2，记所述第二电位产生电路中的第一晶体管的沟道宽度与所述第四晶体管的沟道宽度之比为 M2，记所述第二电位产生电路中的第二晶体管的沟道宽度与所述第五晶体管的沟道宽度之比为 N2，所述 H2 等于所述 L2，所述 M2 等于所述 N2。

25、一种反相器，包括：

25 P 型晶体管和 N 型晶体管，所述 P 型晶体管的源极端连接电源端，所述 P 型晶体管的漏极端连接所述 N 型晶体管的漏极端，所述 N 型晶体管的源极端连接接地端，所述 P 型晶体管的栅极端连接所述 N 型晶体管的栅极端，并作为所述反相器的输入端，所述 P 型晶体管的漏极端作为所述反相器的输出端；

30 所述 P 型晶体管的衬底端连接衬底电位，所述 N 型晶体管的衬底端连接接地端，所述衬底电位随第一参数变化而变化，所述第一参数为所述反相器的供电电压、工作温度和制造工艺中的任一项。

26、根据权利要求 25 所述的反相器，所述第一参数为所述反相器的供电电压或工作温度，所述衬底电位随所述第一参数升高而升高，所述衬底电位随所述第一参数降低而降低。

27、一种反相器，包括：

35 P 型晶体管和 N 型晶体管，所述 P 型晶体管的源极端连接电源端，所述 P 型晶体管的漏极端连接所述 N 型晶体管的漏极端，所述 N 型晶体管的源极端连接接地端，所述 P 型晶体管的栅极端连接所述 N 型晶体管的栅极端，并作为所述反相器的输入端，所述 P 型晶体管的漏极端作为所述反相器的输出端；

所述 N 型晶体管的衬底端连接衬底电位，所述 P 型晶体管的衬底端连接电源端，

所述衬底电位随第一参数变化而变化，所述第一参数为所述反相器的供电电压、工作温度和制造工艺中的任一项。

- 5 28、根据权利要求 27 所述的反相器，所述第一参数为所述反相器的供电电压或工作温度，所述衬底电位随所述第一参数升高而降低，所述衬底电位随所述第一参数降低而升高。

29、一种延时电路，包括：

如权利要求 25-28 任一项所述的反相器；

电容，其一端与所述反相器的输出端连接，其另一端连接所述电源端或所述接地端。

- 10 30、根据权利要求 29 所述的延时电路，所述电容为电容阵列。

31、一种逻辑门电路，包括：

- 15 P 型晶体管和 N 型晶体管，所述 P 型晶体管的衬底端连接衬底电位，所述 N 型晶体管的衬底端连接接地端，所述衬底电位随第一参数变化而变化，使得所述逻辑门电路从输入端到输出端的延迟时间随所述第一参数变化的变化值在第一范围内，所述第一参数包括所述逻辑门电路的供电电压、工作温度和制造工艺中的任一项。

32、一种逻辑门电路，包括：

- 20 P 型晶体管和 N 型晶体管，所述 N 型晶体管的衬底端连接衬底电位，所述 P 型晶体管的衬底端连接电源端，所述衬底电位随第一参数变化而变化，使得所述逻辑门电路从输入端到输出端的延迟时间随所述第一参数变化的变化值在第一范围内，所述第一参数包括所述逻辑门电路的供电电压、工作温度和制造工艺中的任一项。

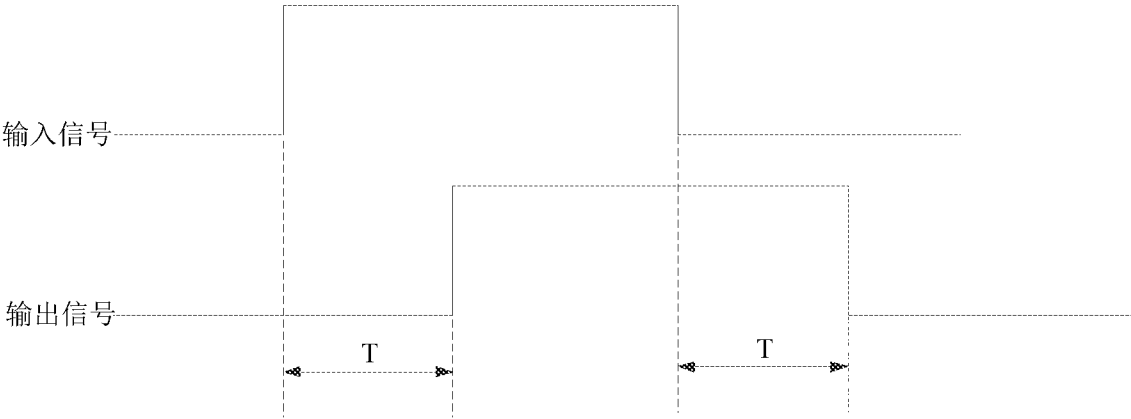


图 1

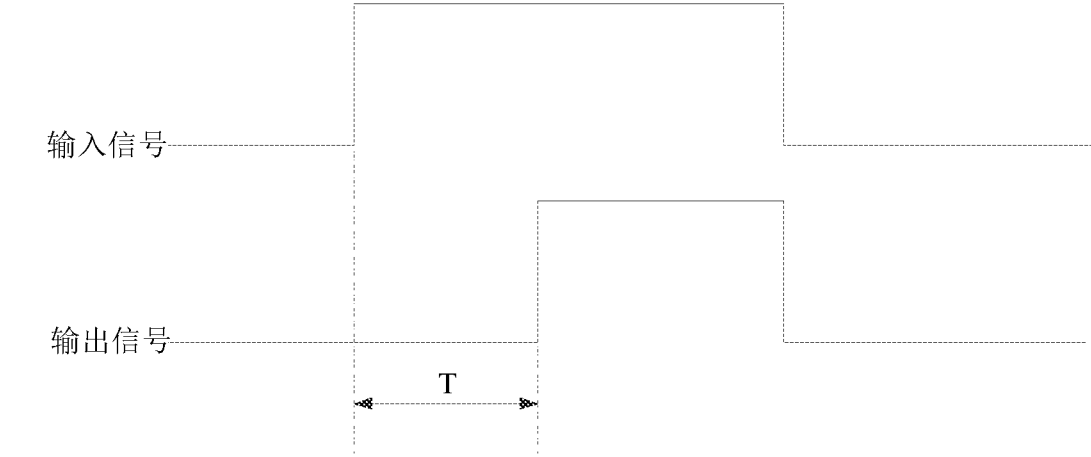


图 2

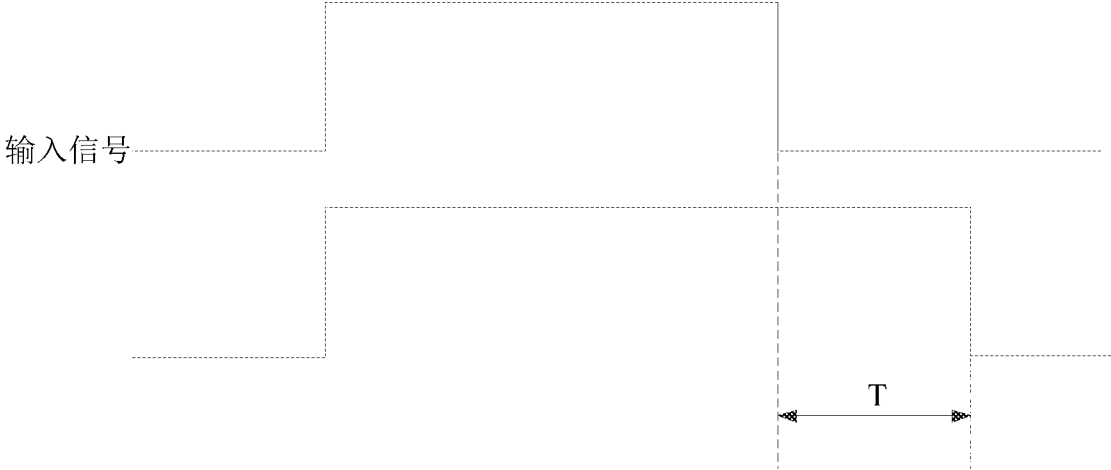


图 3

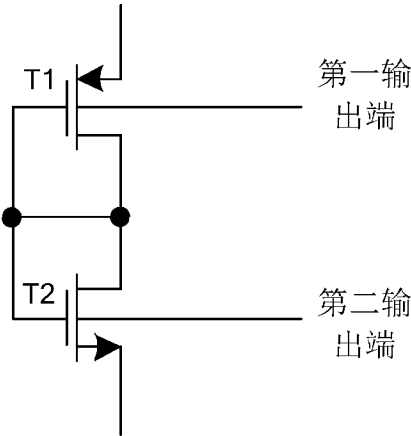


图 4

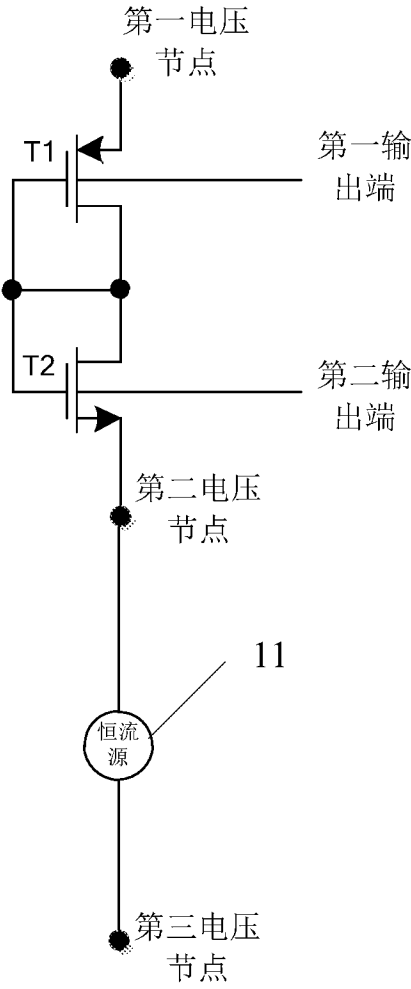


图 5

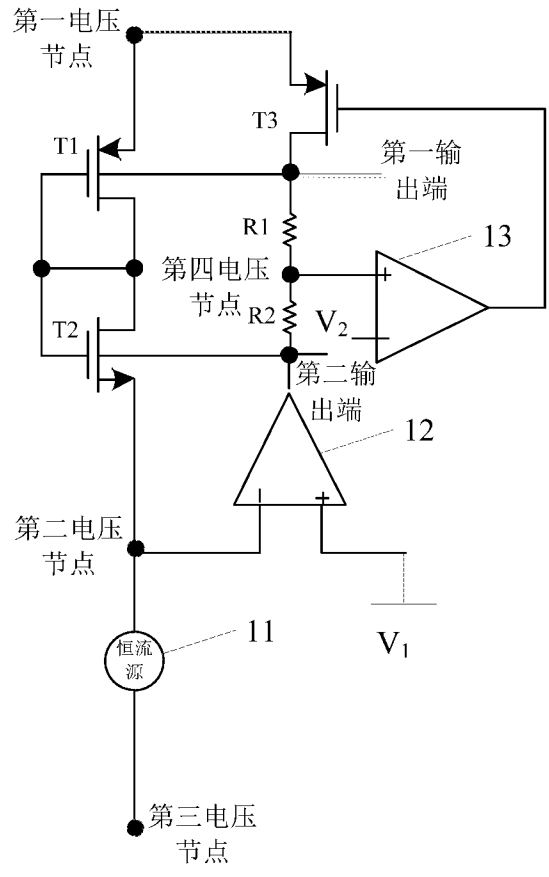


图 6

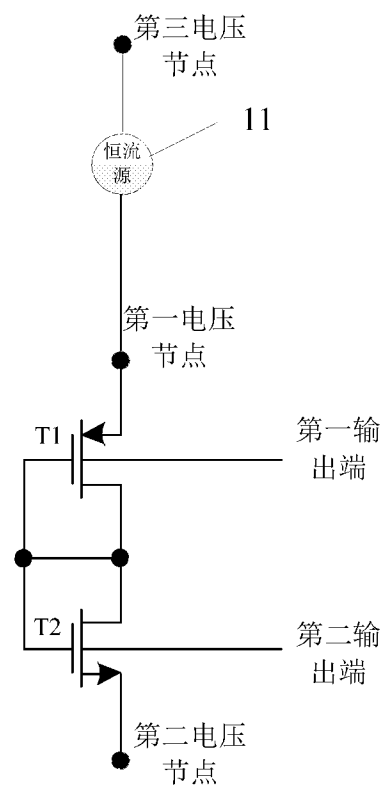


图 7

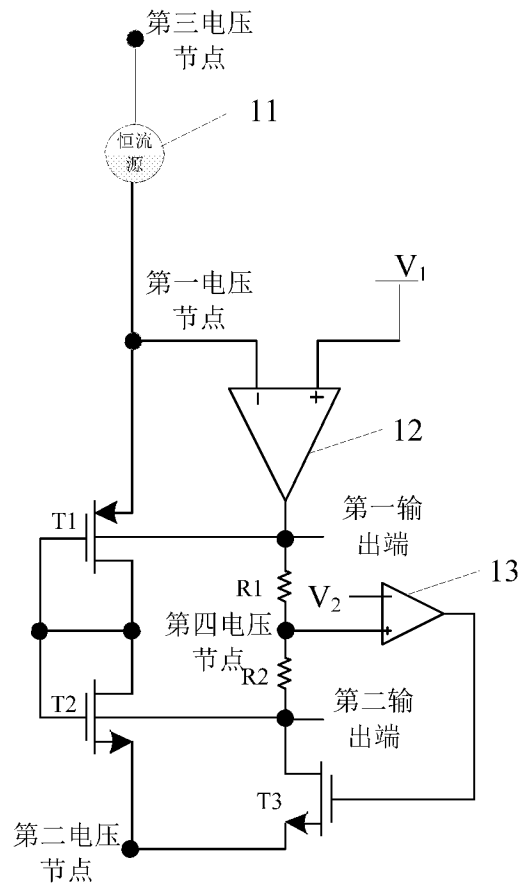


图 8

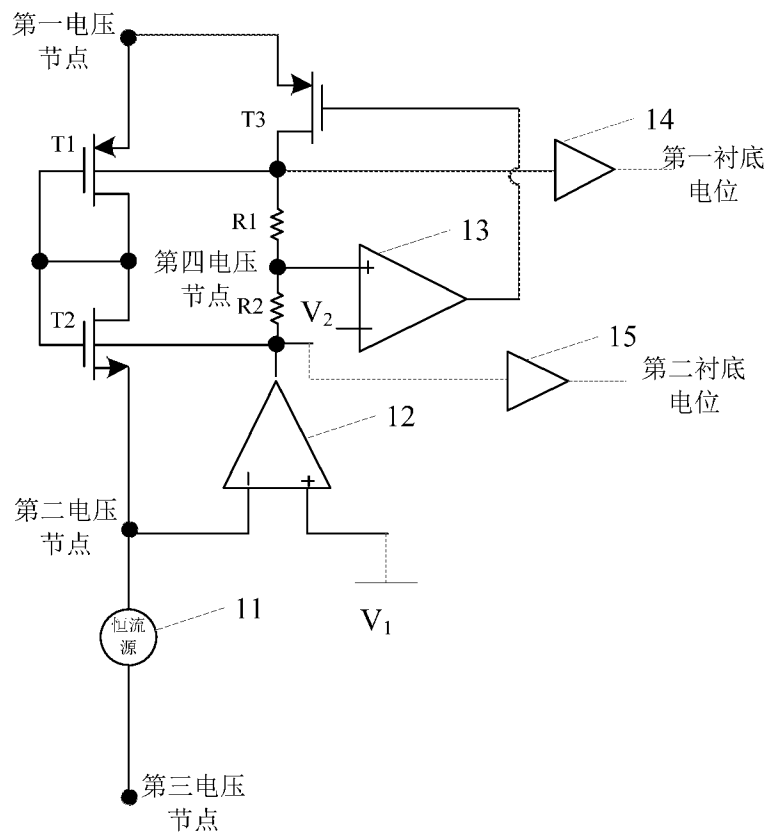


图 9

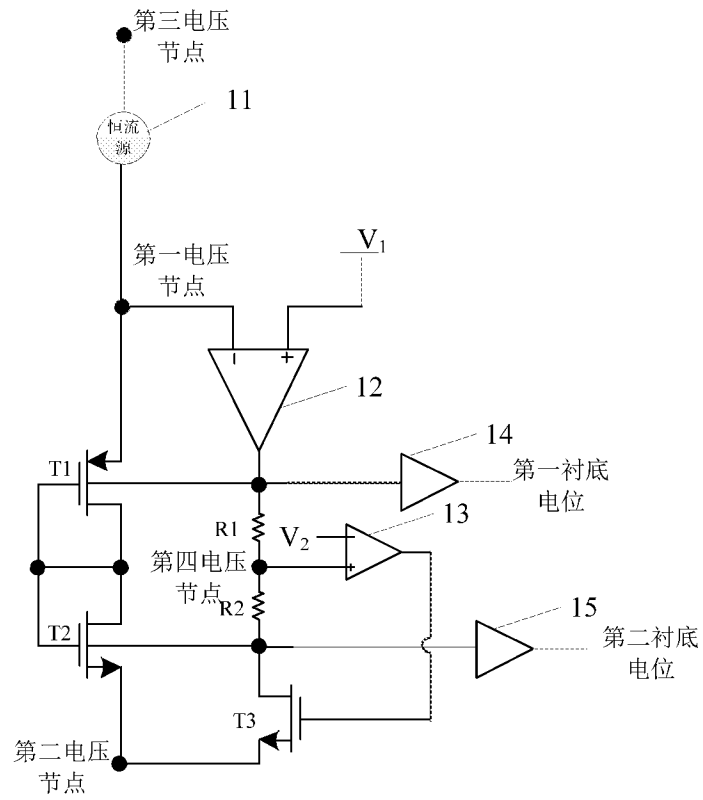


图 10

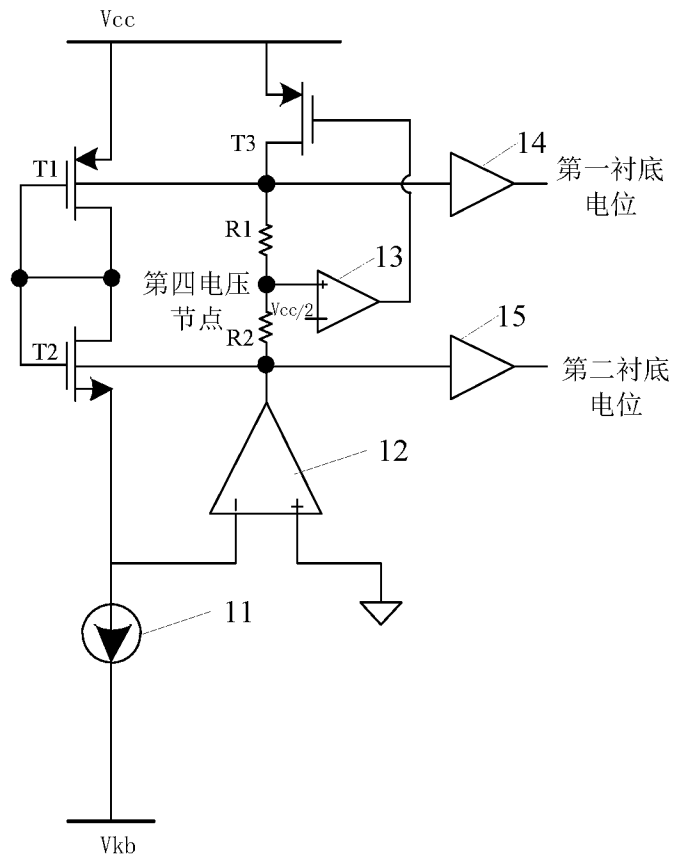


图 11

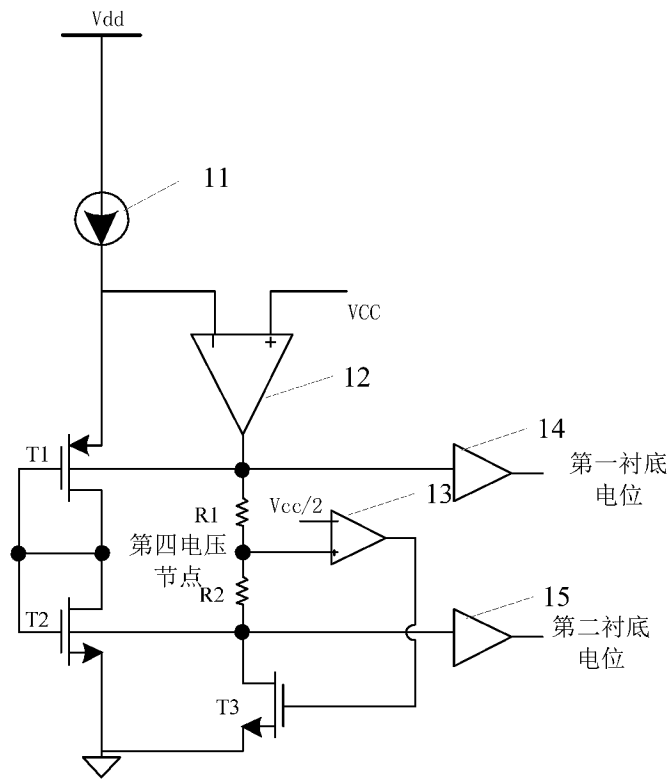


图 12

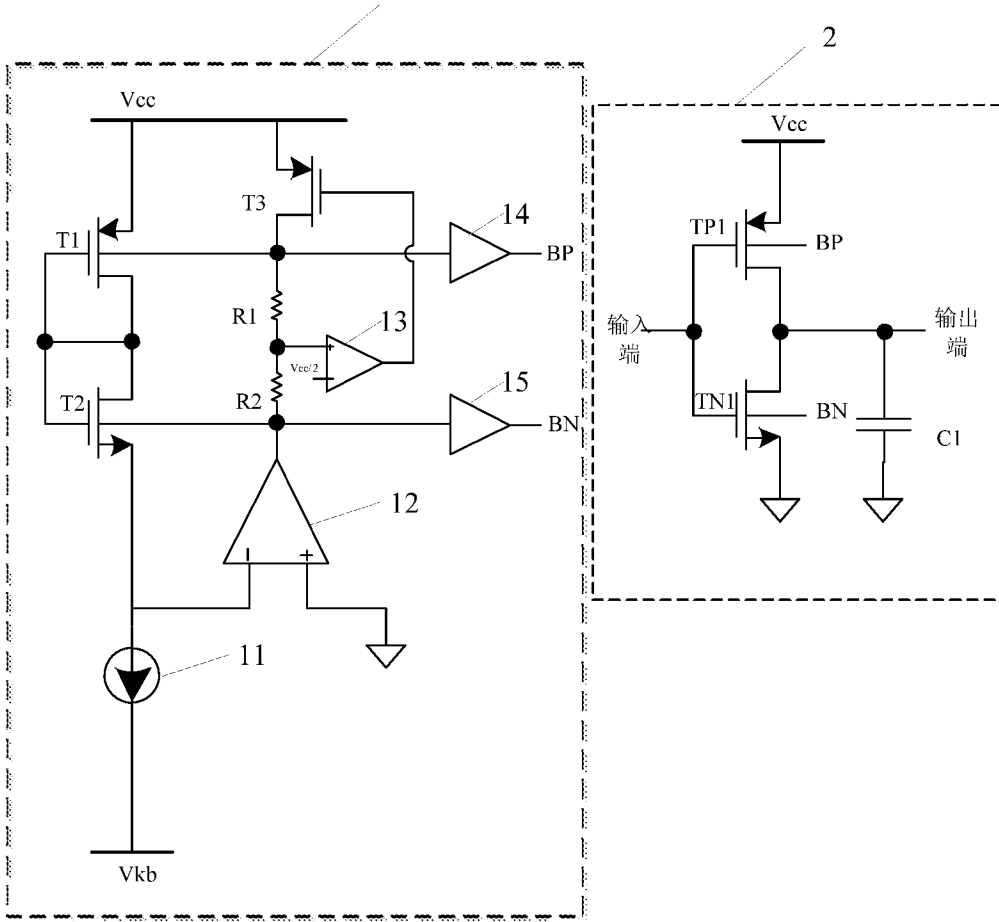


图 13

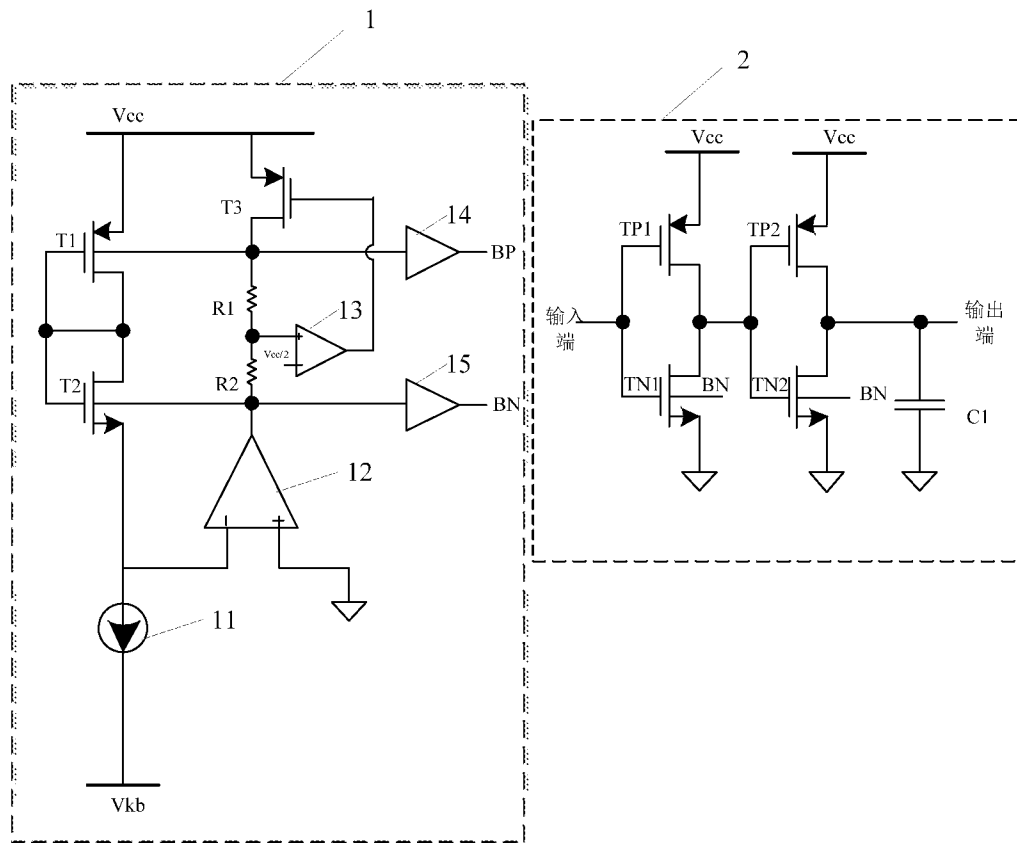


图 14

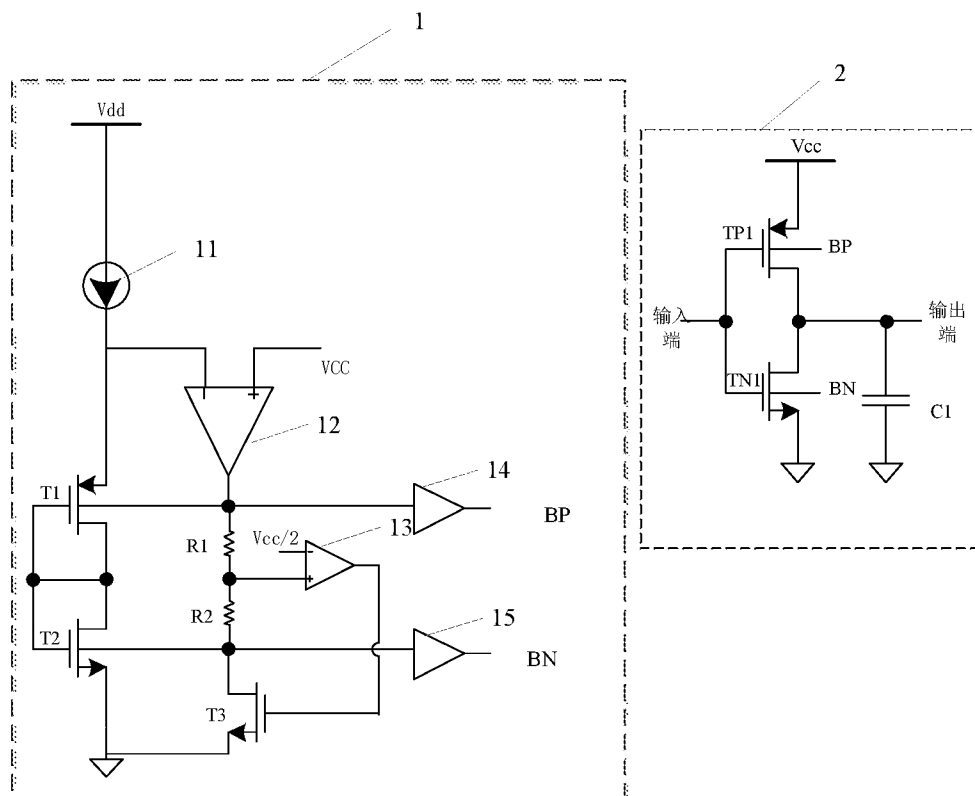


图 15

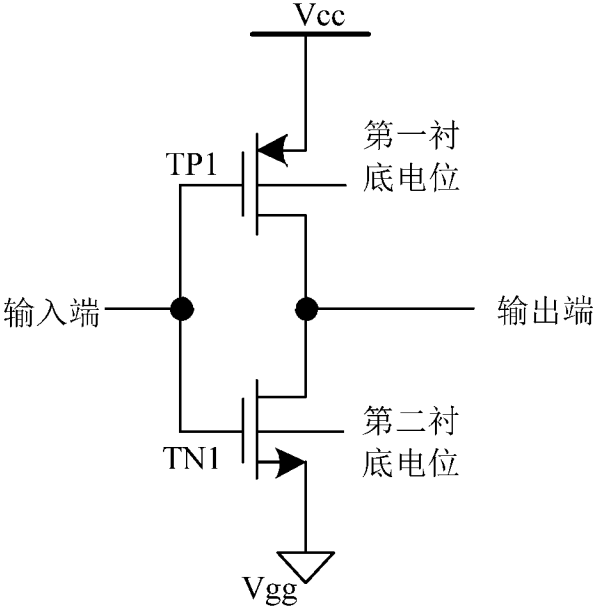


图 16

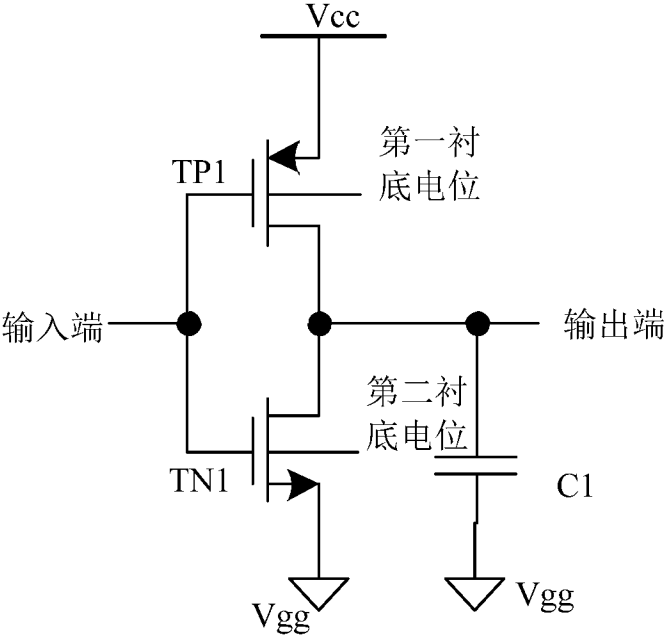


图 17

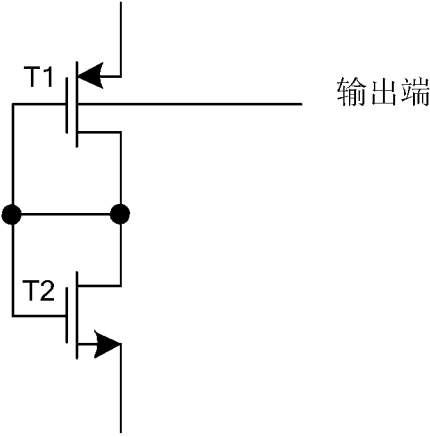


图 18

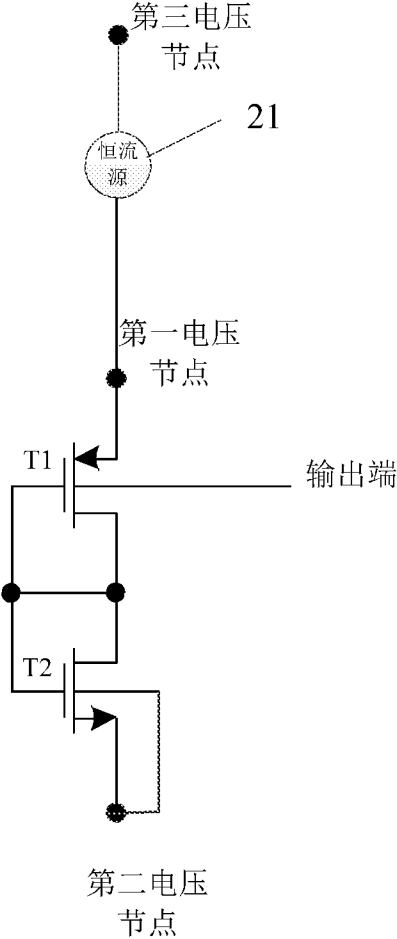


图 19

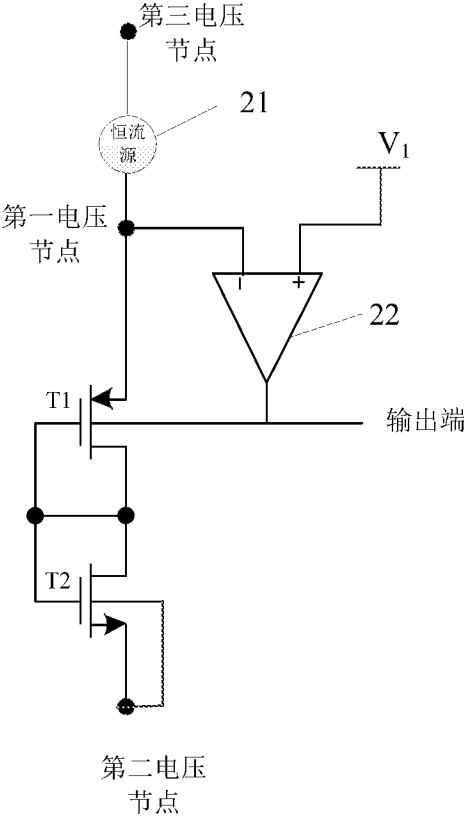


图 20

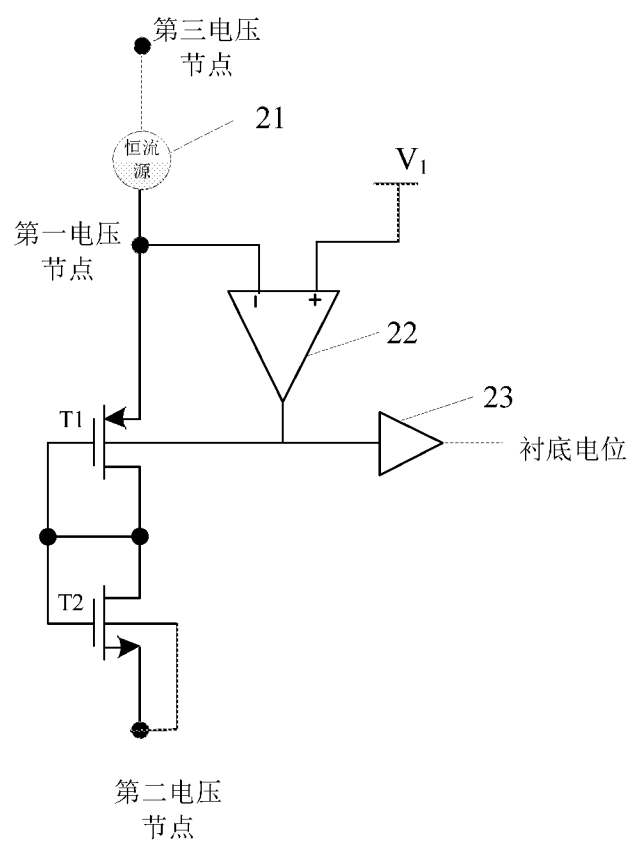


图 21

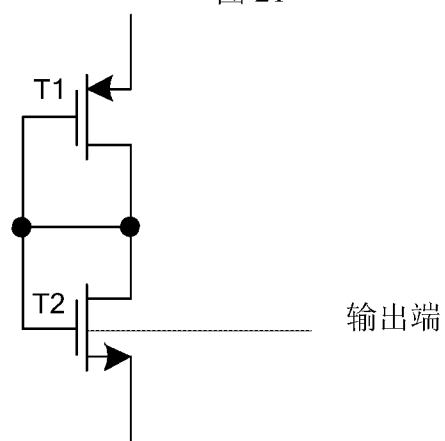


图 22

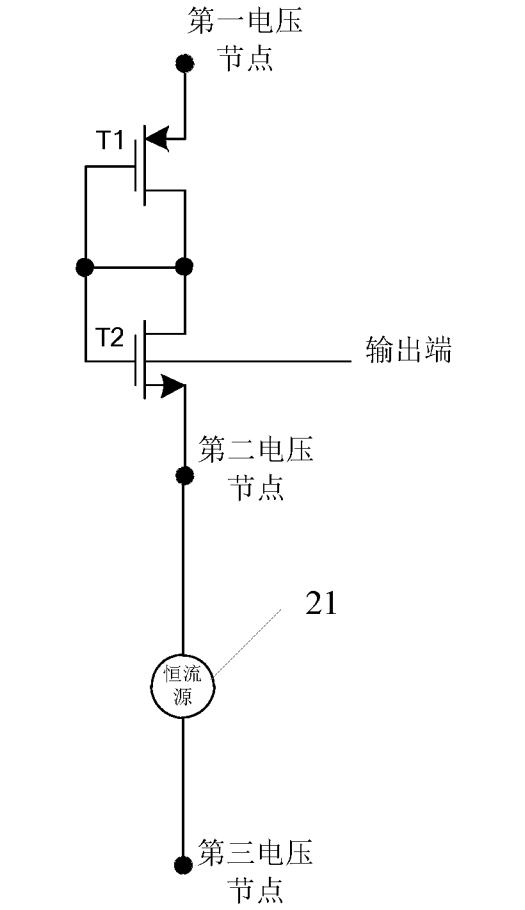


图 23

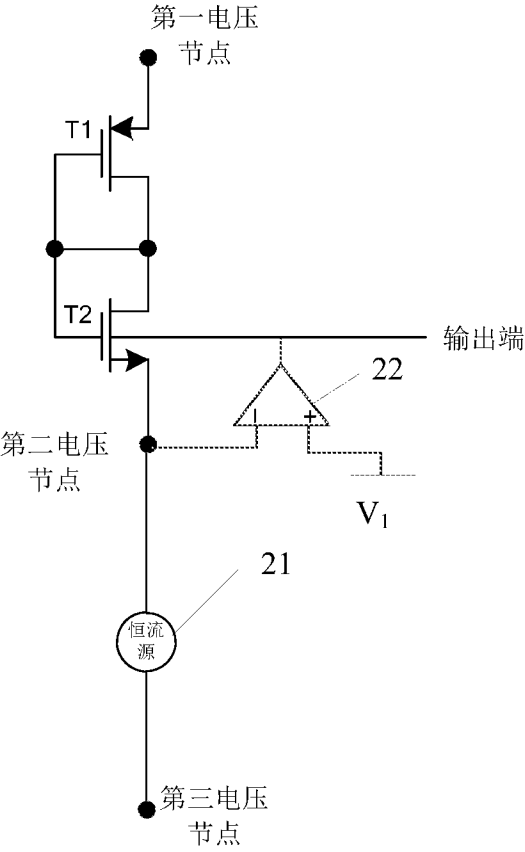


图 24

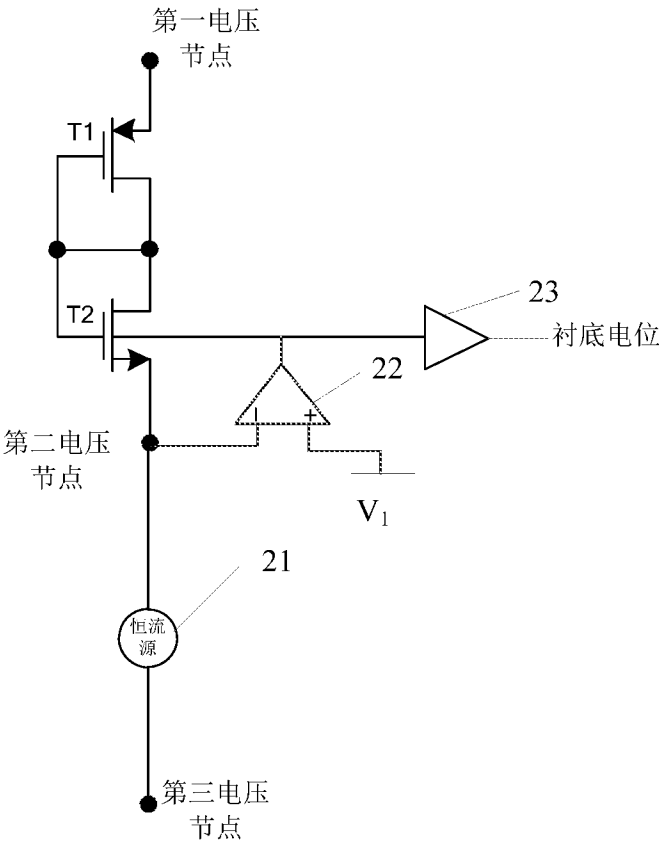


图 25

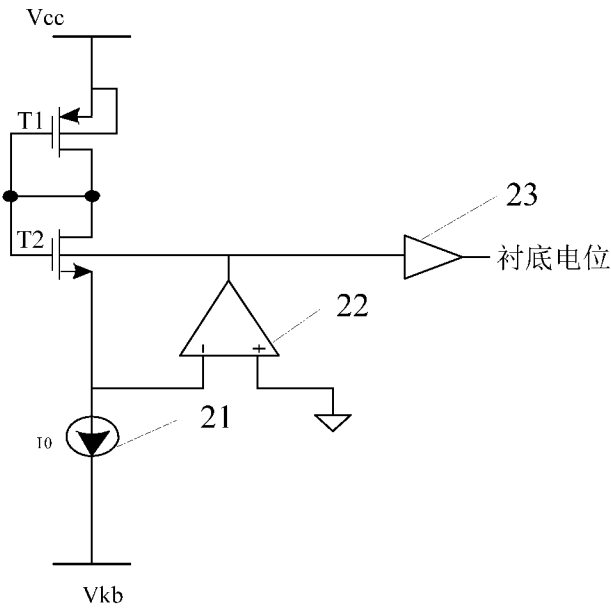


图 26

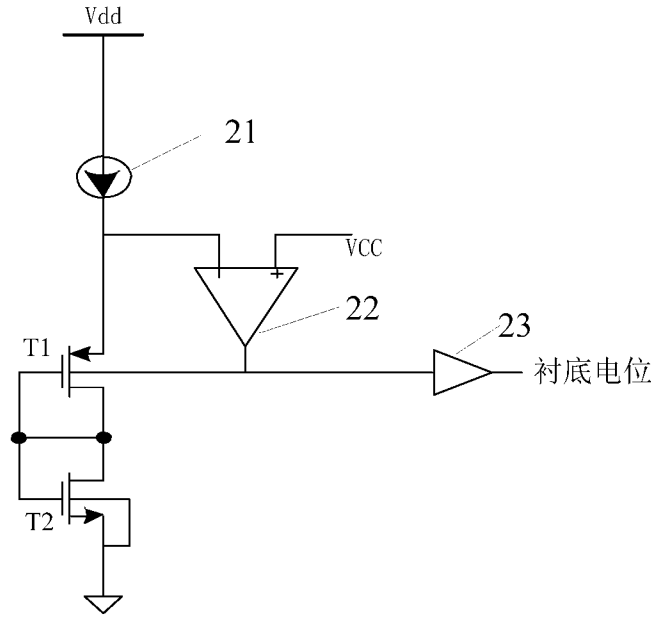


图 27

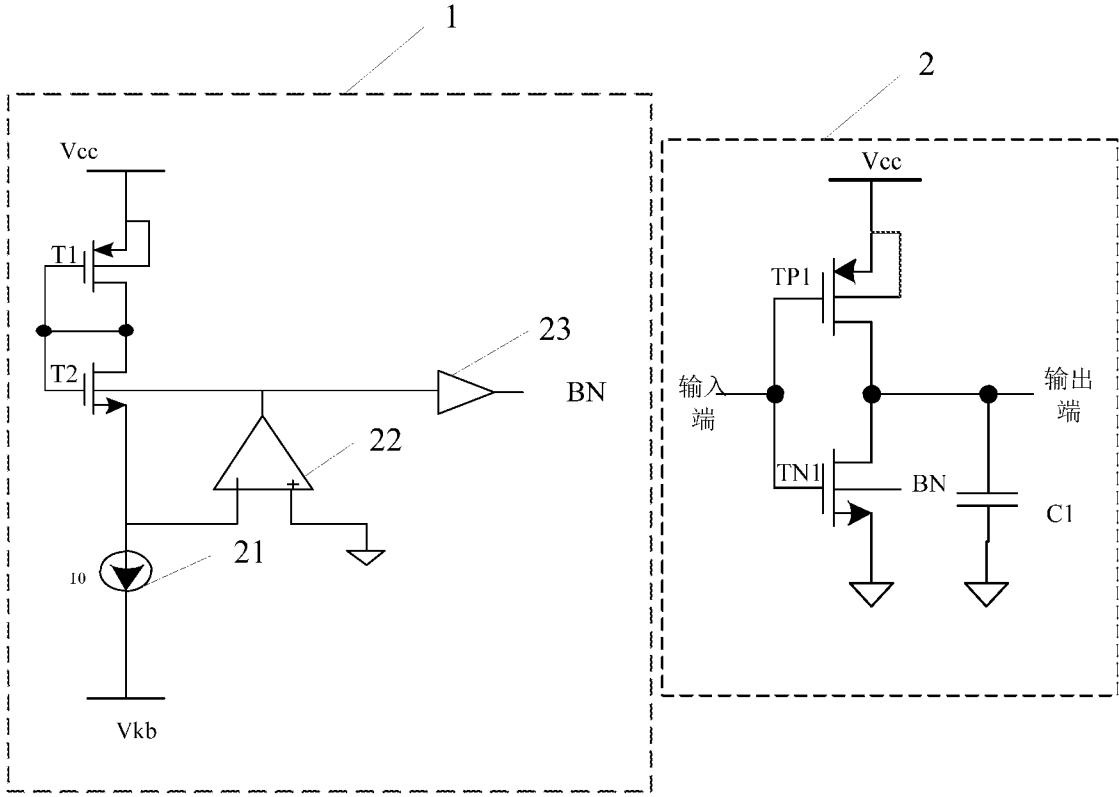


图 28

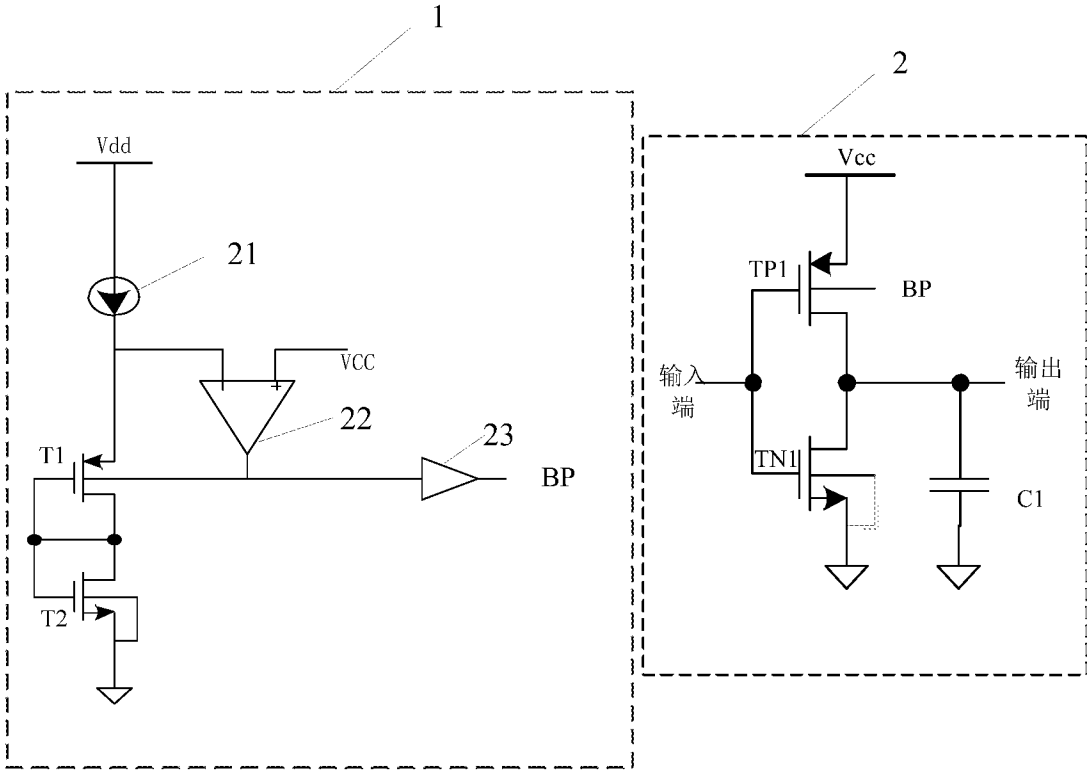


图 29

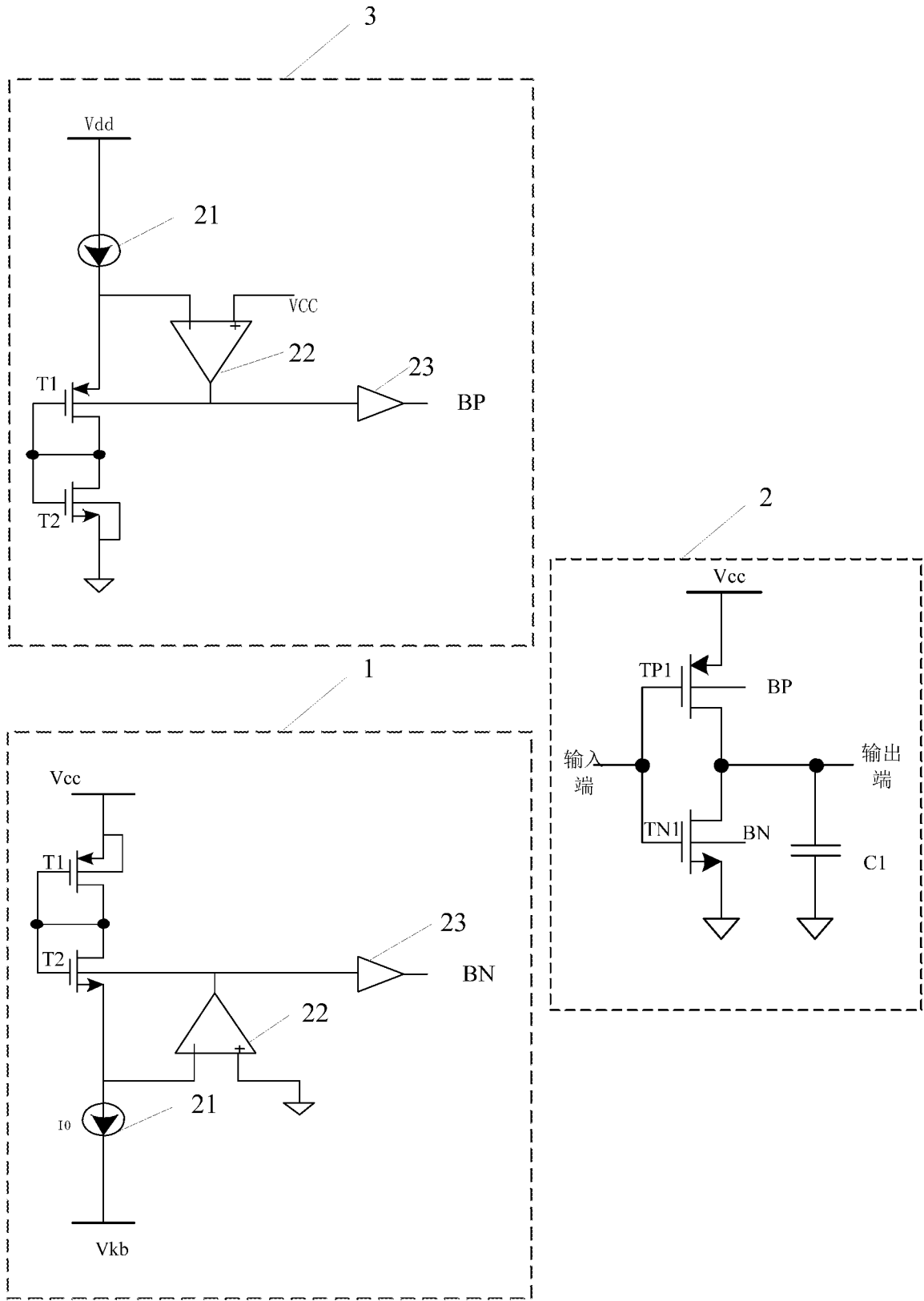


图 30

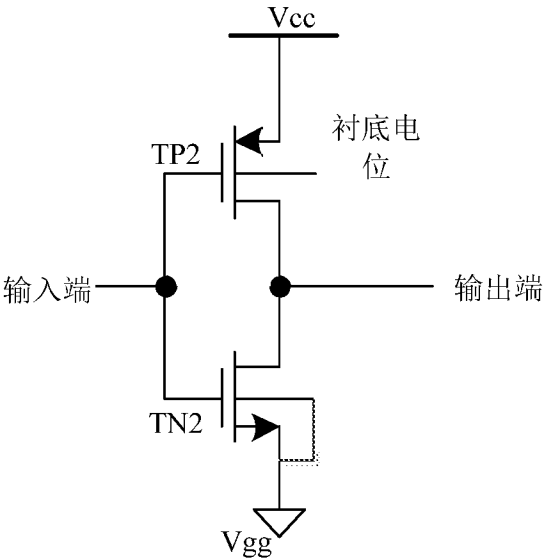


图 31

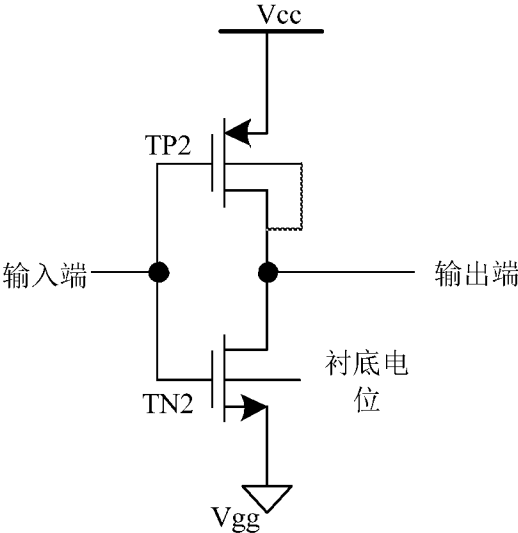


图 32

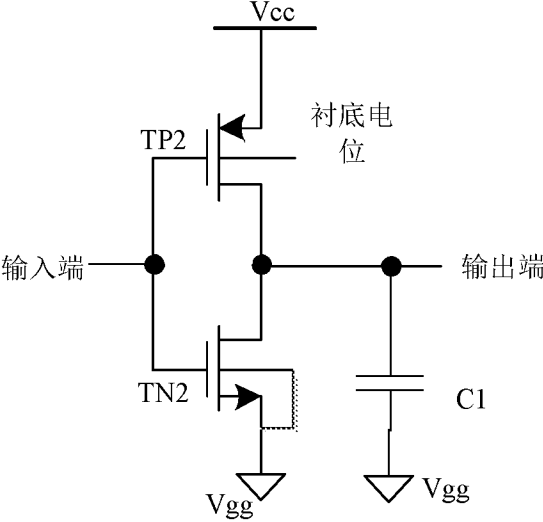


图 33

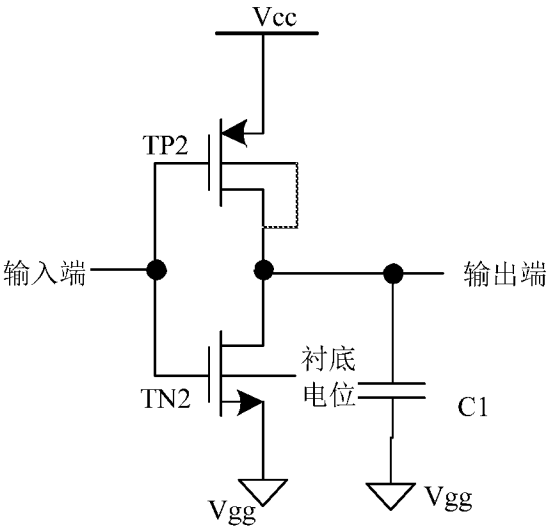


图 34

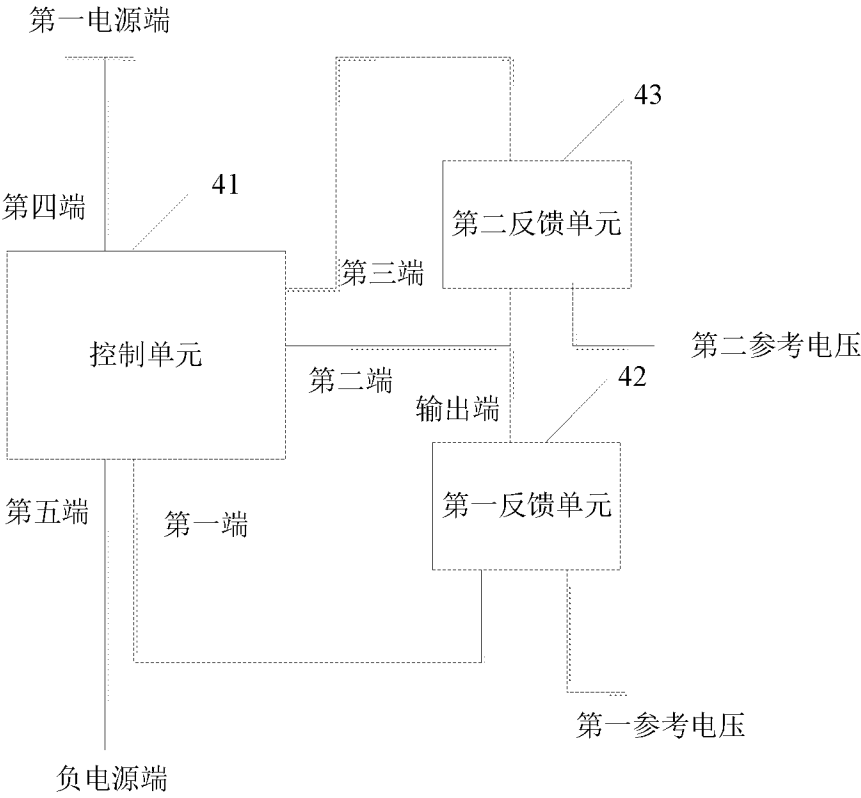


图 35

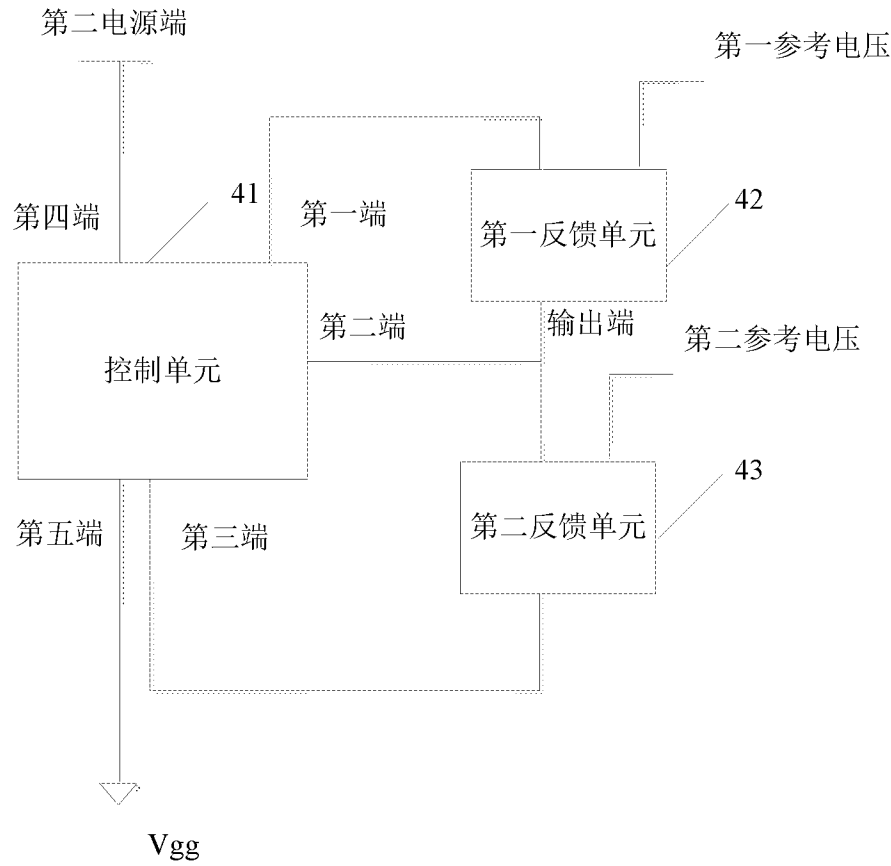


图 36

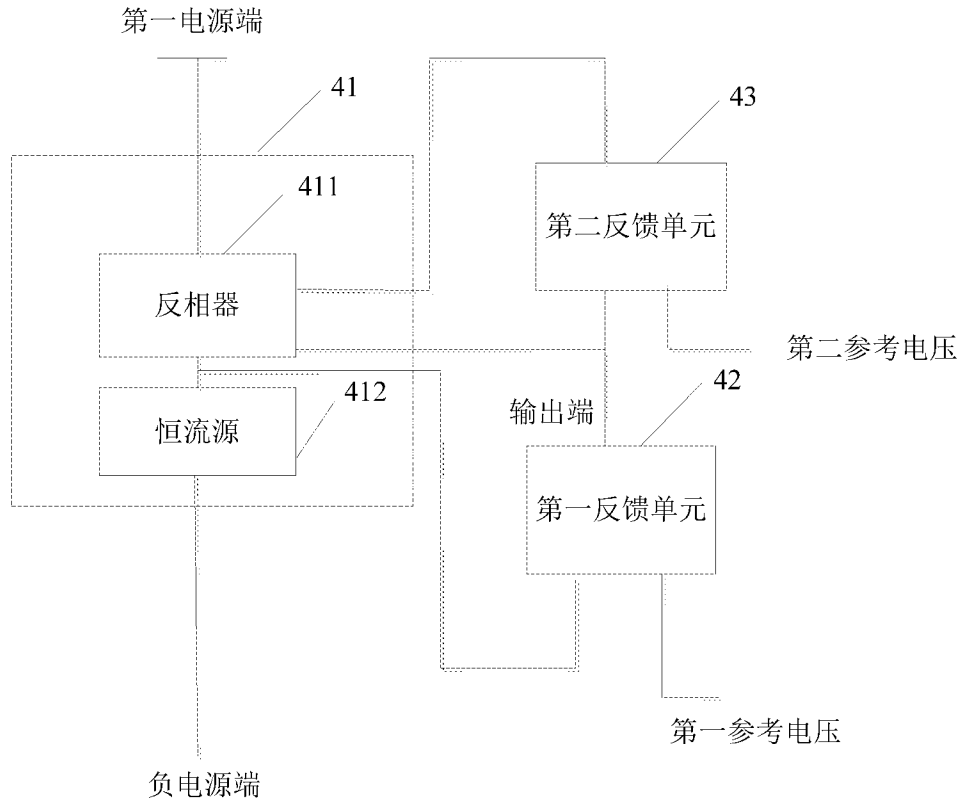


图 37

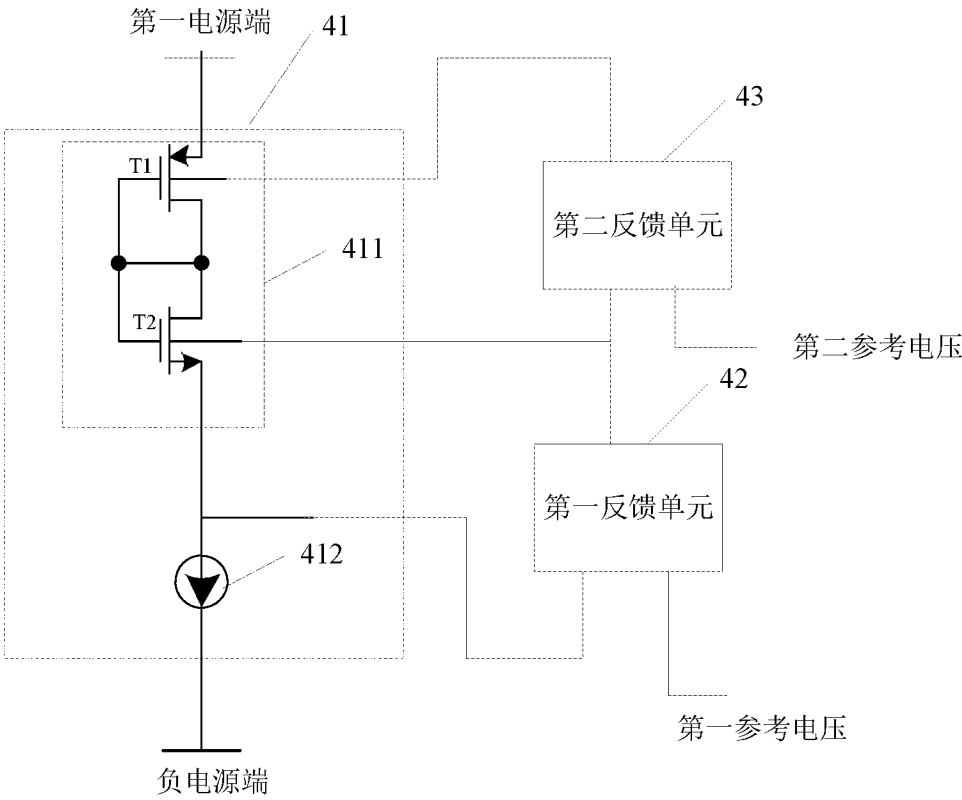


图 38

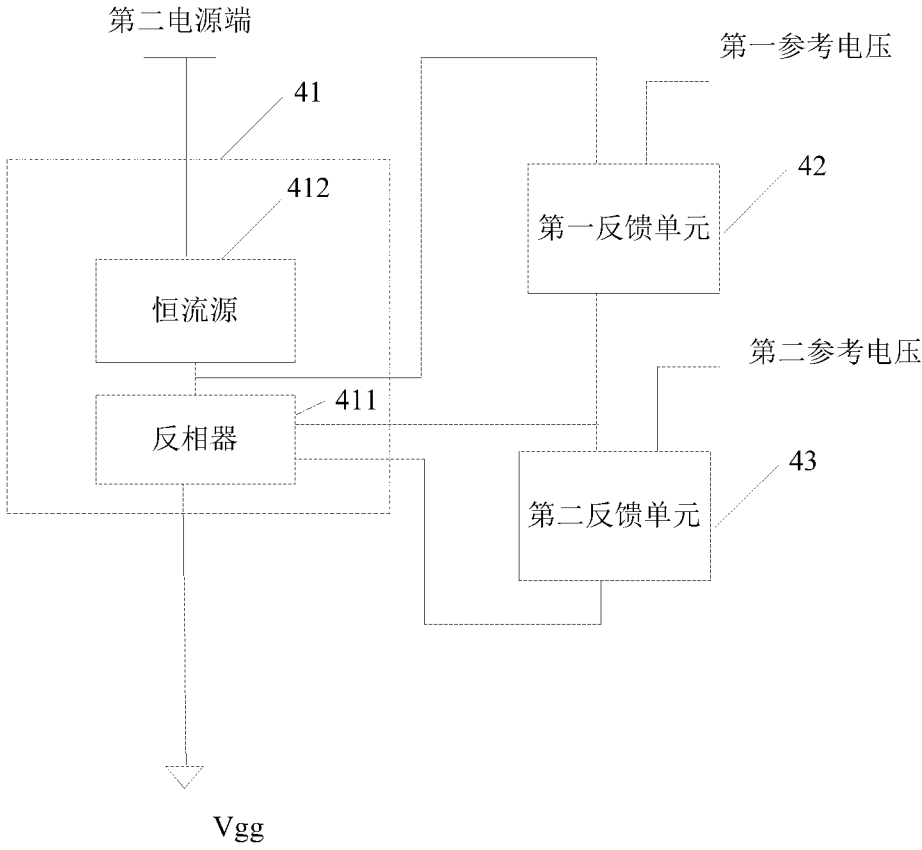


图 39

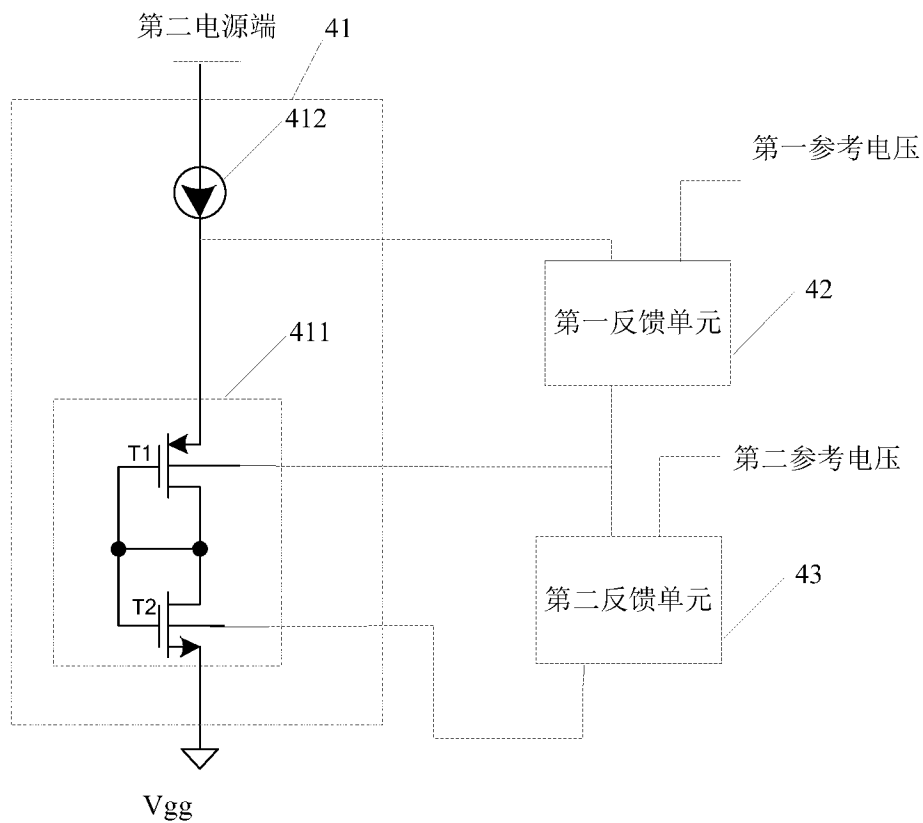


图 40

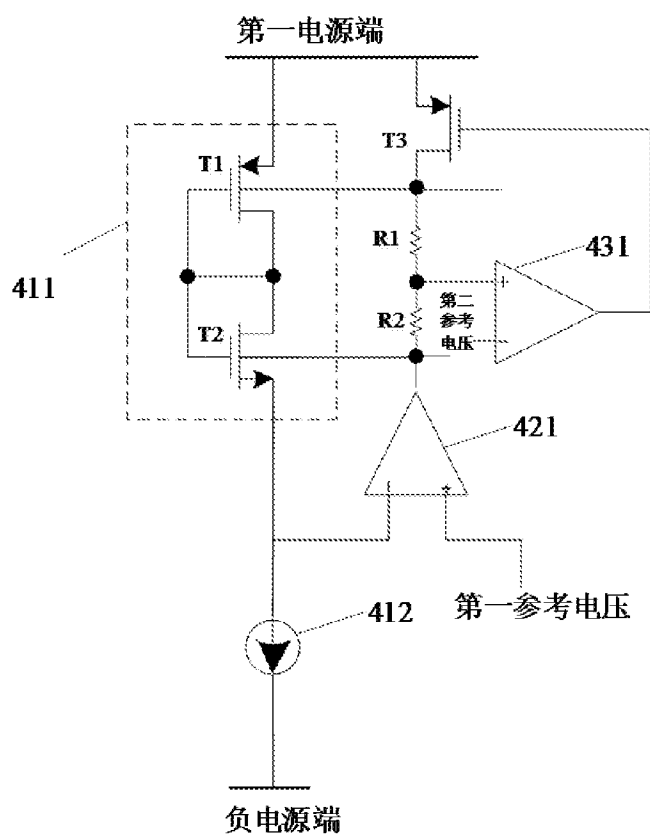


图 41

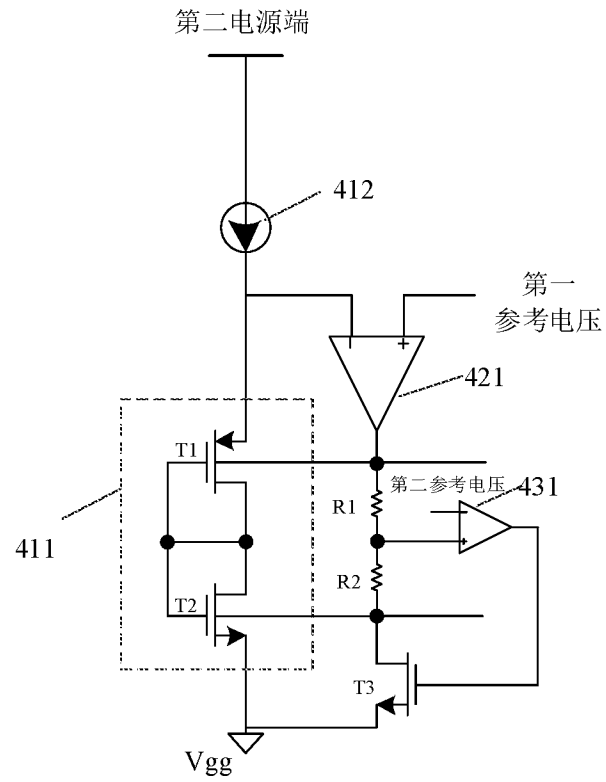


图 42

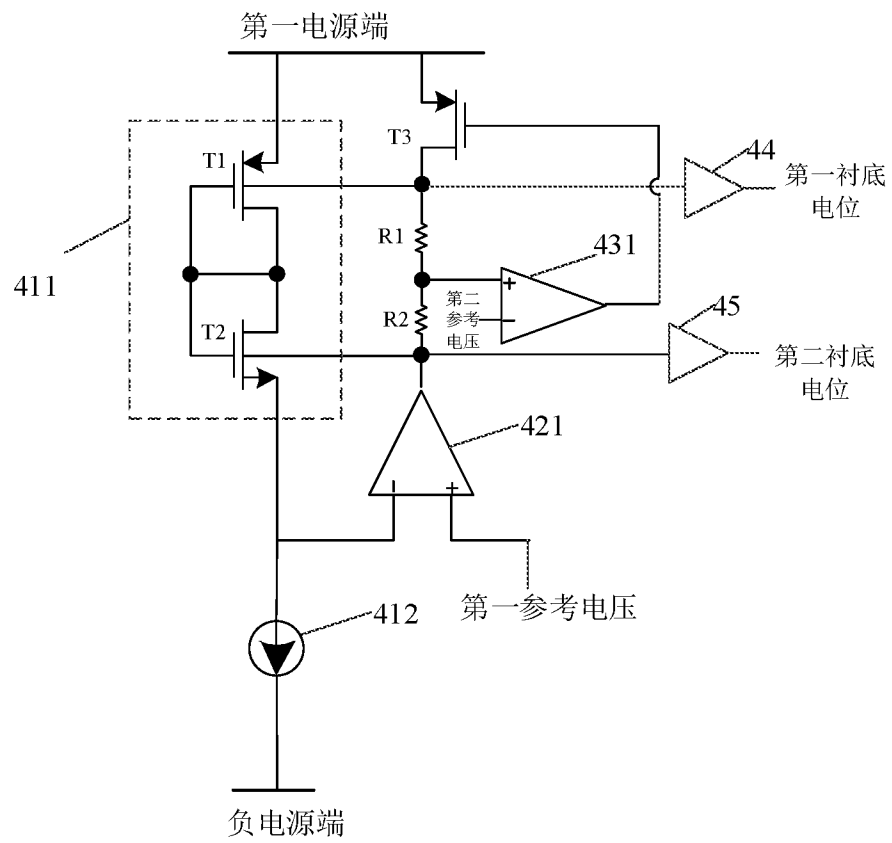


图 43

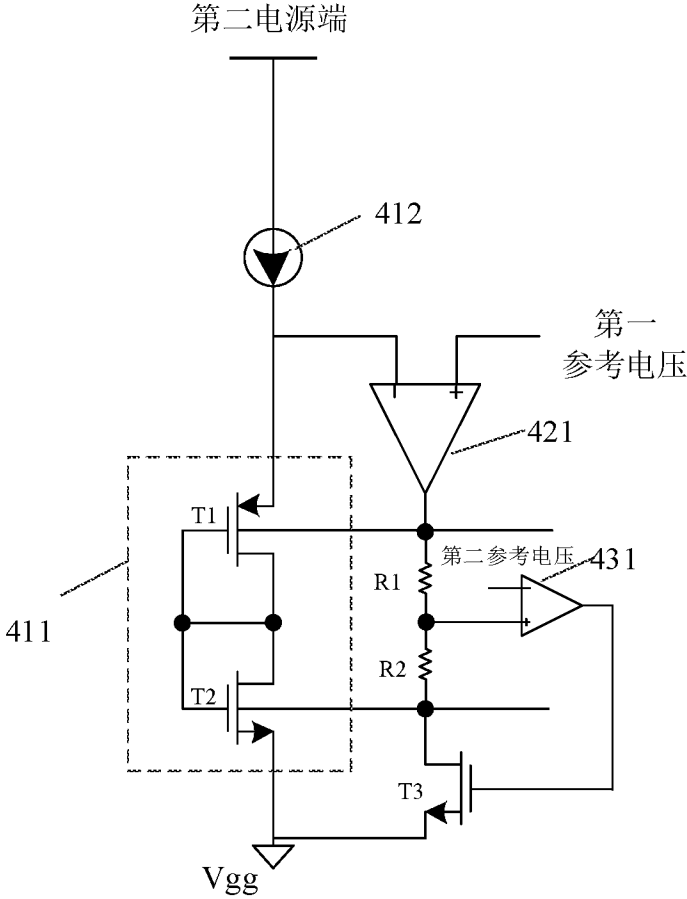


图 44

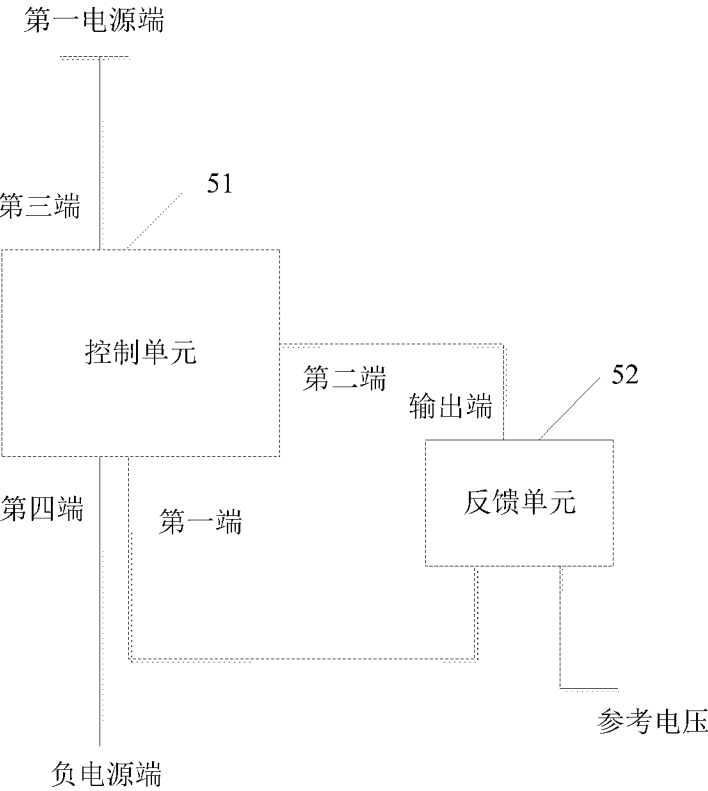


图 45

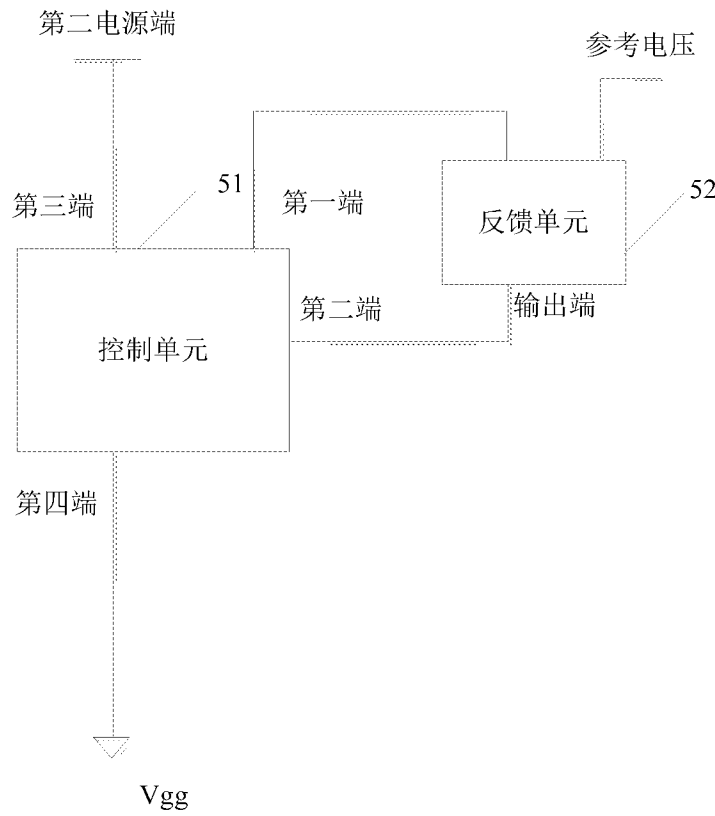


图 46

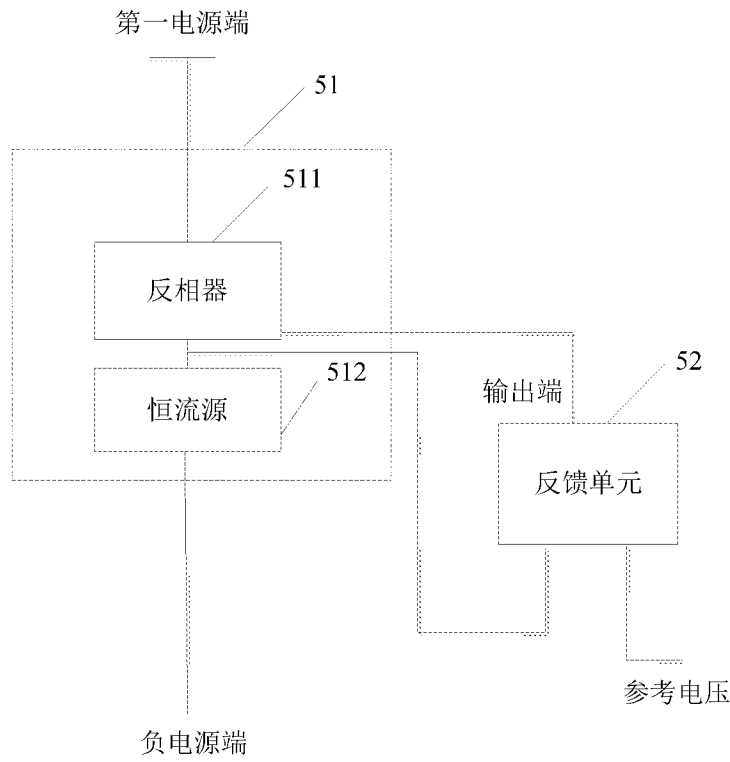


图 47

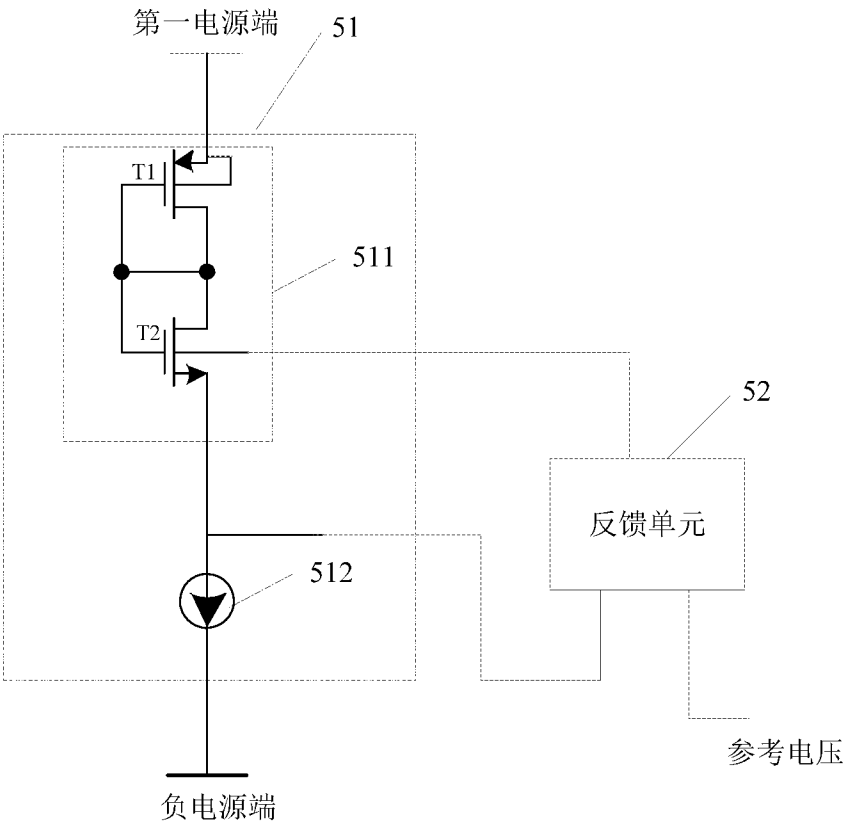


图 48

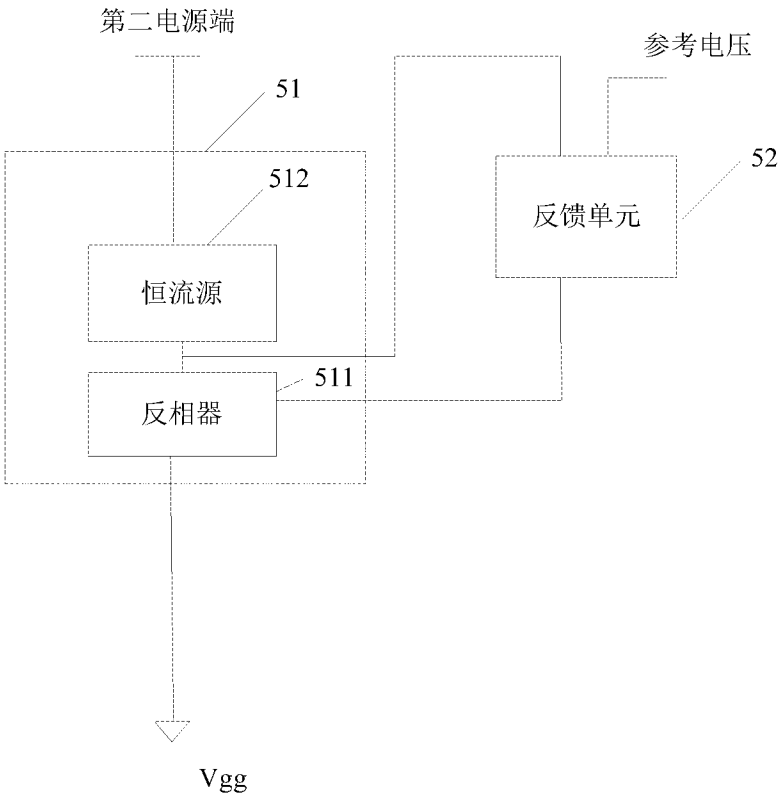


图 49

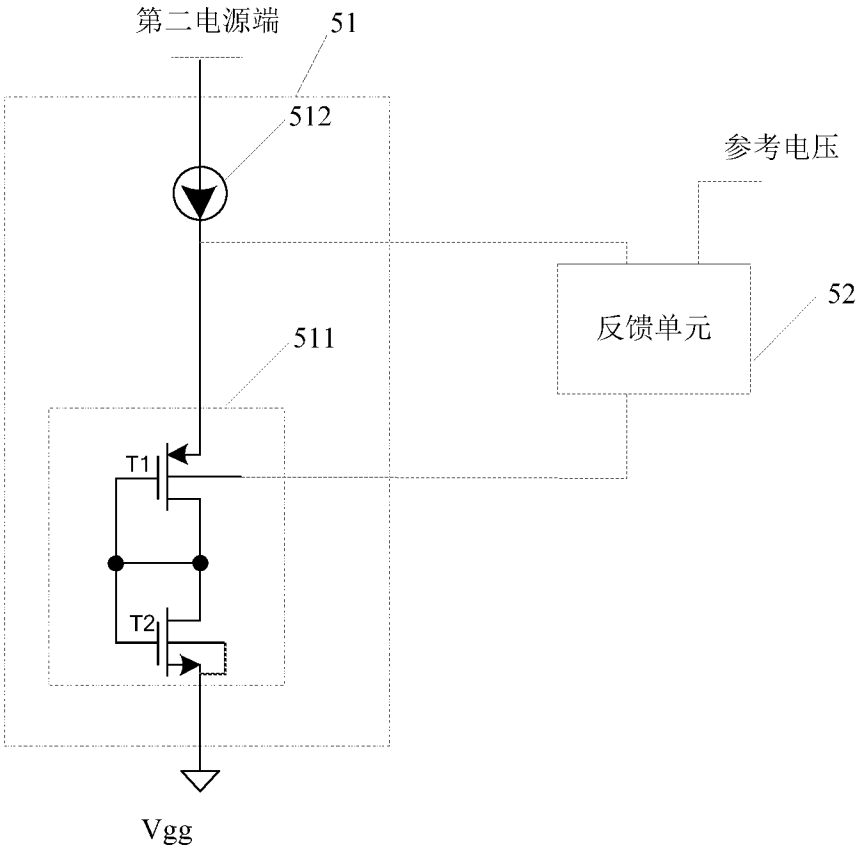


图 50
第一电源端

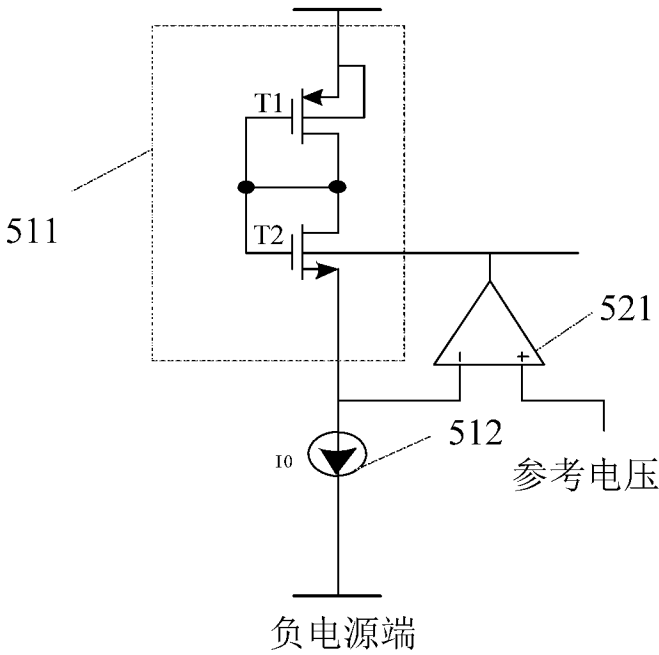


图 51

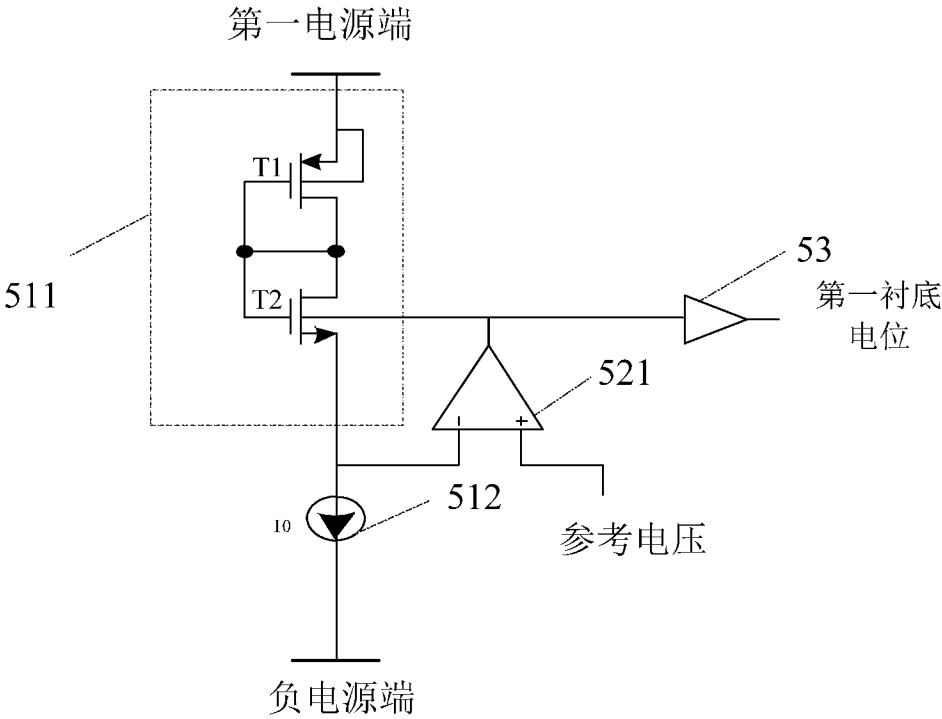


图 52

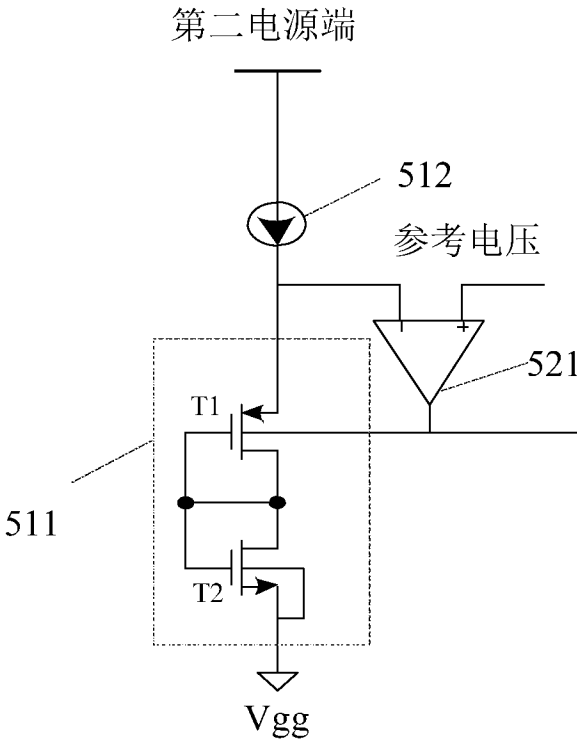


图 53

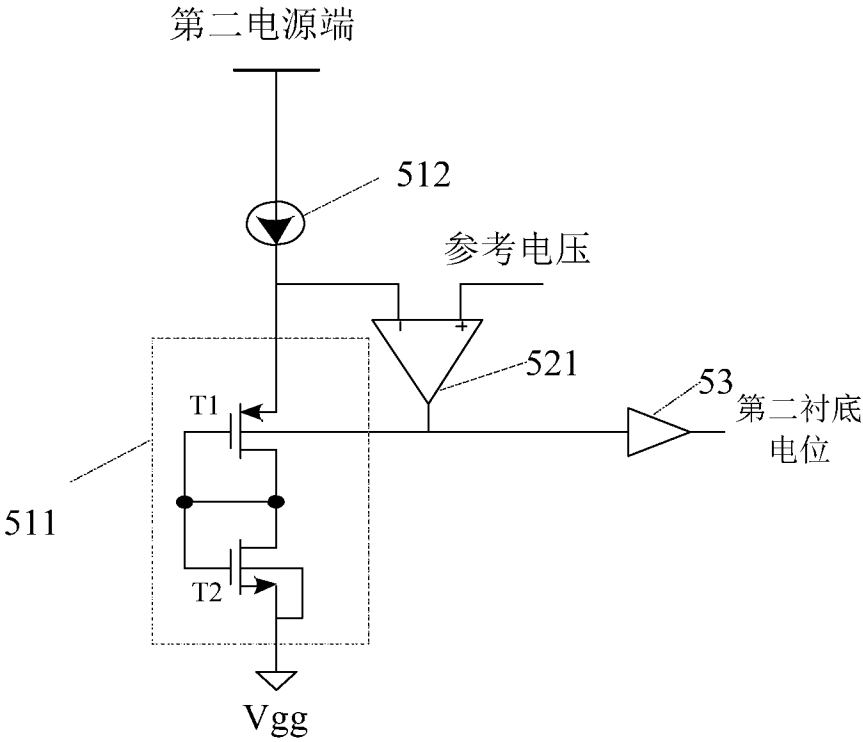


图 54

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/098722

A. CLASSIFICATION OF SUBJECT MATTER

H03K 19/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 延时, 延迟, 逻辑, 反相, 电压, 温度, 工艺, 精度, 时间, 晶体管, 衬底, 基底, 背栅, 偏置, 变化, 改变, delay, inverter, logic, temperature, time, voltage, substrate, back w gate, chang+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 110377088 A (SHENZHEN RENERGY TECHNOLOGY CO., LTD.) 25 October 2019 (2019-10-25) description, paragraphs 43-83, figure 6	1-6, 9-15, 18
Y	CN 110377088 A (SHENZHEN RENERGY TECHNOLOGY CO., LTD.) 25 October 2019 (2019-10-25) description, paragraphs 43-83, figure 6	19-24
X	CN 104038201 A (TEXAS INSTRUMENTS INC.) 10 September 2014 (2014-09-10) description, paragraphs 33-38, figures 2-4, 7	25-32
Y	CN 104038201 A (TEXAS INSTRUMENTS INC.) 10 September 2014 (2014-09-10) description, paragraphs 33-38, figures 2-4, 7	19-24
X	CN 106301346 A (CHENGDU SINO MICROELECTRONICS TECHNOLOGY CO., LTD.) 04 January 2017 (2017-01-04) description paragraphs 23-43, figures 4-10	25-32
Y	CN 106301346 A (CHENGDU SINO MICROELECTRONICS TECHNOLOGY CO., LTD.) 04 January 2017 (2017-01-04) description paragraphs 23-43, figures 4-10	19-24



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 August 2021

Date of mailing of the international search report

26 August 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/098722**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 109379060 A (STMICROELECTRONICS INTERNATIONAL N.V) 22 February 2019 (2019-02-22) entire document	1-32
A	US 2008211572 A1 (ELPIDA MEMORY INC.) 04 September 2008 (2008-09-04) entire document	1-32
A	CN 1216880 A (LG SEMICON CO., LTD.) 19 May 1999 (1999-05-19) entire document	1-32
A	CN 109450415 A (HUNAN GOKE MICROELECTRONICS CO., LTD.) 08 March 2019 (2019-03-08) entire document	1-32

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/098722

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110377088	A	25 October 2019	None			
CN	104038201	A	10 September 2014	None			
CN	106301346	A	04 January 2017	CN	106301346	B	05 July 2019
CN	109379060	A	22 February 2019	US	2016065220	A1	03 March 2016
				US	9325323	B2	26 April 2016
				CN	105391424	A	09 March 2016
				CN	105391424	B	30 October 2018
				CN	205105179	U	23 March 2016
US	2008211572	A1	04 September 2008	US	7642843	B2	05 January 2010
				JP	2008181585	A	07 August 2008
				JP	4524688	B2	18 August 2010
CN	1216880	A	19 May 1999	JP	3200703	B2	20 August 2001
				US	6060930	A	09 May 2000
				KR	100271633	B1	15 November 2000
				KR	19990037988	A	05 June 1999
				JP	H11177398	A	02 July 1999
CN	109450415	A	08 March 2019	None			

国际检索报告

国际申请号

PCT/CN2021/098722

A. 主题的分类

H03K 19/20 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H03K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, CNKI, WPI, EPDOC: 延时, 延迟, 逻辑, 反相, 电压, 温度, 工艺, 精度, 时间, 晶体管, 衬底, 基底, 背栅, 偏置, 变化, 改变, delay, inverter, logic, temperature, time, voltage, substrate, back w gate, chang+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 110377088 A (深圳市锐能微科技有限公司) 2019年 10月 25日 (2019 - 10 - 25) 说明书第43-83段, 附图6	1-6, 9-15, 18
Y	CN 110377088 A (深圳市锐能微科技有限公司) 2019年 10月 25日 (2019 - 10 - 25) 说明书第43-83段, 附图6	19-24
X	CN 104038201 A (德克萨斯仪器股份有限公司) 2014年 9月 10日 (2014 - 09 - 10) 说明书第33-38段, 附图2-4, 7	25-32
Y	CN 104038201 A (德克萨斯仪器股份有限公司) 2014年 9月 10日 (2014 - 09 - 10) 说明书第33-38段, 附图2-4, 7	19-24
X	CN 106301346 A (成都华微电子科技有限公司) 2017年 1月 4日 (2017 - 01 - 04) 说明书第23-43, 附图4-10	25-32
Y	CN 106301346 A (成都华微电子科技有限公司) 2017年 1月 4日 (2017 - 01 - 04) 说明书第23-43, 附图4-10	19-24
A	CN 109379060 A (意法半导体国际有限公司) 2019年 2月 22日 (2019 - 02 - 22) 全文	1-32
A	US 2008211572 A1 (ELPIDA MEMORY INC.) 2008年 9月 4日 (2008 - 09 - 04) 全文	1-32

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 8月 18日

国际检索报告邮寄日期

2021年 8月 26日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

李炜

电话号码 86-(10)-53961492

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 1216880 A (LG半导体株式会社) 1999年 5月 19日 (1999 - 05 - 19) 全文	1-32
A	CN 109450415 A (湖南国科微电子股份有限公司) 2019年 3月 8日 (2019 - 03 - 08) 全文	1-32

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/098722

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110377088	A	2019年 10月 25日	无			
CN	104038201	A	2014年 9月 10日	无			
CN	106301346	A	2017年 1月 4日	CN	106301346	B	2019年 7月 5日
CN	109379060	A	2019年 2月 22日	US	2016065220	A1	2016年 3月 3日
				US	9325323	B2	2016年 4月 26日
				CN	105391424	A	2016年 3月 9日
				CN	105391424	B	2018年 10月 30日
				CN	205105179	U	2016年 3月 23日
US	2008211572	A1	2008年 9月 4日	US	7642843	B2	2010年 1月 5日
				JP	2008181585	A	2008年 8月 7日
				JP	4524688	B2	2010年 8月 18日
CN	1216880	A	1999年 5月 19日	JP	3200703	B2	2001年 8月 20日
				US	6060930	A	2000年 5月 9日
				KR	100271633	B1	2000年 11月 15日
				KR	19990037988	A	1999年 6月 5日
				JP	H11177398	A	1999年 7月 2日
CN	109450415	A	2019年 3月 8日	无			