

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4119227号  
(P4119227)

(45) 発行日 平成20年7月16日(2008.7.16)

(24) 登録日 平成20年5月2日(2008.5.2)

(51) Int.Cl.

H03F	3/21	(2006.01)
H03F	3/68	(2006.01)
H04B	1/04	(2006.01)

F 1

H03F	3/21
H03F	3/68
H04B	1/04

B  
A

請求項の数 20 (全 31 頁)

(21) 出願番号	特願2002-328773 (P2002-328773)
(22) 出願日	平成14年11月12日 (2002.11.12)
(65) 公開番号	特開2003-218646 (P2003-218646A)
(43) 公開日	平成15年7月31日 (2003.7.31)
審査請求日	平成17年8月30日 (2005.8.30)
(31) 優先権主張番号	特願2001-351816 (P2001-351816)
(32) 優先日	平成13年11月16日 (2001.11.16)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(74) 代理人	100092794 弁理士 松田 正道
(72) 発明者	石田 眞 大阪府門真市大字門真1006番地 松下 電器産業株式会社内
(72) 発明者	松吉 俊満 大阪府門真市大字門真1006番地 松下 電器産業株式会社内
(72) 発明者	宮地 正之 神奈川県横浜市港北区綱島東四丁目3番1 号 松下通信工業株式会社内

最終頁に続く

(54) 【発明の名称】電力増幅装置、及び無線通信装置

## (57) 【特許請求の範囲】

## 【請求項 1】

被変調波の周波数の信号を2分配する分配回路と、  
前記分配回路の一方の出力に入力が接続された第1の増幅素子と、  
前記分配回路の他方の出力に入力が接続された第2の増幅素子と、  
前記第1の増幅素子の出力と前記第2の増幅素子の出力を合成して出力する合成回路と、

前記第1の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の周波数の信号の変調波の周波数帯の信号を通過させる第1のフィルタと、

前記第2の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の周波数の信号の変調波の周波数帯の信号を通過させる第2のフィルタと、

前記第1のフィルタの他方と前記第2のフィルタの他方との間に接続され、前記変調波の周波数帯の信号を、その位相を反転させて通過させる反転回路とを備え、

前記反転回路は、第1のインダクタと、

第2のインダクタと、

第4のインダクタと、

第1のキャパシタと、

第2のキャパシタと、

10

20

第3のキャパシタと、

第4のキャパシタとを有し、

前記第1のインダクタは、その一方が前記第1のフィルタの他方に接続され、その他方が前記第2のインダクタの一方に接続され、

前記第2のインダクタの他方は、前記第2のフィルタの他方に接続され、

前記第1のキャパシタは、その一方が前記第1のインダクタの一方に接続され、その他方が接地されており、

前記第2のキャパシタは、その一方が前記第1のインダクタの他方に接続され、その他方が接地されており、

前記第3のキャパシタは、その一方が前記第2のインダクタの他方に接続され、その他方が接地されており、

前記第4のインダクタは、その一方がバイアス電源に接続され、その他方が前記第1のインダクタの他方に接続されており、

前記第4のキャパシタは、その一方が前記第4のインダクタの一方に接続され、その他方が接地されている電力増幅装置。

#### 【請求項2】

被変調波の周波数の信号を少なくとも2分配する分配回路と、

前記分配回路の一方の出力に入力が接続された第1の増幅素子と、

前記分配回路の他方の出力に入力が接続された第2の増幅素子と、

前記第1の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる第1のフィルタと、

前記第2の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記変調波の周波数帯の信号を通過させる第2のフィルタと、

前記第1のフィルタの他方に出力が接続され、前記第2のフィルタの他方に入力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する反転増幅器とを備え、

前記第1の増幅素子の出力は外部に出力され、かつ前記第2の増幅素子の出力は終端されている電力増幅装置。

#### 【請求項3】

被変調波の周波数の信号をN(Nは3以上の整数)分配する分配回路と、

前記分配回路のN個の出力のうち(N-1)個の出力にそれぞれ入力が接続された(N-1)個の第1の増幅素子と、

前記分配回路の前記(N-1)個の出力以外の前記分配回路の出力に入力が接続された第2の増幅素子と、

前記(N-1)個の第1の増幅素子の出力にそれぞれの出力が接続された(N-1)分配回路の入力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる第1のフィルタと、

前記第2の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記変調波の周波数帯の信号を通過させる第2のフィルタと、

前記第2のフィルタの他方にその入力が接続され、前記第1のフィルタの他方にその出力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する反転増幅器と、

少なくとも前記(N-1)個の第1の増幅素子の出力を合成して出力する合成回路とを備え、

前記第2の増幅素子の出力は終端されている電力増幅装置。

#### 【請求項4】

被変調波の周波数の信号をN(Nは3以上の整数)分配する分配回路と、

前記分配回路のN個の出力のうち(N-1)個の出力にそれぞれ入力が接続された(N-1)個の第1の増幅素子と、

前記分配回路の前記(N-1)個の出力以外の前記分配回路の出力に入力が接続された

10

20

30

40

50

第 2 の增幅素子と、

前記 (N - 1) 個の第 1 の增幅素子の出力にそれぞれ一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる (N - 1) 個の第 1 のフィルタと、

前記第 2 の增幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記変調波の周波数帯の信号を通過させる第 2 のフィルタと、

前記第 2 のフィルタの他方にその入力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する反転増幅器と、

少なくとも前記 (N - 1) 個の第 1 の增幅素子の出力を合成して出力する合成回路とを備え、

前記 (N - 1) 個の第 1 のフィルタの他方は、前記反転増幅器の出力に接続された (N - 1) 分配回路の (N - 1) 個の出力のそれぞれに接続されており、前記第 2 の增幅素子の出力は終端されている電力増幅装置。

#### 【請求項 5】

被変調波の周波数の信号を N (N は 3 以上の整数) 分配する分配回路と、

前記分配回路の N 個の出力のうち (N - 1) 個の出力にそれぞれ入力が接続された (N - 1) 個の第 1 の增幅素子と、

前記分配回路の前記 (N - 1) 個の出力以外の前記分配回路の出力に入力が接続された第 2 の增幅素子と、

前記 (N - 1) 個の第 1 の增幅素子の出力にそれぞれ一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる (N - 1) 個の第 1 のフィルタと、

前記第 2 の增幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記変調波の周波数帯の信号を通過させる第 2 のフィルタと、

前記 (N - 1) 個の第 1 のフィルタの他方にそれぞれ出力が接続され、入力が前記第 2 のフィルタの他方に接続された (N - 1) 分配回路の (N - 1) 個の出力のそれぞれに接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する (N - 1) 個の反転増幅器と、

少なくとも前記 (N - 1) 個の第 1 の增幅素子の出力を合成して出力する合成回路とを備え、

前記第 2 の增幅素子の出力は終端されている電力増幅装置。

#### 【請求項 6】

被変調波の周波数の信号を N (N は 3 以上の整数) 分配する分配回路と、

前記分配回路の N 個の出力のうち (N - 1) 個の出力にそれぞれ入力が接続された (N - 1) 個の第 1 の增幅素子と、

前記分配回路の前記 (N - 1) 個の出力以外の前記分配回路の出力に入力が接続された第 2 の增幅素子と、

前記 (N - 1) 個の第 1 の增幅素子の出力にそれぞれ一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる (N - 1) 個の第 1 のフィルタと、

前記 (N - 1) 個の第 1 のフィルタの他方にそれぞれ出力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する (N - 1) 個の反転増幅器と、

前記 (N - 1) 個の反転増幅器の入力にそれぞれ一方が接続され、他方が前記第 2 の增幅素子の出力に接続された (N - 1) 分配回路の (N - 1) 個の出力のそれぞれに接続され、前記被変調波の周波数の信号を通過させず、前記変調波の周波数帯の信号を通過させる (N - 1) 個の第 2 のフィルタと、

少なくとも前記 (N - 1) 個の第 1 の增幅素子の出力を合成して出力する合成回路とを備え、

前記第 2 の增幅素子の出力は終端されている電力増幅装置。

#### 【請求項 7】

10

20

30

40

50

被変調波の周波数の信号を少なくとも 2 分配する分配回路と、  
 前記分配回路の一方の出力に入力が接続された第 1 の増幅素子と、  
 前記分配回路の他方の出力に入力が接続された第 2 の増幅素子と、  
 前記第 1 の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる第 1 のフィルタと、  
 前記第 2 の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記変調波の周波数帯の信号を通過させる第 2 のフィルタと、  
 前記第 1 のフィルタの他方に出力が接続され、前記第 2 のフィルタの他方に入力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する反転増幅器とを備え、  
 少なくとも前記第 1 の増幅素子の出力は外部に出力されており、  
前記第 2 の増幅素子は、前記第 1 の増幅素子より増幅素子サイズが小さい電力増幅装置

。

**【請求項 8】**

被変調波の周波数の信号を  $N$  ( $N$  は 3 以上の整数) 分配する分配回路と、  
 前記分配回路の  $N$  個の出力のうち ( $N - 1$ ) 個の出力にそれぞれ入力が接続された ( $N - 1$ ) 個の第 1 の増幅素子と、  
 前記分配回路の前記 ( $N - 1$ ) 個の出力以外の前記分配回路の出力に入力が接続された第 2 の増幅素子と、  
 前記 ( $N - 1$ ) 個の第 1 の増幅素子の出力にそれぞれの出力が接続された ( $N - 1$ ) 分配回路の入力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる第 1 のフィルタと、  
 前記第 2 の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記変調波の周波数帯の信号を通過させる第 2 のフィルタと、  
 前記第 2 のフィルタの他方にその入力が接続され、前記第 1 のフィルタの他方にその出力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する反転増幅器と、  
 少なくとも前記 ( $N - 1$ ) 個の第 1 の増幅素子の出力を合成して出力する合成回路とを備え、  
前記第 2 の増幅素子は、前記第 1 の増幅素子より増幅素子サイズが小さい電力増幅装置

。

**【請求項 9】**

被変調波の周波数の信号を  $N$  ( $N$  は 3 以上の整数) 分配する分配回路と、  
 前記分配回路の  $N$  個の出力のうち ( $N - 1$ ) 個の出力にそれぞれ入力が接続された ( $N - 1$ ) 個の第 1 の増幅素子と、  
 前記分配回路の前記 ( $N - 1$ ) 個の出力以外の前記分配回路の出力に入力が接続された第 2 の増幅素子と、  
 前記 ( $N - 1$ ) 個の第 1 の増幅素子の出力にそれぞれ一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる ( $N - 1$ ) 個の第 1 のフィルタと、  
 前記第 2 の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記変調波の周波数帯の信号を通過させる第 2 のフィルタと、  
 前記第 2 のフィルタの他方にその入力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する反転増幅器と、  
 少なくとも前記 ( $N - 1$ ) 個の第 1 の増幅素子の出力を合成して出力する合成回路とを備え、  
前記 ( $N - 1$ ) 個の第 1 のフィルタの他方は、前記反転増幅器の出力に接続された ( $N - 1$ ) 分配回路の ( $N - 1$ ) 個の出力のそれぞれに接続されており、  
前記第 2 の増幅素子は、前記第 1 の増幅素子より増幅素子サイズが小さい電力増幅装置

。

10

20

30

40

50

**【請求項 1 0】**

被変調波の周波数の信号をN（Nは3以上の整数）分配する分配回路と、  
 前記分配回路のN個の出力のうち（N-1）個の出力にそれぞれ入力が接続された（N-1）個の第1の増幅素子と、  
 前記分配回路の前記（N-1）個の出力以外の前記分配回路の出力に入力が接続された第2の増幅素子と、  
 前記（N-1）個の第1の増幅素子の出力にそれぞれ一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる（N-1）個の第1のフィルタと、  
 前記第2の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過せず、前記変調波の周波数帯の信号を通過させる第2のフィルタと、  
 前記（N-1）個の第1のフィルタの他方にそれぞれ出力が接続され、入力が前記第2のフィルタの他方に接続された（N-1）分配回路の（N-1）個の出力のそれぞれに接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する（N-1）個の反転増幅器と、  
 少なくとも前記（N-1）個の第1の増幅素子の出力を合成して出力する合成回路とを備え、  
前記第2の増幅素子は、前記第1の増幅素子より増幅素子サイズが小さい電力増幅装置。

**【請求項 1 1】**

被変調波の周波数の信号をN（Nは3以上の整数）分配する分配回路と、  
 前記分配回路のN個の出力のうち（N-1）個の出力にそれぞれ入力が接続された（N-1）個の第1の増幅素子と、  
 前記分配回路の前記（N-1）個の出力以外の前記分配回路の出力に入力が接続された第2の増幅素子と、  
 前記（N-1）個の第1の増幅素子の出力にそれぞれ一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる（N-1）個の第1のフィルタと、  
 前記（N-1）個の第1のフィルタの他方にそれぞれ出力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する（N-1）個の反転増幅器と、  
 前記（N-1）個の反転増幅器の入力にそれぞれ一方が接続され、他方が前記第2の増幅素子の出力に接続された（N-1）分配回路の（N-1）個の出力のそれぞれに接続され、前記被変調波の周波数の信号を通過させず、前記変調波の周波数帯の信号を通過させる（N-1）個の第2のフィルタと、  
 少なくとも前記（N-1）個の第1の増幅素子の出力を合成して出力する合成回路とを備え、  
前記第2の増幅素子は、前記第1の増幅素子より増幅素子サイズが小さい電力増幅装置。

**【請求項 1 2】**

前記終端されているとは、前記第2の増幅素子の出力に終端抵抗を接続した、または前記第2の増幅素子の出力にキャパシタ及び／またはインダクタから構成される終端負荷を接続したことである請求項2～6のいずれかに記載の電力増幅装置。

**【請求項 1 3】**

請求項1、3～6、8～11のいずれかに記載の電力増幅装置を複数備え、  
 それらの電力増幅装置の各分配回路は、共通化されており、同じ前記被変調波の周波数の信号を入力し、  
 それらの電力増幅装置の各合成回路は、共通化されており、一つに合成された出力信号を出力する電力増幅装置。

**【請求項 1 4】**

請求項2または7に記載の電力増幅装置複数と、

10

20

30

40

50

それらの電力増幅装置の外部に出力すべき出力を合成して出力する合成回路とを備え、それらの電力増幅装置の各分配回路は共通化されており、同じ前記被変調波の周波数の信号を入力する電力増幅装置。

【請求項 15】

請求項 1～11のいずれかに記載の電力増幅装置が形成されている誘電体多層基板を備えた電力増幅装置。

【請求項 16】

前記誘電体多層基板は、その上部に配置された半導体基板と、前記半導体基板の下部に配置された誘電体多層基板とを有する請求項 15 記載の電力増幅装置。

【請求項 17】

その内部に前記誘電体多層基板が配置されている内部整合基板を備えた請求項 16 記載の電力増幅装置。

10

【請求項 18】

前記被変調波の周波数の信号の周波数は、前記変調波の周波数帯の信号の周波数帯域の千倍以下である請求項 1～11のいずれかに記載の電力増幅装置。

【請求項 19】

前記第1のフィルタ及び前記第2のフィルタは、前記変調波の周波数の信号の高調波成分を通過させる請求項 1～11のいずれかに記載の電力増幅装置。

【請求項 20】

送信波を出力する送信回路を少なくとも備え、

20

前記送信回路には請求項 1～11のいずれかに記載の電力増幅装置が用いられている無線通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高周波電力を増幅する電力増幅装置、及びそれを用いた無線通信装置に関するものである。

【0002】

【従来の技術】

携帯電話端末やその基地局に用いられる電力増幅装置には、小型化及び低消費電力化のために、高出力かつ高効率な特性が要求される。特に、W-CDMA 方式等の広帯域な送信信号を扱う場合には、電力増幅装置は、広帯域で歪みが少ないことが必要である。

30

【0003】

ところが、搬送波が変調波により変調された被変調波の周波数スペクトルは、通常変調波の周波数程度の帯域に分布している。このような周波数スペクトルを持つ被変調波の周波数の信号が電力増幅装置に入力されると、電力増幅装置に用いられている FET (Field Effect Transistor) などの増幅素子の非線形性により、相互変調歪み成分以外に、被変調波の異なる周波数成分の信号どうしの差の周波数に現れる 2 次相互変調歪み成分が生じる。

【0004】

40

また、上述したように、高出力特性とするために、電力増幅装置の増幅素子として、FET を並列に多フィンガー構成したものや、FET を多数並列に合成してゲート幅を増大したもの等が用いられる。

【0005】

このような電力増幅装置にあっては、FET の出力側の、被変調波の変調波の周波数におけるインピーダンスがある程度高い場合には、被変調波の異なる周波数成分の信号どうしの差の周波数に現れる 2 次相互変調歪み成分が生じる。この 2 次相互変調歪み成分の周波数は、変調波の周波数付近に分布しており、この 2 次相互変調歪み成分が、再度 FET のドレイン電極で増幅信号とミキシングを起こし、相互変調歪みをさらに悪化させる。これでは FET の線形性が有效地に利用されていないことになる。

50

**【0006】**

図10に、従来の歪み特性が良好な電力増幅装置1113を示す(例えば、特許文献1参照。)。図10の電力増幅装置1113は、入力端子1101、整合回路1102、1106、1110、FET1103、インダクタ1104、1109、キャパシタ1105、1108、2倍波短絡回路1107、出力端子1111、バイアス供給端子1112から構成される。

**【0007】**

整合回路1102は、入力端子1101とFET1103のドレイン側とのインピーダンスを整合させる回路である。

**【0008】**

インダクタ1104とキャパシタ1105とは、被変調波の周波数において直列共振する回路である。なお、被変調波の周波数は例えば1GHzであり、被変調波の変調波の周波数は例えば20MHzであるとする。

**【0009】**

整合回路1106は、FET1103の出力側と整合回路1110の側とのインピーダンスを整合させる回路である。

**【0010】**

2倍波短絡回路1107は、被変調波の周波数の高調波に対して短絡となる回路であり、例えば1/4波長ストリップラインである。

**【0011】**

キャパシタ1108、インダクタ1109、及びバイアス供給端子1112は、FET1103のゲートにバイアス電圧を供給するバイアスチョーク回路を構成する。

**【0012】**

整合回路1110は、整合回路1106の側と出力端子1111の側とのインピーダンスを整合させる回路である。

**【0013】**

次に、このような従来の電力増幅装置の動作を説明する。

**【0014】**

上述したように被変調波(1GHz)の周波数の信号は、その変調波(20MHz)により変調されたものであるので、被変調波の周波数の信号の周波数は、1GHz付近を中心として例えば±20MHz程度の帯域に渡って分布しているものとする。

**【0015】**

このような被変調波の周波数の信号が入力端子1101に入力されると、整合回路1102でインピーダンスが整合されて、FET1103のゲートに入力される。FET1103のドレインには、そのバイアス供給端子1112及びキャパシタ1108及びインダクタ1109で構成されるバイアスチョーク回路により、バイアス電圧が供給されている。

**【0016】**

従って、FET1103のゲートに入力された被変調波の周波数の信号は、FET1103で電力増幅され、FET1103のドレインから増幅信号として出力される。この増幅信号には、FET1103の非線形性のために、被変調波の異なる周波数成分の信号どうしの差の周波数に現れる2次相互変調歪み成分も含まれている。この2次相互変調歪み成分は、変調波の周波数(20MHz)付近に分布している。

**【0017】**

インダクタ1104及びキャパシタ1105で構成される共振回路は、変調波の周波数付近で直列共振するように定数を設定している。従って、そのインピーダンスは、変調波の周波数(20MHz)では短絡となり、被変調波の周波数(1GHz)では高インピーダンスとなる。

**【0018】**

従って、増幅成分に含まれる2次相互変調歪み成分は、インダクタ1104及びキャパシタ1105で構成される共振回路により短絡されることになるので、FET1103のド

10

20

30

40

50

レイン側の電圧は、変調波の周波数で変動する信号成分が低減されることになる。従って、上述したようにドレンインで2次相互変調歪み成分と増幅信号がミキシングを起こし相互歪みを悪化させるという不具合が低減される。

#### 【0019】

FET1103から出力された増幅信号は、上述したようにインダクタ1104及びキャパシタ1105で2次相互変調歪み成分が平滑化され、整合回路1106でインピーダンスが整合される。2倍波短絡回路1107及びキャパシタ1108から構成される回路は、被変調波の高次高調波(2GHz程度及び2GHz以上の周波数スペクトルを持つ信号)で短絡となる。従って、整合回路1106から出力された増幅信号に含まれる被変調波の高次高調波は、2倍波短絡回路1107及びキャパシタ1108から構成される回路で短絡される。このように高次高調波が低減された増幅信号は、整合回路1110でインピーダンスが整合され、出力端子1111から出力される。10

#### 【0020】

##### 【特許文献1】

特開2001-111364号公報

#### 【0021】

##### 【発明が解決しようとする課題】

このように、W-CDMAなどの通信方式で用いられる電力増幅装置は、広帯域で歪みが少ないことが必要である。そして、そのためには、上述したように増幅素子の出力側の被変調波の周波数(1GHz)に対して変調波の周波数(20MHz)における増幅素子の出力側の回路部分のインピーダンスをより低くすることが非常に重要である。20

#### 【0022】

また、図10で説明した従来の電力増幅装置1113が用いている構成以外の他の構成で、出力側の回路部分のインピーダンスを低くすることが出来ればその分設計の自由度が向上する。

#### 【0023】

すなわち、従来とは異なった構成で、増幅素子の出力側の回路部分の変調波の周波数におけるインピーダンスを低くすることが出来る電力増幅装置が必要であるという課題がある。

#### 【0024】

また、図10で説明した従来の電力増幅装置1113では、インダクタ1104及びキャパシタ1105から構成される共振器で変調波の周波数(20MHz)におけるインピーダンスを短絡に近づけているが、実際にはインダクタ1104及びキャパシタ1105は変調波の周波数においてある程度の損失があるので、変調波の周波数において理想的な短絡を作るのが困難である。また、損失をより少なくするためにには、インダクタ1104やキャパシタ1105の物理的サイズを大きくしなければならず、このため電力増幅装置のサイズが大きくなる。30

#### 【0025】

すなわち、増幅素子の出力側の回路部分の変調波の周波数におけるインピーダンスをより低くするのは困難であり、従って増幅素子の線形性をより有効に利用することは困難であるという課題がある。40

#### 【0026】

W-CDMAなどの通信方式以前の無線通信システムでは、通信に用いられる周波数帯域が狭帯域であったため、このような課題は発生しなかったが、近年のW-CDMAなどの広帯域システムでは、重要な問題になってきている。

#### 【0027】

本発明は、上記課題を考慮し、従来とは異なった構成で、増幅素子の出力側の回路部分の変調波の周波数におけるインピーダンスを低くすることが出来る電力増幅装置、及び無線通信装置を提供することを目的とするものである。

#### 【0028】

10

20

30

40

50

本発明は、上記課題を考慮し、増幅素子の出力側の回路部分の変調波の周波数におけるインピーダンスをより低くすることが出来、増幅素子の線形性をより有効に利用することが出来る電力増幅装置、及び無線通信装置を提供することを目的とするものである。

### 【0029】

#### 【課題を解決するための手段】

上述した課題を解決するために、第1の本発明は、被変調波の周波数の信号を2分配する分配回路と、

前記分配回路の一方の出力に入力が接続された第1の増幅素子と、

前記分配回路の他方の出力に入力が接続された第2の増幅素子と、

前記第1の増幅素子の出力と前記第2の増幅素子の出力を合成して出力する合成回路と、

10

前記第1の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の周波数の信号の変調波の周波数帯の信号を通過させる第1のフィルタと、

前記第2の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の周波数の信号の変調波の周波数帯の信号を通過させる第2のフィルタと、

前記第1のフィルタの他方と前記第2のフィルタの他方との間に接続され、前記変調波の周波数帯の信号を、その位相を反転させて通過させる反転回路とを備え、

前記反転回路は、第1のインダクタと、

20

第2のインダクタと、

第4のインダクタと、

第1のキャパシタと、

第2のキャパシタと、

第3のキャパシタと、

第4のキャパシタとを有し、

前記第1のインダクタは、その一方が前記第1のフィルタの他方に接続され、その他方が前記第2のインダクタの一方に接続され、

前記第2のインダクタの他方は、前記第2のフィルタの他方に接続され、

前記第1のキャパシタは、その一方が前記第1のインダクタの一方に接続され、その他方が接地されており、

30

前記第2のキャパシタは、その一方が前記第1のインダクタの他方に接続され、その他方が接地されており、

前記第3のキャパシタは、その一方が前記第2のインダクタの他方に接続され、その他方が接地されており、

前記第4のインダクタは、その一方がバイアス電源に接続され、その他方が前記第1のインダクタの他方に接続されており、

前記第4のキャパシタは、その一方が前記第4のインダクタの一方に接続され、その他方が接地されている電力増幅装置である。

### 【0035】

40

また、第2の本発明は、被変調波の周波数の信号を少なくとも2分配する分配回路と、

前記分配回路の一方の出力に入力が接続された第1の増幅素子と、

前記分配回路の他方の出力に入力が接続された第2の増幅素子と、

前記第1の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる第1のフィルタと、

前記第2の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過せず、前記被変調波の周波数帯の信号を通過させる第2のフィルタと、

前記第1のフィルタの他方に出力が接続され、前記第2のフィルタの他方に入力が接続され、前記被変調波の周波数帯の信号を、その位相を反転させて増幅する反転増幅器とを備え、

50

前記第1の増幅素子の出力は外部に出力され、かつ前記第2の増幅素子の出力は終端されている電力増幅装置である。

【0036】

また、第3の本発明は、被変調波の周波数の信号をN(Nは3以上の整数)分配する分配回路と、

前記分配回路のN個の出力のうち(N-1)個の出力にそれぞれ入力が接続された(N-1)個の第1の増幅素子と、

前記分配回路の前記(N-1)個の出力以外の前記分配回路の出力に入力が接続された第2の増幅素子と、

前記(N-1)個の第1の増幅素子の出力にそれぞれの出力が接続された(N-1)分配回路の入力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる第1のフィルタと、

前記第2の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過せず、前記変調波の周波数帯の信号を通過させる第2のフィルタと、

前記第2のフィルタの他方にその入力が接続され、前記第1のフィルタの他方にその出力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する反転増幅器と、

少なくとも前記(N-1)個の第1の増幅素子の出力を合成して出力する合成回路とを備え、

前記第2の増幅素子の出力は終端されている電力増幅装置である。

【0037】

また、第4の本発明は、被変調波の周波数の信号をN(Nは3以上の整数)分配する分配回路と、

前記分配回路のN個の出力のうち(N-1)個の出力にそれぞれ入力が接続された(N-1)個の第1の増幅素子と、

前記分配回路の前記(N-1)個の出力以外の前記分配回路の出力に入力が接続された第2の増幅素子と、

前記(N-1)個の第1の増幅素子の出力にそれぞれ一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる(N-1)個の第1のフィルタと、

前記第2の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過せず、前記変調波の周波数帯の信号を通過させる第2のフィルタと、

前記第2のフィルタの他方にその入力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する反転増幅器と、

少なくとも前記(N-1)個の第1の増幅素子の出力を合成して出力する合成回路とを備え、

前記(N-1)個の第1のフィルタの他方は、前記反転増幅器の出力に接続された(N-1)分配回路の(N-1)個の出力のそれぞれに接続されており、前記第2の増幅素子の出力は終端されている電力増幅装置である。

【0038】

また、第5の本発明は、被変調波の周波数の信号をN(Nは3以上の整数)分配する分配回路と、

前記分配回路のN個の出力のうち(N-1)個の出力にそれぞれ入力が接続された(N-1)個の第1の増幅素子と、

前記分配回路の前記(N-1)個の出力以外の前記分配回路の出力に入力が接続された第2の増幅素子と、

前記(N-1)個の第1の増幅素子の出力にそれぞれ一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる(N-1)個の第1のフィルタと、

前記第2の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過せし

10

20

30

40

50

ず、前記変調波の周波数帯の信号を通過させる第2のフィルタと、

前記(N-1)個の第1のフィルタの他方にそれぞれ出力が接続され、入力が前記第2のフィルタの他方に接続された(N-1)分配回路の(N-1)個の出力のそれぞれに接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する(N-1)個の反転増幅器と、

少なくとも前記(N-1)個の第1の増幅素子の出力を合成して出力する合成回路とを備え、

前記第2の増幅素子の出力は終端されている電力増幅装置である。

### 【0039】

また、第6の本発明は、被変調波の周波数の信号をN(Nは3以上の整数)分配する分配回路と、 10

前記分配回路のN個の出力のうち(N-1)個の出力にそれぞれ入力が接続された(N-1)個の第1の増幅素子と、

前記分配回路の前記(N-1)個の出力以外の前記分配回路の出力に入力が接続された第2の増幅素子と、

前記(N-1)個の第1の増幅素子の出力にそれぞれ一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる(N-1)個の第1のフィルタと、

前記(N-1)個の第1のフィルタの他方にそれぞれ出力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する(N-1)個の反転増幅器と、 20

前記(N-1)個の反転増幅器の入力にそれぞれ一方が接続され、他方が前記第2の増幅素子の出力に接続された(N-1)分配回路の(N-1)個の出力のそれぞれに接続され、前記被変調波の周波数の信号を通過させず、前記変調波の周波数帯の信号を通過させる(N-1)個の第2のフィルタと、

少なくとも前記(N-1)個の第1の増幅素子の出力を合成して出力する合成回路とを備え、

前記第2の増幅素子の出力は終端されている電力増幅装置である。

また、第7の本発明は、被変調波の周波数の信号を少なくとも2分配する分配回路と、

前記分配回路の一方の出力に入力が接続された第1の増幅素子と、

前記分配回路の他方の出力に入力が接続された第2の増幅素子と、 30

前記第1の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる第1のフィルタと、

前記第2の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記変調波の周波数帯の信号を通過させる第2のフィルタと、

前記第1のフィルタの他方に出力が接続され、前記第2のフィルタの他方に入力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する反転増幅器とを備え、

少なくとも前記第1の増幅素子の出力は外部に出力されており、

前記第2の増幅素子は、前記第1の増幅素子より増幅素子サイズが小さい電力増幅装置である。 40

また、第8の本発明は、被変調波の周波数の信号をN(Nは3以上の整数)分配する分配回路と、

前記分配回路のN個の出力のうち(N-1)個の出力にそれぞれ入力が接続された(N-1)個の第1の増幅素子と、

前記分配回路の前記(N-1)個の出力以外の前記分配回路の出力に入力が接続された第2の増幅素子と、

前記(N-1)個の第1の増幅素子の出力にそれぞれの出力が接続された(N-1)分配回路の入力に一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる第1のフィルタと、

前記第2の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過させ 50

す、前記変調波の周波数帯の信号を通過させる第2のフィルタと、

前記第2のフィルタの他方にその入力が接続され、前記第1のフィルタの他方にその出力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する反転増幅器と、

少なくとも前記(N-1)個の第1の増幅素子の出力を合成して出力する合成回路とを備え、

前記第2の増幅素子は、前記第1の増幅素子より増幅素子サイズが小さい電力増幅装置である。

また、第9の本発明は、被変調波の周波数の信号をN(Nは3以上の整数)分配する分配回路と、

10

前記分配回路のN個の出力のうち(N-1)個の出力にそれぞれ入力が接続された(N-1)個の第1の増幅素子と、

前記分配回路の前記(N-1)個の出力以外の前記分配回路の出力に入力が接続された第2の増幅素子と、

前記(N-1)個の第1の増幅素子の出力にそれぞれ一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる(N-1)個の第1のフィルタと、

前記第2の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過せず、前記変調波の周波数帯の信号を通過させる第2のフィルタと、

前記第2のフィルタの他方にその入力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する反転増幅器と、

20

少なくとも前記(N-1)個の第1の増幅素子の出力を合成して出力する合成回路とを備え、

前記(N-1)個の第1のフィルタの他方は、前記反転増幅器の出力に接続された(N-1)分配回路の(N-1)個の出力のそれぞれに接続されており、

前記第2の増幅素子は、前記第1の増幅素子より増幅素子サイズが小さい電力増幅装置である。

また、第10の本発明は、被変調波の周波数の信号をN(Nは3以上の整数)分配する分配回路と、

前記分配回路のN個の出力のうち(N-1)個の出力にそれぞれ入力が接続された(N-1)個の第1の増幅素子と、

30

前記分配回路の前記(N-1)個の出力以外の前記分配回路の出力に入力が接続された第2の増幅素子と、

前記(N-1)個の第1の増幅素子の出力にそれぞれ一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる(N-1)個の第1のフィルタと、

前記第2の増幅素子の出力に一方が接続され、前記被変調波の周波数の信号を通過せず、前記変調波の周波数帯の信号を通過させる第2のフィルタと、

前記(N-1)個の第1のフィルタの他方にそれぞれ出力が接続され、入力が前記第2のフィルタの他方に接続された(N-1)分配回路の(N-1)個の出力のそれぞれに接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する(N-1)個の反転増幅器と、

40

少なくとも前記(N-1)個の第1の増幅素子の出力を合成して出力する合成回路とを備え、

前記第2の増幅素子は、前記第1の増幅素子より増幅素子サイズが小さい電力増幅装置である。

また、第11の本発明は、被変調波の周波数の信号をN(Nは3以上の整数)分配する分配回路と、

前記分配回路のN個の出力のうち(N-1)個の出力にそれぞれ入力が接続された(N-1)個の第1の増幅素子と、

50

前記分配回路の前記（N - 1）個の出力以外の前記分配回路の出力に入力が接続された第2の増幅素子と、

前記（N - 1）個の第1の増幅素子の出力にそれぞれ一方が接続され、前記被変調波の周波数の信号を通過させず、前記被変調波の変調波の周波数帯の信号を通過させる（N - 1）個の第1のフィルタと、

前記（N - 1）個の第1のフィルタの他方にそれぞれ出力が接続され、前記変調波の周波数帯の信号を、その位相を反転させて増幅する（N - 1）個の反転増幅器と、

前記（N - 1）個の反転増幅器の入力にそれぞれ一方が接続され、他方が前記第2の増幅素子の出力に接続された（N - 1）分配回路の（N - 1）個の出力のそれぞれに接続され、前記被変調波の周波数の信号を通過させず、前記変調波の周波数帯の信号を通過させる（N - 1）個の第2のフィルタと、

少なくとも前記（N - 1）個の第1の増幅素子の出力を合成して出力する合成回路とを備え、

前記第2の増幅素子は、前記第1の増幅素子より増幅素子サイズが小さい電力増幅装置である。

#### 【0041】

また、第1\_2の本発明は、前記終端されているとは、前記第2の増幅素子の出力に終端抵抗を接続した、または前記第2の増幅素子の出力にキャパシタ及び／またはインダクタから構成される終端負荷を接続したことである第2\_~6のいずれかの本発明の電力増幅装置である。

10

#### 【0043】

また、第1\_3の本発明は、第1、3\_~6、8\_~11の本発明のいずれかの電力増幅装置を複数備え、

それらの電力増幅装置の各分配回路は、共通化されており、同じ前記被変調波の周波数の信号を入力し、

それらの電力増幅装置の各合成回路は、共通化されており、一つに合成された出力信号を出力する電力増幅装置である。

#### 【0044】

また、第1\_4の本発明は、第2または第7の本発明の電力増幅装置複数と、  
それらの電力増幅装置の外部に出力すべき出力を合成して出力する合成回路とを備え、  
それらの電力増幅装置の各分配回路は共通化されており、同じ前記被変調波の周波数の信号を入力する電力増幅装置である。

30

#### 【0045】

また、第1\_5の本発明は、第1~11の本発明のいずれかの電力増幅装置が形成されている誘電体多層基板を備えた電力増幅装置である。

#### 【0046】

また、第1\_6の本発明は、前記誘電体多層基板は、その上部に配置された半導体基板と、前記半導体基板の下部に配置された誘電体多層基板とを有する第1\_5の本発明の電力増幅装置である。

40

#### 【0047】

また、第1\_7の本発明は、その内部に前記誘電体多層基板が配置されている内部整合基板を備えた第1\_6の本発明の電力増幅装置である。

#### 【0048】

また、第1\_8の本発明は、前記被変調波の周波数の信号の周波数は、前記変調波の周波数帯の信号の周波数帯域の千倍以下である第1~11の本発明のいずれかの電力増幅装置である。

#### 【0049】

また、第1\_9の本発明は、前記第1のフィルタ及び前記第2のフィルタは、前記変調波の周波数の信号の高調波成分を通過させる第1~11の本発明のいずれかの電力増幅装置である。

50

**【0050】**

また、第20の本発明は、送信波を出力する送信回路を少なくとも備え、

前記送信回路には第1～11の本発明のいずれかの電力増幅装置が用いられている無線通信装置である。

**【0051】****【発明の実施の形態】**

以下に、本発明の実施の形態を図面を参照して説明する。

**【0052】****(第1の実施の形態)**

図1に、本発明の第1の実施の形態における電力増幅装置61の構成を示す。 10

**【0053】**

図1の電力増幅装置61は、例えば図9に示す無線回路63の電力増幅器5として用いられるものである。

**【0054】**

まず、図9の無線回路63について簡単に説明する。

**【0055】**

無線回路63は、発振器1及び2、変調器3、ミキサ4及び9、電力増幅器5、低雑音増幅器8、アンテナ共用器6、アンテナ7から構成される。

**【0056】**

変調器3は、図示していないベースバンド部で発生されたベースバンドI信号及びベースバンドQ信号により、発振器1から出力される信号を変調する直交変調器である。なお、以下の説明ではベースバンドI信号及びベースバンドQ信号の周波数を変調波の周波数と呼ぶことにし、例えば変調波の周波数は20MHzであるとする。 20

**【0057】**

ミキサ4は、変調器3で変調された信号と発振器2から出力される信号とをミキシングすることにより送信周波数の信号に変換する回路である。

**【0058】**

なお、以下の説明では、送信周波数を被変調波の周波数と呼ぶことにし、例えば被変調波の周波数は1GHzであるとする。また従来の技術と同様に、被変調波の周波数の信号の周波数は、1GHz付近で変調周波数である±20MHz程度の帯域に分布しているものとする。 30

**【0059】**

電力増幅器5は、送信周波数の信号すなわち、被変調波の周波数の信号の電力を増幅し、この増幅信号をアンテナ共用器6に出力する回路である。

**【0060】**

アンテナ共用器6は、増幅信号をアンテナ7に導きまたアンテナ7で受信された受信信号を低雑音増幅器8に導く回路である。

**【0061】**

低雑音増幅器8は、アンテナ共用器6から出力された受信信号を増幅する回路である。 40

**【0062】**

ミキサ9は、低雑音増幅器8から出力された信号と発振器2から出力された信号とを合成することにより中間周波数の信号に変換する回路である。

**【0063】**

フィルタ10は、その中間周波数の信号に変換された信号の不要周波数成分を低減する回路である。

**【0064】**

復調器11は、中間周波数の信号と発振器1から出力される信号とを合成することにより、ベースバンドI信号及びベースバンドQ信号を復元する直交復調器である。

**【0065】**

このような、無線回路63は、W-CDMA等の通信方式を用いた携帯電話端末やその基 50

地局の無線回路として用いられるものである。そして、図1の電力増幅装置61を、無線回路63の電力増幅器5として用いることにより、広帯域に渡って良好な歪み特性を有し、かつ消費電力が少ない無線回路63を実現することが出来る。以下に、無線回路63の電力増幅器5として用いられる図1の電力増幅装置61について説明する。

#### 【0066】

すなわち、図1において、電力増幅装置61の入力端子21には整合回路/分配回路22の入力が接続されており、また、整合回路/分配回路22の2つの出力には、それぞれにはFET23aのゲート及びFET23bのゲートが接続されている。FET23aのドレインは、直流遮断用のキャパシタ27aを介して合成回路/整合回路28の一方の入力に接続されており、FET23bのドレインは、直流遮断用キャパシタ27bを介して合成回路/整合回路28の他方の入力に接続されている。また、合成回路/整合回路28の出力は、出力端子29に接続されている。10

#### 【0067】

また、FET23a及びFET23bのソースはともに接地されている。そして、FET23aのドレインには、2倍波短絡/バイアスチョーク回路24aの一方が接続されている。同様に、FET24aのドレインには、2倍波短絡/バイアスチョーク回路24bの一方が接続されている。

#### 【0068】

2倍波短絡/バイアスチョーク回路24aの他方と2倍波短絡/バイアスチョーク回路24bの他方との間には差周波反転回路26が接続されており、差周波反転回路26の一方には、2倍波バイパス用のキャパシタ25aの一方が接続されており、その他方は接地されている。また、同様に、差周波反転回路26の他方には、2倍波バイパス用のキャパシタ25bの一方が接続されており、その他方は接地されている。20

#### 【0069】

入力端子21は、入力信号である被変調波の周波数の信号が入力される端子である。また、出力端子29は、出力信号である増幅信号が出力される端子である。

#### 【0070】

整合回路/分配回路22は、入力端子側と、FET23aのゲート側及びFET23bのゲート側とのインピーダンスを整合させるとともに、入力端子21から入力される被変調波の周波数の信号を2分配して、FET23aのゲート及びFET23bのゲートに入力する回路である。30

#### 【0071】

FET23a、及びFET23bは、それぞれそのゲートに入力された被変調波の周波数の信号の電力を増幅する増幅素子である。

#### 【0072】

2倍波短絡/バイアスチョーク回路24aは、被変調波の周波数の信号(1GHz程度の周波数の信号)を通過せず、変調波の周波数の信号(20MHz程度の周波数の信号)を通過させるフィルタの機能と、被変調波の周波数の高次高調波の周波数におけるインピーダンスを短絡する機能と、FET23aのドレインにバイアス電圧を供給するバイアスチョーク回路の機能とを有する回路である。40

#### 【0073】

同様に、2倍波短絡/バイアスチョーク回路24bは、被変調波の周波数の信号(1GHz程度の周波数の信号)を通過せず、変調波の周波数の信号(20MHz程度の周波数の信号)を通過させるフィルタの機能と、被変調波の周波数の高次高調波の周波数におけるインピーダンスを短絡する機能と、FET23bのドレインにバイアス電圧を供給するバイアスチョーク回路の機能とを有する回路である。

#### 【0074】

差周波反転回路26は、変調波の周波数の信号が通過した場合、その変調波の周波数の信号の位相を反転する回路である。

#### 【0075】

10

20

30

40

50

合成回路 / 整合回路 28 は、キャパシタ 27a の側及びキャパシタ 27b の側と、出力端子 29 との側とのインピーダンスを整合させるとともに、キャパシタ 27a を通過した増幅信号とキャパシタ 27b を通過した増幅信号とを合成して出力端子 29 に出力する回路である。

【0076】

図 2 に、2 倍波短絡 / バイアスチョーク回路 24a、2 倍波短絡 / バイアスチョーク回路 24b、及び差周波反転回路 26 の部分の詳細な構成を示す。

【0077】

すなわち、差周波反転回路 26 は、キャパシタ 31 及び 32 と、インダクタ 30 とから構成される。インダクタ 30 の一方は、2 倍波短絡 / バイアスチョーク回路 24a の他方に接続されており、インダクタ 30 の他方は、2 倍波短絡 / バイアスチョーク回路 24b の他方に接続されている。そして、インダクタ 30 の一方には、キャパシタ 31 の一方が接続され、キャパシタ 31 の他方は接地されている。またインダクタ 30 の他方には、キャパシタ 32 の一方が接続され、キャパシタ 32 の他方は接地されている。キャパシタ 31 及びキャパシタ 32 のそれぞれのキャパシタンスと、インダクタ 30 のインダクタンスとは、差周波反転回路 26 を通過した変調波の周波数の信号 (20 MHz) の位相が 180 度反転されるように調整されているものである。

10

【0078】

また、2 倍波短絡 / バイアスチョーク回路 24a 及び 24b は、それぞれ被変調波の周波数の波長の 1/4 の長さを有するストリップライン線路に、図示していないバイアス供給端子の出力端が接続され、バイアス供給端子の入力端は、直流バイアスを供給するバイアス供給端子に接続された構成を持つ。

20

【0079】

次に、このような本実施の形態の動作を説明する。

【0080】

入力端子 21 に被変調波の周波数の信号が入力されたとする。上述したように、この信号は 1 GHz の周波数の信号であって、変調波の周波数 (20 MHz) 程度の帯域で周波数が分布している信号である。

【0081】

入力端子 21 に入力された被変調波の周波数の信号は、整合回路 / 分配回路 22 で 2 分配され、2 分配された被変調波の周波数の信号は、それぞれ FET 23a のゲート及び FET 23b のゲートに入力される。また、このとき、整合回路 / 分配回路 22 は、入力端子 21 の側と FET 23a のゲート側及び FET 23b のゲート側とのインピーダンスを整合させる。

30

【0082】

FET 23a のドレインには、2 倍波短絡 / バイアスチョーク回路 24a から直流バイアスが供給されており、FET 23a のゲートに出力された被変調波の周波数の信号は、FET 23a で増幅されて、そのドレインに出力される。

【0083】

同様に、FET 23b のドレインには、2 倍波短絡 / バイアスチョーク回路 24b から直流バイアスが供給されており、FET 23b のゲートに出力された被変調波の周波数の信号は、FET 23b で増幅されて、そのドレインに出力される。

40

【0084】

FET 23a 及び FET 23b は線形な特性を有するが、高効率動作時には非線形な特性が顕著になってくる。この非線形な特性のために、被変調波の周波数の信号が FET 23a で増幅された信号である増幅信号には、歪み成分が含まれることになる。このような歪み成分には、被変調波の周波数の信号の高次高調波の歪み成分 (2 GHz 程度以上の周波数の歪み成分)、被変調波の周波数の近傍の周波数に現れる 3 次相互変調歪み成分 (1 GHz 近傍に現れる歪み成分)、及び増幅されるべき被変調波の周波数の信号のうちの異なった周波数成分どうしの差の周波数を有する 2 次相互変調歪み成分 (20 MHz 程度の周

50

波数の歪み成分)などがある。

**【0085】**

2倍波短絡／バイアスチョーク回路24aは、2次相互変調歪み成分すなわち変調波の周波数の信号を通過させ、高次高調波の周波数の信号は短絡して全反射させる。また被変調波の周波数では高インピーダンスであるので被変調波の周波数の信号は通過させない。従って、このような歪み成分をも含む增幅信号が、FET23aのドレンから出力されると、增幅信号のうち、2次相互変調歪み成分は、2倍波短絡／バイアスチョーク回路24aの一方に入力され、この変調波の周波数の信号は、2倍波短絡／バイアスチョーク回路24aを通過する。一方、変調波の周波数の信号は、差周波反転回路26に入力される。

**【0086】**

一方、このような増幅信号のうちの被変調波の信号は、2倍波短絡／バイアスチョーク回路24aを通過せず、キャパシタ27aを介して合成回路／整合回路28の一方の入力に出力される。

**【0087】**

2倍波短絡／バイアスチョーク回路24aを通過した変調波の周波数の信号は、差周波反転回路26を通過することによりその位相が180度反転される。すなわち、差周波反転回路26のキャパシタ31及び32のそれぞれのキャパシタンスと、インダクタ30のインダクタンスは、通過した変調波の周波数の位相が180度反転するように予め調整されている。差周波反転回路26を通過した変調波の周波数の信号は、さらに2倍波短絡／バイアスチョーク回路24bを通過して、FET23bのドレン端にまで達する。この変調波の周波数の信号と、FET23bで増幅され、そのドレン端に出力された増幅成分に含まれる2次相互変調歪み成分である変調波の周波数の信号とは位相が180度異なっている。従ってFET23bのドレン端でこれら2つの変調波の周波数の信号が互いに他を打ち消し合うことになる。従って、FET23bのドレンでは、変調波の周波数の信号が打ち消されているので、2次相互変調歪み成分である変調波の周波数の信号がFET23bのドレンで被変調波の信号とミキシングされることにより相互変調歪みを悪化させるという事態を避けることが出来る。

**【0088】**

同様に、FET23bの増幅信号は、2倍波反転回路26で180度位相を反転されて、FET23aのドレン端に達する。そして、この変調波の信号は、FET23aのドレン端から出力される増幅信号に含まれる2次相互変調歪み成分である変調周波数の信号とは位相が180度異なっているので、これら2つの変調波の周波数の信号はFET23aのドレンで互いに打ち消し合うことになる。従って、FET23aにおいても、FET23bと同様にドレンで変調波の周波数の信号と被変調波の周波数の信号とがミキシングされることにより相互変調歪みを悪化させるという事態を避けることが出来る。

**【0089】**

また、FET23bから出力された増幅信号のうちの被変調波の周波数の信号は、2倍波短絡／バイアスチョーク回路24bを通過せず、キャパシタ27bを介して合成回路／整合回路28の他方の入力に出力される。

**【0090】**

合成回路／整合回路28は、一方の入力及び他方の入力に入力された変調波の信号を合成し、出力端子29に出力する。なお、このとき合成回路／整合回路28は、キャパシタ27a及びキャパシタ27bの側と、出力端子29の側とのインピーダンスを整合させる。

**【0091】**

このようにして増幅された被変調波の信号が出力端子29から出力される。

**【0092】**

なお、本実施の形態では、差周波反転回路26、及び2倍波短絡／バイアスチョーク回路24a及び24bが図2のように構成されているとして説明したが、これに限らず、図3のように構成されていても構わない。

**【0093】**

10

20

30

40

50

図3は、2倍波短絡／バイアスチョーク回路24a及び24bの代わりに2倍波短絡回路64a及び64bを用い、差周波反転回路26の代わりに、差周波反転回路66を用い、差周波反転回路66にバイアスチョーク回路を接続した構成である。

#### 【0094】

図3において、2倍波短絡回路64a及び64bはそれぞれ、被変調波の周波数における波長の1/4倍の長さを有するストリップライン線路である。また、差周波反転回路66は、インダクタ33、34、及びキャパシタ35、36、37から構成される。インダクタ33の一方は、2倍波短絡回路64aの他方に接続され、インダクタ33の他方は、インダクタ34の一方に接続され、インダクタ34の他方は、2倍波短絡回路64bの他方に接続されている。また、インダクタ33の一方にはキャパシタ35の一方が接続され、キャパシタ33の他方は接地されており、インダクタ33の他方には、キャパシタ36の一方が接続され、キャパシタ36の他方は接地されており、インダクタ34の他方にはキャパシタ37の一方が接続され、キャパシタ37の他方は接地されている。10

#### 【0095】

インダクタ33及び34のそれぞれのインダクタンスと、キャパシタ35、36及び37のそれぞれのキャパシタンスは、差周波反転回路26と同様に、変調波の周波数の信号が通過した場合、その位相が180度反転するように予め調整されているものである。

#### 【0096】

また、バイアスチョーク回路は、バイアス供給端子40にインダクタ38の一方とキャパシタ39の一方が接続され、キャパシタ39の他方は接地され、インダクタ38の他方はインダクタ33の他方に接続された構成を有する。20

#### 【0097】

図2の代わりに図3のような回路を用いた場合であっても、FET23a及び23bに直流バイアスを供給することが出来、また、差周波反転回路66を通過する変調波の周波数の信号の位相を180度反転することが出来る。従って、図2の回路を用いた場合と同等の効果を得ることが出来る。

#### 【0098】

このように本実施の形態の電力増幅装置61は、変調波の周波数の信号どうしが、FET23a及びFET23bのそれぞれのドレン端で互いに他を打ち消し合うので、ドレンで、変調波の周波数の信号と被変調波の周波数の信号とがミキシングすることによる相互変調歪みの悪化を防止することが出来る。30

#### 【0099】

図5は、本実施の形態の電力増幅装置61を誘電体基板71～76を積層した誘電体積層構造内に形成した例である。

#### 【0100】

誘電体基板71には整合回路／分配回路22、FET23a、23b、チップコンデンサとして形成されたキャパシタ27a及び27b、及び合成回路／整合回路28が形成されている。

#### 【0101】

誘電体基板71の下層に配置された誘電体基板72には、シールド電極が形成されており、誘電体基板72の下層に配置された誘電体基板73には、2倍波短絡／バイアスチョーク回路24a及び24b、インダクタ30が形成されており、誘電体基板73と、誘電体基板72及び誘電体基板74のシールド電極である接地層との間にバイパスキャパシタ25a及び25bが形成されている。40

#### 【0102】

また、誘電体基板73の下層に配置された誘電体基板74にはシールド電極が形成されており、誘電体基板73の下層に配置された誘電体基板75には、キャパシタ31及び32が形成されている。そして、誘電体基板75の下層に配置された誘電体基板76にはシールド電極が形成されている。

#### 【0103】

10

20

30

40

50

図6は、本実施の形態の電力増幅装置61を半導体基板上の誘電体層に形成した例である。

**【0104】**

半導体基板77にはポリイミドなどの絶縁膜が形成されており、半導体基板77上には、整合回路／分配回路22、FET23a及び23b、合成回路／整合回路28が形成されている。

**【0105】**

半導体基板77の下層には、誘電体基板78が積層されており、誘電体基板78には、2倍波短絡／バイアスチョーク回路24a及び24b、キャパシタ27a及び27bが形成されており、誘電体基板78と、誘電体基板79のシールド電極である接地層との間にバイパスキャパシタ25a及び25bが形成されている。誘電体基板78の下層にはシールド電極が形成された誘電体基板79が形成されており、その下層には誘電体基板80が形成されている。誘電体基板80にはキャパシタ31及び32、及びインダクタ30が形成されている。

**【0106】**

図7は、本実施の形態の電力増幅装置61をセラミック高周波パッケージ内に実装した例を示す。なお、図7のものはハイパワー用であり携帯電話の基地局に用いられるものである。また、図7の電力増幅装置61は図3の回路を用いたものである。

**【0107】**

高周波パッケージ81の内部に配置されている内部整合基板82に半導体基板83aと、誘電体基板83b、84～88がこの順で積層された誘電体多層基板が実装されており、入力端子21、出力端子29、バイアス供給端子40が高周波パッケージ81の内部から外部に引き出されている。

**【0108】**

半導体基板83aには、整合回路／分配回路22、FET23a及び23b、キャパシタ39、合成回路／整合回路28が形成されている。誘電体基板83bの下層には、誘電体基板84が形成されている。誘電体基板84には、キャパシタ27a及び27bが形成されている。

**【0109】**

誘電体基板84の下層には、シールド電極が形成された誘電体基板85が形成されており、その下層には誘電体基板86が形成されている。誘電体基板86には、インダクタ38、33及び34、及び2倍波短絡／バイアスチョーク回路64a及び64bが形成されており、誘電体基板86と、誘電体基板85のシールド電極である接地層との間にバイパスキャパシタ25a及び25bが形成されている。

**【0110】**

誘電体基板86の下層には誘電体基板87が形成されており、誘電体基板87と、誘電体基板88のシールド電極である接地層との間にキャパシタ35、36、37、39が形成されている。誘電体基板87の下層にはシールド電極が形成された誘電体基板88が形成されている。

**【0111】**

なお、本実施の形態では、被変調波の周波数の信号の周波数が1GHzであり、変調波の周波数の信号の周波数帯域が20MHzであるとして説明したが、これに限らない。被変調波の周波数の信号の周波数が、変調波の周波数帯の信号の周波数帯域の千倍以下であれば、従来技術と比較して、本実施の形態の方がより良好に相互変調歪みを改善することが出来る。

**【0112】**

このように、被変調波の周波数の信号が、変調波の周波数帯の信号の周波数帯域の千倍以下になる例として次のようなものがある。

**【0113】**

まず、通信方式としてCDMA2000を用いる場合がある。この場合、被変調波の周波

10

20

30

40

50

数の信号として 800 MHz 帯の周波数の信号及び 2 GHz 帯の周波数の信号を用いる。CDMA 2000 で被変調波の周波数の信号として 800 MHz 帯の周波数の信号を用いる場合、変調波の周波数帯の信号の周波数帯域は 1.23 MHz となり、被変調波の周波数の信号の周波数が変調波の周波数帯の信号の周波数帯域の千倍以下になっている。従って良好に相互変調歪みを改善することが出来る。

#### 【0114】

また、CDMA 2000 の 2 GHz 帯はデータ通信専用に用いられる周波数帯であり、高速なデータ通信を行うために複数チャンネルを使用することが行われる。すなわち、高速通信のためには最大 3 チャンネル分の周波数帯域を使用してデータ通信が行われ、最大 3 チャンネル分の周波数帯域を使用する場合には、変調波の周波数帯の信号の周波数帯域が 3.69 MHz になっている。このように CDMA 2000 における 2 GHz 帯は、パソコンや、PDA と携帯電話との機能が統合された端末でデータ通信を行う際に用いられるものである。この場合にも被変調波の周波数の信号の周波数が変調波の周波数帯の信号の周波数帯域の千倍以下になっており、従来技術に比べてより良好に相互変調歪みを改善することが出来る。

#### 【0115】

また、無線 LAN の規格である IEEE 802.11a では、被変調波の周波数の信号の周波数として 5 GHz 帯を用い、変調波の周波数帯の信号の周波数帯域は、20 MHz であるので、上記と同様に良好に相互変調歪みを改善することが出来る。

#### 【0116】

また、いわゆる第 4 世代の移動帯通信では被変調波の周波数の信号の周波数として 5 GHz 帯の周波数帯を用い、変調波の周波数帯の信号の周波数帯域は 100 MHz の帯域である。従ってこの場合にも、被変調波の周波数の信号の周波数が変調波の周波数帯の信号の周波数帯域の千倍以下になっているので、従来技術に比べてより良好に相互変調歪みを改善することが出来る。

#### 【0117】

また、デジタルテレビ放送の放送局やその中継局では被変調波の周波数の信号の周波数が 400 MHz ~ 700 MHz の周波数を用いる。そして、変調波の周波数帯の信号の周波数帯域は、6 MHz である。従って、この場合も、被変調波の周波数の信号の周波数が変調波の周波数帯の信号の周波数帯域の千倍以下になっているので、従来技術に比べてより良好に相互変調歪みを改善することが出来る。

#### 【0118】

なお、本実施の形態では、2 倍波短絡 / バイアスチョーク回路が被変調波の周波数の高次高調波の周波数におけるインピーダンスを短絡されるとして説明したが、被変調波の周波数の高次高調波の周波数の信号を通過させる働きを有するものであってもよい。このような場合の方が電力增幅装置として良好な特性が得られる。

#### 【0119】

このように、本実施の形態によれば、2 倍波短絡 / バイアスチョーク回路 24a 及び 24b 等と差周波反転回路 26 を一体化する、すなわち、一つの積層体に一体化することにより、回路全体の小型化を図ることが出来る。

#### 【0120】

(第 2 の実施の形態)

次に、本発明の第 2 の実施の形態について説明する。

#### 【0121】

図 4 に、第 2 の実施の形態における電力增幅装置 62 の構成を示す。

#### 【0122】

本実施の形態の電力增幅装置 62 は、例えば第 1 の実施の形態で説明した図 9 の無線回路 63 の電力增幅器 5 として用いられるものである。

#### 【0123】

電力增幅装置 62 の入力端子 21 には整合回路 / 分配回路 41 の入力が接続されており、

10

20

30

40

50

また、整合回路 / 分配回路 4 1 の 3 つの出力には、それぞれには F E T 4 2 a のゲート及び F E T 4 2 b のゲート及び F E T 4 2 c のゲートが接続されている。

#### 【 0 1 2 4 】

F E T 4 2 a のドレインは、直流遮断用のキャパシタ 2 7 a を介して合成回路 / 整合回路 2 8 の 2 つの入力の一方に接続されており、F E T 4 2 c のドレインは、直流遮断用キャパシタ 2 7 b を介して合成回路 / 整合回路 2 8 の他方の入力に接続されている。また、合成回路 / 整合回路 2 8 の出力は、出力端子 2 9 に接続されている。また、F E T 4 2 b のドレインは、終端抵抗 4 8 により終端されている。

#### 【 0 1 2 5 】

また、F E T 4 2 a 、 4 2 b 、及び 4 2 c のソースはそれぞれ接地されている。そして、  
F E T 4 2 a のドレインには、2 倍波短絡回路 4 3 a の一方が接続されている。同様に、  
F E T 4 2 c のドレインには、2 倍波短絡回路 4 3 d の一方が接続されている。また、F  
E T 4 2 b のドレインに接続された図示していない分配回路の一方の出力に 2 倍波短絡回路  
4 3 b の一方及びその分配回路の他方の出力に 2 倍波短絡回路 4 3 c の一方が接続され  
ている。  
10

#### 【 0 1 2 6 】

2 倍波短絡回路 4 3 a の他方と 2 倍波短絡回路 4 3 b の他方との間には反転増幅器 4 5 a  
が接続されており、反転増幅器 4 5 a の出力及び入力にはそれぞれ、2 倍波バイパス用の  
キャパシタ 4 4 a の一方及び 2 倍波バイパス用のキャパシタ 4 6 a の一方が接続されてお  
り、キャパシタ 4 4 a の他方及びキャパシタ 4 6 a の他方はそれぞれ接地されてい  
る。  
20

#### 【 0 1 2 7 】

また、2 倍波短絡回路 4 3 d の他方と 2 倍波短絡回路 4 3 c の他方との間には反転増幅器  
4 5 b が接続されており、反転増幅器 4 5 b の出力及び入力にはそれぞれ、2 倍波バイpas  
用のキャパシタ 4 4 b の一方及び 2 倍波バイpas 用のキャパシタ 4 6 b の一方が接続さ  
れており、キャパシタ 4 4 b の他方及びキャパシタ 4 6 b の他方はそれぞれ接地されてい  
る。

#### 【 0 1 2 8 】

入力端子 2 1 は、第 1 の実施の形態と同様に入力信号である被変調波の周波数の信号が入  
力される端子である。また、出力端子 2 9 は、出力信号である增幅信号が出力される端子  
である。  
30

#### 【 0 1 2 9 】

整合回路 / 分配回路 4 1 は、入力端子 2 1 側と、F E T 4 2 a のゲート側及び F E T 4  
2 b のゲート側及び F E T 4 2 c のゲート側とのインピーダンスをそれぞれ整合させると  
ともに、入力端子 2 1 から入力される被変調波の周波数の信号を 3 分配して、F E T 4 2  
a のゲート及び F E T 4 2 b のゲート及び F E T 4 2 c のゲートに入力する回路である。

#### 【 0 1 3 0 】

F E T 4 2 a 、 4 2 b 、及び 4 2 c は、それぞれそのゲートに入力された被変調波の周波  
数の信号の電力を増幅する増幅素子である。F E T 4 2 b の F E T サイズは、F E T 4 2  
a や F E T 4 2 c の F E T サイズよりも小さいものとする。また、F E T 4 2 a と F E T  
4 2 c とは F E T サイズが同一であるとする。  
40

#### 【 0 1 3 1 】

2 倍波短絡回路 4 3 a 、 4 3 b 、 4 3 c 、及び 4 3 d は、被変調波の周波数の信号 ( 1 G  
H z 程度の周波数の信号 ) を通過させず、変調波の周波数の信号 ( 2 0 M H z 程度の周波  
数の信号 ) を通過させるフィルタの機能と、被変調波の周波数の高次高調波の周波数にお  
けるインピーダンスを短絡する機能とを有する回路である。

#### 【 0 1 3 2 】

反転増幅器 4 5 a 及び 4 5 b は、変調波の周波数の信号を 1 8 0 度位相を反転させて増幅  
する回路である。

#### 【 0 1 3 3 】

合成回路 / 整合回路 2 8 は、キャパシタ 2 7 a の側及びキャパシタ 2 7 b の側と、出力端  
50

子 2 9との側とのインピーダンスを整合させるとともに、キャパシタ 2 7 aを通過した増幅信号とキャパシタ 2 7 bを通過した増幅信号とを合成して出力端子 2 9に出力する回路である。

#### 【 0 1 3 4 】

次に、このような本実施の形態の動作を説明する。

#### 【 0 1 3 5 】

入力端子 2 1に被変調波の周波数の信号が入力されたとする。上述したように、この信号は 1 G H z の周波数の信号であって、変調波の周波数( 2 0 M H z )程度の帯域で周波数が分布している信号である。

#### 【 0 1 3 6 】

入力端子 2 1に入力された被変調波の周波数の信号は、整合回路 / 分配回路 4 1で 3 分配され、 3 分配された被変調波の周波数の信号は、それぞれの出力からそれぞれ F E T 4 2 aのゲート及び F E T 4 2 bのゲート及び F E T 4 2 cのゲートに入力される。また、このとき、整合回路 / 分配回路 4 1は、入力端子 2 1の側と F E T 4 2 a、 4 2 b、 及び 4 2 cのそれぞれのゲート側とのインピーダンスを整合させる。

#### 【 0 1 3 7 】

F E T 4 2 a、 4 2 b、 及び 4 2 cのそれぞれのゲートに出力された被変調波の周波数の信号は、それぞれ F E T 4 2 a、 4 2 b、 4 2 cで増幅されて、それぞれのドレインに出力される。

#### 【 0 1 3 8 】

第 1 の実施の形態と同様に、 F E T 4 2 a、 4 2 b、 及び 4 2 cはそれぞれ線形な特性を有するが、高効率動作時には非線形な特性が顕著になってくる。この非線形な特性のために、被変調波の周波数の信号が F E T 4 2 a、 4 2 b、 及び 4 2 cでそれぞれ増幅された信号である増幅信号には、歪み成分が含まれることになる。このような歪み成分には、被変調波の周波数の信号の高次高調波の歪み成分( 2 G H z 程度以上の周波数の歪み成分)、被変調波の周波数の近傍の周波数に現れる 3 次相互変調歪み成分( 1 G H z 近傍に現れる歪み成分)、及び増幅されるべき被変調波の周波数の信号のうちの異なった周波数成分どうしの差の周波数を有する 2 次相互変調歪み成分( 2 0 M H z 程度の周波数の歪み成分)などがある。

#### 【 0 1 3 9 】

2 倍波短絡回路 4 3 a、 及び 4 3 b、 4 3 c、 及び 4 3 dは、 2 次相互変調歪み成分すなわち変調波の周波数の信号を通過させ、高次高調波の周波数の信号は短絡して全反射させる。また被変調波の周波数では高インピーダンスであるので被変調波の周波数の信号は通過させない。

#### 【 0 1 4 0 】

従って、このような歪み成分をも含む増幅信号がそれぞれ F E T 4 2 a、 4 2 cのドレインから出力されると、増幅信号のうち、 2 次相互変調歪み成分は、 2 倍波短絡回路 4 3 a 及び 4 3 dをそれぞれ通過する。

#### 【 0 1 4 1 】

一方、 F E T 4 2 bのドレインからこのような歪成分を含む増幅信号が出力されると、増幅信号のうち、 2 次相互変調歪み成分と高次高調波の周波数の歪み成分とは、 2 倍波短絡回路 4 3 b 及び 4 3 cをそれぞれ通過する。そして、高次高調波の周波数の信号は、 2 倍波バイパス用のキャパシタ 4 4 a 及び 4 4 bでそれぞれ接地にバイパスされる。また、この増幅信号のうち、被変調波の周波数の信号は、 2 倍波短絡回路 4 3 b、 4 3 cを通過せず、終端抵抗 4 8 で終端される。

#### 【 0 1 4 2 】

また、変調周波数の信号は、 2 倍波短絡回路 4 3 b、 4 3 cをそれぞれ通過して、それぞれ反転増幅器 4 5 a 及び 4 5 bに入力される。反転増幅器 4 5 a 及び 4 5 bは、それぞれ、入力された変調周波数の信号の位相を 1 8 0 度反転して変調周波数の信号を増幅する。

#### 【 0 1 4 3 】

10

20

30

40

50

反転増幅器 4 5 a で増幅された変調波の周波数の信号は、2 倍波短絡回路 4 3 a を通過して F E T 4 2 a のドレイン端に達する。なお、変調波の周波数の信号が 2 倍波短絡回路 4 3 a を通過する際、2 倍波短絡回路 4 3 a の損失のために多少減衰する。

#### 【 0 1 4 4 】

また、反転増幅器 4 5 a の利得は、反転増幅器 4 5 a から反転増幅されて出力された信号が 2 倍波短絡回路 4 3 a の損失により減衰して通過し、F E T 4 2 a のドレイン端に達した時の振幅と、F E T 4 2 a のドレイン端から出力される増幅信号に含まれる変調波の周波数の信号の振幅とが等振幅になるように予め調整されている。

#### 【 0 1 4 5 】

従って、F E T 4 2 a のドレイン端に達した変調波の周波数の信号と、F E T 4 2 a のドレイン端から出力される増幅信号に含まれる変調波の周波数の信号とは等振幅かつ逆位相になる。従ってこれら 2 つの変調波の周波数の信号は互いに打ち消し合うことになるので、2 次相互変調歪み成分である変調波の周波数の信号が F E T 4 2 b のドレインで被変調波の信号とミキシングされることにより相互変調歪みを悪化させるという事態を避けることが出来る。

#### 【 0 1 4 6 】

同様に、反転増幅器 4 5 b で増幅された変調波の周波数の信号は、2 倍波短絡回路 4 3 d を通過して F E T 4 2 c のドレイン端に達する。なお、変調波の周波数の信号が 2 倍波短絡回路 4 3 d を通過する際、2 倍波短絡回路 4 3 d の損失のために多少減衰する。

#### 【 0 1 4 7 】

また、反転増幅器 4 5 b の利得は、反転増幅器 4 5 b から反転増幅されて出力された信号が 2 倍波短絡回路 4 3 b の損失により減衰して通過し、F E T 4 2 c のドレイン端に達した時の振幅と、F E T 4 2 c のドレイン端から出力される増幅信号に含まれる変調波の周波数の信号の振幅とが等振幅になるように予め調整されている。

#### 【 0 1 4 8 】

従って、F E T 4 2 c のドレイン端に達した変調波の周波数の信号と、F E T 4 2 c のドレイン端から出力される増幅信号に含まれる変調波の周波数の信号とは等振幅かつ逆位相になる。従ってこれら 2 つの変調波の周波数の信号は互いに打ち消し合うことになるので、2 次相互変調歪み成分である変調波の周波数の信号が F E T 4 2 c のドレインで被変調波の信号とミキシングされることにより 3 次相互変調歪みを悪化させるという事態を避けることが出来る。

#### 【 0 1 4 9 】

F E T 4 2 a 及び F E T 4 2 c のドレインから出力された増幅信号は、第 1 の実施の形態と同様に合成回路 / 整合回路 2 8 でインピーダンスが整合されるとともに合成されて出力端子 2 9 に出力される。

#### 【 0 1 5 0 】

このように本実施の形態の電力増幅装置 6 2 は、変調波の周波数の信号どうしが、F E T 4 2 a 及び F E T 4 2 c のそれぞれのドレイン端で互いに他を打ち消し合うので、ドレインで、変調波の周波数の信号と被変調波の周波数の信号とがミキシングすることによる相互変調歪みの悪化を防止することが出来る。

#### 【 0 1 5 1 】

さらに、本実施の形態の電力増幅装置 6 2 は、2 倍波短絡回路 4 3 a 、 4 3 b 、 4 3 c 、 4 3 d 等の損失により変調波の周波数の信号が減衰する場合であっても、変調波の周波数の信号を反転増幅器 4 5 a 、 4 5 b で増幅するので、F E T 4 2 a 及び F E T 4 2 c のそれぞれのドレイン端で 2 つの変調波の周波数の信号を等振幅逆位相とすることが出来る。従って、F E T 4 2 a などの線形性を最大限に利用した広帯域で低歪みな特性を得ることが出来る。

#### 【 0 1 5 2 】

さらに、F E T 4 2 b の F E T サイズを F E T 4 2 a 及び F E T 4 2 c より小さくし、それに応じて反転増幅器 4 5 a 及び 4 5 b の利得を増加させることにより、F E T 4 2 b に

10

20

30

40

50

入力される被変調波の周波数の信号を小さくすることが出来るので、電力増幅装置 6 2 の効率を向上させることが出来る。さらに、このような場合には、FET 4 2 b のドレインから出力された増幅信号は FET 4 2 a や FET 4 2 c のドレインから出力される増幅信号に比べて微弱である。従って、FET 4 2 b の増幅信号を終端抵抗 4 8 により終端する代わりに、FET 4 2 a や FET 4 2 c から出力された増幅信号とともに合成して出力端子 2 9 から出力しても歪み成分は平均的にはほとんど増加しない。従って FET 4 2 b の増幅信号を終端抵抗 4 8 の代わりに、FET 4 2 a や FET 4 2 c から出力された増幅信号とともに合成して出力端子 2 9 から出力してもよい。

#### 【 0 1 5 3 】

なお、図 8 に、本実施の形態の電力増幅装置 6 2 を誘電体多層基板内に形成した例を示す。  
10

#### 【 0 1 5 4 】

誘電体基板 9 1 上には整合回路 / 分配回路 4 1、FET 4 2 a、4 2 b、及び 4 2 c、反転増幅器 4 5 a 及び 4 5 b、チップコンデンサであるキャパシタ 2 7 a 及び 2 7 b、及び合成回路 / 整合回路 2 8 が形成されている。誘電体基板 9 1 の下層には、シールド電極が形成された誘電体基板 9 2 が形成されている。

#### 【 0 1 5 5 】

誘電体基板 9 2 の下層には誘電体基板 9 3 が形成されている。誘電体基板 9 3 には 2 倍波短絡回路 4 3 a、4 3 b、4 3 c、及び 4 3 d が形成されている。また、誘電体基板 9 3 と誘電体基板 9 4 のシールド電極である接地層との間に、キャパシタ 4 4 a、4 4 b、4 6 a、4 6 b が形成されている。そして、誘電体基板 9 2 の下層にはシールド電極が形成された誘電体基板 9 4 が形成されている。  
20

#### 【 0 1 5 6 】

なお、本実施の形態では、FET 4 2 a と FET 4 2 c とは FET サイズが同一であるとしたが、これに限らない。FET 4 2 a と FET 4 2 c とが FET サイズが異なっていても構わない。なお、この場合には、FET 4 2 b のサイズは、FET 4 2 a と FET 4 2 c とのうち FET サイズが小さい方よりも FET サイズが小さいことが好ましい。

#### 【 0 1 5 7 】

さらに、本実施の形態の終端抵抗 4 8 の代わりにキャパシタ、インダクタ及び抵抗を組み合わせた構成を持つ終端負荷や、キャパシタと抵抗とを組み合わせた構成を持つ終端負荷や、インダクタと抵抗とを組み合わせた構成を持つ終端負荷や、キャパシタとインダクタとを組み合わせた構成を持つ終端負荷を用いることも出来る。  
30

#### 【 0 1 5 8 】

なお、第 2 の実施の形態の電力増幅装置 6 2 のうち、FET 4 2 c、2 倍波短絡回路 4 3 c 及び 4 3 d、反転増幅器 4 5 b、キャパシタ 4 4 b 及び 4 6 b、キャパシタ 2 7 b を設けない構成の電力増幅器であっても本実施の形態と同等の効果を得ることが出来る。

#### 【 0 1 5 9 】

すなわち、図 4 において、整合回路 / 分配回路 4 1 の代わりに入力を 2 分配する整合回路 / 分配回路に置き換え、また、合成回路 / 整合回路 2 8 の代わりに、キャパシタ 2 7 a を通過した増幅信号を出力端子 2 9 に出力するととともに、そのインピーダンスを整合させる整合回路に置き換えればよい。このようにすることによっても本実施の形態と同等の効果を得ることが出来る。  
40

#### 【 0 1 6 0 】

さらに、第 2 の実施の形態の電力増幅装置 6 2 では、増幅信号が出力端子に出力される FET 4 2 a 及び FET 4 2 c は 2 個であり、変調波の周波数の信号を打ち消すための FET 4 2 b は 1 個使用されているがこれに限らない。変調波の周波数の信号を打ち消すための FET を一つ設け、増幅信号が出力端子に出力される FET を (N - 1) 個設けた電力増幅器であってもよい。この場合 (N - 1) 個の FET のそれぞれ FET のゲートには、被変調波の周波数の信号を N 分配する整合回路 / 分配回路のそれぞれの出力が接続されている。また変調波の周波数の信号を打ち消すための FET のゲートには、この整合回路  
50

/分配回路の残りの出力が接続されている。そして、(N - 1)個のFETのそれぞれのFETと変調波の周波数の信号を打ち消すためのFETとの間には、それぞれ図4の2倍波短絡回路43b、キャパシタ46a、反転増幅器45a、キャパシタ44a、2倍波短絡回路43a、及びキャパシタ27aの回路部分と同等の回路構成を有する回路が接続される。また、(N - 1)個のFETのそれぞれのFETから出力された信号は、それぞれのFETのキャパシタ27aと同等のキャパシタを経由して、(N - 1)個の入力を合成してインピーダンスを整合させる合成回路/整合回路から出力端子29に出力されるものとする。

#### 【0161】

さらに、本実施の形態では、FET42bのドレインには、FET42a及び42cのそれぞれに至る回路の経路上にそれぞれ2倍波短絡回路43b及び2倍波短絡回路43cを設けたが、これに限らない。FET42bのドレインに2倍波短絡回路の一方を接続し、その2倍波短絡回路の他方を反転増幅器45aの入力、及び反転増幅器45bの入力に接続する構成も可能である。また、このような電力増幅装置において、上述したように、増幅信号が出力端子に出力されるFETを(N - 1)個設けた構成にすることも可能である。このようにすれば、2倍波短絡回路の個数を少なくすることが出来る。

10

#### 【0162】

このように、FET42bのドレインからFET42a及びFET42cに至る回路のそれぞれの経路上の各素子のうち、2倍波短絡回路43b及び2倍波短絡回路43cを共通化することが出来るが、さらに、FET42bのドレインからFET42a及びFET42cに至る経路上のそれぞれの素子の全部または一部をさらに共通化することも出来る。

20

#### 【0163】

例えばFET42bのドレインからFET42aのドレインに至る経路上の素子のうち、2倍波短絡回路43b及びキャパシタ46aを、FET42bのドレインからFET42cのドレインに至る回路部分のうちの2倍波短絡回路43c及びキャパシタ46bと共に接続することが出来る。すなわち、FET42bのドレインに2倍波短絡回路の一方を接続し、その2倍波短絡回路の他方を図示していない分配回路で2分配し、その2分配した一方の出力を反転増幅器45aの入力に接続し、他方の出力を反転増幅器45bの入力に接続する。また、2倍波短絡回路の他方にはキャパシタ46a及び46bを共通化したキャパシタの一方を接続し、その他方を接地する。

30

#### 【0164】

また、例えばFET42bのドレインからFET42aのドレインに至る経路上の回路部分のうち、2倍波短絡回路43b及びキャパシタ46a及び反転増幅器45aを、FET42bのドレインからFET42cのドレインに至る経路上の回路部分のうちの2倍波短絡回路43c及びキャパシタ46b及び反転増幅器45bとを共通化することが出来る。すなわち、FET42bのドレインに2倍波短絡回路の一方を接続し、その2倍波短絡回路の他方にキャパシタの一方及び反転増幅器の入力を接続し、そのキャパシタの他方は接地し、反転増幅器の出力に図示していない分配回路の入力を接続し、その分配回路で2分配された出力を2倍波短絡回路43aの他方及び2倍波短絡回路43dの他方に接続し、2倍波短絡回路43a及び43dの他方に、キャパシタ44a及び44bを接続する。

40

#### 【0165】

また、例えばFET42bのドレインからFET42aのドレインに至る回路部分のうち、2倍波短絡回路43b及びキャパシタ46a及び反転増幅器45a及びキャパシタ44aを、FET42bのドレインからFET42cのドレインに至る回路部分のうちの2倍波短絡回路43c及びキャパシタ46b及び反転増幅器45b及びキャパシタ44bとを共通化することが出来る。すなわち、FET42bのドレインに2倍波短絡回路の一方を接続し、その2倍波短絡回路の他方にキャパシタの一方及び反転増幅器の入力を接続し、そのキャパシタの他方は接地し、反転増幅器の出力にキャパシタ及び図示していない分配回路の入力を接続し、そのキャパシタの他方は接地し、その分配回路で2分配された出力を2倍波短絡回路43aの他方及び2倍波短絡回路43dの他方に接続する。

50

## 【0166】

また、例えば、FET42bのドレインからFET42aのドレインに至る回路部分のうち、2倍波短絡回路43b及びキャパシタ46a及び反転増幅器45a及びキャパシタ44a、2倍波短絡回路43aを、FET42bのドレインからFET42cのドレインに至る回路部分のうちの2倍波短絡回路43c及びキャパシタ46b及び反転増幅器45b及びキャパシタ44b、2倍波短絡回路43dとを共通化することが出来る。すなわち、FET42bのドレインに2倍波短絡回路の一方を接続し、その2倍波短絡回路の他方にキャパシタの一方及び反転増幅器の入力を接続し、そのキャパシタの他方は接地し、反転増幅器の出力にキャパシタ及びもう一つの2倍波短絡回路の他方を接続し、その2倍波短絡回路の他方に図示していない分配回路の入力を接続し、その分配回路で2分配された出力をFET42aのドレイン及びFET42cのドレインに接続する。

10

## 【0167】

このような電力増幅装置において、上述したように、増幅信号が出力端子に出力されるFETを(N-1)個設けた構成にすることも出来ることはいうまでもない。

## 【0168】

さらに、第1の実施の形態や第2の実施の形態で説明した電力増幅装置を複数組み合わせた構成を有する電力増幅装置であってもよい。

## 【0169】

例えば、図4の電力増幅装置62を2つ組み合わせると、2つの電力増幅装置62の整合回路／分配回路41を共通化することを意味する。すなわち、共通化するとは、2つの整合回路／分配回路41を一つの整合回路／分配回路として実現することを意味する。従ってこのように共通化した整合回路／分配回路は、一つの入力端子21から被変調波の周波数の信号を入力し、6分配する。このうち3つの出力は一方の電力増幅装置62のFETに入力され、残りの3つの出力は他方の電力増幅装置62のFETに入力される。

20

## 【0170】

そして、合成回路／整合回路28も同様に共通化する。すなわち、共通化するとは、2つの合成回路／整合回路28を一つの合成回路／整合回路として実現することを意味する。従ってこのように共通化した合成回路／整合回路28は、4つの増幅信号を合成して一つの出力端子29に出力するとともにそのインピーダンスを整合させるものとなる。そして、一方の電力増幅装置62のキャパシタ27a及び27bを通過した増幅信号が共通化された合成回路／整合回路の2つの入力に入力され、他方の電力増幅装置62のキャパシタ27a及び27bを通過した増幅信号が共通化された合成回路／整合回路の残りの2つの入力に入力されるものとする。そして、これら4つの増幅信号が共通化された合成回路／整合回路で合成されるとともに、インピーダンスが整合されて一つの出力端子29から出力されるものとする。

30

## 【0171】

このようにすれば、第1の実施の形態の電力増幅装置61、及び第2の実施の形態の電力増幅装置62、及び第2の実施の形態で説明した電力増幅装置62を変形した電力増幅装置を複数個及び／または複数種類組み合わせた電力増幅装置も得ることが出来る。このように本実施の形態の電力増幅装置を複数個及び／または複数種類組み合わせた電力増幅装置の整合回路／分配回路は、組み合わせる前の各整合回路／分配回路を上記と同様に共通化したもの用いる。また、同様に本実施の形態の電力増幅装置を複数個及び／または複数種類組み合わせた電力増幅装置の合成回路／整合回路は、組み合わせる前の各合成回路／整合回路を上記と同様に共通化したもの用いる。このように本実施の形態の電力増幅装置を組み合わせた電力増幅装置も本実施の形態と同等の効果を得ることが出来る。

40

## 【0172】

なお、本実施の形態のFETは本発明の増幅素子の例であり、本実施の形態の2倍波短絡回路は本発明のフィルタの例であり、本実施の形態のFET23aは本発明の第1の増幅素子の例であり、本実施の形態のFET23bは本発明の第2の増幅素子の例であり、本実施の形態の2倍波短絡／バイアスチョーク回路24aは本発明の第1のフィルタの例

50

であり、本実施の形態の 2 倍波短絡 / バイアスチョーク回路 2 4 b は本発明の第 2 のフィルタの例であり、本実施の形態の F E T 4 2 a は本発明の第 1 の増幅素子の例であり、本実施の形態の F E T 4 2 c は本発明の第 1 の増幅素子の例であり、本実施の形態の F E T 4 2 b は本発明の第 2 の増幅素子の例である。

**【 0 1 7 3 】**

なお、本発明の増幅素子は、本実施の形態における F E T に限らず、トランジスタなど他の増幅素子であっても構わない。

**【 0 1 7 4 】**

さらに、本発明の無線通信装置とは、例えば、携帯電話、P H S、自動車電話、列車電話、船舶電話、航空機電話、コードレス電話、ポケットベルなどの移動体無線装置及びその基地局装置を含む。

10

**【 0 1 7 5 】**

**【発明の効果】**

以上説明したところから明らかなように、本発明は、従来とは異なった構成で、増幅素子の出力側の回路部分の変調波の周波数におけるインピーダンスを低くすることが出来る電力増幅装置、及び無線通信装置を提供することが出来る。

**【 0 1 7 6 】**

また、本発明は、増幅素子の出力側の回路部分の変調波の周波数におけるインピーダンスをより低くすることが出来、増幅素子の線形性をより有効に利用することが出来る電力増幅装置、及び無線通信装置を提供することが出来る。

20

**【図面の簡単な説明】**

**【図 1】**本発明の第 1 の実施の形態における電力増幅装置の構成を示す図

**【図 2】**本発明の第 1 の実施の形態における電力増幅装置のうち、差周波反転回路、2 倍波短絡 / バイアスチョーク回路の部分の詳細な構成を示す図

**【図 3】**本発明の第 1 の実施の形態における電力増幅装置のうち、差周波反転回路、2 倍波短絡 / バイアスチョーク回路の部分の詳細な構成を示す図

**【図 4】**本発明の第 2 の実施の形態における電力増幅装置の構成を示す図

**【図 5】**本発明の第 1 の実施の形態における電力増幅装置を誘電体多層基板内に形成した例を示す図

**【図 6】**本発明の第 1 の実施の形態における電力増幅装置を半導体基板上に誘電体層を配置して形成した例を示す図

30

**【図 7】**本発明の第 1 の実施の形態における電力増幅装置をセラミック高周波パッケージ内に実装した例を示す図

**【図 8】**本発明の第 1 の実施の形態における電力増幅装置を誘電体多層基板内に形成した例を示す図

**【図 9】**本発明の第 1 、及び第 2 の実施の形態における無線回路の構成を示す図

**【図 10】**従来の歪み特性が良好な電力増幅装置の構成を示す図

**【符号の説明】**

1 発振器

40

2 発振器

3 变調器

4 ミキサ

5 電力増幅器

6 アンテナ共用器

7 アンテナ

2 1 入力端子

2 2 整合回路 / 分配回路

2 3 a F E T

2 3 b F E T

2 4 a 2 倍波短絡 / バイアスチョーク回路

50

2 4 b 2 倍波短絡 / バイアスチョーク回路

2 5 a キャパシタ

2 5 b キャパシタ

2 6 差周波反転回路

2 7 a キャパシタ

2 7 b キャパシタ

2 8 合成回路 / 整合回路

2 9 出力端子

4 1 整合回路 / 分配回路

4 2 a F E T

10

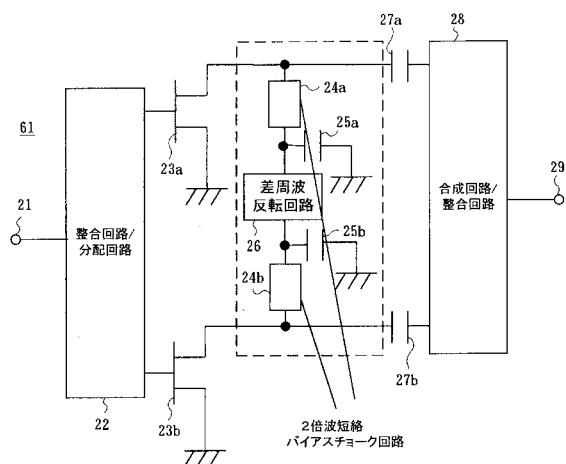
4 2 b F E T

4 2 c F E T

4 5 a 反転増幅器

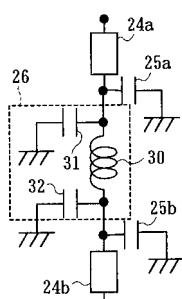
4 5 b 反転増幅器

【図 1】

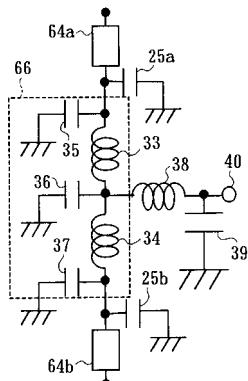


- 2 1 : 入力端子
- 2 3 a : F E T
- 2 3 b : F E T
- 2 5 a : キャパシタ
- 2 5 b : キャパシタ
- 2 7 a : キャパシタ
- 2 7 b : キャパシタ
- 2 9 : 出力端子

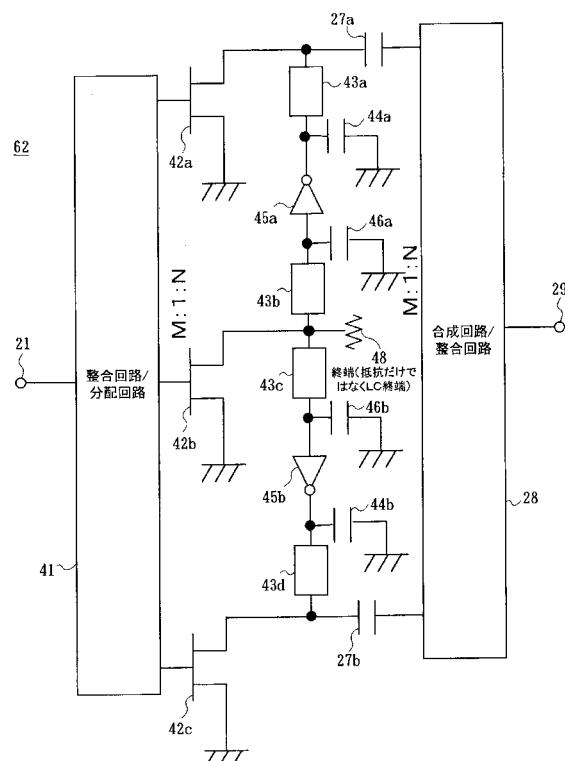
【図 2】



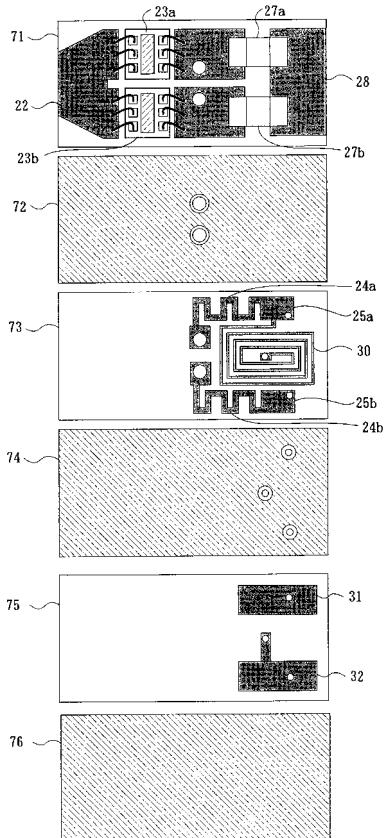
【図 3】



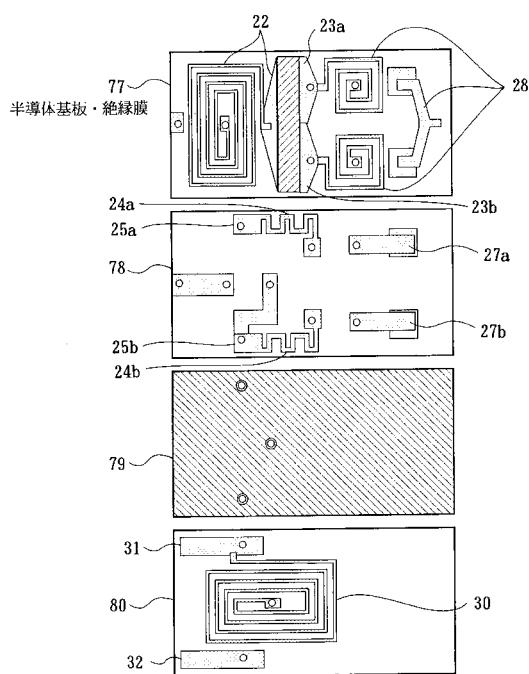
【図4】



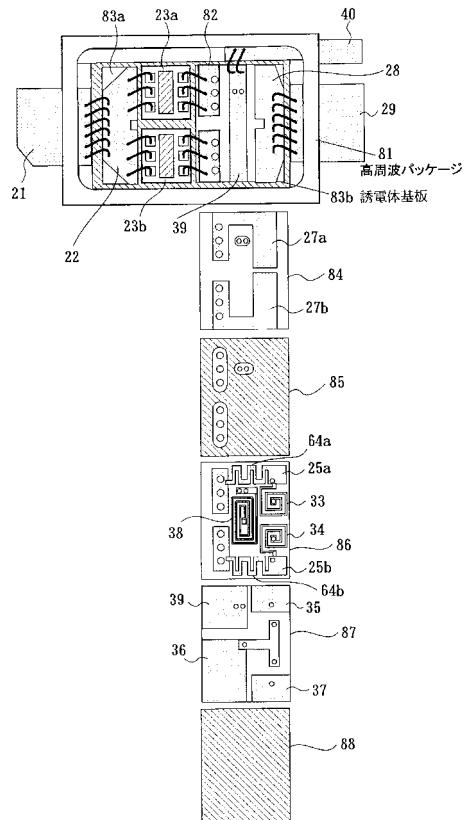
【図5】



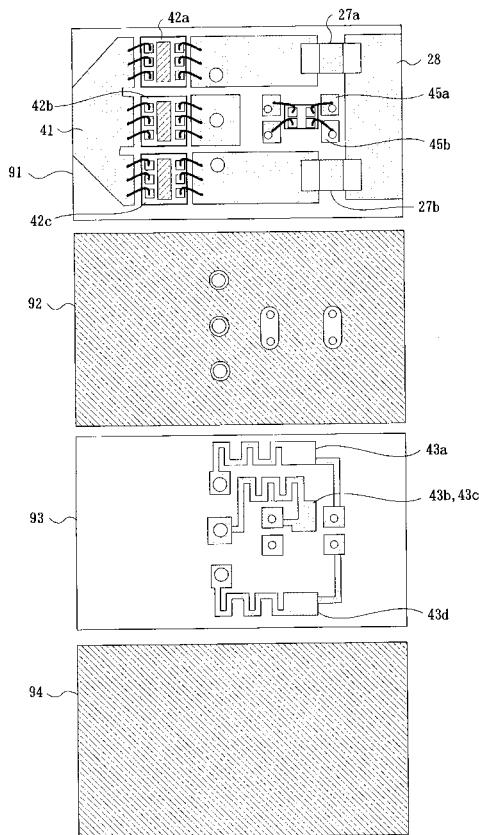
【図6】



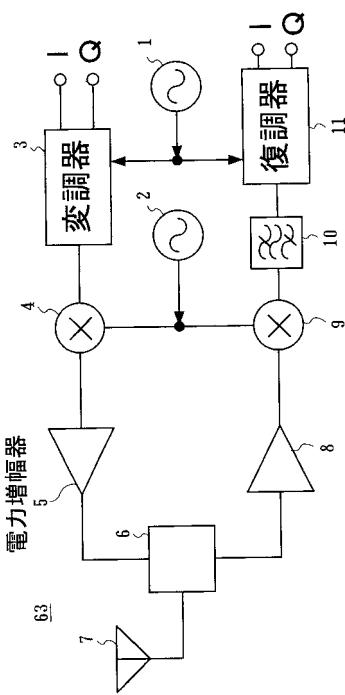
【図7】



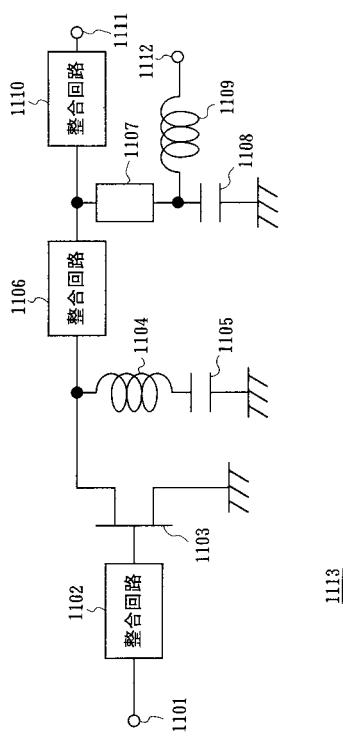
【図 8】



【図 9】



【図 10】



---

フロントページの続き

審査官 石原 由晴

- (56)参考文献 特開昭63-153904(JP,A)  
特開2000-349564(JP,A)  
特開平02-223207(JP,A)  
特開平07-183744(JP,A)  
特開2002-204131(JP,A)

(58)調査した分野(Int.Cl., DB名)

- H03F 1/00-3/45  
H03F 3/50-3/52  
H03F 3/62-3/64  
H03F 3/68-3/72  
H04B 1/02-1/04