

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5501364号
(P5501364)

(45) 発行日 平成26年5月21日(2014.5.21)

(24) 登録日 平成26年3月20日(2014.3.20)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 624B
HO1L 51/50 (2006.01)	G09G 3/20 641D
	G09G 3/20 641R
	G09G 3/20 642D
請求項の数 14 (全 34 頁) 最終頁に続く	

(21) 出願番号	特願2011-528122 (P2011-528122)	(73) 特許権者	000005821
(86) (22) 出願日	平成21年12月9日(2009.12.9)		パナソニック株式会社
(86) 国際出願番号	PCT/JP2009/006717		大阪府門真市大字門真1006番地
(87) 国際公開番号	W02011/070615	(74) 代理人	100109210
(87) 国際公開日	平成23年6月16日(2011.6.16)		弁理士 新居 広守
審査請求日	平成24年7月3日(2012.7.3)	(72) 発明者	小野 晋也
			日本国大阪府門真市大字門真1006番地
			パナソニック株式会社内
		審査官	橋本 直明
最終頁に続く			

(54) 【発明の名称】 表示装置及びその制御方法

(57) 【特許請求の範囲】

【請求項1】

第1電極と第2電極とを有する発光素子と、
電圧を保持するコンデンサと、
ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記発光素子の第1電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に供給することにより前記発光素子を発光させる駆動素子と、
前記駆動素子のドレイン電流を停止させるための前記ゲート電極の電圧値を規定する参照電圧を供給する電源線と、
前記駆動素子のゲート電極に前記参照電圧を供給する第1スイッチング素子と、
信号電圧及び所定のリセット電圧を供給するデータ線と、
一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第2電極に接続され、前記データ線と前記コンデンサの第2電極との導通及び非導通を切り換える第2スイッチング素子と、
前記第1スイッチング素子及び前記第2スイッチング素子を制御する駆動回路と、
を具備し、
前記駆動回路は、
前記第1スイッチング素子をONして、前記駆動素子のゲート電極に前記参照電圧を供給し前記駆動素子のドレイン電流を停止させ、
前記第1スイッチング素子をONしている期間内に、前記第2スイッチング素子をON

10

20

して、前記データ線から前記所定のリセット電圧を前記発光素子の第1電極と前記駆動素子のソース電極との接続点に印加することを特徴とする表示装置。

【請求項2】

前記第1スイッチング素子をONするタイミングと、前記第2スイッチング素子をONするタイミングとは同時である

請求項1記載の表示装置。

【請求項3】

前記駆動回路は、

前記第1スイッチング素子及び前記第2スイッチング素子をOFFした後、

前記第1スイッチング素子をONして、前記駆動素子のゲート電極に前記参照電圧を供給し前記駆動素子のドレイン電流を停止させ、

前記第1スイッチング素子をONしている期間内に、前記第2スイッチング素子をONして、前記信号電圧を前記コンデンサの第2電極に印加させることにより、

前記コンデンサに所望の電圧を保持させる、

請求項1又は2に記載の表示装置。

【請求項4】

前記駆動回路は、

前記第2スイッチング素子をONして、前記コンデンサに前記所望の電圧を保持させた後、

前記第1スイッチング素子及び前記第2スイッチング素子をOFFする、

請求項3に記載の表示装置。

【請求項5】

前記発光素子の第1電極と前記コンデンサの第2電極との間に第3スイッチング素子を直列に設け、

前記駆動回路は、

前記第3スイッチング素子をOFFしている間に、前記第2スイッチング素子をONして前記信号電圧を前記コンデンサの第2電極に印加させることにより、前記コンデンサに所望の電圧を保持させ、

前記所望の電圧が前記コンデンサに保持された後、前記第1スイッチング素子及び前記第2スイッチング素子をOFFして、

前記第3スイッチング素子をONする、

請求項1乃至4のいずれかに記載の表示装置。

【請求項6】

前記発光素子の第1電極はアノード電極であり、前記発光素子の第2電極はカソード電極である、

ことを特徴とする請求項1乃至5のいずれかに記載の表示装置。

【請求項7】

前記第1スイッチング素子の導通及び非導通を制御する信号を供給する第1走査線と、

前記第2スイッチング素子の導通及び非導通を制御する信号を供給する第2走査線と、
を備え、

前記第1走査線と前記第2走査線とは共通の走査線である請求項1記載の表示装置。

【請求項8】

前記所定のリセット電圧の電圧値は、

前記データ線から前記所定のリセット電圧を前記発光素子の第1電極と前記駆動素子のソース電極との接続点に印加している際に、前記駆動素子のゲート電極と前記駆動素子のソース電極との電位差が、前記駆動素子がオン状態となる閾値電圧より低い電圧となるように設定されている、

請求項1記載の表示装置。

【請求項9】

10

20

30

40

50

さらに、前記所定のリセット電圧の電圧値は、

前記データ線から前記所定のリセット電圧を前記発光素子の第1電極と前記駆動素子のソース電極との接続点に印加している際に、前記発光素子の第1電極と前記発光素子の第2電極との電位差が、前記発光素子が発光を開始する前記発光素子の閾値電圧より低い電圧となるように設定されている、

請求項8記載の表示装置。

【請求項10】

前記発光素子は、複数個マトリクス状に配置されている、

請求項1乃至9のいずれかに記載の表示装置。

【請求項11】

前記発光素子及び前記第3スイッチング素子は単位画素の画素回路を構成し、

前記画素回路は複数個マトリクス状に配置されている、

請求項5に記載の表示装置。

【請求項12】

前記発光素子、前記コンデンサ、前記駆動素子、前記第1スイッチング素子、前記第2スイッチング素子及び前記第3スイッチング素子は単位画素の画素回路を構成し、

前記画素回路は複数個マトリクス状に配置されている、

請求項5に記載の表示装置。

【請求項13】

前記発光素子は、有機EL発光素子である、

請求項1乃至12のいずれかに記載の表示装置。

【請求項14】

第1電極と第2電極とを有する発光素子と、

電圧を保持するコンデンサと、

ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記発光素子の第1電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に供給することにより前記発光素子を発光させる駆動素子と、

前記駆動素子のドレイン電流を停止させるための前記ゲート電極の電圧値を規定する参照電圧を供給する電源線と、

前記駆動素子のゲート電極に前記参照電圧を供給する第1スイッチング素子と、

信号電圧及び所定のリセット電圧を供給するデータ線と、

一方の端子が前記データ線に電氣的に接続され、他方の端子が前記コンデンサの第2電極に電氣的に接続され、前記データ線と前記コンデンサの第2電極との導通及び非導通を切り換える第2スイッチング素子と、

前記第1スイッチング素子及び前記第2スイッチング素子を制御する駆動回路と、

を具備した表示装置の制御方法であって、

前記駆動回路によって、

前記第1スイッチング素子をONして、前記駆動素子のゲート電極に前記参照電圧を供給し前記駆動素子のドレイン電流を停止させるステップと、

前記第1スイッチング素子をONしている期間内に、前記第2スイッチング素子をONして、前記データ線から前記所定のリセット電圧を前記発光素子の第1電極と前記駆動素子のソース電極との接続点に印加するステップと、

が実行されることを特徴とする表示装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその制御方法に関し、特に電流駆動型の発光素子を用いた表示装置及びその制御方法に関する。

【背景技術】

【0002】

10

20

30

40

50

電流駆動型の発光素子を用いた表示装置として、有機エレクトロルミネッセンス（ＥＬ）素子を用いた表示装置が知られている。この有機ＥＬ素子を用いた表示装置は、液晶表示装置に必要なバックライトが不要で装置の薄型化に最適である。

【 0 0 0 3 】

有機ＥＬ素子を用いた表示装置では、画素を構成する有機ＥＬ素子がマトリクス状に配置され、その有機ＥＬ素子に電流を供給する駆動素子を制御することにより有機ＥＬ素子を発光させる。

【 0 0 0 4 】

具体的には、複数の走査線と複数のデータ線との交点にスイッチング薄膜トランジスタ（ＴＦＴ：Thin Film Transistor）を設け、このスイッチングＴＦ 10
Ｔにコンデンサを接続し、選択した走査線を通じてこのスイッチングＴＦＴをオンさせて信号線から発光輝度に対応するデータ電圧をコンデンサに入力する。また、コンデンサは駆動素子のゲート電極に接続されている。つまり、駆動素子のゲート電極にデータ電圧が印加される。

【 0 0 0 5 】

このような構成により、スイッチングＴＦＴを非選択としている期間も、駆動素子により有機ＥＬ素子に電流を供給する。このような駆動素子によって有機ＥＬ素子を駆動するものをアクティブマトリクス型の有機ＥＬ表示装置と呼ぶ。

【 0 0 0 6 】

しかし、駆動素子の電圧 - 電流特性は、同じ電圧値がコンデンサに保持された場合に常 20
に同じ特性を有するとは限らない。言い換えると、コンデンサに同じ電圧値が保持されている場合であっても、異なる電流値の電流が流れる場合がある。例えば、コンデンサの基準電圧側の電極に 0 V が供給され、前記コンデンサの駆動素子のゲートに接続された電極に供給される電圧が - 3 V から - 6 V に下がった結果、蓄積された電圧値が 6 V になった場合のその電圧値に対応する電流値と、前記コンデンサの駆動素子のゲートに接続された電極に供給される電圧が - 9 V から - 6 V に上がった結果蓄積された電圧値が 6 V になった場合のその電圧値に対応する電流値とが異なる。これは、駆動素子の電圧 - 電流特性が、いわゆるヒステリシスな特性であることに起因する。

【 0 0 0 7 】

図 1 2 は、駆動素子の電圧 - 電流特性の一例を示すグラフである。 30

【 0 0 0 8 】

同図に示すように、駆動素子の電圧 - 電流特性はヒステリシスな特性を有するので、駆動素子のゲート - ソース間電圧が同じ場合でも、所望の電流値より大きい電流が流れたり、小さい電流が流れたりする。

【 0 0 0 9 】

このようなヒステリシスな特性によって所望の電流値とは異なる電流が流れた場合には残像が発生することになる。

【 0 0 1 0 】

この残像の問題を解決するために、有機ＥＬ素子の発光後、駆動素子がオフ状態となるような参照電圧を駆動素子のゲート電圧に印加する方法が提案されている（例えば、特許 40
文献 1）。

【 0 0 1 1 】

図 1 3 は、特許文献 1 に記載された、有機ＥＬ素子を用いた従来の表示装置における画素部の構成を示す回路図である。同図における画素部 5 7 0 は、カソードが負電源線（電圧値は 0 V）に接続された有機ＥＬ素子 5 0 5、ドレインが正電源線（電圧値は V D D）に接続されソースが有機ＥＬ素子 5 0 5 のアノードに接続された駆動薄膜トランジスタ（駆動ＴＦＴ） 5 0 4、駆動ＴＦＴ 5 0 4 のゲート - ソース間に接続され駆動ＴＦＴ 5 0 4 のゲート電圧を保持する容量素子 5 0 3、信号線 5 0 6 からデータ電圧を選択的に駆動Ｔ 50
ＦＴ 5 0 4 のゲートに印加する第 1 スwitching 素子 5 0 1、及び駆動ＴＦＴ 5 0 4 のゲート電位を参照電圧 V r e f に初期化する第 2 スwitching 素子 5 0 2 という簡単な回路

素子により構成される。

【0012】

以下、画素部570へのデータ電圧の書き込み動作について説明する。

【0013】

有機EL素子505の発光後、最初に、駆動TF T504がオフとなるような参照電圧 V_{ref} (駆動TF T504がN型の場合 $V_{gs} - V_{th} < 0$ (ただし、 V_{gs} : 駆動TF T504のゲート-ソース間電圧、 V_{th} : 駆動TF T504の閾値電圧)) を駆動TF T504のゲートに印加して、駆動TF T504をオフする(時刻 $t = 0$ とする)。例えば、参照電圧 V_{ref} は0Vである。

【0014】

その後、時刻 $t = t_1$ において、次のフレーム期間の信号電圧に対応するデータ電圧を駆動TF T504のゲート電極に印加する。

【0015】

これにより、データ電圧書き込み時において常に、駆動TF T504のゲート-ソース間電圧は電圧を上げる方向で印加される。よって、駆動TF T504の電圧-電流特性がヒステリシスを有することによる残像の発生を防止できる。つまり、特許文献1記載の表示装置は、黒データに対応する信号電圧をコンデンサに書き込んで前記コンデンサをリセットし、そのリセットされたコンデンサに有機EL素子505の発光輝度に応じたデータ電圧に対応する信号電圧を書き込むことで、残像の発生を解決している。

【先行技術文献】

【特許文献】

【0016】

【特許文献1】特開2008-3542号公報

【発明の概要】

【発明が解決しようとする課題】

【0017】

しかしながら、特許文献1記載の構成においては、駆動TF Tのゲート-ソース間電圧が安定するまでに十分な時間が必要であり、十分な時間が経過する前に、駆動TF Tのゲートに次のフレーム期間のデータ電圧が印加されると、前フレームの状態がリセットされず残像が発生するという問題がある。

【0018】

以下、この残像の発生する原因について詳細に説明する。

【0019】

図14は、ゲート-ソース間電圧が所定電圧まで低下してから再度上昇するまでの時間に応じたTF Tの電圧-電流特性の一例を示すグラフである。同図には、ゲート-ソース間電圧が定常状態の電圧まで低下してから再度上昇するまでの時間であるリセット有効期間 T_r ごとに、ゲート-ソース間電圧が低い側から高い側へ上昇する際の電圧-電流特性が示されている。なお、 $T_1 > T_2 > T_3$ である。

【0020】

同図から明らかのように、TF Tはリセット有効期間が長いほど、電圧-電流特性が初期状態へと近づく。言い換えると、TF Tをオフ状態としてからオン状態とするまでの時間が短い($T_r = T_3$) 場合の電圧-電流特性と、TF Tをオフ状態としてからオン状態とするまでの時間が長い($T_r = T_1$) 場合の電圧-電流特性とは、異なる特性を有する。

【0021】

これはTF Tの駆動条件がある条件から別のある条件へ変化した際に、TF Tの電圧-電流特性がある時定数(t_a)を有して変化するためである。つまり、駆動条件が変化してからTF Tの電圧-電流特性が初期状態になるまでは、TF Tのゲート-ソース間に所望の定常状態となる電圧を安定的に供給する必要がある。

【0022】

10

20

30

40

50

ところが、特許文献1の構成においては、駆動TFTのゲート電極の電位が黒データに対応する信号電圧となってから駆動TFTのソース電極の電位が安定するまでの時間は非常に長い。具体的には、駆動TFTのソース電極の電位は、発光素子特性による予め定められた時定数に依存して変化し、この時定数は、発光素子の容量成分と直流抵抗成分とで決定され、発光素子がオフ状態に近づくにつれて発光素子の直流抵抗成分が大きくなることにより、発光素子がオフ状態に近づくにつれて増大する。すなわち駆動TFTのソース電極の電位は、なかなか安定しない。

【0023】

このように駆動TFTのソース電極の電位が安定するまでに長い時間を要することにより、1フレーム期間のうち発光素子が発光している非発光期間において、駆動TFTの電圧-電流特性が初期状態となる程度の時間を確保することが難しい。つまり、十分なりセット有効時間 T_r を確保できない。したがって、画素に同じデータ電圧を書き込んだ場合でも、前フレームの画素の状態に依存して、発光素子に所望の電流値より大きい電流が流れたり、小さい電流が流れたりする。その結果、残像が発生するという問題がある。言い換えると、駆動TFTの電圧-電流特性の過渡状態に起因して残像が発生するという問題がある。

10

【0024】

一方、リセット有効期間 T_r をTFTの電圧-電流特性が初期状態となる程度の時間確保するために非発光期間を長くした場合、1フレーム期間のうち発光素子が発光している発光期間が短くなるので、表示輝度が低下する、もしくは表示輝度を同程度とするためには瞬間的な発光強度を大きくするために、発光素子の動作負荷が高くなり短寿命となるという問題がある。

20

【0025】

上記課題に鑑み、本発明は、表示輝度を確保し、残像の発生を防止する表示装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0026】

上記目的を達成するために、本発明の一態様に係る表示装置は、第1電極と第2電極とを有する発光素子と、電圧を保持するコンデンサと、ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記発光素子の第1電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に供給することにより前記発光素子を発光させる駆動素子と、前記駆動素子のドレイン電流を停止させるための前記ゲート電極の電圧値を規定する参照電圧を供給する電源線と、前記駆動素子のゲート電極に前記参照電圧を供給する第1スイッチング素子と、信号電圧及び所定のリセット電圧を供給するデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第2電極に接続され、前記データ線と前記コンデンサの第2電極との導通及び非導通を切り換える第2スイッチング素子と、前記第1スイッチング素子の導通及び非導通を制御する信号を供給する第1走査線と、前記第2スイッチング素子の導通及び非導通を制御する信号を供給する第2走査線と、前記第1走査線及び前記第2走査線を介して前記第1スイッチング素子及び前記第2スイッチング素子を制御する駆動回路と、を具備し、前記駆動回路は、前記第1スイッチング素子をONして、前記駆動素子のゲート電極に前記参照電圧を供給し前記駆動素子のドレイン電流を停止させ、前記第1スイッチング素子をONしている期間内に、前記第2スイッチング素子をONして、前記データ線から前記所定のリセット電圧を前記発光素子の第1電極と前記駆動素子のソース電極との接続点に印加する。

30

40

【発明の効果】

【0027】

本発明に係る表示装置及びその制御方法によれば、前記駆動素子のソース電極は瞬時に所定のリセット電圧にリセットされる。すなわち、前記駆動素子のソース-ドレイン間が非接続の状態となっている期間内に、前記所定のリセット電圧を前記発光素子の第1電極及び前記駆動素子のソース電極との接続点に印加することで、前記駆動素子のソース電極

50

と前記発光素子の第1電極の電位を強制的にリセットする。よって、駆動素子のゲート - ソース間の電圧を参照電圧と前記所定のリセット電圧との差分電圧にリセットできるので、駆動素子の電圧 - 電流特性がヒステリシスであることに起因する残像の発生を防止できる。

【0028】

また、前記駆動素子のソース電極及び前記発光素子の第1電極がリセットするまでの時間を、前記コンデンサの第1電極への前記参照電圧の供給期間内での、前記コンデンサの第2電極へ前記所定のリセット電圧を供給するタイミングで調整できる。そのため、前記駆動素子のソース電極が一定電位に安定するまでの時間を、短縮できる。言い換えると、前記駆動素子のゲート - ソース間の電圧が一定電圧となるまでの時間を短縮できる。つまり、前記駆動素子のゲート - ソース間の電圧を、この短縮できた時間分、より長い時間一定の電圧に保つことができる。よって、非発光期間を長くすることなく、駆動素子の電圧 - 電流特性を実質的に初期状態とできる。したがって、所望の表示輝度を確保し、駆動素子の電圧 - 電流特性が過渡的に変化する過渡状態に起因する残像の発生を防止できる。

【図面の簡単な説明】

【0029】

【図1】図1は、実施の形態1に係る表示装置の電気的な構成を示すブロック図である。

【図2】図2は、発光画素の詳細な回路構成を示す回路図である。

【図3】図3は、表示装置の制御方法を説明する動作タイミングチャートである。

【図4】図4は、表示装置の制御方法を説明する動作フローチャートである。

【図5A】図5Aは、 $t = T_{11} \sim T_{12}$ における発光画素の状態を模式的に示した回路図である。

【図5B】図5Bは、 $t = T_{12} \sim T_{13}$ における発光画素の状態を模式的に示した回路図である。

【図5C】図5Cは、 $t = T_{13} \sim T_{14}$ における発光画素の状態を模式的に示した回路図である。

【図5D】図5Dは、 $t = T_{14} \sim T_{15}$ における発光画素の状態を模式的に示した回路図である。

【図6】図6は、実施の形態2に係る表示装置の電気的な構成を示すブロック図である。

【図7】図7は、発光画素の詳細な回路構成を示す回路図である。

【図8】図8は、表示装置の制御方法を説明する動作タイミングチャートである。

【図9】図9は、表示装置の制御方法を説明する動作フローチャートである。

【図10A】図10Aは、 $t = T_{21} \sim T_{22}$ における発光画素の状態の模式的に示した回路図である。

【図10B】図10Bは、 $t = T_{22} \sim T_{23}$ における発光画素の状態を模式的に示した回路図である。

【図10C】図10Cは、 $t = T_{23} \sim T_{24}$ における発光画素の状態を模式的に示した回路図である。

【図10D】図10Dは、 $t = T_{24} \sim T_{25}$ における発光画素の状態を模式的に示した回路図である。

【図10E】図10Eは、 $t = T_{25} \sim T_{26}$ における発光画素の状態を模式的に示した回路図である。

【図11】図11は、本発明の表示装置を内蔵した薄型フラットTVの外観図である。

【図12】図12は、駆動素子の電圧 - 電流特性の一例を示すグラフである。

【図13】図13は、特許文献1に記載された、有機EL素子を用いた従来の表示装置における画素部の構成を示す回路図である。

【図14】図14は、ゲート - ソース間電圧が所定電圧まで低下してから再度上昇するまでの時間に応じたTFTの電圧 - 電流特性の一例を示すグラフである。

【発明を実施するための形態】

【0030】

10

20

30

40

50

請求項1記載の態様の表示装置は、第1電極と第2電極とを有する発光素子と、電圧を保持するコンデンサと、ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記発光素子の第1電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に供給することにより前記発光素子を発光させる駆動素子と、前記駆動素子のドレイン電流を停止させるための前記ゲート電極の電圧値を規定する参照電圧を供給する電源線と、前記駆動素子のゲート電極に前記参照電圧を供給する第1スイッチング素子と、信号電圧及び所定のリセット電圧を供給するデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第2電極に接続され、前記データ線と前記コンデンサの第2電極との導通及び非導通を切り換える第2スイッチング素子と、前記第1走査線及び前記第2走査線を介して前記第1スイッチング素子及び前記第2スイッチング素子を制御する駆動回路と、を具備し、前記駆動回路は、前記第1スイッチング素子をONして、前記駆動素子のゲート電極に前記参照電圧を供給し前記駆動素子のドレイン電流を停止させ、前記第1スイッチング素子をONしている期間内に、前記第2スイッチング素子をONして、前記データ線から前記所定のリセット電圧を前記発光素子の第1電極と前記駆動素子のソース電極との接続点に印加する。

10

【0031】

本態様によると、前記コンデンサの第1電極を前記駆動素子のゲート電極に接続し、前記コンデンサの第2電極を、前記第2スイッチング素子を介して前記データ線に接続する。また、前記駆動素子のドレイン電流を停止させるための前記ゲート電極の電圧値を規定する参照電圧を、前記駆動素子のゲート電極に供給するための第1スイッチング素子を設けている。そして、前記第1スイッチング素子をONすることで、参照電圧が、駆動回路により前記コンデンサの第1電極に供給される。これにより、前記駆動素子のドレイン電流が停止するので、前記駆動素子のソース-ドレイン間が非接続の状態となる。この前記駆動素子のソース-ドレイン間が非接続の状態となっている期間内に、駆動回路は、前記第2スイッチング素子をONして、前記データ線から前記所定のリセット電圧を前記発光素子の第1電極と前記駆動素子のソース電極との接続点に印加する。

20

【0032】

これにより、前記駆動素子のソース電極及び前記発光素子の第1電極の電位は瞬時に所定のリセット電圧にリセットされる。すなわち、前記駆動素子のソース-ドレイン間が非接続の状態となっている期間内に、前記所定のリセット電圧を前記発光素子の第1電極及び前記駆動素子のソース電極との接続点に印加することで、前記駆動素子のソース電極と前記発光素子の第1電極の電位を強制的にリセットする。よって、駆動素子のゲート-ソース間の電圧を参照電圧と前記所定のリセット電圧との差分電圧にリセットできるので、駆動素子の電圧-電流特性がヒステリシスであることに起因する残像の発生を防止できる。

30

【0033】

また、前記駆動素子のソース電極及び前記発光素子の第1電極がリセットするまでの時間を、前記コンデンサの第1電極への前記参照電圧の供給期間内での、前記コンデンサの第2電極へ前記所定のリセット電圧を供給するタイミングで調整できる。そのため、前記駆動素子のソース電極が一定電位に安定するまでの時間を、短縮できる。言い換えると、前記駆動素子のゲート-ソース間の電圧が一定電圧となるまでの時間を短縮できる。つまり、前記駆動素子のゲート-ソース間の電圧を、この短縮できた時間分、より長い時間一定の電圧に保つことができる。よって、非発光期間を長くすることなく、駆動素子の電圧-電流特性を実質的に初期状態とできる。したがって、表示輝度を維持し、駆動素子の電圧-電流特性が過渡的に変化する過渡状態に起因する残像の発生を防止できる。

40

【0034】

また、上述したように、駆動素子の電圧-電流特性を短時間で実質的に初期状態とできることにより、駆動素子のドレイン電流を停止させてから再度供給させるまでの時間である非発光期間を従来よりも短時間にした場合でも、駆動素子の電圧-電流特性の過渡状態に起因する残像の発生を防止できる。よって、発光期間をより長く確保できる。

50

【 0 0 3 5 】

請求項 2 記載の態様の表示装置によれば、前記第 1 スイッチング素子の ON するタイミングと、前記第 2 スイッチング素子の ON するタイミングとは同時である。

【 0 0 3 6 】

本態様によると、前記第 1 スイッチング素子の ON になるタイミングと、前記第 2 スイッチング素子の ON になるタイミングとは同時としている。この場合、例えば第 2 スイッチング素子のオン抵抗を 100 k 、発光素子とコンデンサの合成容量を 3 pF と仮定すると、合成容量の充放電の時定数は $0.3\text{ }\mu\text{秒}$ となり、前記駆動素子のソース電極が一定電位に遷移するまでの時間は、実質 $10\text{ }\mu\text{秒}$ 以下に短縮できるので、駆動素子のゲート電圧に参照電圧を印加してから駆動素子の電圧 - 電流特性が初期状態となるまでの時間を最短にできる。よって、前記発光素子の発光期間を最大限確保できる。

10

【 0 0 3 7 】

請求項 3 記載の態様の表示装置によれば、前記駆動回路は、前記第 1 スイッチング素子及び前記第 2 スイッチング素子を OFF した後、前記第 1 スイッチング素子を ON して、前記駆動素子の第 1 ゲート電極に前記参照電圧を供給し前記駆動素子のドレイン電流を停止させ、前記第 1 スイッチング素子を ON している期間内に、前記第 2 スイッチング素子を ON して、前記信号電圧を前記コンデンサの第 2 電極に印加させることにより、前記コンデンサに所望の電圧を保持させる。

【 0 0 3 8 】

本態様によると、前記駆動素子のドレイン電流を停止させるための前記第 1 ゲート電極の電圧値を規定する参照電圧を、前記駆動素子の第 1 ゲート電極に設定する第 1 スイッチング素子を設けている。そして、前記第 1 スイッチング素子を ON することで、前記駆動素子のドレイン電流を停止させるための前記第 1 ゲート電極の電圧値を規定する参照電圧が、前記コンデンサの第 1 電極に供給される。これにより、前記駆動素子のドレイン電流が停止するので、前記駆動素子のドレイン - ソース間が非接続の状態となる。この状態で、前記第 2 スイッチング素子を ON して、前記所望の電圧を前記コンデンサに保持させる。

20

【 0 0 3 9 】

これにより、前記駆動素子の第 1 ゲート電極とソース電極との電位差を、参照電圧とリセット電圧との差分電圧とした後に、前記所望の電圧にする。つまり、駆動素子の第 1 ゲート電極とソース電極との電位差をリセットした状態で、前記所望の電圧を前記コンデンサに保持するので、前記駆動素子の電圧 - 電流特性がヒステリシスであることの影響を受けることなく、前記信号電圧に対応する前記発光素子の発光量を安定させることができる。

30

【 0 0 4 0 】

請求項 4 記載の態様の表示装置によれば、前記駆動回路は、前記第 2 スイッチング素子を ON して、前記所望の電圧を前記コンデンサに保持させた後、前記第 1 スイッチング素子及び前記第 2 スイッチング素子を OFF する。

【 0 0 4 1 】

本態様によると、前記第 2 スイッチング素子を ON させて、前記所望の電圧を前記コンデンサに保持させた後、前記第 1 スイッチング素子及び前記第 2 スイッチング素子を OFF させる。これにより、前記駆動素子によって、前記コンデンサに保持された所望の電圧に応じた電流が前記発光素子に流れ、前記発光素子を発光させることができる。

40

【 0 0 4 2 】

請求項 5 記載の態様の表示装置は、前記発光素子の第 1 電極と前記コンデンサの第 2 電極との間に第 3 スイッチング素子を直列に設け、前記駆動回路は、前記第 3 スイッチング素子を OFF している間に、前記第 2 スイッチング素子を ON して前記信号電圧を前記コンデンサの第 2 電極に印加させることにより、前記コンデンサに所望の電圧を保持させ、前記所望の電圧が前記コンデンサに保持された後、前記第 1 スイッチング素子及び前記第 2 スイッチング素子を OFF して、前記第 3 スイッチング素子を ON する。

50

【 0 0 4 3 】

本態様によると、前記発光素子の第1電極と前記コンデンサの第2電極との間に挿入されることにより前記発光素子の第1電極と前記コンデンサの第2電極との接続を制御する第3スイッチング素子を設け、前記第3スイッチング素子をOFFさせている間に、前記信号電圧に対応する前記所望の電圧を前記コンデンサに保持させ、前記所望の電圧が前記コンデンサに保持された後に、前記第3スイッチング素子をONするものである。これにより、駆動素子のソース電極とコンデンサC1の第2電極との間に電流が流れない状態で信号電圧に対応する電圧を前記コンデンサに設定できる。即ち、前記所望の電圧が前記コンデンサに保持される前に、前記駆動素子を介してコンデンサの第2電極に電流が流れ込むことによるコンデンサの第2電極の電位の変動を防止できる。そのため、前記所望の電圧を前記コンデンサに正確に保持できるので、前記コンデンサに保持すべき電圧が変動して、映像信号を反映した発光量にて前記発光素子が正確に発光しないことを防止できる。その結果、前記信号電圧に対応する発光量にて前記発光素子を正確に発光させ、高精度な画像表示を実現できる。

10

【 0 0 4 4 】

以上により、前記駆動素子のドレイン電流を停止させるための前記第1ゲート電極の電圧値を規定する参照電圧を、前記駆動素子の第1ゲート電極に供給する第1スイッチング素子によって、前記駆動素子のドレイン電流を停止させる機能(画素停止機能)を果たさせ、簡易な構成で前記駆動素子の電圧-電流特性がヒステリシスであることの問題を解決すると共に、前記駆動素子のソース電極と前記コンデンサの第2電極との接続を制御する第3スイッチング素子によって、前記所望の電圧を前記コンデンサに正確に保持させることができる。

20

【 0 0 4 5 】

請求項6記載の態様の表示装置によれば、前記発光素子、前記コンデンサ、前記駆動素子、前記第1スイッチング素子及び前記第2スイッチング素子は単位画素の画素回路を構成し、前記駆動回路は、前記第2スイッチング素子のオン期間及びオフ期間を、所定の複数の画素間で共通に設定する。

【 0 0 4 6 】

本態様によると、前記第1スイッチング素子をONして前記駆動素子の第1ゲート電極に前記参照電圧を供給する期間(リセット期間)と、前記第2スイッチング素子をONして前記信号電圧に対応する電圧を前記コンデンサに保持させる期間(データ書込み期間)とを重畳させている。これにより、前記所定の複数の画素において前記リセット期間と前記データ書き込み期間とを共用できる。そのため、前記所定の複数の画素において前記第1スイッチング素子を制御する走査線を共用して、全体としての走査線の数を削減できる。

30

【 0 0 4 7 】

請求項7記載の態様の表示装置によれば、前記発光素子、前記コンデンサ、前記駆動素子、前記第1スイッチング素子、前記第2スイッチング素子及び前記第3スイッチング素子は単位画素の画素回路を構成し、前記駆動回路は、前記第2スイッチング素子のオン期間及びオフ期間を、所定の複数の画素間で共通に設定し、前記第3スイッチング素子のオン期間及びオフ期間を、前記所定の複数の画素間で共通に設定する。

40

【 0 0 4 8 】

本態様によると、前記第1スイッチング素子をONして前記駆動素子の第1ゲート電極に前記参照電圧を供給する期間(リセット期間)と、前記第2スイッチング素子をONして前記信号電圧に対応する電圧を前記コンデンサに保持させる期間(データ書込み期間)とを重畳させている。これにより、前記所定の複数の画素において前記リセット期間と前記データ書き込み期間とを共用できる。そのため、前記所定の複数の画素において前記第1スイッチング素子を制御する走査線を共用して、全体としての走査線の数を削減できる。

【 0 0 4 9 】

50

また、前記第3スイッチング素子をONして前記発光素子の第1電極と前記コンデンサの第2電極とを接続する期間（発光期間）を、前記所定の複数の画素において共用することにより、前記所定の複数の画素において前記第3スイッチング素子を制御する走査線を共用して、全体としての走査線の数を削減できる。

【0050】

請求項8記載の態様の表示装置によれば、前記発光素子の第1電極はアノード電極であり、前記発光素子の第2電極はカソード電極である。

【0051】

本態様によると、前記駆動素子はN型トランジスタで構成している。

【0052】

請求項9記載の態様の表示装置によれば、前記第1スイッチング素子の導通及び非導通を制御する信号を供給する第1走査線と、前記第2スイッチング素子の導通及び非導通を制御する信号を供給する第2走査線と、を備え、前記第1走査線と前記第2走査線とは共通の走査線とするものである。

【0053】

本態様によると、前記第1走査線と前記第2走査線とを共通の走査線としてもよい。この場合、スイッチング素子を制御する走査線の本数を削減できるので、回路構成を簡素化できる。

【0054】

請求項10記載の態様の表示装置によれば、前記所定のリセット電圧の電圧値は、前記データ線から前記所定のリセット電圧を前記発光素子の第1電極と前記駆動素子のソース電極との接続点に印加している際に、前記駆動素子のゲート電極と前記駆動素子のソース電極との電位差が、前記駆動素子がオン状態となる閾値電圧より低い電圧となるように設定されている。

【0055】

本態様によると、前記所定のリセット電圧の電圧値は、前記データ線から前記所定のリセット電圧を前記発光素子の第1電極と前記駆動素子のソース電極との接続点に印加している際に、前記駆動素子がオン状態とならないように設定されている。これにより、前記リセット期間中、前記駆動素子はオン状態とならないので、前記発光素子が発光するのを防止でき、前記リセット期間を長く設けても前記発光素子は発光しないので、コントラストの低下を防ぎつつ、前記駆動トランジスタをリセット状態に保つことができる。

【0056】

そのため、発光期間において所望の電位差に対応する電流を前記発光素子に流すことができ、前記発光素子の発光量を精度よく制御できる。

【0057】

請求項11記載の態様の表示装置によれば、前記所定のリセット電圧の電圧値は、さらに、前記データ線から前記所定のリセット電圧を前記発光素子の第1電極と前記駆動素子のソース電極との接続点に印加している際に、前記発光素子の第1電極と前記発光素子の第2電極との電位差が、前記発光素子が発光を開始する前記発光素子の閾値電圧より低い電圧となるように設定されている。

【0058】

本態様によると、前記所定のリセット電圧値は、前記データ線から前記所定のリセット電圧を前記発光素子の第1電極と前記駆動素子のソース電極との接続点に印加している際に、前記発光素子がオン状態とならないように設定されている。これにより、前記リセット期間および前記リセット電圧印加時においても、前記発光素子は発光するのを防止でき、さらに効果的にコントラストの低下を防ぎつつ、前記駆動トランジスタをリセット状態に保つことができる。

【0059】

請求項12記載の態様の表示装置によれば、前記発光素子は、複数個マトリクス状に配置されている。

10

20

30

40

50

【 0 0 6 0 】

請求項 1 3 記載の態様の表示装置によれば、前記発光素子及び前記第 3 スイッチング素子は単位画素の画素回路を構成し、前記画素回路は複数個マトリクス状に配置されている。

【 0 0 6 1 】

請求項 1 4 記載の態様の表示装置によれば、前記発光素子、前記コンデンサ、前記駆動素子、前記第 1 スイッチング素子、前記第 2 スイッチング素子及び前記第 3 スイッチング素子は単位画素の画素回路を構成し、前記画素回路は複数個マトリクス状に配置されている。

【 0 0 6 2 】

請求項 1 5 記載の態様の表示装置によれば、前記発光素子は、有機 E L 発光素子である。

10

【 0 0 6 3 】

請求項 1 6 記載の態様の表示装置の制御方法は、第 1 電極と第 2 電極とを有する発光素子と、電圧を保持するコンデンサと、ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記発光素子の第 1 電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に供給することにより前記発光素子を発光させる駆動素子と、前記駆動素子のドレイン電流を停止させるための前記ゲート電極の電圧値を規定する参照電圧を供給する電源線と、前記駆動素子のゲート電極に前記参照電圧を供給する第 1 スイッチング素子と、信号電圧及び所定のリセット電圧を供給するデータ線と、一方の端子が前記データ線に電氣的に接続され、他方の端子が前記コンデンサの第 2 電極に電氣的に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 2 スイッチング素子と、前記第 1 スイッチング素子及び前記第 2 スイッチング素子を制御する駆動回路と、を具備した表示装置の制御方法であって、前記駆動回路によって、前記第 1 スイッチング素子を ON して、前記駆動素子のゲート電極に前記参照電圧を供給し前記駆動素子のドレイン電流を停止させるステップと、前記第 1 スイッチング素子を ON している期間内に、前記第 2 スイッチング素子を ON して、前記データ線から前記所定のリセット電圧を前記発光素子の第 1 電極と前記駆動素子のソース電極との接続点に印加するステップと、が実行される。

20

【 0 0 6 4 】

以下、本発明の好ましい実施の形態を図に基づき説明する。なお、以下では、全ての図を通じて同一又は相当する要素には同じ符号を付して、その重複する説明を省略する。

30

【 0 0 6 5 】

(実施の形態 1)

以下、本発明の実施の形態 1 について、図を用いて具体的に説明する。

【 0 0 6 6 】

図 1 は、本実施の形態に係る表示装置の電氣的な構成を示すブロック図である。

【 0 0 6 7 】

同図に示す表示装置 1 0 0 は、制御回路 1 1 0 と、走査線駆動回路 1 2 0 と、データ線駆動回路 1 3 0 と、電源供給回路 1 4 0 と、表示部 1 6 0 と、リセット線 1 6 1 と、走査線 1 6 2 と、第 1 電源線 1 6 3 と、参照電源線 1 6 4 と、第 2 電源線 1 6 5 と、データ線 1 6 6 とを備える。表示部 1 6 0 は、マトリクス状に配置された複数の発光画素 1 7 0 を備える。なお、リセット線 1 6 1 は本発明の第 1 走査線であり、走査線 1 6 2 は本発明の第 2 走査線である。

40

【 0 0 6 8 】

図 2 は、発光画素の詳細な回路構成を示す回路図である。

【 0 0 6 9 】

同図に示す発光画素 1 7 0 は、第 1 スイッチングトランジスタ T 1 と、第 2 スイッチングトランジスタ T 2 と、駆動トランジスタ T D と、コンデンサ C 1 と、発光素子 1 7 1 とを備える。また、この発光画素 1 7 0 には、行ごとに対応してリセット線 1 6 1、走査線

50

162、第1電源線163、第2電源線165及び参照電源線164が設けられている。
【0070】

以下、図1及び図2に記載した各構成要素について、その接続関係及び機能を説明する。

【0071】

制御回路110は、走査線駆動回路120、データ線駆動回路130及び電源供給回路140を制御する。また、制御回路110は、走査線駆動回路120を介して、第1スイッチングトランジスタT1及び第2スイッチングトランジスタT2を制御する。

【0072】

走査線駆動回路120は、本発明の駆動回路であり、第1スイッチングトランジスタT1及び第2スイッチングトランジスタT2を制御する。具体的には、複数の発光画素170の行ごとに対応して設けられたリセット線161及び走査線162に接続され、制御回路110から指示されるタイミングに従ってリセット線161及び走査線162に走査信号を出力することにより、複数の発光画素170を行単位で順次走査する。より具体的には、走査線駆動回路120は、リセット線161に第1スイッチングトランジスタT1のオン及びオフを制御する信号であるリセットパルスRESETを供給することにより、第1スイッチングトランジスタT1を行単位で制御する。また、走査線駆動回路120は、走査線162に第2スイッチングトランジスタT2のオン及びオフを制御する信号である走査パルスSCANを供給することにより、第2スイッチングトランジスタT2を行単位で制御する。

【0073】

データ線駆動回路130は、複数の発光画素170の列ごとに対応して設けられたデータ線166に接続され、制御回路110から指示されるタイミングに従ってデータ線166に信号電圧Vdata及び所定のリセット電圧Vresetを有するデータ線電圧DATAを供給する。言い換えると、データ線駆動回路130は、データ線166に信号電圧Vdata及びリセット電圧Vresetを選択的に供給する。ここで、信号電圧Vdataは、発光画素170の発光輝度に対応する電圧であり、例えば駆動トランジスタの閾値電圧を1Vとすると-5~0Vである。リセット電圧Vresetは、発光画素170の非発光期間における駆動トランジスタTDのソース電圧を規定する電圧であり、例えば0Vである。

【0074】

電源供給回路140は、全発光画素170に対応して設けられた第1電源線163、参照電源線164及び第2電源線165に接続されている。この電源供給回路140は、制御回路110の指示に従って、第1電源線163の第1電源電圧VDD、参照電源線164の参照電圧VR及び第2電源線165の第2電源電圧VEEを設定し、かつ、供給する。ここで、例えば、第1電源電圧VDDは15V、第2電源電圧VEEは0V、参照電圧VRは0Vである。なお、参照電源線164は本発明の電源線であり、駆動トランジスタTDのドレイン電流を停止させるための駆動トランジスタTDのゲート電極の電圧値を規定するための参照電圧VRを供給する。

【0075】

表示部160は、外部から表示装置100へ入力された映像信号に基づいて画像を表示する。この表示部160は、マトリクス状に配置された複数の発光画素170を有する。つまり、マトリクス状に配置された複数の発光素子171を有する。

【0076】

第1スイッチングトランジスタT1は、本発明の第1スイッチング素子であり、駆動トランジスタTDのゲート電極に参照電圧VRを選択的に供給する。具体的には、第1スイッチングトランジスタT1は、ゲート電極がリセット線161に接続され、ソース電極及びドレイン電極の一方が参照電源線164に接続され、ソース電極及びドレイン電極の他方が駆動トランジスタTDのゲート電極及びコンデンサC1の第1電極に接続され、リセットパルスRESETに応じてオン及びオフする。例えば、第1スイッチングトランジスタ

10

20

30

40

50

トランジスタT1はN型の薄膜トランジスタ(TFT)であり、リセットパルスRESETがハイレベルの期間にオンすることで、駆動トランジスタTDのゲート電極及びコンデンサC1の第1電極に参照電圧VRを供給する。

【0077】

第2スイッチングトランジスタT2は、本発明の第2スイッチング素子であり、駆動トランジスタTDのソース電極及びコンデンサC1の第2電極にリセット電圧Vreset及び信号電圧Vdataを供給する。具体的には、第2スイッチングトランジスタT2は、コンデンサC1の第2電極と走査線162との間に接続され走査パルスSCANに応じてオン及びオフする。例えば、第2スイッチングトランジスタT2はN型の薄膜トランジスタ(TFT)であり、走査パルスSCANがハイレベルの期間にオンすることで、駆動トランジスタTDのソース電極及びコンデンサC1の第2電極にデータ線電圧DATAを設定する。具体的には、この第2スイッチングトランジスタT2はゲート電極、ソース電極及びドレイン電極を有し、当該ゲート電極が走査線162に接続され、当該ソース電極及び当該ドレイン電極の一方がデータ線166に接続され、当該ソース電極及び当該ドレイン電極の他方が駆動トランジスタTDのソース電極及びコンデンサC1の第2電極に接続されている。

10

【0078】

駆動トランジスタTDは、本発明の駆動素子であり、発光素子171に電流を供給することにより、発光素子171を発光させる。具体的には、駆動トランジスタTDは、ゲート電極が第1スイッチングトランジスタT1のソース電極及びドレイン電極の他方、及び、コンデンサC1の第1電極に接続され、ソース電極が発光素子171の第1電極及びコンデンサC1の第2電極に接続され、ドレイン電極が第1電源線163に接続され、ゲート電極の電位とソース電極の電位との電位差に応じたドレイン電流を流す。つまり、コンデンサC1に保持された電圧に応じたドレイン電流を発光素子171に供給する。例えば、この駆動トランジスタTDはN型の薄膜トランジスタ(TFT)である。

20

【0079】

発光素子171は、第1電極と第2電極とを有し、電流が流れることにより発光する素子で、例えば有機EL発光素子である。具体的には、発光素子171は、第1電極が駆動トランジスタTDのソース電極に接続され、第2電極が第2電源線165に接続される。図2に示すように、例えば、第1電極はアノード電極であり、第2電極はカソード電極である。この発光素子171は、参照電源線164及び第1スイッチングトランジスタT1を介して駆動トランジスタTDのゲート電極に印加された参照電圧VRと、データ線166及び第2スイッチングトランジスタT2を介して駆動トランジスタTDのソース電極に印加された信号電圧VdataとVとの電位差である電圧VR - Vdata + Vに応じた駆動トランジスタTDのドレイン電流により発光する。ここでVは、第2スイッチングトランジスタをオン状態にして信号電圧Vdataを駆動トランジスタのソース電極に印加する際に、駆動トランジスタTDのドレイン電流が第2スイッチングトランジスタT2を流れることで発生する電圧差である。つまり、発光素子171の輝度は、データ線166に印加される信号電圧Vdataに対応する。

30

【0080】

コンデンサC1は、第1電極と第2電極とを有し、第1電極が第1スイッチングトランジスタT1のソース電極及びドレイン電極の他方と駆動トランジスタTDのゲート電極とに接続され、第2電極が第2スイッチングトランジスタT2のソース電極及びドレイン電極の他方と駆動トランジスタTDのソース電極と発光素子171のアノード電極に接続されている。つまり、このコンデンサC1は、駆動トランジスタTDのゲート - ソース間の電圧を保持することが可能である。

40

【0081】

次に、上述した表示装置100の駆動方法について図3～図5Dを用いて説明する。

【0082】

図3は、本実施の形態に係る表示装置100の制御方法を説明する動作タイミングチャ

50

ートである。同図において、横軸は時間を表している。また、縦方向には、上から順に、リセットパルス R E S E T、走査パルス S C A N、データ線電圧 D A T A、参照電圧 V R、第2電源電圧 V E E 及び駆動トランジスタ T D のソース電極の電圧 V s の波形図が示されている。

【0083】

なお、同図には比較のため、従来の表示装置における駆動 T F T 5 0 4 のソース電極の電圧も示されている。また、同図においてデータ線電圧 D A T A は、データ線 1 6 6 に対応する複数の発光画素 1 7 0 に供給する信号電圧 V d a t a 及びリセット電圧 V r e s e t のうち、1つの発光画素 1 7 0 に供給する信号電圧 V d a t a 及びリセット電圧 V r e s e t に着目して示されている。データ線電圧 D A T A が斜線で示されている期間は、当該1つの発光画素 1 7 0 以外のいずれかの発光画素 1 7 0 に信号電圧 V d a t a 及びリセット電圧 V r e s e t を供給している。

10

【0084】

また、図4は、本実施の形態に係る表示装置 1 0 0 の制御方法を説明する動作フローチャートである。

【0085】

まず、 $t = T 1 1$ において、走査線駆動回路 1 2 0 は、リセットパルス R E S E T をローレベルからハイレベルにすることで、第1スイッチングトランジスタ T 1 をオンさせる(図4のステップ S 1 1)。これにより、参照電源線 1 6 4 とコンデンサ C 1 の第1電極及び駆動トランジスタ T D のゲート電極とが導通し、コンデンサ C 1 の第1電極及び駆動トランジスタ T D のゲート電極の電圧は参照電圧 V R となる。

20

【0086】

また、 $t = T 1 1$ において同時に、走査線駆動回路 1 2 0 は、走査パルス S C A N をローレベルからハイレベルにすることで、第2スイッチングトランジスタ T 2 をオンさせる。これにより、駆動トランジスタ T D のソース電極とデータ線 1 6 6 とが導通し、駆動トランジスタ T D のソース電極にリセット電圧 V r e s e t が設定される(図4のステップ S 1 2)。また、第2スイッチングトランジスタがオンすることにより、コンデンサ C 1 の第2電極とデータ線 1 6 6 とも導通し、コンデンサ C 1 の第2電極にリセット電圧 V r e s e t が設定される。この際、駆動トランジスタ T D および発光素子 1 7 1 はオン状態とならないため、第2スイッチングトランジスタ T 2 には電流が流れず、駆動トランジスタ T D のソース電極およびコンデンサ C 1 の第2電極には V r e s e t が正確に印加される。

30

【0087】

$t = T 1 1 \sim T 1 2$ の期間、リセットパルス R E S E T はハイレベルであるので、コンデンサ C 1 の第1電極及び駆動トランジスタ T D のゲート電極には、参照電圧 V R が継続して印加されている。また、走査パルス S C A N はハイレベルであるので、コンデンサ C 1 の第2電極及び駆動トランジスタ T D のソース電極には、リセット電圧 V r e s e t が継続して印加されている。

【0088】

図5Aは、 $t = T 1 1 \sim T 1 2$ における発光画素の状態を模式的に示した回路図である。

40

【0089】

同図に示すように、駆動トランジスタ T D のゲート電極には参照電源線 1 6 4 の参照電圧 V R が印加され、駆動トランジスタ T D のソース電極にはデータ線 1 6 6 のリセット電圧 V r e s e t が印加される。つまり、 $t = T 1 1 \sim T 1 2$ においては、第1スイッチングトランジスタ T 1 をオンして駆動トランジスタ T D のゲート電極に参照電圧 V R を供給することにより駆動トランジスタ T D のドレイン電流を停止させる。また、第2スイッチングトランジスタ T 2 をオンすることにより、データ線 1 6 6 から所定のリセット電圧 V r e s e t を発光素子 1 7 1 のアノード電極と駆動トランジスタ T D のソース電極との接続点に印加する。

50

【0090】

これにより、駆動トランジスタTDのソース電極の電位 V_s は、直前のフレームの信号電圧 V_{data} からリセット電圧 V_{reset} へと、ただちに遷移する。この電位の遷移に要する時間は、従来の表示装置の駆動FTF504をオフしてから、駆動FTFのソース電極が一定の値に遷移するまでに要する時間と比較して、非常に短い。なぜなら、本実施の形態に係る表示装置100の駆動トランジスタTDのソース電極の電位は、発光素子171の容量成分と発光素子171の直流抵抗成分とで決定される自己放電の時定数の影響を受けずに、第2スイッチングトランジスタT2のオン抵抗と発光素子171の容量成分とで決定される充電の時定数により規定されるからである。発光素子171の直流抵抗はオン状態で数M、オフ状態で数百M程度であり、スイッチングトランジスタのオン抵抗は数百kであるので、10~1000倍程度高速に遷移させることが可能である。これは、発光素子171の容量を1pFとすると、従来は上記リセット電位への遷移時間に数ミリ秒を要していたが、本実施の形態では、数 μ 秒となり、発光期間の長さが16ミリ秒であることから実質的にゼロと考えることができる。

10

【0091】

したがって、本実施の形態に係る表示装置100は、従来と比較して、リセット有効期間を長くとることができる。よって、駆動トランジスタTDの電圧-電流特性の過渡状態に起因する残像の発生を防止できる。さらに、1フレーム期間における非発光期間を長くとる必要がないので、表示輝度を維持できる。

20

【0092】

また、上述したように、第1スイッチングトランジスタT1がオンするタイミングと第2スイッチングトランジスタT2がオンするタイミングとを同時にすることにより、駆動トランジスタTDのゲート電極の電位が参照電圧VRになってから、駆動トランジスタTDのソース電極の電位が一定電位に遷移するまでの時間を、実質的にゼロまで短縮できる。よって、駆動トランジスタTDのゲート電極の参照電圧VRを印加してから駆動トランジスタTDの電圧-電流特性が初期状態となるまでの時間を最短にできる。よって、発光素子171の発光期間を最大限確保できる。

【0093】

ところで、参照電圧VRと第2電源電圧VEEとリセット電圧 V_{reset} の電位関係は、 $VR - V_{th}(TD) - V_{reset} - V_{data}(max) - VEE + V_{th}(EL)$ である。ただし、 $V_{th}(TD)$ は駆動トランジスタTDの閾値電圧、 $V_{th}(EL)$ は発光素子171の閾値電圧、 $V_{data}(max)$ は信号電圧 V_{data} の最大値である。よって、 V_{reset} 書き込み時に駆動トランジスタTDがオンすることなく、また発光素子171は発光しないので瞬時にリセット状態となる。また、信号電圧 V_{data} の書き込み時も発光素子171は発光しない。

30

【0094】

言い換えると、リセット電圧 V_{reset} は、データ線166からリセット電圧 V_{reset} を発光素子171のアノード電極と駆動トランジスタTDのソース電極との接続点に印加している際に、駆動トランジスタTDゲート電極とソース電極との電位差が $V_{th}(TD)$ より低い電圧となるように、制御回路110及びデータ線駆動回路130によって設定されている。これにより、リセット期間中、駆動トランジスタTDはオン状態とならないので、発光素子171が発光するのを防止でき、リセット期間を長く設けても発光素子171は発光しない。よって、コントラストの低下を防ぎつつ、駆動トランジスタTDをリセット状態に保つことができる。

40

【0095】

さらに、リセット電圧 V_{reset} は、データ線166からリセット電圧 V_{reset} を発光素子171のアノード電極と駆動トランジスタTDのソース電極との接続点に印加している際に、発光素子171のアノード電極とカソード電極との電位差が $V_{th}(EL)$ より低い電圧となるように、制御回路110及びデータ線駆動回路130によって設定されている。これにより、リセット電圧 V_{reset} の印加時においても、発光素子17

50

1が発光するのを防止でき、さらに効果的にコントラストの低下を防ぎつつ、駆動トランジスタTDをリセット状態に保つことができる。

【0096】

次に、 $t = T12$ において、走査線駆動回路120は、リセットパルスRESETをハイレベルからローレベルにすることで、第1スイッチングトランジスタT1をオフさせる。また、走査パルスSCANをハイレベルからローレベルにすることで、第2スイッチングトランジスタT2をオフさせる(図4のステップS13)。これにより、コンデンサC1には、直前まで第1電極に印加されていた参照電圧VRと、直前まで第2電極に印加されていたリセット電圧Vresetとの電位差である $VR - Vreset$ が保持される。このように、コンデンサC1の第1電極及び第2電極の双方の電圧を設定するので、コンデンサC1において、正確な電位差を保持させることができる。なお、ここまで図4のステップS11~S13は、発光画素170のリセット処理である。

10

【0097】

$t = T12 \sim T13$ の期間、リセットパルスRESET及び走査パルスSCANはローレベルであるので、コンデンサC1は電圧 $VR - Vreset$ を継続して保持し、発光素子171および駆動トランジスタTDはオフ状態であるので、駆動トランジスタTDのソース電位はVresetを保持している。よって駆動トランジスタTDのゲート電位もVRを保持している。

【0098】

図5Bは、 $t = T12 \sim T13$ における発光画素の状態を模式的に示した回路図である。

20

【0099】

同図に示すように、第1スイッチングトランジスタT1及び第2スイッチングトランジスタT2がオフとなることにより、コンデンサC1の第1電極と参照電源線164とは非導通となり、コンデンサC1の第2電極とデータ線166とは非導通となる。よって、上述したように、コンデンサC1には電圧 $VR - Vreset$ が保持される。すなわちリセット期間において、駆動トランジスタTDのゲート、ソース、ドレインの各電極の電位はほぼ一定電位に保持されることにより、リセットがより明確に定義される状態となる。すなわちゲート電位はVR、ソース電位はVreset、ドレイン電位がVDDとなる状態に瞬時に設定されることになる。

30

【0100】

次に、 $t = T13$ において、走査線駆動回路120は、リセットパルスRESETをローレベルからハイレベルにすることで、第1スイッチングトランジスタT1をオンさせる(図4のステップS14)。これにより、コンデンサC1の第1電極及び駆動トランジスタTDのゲート電極と、参照電源線164とが導通し、コンデンサC1の第1電極の電位は参照電圧VRとなる。

【0101】

また、 $t = T13$ において同時に、走査線駆動回路120は、走査パルスSCANをローレベルからハイレベルにすることで、第2スイッチングトランジスタT2をオンさせる。これにより、駆動トランジスタTDのソース電極及びコンデンサC1の第2電極の電位が信号電圧 $Vdata + V$ に設定される(図4のステップS15)。よって、コンデンサC1に信号電圧Vdataに対応する所望の電圧 $VR - Vdata - V$ が書き込まれる。つまり、図4のステップS14及びS15は、発光画素170の書き込み処理である。

40

【0102】

$t = T13 \sim T14$ の期間、リセットパルスRESETはハイレベルであるので、コンデンサC1の第1電極及び駆動トランジスタTDのゲート電極には、参照電圧VRが継続して印加されている。また、走査パルスSCANはハイレベルであるので、コンデンサC1の第2電極及び駆動トランジスタTDのソース電極には、信号電圧Vdataが継続して印加されている。

50

【0103】

図5Cは、 $t = T13 \sim T14$ における発光画素の状態を模式的に示した回路図である。

【0104】

同図に示すように、コンデンサC1の第1電極及び駆動トランジスタTDのゲート電極には、第1スイッチングトランジスタT1を介して参照電源線164から参照電圧VRが印加され、駆動トランジスタTDのソース電極及びコンデンサC1の第2電極には、第2スイッチングトランジスタT2を介してデータ線166から信号電圧Vdataに対応した電圧 $Vdata + V$ が印加される。

【0105】

次に、 $t = T14$ において、走査線駆動回路120は、走査パルスSCANをハイレベルからローレベルにすることで、第1スイッチングトランジスタT1をオフさせる。また、同時に、リセットパルスRESETをハイレベルからローレベルにすることで、第2スイッチングトランジスタT2をオフさせる(図4のステップS16)。

【0106】

これにより、コンデンサC1の第1電極と参照電源線164とは非導通となる。また、コンデンサC1の第2電極とデータ線166とは非導通となる。よって、信号電圧Vdataに対応する所望の電圧 $VR - Vdata - V$ がコンデンサC1に保持される。

【0107】

また、駆動トランジスタTDは、駆動トランジスタTDのゲート電極とソース電極との電位差に応じたドレイン電流を発生させる。つまり、駆動トランジスタTDは、コンデンサC1に保持された所望の電圧 $VR - Vdata - V$ に対応したドレイン電流を発光素子171に供給することにより、発光素子171を信号電圧Vdataに対応した発光輝度で発光させる。つまり、図4のステップS16は、発光画素170の発光処理である。

【0108】

このように、第1スイッチングトランジスタT1をオンすることで、駆動トランジスタTDのドレイン電流を停止させるためのゲート電極の電圧値を規定する参照電圧VRが、コンデンサC1の第1電極に供給される。これにより、発光素子171はオフ状態となるので、この状態で、第2スイッチングトランジスタT2をオンして、所望の電圧 $VR - Vdata - V$ をコンデンサC1に保持させる。

【0109】

したがって、ここまでの制御方法により、表示装置100は、 $t = T13$ までに駆動トランジスタTDのゲート電極とソース電極との電位差を、参照電圧VRとリセット電圧Vresetとの差分電圧である電圧 $VR - Vreset$ とする。その後、 $t = T13$ において、所望の電圧 $VR - Vdata - V$ にする。つまり、駆動トランジスタTDのゲート電極とソース電極との電位差をリセットした状態で、所望の電圧をコンデンサC1に保持させるので、駆動トランジスタTDの電圧-電流特性がヒステリシスであることの影響を受けることなく、信号電圧Vdataに対応する発光素子171の発光量を安定させることができる。よって、表示装置100は、駆動トランジスタTDの電圧-電流特性がヒステリシスであることに起因する残像の発生を防止できる。

【0110】

$t = T14 \sim T15$ の期間、走査線駆動回路120は、リセットパルスRESET及び走査パルスSCANをローレベルとしているので、コンデンサC1には電圧 $VR - Vdata - V$ が継続して保持されている。よって、駆動トランジスタTDは、コンデンサC1に保持された電圧 $VR - Vdata$ に対応するドレイン電流を発光素子171に継続して供給している。したがって、発光素子171は、継続して発光している。

【0111】

図5Dは、 $t = T14 \sim T15$ における発光画素の状態を模式的に示した回路図である。

【0112】

10

20

30

40

50

同図に示すように、コンデンサC1は電圧 $V_R - V_{data}$ を保持しており、駆動トランジスタTDは、コンデンサC1に保持された電圧に対応するドレイン電流を発光素子171へ供給する。

【0113】

次に、 $t = T15$ において、 $t = T11$ と同様に、走査線駆動回路120は、リセットパルスRESETをローレベルからハイレベルにすることで、第1スイッチングトランジスタT1をオンさせることにより駆動トランジスタTDのゲート電極に参照電圧 V_R を供給させる。また、同時に、走査線駆動回路120は、走査パルスSCANをローレベルからハイレベルにすることで、第2スイッチングトランジスタT2をオフさせることにより駆動トランジスタTDのソース電極にリセット電圧 V_{reset} を供給させる。これにより、発光素子171は消光され、駆動トランジスタTDのソース電極の電位はリセット電圧 V_{reset} へとただちに遷移する。

10

【0114】

上述した $t = T11 \sim T15$ は、表示装置100の1フレーム期間に相当し、 $t = T15$ 以降も $t = T11 \sim T15$ と同様の動作が繰り返し実行される。

【0115】

以上のように、本実施の形態に係る表示装置100によれば、コンデンサC1の第1電極は駆動トランジスタTDのゲート電極に接続され、コンデンサC1の第2電極はデータ線166に接続され、さらに第2スイッチングトランジスタT2を介してデータ線166に接続されている。そして、表示装置100は、駆動トランジスタTDのドレイン電流を停止させるためのゲート電極の電圧値を規定する参照電圧 V_R を、駆動トランジスタTDのゲート電極に供給するための第1スイッチングトランジスタT1を設けている。そして、走査線駆動回路120は、第1スイッチングトランジスタT1をONさせることで、駆動トランジスタTDのゲート電極に参照電圧 V_R を供給させる。 $V_R - V_{th}(TD)$
 $V_{reset} - V_{data}(max) - V_{EE} + V_{th}(EL)$ により、任意の信号線の電圧レベルに対して発光素子171はオフ状態となる。この発光素子171がオフ状態となっている期間内に、第2スイッチングトランジスタT2をONさせて、データ線166からリセット電圧 V_{reset} を発光素子171のアノード電極と駆動トランジスタTDのソース電極との接続点に印加させる。

20

【0116】

これにより、駆動トランジスタTDのソース電極及び発光素子171のアノード電極の電位は瞬時にリセット電圧 V_{reset} にリセットされる。すなわち、駆動トランジスタTDのソース-ドレイン間が非接続の状態となっている期間内に、リセット電圧 V_{reset} を発光素子171のアノード電極と駆動トランジスタTDのソース電極との接続点に印加することで、駆動トランジスタTDのソース電極及び発光素子171のアノード電極の電位を強制的にリセットする。よって、駆動トランジスタTDのゲート-ソース間の電圧を参照電圧 V_R とリセット電圧 V_{reset} との差分電圧にリセットできるので、駆動トランジスタTDの電圧-電流特性がヒステリシスであることに起因する残像の発生を効果的に抑制できる。

30

【0117】

また、駆動トランジスタTDのソース電極及び発光素子171のアノード電極がリセットを開始するまでの時間を、コンデンサC1の第1電極への参照電圧 V_R の供給期間内での、コンデンサC1の第2電極へリセット電圧 V_{reset} を供給するタイミングで調整できる。そのため、駆動トランジスタTDのソース電極が一定電位に安定するまでの時間を短縮できる。言い換えると、駆動トランジスタTDのゲート-ソース間の電圧が一定電圧となるまでの時間を短縮できる。つまり、駆動トランジスタTDのゲート-ソース間の電圧を、この短縮できた時間分、より長い時間一定の電圧に保つことができる。よって、駆動トランジスタTDの電圧-電流特性を実質的に初期状態とできる。したがって、駆動トランジスタTDの電圧-電流特性が過渡的に変化する過渡状態に起因する残像の発生を効果的に抑制できる。

40

50

【 0 1 1 8 】

また、上述したように、駆動トランジスタ T D の電圧 - 電流特性を短時間で実質的に初期状態とできることにより、駆動トランジスタ T D のドレイン電流を停止させてから再度供給させるまでの時間である非発光時間を従来よりも短時間にした場合でも、駆動トランジスタ T D の電圧 - 電流特性に起因する残像の発生を効果的に抑制できる。

【 0 1 1 9 】

また、上述したように、駆動トランジスタ T D の電圧 - 電流特性を短時間で実質的に初期状態とできることにより、駆動素子のドレイン電流を停止させてから再度供給させるまでの時間である非発光期間を従来よりも短時間にした場合でも、駆動素子の電圧 - 電流特性に起因する残像の発生を効果的に抑制できる。よって、発光期間をより長く確保できる。

10

【 0 1 2 0 】

さらに、コンデンサ C 1 の第 1 電極は参照電圧 V_R が供給され、一方、コンデンサ C 1 の第 2 電極はリセット電圧 V_{reset} が供給される。電圧条件を $V_R - V_{th}(TD)$ $V_{reset} - V_{data}(max) - V_{EE} + V_{th}(EL)$ とすることにより、コンデンサ C 1 の第 1 電極及び第 2 電極の双方を設定して、コンデンサ C 1 に正確な電位差を保持させてソース接地動作とさせると同時に、所望のコントラストを確保することができる。

【 0 1 2 1 】

(実施の形態 2)

本実施の形態に係る表示装置は、実施の形態 1 に係る表示装置とほぼ同じであるが、さらに、発光素子の第 1 電極とコンデンサの第 2 電極との間に挿入された第 3 スイッチング素子を設ける点が異なる。また、駆動回路は、信号電圧の書込み期間において第 3 スイッチング素子を OFF させている間に、第 2 スイッチング素子を ON させることで信号電圧をコンデンサの第 2 電極に印加させることにより、コンデンサに所望の電圧を保持させ、所望の電圧をコンデンサに保持させた後、第 1 スイッチング素子及び第 2 スイッチング素子を OFF させ、第 1 スイッチング素子及び第 2 スイッチング素子を OFF させた後、第 3 スイッチング素子を ON させる点が異なる。

20

【 0 1 2 2 】

これにより、本実施の形態に係る表示装置は、コンデンサの第 2 電極に信号電圧を書き込む際に、駆動素子を介して第 2 スイッチング素子に電流が流れ込むことによるコンデンサの第 2 電極の電位の変動を防止できる。よって、外部から表示装置へ入力された映像信号に対応する輝度に応じた正確な電圧をコンデンサに保持させることができる。したがって、高精度な画像表示を実現できる。

30

【 0 1 2 3 】

以下、本発明の実施の形態 2 について、図を用いて具体的に説明する。

【 0 1 2 4 】

図 6 は、本実施の形態に係る表示装置の電気的な構成を示すブロック図である。

【 0 1 2 5 】

同図に示す表示装置 200 は、図 1 に示した実施の形態 1 に係る表示装置 100 と比較して、さらに、複数の発光画素 270 の行ごとに対応して設けられたマージ線 201 を備え、走査線駆動回路 220 の動作が走査線駆動回路 120 と異なる。

40

【 0 1 2 6 】

また、図 7 は、本実施の形態に係る表示装置 200 における発光画素の回路構成を示す回路図である。

【 0 1 2 7 】

同図に示す発光画素 270 は、図 2 に示した発光画素 170 とほぼ同じであるが、さらに、発光素子 171 のアノード電極とコンデンサ C 1 の第 2 電極との間に挿入された第 3 スイッチングトランジスタ T 3 を備える。

【 0 1 2 8 】

50

走査線駆動回路 220 は、実施の形態 1 に係る表示装置 100 における走査線駆動回路 120 と比較して、さらに、マージ線 201 に接続され、そのマージ線 201 に第 3 スイッチングトランジスタ T3 のオン及びオフを制御する信号であるマージパルス MERGE を供給することにより、第 3 スイッチングトランジスタ T3 を行単位で制御する。

【0129】

第 3 スイッチングトランジスタ T3 は、ソース電極及びドレイン電極の一方が発光素子 171 のアノード電極に接続され、ソース電極及びドレイン電極の他方がコンデンサ C1 の第 2 電極に接続され、ゲート電極がマージ線 201 に接続され、走査線駆動回路 220 からマージ線 201 を介して供給されるマージパルス MERGE に応じてオン及びオフする。例えば、この第 3 スイッチングトランジスタ T3 は N 型の薄膜トランジスタ (TFT) であり、マージパルス MERGE がハイレベルの期間にオンすることで、コンデンサ C1 の第 2 電極と駆動トランジスタ TD のソース電極とを導通する。

10

【0130】

次に、上述した表示装置 200 の駆動方法について、図 8 ~ 図 10 E を用いて説明する。図 8 は、本実施の形態に係る表示装置 200 の制御方法を説明する動作タイミングチャートである。同図は、図 3 に示した動作タイミングチャートと比較して、さらに、マージパルス MERGE の波形図が示されている。

【0131】

また、図 9 は、本実施の形態に係る表示装置 200 の制御方法を説明する動作フローチャートである。

20

【0132】

まず、 $t = T21$ において、走査線駆動回路 220 は、マージパルス MERGE をハイレベル状態に保ったままとすることが望ましく、第 3 スイッチングトランジスタ T3 をオンさせている (図 9 のステップ S21)。よって、コンデンサ C1 の第 2 電極と発光素子 171 のアノード電極とは導通している。つまり、このとき、表示装置 200 は表示装置 100 と等価回路となっている。したがって、 $t = T21$ における表示装置 200 の動作は、図 3 に示した $t = T11$ における表示装置 100 の動作と同様である。

【0133】

具体的には、 $t = T21$ において、走査線駆動回路 220 は、リセットパルス RESET をローレベルからハイレベルにすることで、第 1 スイッチングトランジスタ T1 をオンさせる (図 9 のステップ S22)。これにより、参照電源線 164 とコンデンサ C1 の第 1 電極及び駆動トランジスタ TD のゲート電極とが導通し、コンデンサ C1 の第 1 電極及び駆動トランジスタ TD のゲート電極の電圧は参照電圧 VR となる。

30

【0134】

また、 $t = T21$ において同時に、走査線駆動回路 220 は、走査パルス SCAN をローレベルからハイレベルにすることで、第 2 スイッチングトランジスタ T2 をオンさせる。これにより、駆動トランジスタ TD のソース電極とデータ線 166 とが導通し、駆動トランジスタ TD のソース電極にリセット電圧 Vreset が設定される (図 9 のステップ S23)。また、第 2 スイッチングトランジスタがオンすることにより、コンデンサ C1 の第 2 電極とデータ線 166 とも導通し、コンデンサ C1 の第 2 電極にリセット電圧 Vreset が設定される。

40

【0135】

$t = T21 \sim 22$ の期間、リセットパルス RESET はハイレベルであるので、コンデンサ C1 の第 1 電極及び駆動トランジスタ TD のゲート電極には、参照電圧 VR が継続して印加されている。また、走査パルス SCAN はハイレベルであるので、コンデンサ C1 の第 2 電極には、リセット電圧 Vreset が継続して印加されている。また、マージパルス MERGE はハイレベルであるので、駆動トランジスタ TD のソース電極には、リセット電圧 Vreset が継続して印加されている。

【0136】

図 10 A は、 $t = T21 \sim T22$ における発光画素の状態の模式的に示した回路図であ

50

る。

【0137】

同図に示すように、第3スイッチングトランジスタT3を介して、コンデンサC1の第2電極と駆動トランジスタTDのソース電極とは導通している。よって、発光画素270の状態は、図5Aに示した発光画素170の $t = T11 \sim T12$ の状態と等価である。つまり、 $t = T21 \sim T22$ においては、第1スイッチングトランジスタT1をオンして駆動トランジスタTDのゲート電極に参照電圧VRを供給することにより駆動トランジスタTDのドレイン電流を停止させる。また、第2スイッチングトランジスタT2及び第3スイッチングトランジスタT3をオンすることにより、データ線166から所定のリセット電圧Vresetを発光素子171のアノード電極と駆動トランジスタTDのソース電極との接続点に印加する。

10

【0138】

これにより、本実施の形態2に係る表示装置200における駆動トランジスタTDのソース電極の電位Vsは、実施の形態1に係る表示装置100と同様に、直前のフレームの信号電圧Vdataからリセット電圧Vresetへと、ただちに遷移する。したがって、本実施の形態に係る表示装置200は、実施の形態1に係る表示装置100と同様に、従来と比較して、リセット有効期間を長くとることができる。ここでリセット期間中は発光素子171に電流が流れて発光してしまうとコントラスト低下を招くため、発光しないことが望ましい。すなわちVRは駆動トランジスタTDをオフ状態とさせる電圧であるので $VR - VEE = Vth(TD) + Vth(EL)$ と設定されていることが望ましい。

20

【0139】

次に、 $t = T22$ において、走査線駆動回路220は、リセットパルスRESETをハイレベルからローレベルにすることで、第1スイッチングトランジスタT1をオフさせる。また、走査パルスSCANをハイレベルからローレベルにすることで、第2スイッチングトランジスタT2をオフさせる(図9のステップS24)。このとき、走査線駆動回路220は、マージパルスMERGEを継続してハイレベルとすることで、第3スイッチングトランジスタT3を継続してオンさせる。これにより、表示装置100の $t = T12$ における状態と同様に、コンデンサC1に、直前まで第1電極に印加されていた参照電圧VRと、直前まで第2電極に印加されていたリセット電圧Vresetとの電位差である $VR - Vreset$ が保持される。なお、ここまで図9のステップS21～S24は、発光画素270のリセット処理である。

30

【0140】

$t = T22 \sim T23$ の期間、リセットパルスRESET及び走査パルスSCANはローレベルであるので、コンデンサC1は電圧 $VR - Vreset$ を継続して保持する。また、マージパルスMERGEはハイレベルであるので、第3スイッチングトランジスタT3を介して、コンデンサC1の第2電極と駆動トランジスタTDのソース電極とは導通している。よって、発光画素270の状態は、図5Bに示した発光画素170の $t = T12 \sim T13$ における状態と等価である。よって、コンデンサC1には電圧 $VR - Vreset$ が保持される。

【0141】

なお、上述のように、ここでは $t = T21 \sim T22$ においてマージパルスMERGEをハイレベル状態に保ったままの場合の回路動作について述べたが、 $t = T21 \sim T22$ においてマージパルスMERGEをローレベル状態としてもリセット期間を設けることは可能であり、本発明の効果を得ることが可能である。具体的には、 $t = T21 \sim T22$ においてマージパルスMERGEをローレベル状態に保った場合、駆動トランジスタTDのソース電極とコンデンサC1の第2電極とは非導通となる。これにより、駆動トランジスタTDのゲート電極に参照電圧VRを供給して駆動トランジスタTDのドレイン電流を停止させているので、駆動トランジスタTDのソース電極の電位Vsは、発光素子171の自己放電によって $Vth(EL)$ に近づいていく。そのため、この場合、駆動トランジスタTDのソース電極の電位Vsは直前のフレームの信号電圧Vdataからリセット電圧V

40

50

resetへと遷移しない。しかしながら、駆動トランジスタTDのゲート電極に参照電圧VRが供給され、コンデンサC1の第2電極に所定のリセット電圧Vresetが供給されているので、コンデンサC1の両端の電位は固定されている。したがって、後述の $t = T_{23}$ において、第3スイッチングトランジスタT3をオン状態とすることにより、駆動トランジスタTDのゲート-ソース間の電圧を参照電圧VRとリセット電圧Vresetとの差分電圧に瞬時的にリセットできる。

【0142】

図10Bは、 $t = T_{22} \sim T_{23}$ における発光画素の状態を模式的に示した回路図である。

【0143】

同図に示すように、第3スイッチングトランジスタT3がオンしていることにより、コンデンサC1の第2電極と駆動トランジスタTDのソース電極とは継続して導通している。よって、図5Bに示した発光画素170の $t = T_{12} \sim T_{13}$ の状態と等価である。つまり、コンデンサC1には電圧 $VR - Vreset$ が保持されおり、駆動トランジスタTDのソース電位はVresetである。

【0144】

次に、 $t = T_{23}$ において、走査線駆動回路220は、マージパルスMERGEをハイレベルからローレベルにすることで、第3スイッチングトランジスタT3をオフさせる(図9のステップS25)。これにより、コンデンサC1の第2電極と駆動トランジスタTDのソース電極とが非導通となる。

【0145】

図10Cは、 $t = T_{23} \sim T_{24}$ における発光画素の状態を模式的に示した回路図である。

【0146】

$t = T_{23} \sim T_{24}$ の期間、マージパルスMERGEはローレベルであるので、第3スイッチングトランジスタT3は継続してオフされ、この期間において、コンデンサC1の第2電極と駆動トランジスタTDのソース電極とは継続して非導通となっている。

【0147】

次に、 $t = T_{24}$ において、走査線駆動回路220は、リセットパルスRESETをローレベルからハイレベルにすることで、第1スイッチングトランジスタT1をオンさせる(図9のステップS26)。これにより、コンデンサC1の第1電極及び駆動トランジスタTDのゲート電極と、参照電源線164とが導通し、コンデンサC1の第1電極の電位は参照電圧VRとなる。

【0148】

また、 $t = T_{24}$ において同時に、走査線駆動回路220は、走査パルスSCANをローレベルからハイレベルにすることで、第2スイッチングトランジスタT2をオンさせる。これにより、コンデンサC1の第2電極の電位が信号電圧Vdataに設定される(図9のステップS27)。つまり、図9のステップS25～S27は、発光画素270の書き込み処理である。

【0149】

$t = T_{24} \sim T_{25}$ の期間、リセットパルスRESETはハイレベルであるので、コンデンサC1の第1電極及び駆動トランジスタTDのゲート電極には、参照電圧VRが継続して印加されている。また、走査パルスSCANはハイレベルであるので、コンデンサC1の第2電極には、信号電圧Vdataが継続して印加されている。また、マージパルスMERGEはローレベルであるので、駆動トランジスタTDのソース電極とコンデンサC1の第2電極とは非導通となっている。

【0150】

図10Dは、 $t = T_{24} \sim T_{25}$ における発光画素の状態を模式的に示した回路図である。

【0151】

10

20

30

40

50

同図に示すように、コンデンサC1の第1電極及び駆動トランジスタTDのゲート電極には、第1スイッチングトランジスタT1を介して参照電源線164から参照電圧VRが印加され、コンデンサC1の第2電極には、第2スイッチングトランジスタT2を介してデータ線166から信号電圧Vdataが印加される。一方、駆動トランジスタTDのソース電極は、当該駆動トランジスタTDのドレイン電極及びコンデンサC1の第2電極のいずれとも非導通となっている。

【0152】

本実施の形態に係る表示装置200が実施の形態1に係る表示装置100と異なる点は、この $t = T24 \sim T25$ の期間の発光画素の状態である。具体的には、表示装置200は、信号電圧Vdataを発光画素270に書き込む際に、第3スイッチングトランジスタT3をオフさせることにより、駆動トランジスタTDを介して第2スイッチングトランジスタT2にドレイン電流が流れ込むことを防止する。これにより、コンデンサC1の第2電極の電位の変動を防止できる。よって、本実施の形態において、コンデンサC1は電圧 $VR - Vdata$ を正確に保持できる。その結果、表示装置200は、次の発光期間において、電圧 $VR - Vdata$ に対応する発光量にて発光素子171を正確に発光させることができる。

10

【0153】

次に、 $t = T25$ において、走査線駆動回路220は、走査パルスSCANをハイレベルからローレベルにすることで、第1スイッチングトランジスタT1をオフさせる。また、同時に、リセットパルスRESETをハイレベルからローレベルにすることで、第2スイッチングトランジスタT2をオフさせる(図9のステップS28)。これにより、コンデンサC1の第1電極と参照電源線164とは非導通となる。また、コンデンサC1の第2電極とデータ線166とは非導通となる。よって、信号電圧Vdataに対応する所望の電圧 $VR - Vdata$ がコンデンサC1に保持される。

20

【0154】

また、 $t = T25$ において、走査線駆動回路220は、リセットパルスRESET及び走査パルスSCANをハイレベルからローレベルにした直後に、マージパルスMERGEをローレベルからハイレベルにすることで、第3スイッチングトランジスタT3をONさせる(図9のステップS29)。これにより、コンデンサC1の第2電極と駆動トランジスタTDのソース電極とが導通する。つまり、駆動トランジスタTDのゲート電極とソース電極との間に、電圧 $VR - Vdata$ が正確に印加される。よって、駆動トランジスタTDは、この電圧 $VR - Vdata$ に対応したドレイン電流を発光素子171に供給することにより、発光素子171を信号電圧Vdataに対応する発光量で正確に発光させる。つまり、図9のステップS28及びS29は、発光画素270の発光処理である。

30

【0155】

また、上記のように、リセットパルスRESET及び走査パルスSCANをハイレベルからローレベルにした直後に、マージパルスMERGEをローレベルからハイレベルにすることで、表示装置200は、発光期間を最大限確保できる。

【0156】

$t = T25 \sim T26$ の期間、走査線駆動回路220は、リセットパルスRESET及び走査パルスSCANをローレベルとし、マージパルスMERGEをハイレベルとしているので、コンデンサC1には電圧 $VR - Vdata$ が継続して正確に保持されている。よって、駆動トランジスタTDは、コンデンサに正確に保持された電圧 $VR - Vdata$ に対応するドレイン電流を発光素子171に継続して供給している。したがって、発光素子171は、信号電圧Vdataに正確に対応する発光量で継続して発光している。

40

【0157】

図10Eは、 $t = T25 \sim T26$ における発光画素の状態を模式的に示した回路図である。

【0158】

同図に示すように、コンデンサC1は電圧 $VR - Vdata$ を正確に保持しており、駆

50

動トランジスタTDは、コンデンサC1に保持された電圧に対応するドレイン電流を発光素子171へ供給する。

【0159】

次に、 $t = T26$ において、走査線駆動回路220は、リセットパルスRESETをローレベルからハイレベルにすることで、第1スイッチングトランジスタT1をオンさせることにより駆動トランジスタTDのゲート電極に参照電圧VRを供給させる。また、同時に、走査線駆動回路220は、走査パルスSCANをローレベルからハイレベルにすることで、第2スイッチングトランジスタT2をオフさせることにより駆動トランジスタTDのソース電極にリセット電圧Vresetを供給させる。これにより、発光素子171は消光され、駆動トランジスタTDのソース電極の電位はリセット電圧Vresetへとただちに遷移する。

10

【0160】

上述した $t = T21 \sim T26$ は、表示装置200の1フレーム期間に相当し、 $t = T25$ 以降も $t = T21 \sim T26$ と同様の動作が繰り返し実行される。

【0161】

以上のように、本実施の形態に係る表示装置200は、発光素子171のアノード電極とコンデンサC1の第2電極との間に挿入されることにより発光素子171のアノード電極とコンデンサC1の第2電極との接続を制御する第3スイッチングトランジスタT3を設け、第3スイッチングトランジスタT3をOFFさせている間に、信号電圧Vdataに対応する所望の電圧VR - VdataをコンデンサC1に保持させ、所望の電圧VR - VdataがコンデンサC1に保持された後に、第3スイッチングトランジスタT3をONするものである。これにより、駆動トランジスタTDのソース電極とコンデンサC1の第2電極との間に電流が流れない状態で信号電圧Vdataに対応する所望の電圧VR - VdataをコンデンサC1に設定できる。即ち、所望の電圧VR - VdataがコンデンサC1に保持される前に、駆動トランジスタTDを介して第2スイッチングトランジスタに電流が流れ込むことによるコンデンサC1の第2電極の電位の変動を防止できる。そのため、所望の電圧VR - Vdataをコンデンサに正確に保持させるので、コンデンサC1に保持すべき電圧が変動して、映像信号を反映した発光量にて発光素子171が正確に発光しないことを防止できる。その結果、信号電圧Vdataに対応する発光量にて発光素子171を正確に発光させ、高精度な画像表示を実現できる。つまり、表示装置200は、外部から表示装置200へ入力された映像信号に対応する輝度に応じた正確な電圧をコンデンサC1に保持させることができるので、高精度な画像表示を実現できる。

20

30

【0162】

以上により、駆動トランジスタTDのドレイン電流を停止させるためのゲート電極の電圧値を規定する参照電圧VRを、駆動トランジスタTDのゲート電極に供給するための第1スイッチングトランジスタT1によって、駆動トランジスタTDのドレイン電流を停止させる機能(画素停止機能)を果たさせ、簡易な構成で駆動素子の電圧-電流特性がヒステリシスであることの問題を解決すると共に、駆動トランジスタTDのソース電極とコンデンサC1の第2電極との接続を制御する第3スイッチングトランジスタT3によって、所望の電圧VR - VdataをコンデンサC1に正確に保持させることができる。

40

【0163】

なお、本発明に係る表示装置は、上述した実施の形態に限定されるものではない。実施の形態1及び2に対して、本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示装置を内蔵した各種機器も本発明に含まれる。

【0164】

また、上記実施の形態においては、第1～3スイッチングトランジスタ及び駆動トランジスタをN型トランジスタとして記載したが、これらをP型トランジスタで構成し、リセット線161、走査線162及びマージ線201の極性を反転させてもよい。

【0165】

50

また、第1～3スイッチングトランジスタ及び駆動トランジスタは、TFTであるとしたが、その他の電界効果トランジスタであってもよい。

【0166】

また、上記実施の形態に係る表示装置100及び200は、典型的には集積回路である1つのLSIとして実現される。なお、表示装置100及び200に含まれる処理部の一部を、発光画素170又は270と同一の基板上に集積することも可能である。また、専用回路又は汎用プロセッサで実現してもよい。また、LSI製造後にプログラムすることが可能なFPGA(Field Programmable Gate Array)、又はLSI内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用してよい。

10

【0167】

また、本発明の実施の形態に係る表示装置100及び200に含まれる走査線駆動回路、データ線駆動回路及び制御回路の機能の一部を、CPU等のプロセッサがプログラムを実行することにより実現してもよい。また、本発明は、上記走査線駆動回路により実現される特徴的なステップを含む表示装置の駆動方法として実現してもよい。

【0168】

また、上記説明では、表示装置100及び200がアクティブマトリクス型の有機EL表示装置である場合を例に述べたが、本発明を、アクティブマトリクス型以外の有機EL表示装置に適用してもよいし、電流駆動型の発光素子を用いた有機EL表示装置以外の表示装置、例えば液晶表示装置に適用してもよい。

20

【0169】

また、図3の $t = T11$ 及び図8の $t = T21$ においては、リセットパルスRESETがローレベルからハイレベルになるタイミングと、走査パルスSCANがローレベルからハイレベルになるタイミングとが同時であるが、リセットパルスRESETがハイレベルの期間に走査パルスSCANがローレベルからハイレベルへと変化すれば本発明の効果は得られる。言い換えると、第1スイッチングトランジスタT1をオンして駆動トランジスタTDのゲート電極に参照電圧VRを供給することにより駆動トランジスタTDのドレイン電流を停止させ、第1スイッチングトランジスタT1をオンしている期間内に第2スイッチングトランジスタT2をオンすることにより、データ線166から所定のリセット電圧Vresetを発光素子171のアノード電極と駆動トランジスタTDのソース電極との接続点に印加してもよい。

30

【0170】

また、図3の $t = T12$ 及び図8の $t = T22$ においては、リセットパルスRESETがハイレベルからローレベルになるタイミングと、走査パルスSCANがハイレベルからローレベルになるタイミングとが同時であるが、リセットパルスRESETがハイレベルの期間に走査パルスSCANがハイレベルからローレベルへと変化すれば本発明の効果は得られる。言い換えると、第1スイッチングトランジスタT1をオンして駆動トランジスタTDのゲート電極に参照電圧VRを供給することにより駆動トランジスタTDのドレイン電流を停止させたまま、第1スイッチングトランジスタT1をオンしている期間内に第2スイッチングトランジスタT2をオフすることにより、データ線166から所定のリセット電圧Vresetを発光素子171のアノード電極と駆動トランジスタTDのソース電極との接続点に印加してもよい。

40

【0171】

また、図3の $t = T13$ 及び図8の $t = T24$ においては、リセットパルスRESETがローレベルからハイレベルになるタイミングと、走査パルスSCANがローレベルからハイレベルになるタイミングとが同時であるが、リセットパルスRESETがハイレベルの期間に走査パルスSCANがローレベルからハイレベルへと変化すれば本発明の効果は得られる。言い換えると、第1スイッチングトランジスタT1をオンして駆動トランジスタTDのゲート電極に参照電圧VRを供給することにより駆動トランジスタTDのドレイン電流を停止させ、第1スイッチングトランジスタT1をオンしている期間内に第2ス

50

スイッチングトランジスタT2をオンすることにより、データ線166から所定の信号電圧VdataをコンデンサC1の第2電極に印加することにより、コンデンサに所望の電圧VR-Vdataを保持させてもよい。

【0172】

また、図3のt=T14及び図8のt=T24においては、リセットパルスRESETがハイレベルからローレベルになるタイミングと、走査パルスSCANがハイレベルからローレベルになるタイミングとが同時であるが、リセットパルスRESETがハイレベルの期間に走査パルスSCANがハイレベルからローレベルへと変化すれば本発明の効果は得られる。言い換えると、第1スイッチングトランジスタT1をオンして駆動トランジスタTDのゲート電極に参照電圧VRを供給することにより駆動トランジスタTDのドレイン電流を停止させたまま、第1スイッチングトランジスタT1をオンしている期間内に第2スイッチングトランジスタT2をオフすることにより、データ線166から所定の信号電圧VdataをコンデンサC1の第2電極に印加することにより、コンデンサに所望の電圧VR-Vdataを保持させてもよい。

10

【0173】

また図3および図8のタイミングチャートにおいて、リセットパルスRESETをT11~T14およびT21~T25においてハイレベルに維持して、第1スイッチングトランジスタをオン状態に維持しても良い。

【0174】

また図2および図7において、それぞれ図3および図8のタイミングチャートのように、リセットパルスRESETおよび走査パルスSCANが全く同一のタイミングで同一の極性で同一の電圧値の信号である場合には、一つの走査信号としてマージしても良い。つまり、リセット線161と走査線162とを共通の1つの走査線としても良い。これにより走査線の本数を削減できるので、回路構成を簡素化できる。

20

【0175】

また、上記実施の形態において、第2スイッチングトランジスタT2をオンしている期間及びオフしている期間を、所定の複数の発光画素間で共通にしてもよい。これにより、所定の複数の発光画素においてリセット期間とデータ書き込み期間とを共用できる。そのため、所定の複数の発光画素において第1スイッチングトランジスタT1を制御するリセット線161を共用して、表示装置全体としてのリセット線161の数を削減できる。

30

【0176】

また、上記実施の形態2において、第3スイッチングトランジスタT3をオンしている期間及びオフしている期間を、所定の複数の発光画素間で共通にしてもよい。つまり、第3スイッチングトランジスタT3をオンして発光素子171のアノード電極とコンデンサC1の第2電極とを接続する期間(発光期間)を、所定の複数の発光画素間で共有する。これにより、所定の複数の発光画素において、第3スイッチングトランジスタT3を制御するマージ線201を共通して、表示装置200のマージ線201の数を削減できる。

【0177】

また、例えば、本発明に係る表示装置は、図11に記載されたような薄型フラットTVに内蔵される。本発明に係る画像表示装置が内蔵されることにより、映像信号を反映した高精度な画像表示が可能な薄型フラットTVが実現される。

40

【産業上の利用可能性】

【0178】

本発明は、特に、画素信号電流により画素の発光強度を制御することで輝度を変動させるアクティブ型の有機ELフラットパネルディスプレイに有用である。

【符号の説明】

【0179】

- 100、200 表示装置
- 110 制御回路
- 120、220 走査線駆動回路

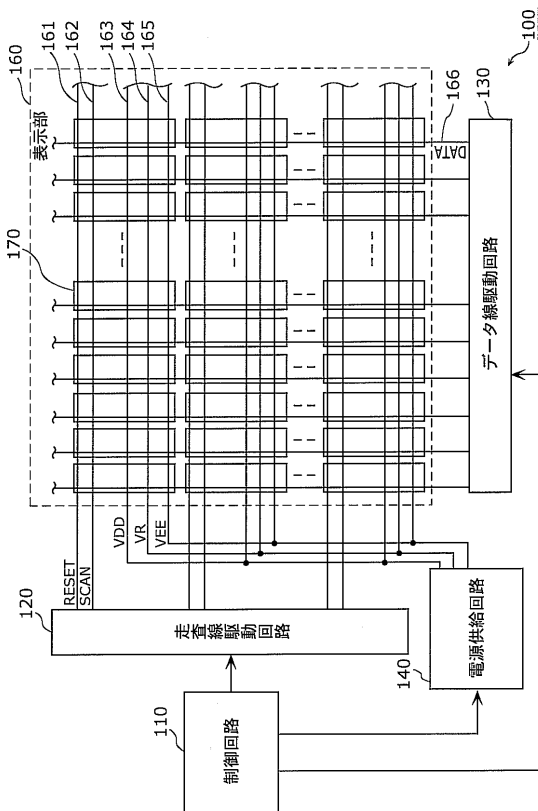
50

- 1 3 0 データ線駆動回路
- 1 4 0 電源供給回路
- 1 6 0 表示部
- 1 6 1 リセット線
- 1 6 2 走査線
- 1 6 3 第 1 電源線
- 1 6 4 参照電源線
- 1 6 5 第 2 電源線
- 1 6 6 データ線
- 1 7 0、2 7 0 発光画素
- 1 7 1 発光素子
- 2 0 1 マージ線
- 5 0 1 第 1 スイッチング素子
- 5 0 2 第 2 スイッチング素子
- 5 0 3 容量素子
- 5 0 4 駆動薄膜トランジスタ (駆動 T F T)
- 5 0 5 有機 E L 素子
- 5 0 6 信号線
- 5 7 0 画素部
- T 1 第 1 スイッチングトランジスタ
- T 2 第 2 スイッチングトランジスタ
- T D 駆動トランジスタ
- C 1 コンデンサ

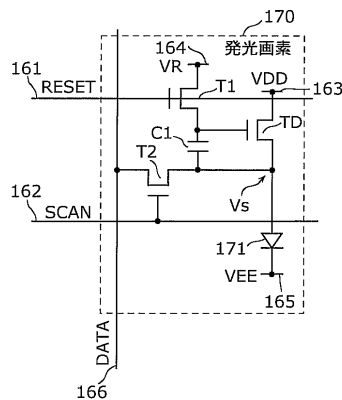
10

20

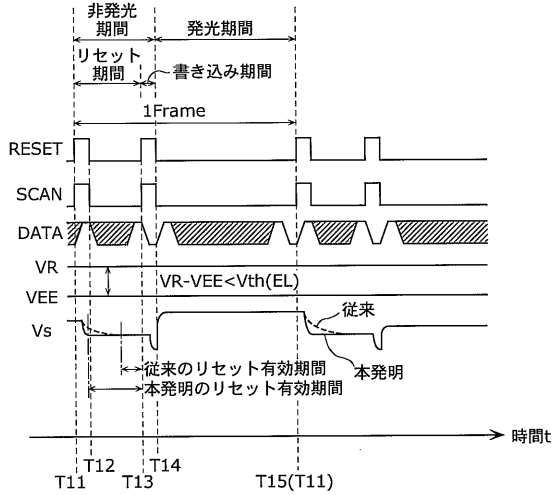
【 図 1 】



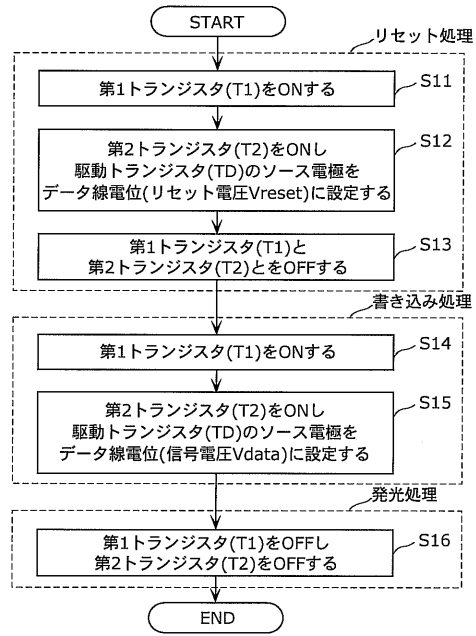
【 図 2 】



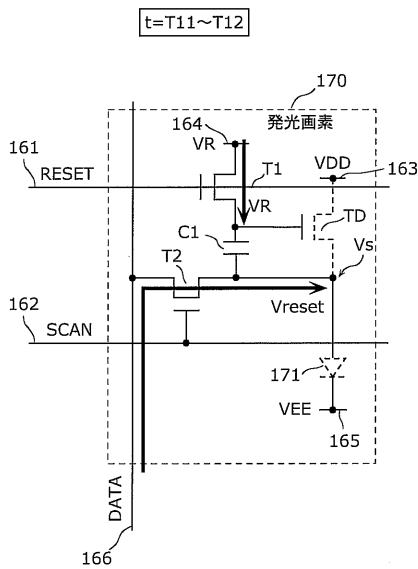
【図3】



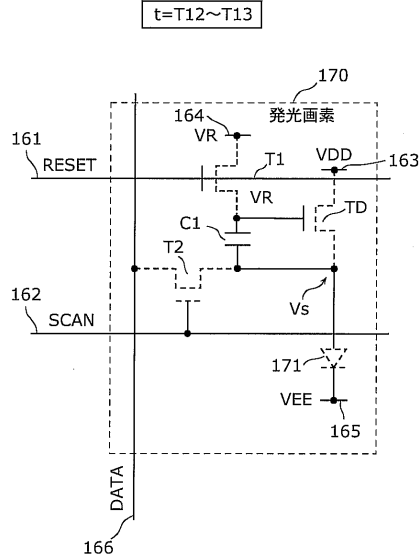
【図4】



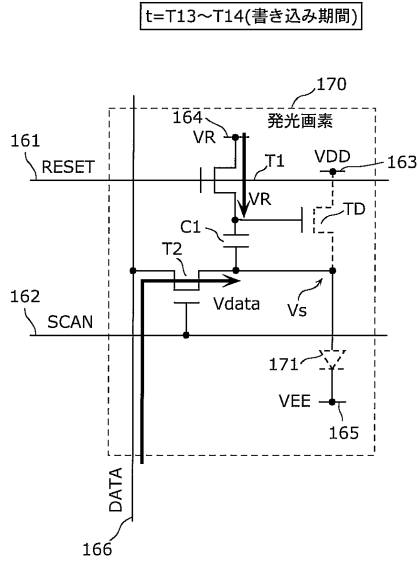
【図5A】



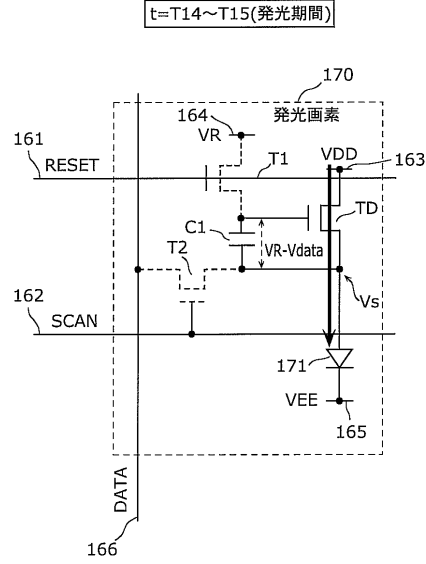
【図5B】



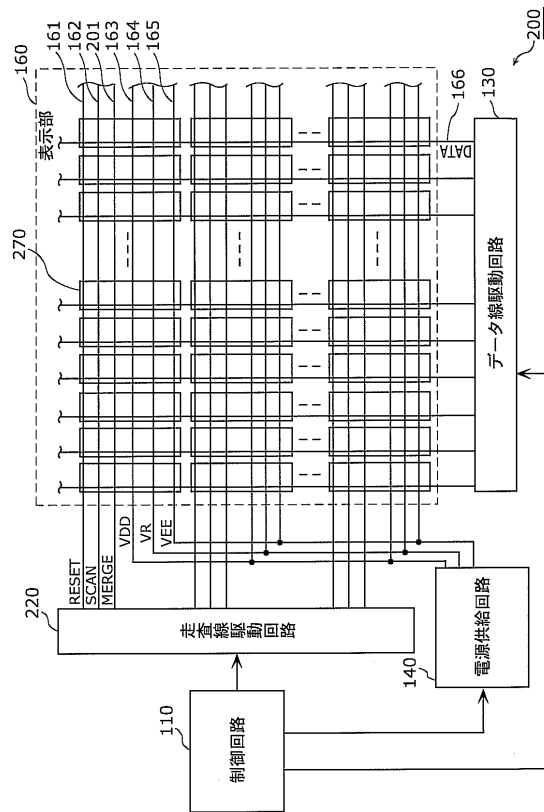
【図5C】



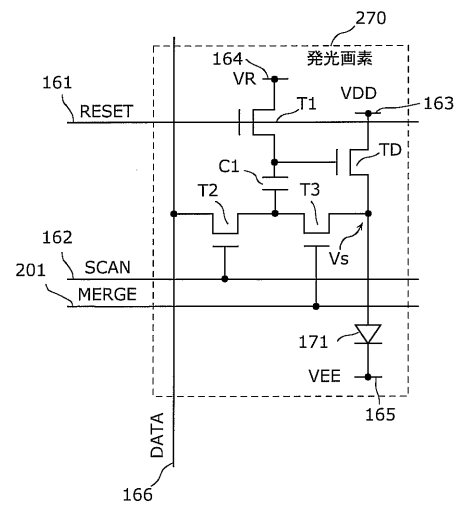
【図5D】



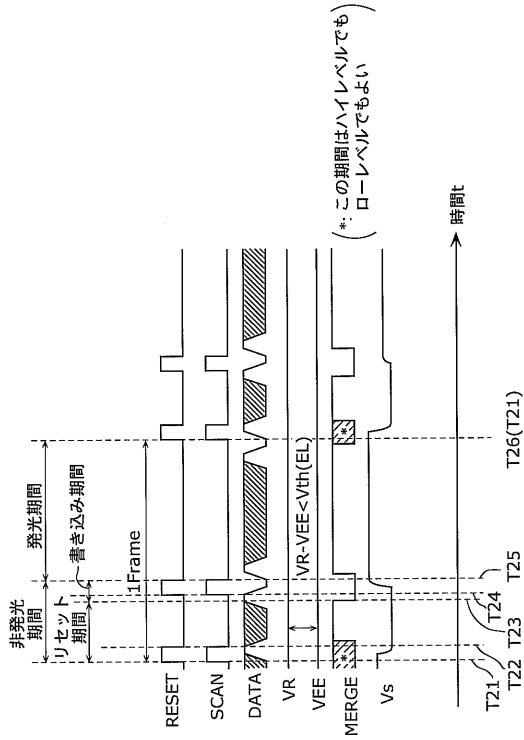
【図6】



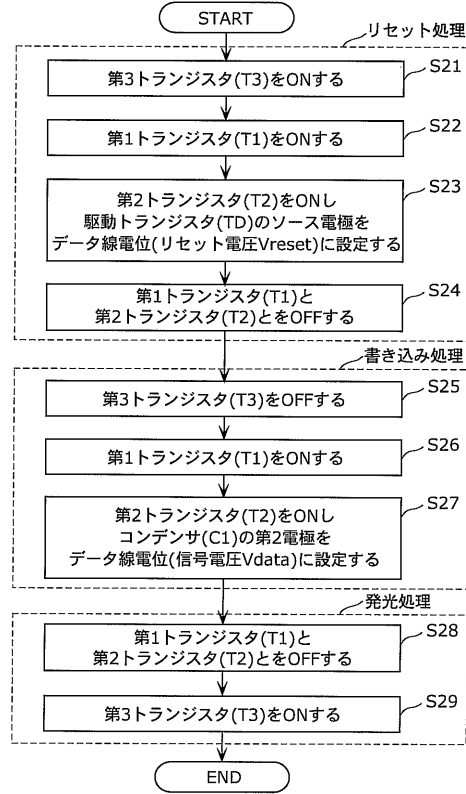
【図7】



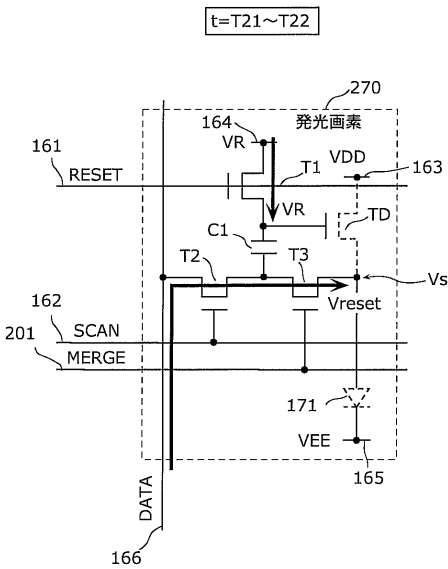
【図8】



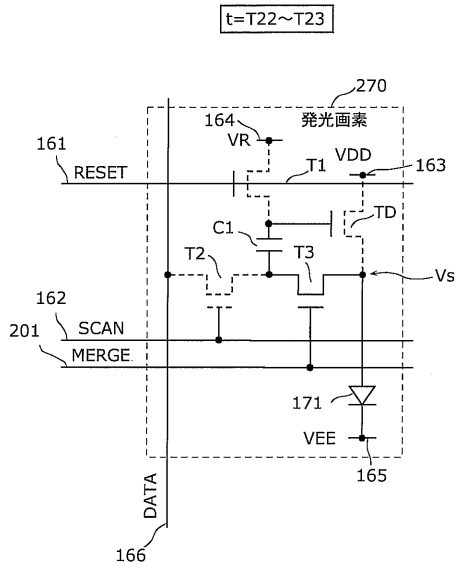
【図9】



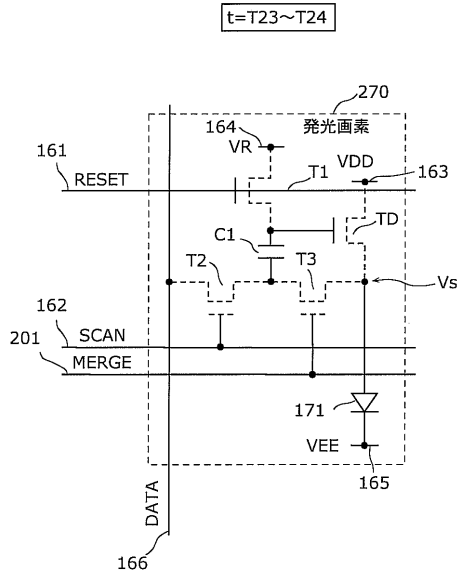
【図10A】



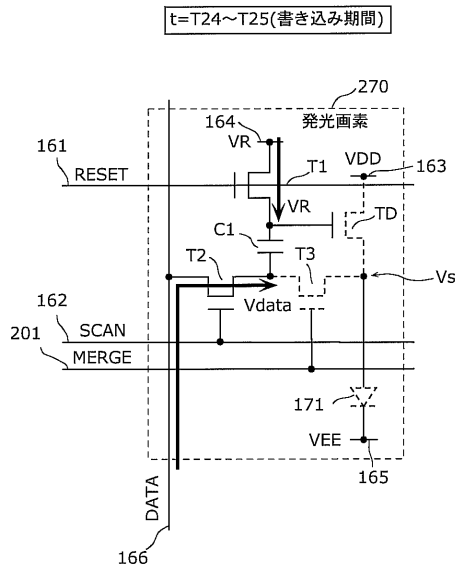
【図10B】



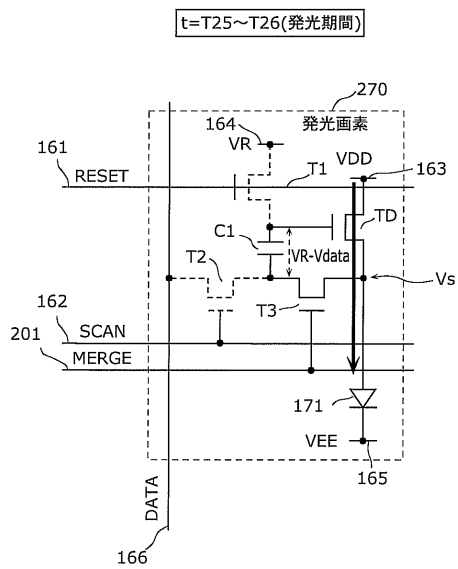
【図10C】



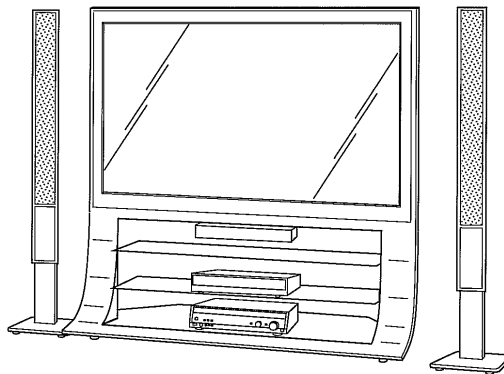
【図10D】



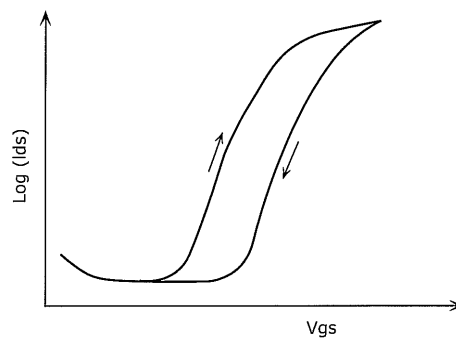
【図10E】



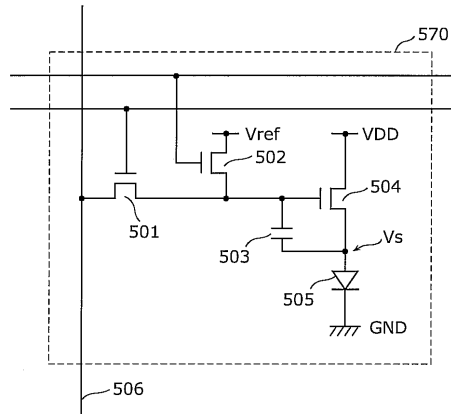
【図11】



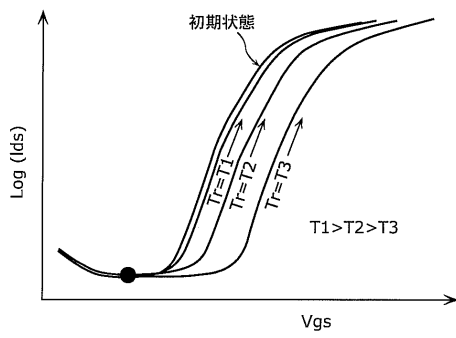
【図12】



【図 1 3】



【図 1 4】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 1 F
H 0 5 B 33/14 A

(56)参考文献 特開2003-186438(JP,A)
特開2005-346073(JP,A)
特開2006-072303(JP,A)
特開2006-301159(JP,A)
特開2008-003542(JP,A)
国際公開第2005/114629(WO,A1)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0
H 0 1 L 5 1 / 5 0