

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5545718号  
(P5545718)

(45) 発行日 平成26年7月9日(2014.7.9)

(24) 登録日 平成26年5月23日(2014.5.23)

(51) Int.Cl.

G01R 31/28 (2006.01)

F 1

G01R 31/28

V

請求項の数 9 (全 11 頁)

(21) 出願番号 特願2009-552780 (P2009-552780)  
 (86) (22) 出願日 平成20年2月1日 (2008.2.1)  
 (65) 公表番号 特表2010-520486 (P2010-520486A)  
 (43) 公表日 平成22年6月10日 (2010.6.10)  
 (86) 國際出願番号 PCT/US2008/052754  
 (87) 國際公開番号 WO2008/109213  
 (87) 國際公開日 平成20年9月12日 (2008.9.12)  
 審査請求日 平成23年1月26日 (2011.1.26)  
 (31) 優先権主張番号 11/683,607  
 (32) 優先日 平成19年3月8日 (2007.3.8)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国 テキサス州 78735  
 オースティン ウィリアム キャノン  
 ドライブ ウエスト 6501  
 (74) 代理人 100142907  
 弁理士 本田 淳  
 (72) 発明者 ペリー、ペリー エイチ.  
 アメリカ合衆国 78726 テキサス州  
 オースティン インディゴ ブラッシュ  
 9606

審査官 菅藤 政明

最終頁に続く

(54) 【発明の名称】複数のモジュールまたはサブモジュールを有する集積回路をテストして提供するためのシステム  
 および方法

## (57) 【特許請求の範囲】

## 【請求項 1】

集積回路(10)であって、  
 テストに応じて第1のテスト・シグネチャを提供する第1の回路(12~14)と；  
 テストに応じて第2のテスト・シグネチャを提供する第2の回路(16~18)と；  
 テストに応じて第3のテスト・シグネチャを提供する第3の回路(20~22)と；  
 前記第1、第2および第3のテスト・シグネチャが有するそれぞれのビットを比較し、  
 多数決を用いることによって、最も正しいテスト・シグネチャのそれぞれのビットが有する  
 正しいビットとしてどのようなバイナリ値が認識されるかを判別するボーティング回路  
 と；

前記第1、第2および第3の各テスト・シグネチャを前記最も正しいテスト・シグネチャと比較することによって、前記第1、第2および第3の各回路(12~14, 16~18, 20~22)に対する良好/不良情報を判別する比較器(24)と  
 を備え、

前記集積回路(10)は更に、前記第1、第2および第3の回路(12~14, 16~18, 20~22)のすべてが良好であることを示すフラグ(66)を備える、集積回路。

## 【請求項 2】

前記集積回路(10)は更に、前記良好/不良情報を格納する不揮発性記憶回路(26)を備える、

10

20

請求項1記載の集積回路。

【請求項3】

前記集積回路(10)は更に、前記第1、第2および第3のテスト・シグネチャを格納するテスト・シグネチャ記憶回路(60)を備える、

請求項1記載の集積回路。

【請求項4】

前記集積回路(10)は更に、前記テスト中に、前記第1、第2および第3の回路(12～14, 16～18, 20～22)に入力テスト・パターンを提供するためのテスト回路(30)を備える、

請求項1記載の集積回路。

10

【請求項5】

集積回路(10)を提供する方法であって、前記方法は、

前記集積回路(10)上の第1の回路(12～14)が、テストに応じて第1のテスト・シグネチャを提供するステップと；

前記集積回路(10)上の第2の回路(16～18)が、テストに応じて第2のテスト・シグネチャを提供するステップと；

前記集積回路(10)上の第3の回路(20～22)が、テストに応じて第3のテスト・シグネチャを提供するステップと、

ボーティング回路が、前記第1、第2および第3のテスト・シグネチャが有するそれぞれのビットを比較し、多数決を用いることによって、最も正しいテスト・シグネチャのそれぞれのビットが有する正しいビットとしてどのようなバイナリ値が認識されるかを判別するステップと、

比較器(24)が、前記第1、第2および第3の各テスト・シグネチャを前記最も正しいテスト・シグネチャと比較することによって、前記第1、第2および第3の各回路(12～14, 16～18, 20～22)に対する良好／不良情報を判別するステップとを有し、

前記集積回路(10)は、前記第1、第2および第3の回路(12～14, 16～18, 20～22)のすべてが良好であることを示すフラグ(66)を備え、

前記第1、第2および第3の各テスト・シグネチャの全てが前記最も正しいテスト・シグネチャと一致すると判別された場合に、前記フラグがアサートされる、方法。

20

30

【請求項6】

前記良好／不良情報を、前記集積回路(10)上の不揮発性記憶回路(26)に格納される、

請求項5記載の方法。

【請求項7】

前記方法は更に、前記集積回路(10)が備えるテスト・シグネチャ記憶回路(60)が、前記第1、第2および第3のテスト・シグネチャを格納するステップを有する、

請求項5記載の方法。

【請求項8】

前記方法は更に、前記集積回路(10)が備えるテスト回路(30)が、テスト中に、前記第1、第2および第3の回路(12～14, 16～18, 20～22)に入力テスト・パターンを提供するステップを有する、

請求項5記載の方法。

【請求項9】

前記方法は更に、複数の前記集積回路(10)を対象にして不良回路の分布を判別するステップを有する、

請求項5記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

40

50

本発明は半導体に関し、特に、半導体のテストおよび販売に関する。

【背景技術】

【0002】

集積回路が進化し、著しく多くの回路を組み込むようになったので、1つの半導体ウェーハ上に大きな割合を占める完全に機能する集積回路を高い信頼性で製造するのが非常に困難になっている。従って、ウェーハ上に存在する良好なダイの歩留まりは、多くの場合、複雑な集積回路の場合には低く、歩留まりが低いためにメーカーの収入は大幅に低減する。

【0003】

結果としての歩留まりを改善するために、メーカーは集積回路上に冗長な回路を組み込んできた。冗長な回路は、識別した欠陥のある回路を置き換えるために、集積回路のテストを行った後で選択的に使用される。しかし、集積回路には多数の回路が組み込まれているので、不良回路を置き換えることを保証するために必要な冗長度は、多くの場合、非常にコストが高く、サイズも大きいので実際には使用することができない。それ故、複雑な集積回路の歩留まりは、多くの場合、所望する歩留まりより遙かに低い。

【0004】

集積回路の機能が進歩し、ますます複雑になるにつれて、1つの集積回路上に複数のデータ・プロセッサが組み込まれるようになった。このような集積回路をテストする場合、集積回路内の各データ・プロセッサは、通常、指定の順序でシリアルにテストされる。

【発明の概要】

【発明が解決しようとする課題】

【0005】

周知のテスト方法の欠点としては、複雑な集積回路をテストするには時間がかかること、および集積回路の機能を判定する電子テスタに関連するコストが高いこと等がある。複雑な集積回路の診断テストを行うためのテスト装置の価格は、通常、100万米ドル以上であり、それ故、集積回路メーカーは多額の投資を行わなければならない。テスト時間を短縮するために、メーカーによっては、複数のプロセッサを並列にテストしてきた。このようなテスト方法の場合には、複数のプロセッサの出力間の比較は、すべてのプロセッサが、同じ結果または異なる結果を提供しているか否かを表示するために行われる。異なる結果が表示された場合には、回路の不良がテスト装置によりチェックされる。

【課題を解決するための手段】

【0006】

以下に本発明について説明するが、これは単に例示としてのものであって、本発明は類似の参照符号が類似の要素を示す添付の図面により制限されない。図面の要素は簡単にし、分かりやすく表示してあるが、縮尺は必ずしも正確なものではない。

【0007】

図1は、モジュール12のような複数の回路モジュールを有する集積回路10を示す。図1の集積回路10は、実施することができる多数の回路アーキテクチャのうちの1つに過ぎないことを理解されたい。分かりやすくするために、集積回路10のテスト機能に関係のない集積回路10内の種々の回路については詳細に説明しない。集積回路10は、モジュール12、13、14、16、17、18、20、21および22のような複数のモジュールを有する。この図では、モジュールは、複数の行および列の形に配置されているが、このように均一に配置する必要はないことを理解されたい。また、モジュールの各列および行の3つのドットで示すように、追加のモジュールも使用することができる。例えば、一態様の場合、モジュールは64個になっているが、任意の数のモジュールを使用することができることを理解されたい。モジュールのうちのいくつかには、複数の追加のモジュールまたはサブモジュールが存在している。例えば、モジュール12は、サブモジュール32およびサブモジュール33を有する。モジュール13は、サブモジュール36およびサブモジュール37を有する。モジュール14は、サブモジュール38およびサブモジュール39を有する。モジュール20は、サブモジュール41およびサブモジュール4

10

20

30

40

50

2を有する。モジュール21は、サブモジュール44およびサブモジュール45を有する。モジュール22は、サブモジュール47およびサブモジュール48を有する。各モジュール12～14は、テスト出力バス50に接続している出力を有する。各モジュール16～18は、テスト出力バス51に接続している出力を有する。各モジュール20～22は、テスト出力バス52と接続している出力を有する。他の態様においては、3つの別々のバスの代わりに1つの共通のテスト出力バスを使用することができることを理解されたい。各モジュール12～14、16～18、および20～22は、テスト入力バス53に接続している入力を有する。比較器／ボータ回路24は、それぞれ、テスト出力バス50、テスト出力バス51およびテスト出力バス52に接続している第1、第2および第3の入力を有する。比較器／ボータ回路24の第1の出力は、比較器／ボータ回路24が行った比較およびボーティング機能の結果に関する結果情報を提供するために、複数の導体バスを介して、外部デバイス28の入力に接続している。比較器／ボータ回路24の第2の出力は、不揮発性記憶装置26の入力に接続している。外部デバイス28は、テストおよびBIST(組み込み自己テスト)コントローラ・ローダ30の入力に、複数の導体バステスト・パターンを介して提供するための出力を有する。テストおよびBISTコントローラ・ローダ30は、テスト入力バス53に接続している出力を有する。

#### 【0008】

動作中、集積回路10は、複数のモジュールを有する。一態様においては、モジュールは同じ機能を実施する。例えば、各モジュールは、同一の命令セットを実行することができるデータ・プロセッサまたはコアであってもよい。他の態様においては、各モジュールは、メモリ、コンバータまたは状態機械のような他のタイプの回路であってもよい。さらに他の態様においては、モジュールの一部だけが同一のものである。例えば、第1の列のモジュール12～14は、浮動小数点処理装置であってもよいし、一方、第2の列のモジュール16～18は、固定小数点処理装置であってもよい。さらに、集積回路10内の各または大部分のモジュールは、異なるタイプの回路であってもよい。1つ以上のモジュール内には、複数の同一のまたは実質的に同一のサブモジュールが位置する。サブモジュールは、集積回路10内の同じ機能モジュールのテストを記述している下記の説明と同じ方法で1つのモジュール内で機能をチェックまたはテストすることができることを理解されたい。それ故、本明細書において「モジュール」および「サブモジュール」という用語を使用した場合には、これらの用語は、それぞれもっと一般的な用語である「回路」と見なすことができる。

#### 【0009】

説明のために、モジュール12～14、16～18および20～22は、同じ機能を実施し、それ故、同じ入力が提供された場合には、同じ結果を生ずるものと仮定する。外部デバイス28は、テスト・パターンを受信し、格納するテストおよびBISTコントローラ・ローダ30に特定のテスト・パターンを提供する。テスト・パターンは、制御回路(図示せず)の制御下で、テスト・パターン上のすべてのモジュールにより所定のテスト機能を実行するための各モジュールに経路指示される。テスト・パターンの一例として、各モジュール内で2つのオペランドを乗算するためのコマンドの他に、テスト・パターン内に2つのオペランドを提供することができる。各モジュールは、テスト・パターンに含まれている1つ以上のテスト動作を実行し、テスト出力バス50～52を介して比較器／ボータ回路24に伝達される「実際のテスト・シグネチャ」と呼ばれる結果を生成する。比較器／ボータ回路24は、モジュールからの各出力を検査し、ビット毎にどんなバイナリ値が得られたのかを判別する。この判別は、ビット毎に各モジュールをボーリングし、各モジュールが、正しいテスト・シグネチャ・ビットの「ボーティングを行う(vote)」ことができるようにより行われる。簡単な多数決で決まるか、またはテスト・シグネチャのすべてのビットの正しいビット値としてどんなバイナリ値が認識されるのかを判別する。分割ボーティングが行われた場合には、デフォルト・ビット値が一貫して使用される。分割ボーティングが行われた場合には、モジュールの半分が逸脱している値を生成していることを示し、またこのことは、集積回路にとって大きすぎる少なくとも5

0 % の誤差マージンが商業的に実行可能であることを示している。従って、デフォルト・ビットの値は重要ではない。比較器 / ボータ回路 2 4 が、ボーティング機能から正しいテスト・シグネチャを生成し、そのシグネチャをモジュールが生成した各シグネチャと比較した場合には、テストの結果が、不揮発性記憶装置 2 6 に格納される。テスト結果は、各モジュールに対してモジュールが良好であるか不良であるのかを示す良好 / 不良情報を提供する。不揮発性記憶装置 2 6 は、任意のタイプの N V M デバイスであってもよい。好適には、不揮発性記憶装置 2 6 は、集積回路のユーザによる以降の使用のために、または集積回路 1 0 の外部からの以降のチェックのためにテスト結果が同じまま変化しないような不揮発性のものであることが好ましい。例えば、各モジュールの良好 / 不良情報は、任意の不良と表示されているモジュールが、命令フローの中でアクセスされるのが防止される命令フローのスレッド割当てのために後で使用することができる。ここで再度、本明細書に記載する詳細を同様に適用することができる集積回路の 1 つのモジュールの複数のサブモジュールにもこのテストを適用することができることを述べておきたい。

#### 【 0 0 1 0 】

一態様においては、外部デバイス 2 8 は、比較器 / ボータ回路 2 4 からの結果に関する統計を保存しているパーソナル・コンピュータの形をしているテスタであることに留意されたい。集積回路 1 0 のテストに関連する利点は、従来のパーソナル・コンピュータにより、集積回路 1 0 のテストを実施するのに必要な分析およびデータ処理を容易に行うことができるのである。従って、集積回路 1 0 の全機能を判別するために、複雑で高価なテスタを使用しないですむ。また、テストおよび B I S T コントローラ・ローダ 3 0 の B I S T 部分は、別々に、テスト入力バス 5 3 に結合されるテスト・パターンを生成することができることを理解されたい。一態様においては、テストおよび B I S T コントローラ・ローダ 3 0 の B I S T 部分は、集積回路の電源がオンになると稼働する。

#### 【 0 0 1 1 】

外部デバイス 2 8 が結果を受信すると、この外部デバイスは、集積回路 1 0 内のどれだけ多くのモジュール（またはサブモジュール）が良好で、どれだけ多くのモジュール（またはサブモジュール）が不良であるのかを容易に判別することができる。どれだけ多くのものが良好であるかに従って、集積回路 1 0 を、複数のモジュールの何パーセントが良好であるかに基づいて、販売のための製品カテゴリ内に入れることができる。集積回路 1 0 は、かなりの数の繰り返しモジュールを有しているので、いくつかの不良（すなわち正しく動作しない）モジュールがあっても、製品は依然として商業的価値を有する。例えば、多数のプロセッサが提供される場合には、すべてのプロセッサが正しく動作するわけではない場合でも、製品の使用が役に立つ多数の用途がある。使用することができない正しく動作しない 1 つまたは複数のプロセッサが識別できる限り、全部の機能は機能しない集積回路を使用することができる多くの用途がある。

#### 【 図面の簡単な説明 】

#### 【 0 0 1 2 】

【 図 1 】本発明の一態様による複数のモジュールを有する集積回路のブロック図。

【 図 2 】図 1 の集積回路内の比較およびボーティング回路のブロック図。

【 図 3 】図 1 の集積回路をテストするための方法のフローチャート。

【 図 4 】テストを行った後で図 1 の集積回路を提供するための方法のフローチャート。

【 図 5 】製品の歩留まりと図 1 の集積回路の検出した欠陥との関係のグラフ。

#### 【 発明を実施するための形態 】

#### 【 0 0 1 3 】

図 2 は、図 1 の比較器 / ボータ回路 2 4 の一態様のブロック図を示す。記憶装置 6 0 は、並列にテストが行われている各モジュールから実際のテスト・シグネチャを受信するためのものである。各テスト・シグネチャは、外部デバイス 2 8 が提供したパターンを使用する所定の機能動作の出力結果を示す。記憶装置 6 0 は、格納している実際のテスト・シグネチャを各モジュールと容易に相關付けるような構造になっている。この場合も、複数のモジュールからのテスト・シグネチャを受信し、格納するのではなく、1 つのモジュー

10

20

30

40

50

ルのサブモジュールからのテスト・シグネチャを受信し、格納することができることを理解されたい。記憶装置 60 は、結果タビュレータ 62 の各入力に接続している複数の出力を有する。結果タビュレータ 62 は、正しいテスト・シグネチャ記憶装置 64 の入力および「すべて良好なフラグ」記憶装置 66 の入力の両方に接続している出力を有する。正しいテスト・シグネチャ記憶装置 64 の出力は、比較器 68 の第 1 の制御入力に接続している。「すべて良好なフラグ」記憶装置 66 の出力は、比較器 68 の第 2 の制御入力に接続している。比較器 68 は、それぞれが記憶装置 60 の所定の出力に接続している複数の入力を有する。比較器 68 は、外部デバイス 28 に接続している「結果」を提供するための第 1 の出力、および同様に集積回路 10 内の記憶装置に対して「結果」を提供するための上記不揮発性記憶装置 26 と接続している第 2 の出力を有する。比較器 68 の第 1 の出力および第 2 の出力が提供する「結果」情報は異なるフォーマットのものでもよく、依然として、良好情報を提供したモジュール（サブモジュール）、および不良情報を提供したモジュール（サブモジュール）に関する同じ情報を含むことを理解されたい。10

#### 【 0014 】

動作中、結果タビュレータ 62 は、論理回路により実施され、テスト中のすべてのモジュール（またはサブモジュール）が生成した実際のテスト・シグネチャの各ビットに対していずれの論理値（1 または 0）が一番多いのかを判別する。従って、結果タビュレータ 62 は、実際のテスト・シグネチャの各位置のところにどれだけ多くの論理 1 およびどれだけ多くの論理 0 が存在するのかをカウントし、または表に作成する働きをする。正しいテスト・シグネチャを形成するためにいずれのビット値を使用したらよいのかを判別するために、通常、簡単な多数決が使用される。従って、正しいテスト・シグネチャは、実際の各テスト・シグネチャと比較するために比較器 68 が後で使用する「ゴールデン・マスター」シグネチャとして機能する。比較器 68 の出力は、実際のテスト・シグネチャのいずれが、生成した正しいテスト・シグネチャと異なっているのかを示す。結果タビュレータ 62 が、実際のテスト・シグネチャのすべての各ビット値が一致すると判別した場合には、「すべて良好なフラグ」記憶装置 66 内にそのように表示するようにビット値またはフラグが設定される。「すべて良好なフラグ」がアサートされた場合には、比較器 68 は、実際のテスト・シグネチャを正しいテスト・シグネチャと比較することができなくなり、「結果」内にすべてのテスト・シグネチャは良好情報であることを直接表示する。このバイパス動作により、テスト動作がスピードアップし、そうでない場合、比較器 68 により消費される電力が低減する。それ故、比較器 / ポータ回路 24 は、入力テスト・データからの結果を効率的に使用し、テスト中の各モジュールまたはサブモジュールから出力を個々に比較するために使用される正しいテスト・シグネチャを生成する。20

#### 【 0015 】

図 3 は、図 1 の集積回路 10 を提供するための方法のフローチャートを示す。ステップ 70 において、この方法は、開始コマンドにより開始される。ステップ 72 において、1 つ以上の所定のテスト・パターンが、テストおよび BIST コントローラ・ローダ 30 内にロードされる。ステップ 74 において、実際のテスト・シグネチャを提供するために、モジュールまたはサブモジュールにテスト・パターンを実行させることにより、1 つ以上のテスト・パターンが稼働される。ステップ 76 において、1 つ以上のテスト・パターンを稼働することにより生成された実際のテスト・シグネチャが、記憶装置 60 内に格納される。ステップ 78 において、実際のテスト・シグネチャのビットが、すべて対応するか否かを判定するために比較が行われる。テスト結果のすべてのビットが同じでない場合には、すでに説明したように、ボーティングを行うことにより、ステップ 79 において、正しいテスト・シグネチャが判別される。ステップ 80 において、実際のテスト・シグネチャとステップ 79 において判別した正しいテスト・シグネチャとの比較が行われる。ステップ 80 が終了すると、正しいシグネチャと異なるモジュールまたはサブモジュールの任意の結果がステップ 82 においてテストに不合格であったものとして識別される。テスト結果のすべてのビットが同じである場合には、ステップ 84 において、「すべて良好なフラグ」記憶装置 66 の「すべて良好なフラグ」が設定され、ステップ 80 がバイパスされ304050

る。この状況の場合、ステップ 8 2 において、すべてのモジュール / サブモジュールに「良好情報」インジケータが提供されるが、いずれのモジュール / サブモジュールもテストに不合格であったものとして識別しない。ステップ 8 2 の後で、任意の欠陥のあるモジュールまたはサブモジュールの識別が、ステップ 8 6 において、集積回路 1 0 上の不揮発性記憶装置 2 6 に格納される。ステップ 8 6 の後で、任意の欠陥のある（すなわち不良）モジュールまたはサブモジュールの識別が、ステップ 8 8 において、集積回路 1 0 の外部に提供され、ステップ 8 9 においてこの方法は終了する。

#### 【 0 0 1 6 】

図 4 は、上記テストを使用するための方法を示す。この方法はステップ 9 0 から開始する。ステップ 9 2 において、良好モジュール / サブモジュール情報および不良モジュール / サブモジュール情報が、テスト済みの各モジュールまたはサブモジュールに対して格納される。次のステップ 9 4 において、良好なモジュールの分布が、複数の集積回路に対する累積歩留まりを判別するために複数の集積回路の特徴になる。すなわち、欠陥のあるモジュールまたはサブモジュールを含まない良好なモジュールの数が判別される。次に、1 つの欠陥のあるモジュール、2 つの欠陥のあるモジュール等を含む良好なモジュールの数が判別される。ステップ 9 6 において、複数の集積回路が、集積回路内の良好なモジュールおよび不良モジュールの開示の分布に基づいて販売される。例えば、6 4 のモジュールが 3 つの欠陥のあるモジュールを含んでいる場合には、ある用途において特定の集積回路が使用できるか否かについての判別が行われる。このような用途に対して、集積回路は欠陥のあるモジュールの数の全面的な開示と共に販売され、集積回路は、その内部にいずれのモジュールが欠陥であるのかの識別を格納する。販売される集積回路内の不良回路の分布が、その設計に集積回路を適用する際に使用できるように顧客に提供される。集積回路の販売は、金銭の取引、現物の製品の取引、集積回路についての技術の移転およびノウハウの譲渡、および他の形の補償を含むことを理解されたい。その結果、集積回路のユーザは、不良モジュールにより生じる誤差を回避することにより、集積回路をプログラムし、使用することができる。集積回路を含む商取引が終了すると、この方法はステップ 9 8 において終了する。

#### 【 0 0 1 7 】

図 5 は、使用可能と判別された欠陥のあるモジュールの数が増大するにつれて、集積回路の累積歩留まりがどのように増大するのかを示すグラフを示す。従来、1 つの欠陥のあるモジュールは売り物にはならなかった。しかし、本明細書に記載する方法を使用することにより、欠陥のあるモジュールがユーザにとって使用しないほうがよいと識別された場合でも、その製品は役に立ち、欠陥のあるモジュールを含まない製品だけを使用する場合と比較すると歩留まりが増大する。同様に、モジュールの数が十分多い場合には、使用可能と判別することができる欠陥のあるモジュールの数が増大する。これらの製品を商業的に使用することにより、歩留まりが増大し、利益が増大する。ある時点で、許容できる欠陥のあるモジュールの数は最大になり、歩留まりは頭打ちになる。累積歩留まりの実際の値は、実施するモジュールまたはサブモジュールの全数に依存する。

#### 【 0 0 1 8 】

ここまででは、集積回路のテスト機能および歩留まりを有意に改善するテスト方法および構造についての説明であることを理解されたい。実質的に同じ機能を行う集積回路上の複数のモジュールまたはサブモジュールは、1 つ以上のテスト・パターンにより並列にテストされる。すべての不一致を発見するために、各モジュールまたはサブモジュールからの結果がテストされ、各ビット位置に対する大多数のデジタル値を表すビットにより有効なシグネチャ結果が生成される。各モジュールの実際のシグネチャを有効なシグネチャ結果と比較することにより、すべての不合格モジュールまたはサブモジュールが識別される。不合格モジュールまたはサブモジュールの識別は、いずれのモジュールおよびサブモジュールが機能しないのかについての顧客に対する開示と一緒に販売される集積回路上に格納される。集積回路の生産の歩留まりはそれにより改善される。本明細書に記載する方法を使用すれば、複数のコア・プロセッサおよび複数の回路モジュールを有する他の集積回路

10

20

30

40

50

に関連するテスト・コストが低減する。不合格モジュールの識別は、不合格となったコアのアドレスを表示することにより行われる。不合格モジュールのアドレスは、不揮発性記憶装置26のような不揮発性メモリを使用するのではなく、いずれのモジュールが不良であるのかを表示するヒューズを飛ばすために使用することができる。別的方法としては、不合格アドレスを、不合格となったモジュールのアドレスを表示するエントリをレジスタに書き込むか、またはメモリに書き込むために使用することができる。

#### 【0019】

特定の導電性タイプまたは電位の極性を参照しながら本発明を説明してきたが、当業者であれば導電性タイプおよび電位の極性を逆にすることができる理解することができるだろう。さらに、上記説明および特許請求の範囲内に「前部」、「後部」、「頂部」、「底部」、「上」、「下」等の用語がもし使用してある場合には、これらの用語は説明のためだけのものであって、必ずしも、恒久的な相対位置を示すものではない。このような用語は、適当な状況の下では互換性を有し、従って本明細書に記載する本発明の実施形態は、例えば図示の方向または本明細書に記載する方向以外の方向でも動作することができる理解されたい。

#### 【0020】

特定の実施形態を参照しながら本発明を説明してきたが、添付の特許請求の範囲に記載する本発明の範囲から逸脱することなしに、本発明を種々に修正および変更することができる。例えば、モジュールおよびサブモジュールが表す回路のタイプは、プロセッサ・コア、標準ロジック、状態機械、メモリおよび多数の他の電子回路であってもよい。モジュールおよびサブモジュールの全数は、非常に多くてもよく、任意の特定の数に限定されない。本明細書に記載する例以外の障害モジュールを識別するために種々の修正を行うことができる。例えば、ディスプレイまたは他の光インジケータを使用することができる。使用することができるテスト・パターンは、任意の特定のタイプのテスト方法に限定されない。本明細書に記載するすべての回路は、シリコンまたは他の半導体材料で実施することができるし、別的方法としては、シリコンまたは他の半導体材料のソフトウェア・コード表示により実施することもできることを理解されたい。従って、本明細書および図面は例示としてのものであると見なすべきで、本発明を制限するものと見なすべきでなく、このようなすべての修正は本発明の範囲内に含まれる。特定の実施形態を参照しながら本明細書に記載する利益、利点または問題の解決方法は、任意またはすべての請求項の重要な、必要な、または本質的な特徴または要素であると解釈すべきではない。

#### 【0021】

一態様においては、第1の良好／不良情報が集積回路上の第1の回路に提供される方法を提供する。第2の良好／不良情報は、集積回路上の第2の回路に提供される。第3の良好／不良情報は、集積回路上の第3の回路に提供される。第1、第2および第3の回路は、それぞれ、良好な場合には、同じテスト入力に応じて同じテスト結果を出力する。第1、第2または第3の良好／不良情報のうちの少なくとも1つが、第1、第2または第3の回路のうちの少なくとも1つが依然として不良のままであり、修理されていないことを示す場合、集積回路は販売される。他の態様においては、第1の良好／不良情報は、集積回路上の不揮発性記憶回路に格納される。他の態様においては、集積回路の価格は、集積回路上の多数の良好な回路の関数である。さらに他の態様においては、第1、第2および第3の回路のすべてが良好である場合には、集積回路は第1の価格になる。第1、第2および第3の回路のうちの少なくとも1つが依然として不良のままである場合には、集積回路は第2の価格となる。この場合、第1の価格は第2の価格より高い。他の態様においては、第1の良好／不良情報は、集積回路の動作中、第1の回路を使用すべきではないか否かを判別するために、第1の回路に対して使用される。他の態様においては、不良回路の分布は、複数の集積回路を対象にして判別される。さらに他の態様においては、不良回路の分布は、集積回路の購入者に提供される。一態様においては、ボーティング動作は、各回路が良好であるか不良であるのかを判別するために、少なくとも1回のテストの結果に対して行われる。

10

20

30

40

50

**【 0 0 2 2 】**

他の態様においては、本発明の方法は、集積回路上の複数の回路のテストを含む。テスト出力は、複数の各回路から提供される。テスト出力のいずれかが異なっている場合には、複数の回路のうちのいずれが不良であるのかを判別するためにボーティング動作が行われる。一態様においては、ボーティングは、いずれのテスト出力が最も正しいテスト出力であるかを判別するステップを含む。最も正しいテスト出力を有する複数の各回路は、良好であると見なされる。他の態様においては、複数の回路の良好／不良情報は、集積回路上の不揮発性記憶回路に格納される。他の態様においては、不揮発性記憶回路はヒューズである。他の態様においては、不揮発性記憶回路は、複数のヒューズを含み、複数の各ヒューズは、複数の回路のうちの1つに対応する。

10

**【 0 0 2 3 】**

他の態様においては、集積回路は、テストに応じて第1のテスト・シグネチャを提供する第1の回路を含む。第2の回路は、テストに応じて第2のテスト・シグネチャを提供する。第3の回路は、テストに応じて第3のテスト・シグネチャを提供する。ボーティング回路は、第1、第2および第3のテスト・シグネチャを比較し、最も正しいテスト・シグネチャを判別する。比較器は、第1、第2および第3の各回路に対する良好／不良情報を判別するために、第1、第2および第3の各テスト・シグネチャを最も正しいテスト・シグネチャと比較する。他の態様においては、不揮発性記憶回路は、第1、第2および第3の各回路に対する良好／不良情報を格納する。さらに他の態様においては、第1、第2および第3の回路すべてが良好であることを表示するためにフラグを使用している。さらに他の態様においては、記憶回路は第1、第2、および第3のテスト・シグネチャを格納する。他の態様においては、テスト回路は、テスト中、第1、第2および第3の回路に入力テスト・パターンを提供する。他の態様においては、第1、第2および第3の回路は、同じタイプのデータ・プロセッサである。一態様においては、第1の回路は、第1のサブモジュールであり、第2の回路は、第2のサブモジュールであり、第3の回路は、第3のサブモジュールである。

20

**【 0 0 2 4 】**

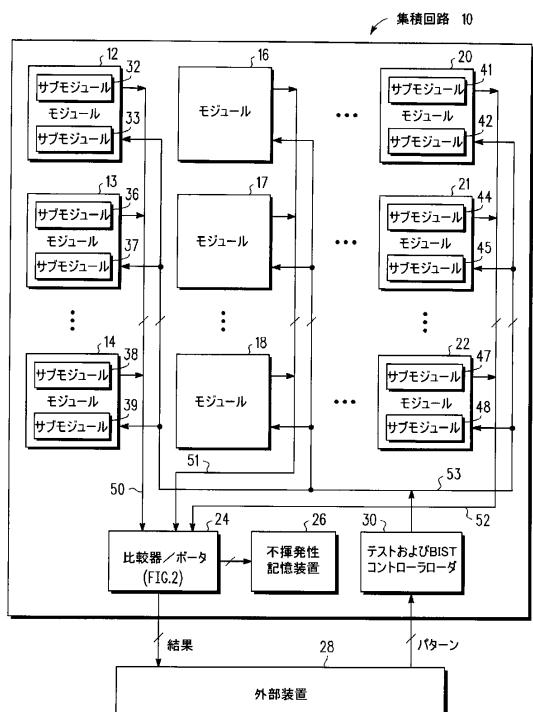
本明細書で使用する場合、ある（「a」または「a n」）という用語は、1つまたは2つ以上を意味する。同様に、特許請求の範囲の「少なくとも1つ」および「1つ以上」のような導入句を使用している場合、不定冠詞「a」または「a n」による他の請求項の要素の導入部分が、同じ請求項が「1つ以上」または「少なくとも1つ」という導入句、およびある（「a」または「a n」）のような不定冠詞を含んでいる場合でも、このように導入された請求項要素を含む任意の特定の請求項を、1つだけこのような要素を含む発明に限定するものと解釈すべきではない。定冠詞を使用している場合にも同じことが言える。

30

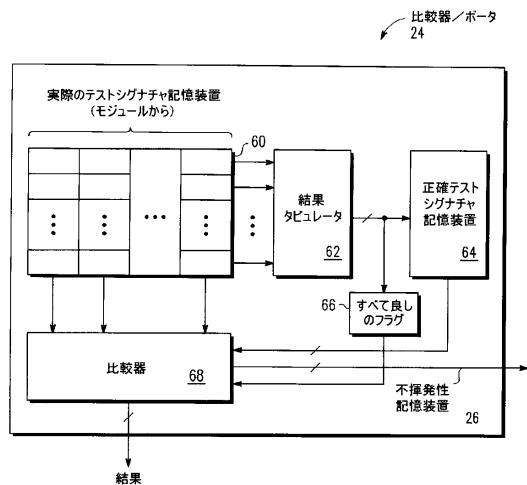
**【 0 0 2 5 】**

他に別段の指定がない限り、「第1」および「第2」のような用語は、このような用語が記述する要素間を任意に区別するためのものである。それ故、これらの用語は、必ずしも、このような要素の時間的または他の優先順位を示すものではない。

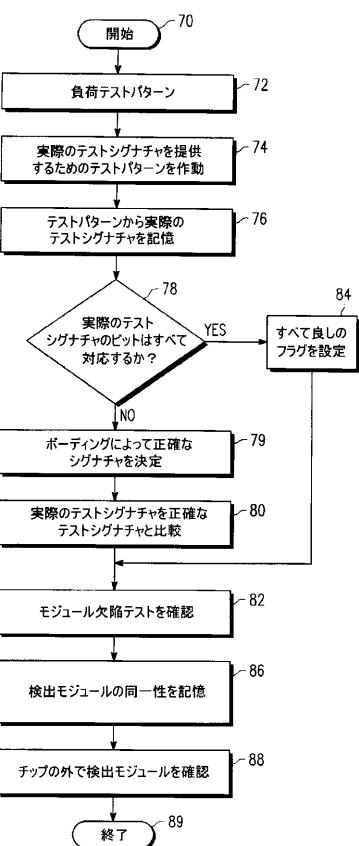
【図1】



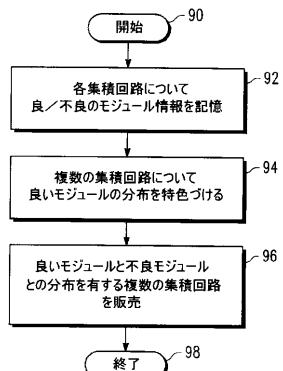
【図2】



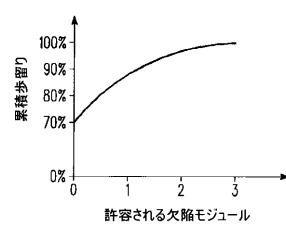
【図3】



【図4】



【図5】



---

フロントページの続き

(56)参考文献 特開平06-119200(JP,A)  
特開2000-137059(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G01R 31/28 - 31/3193