

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4498043号
(P4498043)

(45) 発行日 平成22年7月7日(2010.7.7)

(24) 登録日 平成22年4月23日(2010.4.23)

(51) Int.Cl.

F I

G02F 1/1368 (2006.01)

G02F 1/1368

G09F 9/00 (2006.01)

G09F 9/00 352

G09G 3/20 (2006.01)

G09G 3/20 621J

G09G 3/36 (2006.01)

G09G 3/20 624B

H01L 29/786 (2006.01)

G09G 3/20 670A

請求項の数 6 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2004-211701 (P2004-211701)
 (22) 出願日 平成16年7月20日(2004.7.20)
 (65) 公開番号 特開2006-30782 (P2006-30782A)
 (43) 公開日 平成18年2月2日(2006.2.2)
 審査請求日 平成18年9月12日(2006.9.12)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100087479
 弁理士 北野 好人
 (72) 発明者 鎌田 豪
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通ディスプレイテクノロジーズ
 株式会社内

審査官 奥田 雄介

最終頁に続く

(54) 【発明の名称】 液晶表示装置、液晶表示装置のリペア方法及び液晶表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

行方向及び列方向に隣接するようにマトリクス状に配置された複数の画素部と、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された複数のゲートバスラインと、前記列方向に延在し、前記列方向に並ぶ前記画素部に接続された複数のドレインバスラインと、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された補助容量バスラインとを有する液晶表示装置であって、

複数の前記画素部は、画素電極と、前記画素電極に接続され、前記補助容量バスラインにより補助容量を構成する補助容量電極と、前記画素電極及び前記ドレインバスラインに接続され、前記画素電極と前記ドレインバスラインとの接続を前記ゲートバスラインにより制御する第1のスイッチング素子と、一方の電極が前記ドレインバスラインに接続され、他方の電極が前記画素電極に絶縁膜を介して重畳するように配置され、前記一方の電極と前記他方の電極との接続を前記補助容量バスラインにより制御する第2のスイッチング素子とをそれぞれ有し、

複数の前記画素部のうち少なくとも一の前記画素部は、前記第2のスイッチング素子の前記他方の電極が、前記絶縁膜を介して前記画素電極に重畳する部分において、前記画素電極に接続されている

ことを特徴とする液晶表示装置。

【請求項2】

行方向及び列方向に隣接するようにマトリクス状に配置された複数の画素部と、前記行

方向に延在し、前記行方向に並ぶ前記画素部に接続された複数のゲートバスラインと、前記列方向に延在し、前記列方向に並ぶ前記画素部に接続された複数のドレインバスラインと、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された補助容量バスラインとを有し、

複数の前記画素部が、画素電極と、前記画素電極に接続され、前記補助容量バスラインとにより補助容量を構成する補助容量電極と、前記画素電極及び前記ドレインバスラインに接続され、前記画素電極と前記ドレインバスラインとの接続を前記ゲートバスラインにより制御する第1のスイッチング素子と、一方の電極が前記ドレインバスラインに接続され、他方の電極が前記画素電極に絶縁膜を介して重畳するように配置され、前記一方の電極と前記他方の電極との接続を前記補助容量バスラインにより制御する第2のスイッチング素子とをそれぞれ有する液晶表示装置のリペア方法であって、

10

動作しない前記画素部が存在した場合、動作しない前記画素部の前記画素電極と前記第2のスイッチング素子の前記他方の電極との重畳部分にレーザ光を照射し、前記画素電極と前記第2のスイッチング素子の前記他方の電極とを接続する

ことを特徴とする液晶表示装置のリペア方法。

【請求項3】

請求項2記載の液晶表示装置のリペア方法において、

レーザ光を照射することにより、前記補助容量電極と前記画素電極との間の接続を切断する

ことを特徴とする液晶表示装置のリペア方法。

20

【請求項4】

請求項2又は3記載の液晶表示装置のリペア方法において、

レーザ光を照射することにより、前記第1のスイッチング素子と前記画素電極との間の接続を切断する

ことを特徴とする液晶表示装置のリペア方法。

【請求項5】

行方向及び列方向に隣接するようにマトリクス状に配置された複数の画素部と、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された複数のゲートバスラインと、前記列方向に延在し、前記列方向に並ぶ前記画素部に接続された複数のドレインバスラインと、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された補助容量バスラインとを有し、

30

複数の前記画素部が、画素電極と、前記画素電極に接続され、前記補助容量バスラインとにより補助容量を構成する補助容量電極と、前記画素電極及び前記ドレインバスラインに接続され、前記画素電極と前記ドレインバスラインとの接続を前記ゲートバスラインにより制御する第1のスイッチング素子と、一方の電極が前記ドレインバスラインに接続され、他方の電極が前記画素電極に絶縁膜を介して重畳するように配置され、前記一方の電極と前記他方の電極との接続を前記補助容量バスラインにより制御する第2のスイッチング素子とをそれぞれ有し、

複数の前記画素部のうち正常に動作しない前記画素部では、レーザリペアによって、前記第2のスイッチング素子の前記他方の電極が、前記絶縁膜を介して前記画素電極に重畳する部分において、前記画素電極に接続されている液晶表示装置の駆動方法であって、

40

正常に動作する前記画素部では、前記ゲートバスラインにより前記第1のスイッチング素子を制御することにより、所定の画像情報を書き込み、

正常に動作しない前記画素部では、前記補助容量バスラインにより前記第2のスイッチング素子を制御することにより、所定の画像情報を書き込む

ことを特徴とする液晶表示装置の駆動方法。

【請求項6】

請求項5記載の液晶表示装置の駆動方法において、

リペアした前記画素部の座標を記憶し、

記憶した前記座標に基づき、リペアした前記画素部に書き込むべきデータを記憶し、

50

複数の前記ゲートバスラインの総てが非選択の状態である期間に、リペアした前記画素部への前記データの書き込みを行う

ことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、欠陥画素を正常点に戻すリペアが可能な液晶表示装置、並びに、このような液晶表示装置のリペア方法及び駆動方法に関する。

【背景技術】

【0002】

液晶表示装置は、ガラス基板間に挟持した液晶層に部分的に電界を印加して配向方向を変化させることにより、液晶の光学的性質を変化して像表示を行うものである。近年では、マトリクス状に配置された画素電極に印加する電圧を薄膜トランジスタ（ＴＦＴ）により制御する、ＴＦＴ方式の液晶表示装置が主流となっている。

【0003】

ＴＦＴ方式の液晶表示装置では、駆動素子である薄膜トランジスタの動作不良により、点欠陥が発生することがある。薄膜トランジスタの動作不良の原因としては、チャネル部の形成不良や、層間ショート、ソース・ドレイン間の同層ショートなど多様であり、未だに解決された問題とは言えない。

【0004】

ＴＦＴ方式の液晶表示装置は、マトリクス状に配置された極めて多数の画素を有するため、このような点欠陥の発生を完全に防止することは困難である。また、一部の画素の不良をもって装置全体を不良としたのでは、製品歩留まりが低下し、ひいては製造コストの増大にも繋がる。

【0005】

そこで、このような点欠陥を修復するための液晶表示装置のリペア方法が種々提案されている。

【0006】

第１の手法は、点欠陥を輝点ではなく暗点にして目立たなくする手法である。

【0007】

液晶の表示モードには、電圧無印加状態で白表示を行うノーマリーホワイト（ＮＷ）モードと、電圧無印加状態で黒表示を行うノーマリーブラック（ＮＢ）モードとに大別される。ＮＷモードとしては代表的な例としてＴＮモードが存在し、ＮＢモードとしては代表的な例としてＭＶＡやＩＰＳが存在する。

【0008】

ＮＷモードの場合、常に液晶に電圧が印加される状態とすることにより、常時黒状態が可能となる。このような状態は、レーザリペアにより、例えばソース電極とゲートバスラインとを接続することにより、実現することができる。ゲートバスラインは、ほとんどの期間においてＴＦＴをオフにするためのマイナスの電位が印加されており、液晶を十分にオン状態にすることができる。

【0009】

逆に、ＮＢモードの場合、常に液晶に電圧が印加されない状態とすることにより、常時黒状態が可能となる。このような状態は、レーザリペアにより、例えば画素電極と補助容量バスラインとを接続することにより、実現することができる。補助容量バスラインは、画素電位を安定させるために固定電位である必要があり、一般的には共通電極と接続されて同電位となっている。したがって、画素電極と補助容量バスラインとを接続することにより、上記状態を実現することができる。

【0010】

なお、上記第１の手法は、例えば特許文献１，３，８等に関示されている。

【0011】

10

20

30

40

50

第2の手法は、点欠陥が発生した画素の輝度を、周囲の画素の輝度に連動させることで目立たなくする手法である。

【0012】

具体的には、ドレインバスラインと画素電極との間でパターンの重なり部分を設けておき、欠陥となったときにはレーザーリペアによりドレインバスラインと画素電極とを接続する。画素電極にはドレインバスラインの電圧が常に印加されるため、画面が総て同じ階調（全面黒、全面白、全面グレー等）になった場合には、点欠陥はほとんど見えないうえ、写真表示などでもかなり目立たなくなる。

【0013】

また、バスラインではなく、隣接する画素電極間を接続する手法も提案されている。

10

【0014】

なお、上記第2の手法は、例えば特許文献4, 5, 6等に関示されている。

【0015】

第3の手法は、予め複数の薄膜トランジスタを設けておき、異常時に切り離すことで完全な正常点に直す手法である。例えば、薄膜トランジスタを2つ設けて常時利用し、欠陥画素においては不良の薄膜トランジスタのみを切りなす。或いは、薄膜トランジスタを2つ設けるが、実際に画素に接続するのは1つであり、欠陥画素になったときには使用していた薄膜トランジスタを切断し、予備の薄膜トランジスタに切り換える。

【0016】

なお、上記第3の手法は、例えば特許文献1, 2等に関示されている。

20

【特許文献1】特開平05-027262号公報

【特許文献2】特開平06-003694号公報

【特許文献3】特開平07-020829号公報

【特許文献4】特開平09-127549号公報

【特許文献5】特開平11-282007号公報

【特許文献6】特開平11-305260号公報

【特許文献7】特開2001-056652号公報

【特許文献8】特開2001-305500号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0017】

しかしながら、上記第1の手法を用いた液晶表示装置のリペア方法では、暗点は輝点よりも目立たないといふものの、正常化しているとはいい難い。また、黒表示の輝点ほどは目立たないといえ、実際には白表示における暗点は緑画素などでは目立ち、またRGB単色表示などでもかなり目立つ欠陥となる。

【0018】

また、上記第2の手法を用いた液晶表示装置のリペア方法を適用した場合、文字などを画面に並べた表示や画面上下半分づつを白黒で分けるような表示などでは、暗点にも輝点にもなる欠陥となり、却って目立ちやすくなる。

【0019】

40

また、ゲートバスラインの延在方向に隣接する画素電極間を接続する場合、これら画素は異なる色を表示する画素であるため、単色に偏った画像が表示されたときに、欠陥として見えてくる。ドレインバスラインの延在方向に隣接する画素電極間を接続する場合には、同色同士の画素であるため欠陥は目立ちにくい。しかしながら、1ラインおきのストライプ模様や千鳥模様などの一部の画像では異常点として現れてくる。

【0020】

また、隣接画素電極間を接続するいずれの場合も、1つの薄膜トランジスタで2つの画素を駆動することになるため、書き込み能力や寄生容量の観点から、隣接する画素も含めて表示が異常になりやすく、単独画素の欠陥を2連結の画素の欠陥に悪化させてしまう可能性がある。

50

【 0 0 2 1 】

また、上記第3の手法を用いた液晶表示装置のリペア方法を適用した場合、パネル化後のリペアでは裏面からの観察となってしまう、どちらの薄膜トランジスタが不良であるかを判断することが極めて困難であった。このため、どちらの薄膜トランジスタを切断するかは勘に頼らざるを得ず、成功率は低かった。また、正常点は薄膜トランジスタが2個、異常点は薄膜トランジスタが1個とアンバランスになるため、表示状態によっては欠陥が見える場合があった。

【 0 0 2 2 】

また、点欠陥の原因は小さな領域内で生じることが多いため、1画素に2つの薄膜トランジスタを設けた場合でも、同じ原因によって2つの薄膜トランジスタが同時に欠陥となる可能性も高い。対策として2つの薄膜トランジスタの距離を離すことが考えられるが、この場合、表示部以外の面積が増加するため、開口率が大きく低下することとなる。

【 0 0 2 3 】

本発明の目的は、僅かな開口率低下で点欠陥を完全な正常点にリペアすることが可能な液晶表示装置、並びに、このような液晶表示装置のリペア方法及び駆動方法を提供することにある。

【課題を解決するための手段】

【 0 0 2 4 】

本発明の一観点によれば、行方向及び列方向に隣接するようにマトリクス状に配置された複数の画素部と、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された複数のゲートバスラインと、前記列方向に延在し、前記列方向に並ぶ前記画素部に接続された複数のドレインバスラインと、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された補助容量バスラインとを有する液晶表示装置であって、複数の前記画素部は、画素電極と、前記画素電極に接続され、前記補助容量バスラインとにより補助容量を構成する補助容量電極と、前記画素電極及び前記ドレインバスラインに接続され、前記画素電極と前記ドレインバスラインとの接続を前記ゲートバスラインにより制御する第1のスイッチング素子と、一方の電極が前記ドレインバスラインに接続され、他方の電極が前記画素電極に絶縁膜を介して重畳するように配置され、前記一方の電極と前記他方の電極との接続を前記補助容量バスラインにより制御する第2のスイッチング素子とをそれぞれ有し、複数の前記画素部のうち少なくとも一の前記画素部は、前記第2のスイッチング素子の前記他方の電極が、前記絶縁膜を介して前記画素電極に重畳する部分において、前記画素電極に接続されている液晶表示装置が提供される。

【 0 0 2 6 】

また、本発明の更に他の観点によれば、行方向及び列方向に隣接するようにマトリクス状に配置された複数の画素部と、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された複数のゲートバスラインと、前記列方向に延在し、前記列方向に並ぶ前記画素部に接続された複数のドレインバスラインと、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された補助容量バスラインとを有し、複数の前記画素部が、画素電極と、前記画素電極に接続され、前記補助容量バスラインとにより補助容量を構成する補助容量電極と、前記画素電極及び前記ドレインバスラインに接続され、前記画素電極と前記ドレインバスラインとの接続を前記ゲートバスラインにより制御する第1のスイッチング素子と、一方の電極が前記ドレインバスラインに接続され、他方の電極が前記画素電極に絶縁膜を介して重畳するように配置され、前記一方の電極と前記他方の電極との接続を前記補助容量バスラインにより制御する第2のスイッチング素子とをそれぞれ有する液晶表示装置のリペア方法であって、動作しない前記画素部が存在した場合、動作しない前記画素部の前記画素電極と前記第2のスイッチング素子の前記他方の電極との重畳部分にレーザ光を照射し、前記画素電極と前記第2のスイッチング素子の前記他方の電極とを接続する液晶表示装置のリペア方法が提供される。

【 0 0 2 8 】

また、本発明の更に他の観点によれば、行方向及び列方向に隣接するようにマトリクス

10

20

30

40

50

状に配置された複数の画素部と、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された複数のゲートバスラインと、前記列方向に延在し、前記列方向に並ぶ前記画素部に接続された複数のドレインバスラインと、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された補助容量バスラインとを有し、複数の前記画素部が、画素電極と、前記画素電極に接続され、前記補助容量バスラインとにより補助容量を構成する補助容量電極と、前記画素電極及び前記ドレインバスラインに接続され、前記画素電極と前記ドレインバスラインとの接続を前記ゲートバスラインにより制御する第1のスイッチング素子と、一方の電極が前記ドレインバスラインに接続され、他方の電極が前記画素電極に絶縁膜を介して重畳するように配置され、前記一方の電極と前記他方の電極との接続を前記補助容量バスラインにより制御する第2のスイッチング素子とをそれぞれ有し、複数の前記画素部のうち正常に動作しない前記画素部では、レーザリペアによって、前記第2のスイッチング素子の前記他方の電極が、前記絶縁膜を介して前記画素電極に重畳する部分において、前記画素電極に接続されている液晶表示装置の駆動方法であって、正常に動作する前記画素部では、前記ゲートバスラインにより前記第1のスイッチング素子を制御することにより、所定の画像情報を書き込み、正常に動作しない前記画素部では、前記補助容量バスラインにより前記第2のスイッチング素子を制御することにより、所定の画像情報を書き込む液晶表示装置の駆動方法が提供される。

10

【発明の効果】

【0030】

本発明によれば、薄膜トランジスタの動作不良により生じる欠陥画素を、開口率の低下を抑えつつ、完全な正常点に修復することができる。したがって、製造歩留まりが増加し、ひいては製造コストを低減することができる。

20

【発明を実施するための最良の形態】

【0031】

[第1実施形態]

本発明の第1実施形態による液晶表示装置、そのリペア方法及びその駆動方法について図1乃至図12を用いて説明する。

【0032】

図1は本実施形態による液晶表示装置の構造を示す平面図、図2は本実施形態による液晶表示装置の構造を示す概略断面図、図3は本実施形態による液晶表示装置のリペア前における回路図、図4は本実施形態による液晶表示装置のリペア後の構造を示す平面図、図5は本実施形態による液晶表示装置のリペア後における回路図、図6は本実施形態による液晶表示装置の全体の構成を示す平面図、図7は本実施形態による液晶表示装置の駆動方法を示すタイムチャート、図8は本実施形態による液晶表示装置におけるデータドライバの構成を示す図、図9乃至図12は補助容量バスラインの接続方法を示す図である。

30

【0033】

はじめに、本実施形態による液晶表示装置の構造について図1乃至図3を用いて説明する。

【0034】

ガラス基板10上には、例えば行方向に延在するように、ゲートバスライン12と、補助容量バスライン14とが形成されている。ゲートバスライン12及び補助容量バスライン14は、図1に示すように、同一方向に延在して形成されている。補助容量バスライン14の一部は、ゲートバスライン12によりゲート電極が構成される薄膜トランジスタ(図中、TF T1)とは別の薄膜トランジスタ(図中、TF T2)のゲート電極16を構成している。ゲートバスライン12及び補助容量バスライン14が形成されたガラス基板10上には、ゲート絶縁膜16が形成されている。

40

【0035】

ゲート絶縁膜16上には、薄膜トランジスタTF T1のチャネルとなるアモルファスシリコン層18と、薄膜トランジスタTF T2のチャネルとなるアモルファスシリコン層20とが形成されている。アモルファスシリコン層18, 20上には、チャネル保護層22

50

が形成されている。

【0036】

アモルファスシリコン層18, 20、チャネル保護層22が形成されたゲート絶縁膜16上には、薄膜トランジスタTFT1のソース電極24と、薄膜トランジスタTFT2のソース電極26と、薄膜トランジスタTFT1のドレイン電極28と、薄膜トランジスタTFT2のドレイン電極30と、ドレイン電極28, 30に連続するドレインバスライン32と、補助容量バスライン14上に形成された補助容量電極34とが形成されている。ドレインバスライン32は、ゲートバスライン12及び補助容量バスライン14と交差する方向(例えば列方向)に延在して形成されている。

【0037】

ソース電極24, 26、ドレイン電極28, 30、ドレインバスライン32及び補助容量電極34等が形成されたゲート絶縁膜16上には、ソース電極24に達するコンタクトホール36と、補助容量電極34に達するコンタクトホール38とが形成された絶縁膜40が形成されている。

【0038】

絶縁膜40上には、画素電極42が形成されている。画素電極42は、コンタクトホール36を介してソース電極24に、コンタクトホール38を介して補助容量電極34に、それぞれ接続されている。

【0039】

画素電極42が形成された絶縁膜40上には、配向膜44が形成されている。

【0040】

ガラス基板10と対をなすガラス基板50上には、カラーフィルタ52と、共通電極54と、配向膜56とが形成されている。

【0041】

ガラス基板10とガラス基板50とは、配向膜44と配向膜56とが向き合うように対向して配置され、配向膜44, 56間には液晶60が封入されている。

【0042】

このように、本実施形態による液晶表示装置は、各画素毎に2つの薄膜トランジスタTFT1, TFT2を有している。薄膜トランジスタTFT1は、通常使用されるものであり、薄膜トランジスタTFT2は薄膜トランジスタTFT1が不良の場合に使用されるものである。

【0043】

図1に示すように、薄膜トランジスタTFT1のゲート電極はゲートバスライン12により構成されており、薄膜トランジスタTFT2のゲート電極16は補助容量バスライン14に接続されている。通常、ゲートバスライン12と補助容量バスライン14とは離れた位置に配置されるため、薄膜トランジスタTFT1と薄膜トランジスタTFT2とは、開口率を犠牲にすることなく離れた位置に配置することができる。したがって、両方の薄膜トランジスタTFT1, TFT2が同時に不良となる確率を大幅に低減することができる。

【0044】

リペアを行っていない初期状態では、薄膜トランジスタTFT2は、図3に示すように、ドレイン電極30がドレインバスライン32に接続され、ゲート電極16が補助容量バスライン14に接続されているが、ソース電極26はどこにも接続されていない。つまり、リペアを行わない場合、薄膜トランジスタTFT2は、全く機能しない状態である。

【0045】

但し、図1に示すように、薄膜トランジスタTFT2のソース電極26のパターンと画素電極42のパターンとは、一部で重なるように配置されている。これは、レーザーリペアにより、ソース電極26と画素電極42とを接続するためである。すなわち、本実施形態による液晶表示装置は、薄膜トランジスタTFT2のソース電極26と画素電極42とが、レーザーリペアにより接続可能な状態となっている。

10

20

30

40

50

【 0 0 4 6 】

また、図 1 に示すように、薄膜トランジスタ T F T 1 のソース電極 2 4 がアモルファスシリコン層 1 8 に接続される部分と、ソース電極 2 4 と画素電極 4 2 とが接続される部分との間には、ソース電極 2 4 と他の電極層とが重なっていない領域が設けられている。これは、レーザリペアにより、薄膜トランジスタ T F T 1 と画素電極 4 2 とを切り離すためである。すなわち、本実施形態による液晶表示装置は、薄膜トランジスタ T F T 1 と画素電極 4 2 とが、レーザリペアにより切断可能な状態となっている。

【 0 0 4 7 】

また、図 1 に示すように、画素電極 4 2 に接続される補助容量電極 3 4 の部分と、補助容量バスライン 1 4 と重なる補助容量電極 3 4 の部分との間には、補助容量電極 3 4 と他の電極層とが重なっていない領域が設けられている。これは、レーザリペアにより、補助容量 C s と画素電極 4 2 とを切り離すためである。すなわち、本実施形態による液晶表示装置は、補助容量 C s と画素電極 4 2 とが、レーザリペアにより切断可能な状態となっている。

【 0 0 4 8 】

次に、本実施形態による液晶表示装置のリペア方法について図 4 及び図 5 を用いて説明する。

【 0 0 4 9 】

本実施形態による液晶表示装置では、図 4 に示すように、薄膜トランジスタ T F T 2 のソース電極 2 6 のパターンと画素電極 4 2 のパターンとが、一部で重なるように配置されている。このパターン重畳部 7 0 は、レーザリペアのためのレーザ照射領域である。

【 0 0 5 0 】

ガラス基板 1 0 の裏面側からパターン重畳部 7 0 にレーザ光を照射することにより、レーザ照射部分においてソース電極 2 6 と画素電極 4 2 とが電氣的に接続される。これにより、画素電極 4 2 は、ゲート電極 1 6 が補助容量バスラインに接続され、ドレイン電極 3 0 がドレインバスライン 3 2 に接続され、ソース電極が画素電極 4 2 に接続された薄膜トランジスタ T F T 2 により駆動可能な状態となる。

【 0 0 5 1 】

したがって、このようなリペアを行うことにより、薄膜トランジスタ T F T 1 が不良となり画素電極 4 2 の駆動ができない場合であっても、薄膜トランジスタ T F T 2 を用いて画素電極 4 2 を駆動することができる。

【 0 0 5 2 】

リペア後に薄膜トランジスタ T F T 2 を用いる場合、補助容量バスライン 1 4 を用いて T F T 2 を駆動する必要がある。したがって、補助容量バスライン 1 4 には、薄膜トランジスタ T F T 2 をオン状態にするに十分な電圧を印加するための駆動回路（図示せず）を接続する必要がある。

【 0 0 5 3 】

薄膜トランジスタ T F T 1 が、例えばソース - ドレイン間の短絡不良の場合、すなわちドレインバスライン 3 2 に印加する電圧が画素電極 4 2 にも連動して印加されるような場合には、薄膜トランジスタ T F T 2 のみでは安定した駆動を行うことができない。そこで、このような場合には、薄膜トランジスタ T F T 1 と画素電極 4 2 との電氣的接続をレーザリペアにより切断する。

【 0 0 5 4 】

本実施形態による液晶表示装置では、図 4 に示すように、ソース電極 2 4 がアモルファスシリコン層 1 8 に接続される部分と、ソース電極 2 4 と画素電極 4 2 とが接続される部分との間に、ソース電極 2 4 と他の電極層とが重なっていない領域 7 2 が設けられている（図中、点線部分）。したがって、ガラス基板 1 0 の裏面側からソース電極 2 4 のこの領域 7 2 にレーザ光を照射することにより、ソース電極 2 4 がアモルファスシリコン層 1 8 に接続される部分と、ソース電極 2 4 と画素電極 4 2 とが接続される部分との間を切断することができる。

10

20

30

40

50

【 0 0 5 5 】

補助容量バスライン 1 4 を用いて薄膜トランジスタ T F T 2 を駆動する場合の一つの問題は、欠陥画素においてデータ書き込み後に薄膜トランジスタ T F T 2 をオフにするため、補助容量 C s の電圧が V_{ON} から V_{OFF} に変動した場合、補助容量 C s が寄生容量となるために、

$$\Delta V = C_s / (C_{lc} + C_s) \times (V_{ON} - V_{OFF})$$

もの電圧変動を受けてしまうことである。

【 0 0 5 6 】

補助容量 C s は、液晶容量 C l c に匹敵する容量を持つため、10 V 近い電圧変動になってしまう。そこで、リペアを行う場合には、補助容量 C s をできるだけ小さくすることが望ましい。

10

【 0 0 5 7 】

本実施形態による液晶表示装置では、図 4 に示すように、画素電極 4 2 に接続される補助容量電極 3 4 の部分と、補助容量バスライン 1 4 と重なる補助容量電極 3 4 の部分との間に、補助容量電極 3 4 と他の電極層とが重なっていない領域 7 4 が設けられている（図中、点線部分）。したがって、ガラス基板 1 0 の裏面側から補助容量電極 3 4 のこの領域 7 4 にレーザ光を照射することにより、画素電極 4 2 に接続される補助容量電極 3 4 の部分と、補助容量バスライン 1 4 と重なる補助容量電極 3 4 の部分との間を切断することができる。

【 0 0 5 8 】

20

このようにして補助容量電極 3 4 を切り離すことにより、補助容量 C s は、画素電極 4 2 と補助容量バスライン 1 4 とが重なる部分の面積だけとなり、面積は約 1 / 10 となる。また、補助容量 C s の層間膜の膜厚も 2 倍程度に増加するため、結果として、補助容量 C s は約 1 / 20 程度となる。かかる観点から、画素電極 4 2 と補助容量バスライン 1 4 とが重なる領域の面積は、補助容量電極 3 4 と補助容量バスライン 1 4 とが重なる領域の面積よりも小さいことが望ましい。

【 0 0 5 9 】

不良画素について以上のリペアを行った後の液晶表示装置の回路図は、図 5 のようになる。図中、×印はリペアにより切断された箇所である。図 5 に示すように、リペアを行うことにより、液晶容量 C l c 及び補助容量 C s は、薄膜トランジスタ T F T 1 から切り離される。そして、液晶容量 C l c は薄膜トランジスタ T F T 2 に接続されて、駆動可能となる。

30

【 0 0 6 0 】

次に、本実施形態による液晶表示装置の駆動方法について図 6 乃至図 8 を用いて説明する。

【 0 0 6 1 】

図 6 に示すように、ゲートドライバ 8 0 に接続された m 本のゲートバスライン $G_1 \sim G_m$ と、データドライバ 8 2 に接続された x 本のドレインバスライン $D_1 \sim D_x$ とがマトリクス状に配され、n 本目のゲートバスライン G_n 及び b 本目のドレインバスライン D_b に接続された画素がリペアした画素である液晶表示装置において、所定の画像を表示する場合を考える。

40

【 0 0 6 2 】

まず、リペアした画素の座標を、メモリに記憶する。リペアした画素の情報は、図 8 に示すように、予めメモリ (ROM) 9 2 に記憶されている。この情報を、信号処理回路 9 0 が電源投入時にメモリ 9 2 から取得し、内部メモリ 9 0 b に登録する。

【 0 0 6 3 】

次いで、図 7 に示すように、ゲートドライバ 8 0 から、ゲートバスライン $G_1, G_2 \dots G_m$ に、順次ゲートパルス印加する。同時に、ドレインバスライン D_b からは、ゲートパルスに同期して、ゲートバスライン $G_1, G_2 \dots G_m$ に接続される画素に書き込むべき情報（画像階調データ）に応じた電圧が順次出力される。これにより、ゲートバスライン

50

G₁、G₂...G_mに接続される薄膜トランジスタT_{FT1}が順次ON状態となり、そのときのドレインバスラインD_bの電圧に応じた画像情報が、対応する画素に書き込まれる。

【0064】

この際、信号処理回路90は、信号源94からの画像情報を液晶パネル96に出力する処理の中で、補正処理回路90aにおいて、書き込もうとする画像の座標と予め内部メモリ90bに保管されているリペアした画素の座標とを比較する。電圧を書き込もうとする画素の座標が、予め内部メモリ90bに保管しておいたリペアした画素の座標と一致した場合には、ドレインバスラインD_bから出力されるデータに応じた画像情報(画像階調データ)を取得し、内部メモリ90bに保管する。

【0065】

このようにして、リペアした画素を除く他の画素に、所定の画像情報を書き込む。

【0066】

液晶表示装置の駆動では、一般的に、帰線期間と呼ばれる期間をフレーム毎に有する。帰線期間とは、画面を一端から走査して反対側の端部まで走査し終わった後、再び前記一端から走査を開始するまでの期間である。帰線期間は、全フレーム期間の数%に相当し、通常の1ライン書き込み時間よりもはるかに長い期間である。

【0067】

ここで、本実施形態による液晶表示装置では、リペアした画素は、補助容量バスラインに接続された薄膜トランジスタT_{FT2}により駆動する。補助容量バスラインをON電圧にしての書き込みは、総てのゲートバスラインの走査が行われていない期間でなければならず、帰線期間が最も望ましい。そこで、本実施形態による液晶表示装置の駆動方法では、この帰線期間を利用して、リペアした画素へ画像情報を書き込む。

【0068】

帰線期間では、補助容量バスラインに、薄膜トランジスタT_{FT2}がON状態になるまで電圧を印加する。この状態で、信号処理回路90からドレインバスラインD_bに、リペアした画素に書き込むべき画像情報として予め内部メモリ90bに保管した情報に基づく電圧を出力する。これにより、補助容量バスラインに接続される薄膜トランジスタT_{FT2}が順次ON状態となり、そのときのドレインバスラインD_bの電圧に応じた画像情報が、リペアした画素に書き込まれる。この状態で一定時間が過ぎたら、補助容量バスラインの電圧を薄膜トランジスタT_{FT2}がOFFになるのに十分な電位まで変化させる。

【0069】

こうして、リペアした画素を含めた総ての画素に所定の表示状態を書き込むことができる。

【0070】

リペアした画素の書き込みの際、補助容量バスラインの電圧を変化させると、補助容量バスラインに接続された総ての画素が、

$$\Delta V = C_s / (C_{lc} + C_s) \times (V_{on} - V_{off})$$

の電圧変動を受けるが、書き込みが完了して補助容量バスラインの電位を元に戻すと、画素電位も元に戻る。したがって、補助容量バスラインで書き込む選択期間が液晶の応答よりも短い時間、例えば1ms以下であれば、表示状態に影響が出ることはない。

【0071】

また、帰線期間は、通常のラインの書き込み時間に比べて非常に長いため、小さなサイズの薄膜トランジスタでも、十分な電荷を書き込むことが可能である。

【0072】

何点の不良画素までリペア可能かは、補助容量バスラインをどれだけ区別して駆動できるかによって変化する。全補助容量バスラインを同時にON/OFFする場合、直せる欠陥画素はドレインバスライン1本当たり1個までとなる。

【0073】

図6に示す回路構成の場合、補助容量バスラインは総て束ねられ、全画面で一度にON状態となる。この場合、補助容量バスラインの制御回路は非常に単純にすることができる

10

20

30

40

50

が、点欠陥のリペア可能数は１ドレインバスライン当たり１個だけとなる。但し、通常は液晶パネルの欠陥数は多くても１０個程度であるので、確率的には十分である。

【００７４】

図９に示すように、補助容量バスライン１４をそれぞれ補助容量バスライン用の駆動回路８４に接続して個別に駆動できるようにすれば、一のドレインバスラインに接続された複数の画素をリペアすることもできる。

【００７５】

或いは、図１０に示すように、補助容量バスライン１４を複数本毎に束ね、束１４ａ毎に補助容量バスライン用の駆動回路８４に接続し、束１４ａ毎に駆動可能とすれば、分割した数の倍数分だけリペア可能数を増加することもできる。この場合、図９に示す構成よりも、駆動回路８４を簡略化することができる。

10

【００７６】

或いは、図１１に示すように、隣接した補助容量バスライン１４が異なる束１４ａに束ねられるようにしてもよい。こうすることにより、隣接画素が同じ欠陥に起因して不良となった場合でも、両画素をリペアすることができる。

【００７７】

或いは、図１２に示すように、レーザリペアによって、任意の補助容量バスライン１４を他の補助容量バスライン１４から切り離したり、任意の補助容量バスライン１４のみを駆動回路８４に接続したりできるように構成し、欠陥画素を含む行の補助容量バスライン１４を補助容量バスライン１４の束から切り離すとともに、切り離した補助容量バスライン１４を駆動回路８４に接続することにより、リペアした画素に接続される補助容量バスライン１４のみを駆動するようにしてもよい。

20

【００７８】

このように、本実施形態によれば、薄膜トランジスタに動作不良が生じた場合、これを補助容量バスラインに接続された予備の薄膜トランジスタに切り換えることができるので、欠陥画素を完全な正常点として用いることができる。また、予備の薄膜トランジスタは補助容量バスラインに接続されているため、ゲートバスラインに接続された薄膜トランジスタと離間して形成されており、両薄膜トランジスタが同一原因によって不良になることを抑制することができる。また、開口率の低下を防止することができる。

【００７９】

30

また、本実施形態による液晶表示装置は、補助容量と画素電極との間がレーザリペアにより切断可能な状態となっているので、補助容量と画素電極との間を切断することにより、リペアした画素における電圧変動を大幅に低減することができる。これにより、表示状態を安定化することができる。

【００８０】

[第２実施形態]

本発明の第２実施形態による液晶表示装置、そのリペア方法及びその駆動方法について図１３乃至図１７を用いて説明する。なお、図１乃至図１２に示す第１実施形態による液晶表示装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡略にする。

【００８１】

40

図１３は本実施形態による液晶表示装置の構造を示す平面図、図１４は本実施形態による液晶表示装置のリペア前における回路図、図１５は本実施形態による液晶表示装置のリペア後の構造を示す平面図、図１６は本実施形態による液晶表示装置のリペア後における回路図、図１７は本実施形態による液晶表示装置の駆動方法を示すタイムチャートである。

【００８２】

はじめに、本実施形態による液晶表示装置の構造について図１３及び図１４を用いて説明する。なお、本実施形態による液晶表示装置の断面構造は、基本的には図２に示す第１実施形態による液晶表示装置と同様であるため、同図を参照されたい。

【００８３】

50

ガラス基板 10 上には、ゲートバスライン 12 と、補助容量バスライン 14 とが形成されている。ゲートバスライン 12 及び補助容量バスライン 14 は、図 13 に示すように、同一方向に延在して形成されている。ゲートバスライン 12 及び補助容量バスライン 14 が形成されたガラス基板 10 上には、ゲート絶縁膜 16 が形成されている。

【0084】

ゲート絶縁膜 16 上には、薄膜トランジスタ TFT のチャンネルとなるアモルファスシリコン層 18 が形成されている。アモルファスシリコン層 18 上には、チャンネル保護層 22 が形成されている。

【0085】

アモルファスシリコン層 18、チャンネル保護層 22 が形成されたゲート絶縁膜 16 上には、薄膜トランジスタ TFT のソース電極 24 と、薄膜トランジスタ TFT のドレイン電極 28 と、ドレイン電極 28 に連続するドレインバスライン 32 と、補助容量バスライン 14 上に形成された補助容量電極 34 とが形成されている。ドレインバスライン 32 は、ゲートバスライン 12 及び補助容量バスライン 14 と交差する方向に延在して形成されている。

10

【0086】

ソース電極 24、ドレイン電極 28、ドレインバスライン 32 及び補助容量電極 34 等が形成されたゲート絶縁膜 16 上には、ソース電極 24 に達するコンタクトホール 36 と、補助容量電極 34 に達するコンタクトホール 38 とが形成された絶縁膜 40 が形成されている。

20

【0087】

絶縁膜 40 上には、画素電極 42 が形成されている。画素電極 42 は、コンタクトホール 36 を介してソース電極 24 に、コンタクトホール 38 を介して補助容量電極 34 に、それぞれ接続されている。

【0088】

画素電極 42 が形成された絶縁膜 40 上には、配向膜 44 が形成されている。

【0089】

ガラス基板 10 と対をなすガラス基板 50 上には、カラーフィルタ 52 と、共通電極 54 と、配向膜 56 とが形成されている。

【0090】

30

ガラス基板 10 とガラス基板 50 とは、配向膜 44 と配向膜 56 とが向き合うように対向して配置され、配向膜 44、56 間には液晶 60 が封入されている。

【0091】

このように、本実施形態による液晶表示装置は、図 1 に示す第 1 実施形態による液晶表示装置とは異なり、画素を駆動するための薄膜トランジスタは、各画素にそれぞれ 1 つだけである。また、リペアを行わない状態では、図 14 に示すように、回路構成上も通常の液晶表示装置と変わるところはない。

【0092】

但し、本実施形態による液晶表示装置では、図 13 に示すように、薄膜トランジスタ TFT のソース電極 24 がアモルファスシリコン層 18 に接続される部分と、ソース電極 24 と画素電極 42 とが接続される部分との間には、ソース電極 24 と他の電極層とが重なっていない領域が設けられている。これは、レーザリペアにより、薄膜トランジスタ TFT と画素電極 42 とを切り離すためである。すなわち、本実施形態による液晶表示装置は、薄膜トランジスタ TFT と画素電極 42 とが、レーザリペアにより切断可能な状態となっている。

40

【0093】

また、図 13 に示すように、補助容量電極 34 のパターンと補助容量バスライン 14 のパターンとは、互いに重なるように配置されている。これは、レーザリペアにより、補助容量バスライン 14 と画素電極 42 とを接続するためである。すなわち、本実施形態による液晶表示装置は、補助容量バスライン 14 と画素電極 42 とが、レーザリペアにより接

50

続可能な状態となっている。

【 0 0 9 4 】

次に、本実施形態による液晶表示装置のリペア方法について図 1 5 及び図 1 6 を用いて説明する。

【 0 0 9 5 】

本実施形態による液晶表示装置では、図 1 5 に示すように、ソース電極 2 4 がアモルファスシリコン層 1 8 に接続される部分と、ソース電極 2 4 と画素電極 4 2 とが接続される部分との間に、ソース電極 2 4 と他の電極層とが重なっていない領域 7 2 が設けられている（図中、点線部分）。

【 0 0 9 6 】

したがって、ガラス基板 1 0 の裏面側からソース電極 2 4 のこの領域 7 2 にレーザ光を照射することにより、ソース電極 2 4 がアモルファスシリコン層 1 8 に接続される部分と、ソース電極 2 4 と画素電極 4 2 とが接続される部分との間が切断される。このようなりペアを行うことにより、薄膜トランジスタ T F T が不良となった場合に、薄膜トランジスタ T F T と画素電極 4 2 とを切り離すことができる。

【 0 0 9 7 】

ただし、薄膜トランジスタ T F T を画素電極 4 2 から切り離しただけでは、欠陥画素の修復はできない。そこで、本実施形態による液晶表示装置のリペア方法では、画素電極 4 2 を補助容量バスライン 1 4 に接続することにより、欠陥画素の救済を行う。

【 0 0 9 8 】

本実施形態による液晶表示装置では、図 1 1 に示すように、補助容量電極 3 4 のパターンと補助容量バスライン 1 4 のパターンとがパターン重畳部 7 6 において重なるように配置されている。ガラス基板 1 0 の裏面側からこのパターン重畳部 7 6 にレーザ光を照射することにより、レーザ照射部分において補助容量バスライン 1 4 と画素電極 4 2 とが電氣的に接続される。このようなりペアを行うことにより、画素電極 4 2 は、補助容量バスライン 1 4 に接続され、補助容量バスライン 1 4 によって駆動可能な状態とすることができる。

【 0 0 9 9 】

不良画素について以上のリペアを行った後の液晶表示装置の回路図は、図 1 6 のようになる。図中、×印はリペアにより切断された箇所である。図 1 6 に示すように、リペアを行うことにより、液晶容量 C 1 c 及び補助容量 C s は、薄膜トランジスタ T F T から切り離される。そして、液晶容量 C 1 c は補助容量バスライン 1 4 に接続されて、駆動可能となる。補助容量 C s は、液晶容量 C 1 c と補助容量バスライン 1 4 との接続に伴い、短絡される。

【 0 1 0 0 】

次に、本実施形態による液晶表示装置の駆動方法について図 1 7 を用いて説明する。

【 0 1 0 1 】

第 1 実施形態による液晶表示装置の駆動方法の場合と同様、ゲートドライバ 8 0 に接続された m 本のゲートバスライン G₁ ~ G_m と、データドライバ 8 2 に接続された x 本のドレインバスライン D₁ ~ D_x とがマトリクス状に配され、n 本目のゲートバスライン G_n 及び b 本目のドレインバスライン D_b に接続された画素がリペアした画素である液晶表示装置において、所定の画像を表示する場合を考える（図 6 参照）。

【 0 1 0 2 】

まず、第 1 実施形態による液晶表示装置の駆動方法と同様にして、リペアした画素の座標を、信号処理回路 9 0 の内部メモリ 9 0 b に登録する。

【 0 1 0 3 】

次いで、図 1 7 に示すように、ゲートドライバ 8 0 から、ゲートバスライン G₁、G₂ ... G_m に、順次ゲートパルス印加する。同時に、ドレインバスライン D_b からは、ゲートパルスに同期して、ゲートバスライン G₁、G₂ ... G_m に接続される画素に書き込むべき情報（画像階調データ）に応じた電圧が順次出力される。これにより、ゲートバスライ

10

20

30

40

50

ン G_1 、 $G_2 \dots G_m$ に接続される薄膜トランジスタ TFT が順次 ON 状態となり、そのときのドレインバスライン D_b の電圧に応じた画像情報が、対応する画素に書き込まれる。

【0104】

この際、信号処理回路 90 は、信号源 94 からの画像情報を液晶パネル 96 に出力する処理の中で、補正処理回路 90a において、書き込もうとする画像の座標と予め内部メモリ 90b に保管されているリペアした画素の座標とを比較する。電圧を書き込もうとする画素の座標が、予め内部メモリ 90b に保管しておいたリペアした画素の座標と一致した場合には、リペアした画素を含むラインにゲートパルス印加する直前に、この画素に書き込むべき情報に応じた電圧を補助容量バスライン CS_n に印加する。補助容量バスライン CS_n には、欠陥点の画素の輝度が本来の輝度となるように電圧を印加する。また、補助容量バスライン CS_n に印加する電圧は、次のフレーム (F2 フレーム) において新しい画像情報を書き込む時まで、そのままの状態保持する。

10

【0105】

こうして、リペアした画素を含めた総ての画素に、所定の表示状態を書き込むことができる。

【0106】

上述の通り、本実施形態による液晶表示装置の駆動方法では、リペアした画素の画素電極には、補助容量バスラインの電圧がそのまま印加される。したがって、補助容量バスラインには、画素の透過率が本来の値と等しくなるように電圧を印加する必要がある。

20

【0107】

第 1 実施形態による液晶表示装置の駆動方法と決定的に異なるのは、補助容量バスラインに電圧を印加し続けるということである。かかる観点から、補助容量バスラインの電圧変更は、そのラインの書き込み直前に行うことが望ましい。補助容量バスラインが ΔV_{cs} だけ電位を変えた場合、

$$\Delta V = C_s / (C_{lc} + C_s) \times \Delta V_{cs}$$

の電位変動を、リペアした画素以外の画素が受けることとなる。このまま放置すると液晶の明るさが変動してムラになるが、直後に書き込みが行われ、そのときの補助容量バスラインの電位はそれ以降、次の書き込み時までは固定されるため、影響を受けることはない。

30

【0108】

補助容量バスライン及び補助容量バスライン用の駆動回路は、図 9 乃至図 12 に示す第 1 実施形態による液晶表示装置の場合と同様に構成することができる。本実施形態による液晶表示装置の場合、救済しうる欠陥画素数は、最大で補助容量バスライン 1 本当たり 1 個となる (図 9 に示す構成の場合)。

【0109】

このように、本実施形態によれば、薄膜トランジスタに動作不良が生じた場合、画素電極を補助容量バスラインに直結して駆動することができるので、欠陥画素を完全な正常点として用いることができる。また、予備の薄膜トランジスタや信号線を設ける必要がないため、開口率が低下することを防止することができる。

40

【0110】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

【0111】

例えば、上記第 1 及び第 2 実施形態では、リペアした画素の駆動のために補助容量バスラインを用いたが、共通電極とは独立して時間的に変動する電圧を印加可能な信号線であれば、他の信号線であっても差し支えない。

【0112】

例えば、ゲートバスライン及び補助容量バスラインに加えて新たなバスラインを設け、このバスラインをリペア画素の駆動に用いるようにしてもよい。新たに設けるバスライン

50

は、ゲートバスラインの延在方向に延在するように形成しても良いし、ドレインバスラインの延在方向に延在するように形成しても良い。但し、この場合には、新たに設けたバスラインの分だけ、画素の開口率が低下する。

【 0 1 1 3 】

以上詳述した通り、本発明の特徴をまとめると以下の通りとなる。

【 0 1 1 4 】

(付記 1) 行方向及び列方向に隣接するようにマトリクス状に配置された複数の画素部と、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された複数の第 1 のバスラインと、前記列方向に延在し、前記列方向に並ぶ前記画素部に接続された複数の第 2 のバスラインと、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続され、独立して時間的に変動する電圧を印加可能な複数の第 3 のバスラインとを有する液晶表示装置であって、

10

複数の前記画素部は、画素電極と、前記画素電極及び前記第 2 のバスラインに接続され、前記画素電極と前記第 2 のバスラインとの接続を前記第 1 のバスラインにより制御する第 1 のスイッチング素子と、一方の電極が前記第 2 のバスラインに接続され、他方の電極が前記画素電極に絶縁膜を介して重畳するように配置され、前記一方の電極と前記他方の電極との接続を前記第 3 のバスラインにより制御する第 2 のスイッチング素子とをそれぞれ有する

ことを特徴とする液晶表示装置。

【 0 1 1 5 】

20

(付記 2) 行方向及び列方向に隣接するようにマトリクス状に配置された複数の画素部と、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された複数の第 1 のバスラインと、前記列方向に延在し、前記列方向に並ぶ前記画素部に接続された複数の第 2 のバスラインと、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続され、独立して時間的に変動する電圧を印加可能な複数の第 3 のバスラインとを有する液晶表示装置であって、

複数の前記画素部は、前記第 3 のバスラインに絶縁膜を介して重畳するように配置された画素電極と、前記画素電極及び前記第 2 のバスラインに接続され、前記画素電極と前記第 2 のバスラインとの接続を前記第 1 のバスラインにより制御する第 1 のスイッチング素子とをそれぞれ有する

30

ことを特徴とする液晶表示装置。

【 0 1 1 6 】

(付記 3) 付記 1 記載の液晶表示装置において、
前記画素電極に接続された補助容量電極を更に有し、
前記第 3 のバスラインと前記補助容量電極とにより、補助容量が構成されている
ことを特徴とする液晶表示装置。

【 0 1 1 7 】

(付記 4) 付記 3 記載の液晶表示装置において、
前記画素電極と前記第 3 のバスラインとが重なる領域の面積は、前記補助容量電極と前記第 3 のバスラインとが重なる領域の面積よりも小さい
ことを特徴とする液晶表示装置。

40

【 0 1 1 8 】

(付記 5) 付記 3 又は 4 記載の液晶表示装置において、
前記補助容量電極と前記画素電極との間の接続は、レーザ光の照射により切断可能な状態にある
ことを特徴とする液晶表示装置。

【 0 1 1 9 】

(付記 6) 付記 1 乃至 5 のいずれか 1 項に記載の液晶表示装置において、
前記第 1 のスイッチング素子と前記画素電極との間の接続は、レーザ光の照射により切断可能な状態にある

50

ことを特徴とする液晶表示装置。

【0120】

(付記7) 付記1乃至6のいずれか1項に記載の液晶表示装置において、複数の前記第3のバスラインは、一括して駆動されることを特徴とする液晶表示装置。

【0121】

(付記8) 付記1乃至6のいずれか1項に記載の液晶表示装置において、複数の前記第3のバスラインは、それぞれ個別に駆動されることを特徴とする液晶表示装置。

【0122】

(付記9) 付記1乃至6のいずれか1項に記載の液晶表示装置において、複数の前記第3のバスラインは、複数の組に分けられており、前記組毎に駆動されることを特徴とする液晶表示装置。

【0123】

(付記10) 付記9記載の液晶表示装置において、前記組に含まれる前記第3のバスラインは、互いに隣接していないことを特徴とする液晶表示装置。

【0124】

(付記11) 付記1乃至6のいずれか1項に記載の液晶表示装置において、複数の前記第3のバスラインは、レーザ光の照射により、任意の前記第3のバスラインだけに独立して時間的に変動する電圧を印加可能な状態にあることを特徴とする液晶表示装置。

【0125】

(付記12) 行方向及び列方向に隣接するようにマトリクス状に配置された複数の画素部と、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された複数の第1のバスラインと、前記列方向に延在し、前記列方向に並ぶ前記画素部に接続された複数の第2のバスラインと、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続され、独立して時間的に変動する電圧を印加可能な複数の第3のバスラインとを有し、

複数の前記画素部が、画素電極と、前記画素電極及び前記第2のバスラインに接続され、前記画素電極と前記第2のバスラインとの接続を前記第1のバスラインにより制御する第1のスイッチング素子と、一方の電極が前記第2のバスラインに接続され、他方の電極が前記画素電極に絶縁膜を介して重畳するように配置され、前記一方の電極と前記他方の電極との接続を前記第3のバスラインにより制御する第2のスイッチング素子とをそれぞれ有する液晶表示装置のリペア方法であって、

動作しない前記画素部が存在した場合、動作しない前記画素部の前記画素電極と前記第2のスイッチング素子との重畳部分にレーザ光を照射し、前記画素電極と前記第2のスイッチング素子とを接続する

ことを特徴とする液晶表示装置のリペア方法。

【0126】

(付記13) 行方向及び列方向に隣接するようにマトリクス状に配置された複数の画素部と、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された複数の第1のバスラインと、前記列方向に延在し、前記列方向に並ぶ前記画素部に接続された複数の第2のバスラインと、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続され、独立して時間的に変動する電圧を印加可能な複数の第3のバスラインとを有し、

複数の前記画素部が、前記第3のバスラインに絶縁膜を介して重畳するように配置された画素電極と、前記画素電極及び前記第2のバスラインに接続され、前記画素電極と前記第2のバスラインとの接続を前記第1のバスラインにより制御する第1のスイッチング素子とをそれぞれ有する液晶表示装置のリペア方法であって、

動作しない前記画素部が存在した場合、動作しない前記画素部の画素電極と前記第3のバスラインとの重畳部分にレーザ光を照射し、前記画素電極と前記第3のバスラインとを

10

20

30

40

50

接続する

ことを特徴とする液晶表示装置のリペア方法。

【0127】

(付記14) 付記12記載の液晶表示装置のリペア方法において、

前記画素部は、前記画素電極に接続された補助容量電極を更に有し、前記補助容量電極と前記第3のバスラインとにより補助容量が構成されており、

レーザ光を照射することにより、前記補助容量電極と前記画素電極との間の接続を切断する

ことを特徴とする液晶表示装置のリペア方法。

【0128】

(付記15) 付記12乃至14のいずれか1項に記載の液晶表示装置のリペア方法において、

レーザ光を照射することにより、記第1のスイッチング素子と前記画素電極との間の接続を切断する

ことを特徴とする液晶表示装置のリペア方法。

【0129】

(付記16) 行方向及び列方向に隣接するようにマトリクス状に配置された複数の画素部と、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された複数の第1のバスラインと、前記列方向に延在し、前記列方向に並ぶ前記画素部に接続された複数の第2のバスラインと、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続され、独立して時間的に変動する電圧を印加可能な複数の第3のバスラインとを有し、

複数の前記画素部が、画素電極と、前記画素電極及び前記第2のバスラインに接続され、前記画素電極と前記第2のバスラインとの接続を前記第1のバスラインにより制御する第1のスイッチング素子と、一方の電極が前記第2のバスラインに接続され、他方の電極が前記画素電極に絶縁膜を介して重畳するように配置され、前記一方の電極と前記他方の電極との接続を前記第3のバスラインにより制御する第2のスイッチング素子とをそれぞれ有する液晶表示装置の駆動方法であって、

正常に動作する前記画素部では、前記第1のバスラインにより前記第1のスイッチング素子を制御することにより、所定の画像情報を書き込み、

正常に動作しない前記画素部では、レーザリペアにより前記画素電極に前記他方の電極が接続された第2のスイッチング素子を、前記第3のバスラインにより制御することにより、所定の画像情報を書き込む

ことを特徴とする液晶表示装置の駆動方法。

【0130】

(付記17) 付記16記載の液晶表示装置の駆動方法において、

リペアした前記画素部の座標を記憶し、

記憶した前記座標に基づき、リペアした前記画素部に書き込むべきデータを記憶し、

複数の前記第1のバスラインの総てが非選択の状態である期間に、リペアした前記画素部への前記データの書き込みを行う

ことを特徴とする液晶表示装置の駆動方法。

【0131】

(付記18) 付記17記載の液晶表示装置の駆動方法において、

前記期間は、帰線期間である

ことを特徴とする液晶表示装置の駆動方法。

【0132】

(付記19) 行方向及び列方向に隣接するようにマトリクス状に配置された複数の画素部と、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続された複数の第1のバスラインと、前記列方向に延在し、前記列方向に並ぶ前記画素部に接続された複数の第2のバスラインと、前記行方向に延在し、前記行方向に並ぶ前記画素部に接続され、独立して時間的に変動する電圧を印加可能な複数の第3のバスラインとを有し、

複数の前記画素部が、前記第 3 のバスラインに絶縁膜を介して重畳するように配置された画素電極と、前記画素電極及び前記第 2 のバスラインに接続され、前記画素電極と前記第 2 のバスラインとの接続を前記第 1 のバスラインにより制御する第 1 のスイッチング素子とをそれぞれ有する液晶表示装置の駆動方法であって、

正常に動作する前記画素部では、前記第 1 のバスラインにより前記第 1 のスイッチング素子を制御することにより、所定の画像情報を書き込み、

正常に動作しない前記画素部では、レーザリペアにより前記画素電極に接続された前記第 3 のバスラインにより、所定の画像情報を書き込む

ことを特徴とする液晶表示装置の駆動方法。

【 0 1 3 3 】

10

(付記 2 0) 付記 1 9 記載の液晶表示装置の駆動方法において、

リペアした前記画素部の座標を記憶し、

記憶した前記座標に基づき、リペアした前記画素部に書き込むべきデータを記憶し、

前記第 1 のバスラインの線順次走査において、リペアした前記画素部に接続された前記第 1 のバスラインの選択前に、前記第 3 のバスラインに、記憶した前記データに基づく電圧を印加し、次のフレーム期間の選択の前までその電圧を保持する

ことを特徴とする液晶表示装置の駆動方法。

【図面の簡単な説明】

【 0 1 3 4 】

【図 1】本発明の第 1 実施形態による液晶表示装置の構造を示す平面図である。

20

【図 2】本発明の第 1 実施形態による液晶表示装置の構造を示す概略断面図である。

【図 3】本発明の第 1 実施形態による液晶表示装置のリペア前における回路図である。

【 0 1 3 5 】

【図 4】本発明の第 1 実施形態による液晶表示装置のリペア後の構造を示す平面図である。

【図 5】本発明の第 1 実施形態による液晶表示装置のリペア後における回路図である。

【図 6】本発明の第 1 実施形態による液晶表示装置の全体の構成を示す平面図である。

【図 7】本発明の第 1 実施形態による液晶表示装置の駆動方法を示すタイムチャートである。

30

【図 8】本発明の第 1 実施形態による液晶表示装置におけるデータドライバの構成を示す図である。

【図 9】本発明の第 1 実施形態による液晶表示装置における補助容量バスラインの接続方法を示す図（その 1）である。

【図 10】本発明の第 1 実施形態による液晶表示装置における補助容量バスラインの接続方法を示す図（その 2）である。

【図 11】本発明の第 1 実施形態による液晶表示装置における補助容量バスラインの接続方法を示す図（その 3）である。

【図 12】本発明の第 1 実施形態による液晶表示装置における補助容量バスラインの接続方法を示す図（その 4）である。

40

【図 13】本発明の第 2 実施形態による液晶表示装置の構造を示す平面図である。

【図 14】本発明の第 2 実施形態による液晶表示装置のリペア前における回路図である。

【図 15】本発明の第 2 実施形態による液晶表示装置のリペア後の構造を示す平面図である。

【図 16】本発明の第 2 実施形態による液晶表示装置のリペア後における回路図である。

【図 17】本発明の第 2 実施形態による液晶表示装置の駆動方法を示すタイムチャートである。

【符号の説明】

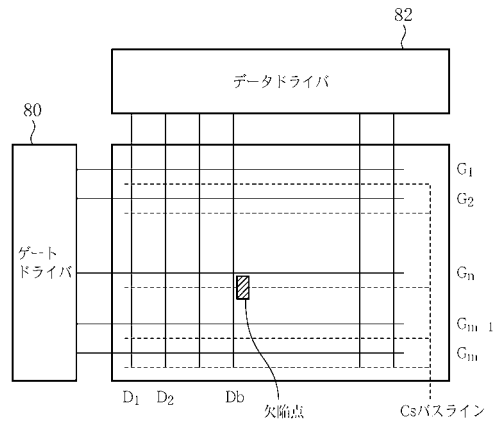
【 0 1 3 6 】

1 0 , 5 0 ... ガラス基板

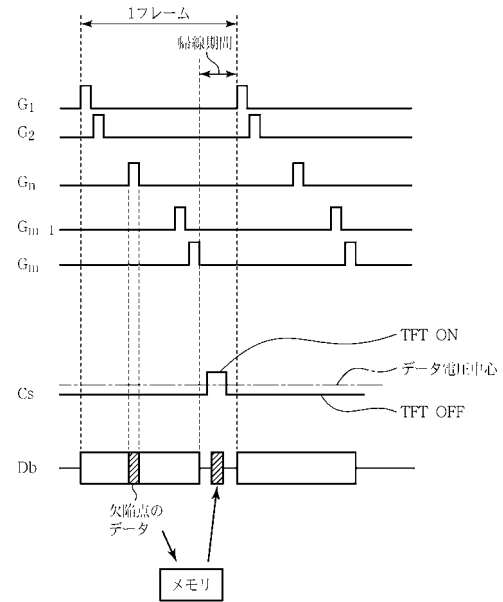
50

1 2 ... ゲートバスライン	
1 4 ... 補助容量バスライン	
1 6 ... ゲート絶縁膜	
1 8 , 2 0 ... アモルファスシリコン層	
2 2 ... チャネル保護層	
2 4 , 2 6 ... ソース電極	
2 8 , 3 0 ... ドレイン電極	
3 2 ... ドレインバスライン	
3 4 ... 補助容量電極	
3 6 , 3 8 ... コンタクトホール	10
4 0 ... 絶縁膜	
4 2 ... 画素電極	
4 4 , 5 6 ... 配向膜	
5 2 ... カラーフィルタ	
5 4 ... 共通電極	
6 0 ... 液晶	
7 0 , 7 6 ... パターン重畳部	
7 2 , 7 4 ... パターンが重なっていない領域	
8 0 ... ゲートドライバ	
8 2 ... データドライバ	20
8 4 ... 補助容量バスライン用駆動回路	
9 0 ... 信号処理回路	
9 0 a ... 補正処理回路	
9 0 b ... 内部メモリ	
9 2 ... メモリ	
9 4 ... 信号源	
9 6 ... 液晶パネル	

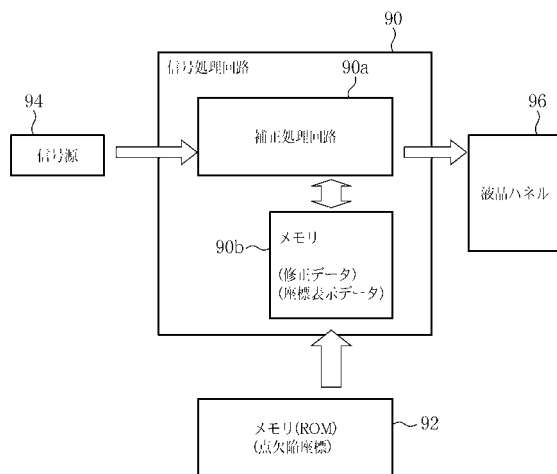
【図 6】



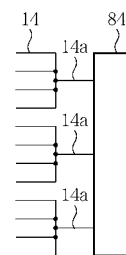
【図 7】



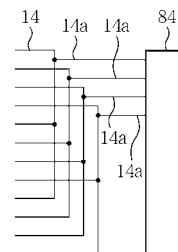
【図 8】



【図 10】



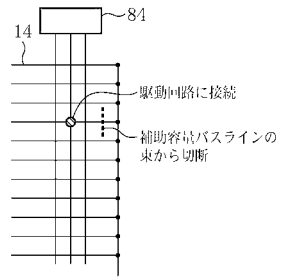
【図 11】



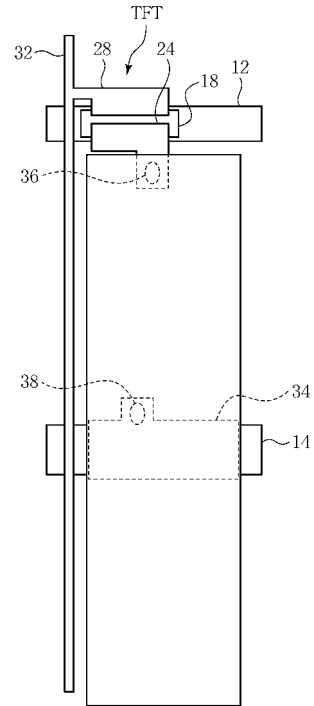
【図 9】



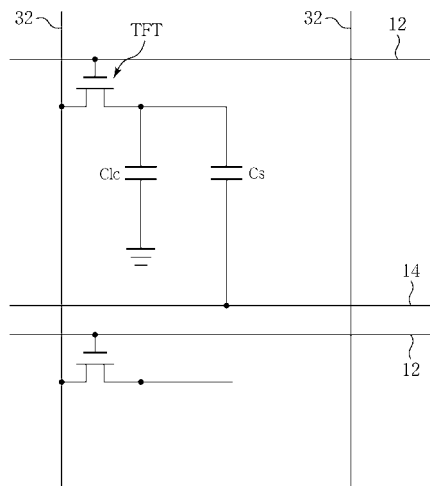
【図 12】



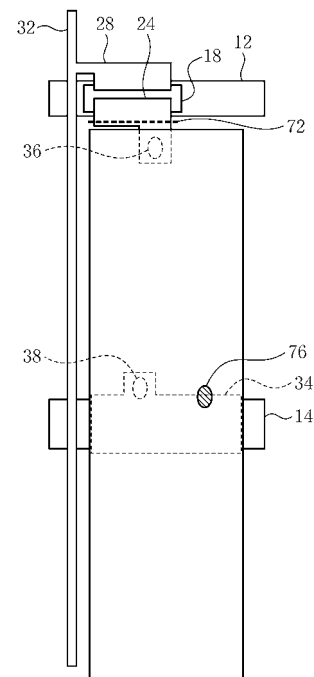
【図 13】



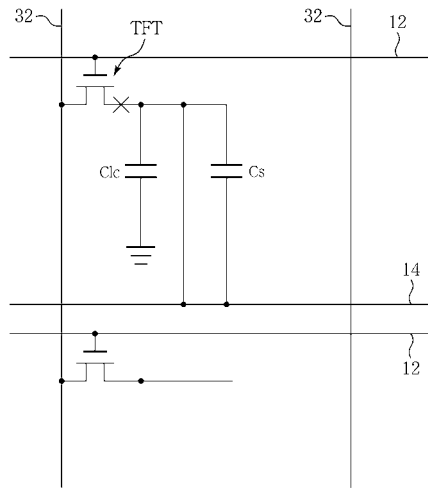
【図 14】



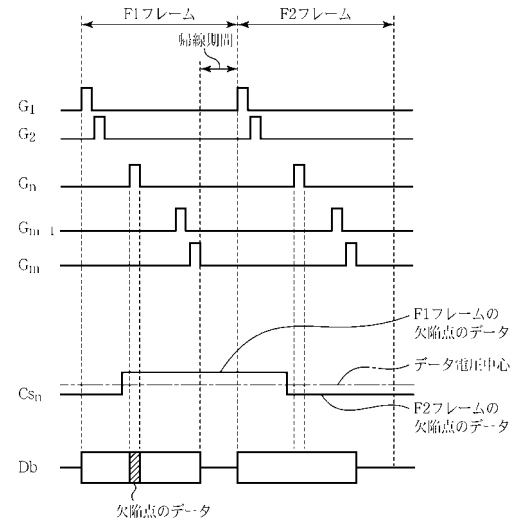
【図 15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/36

H 0 1 L 29/78 6 1 2 A

H 0 1 L 29/78 6 1 2 C

(56)参考文献 特開平 0 5 - 0 2 7 2 6 2 (J P , A)
特開平 0 5 - 0 0 2 1 8 4 (J P , A)
特開平 0 4 - 0 5 0 9 2 5 (J P , A)
特開昭 5 5 - 1 2 9 3 9 4 (J P , A)
特開平 0 7 - 0 2 0 8 2 9 (J P , A)
特開平 0 5 - 3 3 3 3 7 6 (J P , A)
特開平 0 6 - 0 0 3 6 9 4 (J P , A)
特開 2 0 0 5 - 1 7 3 4 9 9 (J P , A)
特開平 0 6 - 0 3 5 0 0 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 8