

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2023년 3월 9일 (09.03.2023)



(10) 국제공개번호

WO 2023/033338 A1

(51) 국제특허분류:

H01L 27/11582 (2017.01) G11C 16/08 (2006.01)
H01L 27/11568 (2017.01) G11C 16/30 (2006.01)
H01L 27/11597 (2017.01) G11C 16/04 (2006.01)
H01L 27/1159 (2017.01) H01L 27/11585 (2017.01)
G11C 16/10 (2006.01)

(21) 국제출원번호: PCT/KR2022/009871

(22) 국제출원일: 2022년 7월 7일 (07.07.2022)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:

10-2021-0116995 2021년 9월 2일 (02.09.2021) KR
10-2021-0117059 2021년 9월 2일 (02.09.2021) KR

(71) 출원인: 한양대학교 산학협력단 (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUN-

DATION HANYANG UNIVERSITY)) [KR/KR]; 04763 서울특별시 성동구 왕십리로 222, Seoul (KR).

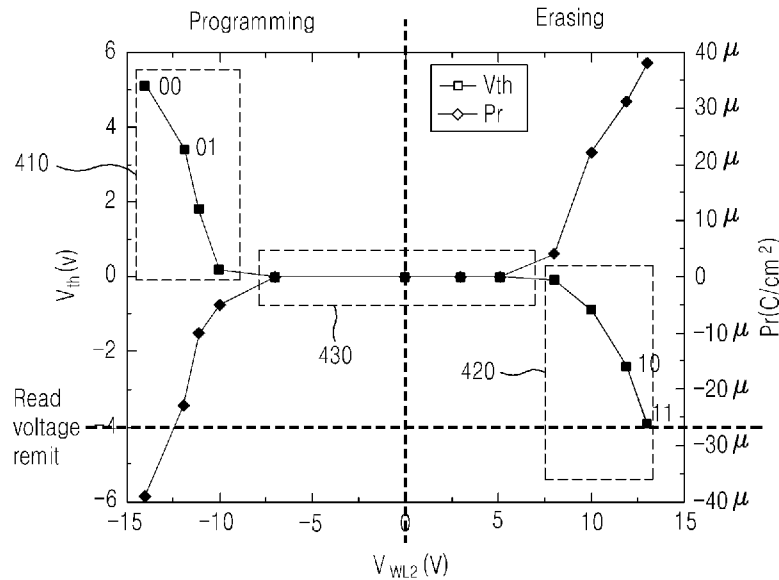
(72) 발명자: 송윤홍 (SONG, Yun Heub); 04763 서울특별시 성동구 왕십리로 222, Seoul (KR).

(74) 대리인: 김정훈 (KIM, Jeong Hoon); 06099 서울특별시 강남구 선릉로125길 14 삼성빌딩 2층 피앤티특허법률사무소, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: FERROELECTRIC-BASED THREE-DIMENSIONAL FLASH MEMORY

(54) 발명의 명칭: 강유전체 기반 3차원 플래시 메모리



(57) Abstract: A ferroelectric-based three-dimensional flash memory is disclosed. By determining, from among negative range values or positive range values, a program voltage applied to a target memory cell that is a target of a program operation among a plurality of memory cells, and changing the quantity of polarized charges in a partial region of a data storage pattern corresponding to the target memory cell, the target memory cell is implemented as a multi-level cell. In addition, a vertical channel pattern is P-type because a substrate is formed to be N-type.

(57) 요약서: 강유전체 기반의 3차원 플래시 메모리가 개시된다. 복수의 메모리 셀들 중 프로그램 동작의 대상이 되는 대상 메모리 셀에 인가하는 프로그램 전압을 음의 범위 값 또는 양의 범위 범위 값에서 결정하여, 대상 메모리 셀에 대응하는 데이터 저장 패턴의 일부 영역의 분극 전하량을 변화시켜 대상 메모리 셀에 대한 다치화를 구현하는 것을 특징으로 한다. 또한 수직 채널 패턴은 기판이 N타입으로 형성됨에 따라 P타입인 것을 특징으로 한다.

[다음 쪽 계속]



WO 2023/033338 A1



(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 강유전체 기반 3차원 플래시 메모리

기술분야

- [1] 아래의 실시예들은 강유전체 기반 3차원 플래시 메모리에 관한 것이다.

배경기술

- [2] 플래시 메모리 소자는 FN 터널링(Fowler-Nordheimtunneling) 또는 열전자 주입(Hot electron injection)에 의해 전기적으로 데이터의 입출력을 제어하여 전기적으로 프로그램 및 소거가 가능한 판독 전용 메모리(Electrically Erasable Programmable Read Only Memory; EEPROM)로서, 컴퓨터, 디지털 카메라, MP3 플레이어, 게임 시스템, 메모리 스틱(Memory stick) 등에 공통적으로 이용될 수 있다.
- [3] 이러한 플래시 메모리 소자에서는 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 집적도를 증가시키는 것이 요구된 바, 메모리 셀 트랜지스터들이 수직 방향으로 배열되어 셀 스트링을 구성하는 3차원 구조가 제안되었다.
- [4] 그러나 3차원 플래시 메모리 역시 제한된 물리적 크기 및 집적도의 제약을 받는 바, 최근 저장되는 데이터의 다치화를 구현하는 기술에 대한 연구 개발이 이루어지고 있다.
- [5] 그러나 기존의 데이터 다치화 구현 기술은, 주로 양의 문턱 전압 영역만을 다치화 영역으로 활용하기 때문에, 메모리 윈도우(Memory window)가 좁은 단점을 갖는다.
- [6] 따라서, 메모리 윈도우를 확장하며 다치화를 구현하기 위한 기술이 제안될 필요가 있다.
- [7] 한편, 최근 3차원 플래시 메모리와 관련하여, 데이터 저장 요소로 ONO(Tunneling Oxide-Charge trap Nitride-Blocking Oxide)를 사용하는 것에 그치지 않고 ONO를 대체하여 강유전체층을 데이터 저장요소로 사용하는 기술이 제안되었다.
- [8] 이와 같이 강유전체층을 데이터 저장 요소로 사용하는 종래의 기술은, GIDL 방식을 이용해 양의 전압을 인가하여 프로그램 동작을 수행하기 때문에, GIDL이 발생되는데 1 내지 2uS의 시간이 소요되어 강유전체층의 초고속 프로그램 특성을 열화시키는 문제점을 갖는다.
- [9] 따라서, 강유전체층의 초고속 프로그램 특성을 개선하는 기술도 제안될 필요가 있다.

발명의 상세한 설명

기술적 과제

- [10] 일 실시예들은 메모리 윈도우를 확장하며 다치화를 구현하고자, 양의 문턱

전압 영역뿐만 아니라 음의 문턱 전압 영역까지도 다치화 영역으로 사용하는 3차원 플래시 메모리 및 그 동작 방법을 제안한다.

- [11] 보다 상세하게, 일 실시예들은 프로그램 전압의 대칭성을 이용하여 음의 범위 값 또는 양의 범위 값에서 프로그램 전압을 결정함으로써 음의 문턱 전압 영역 및 양의 문턱 전압 영역 모두를 다치화 영역으로 사용하는 3차원 플래시 메모리 및 그 동작 방법을 제안한다.
- [12] 특히, 일 실시예들은 프로그램 전압을 서로 대칭되는 음의 범위 값 및 양의 범위 값에서 결정함으로써 프로그램 전압의 대칭성을 이용하여 다치화를 구현하는 3차원 플래시 메모리 및 그 동작 방법을 제안한다.
- [13] 이 때, 일 실시예들은 음의 범위 값에서 제1 프로그램 전압을 결정하고 양의 범위 값에서 제2 프로그램 전압을 결정함에 있어, 서로 대칭되는 값을 갖는 제1 프로그램 전압 및 제2 프로그램 전압을 선택함으로써 프로그램 전압의 대칭성을 이용하여 다치화를 구현하는 3차원 플래시 메모리 및 그 동작 방법을 제안한다.
- [14] 또한, 일 실시예들은 데이터 저장 요소로 사용되는 강유전체층의 초고속 프로그램 특성을 개선하고자, 프로그램 동작 시 선택된 워드 라인에 음의 값의 프로그램 전압을 인가하도록 수직 채널 패턴이 P 타입으로 형성되는 3차원 플래시 메모리를 제안한다.
- [15] 다만, 본 발명이 해결하고자 하는 기술적 과제들은 상기 과제로 한정되는 것이 아니며, 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있다.

과제 해결 수단

- [16] 일 실시예에 따르면, 3차원 플래시 메모리는, 수평 방향으로 연장 형성되며 수직 방향으로 이격되며 배치되는 워드 라인들; 및 상기 워드 라인들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 상기 수직 방향으로 연장 형성되는 수직 채널 패턴 및 상기 수직 채널 패턴을 둘러싸며 강유전체 물질로 형성되는 데이터 저장 패턴을 포함하여, 상기 데이터 저장 패턴 및 상기 수직 채널 패턴은 상기 워드 라인들에 대응하는 메모리 셀들을 구성함-을 포함하고, 상기 복수의 메모리 셀들 중 프로그램 동작의 대상이 되는 대상 메모리 셀에 인가하는 프로그램 전압을 음의 범위 값 또는 양의 범위 값에서 결정하여, 상기 대상 메모리 셀에 대응하는 상기 데이터 저장 패턴의 일부 영역의 분극 전하량을 변화시켜 상기 대상 메모리 셀에 대한 다치화를 구현하는 것을 특징으로 할 수 있다.
- [17] 일 측면에 따르면, 상기 음의 범위 값 및 상기 양의 범위 값은, 서로 대칭되는 것을 특징으로 할 수 있다.
- [18] 다른 측면에 따르면, 상기 음의 범위 값에서 결정되는 제1 프로그램 전압 및 상기 양의 범위 값에서 결정되는 제2 프로그램 전압은, 서로 대칭되는 값을 갖는 것을 특징으로 할 수 있다.

- [19] 또 다른 측면에 따르면, 상기 3차원 플래시 메모리는, 상기 프로그램 전압을 서로 대칭되는 상기 음의 범위 값 또는 상기 양의 범위에서 결정함으로써 음의 문턱 전압 영역 및 양의 문턱 전압 영역 모두를 다치화 영역으로 사용하는 것을 특징으로 할 수 있다.
- [20] 또 다른 측면에 따르면, 상기 3차원 플래시 메모리는, 상기 복수의 메모리 셀들 중 대상 메모리 셀을 제외한 나머지 메모리 셀에 인가되는 패스 전압을 상기 음의 범위 값 내지 상기 양의 범위 값 사이의 범위 값에서 결정하는 것을 특징으로 할 수 있다.
- [21] 일 실시예에 따르면, 수평 방향으로 연장 형성되며 수직 방향으로 이격되며 배치되는 워드 라인들; 및 상기 워드 라인들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 상기 수직 방향으로 연장 형성되는 수직 채널 패턴 및 상기 수직 채널 패턴을 둘러싸며 강유전체 물질로 형성되는 데이터 저장 패턴을 포함하여, 상기 데이터 저장 패턴 및 상기 수직 채널 패턴은 상기 워드 라인들에 대응하는 메모리 셀들을 구성함-을 포함하는 3차원 플래시 메모리의 다치화 구현 방법은, 상기 복수의 메모리 셀들 중 프로그램 동작의 대상이 되는 대상 메모리 셀에 인가하는 프로그램 전압을 음의 범위 값 또는 양의 범위 값에서 결정하는 단계; 및 상기 대상 메모리 셀에 결정된 값의 프로그램 전압을 인가하여 상기 대상 메모리 셀에 대응하는 상기 데이터 저장 패턴의 일부 영역의 분극 전하량을 변화시켜 상기 대상 메모리 셀에 대한 다치화를 구현하는 단계를 포함할 수 있다.
- [22] 일 측면에 따르면, 상기 음의 범위 값 및 상기 양의 범위 값은, 서로 대칭되는 것을 특징으로 할 수 있다.
- [23] 다른 측면에 따르면, 상기 음의 범위 값에서 결정되는 제1 프로그램 전압 및 상기 양의 범위 값에서 결정되는 제2 프로그램 전압은, 서로 대칭되는 값을 갖는 것을 특징으로 할 수 있다.
- [24] 또 다른 측면에 따르면, 상기 결정하는 단계는, 상기 프로그램 전압을 서로 대칭되는 상기 음의 범위 값 또는 상기 양의 범위에서 결정함으로써 음의 문턱 전압 영역 및 양의 문턱 전압 영역 모두를 다치화 영역으로 사용하는 것을 특징으로 할 수 있다.
- [25] 또 다른 측면에 따르면, 상기 3차원 플래시 메모리의 다치화 구현 방법은, 상기 복수의 메모리 셀들 중 대상 메모리 셀을 제외한 나머지 메모리 셀에 인가되는 패스 전압을 상기 음의 범위 값 내지 상기 양의 범위 값 사이의 범위 값에서 결정하는 단계를 포함하는 것을 특징으로 할 수 있다.
- [26] 일 실시예에 따르면, 3차원 플래시 메모리는, 기판 상 수평 방향으로 연장 형성되며 수직 방향으로 이격되며 배치되는 워드 라인들; 및 상기 워드 라인들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 상기 수직 방향으로 연장 형성되는 수직 채널 패턴 및 상기 수직 채널 패턴을 둘러싸며 강유전체 물질로 형성되는 데이터 저장 패턴을

포함하여, 상기 데이터 저장 패턴 및 상기 수직 채널 패턴은 상기 워드 라인들에 대응하는 메모리 셀들을 구성함-을 포함하고, 상기 수직 채널 패턴은, 상기 기판이 N 타입으로 형성됨에 따라 P 타입인 것을 특징으로 할 수 있다.

[27] 일 측면에 따르면, 상기 3차원 플래시 메모리는, 상기 기판이 N 타입으로 형성됨에 따라 상기 수직 채널 패턴이 P 타입 것을 이용하여, 프로그램 동작 시 상기 워드 라인들 중 상기 프로그램 동작의 대상이 되는 선택된 워드 라인에 음의 값의 프로그램 전압을 인가하는 것을 특징으로 할 수 있다.

[28] 다른 측면에 따르면, 상기 3차원 플래시 메모리는, 상기 기판이 N 타입으로 형성됨에 따라 상기 수직 채널 패턴이 P 타입 것을 이용하여, 상기 프로그램 동작 시 상기 워드 라인들 중 상기 선택된 워드 라인을 제외한 나머지 비선택된 워드 라인들 각각에 음의 값의 패스 전압을 인가하는 것을 특징으로 할 수 있다.

[29] 일 실시예에 따르면, 기판 상 수평 방향으로 연장 형성되며 수직 방향으로 이격되며 배치되는 워드 라인들; 및 상기 워드 라인들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 상기 수직 방향으로 연장 형성되는 수직 채널 패턴 및 상기 수직 채널 패턴을 둘러싸며 강유전체 물질로 형성되는 데이터 저장 패턴을 포함하여, 상기 데이터 저장 패턴 및 상기 수직 채널 패턴은 상기 워드 라인들에 대응하는 메모리 셀들을 구성함-을 포함하는 3차원 플래시 메모리의 프로그램 동작 방법은, 상기 기판이 N 타입으로 형성됨에 따라 상기 수직 채널 패턴이 P 타입 것을 이용하여, 상기 워드 라인들 중 상기 프로그램 동작의 대상이 되는 선택된 워드 라인에 음의 값의 프로그램 전압을 인가하는 단계; 및 상기 기판이 N 타입으로 형성됨에 따라 상기 수직 채널 패턴이 P 타입 것을 이용하여, 상기 워드 라인들 중 상기 선택된 워드 라인을 제외한 나머지 비선택된 워드 라인들 각각에 음의 값의 패스 전압을 인가하는 단계를 포함할 수 있다.

발명의 효과

[30] 일 실시예들은 양의 문턱 전압 영역뿐만 아니라 음의 문턱 전압 영역까지도 다치화 영역으로 사용함으로써 메모리 윈도우를 확장하며 다치화를 구현하는 3차원 플래시 메모리 및 그 동작 방법을 제안할 수 있다.

[31] 보다 상세하게, 일 실시예들은 프로그램 전압의 대칭성을 이용하여 음의 범위 값 또는 양의 범위 값에서 프로그램 전압을 결정함으로써 음의 문턱 전압 영역 및 양의 문턱 전압 영역 모두를 다치화 영역으로 사용하는 3차원 플래시 메모리 및 그 동작 방법을 제안할 수 있다.

[32] 특히, 일 실시예들은 프로그램 전압을 서로 대칭되는 음의 범위 값 및 양의 범위 값에서 결정함으로써 프로그램 전압의 대칭성을 이용하여 다치화를 구현하는 3차원 플래시 메모리 및 그 동작 방법을 제안할 수 있다.

[33] 이 때, 일 실시예들은 음의 범위 값에서 제1 프로그램 전압을 결정하고 양의 범위 값에서 제2 프로그램 전압을 결정함에 있어, 서로 대칭되는 값을 갖는 제1

프로그램 전압 및 제2 프로그램 전압을 선택함으로써 프로그램 전압의 대칭성을 이용하여 다치화를 구현하는 3차원 플래시 메모리 및 그 동작 방법을 제안할 수 있다.

[34] 또한, 일 실시예들은 프로그램 동작 시 선택된 워드 라인에 음의 값의 프로그램 전압을 인가하도록 수직 채널 패턴이 P 타입으로 형성됨으로써, 데이터 저장 요소로 사용되는 강유전체층의 초고속 프로그램 특성을 개선하는 3차원 플래시 메모리를 제안할 수 있다.

[35] 다만, 본 발명의 효과는 상기 효과들로 한정되는 것이 아니며, 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있다.

도면의 간단한 설명

[36] 도 1은 일 실시예에 따른 3차원 플래시 메모리의 어레이를 도시한 간략 회로도이다.

[37] 도 2는 일 실시예에 따른 3차원 플래시 메모리의 구조를 도시한 평면도이다.

[38] 도 3은 일 실시예에 따른 3차원 플래시 메모리의 구조를 도시한 단면도로, 도 2를 A-A'선으로 자른 단면에 해당된다.

[39] 도 4는 일 실시예에 따른 3차원 플래시 메모리의 다치화 영역을 설명하기 위한 도면이다.

[40] 도 5는 일 실시예에 따른 3차원 플래시 메모리가 양의 문턱 전압 영역을 다치화 영역으로 사용하는 경우 프로그램 동작에서의 인가 전압들을 설명하기 위한 도면이다.

[41] 도 6은 일 실시예에 따른 3차원 플래시 메모리가 음의 문턱 전압 영역을 다치화 영역으로 사용하는 경우 프로그램 동작에서의 인가 전압들을 설명하기 위한 도면이다.

[42] 도 7은 일 실시예에 따른 3차원 플래시 메모리의 다치화 구현 방법을 나타낸 플로우 차트이다.

[43] 도 8은 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작을 나타낸 플로우 차트이다.

[44] 도 9a 내지 9b는 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작을 설명하기 위한 도면이다.

[45] 도 10은 일 실시예에 따른 3차원 플래시 메모리의 개선된 프로그램 동작 속도를 설명하기 위한 도면이다.

[46] 도 11은 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작에서 셀프 부스팅이 이루어지는 것을 설명하기 위한 도면이다.

[47] 도 12는 실시예들에 따른 3차원 플래시 메모리를 포함하는 전자 시스템을 개략적으로 도시한 사시도이다.

발명의 실시를 위한 최선의 형태

[48] 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명한다. 그러나

본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 또한, 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

- [49] 또한, 본 명세서에서 사용되는 용어(Terminology)들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 시청자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 예컨대, 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 또한, 본 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 또한, 본 명세서에서 제1, 제2 등의 용어가 다양한 영역, 방향, 형상 등을 기술하기 위해서 사용되었지만, 이들 영역, 방향, 형상이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역, 방향 또는 형상을 다른 영역, 방향 또는 형상과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에서 제1 부분으로 언급된 부분이 다른 실시예에서는 제2 부분으로 언급될 수도 있다.
- [50] 또한, 본 발명의 다양한 실시 예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 기술적 사상 및 범위를 벗어나지 않으면서 다른 실시 예로 구현될 수 있다. 또한, 제시된 각각의 실시예 범주에서 개별 구성요소의 위치, 배치, 또는 구성은 본 발명의 기술적 사상 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다.
- [51] 이하, 도면들을 참조하여 실시예들에 따른 3차원 플래시 메모리, 이의 동작 방법 및 이를 포함하는 전자 시스템에 대하여 상세히 설명한다.
- [52]
- [53] 도 1은 일 실시예에 따른 3차원 플래시 메모리의 어레이를 도시한 간략 회로도이다.
- [54] 도 1을 참조하면, 일 실시예에 따른 3차원 플래시 메모리의 어레이는 공통 소스 라인(CSL), 복수의 비트 라인들(BL0, BL1, BL2) 및 공통 소스 라인(CSL)과 비트 라인들(BL0, BL1, BL2) 사이에 배치되는 복수의 셀 스트링들(CSTR)을 포함할 수 있다.
- [55] 비트 라인들(BL0, BL1, BL2)은 제2 방향(D2)으로 연장 형성된 채 제1 방향(D1)을 따라 서로 이격되며 2차원적으로 배열될 수 있다. 여기서, 제1 방향(D1), 제2 방향(D2) 및 제3 방향(D3) 각각은 서로 직교하며 X, Y, Z축으로 정의되는 직각 좌표계를 형성할 수 있다.
- [56] 비트 라인들(BL0, BL1, BL2) 각각에는 복수의 셀 스트링들(CSTR)이 병렬로 연결될 수 있다. 셀 스트링들(CSTR)은 비트 라인들(BL0, BL1, BL2)과 하나의 공통 소스 라인(CSL) 사이에 제공된 채 공통 소스 라인(CSL)에 공통으로 연결될

수 있다. 이 때, 공통 소스 라인(CSL)은 복수 개로 제공될 수 있으며, 복수의 공통 소스 라인들(CSL)은 제1 방향(D1)으로 연장 형성된 채 제2 방향(D2)을 따라 서로 이격되며 2차원적으로 배열될 수 있다. 복수의 공통 소스 라인들(CSL)에는 전기적으로 동일한 전압이 인가될 수 있으나, 이에 제한되거나 한정되지 않고 복수의 공통 소스 라인들(CSL) 각각이 전기적으로 독립적으로 제어됨으로써 서로 다른 전압이 인가될 수도 있다.

- [57] 셀 스트링들(CSTR)은 제3 방향(D3)으로 연장 형성된 채 비트 라인별로 제2 방향(D2)을 따라 서로 이격되며 배열될 수 있다. 실시예에 따르면, 셀 스트링들(CSTR) 각각은 공통 소스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 비트 라인들(BL0, BL1, BL2)에 접속하며 직렬 연결된 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2), 접지 선택 트랜지스터(GST)와 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2) 사이에 배치된 채 직렬 연결된 메모리 셀 트랜지스터들(MCT) 및 소거 제어 트랜지스터(ECT)로 구성될 수 있다. 또한, 메모리 셀 트랜지스터들(MCT) 각각은 데이터 저장 요소(Data storage element)를 포함할 수 있다.
- [58] 일 예로, 각각의 셀 스트링들(CSTR)은 직렬 연결된 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2)을 포함할 수 있으며, 제2 스트링 선택 트랜지스터(SST2)는 비트 라인들(BL0, BL1, BL2) 중 하나에 접속될 수 있다. 그러나 이에 제한되거나 한정되지 않고, 각각의 셀 스트링들(CSTR)은 하나의 스트링 선택 트랜지스터를 포함할 수도 있다. 다른 예로, 각각의 셀 스트링들(CSTR)에서 접지 선택 트랜지스터(GST)는, 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2)와 유사하게, 직렬 연결된 복수 개의 모스 트랜지스터들로 구성될 수도 있다.
- [59] 하나의 셀 스트링(CSTR)은 공통 소스 라인들(CSL)로부터의 거리가 서로 다른 복수 개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 즉, 메모리 셀 트랜지스터들(MCT)은 제1 스트링 선택 트랜지스터(SST1)와 접지 선택 트랜지스터(GST) 사이에서 제3 방향(D3)을 따라 배치된 채 직렬 연결될 수 있다. 소거 제어 트랜지스터(ECT)는 접지 선택 트랜지스터(GST)와 공통 소스 라인들(CSL) 사이에 연결될 수 있다. 셀 스트링들(CSTR) 각각은 제1 스트링 선택 트랜지스터(SST1)와 메모리 셀 트랜지스터들(MCT) 중 최상위의 것 사이 및 접지 선택 트랜지스터(GST)와 메모리 셀 트랜지스터들(MCT) 중 최하위의 것 사이에 각각 연결된 더미 셀 트랜지스터들(DMC)을 더 포함할 수 있다.
- [60] 실시예에 따르면, 제1 스트링 선택 트랜지스터(SST1)는 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3)에 의해 제어될 수 있으며, 제2 스트링 선택 트랜지스터(SST2)는 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3)에 의해 제어될 수 있다. 메모리 셀 트랜지스터들(MCT)은 복수의 워드 라인들(WL0-WLn)에 의해 각각 제어 될 수 있으며, 더미 셀 트랜지스터들(DMC)은 더미 워드 라인(DWL)에 의해 각각 제어될 수 있다. 접지

선택 트랜지스터(GST)는 접지 선택 라인들(GSL0, GSL1, GSL2)에 의해 제어될 수 있으며, 소거 제어 트랜지스터(ECT)는 소거 제어 라인(ECL)에 의해 제어될 수 있다. 소거 제어 트랜지스터(ECT)는 복수 개로 제공될 수 있다. 공통 소스 라인들(CSL)은 소거 제어 트랜지스터들(ECT)의 소스들에 공통으로 연결될 수 있다.

- [61] 공통 소스 라인들(CSL)로부터 실질적으로 동일한 거리에 제공되는, 메모리 셀 트랜지스터들(MCT)의 게이트 전극들은 워드 라인들(WL0-WL_n, DWL) 중의 하나에 공통으로 연결되어 등전위 상태에 있을 수 있다. 그러나 이에 제한되거나 한정되지 않고, 메모리 셀 트랜지스터들(MCT)의 게이트 전극들이 공통 소스 라인들(CSL)로부터 실질적으로 동일한 레벨에 제공되더라도, 서로 다른 행 또는 열에 제공되는 게이트 전극들이 독립적으로 제어될 수도 있다.
- [62] 접지 선택 라인들(GSL0, GSL1, GSL2), 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3) 및 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3)은 제1 방향(D1)을 따라 연장되며, 제2 방향(D2)으로 서로 이격되며 2차원적으로 배열될 수 있다. 공통 소스라인들(CSL)로부터 실질적으로 동일한 레벨에 제공되는 접지 선택 라인들(GSL0, GSL1, GSL2), 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3) 및 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3)은 전기적으로 서로 분리될 수 있다. 또한, 서로 다른 셀 스트링들(CSTR)의 소거 제어 트랜지스터들(ECT)은 공통의 소거 제어 라인(ECL)에 의해 제어될 수 있다. 소거 제어 트랜지스터들(ECT)은 메모리 셀 어레이의 소거 동작 시 게이트 유도 드레인 누설(Gate Induced Drain Leakage; 이하 GIDL)을 발생시킬 수 있다. 일부 실시예들에서, 메모리 셀 어레이의 소거 동작시 비트 라인들(BL0, BL1, BL2) 및/또는 공통 소스 라인들(CSL)에 소거 전압이 인가될 수 있으며, 스트링 선택 트랜지스터(SST) 및/또는 소거 제어 트랜지스터들(ECT)에서 게이트 유도 누설 전류가 발생될 수 있다.
- [63] 이상 설명된 스트링 선택 라인(SSL)은 상부 선택 라인(USL)으로 표현될 수 있으며, 접지 선택 라인(GSL)은 하부 선택 라인으로 표현될 수도 있다.
- [64]
- [65] 도 2는 일 실시예에 따른 3차원 플래시 메모리의 구조를 도시한 평면도이다. 도 3은 일 실시예에 따른 3차원 플래시 메모리의 구조를 도시한 단면도로, 도 2를 A-A'선으로 자른 단면에 해당된다. 도 4는 일 실시예에 따른 3차원 플래시 메모리의 다치화 영역을 설명하기 위한 도면이고, 도 5는 일 실시예에 따른 3차원 플래시 메모리가 양의 문턱 전압 영역을 다치화 영역으로 사용하는 경우 프로그램 동작에서의 인가 전압들을 설명하기 위한 도면이며, 도 6은 일 실시예에 따른 3차원 플래시 메모리가 음의 문턱 전압 영역을 다치화 영역으로 사용하는 경우 프로그램 동작에서의 인가 전압들을 설명하기 위한 도면이다.
- [66] 이하, 선택된 워드 라인(sel WL)은 복수의 메모리 셀들 중 프로그램 대상이 되는 대상 메모리 셀에 대응하는 워드 라인(워드 라인들(WL0-WL_n) 중 대상

메모리 셀에 대응하는 워드 라인)을 의미하며, 비선택된 워드 라인(unsel WL)은 대상 메모리 셀을 제외한 나머지 메모리 셀에 대응하는 워드 라인(워드 라인들(WL0-WLn) 중 나머지 메모리 셀에 대응하는 워드 라인)을 의미한다.

- [67] 도 2 및 도 3을 참조하면, 기판(SUB)은 실리콘 기판, 실리콘-게르마늄 기판, 게르마늄 기판 또는 단결정(Monocrystalline) 실리콘 기판에 성장된 단결정 에피택시얼 층(Epitaxial layer) 등의 반도체 기판일 수 있다. 기판(SUB)에는 제1 도전형 불순물(예컨대, P형의 불순물)이 도핑될 수 있다. 또한, 후술되지만, 프로그램 동작 시 선택된 워드 라인(sel WL)에 음의 값의 프로그램 전압이 인가되기 위해서, 기판(SUB)에는 제1 도전형 불순물(예컨대, N 타입의 불순물)이 도핑될 수 있다. 즉, 기판(SUB)은 N 타입으로 형성될 수 있다.
- [68] 기판(SUB) 상에는 적층 구조체들(ST)이 배치될 수 있다. 적층 구조체들(ST)은 제1 방향(D1)으로 연장 형성된 제2 방향(D2)을 따라 2차원적으로 배치될 수 있다. 또한, 적층 구조체들(ST)은 제2 방향(D2)으로 서로 이격될 수 있다.
- [69] 적층 구조체들(ST) 각각은 기판(SUB)의 상면에 수직인 수직 방향(예컨대 제3 방향(D3))으로 교대로 적층된 게이트 전극들(EL1, EL2, EL3), 층간 절연막들(ILD)을 포함할 수 있다. 적층 구조체들(ST)은 실질적으로 평탄한 상면을 가질 수 있다. 즉, 적층 구조체들(ST)의 상면은 기판(SUB)의 상면과 평행할 수 있다. 이하, 수직 방향은 제3 방향(D3) 또는 제3 방향(D3)의 역방향을 의미한다.
- [70] 다시 도 1을 참조하면, 각각의 게이트 전극들(EL1, EL2, EL3)은 기판(SUB) 상에 차례로 적층된 소거 제어 라인(ECL), 접지 선택 라인들(GSL0, GSL1, GSL2), 워드 라인들(WL0-WLn, DWL), 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3) 및 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3) 중 하나일 수 있다.
- [71] 게이트 전극들(EL1, EL2, EL3) 각각은 제1 방향(D1)으로 연장 형성된 채 실질적으로 동일한 제3 방향(D3)으로의 두께를 가질 수 있다. 이하에서, 두께는 제3 방향(D3)으로의 두께를 의미한다. 게이트 전극들(EL1, EL2, EL3) 각각은, 도전성 물질로 형성될 수 있다. 예컨대, 게이트 전극들(EL1, EL2, EL3) 각각은 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, W(텅스텐), Cu(구리), Al(알루미늄), Ti(티타늄), Ta(탄탈륨), Mo(몰리브덴), Ru(루테튬), Au(금) 등) 또는 도전성 금속질화물(ex, 질화티타늄, 질화탄탈륨 등) 등에서 선택된 적어도 하나를 포함할 수 있다. 게이트 전극들(EL1, EL2, EL3) 각각은 설명된 금속 물질 이외에도 ALD로 형성 가능한 모든 금속 물질 중 적어도 하나를 포함할 수 있다.
- [72] 보다 구체적으로, 게이트 전극들(EL1, EL2, EL3)은 최하부의 제1 게이트 전극(EL1), 최상부의 제3 게이트 전극(EL3) 및 제1 게이트 전극(EL1)과 제3 게이트 전극(EL3) 사이의 복수의 제2 게이트 전극들(EL2)을 포함할 수 있다. 제1 게이트 전극(EL1) 및 제3 게이트 전극(EL3)은 각각 단수로 도시 및 설명되었으나, 이는 예시적인 것으로 이에 제한되지 않으며, 필요에 따라 제1 게이트 전극(EL1) 및 제3 게이트 전극(EL3)은 복수로 제공될 수도 있다. 제1

게이트 전극(EL1)은 도 1에 도시된 접지 선택 라인들(GSL0, GSL1, GLS2) 중 어느 하나에 해당될 수 있다. 제2 게이트 전극(EL2)은 도 1에 도시된 워드 라인들(WL0-WLn, DWL) 중 어느 하나에 해당될 수 있다. 제3 게이트 전극(EL3)은 도 1에 도시된 도 1의 제1 스트링 선택 라인들(SSL1-1, SSL1-2, SSL1-3) 중 어느 하나 또는 제2 스트링 선택 라인들(SSL2-1, SSL2-2, SSL2-3) 중 어느 하나에 해당될 수 있다.

[73] 도시되지 않았으나, 적층 구조체들(ST) 각각의 단부는 제1 방향(D1)을 따라 계단 구조(Stepwise structure)를 가질 수 있다. 보다 구체적으로, 적층 구조체들(ST)의 게이트 전극들(EL1, EL2, EL3)은 기판(SUB)으로부터 멀어질수록 제1 방향(D1)으로의 길이가 감소할 수 있다. 제3 게이트 전극(EL3)은 제1 방향(D1)으로의 길이가 가장 작을 수 있고, 기판(SUB)과 제3 방향(D3)으로 이격되는 거리가 가장 클 수 있다. 제1 게이트 전극(EL1)은 제1 방향(D1)으로의 길이가 가장 클 수 있고, 기판(SUB)과 제3 방향(D3)으로 이격되는 거리가 가장 작을 수 있다. 계단식 구조에 의해, 적층 구조체들(ST) 각각은 후술하는 수직 채널 구조체들(VS) 중 최외각의 것(Outer-most one)으로부터 멀어질수록 두께가 감소할 수 있고, 게이트 전극들(EL1, EL2, EL3)의 측벽들은, 평면적 관점에서, 제1 방향(D1)을 따라 일정 간격으로 이격될 수 있다.

[74] 층간 절연막들(ILD) 각각은 서로 다른 두께를 가질 수 있다. 일 예로, 층간 절연막들(ILD) 중 최하부의 것 및 최상부의 것은 다른 층간 절연막들(ILD)보다 작은 두께를 가질 수 있다. 다만, 이는 예시적인 것으로 이에 제한되지 않으며, 층간 절연막들(ILD) 각각의 두께는 반도체 장치의 특성에 따라 서로 다른 두께를 갖거나, 모두 동일하게 설정될 수도 있다. 층간 절연막들(ILD)으로는 게이트 전극들(EL1, EL2, EL3) 사이의 절연을 위해 절연 물질로 형성될 수 있다. 일 예로, 층간 절연막들(ILD)은 실리콘 산화물로 형성될 수 있다.

[75] 이상 적층 구조체들(ST) 각각에 층간 절연막들(ILD)이 포함되는 것으로 설명되었으나, 적층 구조체들(ST) 각각에는 층간 절연막들(ILD) 대신에 에어 갭들이 포함될 수 있다. 이러한 경우 에어 갭들은 층간 절연막들(ILD)과 마찬가지로 게이트 전극들(EL1, EL2, EL3)과 교번하며 배치되어 게이트 전극들(EL1, EL2, EL3) 사이의 절연을 가능하게 할 수 있다.

[76] 적층 구조체들(ST) 및 기판(SUB)의 일부를 관통하는 복수 개의 채널 홀들(CH)이 제공될 수 있다. 채널 홀들(CH) 내에는 수직 채널 구조체들(VS)이 제공될 수 있다. 수직 채널 구조체들(VS)은 도 1에 도시된 복수의 셀 스트링들(CSTR)로서, 기판(SUB)과 연결된 채 제3 방향(D3)으로 연장 형성될 수 있다. 수직 채널 구조체들(VS)이 기판(SUB)과 연결되는 것은, 수직 채널 구조체들(VS) 각각의 일부가 기판(SUB) 내부에 매립되어 이루어질 수 있으나, 이에 제한되거나 한정되지 않고 수직 채널 구조체들(VS)의 하면이 기판(SUB)의 상면과 맞닿음으로써 이루어질 수도 있다. 수직 채널 구조체들(VS) 각각의 일부가 기판(SUB) 내부에 매립되는 경우, 수직 채널 구조체들(VS)의 하면은

기관(SUB)의 상면보다 낮은 레벨에 위치할 수 있다.

- [77] 적층 구조체들(ST) 중 어느 하나를 관통하는 수직 채널 구조체들(VS)의 열들은 복수로 제공될 수 있다. 예를 들어, 도 2에 도시된 바와 같이, 2개의 수직 채널 구조체들(VS)의 열들이 적층 구조체들(ST) 중 하나를 관통할 수 있다. 그러나 이에 제한되거나 한정되지 않고, 3개 이상의 수직 채널 구조체들(VS)의 열들이 적층 구조체들(ST) 중 하나를 관통할 수 있다. 인접한 한 쌍의 열들에 있어서, 하나의 열에 해당하는 수직 채널 구조체들(VS)은 이에 인접한 다른 하나의 열에 해당하는 수직 채널 구조체들(VS)로부터 제1 방향(D1)으로 시프트(shift)될 수 있다. 평면적 관점에서, 수직 채널 구조체들(VS)은 제1 방향(D1)을 따라서 지그재그 형태로 배열될 수 있다. 그러나 이에 제한되거나 한정되지 않고, 수직 채널 구조체들(VS)은 로우(Row) 및 컬럼(Column)으로 나란히 배치되는 배열을 형성할 수도 있다.
- [78] 수직 채널 구조체들(VS) 각각은 기관(SUB)으로부터 제3 방향(D3)으로 연장 형성될 수 있다. 도면에는 수직 채널 구조체들(VS) 각각이 상단과 하단의 너비가 동일한 기둥 형상을 갖는 것으로 도시되었으나, 이에 제한되거나 한정되지 않고 제3 방향(D3)으로 갈수록 제1 방향(D1) 및 제2 방향(D2)으로의 폭이 증가되는 형상을 가질 수 있다. 이는, 채널 홀들(CH)이 식각될 때 제3 방향(D3)의 역방향으로 갈수록 제1 방향(D1) 및 제2 방향(D2)으로의 폭이 감소되는 한계에 의한 것이다. 수직 채널 구조체들(VS) 각각의 상면은 원 형상, 타원 형상, 사각 형상 또는 바(Bar) 형상을 가질 수 있다.
- [79] 수직 채널 구조체들(VS) 각각은 데이터 저장 패턴(DSP), 수직 채널 패턴(VCP), 수직 반도체 패턴(VSP) 및 도전 패드(PAD)를 포함할 수 있다. 수직 채널 구조체들(VS) 각각에서 데이터 저장 패턴(DSP)은 하단이 오픈된(Opened) 파이프 형태 또는 마카로니 형태를 가질 수 있고, 수직 채널 패턴(VCP)은 하단이 닫힌(Closed) 파이프 형태 또는 마카로니 형태를 가질 수 있다. 수직 반도체 패턴(VSP)은 수직 채널 패턴(VCP) 및 도전 패드(PAD)로 둘러싸인 공간을 채울 수 있다.
- [80] 데이터 저장 패턴(DSP)은 채널 홀들(CH) 각각의 내측벽을 덮은 채 내측으로는 수직 채널 패턴(VCP)과 접촉하며 외측으로는 게이트 전극들(EL1, EL2, EL3)의 측벽들과 접촉할 수 있다. 이에, 데이터 저장 패턴(DSP) 중 제2 게이트 전극들(EL2)에 대응하는 영역들은 수직 채널 패턴(VCP) 중 제2 게이트 전극들(EL2)에 대응하는 영역들과 함께, 제2 게이트 전극들(EL2)을 통해 인가되는 전압에 의해 메모리 동작(프로그램 동작, 판독 동작 또는 소거 동작)이 수행되는 메모리 셀들을 구성할 수 있다. 메모리 셀들은 도 1에 도시된 메모리 셀 트랜지스터들(MCT)에 해당된다. 즉, 데이터 저장 패턴(DSP)은 제2 게이트 전극들(EL2)을 통해 인가되는 전압에 의한 전하들의 상태(예컨대, 전하들의 분극 상태)를 유지함으로써 3차원 플래시 메모리에서 데이터 저장소의 역할을 할 수 있다. 이에, 데이터 저장 패턴(DSP)으로는, 제2 게이트 전극들(EL2)을 통해

인가되는 전압에 의해 분극 현상을 발생시켜 분극 현상에 따른 저항 변화로 데이터 값을 나타낼 수 있는 강유전체 물질로 형성될 수 있다. 이와 같은 데이터 저장 패턴(DSP)은 분극 현상 발생 시 분극 전하량의 변화(전하들의 상태 변화)로 이진 데이터 값 또는 다치화된 데이터 값을 나타낼 수 있다. 이에 대한 상세한 설명은 아래에서 기재하기로 한다.

- [81] 이하, 데이터 저장 패턴(DSP)을 구성하는 강유전체 물질로는 사방정계(Orthorhombic) 결정 구조를 갖는 HfO_x , Al, Zr 또는 Si 중 적어도 하나의 물질이 도핑된 HfO_x , $\text{PZT}(\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3)$, $\text{PTO}(\text{PbTiO}_3)$, $\text{SBT}(\text{SrBi}_2\text{Ti}_2\text{O}_3)$, $\text{BLT}(\text{Bi}(\text{La}, \text{Ti})\text{O}_3)$, $\text{PLZT}(\text{Pb}(\text{La}, \text{Zr})\text{TiO}_3)$, $\text{BST}(\text{Bi}(\text{Sr}, \text{Ti})\text{O}_3)$, 티탄산바륨(barium titanate, BaTiO_3), $\text{P}(\text{VDF-TrFE})$, PVDF , AlO_x , ZnO_x , TiO_x , TaO_x 또는 InO_x 중 적어도 하나가 사용될 수 있다.
- [82] 수직 채널 패턴(VCP)은 데이터 저장 패턴(DSP)의 내측벽을 덮을 수 있다. 수직 채널 패턴(VCP)은 제1 부분(VCP1) 및 제1 부분(VCP1) 상의 제2 부분(VCP2)을 포함할 수 있다.
- [83] 수직 채널 패턴(VCP)의 제1 부분(VCP1)은 채널 홀들(CH) 각각의 하부에 제공될 수 있고, 기판(SUB)과 접촉할 수 있다. 이러한 수직 채널 패턴(VCP)의 제1 부분(VCP1)은 수직 채널 구조체들(VS) 각각에서의 누설 전류를 차단, 억제 또는 최소화하는 용도 및/또는 에피택시얼 패턴의 용도로 사용될 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 두께는, 예를 들어, 제1 게이트 전극(EL1)의 두께보다 클 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 측벽은 데이터 저장 패턴(DSP)으로 둘러싸일 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 상면은 제1 게이트 전극(EL1)의 상면보다 높은 레벨에 위치할 수 있다. 보다 구체적으로, 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 상면은 제1 게이트 전극(EL1)의 상면과 제2 게이트 전극들(EL2) 중 최하부의 것의 하면 사이에 위치할 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 하면은 기판(SUB)의 최상면(즉, 층간 절연막들(ILD) 중 최하부의 것의 하면)보다 낮은 레벨에 위치할 수 있다. 수직 채널 패턴(VCP)의 제1 부분(VCP1)의 일부는 제1 게이트 전극(EL1)과 수평 방향으로 중첩될 수 있다. 이하에서, 수평 방향은 제1 방향(D1) 및 제2 방향(D2)과 나란한 평면 상에서 연장되는 임의의 방향을 의미한다.
- [84] 수직 채널 패턴(VCP)의 제2 부분(VCP2)은 제1 부분(VCP1)의 상면으로부터 제3 방향(D3)으로 연장될 수 있다. 수직 채널 패턴(VCP)의 제2 부분(VCP2)은 데이터 저장 패턴(DSP)과 수직 반도체 패턴(VSP) 사이에 제공될 수 있으며, 제2 게이트 전극들(EL2)에 대응될 수 있다. 이에, 수직 채널 패턴(VCP)의 제2 부분(VCP2)은 전술된 바와 같이 데이터 저장 패턴(DSP) 중 제2 게이트 전극들(EL2)에 대응하는 영역들과 함께, 메모리 셀들을 구성할 수 있다.
- [85] 수직 채널 패턴(VCP)의 제2 부분(VCP2)의 상면은 수직 반도체 패턴(VSP)의 상면과 실질적으로 공면을 이룰 수 있다. 수직 채널 패턴(VCP)의 제2

부분(VCP2)의 상면은 제2 게이트 전극들(EL2) 중 최상부의 것의 상면보다 높은 레벨에 위치할 수 있다. 보다 구체적으로, 수직 채널 패턴(VCP)의 제2 부분(VCP2)의 상면은 제3 게이트 전극(EL3)의 상면과 하면 사이에 위치할 수 있다.

- [86] 수직 채널 패턴(VCP)은 인가되는 전압에 의해 채널을 형성하거나 부스팅되도록 단결정질의 실리콘 또는 폴리 실리콘으로 형성될 수 있다. 그러나 이에 제한되거나 한정되지 않고 수직 채널 패턴(VCP)은 누설 전류를 차단, 억제 또는 최소화할 수 있는 산화물 반도체 물질로 형성될 수 있다. 예컨대, 수직 채널 패턴(VCP)은 누설 전류 특성이 우수한 In, Zn 또는 Ga 중 적어도 어느 하나를 포함하는 산화물 반도체 물질 또는 4족 반도체 물질 등으로 형성될 수 있다. 수직 채널 패턴(VCP)은, 예를 들어, AZO, ZTO, IZO, ITO, IGZO 또는 Ag-ZnO 등을 포함하는 ZnOx 계열의 물질로 형성될 수 있다. 따라서, 수직 채널 패턴(VCP)은 게이트 전극들(EL1, EL2, EL3) 또는 기판(SUB)으로의 누설 전류를 차단, 억제 또는 최소화할 수 있고, 게이트 전극들(EL1, EL2, EL3) 중 적어도 어느 하나의 트랜지스터 특성(예를 들어, 문턱 전압 산포 및 프로그램/판독 동작의 속도)을 개선할 수 있어, 결과적으로 3차원 플래시 메모리의 전기적 특성을 향상시킬 수 있다.
- [87] 만약, 전술된 바와 같이 기판(SUB)이 N 타입으로 형성되는 경우(기판(SUB)에 N타입의 제1 불순물이 도핑되는 경우), 수직 채널 패턴(VCP)은 P타입인 것을 특징으로 한다. 따라서, 수직 채널 패턴(VCP)은 PMOS의 구조를 갖게 되어 프로그램 동작 시 선택된 워드 라인(sel WL)에 음의 값의 프로그램 전압이 인가되도록 할 수 있다.
- [88] 수직 반도체 패턴(VSP)은 수직 채널 패턴(VCP)의 제2 부분(VCP2)으로 둘러싸일 수 있다. 수직 반도체 패턴(VSP)의 상면은 도전 패드(PAD)와 접촉할 수 있고, 수직 반도체 패턴(VSP)의 하면은 수직 채널 패턴(VCP)의 제1 부분(VCP1)과 접촉할 수 있다. 수직 반도체 패턴(VSP)은 기판(SUB)과 제3 방향(D3)으로 이격될 수 있다. 다시 말하면, 수직 반도체 패턴(VSP)은 기판(SUB)으로부터 전기적으로 플로팅될 수 있다.
- [89] 수직 반도체 패턴(VSP)은 수직 채널 패턴(VCP)에서의 전하 또는 홀의 확산을 돕는 물질로 형성될 수 있다. 보다 상세하게, 수직 반도체 패턴(VSP)은 전하, 홀 이동도(Hole mobility)가 우수한 물질로 형성될 수 있다. 예를 들어, 수직 반도체 패턴(VSP)은 불순물이 도핑된 반도체 물질, 불순물이 도핑되지 않은 상태의 진성 반도체(Intrinsic semiconductor) 물질 또는 다결정(Polycrystalline) 반도체 물질로 형성될 수 있다. 보다 구체적인 예를 들면, 수직 반도체 패턴(VSP)은 기판(SUB)과 동일한 제1 도전형 불순물(예컨대, P형의 불순물)이 도핑된 폴리 실리콘으로 형성될 수 있다. 즉, 수직 반도체 패턴(VSP)은 3차원 플래시 메모리의 전기적 특성을 개선시켜 메모리 동작의 속도를 향상시킬 수 있다.
- [90] 다시 도 1을 참조하면, 수직 채널 구조체들(VS)은 소거 제어 트랜지스터(ECT),

- 제1 및 제2 스트링 선택 트랜지스터들(SST1, SST2) 및 접지 선택 트랜지스터(GST) 및 메모리 셀 트랜지스터들(MCT)의 채널들에 해당할 수 있다.
- [91] 수직 채널 패턴(VCP)의 제2 부분(VCP2)의 상면 및 수직 반도체 패턴(VSP)의 상면 상에 도전 패드(PAD)가 제공될 수 있다. 도전 패드(PAD)는 수직 채널 패턴(VCP)의 상부 및 수직 반도체 패턴(VSP)의 상부와 연결될 수 있다. 도전 패드(PAD)의 측벽은 데이터 저장 패턴(DSP)으로 둘러싸일 수 있다. 도전 패드(PAD)의 상면은 적층 구조체들(ST) 각각의 상면(즉, 층간 절연막들(ILD) 중 최상부의 것의 상면)과 실질적으로 공면을 이룰 수 있다. 도전 패드(PAD)의 하면은 제3 게이트 전극(EL3)의 상면보다 낮은 레벨에 위치할 수 있다. 보다 구체적으로, 도전 패드(PAD)의 하면은 제3 게이트 전극(EL3)의 상면과 하면 사이에 위치할 수 있다. 즉, 도전 패드(PAD)의 적어도 일부는 제3 게이트 전극(EL3)과 수평 방향으로 중첩될 수 있다.
- [92] 도전 패드(PAD)는 불순물이 도핑된 반도체 또는 도전성 물질로 형성될 수 있다. 예를 들어, 도전 패드(PAD)는 수직 반도체 패턴(VSP)과 다른 불순물(보다 정확하게 제1 도전형(예컨대, P형)과 다른 제2 도전형(예컨대, N형)의 불순물)이 도핑된 반도체 물질로 형성될 수 있다.
- [93] 도전 패드(PAD)는 후술하는 비트 라인(BL)과 수직 채널 패턴(VCP)(또는 수직 반도체 패턴(VSP)) 사이의 접촉 저항을 줄일 수 있다.
- [94] 이상, 수직 채널 구조체들(VS)이 도전 패드(PAD)를 포함하는 구조인 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 도전 패드(PAD)를 생략한 구조를 가질 수도 있다. 이러한 경우, 수직 채널 구조체들(VS)에서 도전 패드(PAD)가 생략됨에 따라, 수직 채널 패턴(VCP) 및 수직 반도체 패턴(VSP) 각각의 상면이 적층 구조체들(ST) 각각의 상면(즉, 층간 절연막들(ILD) 중 최상부의 것의 상면)과 실질적으로 공면을 이루도록 수직 채널 패턴(VCP) 및 수직 반도체 패턴(VSP) 각각이 제3 방향(D3)으로 연장 형성될 수 있다. 또한, 이러한 경우, 후술되는 비트 라인 콘택 플러그(BLPG)는, 도전 패드(PAD)를 통해 수직 채널 패턴(VCP)과 간접적으로 전기적으로 연결되는 대신에, 수직 채널 패턴(VCP)과 직접적으로 접촉하며 전기적으로 연결될 수 있다.
- [95] 또한, 이상 수직 채널 구조체들(VS)에 수직 반도체 패턴(VSP)이 포함되는 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 수직 반도체 패턴(VSP)이 생략될 수도 있다.
- [96] 또한, 이상 수직 채널 패턴(VCP)가 제1 부분(VCP1) 및 제2 부분(VCP2)을 포함하는 구조인 것으로 설명되었으나, 이에 제한되거나 한정되지 않고 제1 부분(VCP1)이 배제된 구조를 가질 수 있다. 예를 들어, 수직 채널 패턴(VCP)은 기판(SUB)까지 연장 형성된 수직 반도체 패턴(VSP) 및 데이터 저장 패턴(DSP) 사이에 제공되며 기판(SUB)과 접촉하도록 기판(SUB)까지 연장 형성될 수 있다. 이러한 경우 수직 채널 패턴(VCP)의 하면은 기판(SUB)의 최상면(층간 절연막들(ILD) 중 최하부의 것의 하면)보다 낮은 레벨에 위치할 수 있으며, 수직

채널 패턴(VCP)의 상면은 수직 반도체 패턴(VSP)의 상면과 실질적으로 공면을 이룰 수 있다.

- [97] 서로 인접한 적층 구조체들(ST) 사이에는 제1 방향(D1)으로 연장되는 분리 트렌치(TR)가 제공될 수 있다. 공통 소스 영역(CSR)은 분리 트렌치(TR)에 의해 노출되는 기판(SUB) 내부에 제공될 수 있다. 공통 소스 영역(CSR)은 기판(SUB) 내에서 제1 방향(D1)으로 연장될 수 있다. 공통 소스 영역(CSR)은, 제2 도전형의 불순물(예컨대, N형의 불순물)이 도핑된 반도체 물질로 형성될 수 있다. 공통 소스 영역(CSR)은 도 1의 공통 소스 라인(CSL)에 해당할 수 있다.
- [98] 공통 소스 플러그(CSP)는 분리 트렌치(TR) 내에 제공될 수 있다. 공통 소스 플러그(CSP)는 공통 소스 영역(CSR)과 연결될 수 있다. 공통 소스 플러그(CSP)의 상면은 적층 구조체들(ST) 각각의 상면(즉, 층간 절연막들(ILD) 중 최상부의 것의 상면)과 실질적으로 공면을 이룰 수 있다. 공통 소스 플러그(CSP)는 제1 방향(D1) 및 제3 방향(D3)으로 연장되는 플레이트(Plate) 형상을 가질 수 있다. 이때 공통 소스 플러그(CSP)는, 제3 방향(D3)으로 갈수록 제2 방향(D2)으로의 폭이 증가되는 형상을 가질 수 있다.
- [99] 공통 소스 플러그(CSP)와 적층 구조체들(ST) 사이에는 절연 스페이서들(SP)이 개재될 수 있다. 절연 스페이서들(SP)은 서로 인접하는 적층 구조체들(ST) 사이에서 서로 대향하며 제공될 수 있다. 예를 들어 절연 스페이서들(SP)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 낮은 유전 상수를 갖는 low-k 물질로 형성될 수 있다.
- [100] 적층 구조체들(ST), 수직 채널 구조체들(VS) 및 공통 소스 플러그(CSP) 상에 캡핑 절연막(CAP)이 제공될 수 있다. 캡핑 절연막(CAP)은 층간 절연막들(ILD) 중 최상부의 것의 상면, 도전 패드(PAD)의 상면 및 공통 소스 플러그(CSP)의 상면을 덮을 수 있다. 캡핑 절연막(CAP)은, 층간 절연막들(ILD)과 다른 절연 물질로 형성될 수 있다. 캡핑 절연막(CAP) 내부에 도전 패드(PAD)와 전기적으로 연결되는 비트 라인 콘택 플러그(BLPG)가 제공될 수 있다. 비트 라인 콘택 플러그(BLPG)는, 제3 방향(D3)으로 갈수록 제1 방향(D1) 및 제2 방향(D2)으로의 폭이 증가되는 형상을 가질 수 있다.
- [101] 캡핑 절연막(CAP) 및 비트 라인 콘택 플러그(BLPG) 상에 비트 라인(BL)이 제공될 수 있다. 비트 라인(BL)은 도 1에 도시된 복수의 비트 라인들(BL0, BL1, BL2) 중 어느 하나에 해당되는 것으로, 제2 방향(D2)을 따라 도전성 물질로 연장 형성될 수 있다. 비트 라인(BL)을 구성하는 도전성 물질은 전술된 게이트 전극들(EL1, EL2, EL3) 각각을 형성하는 도전성 물질과 동일한 물질일 수 있다.
- [102] 비트 라인(BL)은 비트 라인 콘택 플러그(BLPG)를 통해 수직 채널 구조체들(VS)과 전기적으로 연결될 수 있다. 여기서 비트 라인(BL)이 수직 채널 구조체들(VS)과 연결된다는 것은, 수직 채널 구조체들(VS)에 포함되는 수직 채널 패턴(VCP)과 연결되는 것을 의미할 수 있다.
- [103] 이와 같은 구조의 3차원 플래시 메모리는, 셀 스트링들(CSTR) 각각에 인가되는

전압, 스트링 선택 라인(SSL)에 인가되는 전압, 워드 라인들(WL0-WL_n) 각각에 인가되는 전압, 접지 선택 라인(GSL)에 인가되는 전압 및 공통 소스 라인(CSL)에 인가되는 전압을 기초로, 프로그램 동작, 판독 동작 및 소거 동작을 수행할 수 있다. 예컨대, 3차원 플래시 메모리는, 셀 스트링들(CSTR) 각각에 인가되는 전압, 스트링 선택 라인(SSL)에 인가되는 전압, 워드 라인들(WL0-WL_n) 각각에 인가되는 전압, 접지 선택 라인(GSL)에 인가되는 전압 및 공통 소스 라인(CSL)에 인가되는 전압을 기초로, 수직 채널 패턴(VCP)에 채널을 형성하고 데이터 저장 패턴(DSP)의 일부 영역에서 분극 현상을 발생시켜 프로그램 동작을 수행할 수 있다.

- [104] 특히, 3차원 플래시 메모리는, 복수의 메모리 셀들 중 프로그램 동작의 대상이 되는 대상 메모리 셀에 인가하는 프로그램 전압의 값을 다양하게 결정함으로써, 인가되는 프로그램 전압의 값에 따라 대상 메모리 셀에 대응하는 데이터 저장 패턴(DSP)의 일부 영역의 분극 전하량을 변화시켜 대상 메모리 셀에 대한 다치화를 구현할 수 있다.
- [105] 보다 상세하게, 3차원 플래시 메모리는 대상 메모리 셀에 인가하는 프로그램 전압을 음의 범위 값 또는 양의 범위 값에서 결정하고 결정된 프로그램 전압을 대상 메모리 셀에 인가하여 대상 메모리 셀에 대응하는 데이터 저장 패턴(DSP)의 일부 영역의 분극 전하량을 변화시킴으로써, 대상 메모리 셀에 대한 다치화를 구현하는 것을 특징으로 한다.
- [106] 예를 들어, 3차원 플래시 메모리는 도 4에 도시된 바와 같이 대상 메모리 셀에 인가하는 프로그램 전압을 음의 범위 값(410)에서 제1 프로그램 전압으로 결정하여 이를 대상 메모리 셀에 인가함으로써 대상 메모리 셀에 대응하는 데이터 저장 패턴(DSP)의 일부 영역에서 분극되는 원자의 개수 또는 회전 각도를 CASE 1로 제어하여 제1 데이터 값(00)을 나타낼 수 있고, 대상 메모리 셀에 인가하는 프로그램 전압을 양의 범위 값(420)에서 제2 프로그램 전압으로 결정하여 이를 대상 메모리 셀에 인가함으로써 대상 메모리 셀에 대응하는 데이터 저장 패턴(DSP)의 일부 영역에서 분극되는 원자의 개수 또는 회전 각도를 CASE 2로 제어하여 제2 데이터 값(11)을 나타낼 수 있다(CASE 1의 분극되는 원자의 개수 또는 회전 각도와 CASE 2의 분극되는 원자의 개수 또는 회전 각도는 서로 상이함). 마찬가지로, 3차원 플래시 메모리는 도 4에 도시된 바와 같이 대상 메모리 셀에 인가하는 프로그램 전압을 음의 범위 값(410)에서 제3 프로그램 전압으로 결정하여 이를 대상 메모리 셀에 인가함으로써 대상 메모리 셀에 대응하는 데이터 저장 패턴(DSP)의 일부 영역에서 분극되는 원자의 개수 또는 회전 각도를 CASE 3으로 제어하여 제3 데이터 값(01)을 나타낼 수 있고, 대상 메모리 셀에 인가하는 프로그램 전압을 양의 범위 값(420)에서 제4 프로그램 전압으로 결정하여 이를 대상 메모리 셀에 인가함으로써 대상 메모리 셀에 대응하는 데이터 저장 패턴(DSP)의 일부 영역에서 분극되는 원자의 개수 또는 회전 각도를 CASE 4로 제어하여 제4 데이터 값(10)을 나타낼 수 있다(CASE

3의 분극되는 원자의 개수 또는 회전 각도, CASE 4의 분극되는 원자의 개수 또는 회전 각도, CASE 1의 분극되는 원자의 개수 또는 회전 각도와 CASE 2의 분극되는 원자의 개수 또는 회전 각도는 서로 상이함).

- [107] 이 때, 다치화를 구현하기 위해 인가되는 프로그램 전압이 결정되는 범위인 음의 범위 값(410) 및 양의 범위 값(420)은 서로 대칭되는 것을 특징으로 할 수 있다. 이하, 음의 범위 값(410) 및 양의 범위 값(420)은 서로 대칭된다는 것은, 음의 범위 값(410) 및 양의 범위 값(420)이 각각 음의 영역 및 양의 영역에 포함된 채 동작 전압의 그래프(400)의 중심 전압 값(-0.5V)을 기준으로 동일한 범위 값을 갖는 것을 의미한다. 도면에는 동작 전압의 그래프(400)의 중심 전압 값이 -0.5V이고, 음의 범위 값(410)이 -14 내지 -11V의 차이인 3 내지 4V의 범위 값을 가지며, 양의 범위 값(420)이 10 내지 3V의 차이인 3 내지 4V의 범위 값을 갖는 것으로 설명되었으나, 음의 범위 값(410) 및 양의 범위 값(420)은 동작 전압의 그래프(400)의 임의의 중심 전압 값을 기준으로 서로 대칭되는 것을 전제로 다양하게 조절될 수 있다.
- [108] 이처럼 프로그램 전압이 결정되는 범위인 음의 범위 값(410) 및 양의 범위 값(420)이 서로 대칭되는 특성으로 인해, 3차원 플래시 메모리는 다치화를 구현하기 위해 인가될 프로그램 전압들의 대칭성을 이용할 수 있다.
- [109] 설명된 바와 같이 프로그램 전압이 결정되는 범위인 음의 범위 값(410) 및 양의 범위 값(420)이 서로 대칭될 뿐만 아니라, 음의 범위 값(410) 및 양의 범위 값(420)에서 각각 결정되는 프로그램 전압들 역시 서로 대칭되는 값을 가질 수 있다. 예를 들어, 도 4에 도시된 바와 같이 음의 범위 값(410)에서 결정된 제1 프로그램 전압이 -12V의 값을 갖고 양의 범위 값(420)에서 결정된 제2 프로그램 전압이 11V의 값을 갖는 것처럼 음의 범위 값(410)에서 결정된 제1 프로그램 전압 및 양의 범위 값(420)에서 결정된 제2 프로그램 전압은 동작 전압의 그래프(400)의 중심 전압 값 -0.5V를 기준으로 서로 대칭되는 값을 가질 수 있다.
- [110] 이처럼 3차원 플래시 메모리는 도 5에 도시된 바와 같이 프로그램 전압을 음의 범위 값(410)에서 결정하여 음의 값의 프로그램 전압(negative Vpgm 1; 예컨대 -12V)을 인가함으로써 양의 문턱 전압 영역을 다치화 영역으로 사용할 수 있고, 도 6에 도시된 바와 같이 프로그램 전압을 양의 범위 값(420)에서 결정하여 양의 값의 프로그램 전압(positive Vpgm 2; 예컨대 +10V)을 인가함으로써 음의 문턱 전압 영역을 다치화 영역으로 사용할 수 있다. 즉, 3차원 플래시 메모리는 프로그램 전압을 서로 대칭되는 음의 범위 값(410) 및 양의 범위 값(420)에서 결정함으로써 서로 대칭되는 음의 문턱 전압 영역 및 양의 문턱 전압 영역 모두를 다치화 영역으로 사용할 수 있다.
- [111] 이 때, 대상 메모리 셀에 인가되는 프로그램 전압을 음의 범위 값(410)에서 결정하여 음의 값의 프로그램 전압을 인가해야 하는 경우, 3차원 플래시 메모리는 대상 메모리 셀에 대응하는 워드 라인에 음의 값의 전압(negative Vpgm 1; 예컨대 -12V)을 인가하고 대상 메모리 셀이 위치하는 수직 채널 구조체(VS)의

수직 채널 패턴(VCP)에 0V의 전압을 인가하여, 음의 값의 프로그램 전압(negative Vpgm 1; 예컨대 -12V)을 대상 메모리 셀에 인가할 수 있다(도 5에 도시된 방식).

[112] 반면, 3차원 플래시 메모리는 대상 메모리 셀에 대응하는 워드 라인에 0의 전압을 인가하고 대상 메모리 셀이 위치하는 수직 채널 구조체(VS)의 수직 채널 패턴(VCP)에 양의 값의 전압(positive Vpgm 1; 예컨대 12V)을 인가하여, 음의 값의 프로그램 전압(negative Vpgm 1; 예컨대 -12V)을 대상 메모리 셀에 인가할 수도 있다.

[113] 도 4에 도시된 동작 전압의 그래프(400)에서 음의 범위 값(410) 내지 양의 범위 값(420) 사이의 범위 값(430)에서는 프로그램 동작 시 비선택된 메모리들(복수의 메모리 셀들 중 대상 메모리 셀을 제외한 나머지 메모리 셀들) 각각에 인가되는 패스 전압이 결정될 수 있다. 일례로, 프로그램 동작 시 -11V 내지 10V 사이의 값인 7V가 패스 전압으로 결정되어 비선택된 메모리들 각각에 인가됨으로써, 비선택된 메모리 셀들은 턴 온 된 채, 프로그램되지 않을 수 있다.

[114]

[115] 도 7은 일 실시예에 따른 3차원 플래시 메모리의 다치화 구현 방법을 나타낸 플로우 차트이다. 이하, 설명되는 다치화 구현 방법은 전술된 3차원 플래시 메모리가 주체로 수행됨을 전제로 한다.

[116] 도 7을 참조하면, 단계(S710)에서 3차원 플래시 메모리는 복수의 메모리 셀들 중 프로그램 동작의 대상이 되는 대상 메모리 셀에 인가하는 프로그램 전압을 음의 범위 값 또는 양의 범위 값에서 결정할 수 있다.

[117] 이 때, 프로그램 전압이 결정되는 음의 범위 값 및 양의 범위 값은 서로 대칭되는 것을 특징으로 할 수 있다. 더 나아가, 음의 범위 값 및 양의 범위 값에서 각각 결정되는 프로그램 전압들 역시 서로 대칭되는 값을 가질 수 있다. 예를 들어, 음의 범위 값에서 결정되는 제1 프로그램 전압 및 양의 범위 값에서 결정되는 제2 프로그램 전압은 서로 대칭되는 값을 가질 수 있다.

[118] 이처럼 3차원 플래시 메모리는 단계(S710)를 통해 프로그램 전압을 서로 대칭되는 음의 범위 값 또는 양의 범위에서 결정함으로써, 음의 문턱 전압 영역 및 양의 문턱 전압 영역 모두를 다치화 영역으로 사용할 수 있다.

[119] 따라서, 단계(S720)에서 3차원 플래시 메모리는 대상 메모리 셀에 결정된 값의 프로그램 전압을 인가하여 대상 메모리 셀에 대응하는 상기 데이터 저장 패턴(DSP)의 일부 영역의 분극 전하량을 변화시켜 대상 메모리 셀에 대한 다치화를 구현할 수 있다.

[120] 프로그램 전압이 음의 범위 값에서 결정되어 음의 프로그램 전압이 인가되어야 하는 경우, 단계(S720)에서 3차원 플래시 메모리는 대상 메모리 셀에 대응하는 워드 라인에 음의 값의 전압을 인가하고 대상 메모리 셀이 위치하는 수직 채널 구조체(VS)의 수직 채널 패턴(VCP)에 0V의 전압을 인가하여, 대상 메모리 셀에 결정된 음의 프로그램 전압을 인가할 수 있다.

- [121] 다른 예시로, 단계(S720)에서 3차원 플래시 메모리는 대상 메모리 셀에 대응하는 워드 라인에 0V의 전압을 인가하고 대상 메모리 셀이 위치하는 수직 채널 구조체(VS)의 수직 채널 패턴(VCP)에 양의 값의 전압을 인가하여, 대상 메모리 셀에 결정된 음의 프로그램 전압을 인가할 수도 있다.
- [122] 또한, 별도의 단계로 도시되지는 않았으나, 단계(S720)에서 3차원 플래시 메모리는 비선택된 메모리 셀들(복수의 메모리 셀들 중 대상 메모리 셀을 제외한 나머지 메모리 셀들) 각각에 패스 전압을 인가하여, 비선택된 메모리 셀들이 프로그램되는 것을 방지할 수 있다. 이러한 경우, 패스 전압은 비선택된 메모리 셀들이 프로그램되지 않고 단순 턴 온만 되도록 단계(S710)에서 프로그램 전압이 결정된 범위인 음의 범위 값 내지 양의 범위 값 사이의 범위 값에서 결정될 수 있다.
- [123]
- [124] 도 8은 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작을 나타낸 플로우 차트이고, 도 9a 내지 9b는 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작을 설명하기 위한 도면이며, 도 10은 일 실시예에 따른 3차원 플래시 메모리의 개선된 프로그램 동작 속도를 설명하기 위한 도면이고, 도 11은 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작에서 셀프 부스팅이 이루어지는 것을 설명하기 위한 도면이다.
- [125] 도 8 내지 11을 참조하면, 3차원 플래시 메모리는 수직 채널 패턴(VCP)이 PMOS의 구조를 갖게 되어, 워드 라인들(WL0-WLn) 중 프로그램 동작의 대상이 되는 선택된 워드 라인(sel WL)에 음의 값의 프로그램 전압을 인가하여 프로그램 동작을 수행할 수 있다. 따라서, 설명된 프로그램 동작은 GIDL이 발생되는데 시간이 소요되는 것을 방지하여, 초고속으로 이루어질 수 있다. 프로그램 동작이 수행되는 세부적인 단계들은 아래와 같다.
- [126] 단계(S810)에서 3차원 플래시 메모리는, 기판(SUB)이 N 타입으로 형성됨에 따라 수직 채널 패턴(VCP)이 P 타입 것을 이용하여, 워드 라인들(WL0-WLn) 중 프로그램 동작의 대상이 되는 선택된 워드 라인(sel WL)에 음의 값의 프로그램 전압을 인가할 수 있다.
- [127] 단계(S820)에서 3차원 플래시 메모리는, 기판(SUB)이 N 타입으로 형성됨에 따라 수직 채널 패턴(VCP)이 P 타입 것을 이용하여, 워드 라인들(WL0-WLn) 중 선택된 워드 라인(sel WL)을 제외한 나머지 비선택된 워드 라인들(unsel WLs) 각각에 음의 값의 패스 전압을 인가할 수 있다.
- [128] 예를 들어, 3차원 플래시 메모리는 도 9a에 도시된 바와 같이 기판(SUB)이 N 타입으로 형성됨에 따라 수직 채널 패턴(VCP)이 P 타입 것을 이용하여, 선택된 워드 라인(sel WL)에 음의 값의 프로그램 전압(negative Vpgm; -20V)을 인가하고, 비선택된 워드 라인들(unsel WLs) 각각에 음의 값의 패스 전압(negative Vpass; -9V)을 인가함으로써, 도 9b에 도시된 종래의 프로그램 동작(선택된 워드 라인(sel WL)에 양의 값의 프로그램 전압(positive Vpgm; 20V)을 인가하고

비선택된 워드 라인들(unsel WLs) 각각에 양의 값의 패스 전압(positive Vpass; 9V)을 인가)보다 초고속으로 프로그램 동작을 수행할 수 있다. 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작으로 프로그램 속도가 개선되는 기술적 효과는 도 10에 도시되어 있다.

[129] 이와 같은 일 실시예에 따른 3차원 플래시 메모리의 프로그램 동작은, 도 11에 도시된 바와 같이, 종래의 프로그램 동작과 마찬가지로 셀프 부스팅을 막으면서 채널 포텐셜만이 종래의 프로그램 동작 시 채널 포텐셜의 방향과 반대 방향을 갖는 것을 특징으로 한다.

[130]

[131] 도 12는 실시예들에 따른 3차원 플래시 메모리를 포함하는 전자 시스템을 개략적으로 도시한 사시도이다.

[132] 도 12를 참조하면, 실시예들에 따른 3차원 플래시 메모리를 포함하는 전자 시스템(1200)은 메인 기판(1201)과, 메인 기판(1201)에 실장되는 컨트롤러(1202), 하나 이상의 반도체 패키지(1203) 및 DRAM(1204)을 포함할 수 있다.

[133] 반도체 패키지(1203) 및 DRAM(1204)은 메인 기판(1201)에 제공되는 배선 패턴들(1205)에 의해 컨트롤러(1202)와 서로 연결될 수 있다.

[134] 메인 기판(1201)은 외부 호스트와 결합되는 복수의 핀들을 포함하는 커넥터(1206)를 포함할 수 있다. 커넥터(1206)에서 복수의 핀들의 개수와 배치는, 전자 시스템(1200)과 외부 호스트 사이의 통신 인터페이스에 따라 달라질 수 있다.

[135] 전자 시스템(1200)은, 예를 들어, USB(Universal Serial Bus), PCIExpress(Peripheral Component Interconnect Express), SATA(Serial Advanced Technology Attachment), UFS(Universal Flash Storage)용 M-Phy 등의 인터페이스들 중 어느 하나에 따라 외부 호스트와 통신할 수 있다. 전자 시스템(1200)은 예를 들어, 커넥터(1206)를 통해 외부 호스트로부터 공급받는 전원에 의해 동작할 수 있다. 전자 시스템(1200)은 외부 호스트로부터 공급받는 전원을 컨트롤러(1202) 및 반도체 패키지(1203)에 분배하는 PMIC(Power Management Integrated Circuit)를 더 포함할 수도 있다.

[136] 컨트롤러(1202)는 반도체 패키지(1203)에 데이터를 기록하거나, 반도체 패키지(1203)로부터 데이터를 읽어올 수 있으며, 전자 시스템(1200)의 동작 속도를 개선할 수 있다.

[137] DRAM(1204)은 데이터 저장 공간인 반도체 패키지(1203)와 외부 호스트의 속도 차이를 완화하기 위한 버퍼 메모리일 수 있다. 전자 시스템(1200)에 포함되는 DRAM(1204)은 일종의 캐시 메모리로도 동작할 수 있으며, 반도체 패키지(1203)에 대한 제어 동작에서 임시로 데이터를 저장하기 위한 공간을 제공할 수도 있다. 전자 시스템(1200)에 DRAM(1204)이 포함되는 경우, 컨트롤러(1202)는 반도체 패키지(1203)를 제어하기 위한 NAND 컨트롤러 외에 DRAM(1204)을 제어하기 위한 DRAM 컨트롤러를 더 포함할 수 있다.

- [138] 반도체 패키지(1203)는 서로 이격된 제1 및 제2 반도체 패키지들(1203a, 1203b)을 포함할 수 있다. 제1 및 제2 반도체 패키지들(1203a, 1203b)은 각각 복수의 반도체 칩들(1220)을 포함하는 반도체 패키지일 수 있다. 제1 및 제2 반도체 패키지들(1203a, 1203b) 각각은, 패키지 기판(1210), 패키지 기판(1210) 상의 반도체 칩들(1220), 반도체 칩들(1220) 각각의 하부면에 배치되는 접착층들(1230), 반도체 칩들(1220)과 패키지 기판(1210)을 전기적으로 연결하는 연결 구조체들(1240) 및 패키지 기판(1210) 상에서 반도체 칩들(1220) 및 연결 구조체들(1240)을 덮는 몰딩층(1250)을 포함할 수 있다.
- [139] 패키지 기판(1210)은 패키지 상부 패드들(1211)을 포함하는 인쇄회로 기판일 수 있다. 각각의 반도체 칩들(1220)은 입출력 패드들(1221)을 포함할 수 있다. 반도체 칩들(1220) 각각은 3차원 플래시 메모리(전술된 다치화 구현 동작을 수행하는 3차원 플래시 메모리)를 포함할 수 있다. 보다 구체적으로, 반도체 칩들(1220) 각각은 게이트 적층 구조체들(1222) 및 메모리 채널 구조체들(1223)을 포함할 수 있다. 게이트 적층 구조체들(1222)은 상술한 적층 구조체들(ST)에 해당할 수 있고, 메모리 채널 구조체들(1223)은 상술한 수직 채널 구조체들(VS)에 해당할 수 있다.
- [140] 연결 구조체들(1240)은 예를 들어, 입출력 패드들(1221)과 패키지 상부 패드들(1211)을 전기적으로 연결하는 본딩 와이어들일 수 있다. 따라서, 각각의 제1 및 제2 반도체 패키지들(1203a, 1203b)에서, 반도체 칩들(1220)은 본딩 와이어 방식으로 서로 전기적으로 연결될 수 있으며, 패키지 기판(1210)의 패키지 상부 패드들(1211)과 전기적으로 연결될 수 있다. 실시예들에 따라, 각각의 제1 및 제2 반도체 패키지들(1203a, 1203b)에서, 반도체 칩들(1220)은 본딩 와이어 방식의 연결 구조체들(1240) 대신에, 관통 전극(Through Silicon Via)에 의하여 서로 전기적으로 연결될 수도 있다.
- [141] 도시된 바와 달리, 컨트롤러(1202)와 반도체 칩들(1220)은 하나의 패키지에 포함될 수도 있다. 메인 기판(1201)과 다른 별도의 인터포저 기판에 컨트롤러(1202)와 반도체 칩들(1220)이 실장되고, 인터포저 기판에 제공되는 배선에 의해 컨트롤러(1202)와 반도체 칩들(1220)이 서로 연결될 수도 있다.
- [142]
- [143] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [144] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

청구범위

- [청구항 1] 3차원 플래시 메모리에 있어서,
수평 방향으로 연장 형성되며 수직 방향으로 이격되며 배치되는 워드 라인들; 및
상기 워드 라인들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 상기 수직 방향으로 연장 형성되는 수직 채널 패턴 및 상기 수직 채널 패턴을 둘러싸며 강유전체 물질로 형성되는 데이터 저장 패턴을 포함하여, 상기 데이터 저장 패턴 및 상기 수직 채널 패턴은 상기 워드 라인들에 대응하는 메모리 셀들을 구성함-
을 포함하고,
상기 복수의 메모리 셀들 중 프로그램 동작의 대상이 되는 대상 메모리 셀에 인가하는 프로그램 전압을 음의 범위 값 또는 양의 범위 값에서 결정하여, 상기 대상 메모리 셀에 대응하는 상기 데이터 저장 패턴의 일부 영역의 분극 전하량을 변화시켜 상기 대상 메모리 셀에 대한 다치화를 구현하는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 2] 제1항에 있어서,
상기 음의 범위 값 및 상기 양의 범위 값은,
서로 대칭되는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 3] 제2항에 있어서,
상기 음의 범위 값에서 결정되는 제1 프로그램 전압 및 상기 양의 범위 값에서 결정되는 제2 프로그램 전압은,
서로 대칭되는 값을 갖는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 4] 제2항에 있어서,
상기 3차원 플래시 메모리는,
상기 프로그램 전압을 서로 대칭되는 상기 음의 범위 값 또는 상기 양의 범위에서 결정함으로써 음의 문턱 전압 영역 및 양의 문턱 전압 영역 모두를 다치화 영역으로 사용하는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 5] 제1항에 있어서,
상기 3차원 플래시 메모리는,
상기 복수의 메모리 셀들 중 대상 메모리 셀을 제외한 나머지 메모리 셀에 인가되는 패스 전압을 상기 음의 범위 값 내지 상기 양의 범위 값 사이의 범위 값에서 결정하는 것을 특징으로 하는 3차원 플래시 메모리.
- [청구항 6] 수평 방향으로 연장 형성되며 수직 방향으로 이격되며 배치되는 워드 라인들; 및 상기 워드 라인들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 상기 수직

방향으로 연장 형성되는 수직 채널 패턴 및 상기 수직 채널 패턴을 둘러싸며 강유전체 물질로 형성되는 데이터 저장 패턴을 포함하여, 상기 데이터 저장 패턴 및 상기 수직 채널 패턴은 상기 워드 라인들에 대응하는 메모리 셀들을 구성함-을 포함하는 3차원 플래시 메모리의 다치화 구현 방법에 있어서,

상기 복수의 메모리 셀들 중 프로그램 동작의 대상이 되는 대상 메모리 셀에 인가하는 프로그램 전압을 음의 범위 값 또는 양의 범위 값에서 결정하는 단계; 및

상기 대상 메모리 셀에 결정된 값의 프로그램 전압을 인가하여 상기 대상 메모리 셀에 대응하는 상기 데이터 저장 패턴의 일부 영역의 분극 전하량을 변화시켜 상기 대상 메모리 셀에 대한 다치화를 구현하는 단계를 포함하는 3차원 플래시 메모리의 다치화 구현 방법.

[청구항 7] 제6항에 있어서,
상기 음의 범위 값 및 상기 양의 범위 값은,
서로 대칭되는 것을 특징으로 하는 3차원 플래시 메모리의 다치화 구현 방법.

[청구항 8] 제7항에 있어서,
상기 음의 범위 값에서 결정되는 제1 프로그램 전압 및 상기 양의 범위 값에서 결정되는 제2 프로그램 전압은,
서로 대칭되는 값을 갖는 것을 특징으로 하는 3차원 플래시 메모리의 다치화 구현 방법.

[청구항 9] 제7항에 있어서,
상기 결정하는 단계는,
상기 프로그램 전압을 서로 대칭되는 상기 음의 범위 값 또는 상기 양의 범위에서 결정함으로써 음의 문턱 전압 영역 및 양의 문턱 전압 영역 모두를 다치화 영역으로 사용하는 것을 특징으로 하는 3차원 플래시 메모리의 다치화 구현 방법.

[청구항 10] 제6항에 있어서,
상기 복수의 메모리 셀들 중 대상 메모리 셀을 제외한 나머지 메모리 셀에 인가되는 패스 전압을 상기 음의 범위 값 내지 상기 양의 범위 값 사이의 범위 값에서 결정하는 단계를 포함하는 것을 특징으로 하는 3차원 플래시 메모리의 다치화 구현 방법.

[청구항 11] 3차원 플래시 메모리에 있어서,
기관 상 수평 방향으로 연장 형성되며 수직 방향으로 이격되며 배치되는 워드 라인들; 및
상기 워드 라인들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 상기 수직 방향으로 연장

형성되는 수직 채널 패턴 및 상기 수직 채널 패턴을 둘러싸며 강유전체 물질로 형성되는 데이터 저장 패턴을 포함하여, 상기 데이터 저장 패턴 및 상기 수직 채널 패턴은 상기 워드 라인들에 대응하는 메모리 셀들을 구성함-

을 포함하고,

상기 수직 채널 패턴은,

상기 기판이 N 타입으로 형성됨에 따라 P 타입인 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 12] 제11항에 있어서,

상기 3차원 플래시 메모리는,

상기 기판이 N 타입으로 형성됨에 따라 상기 수직 채널 패턴이 P 타입인 것을 이용하여, 프로그램 동작 시 상기 워드 라인들 중 상기 프로그램 동작의 대상이 되는 선택된 워드 라인에 음의 값의 프로그램 전압을 인가하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 13] 제12항에 있어서,

상기 3차원 플래시 메모리는,

상기 기판이 N 타입으로 형성됨에 따라 상기 수직 채널 패턴이 P 타입인 것을 이용하여, 상기 프로그램 동작 시 상기 워드 라인들 중 상기 선택된 워드 라인을 제외한 나머지 비선택된 워드 라인들 각각에 음의 값의 패스 전압을 인가하는 것을 특징으로 하는 3차원 플래시 메모리.

[청구항 14]

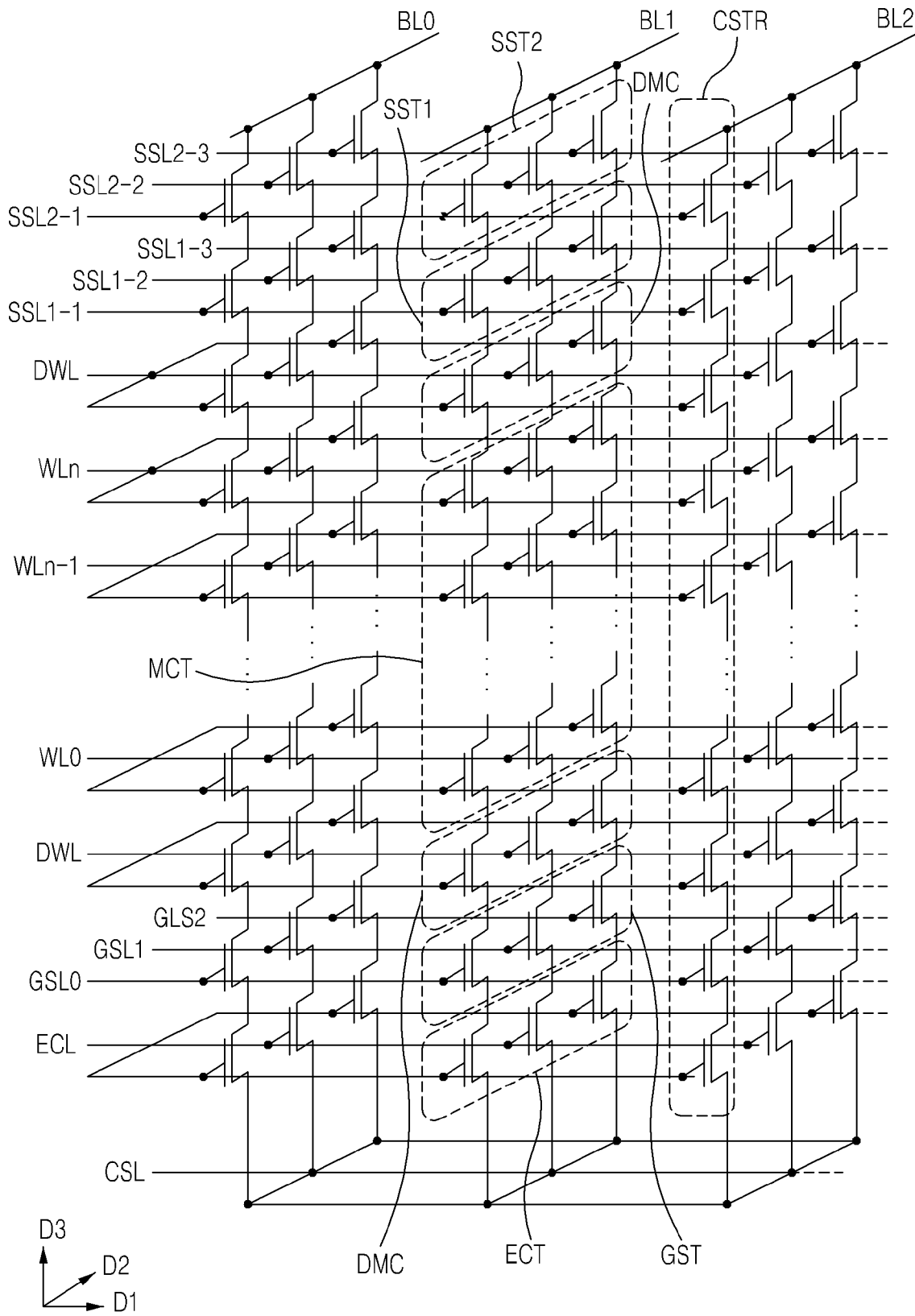
기판 상 수평 방향으로 연장 형성되며 수직 방향으로 이격되며 배치되는 워드 라인들; 및 상기 워드 라인들을 관통하며 상기 수직 방향으로 연장 형성되는 수직 채널 구조체들-상기 수직 채널 구조체들 각각은 상기 수직 방향으로 연장 형성되는 수직 채널 패턴 및 상기 수직 채널 패턴을 둘러싸며 강유전체 물질로 형성되는 데이터 저장 패턴을 포함하여, 상기 데이터 저장 패턴 및 상기 수직 채널 패턴은 상기 워드 라인들에 대응하는 메모리 셀들을 구성함-을 포함하는 3차원 플래시 메모리의 프로그램 동작 방법에 있어서,

상기 기판이 N 타입으로 형성됨에 따라 상기 수직 채널 패턴이 P 타입인 것을 이용하여, 상기 워드 라인들 중 상기 프로그램 동작의 대상이 되는 선택된 워드 라인에 음의 값의 프로그램 전압을 인가하는 단계; 및

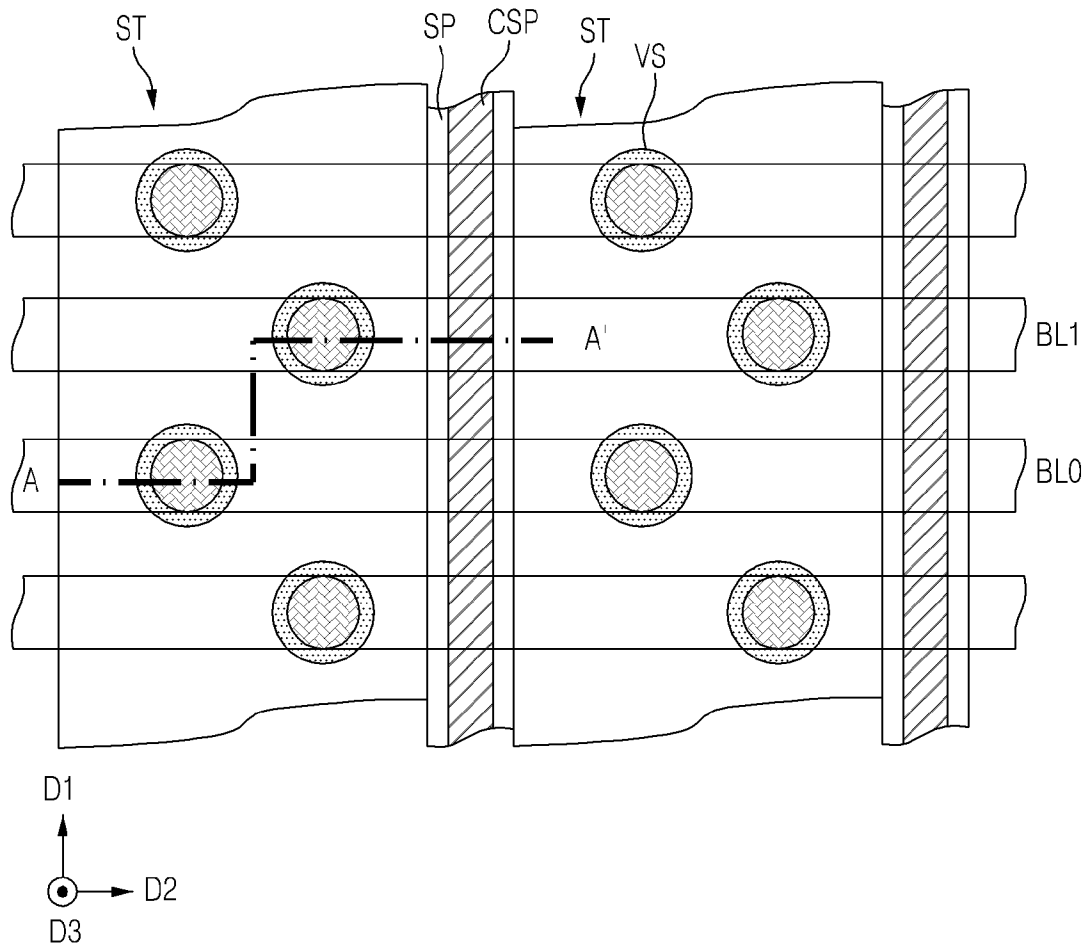
상기 기판이 N 타입으로 형성됨에 따라 상기 수직 채널 패턴이 P 타입인 것을 이용하여, 상기 워드 라인들 중 상기 선택된 워드 라인을 제외한 나머지 비선택된 워드 라인들 각각에 음의 값의 패스 전압을 인가하는 단계

를 포함하는 3차원 플래시 메모리의 프로그램 동작 방법.

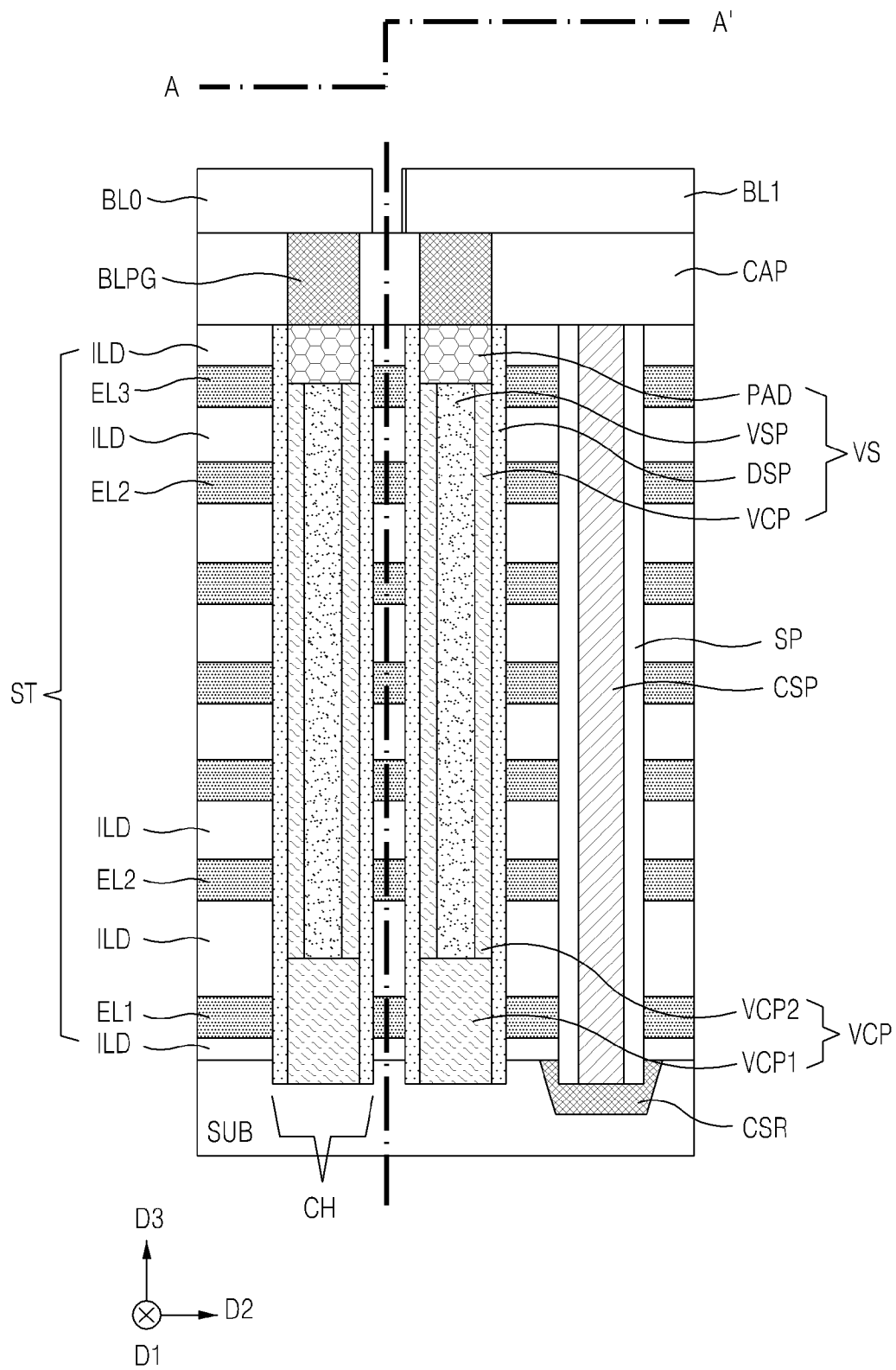
[도1]



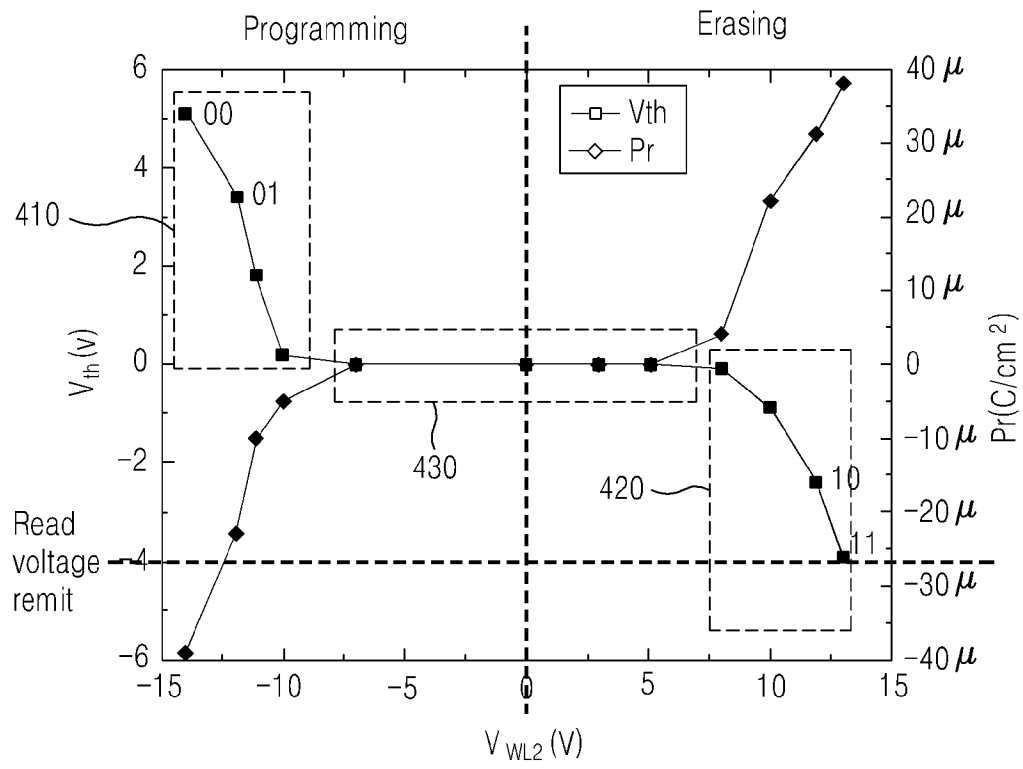
[도2]



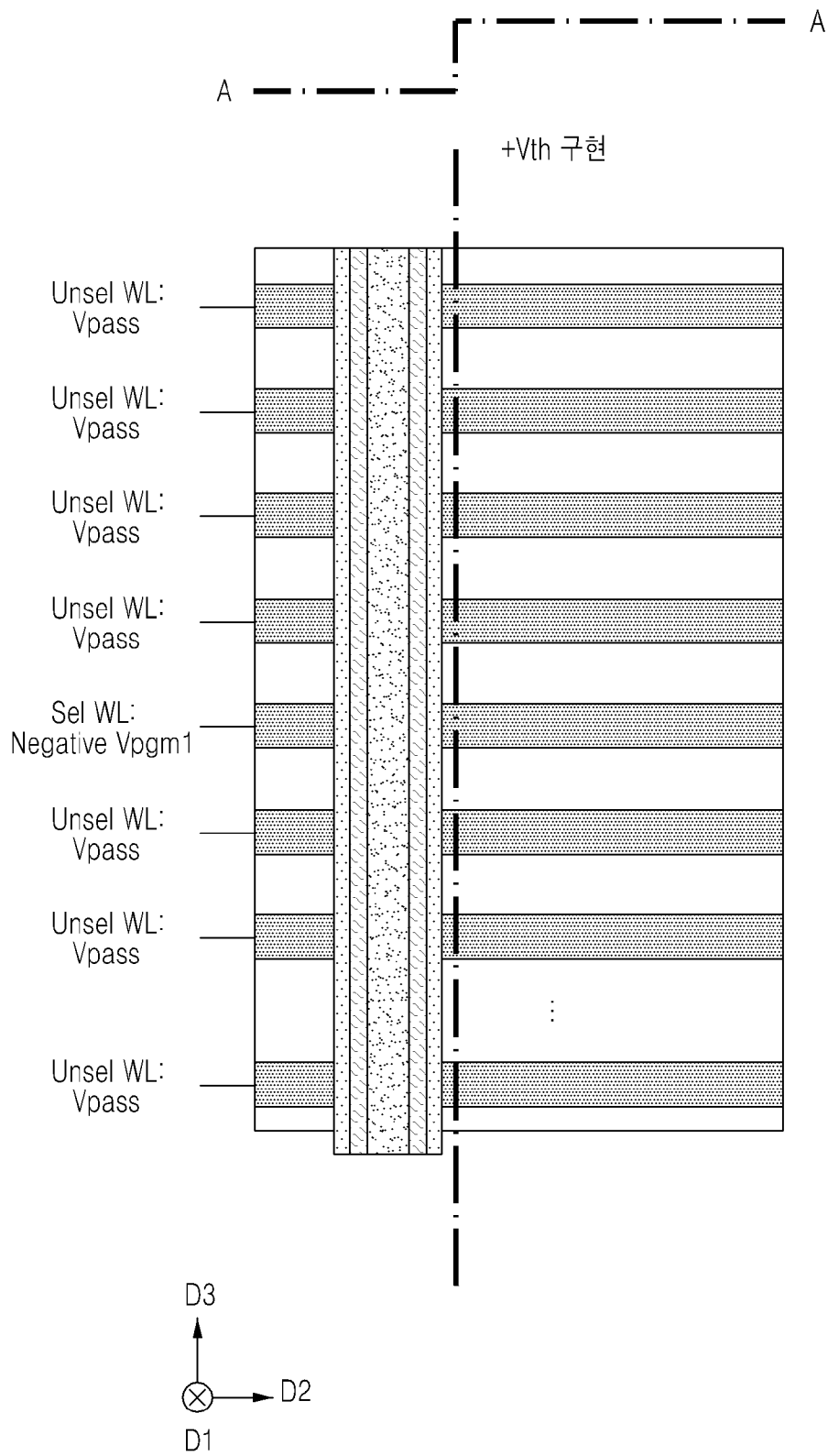
[도3]



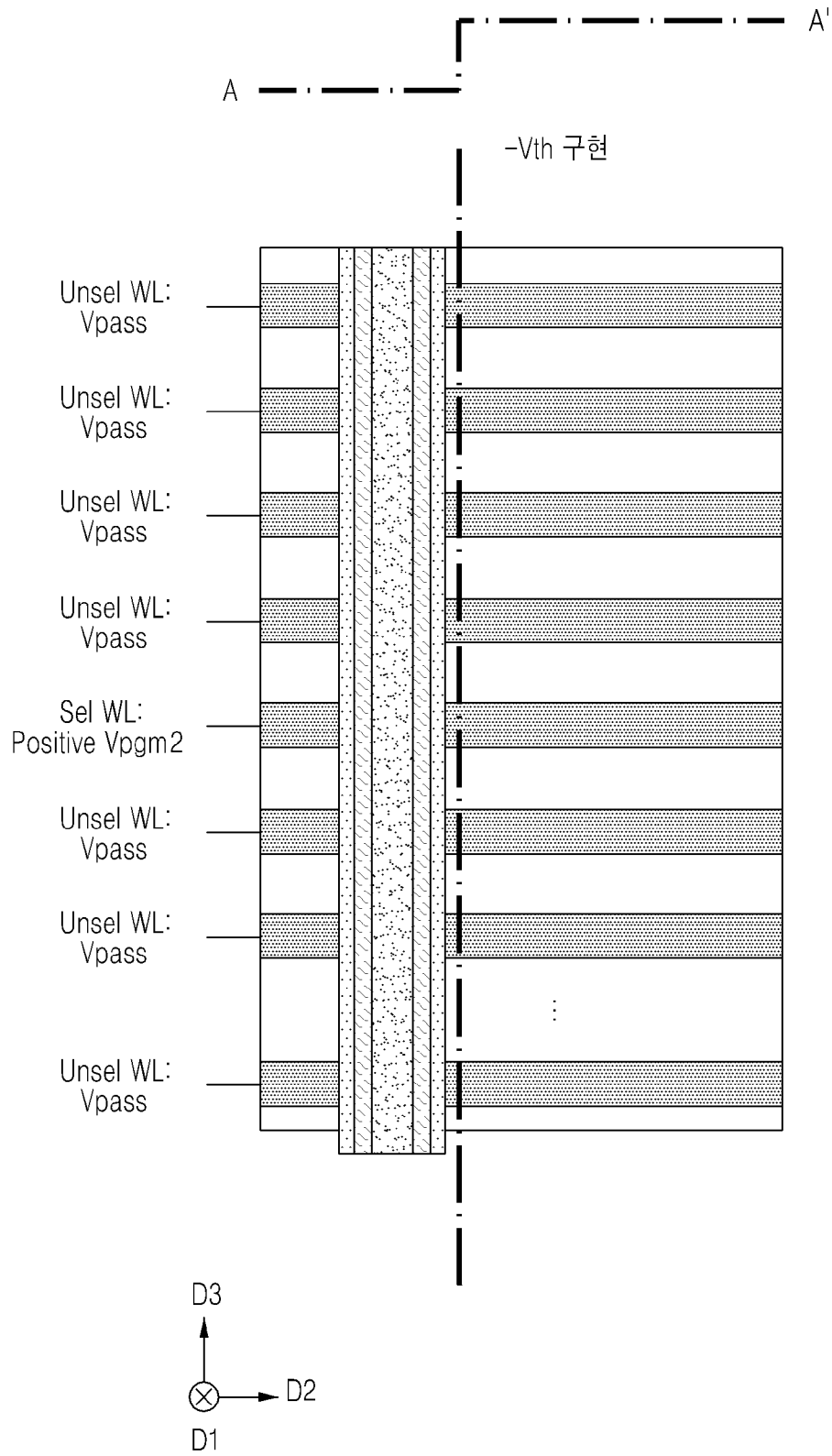
[도4]



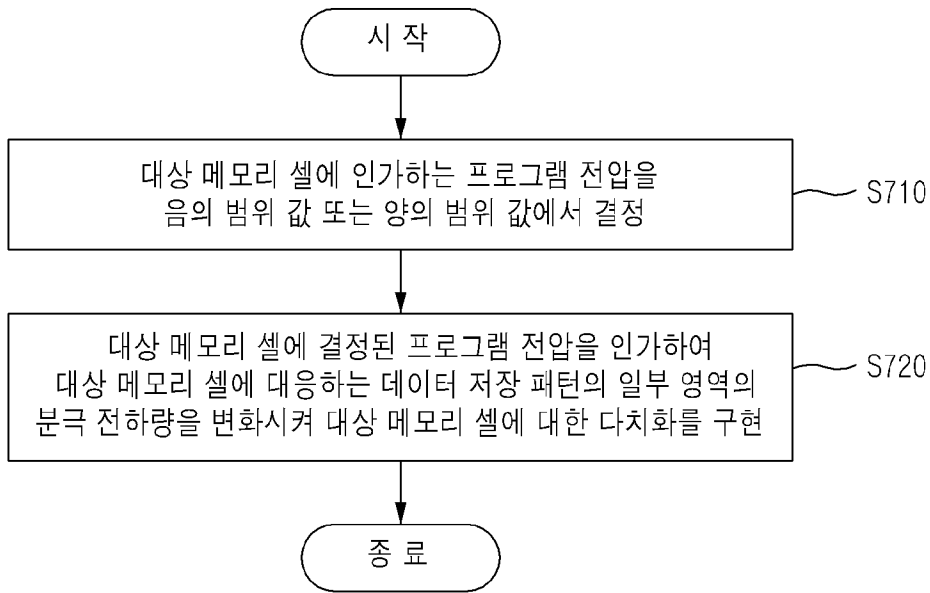
[도5]



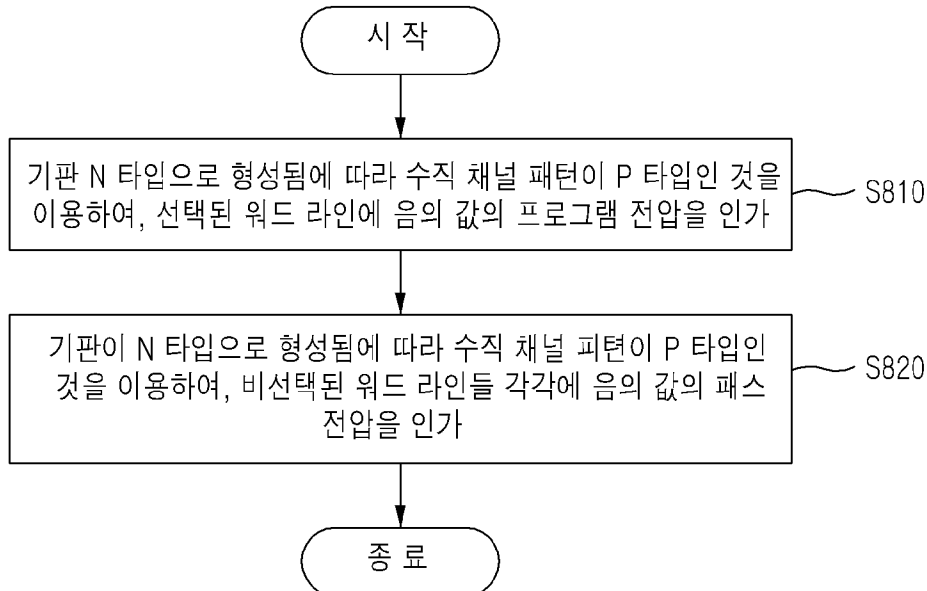
[도6]



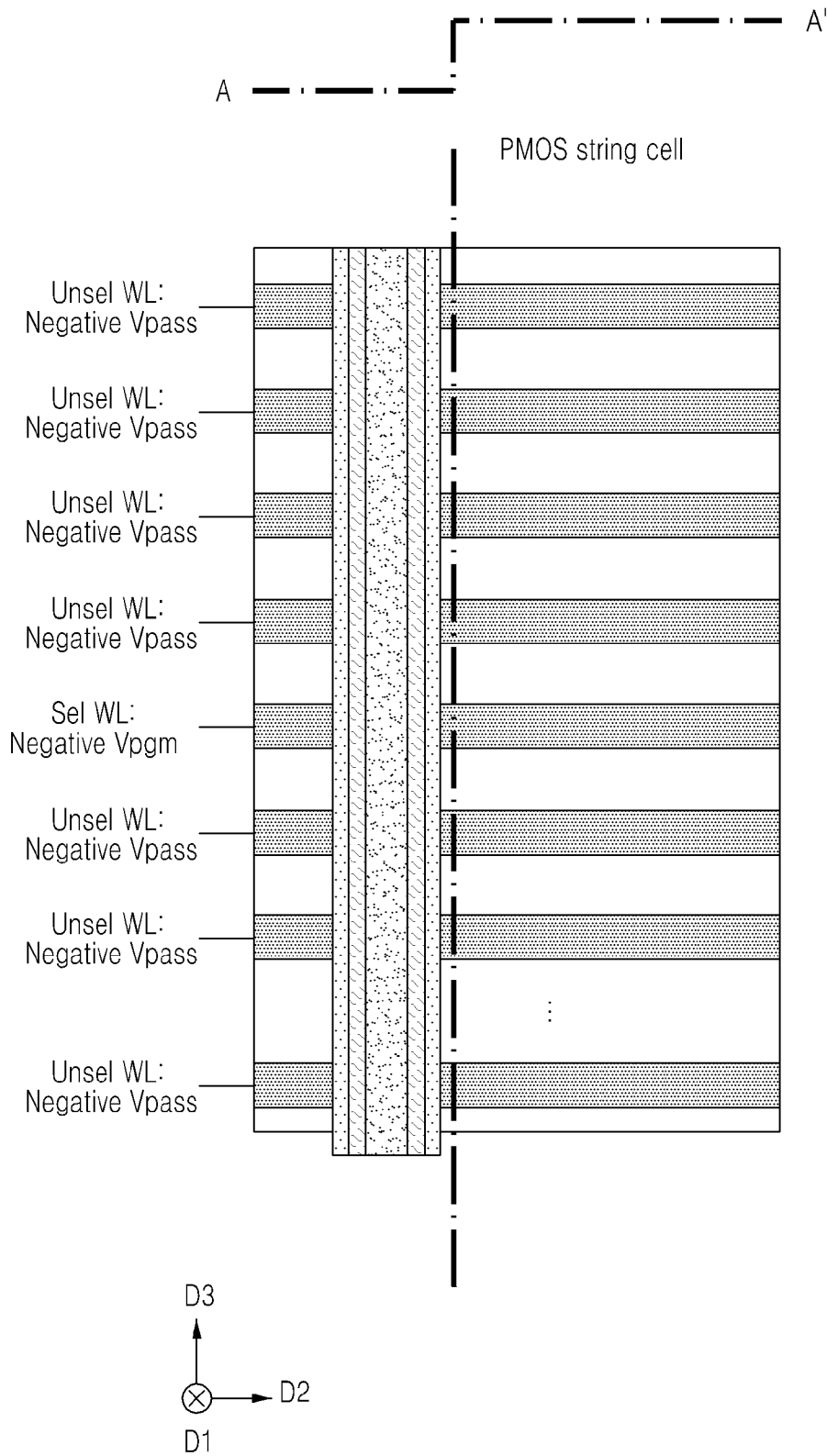
[도7]



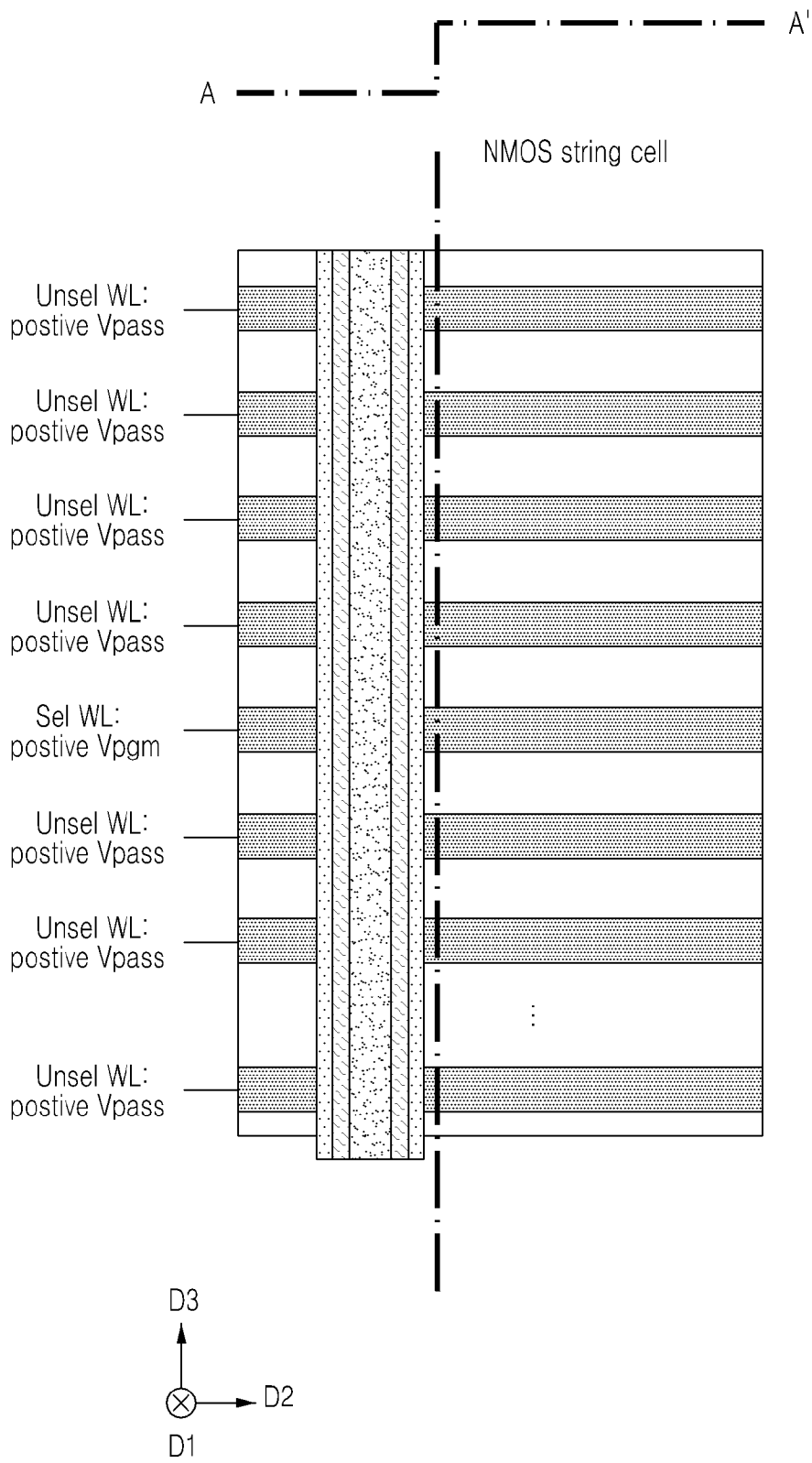
[도8]



[도9a]

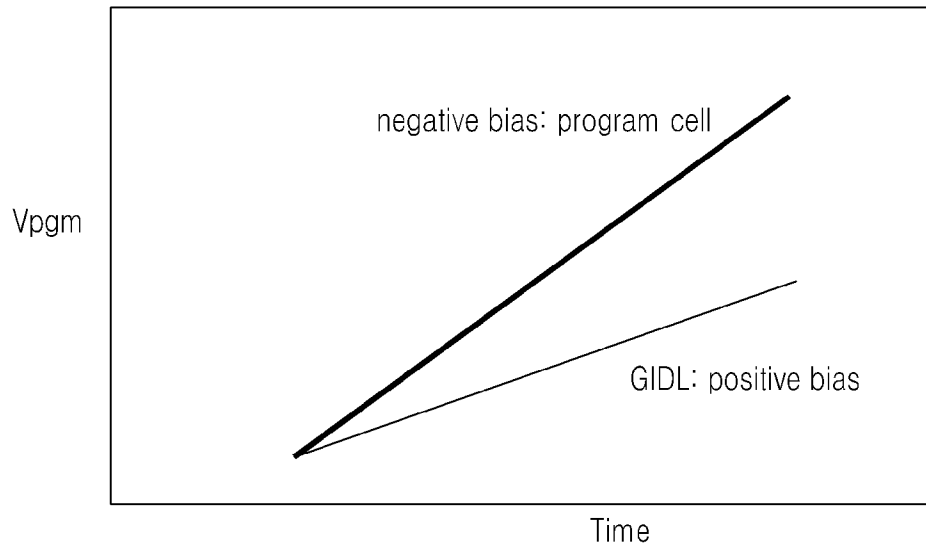


[도9b]



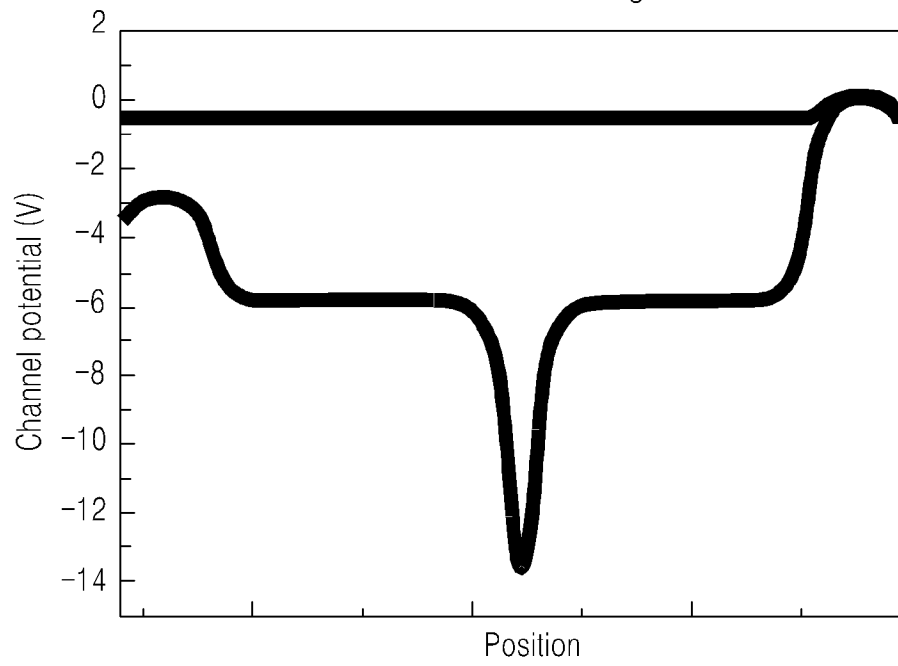
[도10]

프로그램 특성 개선

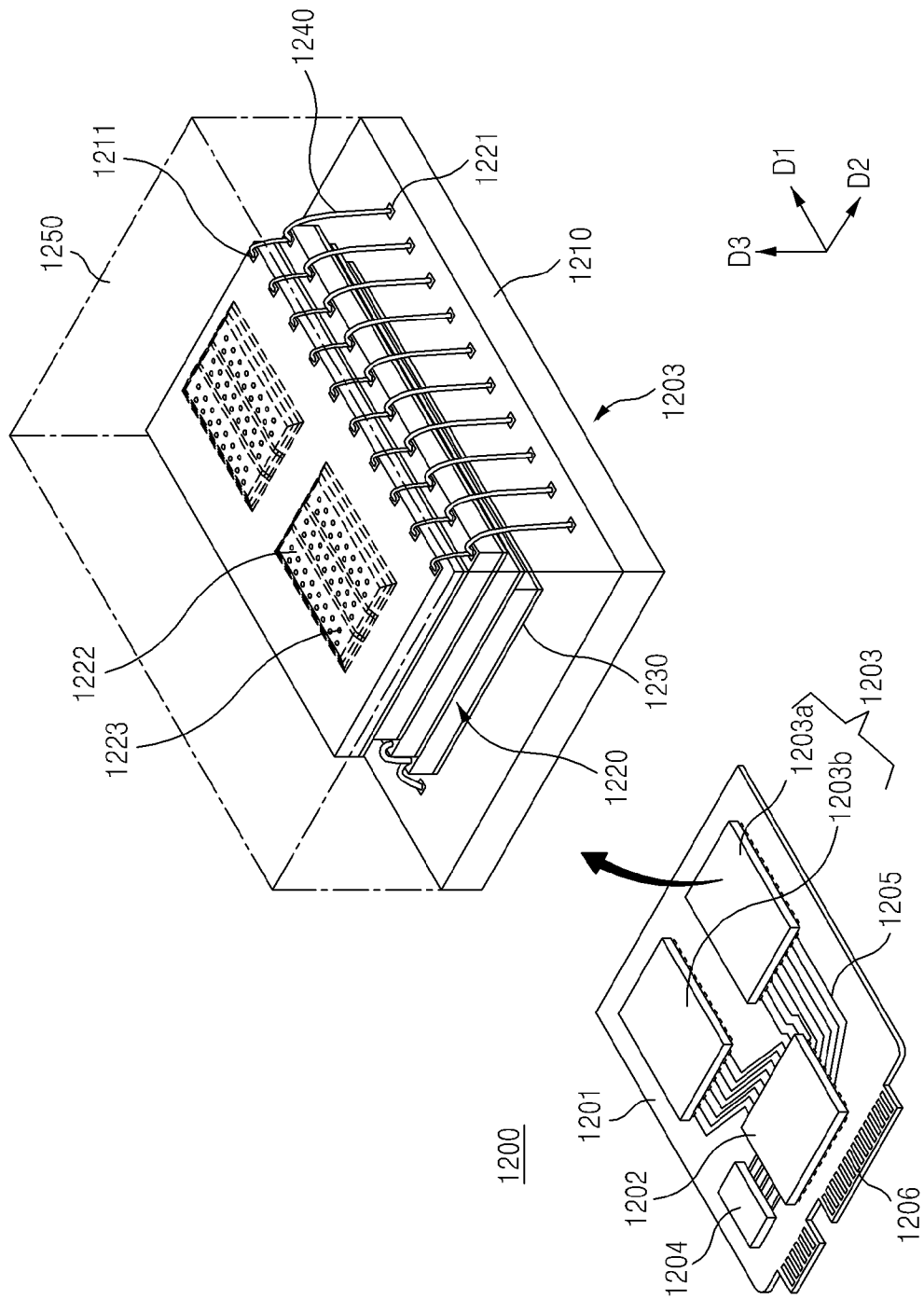


[도11]

Reverse Self-boosting



[도12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2022/009871

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/11582(2017.01)i; H01L 27/11568(2017.01)i; H01L 27/11597(2017.01)i; H01L 27/1159(2017.01)i; G11C 16/10(2006.01)i; G11C 16/08(2006.01)i; G11C 16/30(2006.01)i; G11C 16/04(2006.01)i; H01L 27/11585(2017.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 27/11582(2017.01); G11C 16/04(2006.01); H01L 21/8246(2006.01); H01L 27/105(2006.01); H01L 27/11524(2017.01); H01L 27/11551(2017.01); H01L 27/11597(2017.01); H01L 29/66(2006.01); H01L 29/792(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 메모리(memory), 다치화(multi level), 수직 채널 구조(vertical channel structure), 분극 전하량(polarization charge), 강유전체(ferroelectric)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2021-0012648 A (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY) et al.) 03 February 2021 (2021-02-03) See paragraphs [0046], [0054], [0061] and [0071]; claims 1-2; and figures 3-7 and 10.	1-10
Y		11-14
Y	US 2014-0151774 A1 (MOSAID TECHNOLOGIES INCORPORATED) 05 June 2014 (2014-06-05) See paragraphs [0062] and [0082]; and figures 17-18.	11-14
A	US 2014-0307508 A1 (MOSAID TECHNOLOGIES INCORPORATED) 16 October 2014 (2014-10-16) See paragraphs [0043] and [0049]; and figures 2A-12.	1-14
A	JP 2014-053571 A (TOSHIBA CORP.) 20 March 2014 (2014-03-20) See paragraph [0173]; and figures 9-13 and 23.	1-14
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 27 October 2022		Date of mailing of the international search report 27 October 2022
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2022/009871

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2020-0078753 A (SAMSUNG ELECTRONICS CO., LTD.) 02 July 2020 (2020-07-02) See paragraphs [0019]-[0027]; and figures 1-3.	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2022/009871

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2021-0012648	A	03 February 2021	CN	113330566	A	31 August 2021
				EP	3951873	A1	09 February 2022
				KR	10-2020-0114714	A	07 October 2020
				KR	10-2201016	B1	11 January 2021
				KR	10-2219753	B1	24 February 2021
				US	2022-0130863	A1	28 April 2022
				WO	2020-204314	A1	08 October 2020
US	2014-0151774	A1	05 June 2014	EP	2929536	A1	14 October 2015
				US	10403766	B2	03 September 2019
				US	10622488	B2	14 April 2020
				US	11088289	B2	10 August 2021
				US	2019-348544	A1	14 November 2019
				US	2020-381566	A1	03 December 2020
				US	2021-408301	A1	30 December 2021
				WO	2014-085904	A1	12 June 2014
US	2014-0307508	A1	16 October 2014	US	2016-0064410	A1	03 March 2016
				US	2017-148814	A1	25 May 2017
				US	9214235	B2	15 December 2015
				US	9595534	B2	14 March 2017
				US	9893084	B2	13 February 2018
				WO	2014-169370	A1	23 October 2014
JP	2014-053571	A	20 March 2014	US	2014-0070290	A1	13 March 2014
				US	9362487	B2	07 June 2016
KR	10-2020-0078753	A	02 July 2020	US	10896711	B2	19 January 2021
				US	2020-0202916	A1	25 June 2020

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 27/11582(2017.01)i; H01L 27/11568(2017.01)i; H01L 27/11597(2017.01)i; H01L 27/1159(2017.01)i; G11C 16/10(2006.01)i; G11C 16/08(2006.01)i; G11C 16/30(2006.01)i; G11C 16/04(2006.01)i; H01L 27/11585(2017.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 27/11582(2017.01); G11C 16/04(2006.01); H01L 21/8246(2006.01); H01L 27/105(2006.01); H01L 27/11524(2017.01); H01L 27/11551(2017.01); H01L 27/11597(2017.01); H01L 29/66(2006.01); H01L 29/792(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 메모리(memory), 다치화(multi level), 수직 채널 구조(vertical channel structure), 분극 전하량(polarization charge), 강유전체(ferroelectric)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2021-0012648 A (한양대학교 산학협력단 등) 2021.02.03 단락 [0046], [0054], [0061], [0071]; 청구항 1-2; 및 도면 3-7, 10.	1-10
Y		11-14
Y	US 2014-0151774 A1 (MOSAID TECHNOLOGIES INCORPORATED) 2014.06.05 단락 [0062], [0082]; 및 도면 17-18.	11-14
A	US 2014-0307508 A1 (MOSAID TECHNOLOGIES INCORPORATED) 2014.10.16 단락 [0043], [0049]; 및 도면 2A-12.	1-14
A	JP 2014-053571 A (TOSHIBA CORP.) 2014.03.20 단락 [0173]; 및 도면 9-13, 23.	1-14
A	KR 10-2020-0078753 A (삼성전자주식회사) 2020.07.02 단락 [0019]-[0027]; 및 도면 1-3.	1-14
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2022년10월27일 (27.10.2022)		국제조사보고서 발송일 2022년10월27일 (27.10.2022)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 박혜련 전화번호 +82-42-481-3463

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2021-0012648 A	2021/02/03	CN 113330566 A	2021/08/31
		EP 3951873 A1	2022/02/09
		KR 10-2020-0114714 A	2020/10/07
		KR 10-2201016 B1	2021/01/11
		KR 10-2219753 B1	2021/02/24
		US 2022-0130863 A1	2022/04/28
		WO 2020-204314 A1	2020/10/08
US 2014-0151774 A1	2014/06/05	EP 2929536 A1	2015/10/14
		US 10403766 B2	2019/09/03
		US 10622488 B2	2020/04/14
		US 11088289 B2	2021/08/10
		US 2019-348544 A1	2019/11/14
		US 2020-381566 A1	2020/12/03
		US 2021-408301 A1	2021/12/30
		WO 2014-085904 A1	2014/06/12
US 2014-0307508 A1	2014/10/16	US 2016-0064410 A1	2016/03/03
		US 2017-148814 A1	2017/05/25
		US 9214235 B2	2015/12/15
		US 9595534 B2	2017/03/14
		US 9893084 B2	2018/02/13
		WO 2014-169370 A1	2014/10/23
JP 2014-053571 A	2014/03/20	US 2014-0070290 A1	2014/03/13
		US 9362487 B2	2016/06/07
KR 10-2020-0078753 A	2020/07/02	US 10896711 B2	2021/01/19
		US 2020-0202916 A1	2020/06/25