

특허청구의 범위

청구항 1

복수의 피시험 메모리를 병행하여 시험하는 시험 장치에 있어서,

상기 복수의 피시험 메모리에 공급하는 어드레스 신호 및 데이터 신호, 그리고 상기 피시험 메모리가 상기 어드레스 신호 및 상기 데이터 신호에 따라 출력해야 하는 기대값 신호를 발생하는 패턴 발생기와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치되고, 상기 복수의 피시험 메모리가 상기 어드레스 신호 및 상기 데이터 신호에 따라 출력한 출력 신호와 상기 기대값 신호를 비교하여, 상기 출력 신호와 상기 기대값 신호가 일치하지 않는 경우에 페일 데이터를 발생하는 복수의 논리 비교기와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치되고, 상기 복수의 논리 비교기가 발생한 상기 페일 데이터를 상기 어드레스 신호가 나타내는 어드레스에 대응하여 격납하는 복수의 페일 메모리와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치되고, 상기 복수의 페일 메모리가 격납하고 있는 상기 페일 데이터에 기초하여, 상기 피시험 메모리의 불량 어드레스를 나타내는 불량 어드레스 정보를 생성하는 복수의 메모리 제어기와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치되고, 상기 복수의 메모리 제어기가 생성한 상기 불량 어드레스 정보를 격납하는 복수의 유니버설 버퍼 메모리와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치되고, 상기 복수의 피시험 메모리의, 상기 복수의 유니버설 버퍼 메모리에 격납된 상기 불량 어드레스 정보가 나타내는 상기 불량 어드레스에, 제1 불량 정보를 병행하여 기입하는 복수의 불량 정보 기입부를 포함하는 시험 장치.

청구항 2

제1항에 있어서,

상기 복수의 페일 메모리와 상기 복수의 메모리 제어기를 각각 접속하는 복수의 제1의 버스와,

상기 복수의 메모리 제어기와 상기 복수의 유니버설 버퍼 메모리를 각각 접속하는 복수의 제2의 버스를 더 포함하는 시험 장치.

청구항 3

제1항에 있어서,

상기 메모리 제어기는, 상기 피시험 메모리에 고유한 포맷의 상기 불량 어드레스 정보를 생성하고, 상기 유니버설 버퍼 메모리에 공급하는 시험 장치.

청구항 4

제3항에 있어서,

상기 메모리 제어기는, 상기 피시험 메모리에 고유한 포맷의 상기 불량 어드레스 정보를 생성할 수 있도록, 상기 피시험 메모리의 종류에 따라 로드되는 프로그램에 기초하여 동작하는 시험 장치.

청구항 5

제1항에 있어서,

상기 피시험 메모리는, 데이터를 격납하는 메인 구역 및 상기 제1 불량 정보를 격납하는 확장 구역을 각각 포함하는 복수의 페이지 영역을 각각 포함하는 복수의 블록 영역을 포함하고,

상기 페일 메모리는, 상기 피시험 메모리의 상기 블록 영역마다 상기 페일 데이터를 격납하며,

상기 메모리 제어기는, 상기 페일 메모리를 참조하여, 상기 피시험 메모리가 포함하는 불량량의 상기 블록 영역의 블록 어드레스를 나타내는 상기 불량 어드레스 정보를 생성하고,

상기 유니버설 버퍼 메모리는, 상기 메모리 제어기가 생성한 상기 불량 어드레스 정보를 격납하며,
상기 불량 정보 기입부는, 상기 유니버설 버퍼 메모리가 격납하는 상기 불량 어드레스 정보가 나타내는 상기 블록 영역이 포함하는 상기 확장 구역에 상기 제1 불량 정보를 기입하는 시험 장치.

청구항 6

제5항에 있어서,

상기 패턴 발생기는, 상기 페이지 영역을 나타내는 페이지 어드레스 신호를 발생하여, 상기 복수의 불량 정보 기입부에 공급하고,

상기 복수의 불량 정보 기입부는, 상기 복수의 피시험 메모리의 각각에 대응하여 설치된 상기 복수의 유니버설 버퍼 메모리가 격납하는 상기 불량 어드레스 정보가 나타내는 상기 블록 영역이 포함하는, 상기 패턴 발생기가 발생하는 상기 페이지 어드레스 신호가 나타내는 상기 페이지 영역의 상기 확장 구역에 상기 제1 불량 정보를 기입하는 시험 장치.

청구항 7

제1항에 있어서,

상기 메모리 제어기는,

상기 파일 메모리의 소정의 어드레스에 격납되어 있는 데이터를 독출(讀出)하는 데이터 독출부와,

상기 데이터 독출부가 독출한 데이터에 상기 파일 데이터가 포함되어 있는지 아닌지를 판단하는 파일 판단부와,

상기 데이터 독출부가 독출한 상기 데이터에 상기 파일 데이터가 포함되어 있는 것으로 상기 파일 판단부가 판단한 경우에, 상기 불량 어드레스 정보를 생성하는 불량 어드레스 정보 생성부를 포함하는 시험 장치.

청구항 8

제1항에 있어서,

상기 복수의 메모리 제어기는, 상기 복수의 파일 메모리가 격납하고 있는 상기 파일 데이터에 기초하여, 상기 피시험 메모리에 고유한 포맷의 제2 불량 정보를 생성하고,

상기 복수의 유니버설 버퍼 메모리는, 상기 복수의 메모리 제어기가 생성한 상기 제2 불량 정보를 격납하며,

상기 복수의 불량 정보 기입부는, 상기 복수의 유니버설 버퍼 메모리에 격납된 상기 제2 불량 정보를 상기 복수의 피시험 메모리에 기입하는 시험 장치.

청구항 9

제8항에 있어서,

상기 메모리 제어기는, 상기 피시험 메모리에 고유한 포맷의 상기 제2 불량 정보를 생성할 수 있도록, 상기 피시험 메모리의 종류에 따라 로드되는 프로그램에 기초하여 동작하는 시험 장치.

청구항 10

제8항에 있어서,

상기 복수의 피시험 메모리의 각각에 대응하여 설치되고, 상기 복수의 메모리 제어기가 생성한 상기 제2 불량 정보를 격납하는 복수의 제1 파일 정보 메모리와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치되고, 상기 복수의 피시험 메모리로부터 독출된 상기 제2 불량 정보를 격납하는 복수의 제2 파일 정보 메모리와,

상기 제1 파일 정보 메모리가 격납하고 있는 상기 제2 불량 정보와 상기 제2 파일 정보 메모리가 격납하고 있는 상기 제2 불량 정보를 비교함으로써, 상기 복수의 피시험 메모리의 양부를 판정하는 양부 판정부를 더 포함하는 시험 장치.

청구항 11

제10항에 있어서,

상기 복수의 페일 메모리와 상기 복수의 제1 페일 정보 메모리와 상기 복수의 메모리 제어기를 각각 접속하는 복수의 제1의 버스와,

상기 복수의 메모리 제어기와 상기 복수의 유니버설 버퍼 메모리를 각각 접속하는 복수의 제2의 버스를 더 포함하는 시험 장치.

청구항 12

제11항에 있어서,

상기 피시험 메모리는, 데이터를 격납하는 복수의 메인 구역, 및 상기 제2 불량 정보를 격납하는 특수 구역을 포함하고,

상기 불량 정보 기입부는, 상기 피시험 메모리가 포함하는 상기 특수 구역에 상기 제2 불량 정보를 기입하는 시험 장치.

청구항 13

복수의 피시험 메모리를 병행하여 시험하는 시험 장치에 있어서,

상기 복수의 피시험 메모리에 공급하는 어드레스 신호 및 데이터 신호, 그리고 상기 피시험 메모리가 상기 어드레스 신호 및 상기 데이터 신호에 따라 출력해야 하는 기대값 신호를 발생하는 패턴 발생기와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치되고, 상기 복수의 피시험 메모리가 상기 어드레스 신호 및 상기 데이터 신호에 따라 출력한 출력 신호와 상기 기대값 신호를 비교하여, 상기 출력 신호와 상기 기대값 신호가 일치하지 않는 경우에 페일 데이터를 발생하는 복수의 논리 비교기와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치되고, 상기 복수의 논리 비교기가 발생한 상기 페일 데이터를 상기 어드레스 신호가 나타내는 어드레스에 대응하여 격납하는 복수의 페일 메모리와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치되고, 상기 복수의 페일 메모리가 격납하고 있는 상기 페일 데이터에 기초하여, 상기 피시험 메모리에 고유한 포맷의 불량 정보를 생성하는 복수의 메모리 제어기와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치되고, 상기 복수의 메모리 제어기가 생성한 상기 불량 정보를 격납하는 복수의 유니버설 버퍼 메모리와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치되고, 상기 복수의 유니버설 버퍼 메모리에 격납된 상기 불량 정보를 상기 복수의 피시험 메모리에 기입하는 복수의 불량 정보 기입부를 포함하는 시험 장치.

청구항 14

복수의 피시험 메모리를 병행하여 시험하는 시험 방법에 있어서,

상기 복수의 피시험 메모리에 공급하는 어드레스 신호 및 데이터 신호, 그리고 상기 피시험 메모리가 상기 어드레스 신호 및 상기 데이터 신호에 따라 출력해야 하는 기대값 신호를 발생하는 단계와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 논리 비교기에 의해, 상기 복수의 피시험 메모리가 상기 어드레스 신호 및 상기 데이터 신호에 따라 출력한 출력 신호와 상기 기대값 신호를 비교하여, 상기 출력 신호와 상기 기대값 신호가 일치하지 않는 경우에 페일 데이터를 발생하는 단계와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 페일 메모리에, 상기 페일 데이터를 상기 어드레스 신호가 나타내는 어드레스에 대응하여 격납하는 단계와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 메모리 제어기에 의해, 상기 복수의 페일 메모리가 격납하고 있는 상기 페일 데이터에 기초하여, 상기 피시험 메모리의 불량 어드레스를 나타내는 불량 어드레스 정보를 생성하는 단계와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 유니버설 버퍼 메모리에, 상기 복수의 메모리 제

여기가 생성한 상기 불량 어드레스 정보를 격납하는 단계와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 불량 정보 기입부에 의해, 상기 복수의 피시험 메모리의, 상기 복수의 유니버설 버퍼 메모리에 격납된 상기 불량 어드레스 정보가 나타내는 상기 불량 어드레스에, 제1 불량 정보를 병행하여 기입하는 단계를 포함하는 시험 방법.

청구항 15

복수의 피시험 메모리를 병행하여 시험하는 시험 방법에 있어서,

상기 복수의 피시험 메모리에 공급하는 어드레스 신호 및 데이터 신호, 그리고 상기 피시험 메모리가 상기 어드레스 신호 및 상기 데이터 신호에 따라 출력해야 하는 기대값 신호를 발생하는 단계와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 논리 비교기에 의해, 상기 복수의 피시험 메모리가 상기 어드레스 신호 및 상기 데이터 신호에 따라 출력한 출력 신호와 상기 기대값 신호를 비교하여, 상기 출력 신호와 상기 기대값 신호가 일치하지 않는 경우에 페일 데이터를 발생하는 단계와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 페일 메모리에 의해, 상기 복수의 논리 비교기가 발생한 상기 페일 데이터를 상기 어드레스 신호가 나타내는 어드레스에 대응하여 격납하는 단계와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 메모리 제어기에 의해, 상기 복수의 페일 메모리가 격납하고 있는 상기 페일 데이터에 기초하여, 상기 피시험 메모리에 고유한 포맷의 불량 정보를 생성하는 단계와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 유니버설버퍼 메모리에 의해, 상기 복수의 메모리 제어기가 생성한 상기 불량 정보를 격납하는 단계와,

상기 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 불량 정보 기입부에 의해, 상기 복수의 유니버설버퍼 메모리에 격납된 상기 불량 정보를 상기 복수의 피시험 메모리에 기입하는 단계를 포함하는 시험 방법.

명세서

기술분야

<1> 본 발명은, 시험 장치 및 시험 방법에 관한 것이다. 특히 본 발명은, 피시험 메모리를 시험하는 시험 장치 및 시험 방법에 관한 것이다. 문헌의 참조에 의한 편입이 인정되는 지정국에 대해서는, 다음의 출원에 기재된 내용을 참조에 의해 본 출원에 편입하고, 본 출원의 기재의 일부로 한다.

<2> 일본특허출원 제2004-87924호 출원일 2004년 3월 24일

배경기술

<3> 도 7은, NAND형 플래시 메모리의 구성을 도시한다. NAND형 플래시 메모리의 메모리 셀 배열은, 큰 3개의 영역으로 분할된 구조로 되어 있다. 1번째는, 데이터를 격납하는 데이터 격납 영역으로서 사용되는 메인 구역이고, 2번째는, 메인 구역이 정상인지 아닌지를 판별하기 위한 불량 정보를 격납하는 확장 구역이며, 3번째는, 제조 정보, ID 관리 정보, 불량 블록의 맵 정보 등의 불량 정보를 격납하는 특수 구역이다. 그리고, NAND형 플래시 메모리는, 메인 구역 및 확장 구역을 각각 포함하는 복수의 페이지 영역을 각각 포함하는 복수의 블록 영역을 포함한다.

<4> 이와 같이 분할된 구조를 채용함으로써, 특정의 블록 영역에 부분적인 불량 셀이 존재하는 경우에, 블록 영역의 확장 구역에 당해 블록 영역이 불량인 것을 나타내는 불량 정보의 일레인 불량 코드를 기록하여 사용자가 당해 블록 영역의 사용을 회피하도록 제어할 수 있다. 또한, 블록 영역의 확장 구역에 ECC 보정을 위한 에러 정정 코드를 기록하여 사용하는 것으로, 양품(良品)으로서 취급할 수 있다. 그 결과, 제조 수율의 향상에 기여하고, 메모리 단가의 저감으로 이어질 수 있다. 그러나, 불량 셀이 존재하는 NAND형 플래시 메모리를 시험하고, 구제하기 위해서는, 복잡한 시험 항목이 필요하고, 시험 시간의 증대를 부른다. 그 때문에, NAND형 플래시 메모리를 효율적으로 시험하고, 구제하기 위해, 시험 장치의 개발이 진행되고 있다.

<5> 도 8은, 종래 기술에 의한 시험 장치 800의 구성을 도시한다. 시험 장치 800은, 패턴 발생기 802, 메인 판형 정형기 804, 복수의 개별 테스트 유닛 806, 인터페이스 808, CPU 810, 및 테스터 버스 812를 포함한다. 복수의

개별 테스트 유닛 806의 각각은, 유니버설 버퍼 메모리 822, 인터널 버스 823, 블록 페일 메모리 824, 배드 블록 카운터 826, 서브 파형 정형기 832, 논리 비교기 834, 멀티플렉서 836, 드라이버 838, 및 레벨 비교기 840을 포함하고, 복수의 피시험 메모리(이하, 「DUT」라 한다.) 850의 각각에 대응하여 설치된다.

<6> 패턴 발생기 802는, 복수의 DUT 850에 공급하는 어드레스 신호 및 데이터 신호를 발생하고, 메인 파형 정형기 804에 공급한다. 또한, 패턴 발생기 802는, 발생한 어드레스 신호를 복수의 블록 페일 메모리 824에 공급한다. 또한, 패턴 발생기 802는, DUT 850이 어드레스 신호 및 데이터 신호에 따라 출력해야 하는 기대값 신호를 발생하고, 논리 비교기 834에 공급한다. 메인 파형 정형기 804는, 패턴 발생기 802가 발생한 어드레스 신호 및 데이터 신호를 DUT 850의 시험에 필요한 포맷의 파형으로 정형하고, 멀티플렉서 836 및 드라이버 838을 거쳐 DUT 850에 공급한다.

<7> 논리 비교기 834는, 레벨 비교기 840이 2개로 변환한 DUT 850의 출력 신호와, 패턴 발생기 802로부터 공급된 기대값 신호를 비교하여, 출력 신호와 기대값 신호가 일치하지 않는 경우에 페일 데이터를 발생하고, 블록 페일 메모리 824에 공급한다. 블록 페일 메모리 824는, 논리 비교기 834가 발생한 페일 데이터를, 패턴 발생기 802로부터 공급된 어드레스 신호가 나타내는 어드레스에 대응하여 격납한다. 배드 블록 카운터 826은, 논리 비교기 834가 발생한 페일 데이터를 계수함으로써, DUT 850이 포함하는 불량 블록 영역의 수를 계수한다.

<8> CPU 810은, 인터페이스 808을 거쳐 블록 페일 메모리 824를 참조하고, 블록 페일 메모리 824가 격납하고 있는 페일 데이터를 독출(讀出)하며, 독출한 페일 데이터에 기초하여, DUT 850이 포함하는 불량 블록 영역의 블록 어드레스를 나타내는 불량 어드레스 정보를 생성한다. 그리고, CPU 810은, 인터페이스 808을 거쳐 유니버설 버퍼 메모리 822에 불량 어드레스 정보를 공급한다.

<9> 유니버설 버퍼 메모리 822는, CPU 810이 생성한 불량 어드레스 정보를 격납한다. 그리고, 유니버설 버퍼 메모리 822는, 블록 어드레스를 나타내는 불량 어드레스 정보를 순차적으로 서브 파형 정형기 832에 공급한다. 서브 파형 정형기 832는, 유니버설 버퍼 메모리 822로부터 공급된 불량 어드레스 정보가 나타내는 블록 어드레스에 기초하여, DUT 850에 공급하는 어드레스 신호를 생성하고, 멀티플렉서 836 및 드라이버 838을 거쳐 DUT 850에 공급함으로써, 유니버설 버퍼 메모리 822가 격납하는 불량 어드레스 정보가 나타내는 블록 영역이 포함하는 확장 구역에 불량 정보를 기입한다.

<10> 현 시점에서 선행 기술 문헌의 존재를 인식하고 있지 않으므로, 선행 기술 문헌에 관한 기재를 생략한다.

발명의 상세한 설명

<11> [발명이 해결하고자 하는 과제]

<12> 도 9는, 종래 기술에 의한 시험 장치 800에 있어서의 데이터 전송 처리의 개요를 도시한다. CPU 810은, 인터페이스 808을 거쳐, 유니버설 버퍼 메모리 822 및 블록 페일 메모리 824와의 데이터 전송을 행한다. 또한, 이 데이터 전송은, 테스트 버스 812를 거쳐 행해지므로, DUT 850의 시험 중에 행할 수 없고, DUT 850의 시험 종료 후에 한 번에 행하지 않으면 안 된다. 또한, CPU 810은, 복수의 유니버설 버퍼 메모리 822가 격납하는 페일 데이터에 각각 대응하는 불량 어드레스 정보를 시리얼 처리에 의해 순차적으로 생성한다. 따라서, 다수의 DUT 850을 동시에 시험하는 경우에는, 데이터 전송의 오버헤드도 발생하여 전송 시간이 증대해 버리고, 또한, CPU 810에 의한 불량 어드레스 정보의 생성을 위한 대기 시간이 발생해 버리므로, 시험의 처리량을 향상시킬 수 없다.

<13> 따라서 본 발명은, 상기의 과제를 해결할 수 있는 시험 장치를 제공하는 것을 목적으로 한다. 이 목적은 청구의 범위에 있어서의 독립항에 기재된 특징의 조합에 의해 달성된다. 또한 종속항은 본 발명의 더욱 유리한 구체적인 예를 규정한다.

<14> [과제를 해결하기 위한 수단]

<15> 본 발명의 제1의 형태에 의하면, 복수의 피시험 메모리를 병행하여 시험하는 시험 장치에 있어서, 복수의 피시험 메모리에 공급하는 어드레스 신호 및 데이터 신호, 그리고 피시험 메모리가 어드레스 신호 및 데이터 신호에 따라 출력해야 하는 기대값 신호를 발생하는 패턴 발생기와, 복수의 피시험 메모리의 각각에 대응하여 설치되고, 복수의 피시험 메모리가 어드레스 신호 및 데이터 신호에 따라 출력한 출력 신호와 기대값 신호를 비교하여, 출력 신호와 기대값 신호가 일치하지 않는 경우에 페일 데이터를 발생하는 복수의 논리 비교기와, 복수의 피시험 메모리의 각각에 대응하여 설치되고, 복수의 논리 비교기가 발생한 페일 데이터를 어드레스 신호가 나타내는 어드레스에 대응하여 격납하는 복수의 페일 메모리와, 복수의 피시험 메모리의 각각에 대응하여 설치되고, 복수의 페일 메모리가 격납하고 있는 페일 데이터에 기초하여, 피시험 메모리의 불량 어드레스를 나타내

는 불량 어드레스 정보를 생성하는 복수의 메모리 제어기와, 복수의 피시험 메모리의 각각에 대응하여 설치되고, 복수의 메모리 제어기가 생성한 불량 어드레스 정보를 격납하는 복수의 유니버설 버퍼 메모리와, 복수의 피시험 메모리의 각각에 대응하여 설치되고, 복수의 피시험 메모리의, 복수의 유니버설 버퍼 메모리에 격납된 불량 어드레스 정보가 나타내는 불량 어드레스에, 제1 불량 정보를 병행하여 기입하는 복수의 불량 정보 기입부를 포함한다.

- <16> 복수의 페일 메모리와 복수의 메모리 제어기를 각각 접속하는 복수의 제1의 버스와, 복수의 메모리 제어기와 복수의 유니버설 버퍼 메모리를 각각 접속하는 복수의 제2의 버스를 더 포함해도 좋다.
- <17> 메모리 제어기는, 피시험 메모리에 고유한 포맷의 불량 어드레스 정보를 생성하고, 유니버설 버퍼 메모리에 공급해도 좋다.
- <18> 메모리 제어기는, 피시험 메모리에 고유한 포맷의 불량 어드레스 정보를 생성할 수 있도록, 피시험 메모리의 종류에 따라 로드되는 프로그램에 기초하여 동작해도 좋다.
- <19> 피시험 메모리는, 데이터를 격납하는 메인 구역 및 제1 불량 정보를 격납하는 확장 구역을 각각 포함하는 복수의 페이지 영역을 각각 포함하는 복수의 블록 영역을 포함하고, 페일 메모리는, 피시험 메모리의 블록 영역마다 페일 데이터를 격납하며, 메모리 제어기는, 페일 메모리를 참조하여, 피시험 메모리가 포함하는 불량 블록 영역의 블록 어드레스를 나타내는 불량 어드레스 정보를 생성하고, 유니버설 버퍼 메모리는, 메모리 제어기가 생성한 불량 어드레스 정보를 격납하며, 불량 정보 기입부는, 유니버설 버퍼 메모리가 격납하는 불량 어드레스 정보가 나타내는 블록 영역이 포함하는 확장 구역에 제1 불량 정보를 기입해도 좋다.
- <20> 패턴 발생기는, 페이지 영역을 나타내는 페이지 어드레스 신호를 발생하여, 복수의 불량 정보 기입부에 공급하고, 복수의 불량 정보 기입부는, 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 유니버설 버퍼 메모리가 격납하는 불량 어드레스 정보가 나타내는 블록 영역이 포함하는, 패턴 발생기가 발생하는 페이지 어드레스 신호가 나타내는 페이지 영역의 확장 구역에 제1 불량 정보를 기입해도 좋다.
- <21> 메모리 제어기는, 페일 메모리의 소정의 어드레스에 격납되어 있는 데이터를 독출하는 데이터 독출부와, 데이터 독출부가 독출한 데이터에 페일 데이터가 포함되어 있는지 아닌지를 판단하는 페일 판단부와, 데이터 독출부가 독출한 데이터에 페일 데이터가 포함되어 있는 것으로 페일 판단부가 판단한 경우에, 불량 어드레스 정보를 생성하는 불량 어드레스 정보 생성부를 포함해도 좋다.
- <22> 복수의 메모리 제어기는, 복수의 페일 메모리가 격납하고 있는 페일 데이터에 기초하여, 피시험 메모리에 고유한 포맷의 제2 불량 정보를 생성하고, 복수의 유니버설 버퍼 메모리는, 복수의 메모리 제어기가 생성한 제2 불량 정보를 격납하며, 복수의 불량 정보 기입부는, 복수의 유니버설 버퍼 메모리에 격납된 제2 불량 정보를 복수의 피시험 메모리에 기입해도 좋다.
- <23> 메모리 제어기는, 피시험 메모리에 고유한 포맷의 제2 불량 정보를 생성할 수 있도록, 피시험 메모리의 종류에 따라 로드되는 프로그램에 기초하여 동작해도 좋다.
- <24> 복수의 피시험 메모리의 각각에 대응하여 설치되고, 복수의 메모리 제어기가 생성한 제2 불량 정보를 격납하는 복수의 제1 페일 정보 메모리와, 복수의 피시험 메모리의 각각에 대응하여 설치되고, 복수의 피시험 메모리로부터 독출된 제2 불량 정보를 격납하는 복수의 제2 페일 정보 메모리와, 제1 페일 정보 메모리가 격납하고 있는 제2 불량 정보와 제2 페일 정보 메모리가 격납하고 있는 제2 불량 정보를 비교함으로써, 복수의 피시험 메모리의 양부를 판정하는 양부 판정부를 더 포함해도 좋다.
- <25> 복수의 페일 메모리와 복수의 제1 페일 정보 메모리와 복수의 메모리 제어기를 각각 접속하는 복수의 제1의 버스와, 복수의 메모리 제어기와 복수의 유니버설 버퍼 메모리를 각각 접속하는 복수의 제2의 버스를 더 포함해도 좋다.
- <26> 피시험 메모리는, 데이터를 격납하는 복수의 메인 구역, 및 제2 불량 정보를 격납하는 특수 구역을 포함하고, 불량 정보 기입부는, 피시험 메모리가 포함하는 특수 구역에 제2 불량 정보를 기입해도 좋다.
- <27> 본 발명의 제2의 형태에 의하면, 복수의 피시험 메모리를 병행하여 시험하는 시험 장치에 있어서, 복수의 피시험 메모리에 공급하는 어드레스 신호 및 데이터 신호, 그리고 피시험 메모리가 어드레스 신호 및 데이터 신호에 따라 출력해야 하는 기대값 신호를 발생하는 패턴 발생기와, 복수의 피시험 메모리의 각각에 대응하여 설치되고, 복수의 피시험 메모리가 어드레스 신호 및 데이터 신호에 따라 출력한 출력 신호와 기대값 신호를 비교하여, 출력 신호와 기대값 신호가 일치하지 않는 경우에 페일 데이터를 발생하는 복수의 논리 비교기와, 복수

의 피시험 메모리의 각각에 대응하여 설치되고, 복수의 논리 비교기가 발생한 페일 데이터를 어드레스 신호가 나타내는 어드레스에 대응하여 격납하는 복수의 페일 메모리와, 복수의 피시험 메모리의 각각에 대응하여 설치되고, 복수의 페일 메모리가 격납하고 있는 페일 데이터에 기초하여, 피시험 메모리에 고유한 포맷의 불량 정보를 생성하는 복수의 메모리 제어기와, 복수의 피시험 메모리의 각각에 대응하여 설치되고, 복수의 메모리 제어기가 생성한 불량 정보를 격납하는 복수의 유니버설 버퍼 메모리와, 복수의 피시험 메모리의 각각에 대응하여 설치되고, 복수의 유니버설 버퍼 메모리에 격납된 불량 정보를 복수의 피시험 메모리에 기입하는 복수의 불량 정보 기입부를 포함한다.

<28> 본 발명의 제3의 형태에 의하면, 복수의 피시험 메모리를 병행하여 시험하는 시험 방법에 있어서, 복수의 피시험 메모리에 공급하는 어드레스 신호 및 데이터 신호, 그리고 피시험 메모리가 어드레스 신호 및 데이터 신호에 따라 출력해야 하는 기대값 신호를 발생하는 단계와, 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 논리 비교기에 의해, 복수의 피시험 메모리가 어드레스 신호 및 데이터 신호에 따라 출력한 출력 신호와 기대값 신호를 비교하여, 출력 신호와 기대값 신호가 일치하지 않는 경우에 페일 데이터를 발생하는 단계와, 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 페일 메모리에, 페일 데이터를 어드레스 신호가 나타내는 어드레스에 대응하여 격납하는 단계와, 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 메모리 제어기에 의해, 복수의 페일 메모리가 격납하고 있는 페일 데이터에 기초하여, 피시험 메모리의 불량 어드레스를 나타내는 불량 어드레스 정보를 생성하는 단계와, 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 유니버설 버퍼 메모리에, 복수의 메모리 제어기가 생성한 불량 어드레스 정보를 격납하는 단계와, 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 불량 정보 기입부에 의해, 복수의 피시험 메모리의, 복수의 유니버설 버퍼 메모리에 격납된 불량 어드레스 정보가 나타내는 불량 어드레스에, 제1 불량 정보를 병행하여 기입하는 단계를 포함한다.

<29> 본 발명의 제4의 형태에 의하면, 복수의 피시험 메모리를 병행하여 시험하는 시험 방법에 있어서, 복수의 피시험 메모리에 공급하는 어드레스 신호 및 데이터 신호, 그리고 피시험 메모리가 어드레스 신호 및 데이터 신호에 따라 출력해야 하는 기대값 신호를 발생하는 단계와, 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 논리 비교기에 의해, 복수의 피시험 메모리가 어드레스 신호 및 데이터 신호에 따라 출력한 출력 신호와 기대값 신호를 비교하여, 출력 신호와 기대값 신호가 일치하지 않는 경우에 페일 데이터를 발생하는 단계와, 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 페일 메모리에 의해, 복수의 논리 비교기가 발생한 페일 데이터를 어드레스 신호가 나타내는 어드레스에 대응하여 격납하는 단계와, 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 메모리 제어기에 의해, 복수의 페일 메모리가 격납하고 있는 페일 데이터에 기초하여, 피시험 메모리에 고유한 포맷의 불량 정보를 생성하는 단계와, 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 유니버설 버퍼 메모리에 의해, 복수의 메모리 제어기가 생성한 불량 정보를 격납하는 단계와, 복수의 피시험 메모리의 각각에 대응하여 설치된 복수의 불량 정보 기입부에 의해, 복수의 유니버설 버퍼 메모리에 격납된 불량 정보를 복수의 피시험 메모리에 기입하는 단계를 포함한다.

<30> 또한 상기의 발명의 개요는, 본 발명의 필요한 특징의 전체를 열거한 것은 아니며, 이러한 특징군의 서브 콤비네이션도 또한 발명이 될 수 있다.

<31> [발명의 효과]

<32> 본 발명에 의한 시험 장치 및 시험 방법에 의하면, 다수의 피시험 메모리를 동시에 시험하는 경우에 있어서도 시험의 처리량을 향상시킬 수 있다.

실시예

<86> 이하, 발명의 실시 형태를 통하여 본 발명을 설명하지만, 이하의 실시 형태는 특허청구범위에 의한 발명을 한정하는 것은 아니며, 또 실시 형태 중에서 설명되고 있는 특징의 조합의 전부가 발명의 해결 수단에 필수적인 것으로 한정되지는 않는다.

<87> 도 1은, 본 발명의 일 실시 형태에 의한 시험 장치 100의 구성의 일례를 도시한다. 시험 장치 100은, 패턴 발생기 102, 메인 파형 정형기 104, 복수의 개별 테스트 유닛 106, 인터페이스 108, CPU 110, 및 테스터 버스 112를 포함한다. 복수의 개별 테스트 유닛 106의 각각은, 메모리 제어기 120, 익스터널 버스 121, 유니버설 버퍼 메모리 122, 인터널 버스 123, 블록 페일 메모리 124, 배드 블록 카운터 126, 페일 정보 메모리 128, 페일 정보 메모리 130, 서브 파형 정형기 132, 논리 비교기 134, 멀티플렉서 136, 드라이버 138, 및 레벨 비교기 140을 포함하고, 복수의 DUT 150의 각각에 대응하여 설치된다. DUT 150은, 예를 들면 NAND형 플래시 메모리이다.

- <88> 시험 장치 100은, 복수의 개별 테스트 유닛 106의 각각에 의해서, 복수의 DUT 150의 각각을 병행하여 시험하고, 복수의 DUT 150의 각각의 시험 결과에 기초한 불량 정보를 복수의 DUT 150의 각각에 병행하여 기입한다. 구체적으로는, DUT 150인 NAND형 플래시 메모리가 포함하는 블록 영역마다 불량 셀이 존재하는지 아닌지를 시험하고, 불량 셀이 존재하는 블록 영역을 나타내는 불량 어드레스 정보를 작성하며, 당해 불량 어드레스 정보가 나타내는 블록 영역이 포함하는 확장 구역에 불량 정보를 기입하고, 또한 불량 어드레스 정보를 DUT 150이 포함하는 특수 구역에 기입한다. 시험 장치 100에 있어서는, 복수의 DUT 150에 대응하여 설치된 메모리 제어기 120이, 복수의 DUT 150 마다의 불량 어드레스 정보를 병행하여 작성함으로써, 불량 정보 또는 불량 어드레스 정보의 생성에 필요한 시간을 저감할 수 있으므로, 시험의 처리량을 향상시킬 수 있다. 이하, 시험 장치 100이 포함하는 각 구성 요소의 동작에 대해 설명한다.
- <89> 테스트 버스 112는, 패턴 발생기 102, 인터페이스 108, 및 CPU 110을 접속하여 통신을 중계한다. CPU 110은, 테스트 버스 112를 거쳐 패턴 발생기 102 및 인터페이스 108을 제어하고, 또한 패턴 발생기 102 및 인터페이스 108로부터의 요구에 기초하여 각종 처리를 행한다. 인터페이스 108은, 메모리 제어기 120과 테스트 버스 112를 접속하고, 메모리 제어기 120과 CPU 110과의 사이의 통신을 제어한다.
- <90> 패턴 발생기 102는, 복수의 DUT 150에 공급하는 어드레스 신호 및 데이터 신호를 발생하고, 메인 파형 정형기 104에 공급한다. 또한, 패턴 발생기 102는, 발생한 어드레스 신호를 복수의 블록 페일 메모리 124에 공급한다. 또한, 패턴 발생기 102는, DUT 150이 어드레스 신호 및 데이터 신호에 따라 출력해야 하는 기대값 신호를 발생하고, 논리 비교기 134에 공급한다. 또한, 패턴 발생기 102는, 제어 신호(이하, 「FCM 신호」라 한다.)를 공급함으로써, 복수의 유니버설 버퍼 메모리 122, 복수의 서브 파형 정형기 132, 및 복수의 멀티플렉서 136의 동작을 제어한다. 또한, 패턴 발생기 102는, DUT 150에 대하여 불량 정보를 기입하는 경우에, DUT 150의 페이지 영역을 나타내는 페이지 어드레스 신호를 발생하여, 불량 정보와 함께 복수의 서브 파형 정형기 132에 공급한다. 메인 파형 정형기 104는, 패턴 발생기 102가 발생한 어드레스 신호 및 데이터 신호를 DUT 150의 시험에 필요한 포맷의 파형으로 정형하고, 복수의 개별 테스트 유닛 106이 각각 포함하는 멀티플렉서 136에 공급한다.
- <91> 멀티플렉서 136은, 패턴 발생기 102로부터 공급된 FCM 신호에 기초하여, 메인 파형 정형기 104로부터 공급된 어드레스 신호 및 데이터 신호를 선택한다. 그리고, 드라이버 138은, 멀티플렉서 136이 선택한 어드레스 신호 및 데이터 신호를 DUT 150에 인가한다.
- <92> 레벨 비교기 140은, DUT 150이 어드레스 신호 및 데이터 신호에 따라 출력한 출력 신호를 미리 정해진 역치 전압과 비교함으로써, 2가의 출력 신호로 변환하고, 논리 비교기 134에 공급한다. 논리 비교기 134는, 레벨 비교기 140으로부터 공급된 출력 신호와, 패턴 발생기 102로부터 공급된 기대값 신호를 비교하여, 출력 신호와 기대값 신호가 일치하지 않는 경우에 페일 데이터를 발생하고, 블록 페일 메모리 124에 공급한다. 블록 페일 메모리 124는, 논리 비교기 134가 발생한 페일 데이터를, 패턴 발생기 102로부터 공급된 어드레스 신호가 나타내는 어드레스에 대응하여 격납한다. 본 실시 형태에 있어서, 패턴 발생기 102는, DUT 150의 블록 영역의 어드레스인 블록 어드레스를 나타내는 어드레스 신호를 발생하고, 블록 페일 메모리 124는, DUT 150이 포함하는 블록 영역마다 페일 데이터를 격납한다. 또한, 배드 블록 카운터 126은, 논리 비교기 134가 발생한 페일 데이터를 계수함으로써, DUT 150이 포함하는 불량량의 블록 영역의 수를 계수한다. 배드 블록 카운터 126에 의해서 계수된 페일 데이터 수는, 예를 들면 소프트웨어에 의한 DUT 150의 불량 해석이나 양부 판정 등에 이용된다.
- <93> 익스터널 버스 121은, 유니버설 버퍼 메모리 122와 메모리 제어기 120을 접속하여 통신을 중계한다. 또한, 인터널 버스 123은, 블록 페일 메모리 124, 배드 블록 카운터 126, 페일 정보 메모리 128, 및 페일 정보 메모리 130과, 메모리 제어기 120을 접속하여 통신을 중계한다.
- <94> 메모리 제어기 120은, 인터널 버스 123을 거쳐 블록 페일 메모리 124를 참조하고, 블록 페일 메모리 124가 격납하고 있는 페일 데이터를 독출하며, 독출한 페일 데이터에 기초하여, DUT 150이 포함하는 불량량의 블록 영역의 블록 어드레스를 나타내는 불량 어드레스 정보를 생성한다. 그리고, 메모리 제어기 120은, 익스터널 버스 121을 거쳐 유니버설 버퍼 메모리 122에 불량 어드레스 정보를 공급한다. 메모리 제어기 120은, DUT 150에 고유한 포맷의 불량 어드레스 정보를 생성하고, 유니버설 버퍼 메모리 122에 공급한다. 또한, 메모리 제어기 120은, DUT 150에 고유한 포맷의 불량 어드레스 정보를 생성할 수 있도록, DUT 150의 종류에 따라 로드되는 프로그램에 기초하여 동작한다.
- <95> 유니버설 버퍼 메모리 122는, 메모리 제어기 120이 생성한 불량 어드레스 정보를 격납한다. 그리고 유니버설 버퍼 메모리 122는, 블록 어드레스를 나타내는 불량 어드레스 정보를 순차적으로 서브 파형 정형기 132에 공급한다. 서브 파형 정형기 132는, 패턴 발생기 102로부터 공급된 FCM 신호에 기초하여, 유니버설 버퍼 메모리

122로부터 공급된 불량 어드레스 정보가 나타내는 블록 어드레스와, 패턴 발생기 102로부터 공급된 페이지 어드레스 신호가 나타내는 페이지 어드레스 및 불량 정보에 기초하여, DUT 150에 고유한 포맷의 어드레스 신호 및 데이터 신호를 생성한다. 멀티플렉서 136은, 패턴 발생기 102로부터 공급된 FCM 신호에 기초하여, 서브 파형 정형기 132로부터 공급된 어드레스 신호 및 데이터 신호를 선택한다. 그리고, 드라이버 138은, 멀티플렉서 136이 선택한 어드레스 신호 및 데이터 신호를 DUT 150에 인가함으로써, 유니버설 버퍼 메모리 122가 격납하는 불량 어드레스 정보가 나타내는 블록 영역이 포함하는, 패턴 발생기 102로부터 공급된 페이지 어드레스 신호가 나타내는 페이지 영역의 확장 구역에 불량 정보를 기입한다. 서브 파형 정형기 132 및 드라이버 138은, 본 발명의 불량 정보 기입부의 일례이고, DUT 150의 종류에 따른 포맷의 기입 방법으로, DUT 150의 확장 구역에 불량 정보를 기입한다.

<96> 또한, 메모리 제어기 120은, 인터널 버스 123을 거쳐 블록 페일 메모리 124가 격납하고 있는 페일 데이터를 독출하고, 독출한 페일 데이터에 기초하여, DUT 150에 고유한 포맷의 불량 정보를 생성한다. 불량 정보는, DUT 150이포함하는 불량 블록 영역의 블록 어드레스를 나타내는 불량 어드레스 정보를 복수 포함하는 정보이다. 그리고, 메모리 제어기 120은, 익스터널 버스 121을 거쳐 유니버설 버퍼 메모리 122에 불량 정보를 공급한다. 또한, 메모리 제어기 120은, 인터널 버스 123을 거쳐 페일 정보 메모리 130에 불량 정보를 공급한다. 또한, 메모리 제어기 120은, DUT 150에 고유한 포맷의 불량 정보를 생성할 수 있도록, DUT 150의 종류에 따라 로드되는 프로그램에 기초하여 동작한다.

<97> 유니버설 버퍼 메모리 122는, 메모리 제어기 120이 생성한 불량 정보를 격납한다. 그리고, 유니버설 버퍼 메모리 122는, 불량 정보를 순차적으로 서브 파형 정형기 132에 공급한다. 서브 파형 정형기 132는, 패턴 발생기 102로부터 공급된 FCM 신호에 기초하여, 유니버설 버퍼 메모리 122로부터 공급된 불량 정보와, 패턴 발생기 102로부터 공급된 특수 구역의 어드레스를 나타내는 어드레스 신호에 기초하여, DUT 150에 고유한 포맷의 어드레스 신호 및 데이터 신호를 생성한다. 멀티플렉서 136은, 패턴 발생기 102로부터 공급된 FCM 신호에 기초하여, 서브 파형 정형기 132로부터 공급된 어드레스 신호 및 데이터 신호를 선택한다. 그리고, 드라이버 138은, 멀티플렉서 136이 선택한 어드레스 신호 및 데이터 신호를 DUT 150에 인가함으로써, 유니버설 버퍼 메모리 122가 격납하는 불량 정보를, 패턴 발생기 102로부터 공급된 어드레스 신호가 나타내는 DUT 150의 특수 구역에 기입한다. 서브 파형 정형기 132 및 드라이버 138은, 본 발명의 불량 정보 기입부의 일례이고, DUT 150의 종류에 따른 포맷의 기입 방법으로, DUT 150의 특수 구역에 불량 정보를 기입한다.

<98> 페일 정보 메모리 128은, 레벨 비교기 140에 의해서 DUT 150의 특수 구역으로부터 독출된 불량 정보를 격납한다. 또한, 페일 정보 메모리 130은, 인터널 버스 123을 거쳐, 메모리 제어기 120이 생성한 불량 정보를 격납한다. 그리고, CPU 110에 있어서 동작하는 소프트웨어에 의해서, 페일 정보 메모리 128이 격납하고 있는 불량 정보와 페일 정보 메모리 130이 격납하고 있는 불량 정보를 비교함으로써, DUT 150의 양부를 판정한다. CPU 110에 있어서 동작하는 소프트웨어는, 본 발명의 양부 판정부의 일례이다.

<99> 본 실시 형태에 의한 시험 장치 100에 의하면, 복수의 DUT 150의 각각에 대응하여 메모리 제어기 120이 각각 설치되고, 복수의 DUT 150 마다의 불량 어드레스 정보 또는 불량 정보를 병행하여 생성함으로써, 불량 어드레스 정보 또는 불량 정보의 생성을 위한 대기 시간이 발생하지 않는다. 그 때문에, 시험 종료로부터 DUT 150에 대한 불량 어드레스 정보 또는 불량 정보의 기입 개시까지의 시간을 저감할 수 있다. 이것에 의해, 복수의 DUT 150의 병렬 시험에 있어서의 시험 시간을 저감하고, 시험의 처리량을 향상시킬 수 있다. 또한, 메모리 제어기 120이 DUT 150의 종류에 따라 구성 가능한 것에 의해서, 시험 장치 100의 벤더(vendor)에 의해 DUT 150의 종류에 따른 불량 어드레스 정보 및 불량 정보를 생성시키도록 구성할 수 있다.

<100> 도 2는, 본 실시 형태에 의한 시험 장치 100에 있어서의 데이터 전송 처리의 개요를 도시한다. 복수의 개별 테스트 유닛 106이 각각 포함하는 복수의 메모리 제어기 120의 각각은, 테스트 버스 112 및 인터페이스 108을 거치는 CPU 110으로부터의 명령에 따라, 병렬하여 유니버설 버퍼 메모리 122, 블록 페일 메모리 124, 또는 페일 정보 메모리 130의 데이터 전송을 행한다. 또한, 복수의 메모리 제어기 120은, 미리 로드되어 있는 프로그램에 따라, 유니버설 버퍼 메모리 122가 격납하는 페일 데이터에 기초하여, 불량 어드레스 정보 또는 불량 정보를 병렬하여 생성한다.

<101> 복수의 메모리 제어기 120은, 마이크로 프로그램 방식이 채용되고, 일련의 데이터 처리에 유연하게 대응할 수 있는 구조로 되어 있다. 또한, 복수의 메모리 제어기 120의 각각은, 익스터널 버스 121에 의해, 대응하여 설치된 유니버설 버퍼 메모리 122에 각각 접속되고, 인터널 버스 123에 의해, 대응하여 설치된 블록 페일 메모리 124 및 페일 정보 메모리 130에 각각 접속되는 버스 구조를 취하고 있다.

- <102> 이와 같이, 복수의 메모리 제어기 120의 각각이, 유니버설 버퍼 메모리 122, 또는 블록 페일 메모리 124 및 페일 정보 메모리 130과 각각 다른 버스에 의해 접속되고, 병렬하여 데이터 전송을 행할 수 있으므로, 유니버설 버퍼 메모리 122와 메모리 제어기 120과의 사이의 데이터 전송, 및 메모리 제어기 120과 블록 페일 메모리 124 또는 페일 정보 메모리 130과의 사이의 데이터 전송을 고속으로 처리할 수 있다.
- <103> 도 3은, 본 실시 형태에 의한 메모리 제어기 120의 기능 구성의 일례를 도시한다. 메모리 제어기 120은, 데이터 독출부 300, 페일 판단부 302, 블록 어드레스 취득부 304, 불량 어드레스 정보 생성부 306, 및 어드레스 포인터 제어부 308을 포함한다.
- <104> 데이터 독출부 300은, 메모리 제어기 120으로부터 블록 페일 메모리 124에 대하여 소정의 어드레스가 공급됨으로써, 블록 페일 메모리 124의 소정의 어드레스에 격납되어 있는 데이터를 독출한다. 블록 페일 메모리 124는, DUT 150의 블록 영역마다 1비트의 데이터를 격납하고 있다. 구체적으로는, 블록 영역이 불량인 경우에는, 당해 블록 영역에 대응하여 논리값 1의 페일 데이터를 격납하고, 블록 영역이 불량인 아닌 경우에는, 당해 블록 영역에 대응하여 논리값 0의 데이터를 격납하고 있다. 그리고, 데이터 독출부 300은, 블록 페일 메모리 124는 소정의 어드레스에 격납되어 있는 복수 비트의 데이터, 즉 복수의 블록 영역에 대한 데이터를 한 번에 독출한다. 그리고, 페일 판단부 302는, 데이터 독출부 300이 독출한 복수 비트의 데이터에, 논리값 1의 페일 데이터가 포함되어 있는지 아닌지를 판단한다.
- <105> 블록 어드레스 취득부 304는, 블록 페일 메모리 124로부터 독출된 복수 비트의 데이터에 대응하는 블록 영역의 블록 어드레스를 취득한다. 그리고, 불량 어드레스 정보 생성부 306은, 데이터 독출부 300이 독출한 데이터에 페일 데이터가 포함되어 있는 것으로 페일 판단부 302가 판단한 경우에, 블록 어드레스 취득부 304가 취득한 블록 어드레스 중 페일 데이터에 대응하는 블록 영역의 블록 어드레스에 기초하여, 불량 어드레스 정보를 생성한다. 그리고, 불량 어드레스 정보 생성부 306은, 생성한 불량 어드레스 정보를 유니버설 버퍼 메모리 122에 공급하여 격납시킨다.
- <106> 또한, 불량 어드레스 정보 생성부 306은, 복수의 블록 어드레스에 기초하여 생성한 복수의 불량 어드레스 정보를 포함하는 불량 정보를 생성한다. 그리고, 불량 어드레스 정보 생성부 306은, 생성한 불량 정보를 유니버설 버퍼 메모리 122 및 페일 정보 메모리 130에 공급한다. 또한, 어드레스 포인터 제어부 308은, 어드레스 포인터를 인크리먼트(increment)하면서, 유니버설 버퍼 메모리 122, 블록 페일 메모리 124, 또는 페일 정보 메모리 130에 어드레스를 공급한다.
- <107> 본 실시 형태에 의한 시험 장치 100에 의하면, 이상과 같은 기능을 포함하는 메모리 제어기 120을 복수의 DUT 150에 대응하여 포함하고 있으므로, DUT 150에 대한 불량 어드레스 정보 및 불량 정보를 병렬하여 생성할 수 있다. 그 때문에, 불량 어드레스 정보 및 불량 정보를 작성하기 위한 대기 시간이 발생하지 않으므로, 시험의 처리량을 향상시킬 수 있다.
- <108> 도 4(a)는, 본 실시 형태에 의한 시험 장치 100이 DUT 150에 공급하는 어드레스 신호의 구성의 일례를 도시한다. 도 4(b)는, 본 실시 형태에 의한 서브 파형 정형기 132의 입출력 신호의 데이터 구성을 도시한다.
- <109> 예를 들면, DUT 150에 데이터를 기입하는 경우에는, 도 4(a)에 도시한 바와 같이, 제1 사이클 및 제2 사이클의 데이터에 컬럼 어드레스(column address), 제3 사이클, 제4 사이클, 및 제5 사이클의 데이터에 로우 어드레스(low address)가 보유된 어드레스 신호에 의한 액세스가 필요하게 된다. 그리고, 페이지 어드레스를 나타내는 6비트의 데이터(A12, A13, A14, A15, A16, A17)가 제3 사이클의 데이터에 포함되고, 블록 어드레스를 나타내는 11비트의 데이터(A18, A19, A20, A21, A22, A23, A24, A25, A26, A27, A28)가 제3 사이클, 제4 사이클, 제5 사이클의 데이터에 포함된다. 그 때문에, 서브 파형 정형기 132는, 패턴 발생기 102로부터 공급되는 페이지 어드레스와, 유니버설 버퍼 메모리 122로부터 공급되는 불량 어드레스 정보가 나타내는 블록 어드레스를 조합시킴으로써, 도 4(a)에 도시한 바와 같은 DUT 150에 고유한 어드레스 신호를 생성한다.
- <110> 도 4(b)에 도시한 바와 같이, 패턴 발생기 102는, 패턴 발생기 102로부터 공급된 페이지 어드레스를 나타내는 어드레스 신호와, 유니버설 버퍼 메모리 122로부터 공급된 블록 어드레스를 나타내는 불량 어드레스 신호 중 어느 것을 선택하는지를 나타내는 FCM 신호를 출력하고, 서브 파형 정형기 132에 공급한다. 또한, 패턴 발생기 102는, 명령 데이터(CMD), A0~A7을 포함하는 데이터(1), A8~A11을 포함하는 데이터(2), 및 A12~A17을 포함하는 데이터(3)을 출력하고, 서브 파형 정형기 132에 공급한다. 또한, 유니버설 버퍼 메모리 122는, 어드레스 포인터(AP1, AP2, AP3)의 각각에 의해서 지정된, A18 내지 A19를 포함하는 데이터(4), A20~A27을 포함하는 데이터(5), A28을 포함하는 데이터(6)을 출력하고, 서브 파형 정형기 132에 공급한다.

- <111> 서버 파형 정형기 132는, 패턴 발생기 102로부터 공급된 FCM 신호에 기초하여, 패턴 발생기 102로부터 공급된 데이터(1), (2), 및 (3), 그리고 유니버설 버퍼 메모리 122로부터 공급된 데이터(4), (5), 및 (6)에 기초하여, 도 4(a)에 도시한 구성의 어드레스 신호를 생성한다. 즉, 서버 파형 정형기 132는, 패턴 발생기 102로부터 공급된 명령 데이터, 데이터(1), 데이터(2)의 각각을 제1 사이클, 제2 사이클, 제3 사이클의 데이터로 하고, 패턴 발생기 102로부터 공급된 데이터(3)에 포함되는 A12 내지 A17 및 유니버설 버퍼 메모리 122로부터 공급된 데이터(4)에 포함되는 A18 내지 A19를 포함하는 데이터를 제4 사이클의 데이터로 하며, 유니버설 버퍼 메모리 122로부터 공급된 데이터(5), 데이터(6)의 각각을 제5 사이클, 제6 사이클의 데이터로서, 라이트 이네이블(write enable) 신호와 함께 DUT 150에 공급한다.
- <112> 이상과 같이 블록 어드레스에 해당하는 어드레스 데이터를 유니버설 버퍼 메모리 122로부터 취득하고, 페이지 어드레스에 해당하는 어드레스 데이터를 패턴 발생기 102로부터 취득하여, 이것들을 합성하여 DUT 150에 공급하는 어드레스 신호를 생성한다. 이것에 의해, 복수의 DUT 150의 각각에 대응하여 설치된 복수의 서버 파형 정형기 132는, 패턴 발생기 102로부터 공급되는 공통의 페이지 어드레스와, DUT 150마다 다른 블록 어드레스를 실시간으로 전환함으로써, 복수의 DUT 150에 대하여 다른 블록 영역의 공통의 페이지 영역에 불량 정보를 병행하여 기입할 수 있다. 또한, 유니버설 버퍼 메모리 122는, 페이지 어드레스를 격납할 필요가 없고, DUT 150 마다의 블록 어드레스만을 격납하면 되기 때문에, 기억 용량을 대폭 절약할 수 있다.
- <113> 도 5는, 본 실시 형태에 의한 시험 장치 100에 의한 시험 방법의 흐름의 일례를 도시한다. 도 5에 있어서는, 특히, 리드 베리파이(read verifying) 시험의 시험 결과를 DUT 150의 확장 구역에 기입할 때의 흐름을 설명한다.
- <114> 본 시험을 개시하면(S500), 우선, 패턴 발생기 102는, DUT 150에 패턴을 인가하여 DUT 150의 환경 설정을 행한다(S502). 또한, 유니버설 버퍼 메모리 122 및 블록 페일 메모리 124가 격납하는 데이터를 클리어한다(S504). 그리고, 논리 비교기 134가, 패턴 발생기 102가 발생한 어드레스 신호 및 데이터 신호에 대응하여 DUT 150이 출력한 출력 데이터를 패턴 발생기 102가 발생한 기대값 신호와 비교함으로써, 리드 베리파이 시험을 행한다(S506). 그리고, 논리 비교기 134는, 리드 베리파이 시험에 있어서, 출력 신호와 기대값 신호가 일치하는 경우에는 S512로 진행하고(S508-N), 한편, 출력 신호와 기대값 신호가 일치하지 않는 경우에는 페일 데이터를 출력하여 블록 페일 메모리 124에 공급한다(S508-Y). 블록 페일 메모리 124는, 논리 비교기 134로부터 페일 데이터가 출력되면, 시험 대상인 블록 영역마다 페일 데이터를 실시간으로 기입한다(S510). 그리고, DUT 150의 전체의 블록 영역에 대한 시험이 종료한 경우(S512-Y)에는 S514로 진행한다. 한편, DUT 150의 전체의 블록 영역에 대한 시험이 종료하지 않는 경우(S512-N)에는 S506으로 되돌아가고, DUT 150의 전체의 블록 영역에 대한 시험이 종료할 때까지 S506부터 S512까지의 처리를 반복하여 행한다.
- <115> 다음으로, 복수의 메모리 제어기 120의 각각이 병렬 처리에 의해서, 복수의 DUT 150마다 블록 페일 메모리 124로부터 유니버설 버퍼 메모리 122로의 데이터 전송을 행한다(S514). 구체적으로는, 메모리 제어기 120은, 블록 페일 메모리 124에 격납된 페일 데이터에 대응하는 블록 영역의 블록 어드레스를 나타내는 불량 어드레스 정보를 생성하고, 유니버설 버퍼 메모리 122에 공급한다.
- <116> 다음으로, 유니버설 버퍼 메모리 122용의 어드레스 포인터를 초기화한 후(S516), 유니버설 버퍼 메모리 122가 격납하는 불량 어드레스 정보를 독출하면서, 독출한 불량 어드레스 정보가 나타내는 블록 영역의 확장 구역 또는 특수 구역에 불량 정보를 기입하고(S518), 어드레스 포인터 제어부 308은, 유니버설 버퍼 메모리 122용의 어드레스 포인터를 인크리먼트한다(S520). 그리고, 어드레스 포인터가 미리 정해진 최대값보다 큰 경우(S522-Y)에는 본 시험을 종료하고, 다음 시험으로 이동한다(S524). 한편, 어드레스 포인터가 미리 정해진 최대값 이하인 경우(S522-N)에는 S518로 되돌아가고, 어드레스 포인터가 미리 정해진 최대값보다 커질 때까지 S518부터 S522까지의 처리를 반복하여 행한다.
- <117> 도 6은, 본 실시 형태에 의한 시험 장치 100에 의한 시험 방법의 흐름의 일례를 도시한다. 도 6에 있어서는, 특히 특수 구역에 불량 정보가 적절하게 기입되어 있는지 아닌지를 시험하는 시험 항목의 흐름을 설명한다.
- <118> 본 시험 항목을 개시하면(S600), 우선, 패턴 발생기 102는, DUT 150에 패턴을 인가하여 DUT 150의 환경 설정을 행한다(S602). 그리고, 전(前) 회의 시험에 있어서 메모리 제어기 120에 의해서 DUT 150의 특수 구역에 기입된 불량 정보를 독출하고, 페일 정보 메모리 128에 격납한다(S606). 그리고, 전 회의 시험에 있어서 메모리 제어기 120에 의해서 DUT 150의 특수 구역에 기입된 불량 정보와 동일한 불량 정보가 기입된 페일 정보 메모리 130이 격납하는 불량 정보와, DUT 150으로부터 독출된 불량 정보를 격납하는 페일 정보 메모리 128이 격납하는 불량 정보를 비교하고, 비교 결과를 상태 레지스터에 설정한다(S608). S608에 있어서, 복수의 DUT 150의 각각에

대응하여 설치된 복수의 메모리 제어기 120은, DUT 150마다 병렬 처리를 행한다.

<119> 다음으로, 상태 레지스터에 설정된 비교 결과를 독출하고(S610), 2개의 불량 정보가 일치하는지 아닌지, 즉 비교 결과가 패일인지 아닌지를 판정한다(S612). 그리고, 비교 결과가 패일인 경우(S612-Y)에는, 시험 대상의 DUT 150은 불량인 것으로 판단하여 불합격 시킨다(S614). 한편, 비교 결과가 패일이 아닌 경우(S612-N)에는, 다음 시험 항목으로 이동한다(S616).

<120> 본 실시 형태에 의한 시험 장치 100에 의하면, 블록 패일 메모리 124와 유니버설 버퍼 메모리 122와의 사이, 및 유니버설 버퍼 메모리 122와 패일 정보 메모리 130과의 사이에서 데이터 전송 및 데이터 변환을 행하는 메모리 제어기 120이, 복수의 DUT 150마다 대응하여 설치되기 때문에, 데이터 전송 및 데이터 변환에 있어서의 처리 시간을 대폭 저감할 수 있다. 그 결과, 다수의 DUT 150을 동시에 시험하는 경우에, 시험의 처리량을 향상시킬 수 있고, 나아가서는 제조 수율을 향상시키며, 메모리 단가를 저감할 수 있다.

<121> 이상, 실시 형태를 이용하여 본 발명을 설명하였으나, 본 발명의 기술적 범위는 상기 실시 형태에 기재된 범위로 한정되지는 않는다. 상기 실시 형태에, 다양한 변경 또는 개량을 가할 수 있다. 그와 같은 변경 또는 개량을 가한 형태도 본 발명의 기술적 범위에 포함될 수 있다는 것이, 특허청구범위의 기재로부터 명백하다.

산업상 이용 가능성

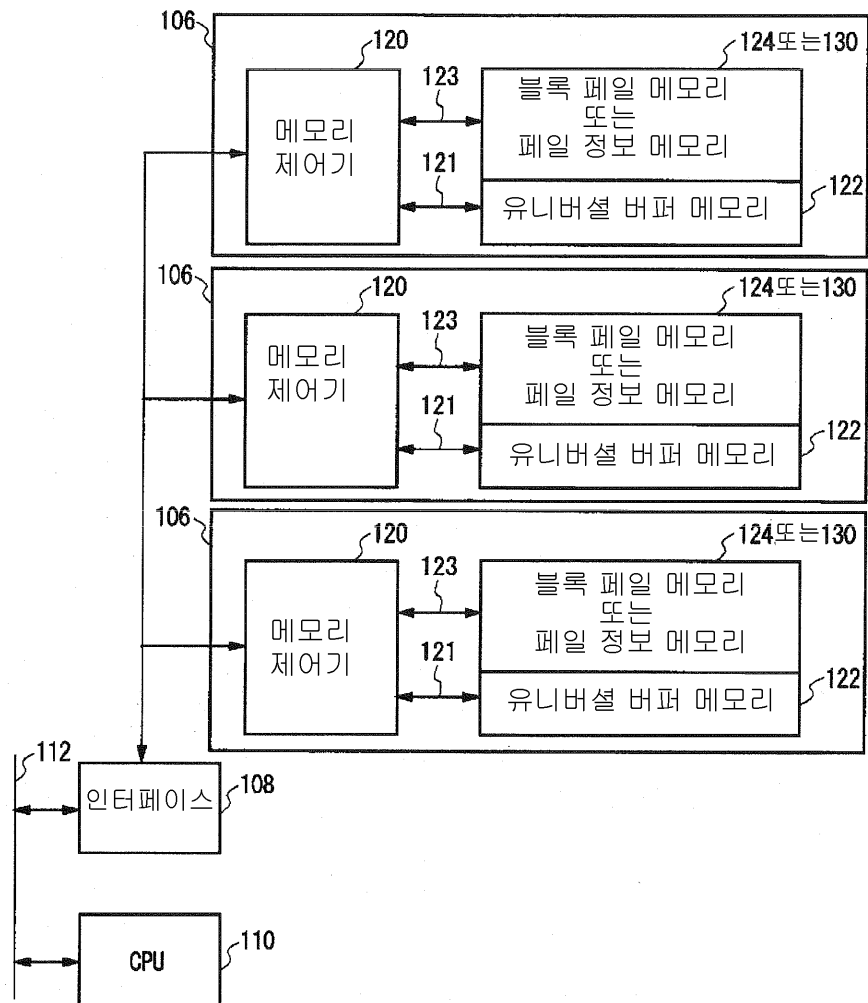
<122> 상기 설명으로부터 명백한 바와 같이, 본 발명에 의하면, 다수의 피시험 메모리를 동시에 시험하는 경우에 있어서도 시험의 처리량을 향상시킬 수 있다.

도면의 간단한 설명

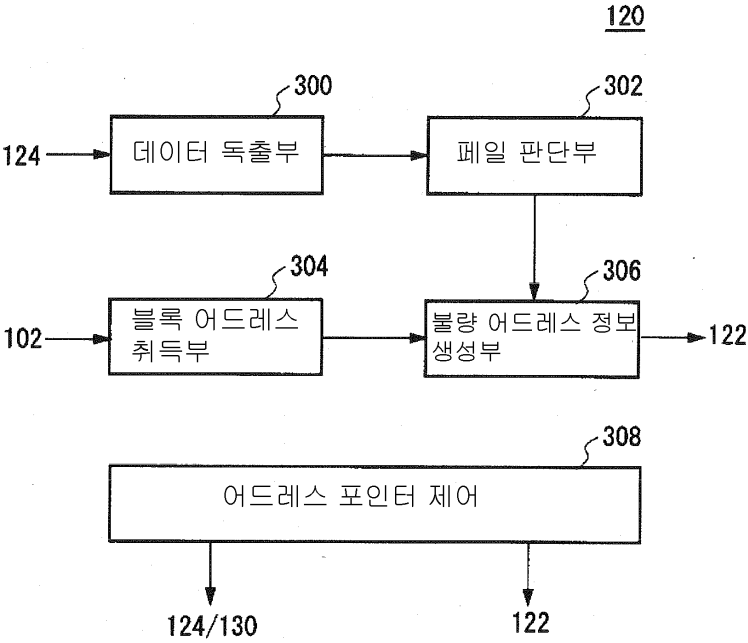
- <33> 도 1은, 시험 장치 100의 구성의 일례를 도시하는 도면이다.
- <34> 도 2는, 시험 장치 100의 데이터 전송 처리의 개요를 도시하는 도면이다.
- <35> 도 3은, 메모리 제어기 120의 기능 구성의 일례를 도시하는 도면이다.
- <36> 도 4(a)는, DUT 150에 공급하는 어드레스 신호의 데이터 구성의 일례를 도시하는 도면이고, 도 4(b)는 서브 파형 정형기 132의 입출력 신호의 데이터 구성을 도시하는 도면이다.
- <37> 도 5는, 시험 장치 100에 의한 시험 방법의 흐름의 일례를 도시하는 도면이다.
- <38> 도 6은, 시험 장치 100에 의한 시험 방법의 흐름의 일례를 도시하는 도면이다.
- <39> 도 7은, NAND형 플래쉬 메모리의 구성을 도시하는 도면이다.
- <40> 도 8은, 종래 기술에 의한 시험 장치 800의 구성을 도시하는 도면이다.
- <41> 도 9는, 종래 기술에 의한 시험 장치 800의 데이터 전송 처리의 개요를 도시하는 도면이다.
- <42> [부호의 설명]
- <43> 100 시험 장치
- <44> 102 패턴 발생기
- <45> 104 메인 파형 정형기
- <46> 106 개별 테스트 유닛
- <47> 108 인터페이스
- <48> 110 CPU
- <49> 112 테스트 버스
- <50> 120 메모리 제어기
- <51> 121 익스터널 버스
- <52> 122 유니버설 버퍼 메모리

<53>	123 인터널 버스
<54>	124 블록 페일 메모리
<55>	126 배드 블록 카운터
<56>	128 페일 정보 메모리
<57>	130 페일 정보 메모리
<58>	132 서브 파형 정형기
<59>	134 논리 비교기
<60>	136 멀티플렉서
<61>	138 드라이버
<62>	140 레벨 비교기
<63>	150 DUT
<64>	300 데이터 독출부
<65>	302 페일 판단부
<66>	304 블록 어드레스 취득부
<67>	306 불량 어드레스 정보 생성부
<68>	308 어드레스 포인터 제어부
<69>	800 시험 장치
<70>	802 패턴 발생기
<71>	804 메인 파형 정형기
<72>	806 개별 테스트 유닛
<73>	808 인터페이스
<74>	810 CPU
<75>	812 테스터 버스
<76>	822 유니버설 버퍼 메모리
<77>	823 인터널 버스
<78>	824 블록 페일 메모리
<79>	826 배드 블록 카운터
<80>	832 서브 파형 정형기
<81>	834 논리 비교기
<82>	836 멀티플렉서
<83>	838 드라이버
<84>	840 레벨 비교기
<85>	850 DUT

도면2



도면3

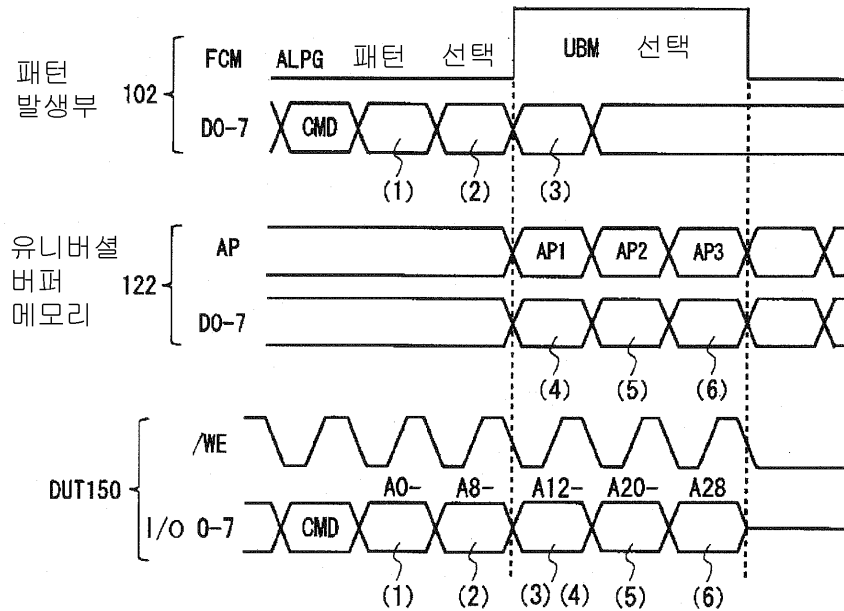


도면4

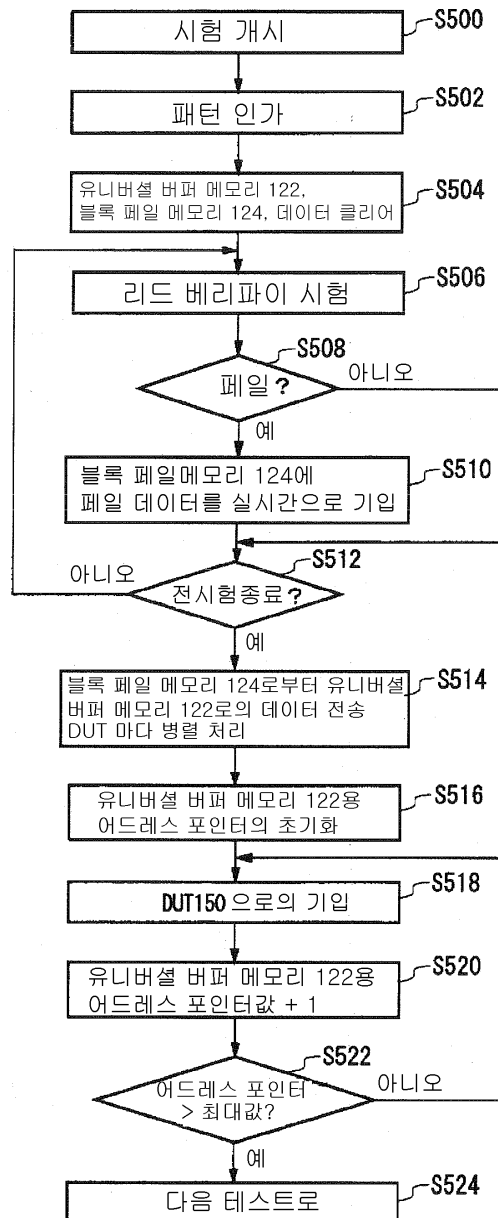
(a)

	I/O 0	I/O 1	I/O 2	I/O 3	I/O 4	I/O 5	I/O 6	I/O 7	
1st사이클	A0	A1	A2	A3	A4	A5	A6	A7	컬럼 어드레스
2st사이클	A8	A9	A10	A11	L	L	L	L	컬럼 어드레스
3st사이클	A12	A13	A14	A15	A16	A17	A18	A19	로우 어드레스
4st사이클	A20	A21	A22	A23	A24	A25	A26	A27	로우 어드레스
5st사이클	A28	L	L	L	L	L	L	L	로우 어드레스

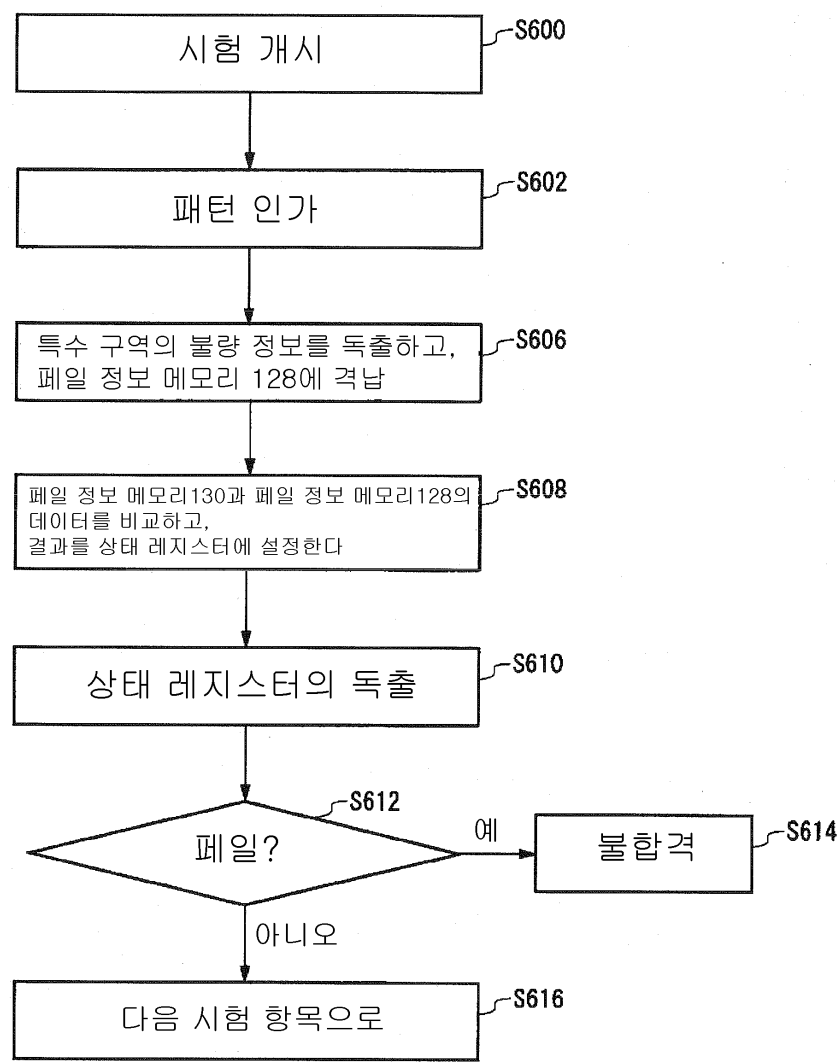
(b)



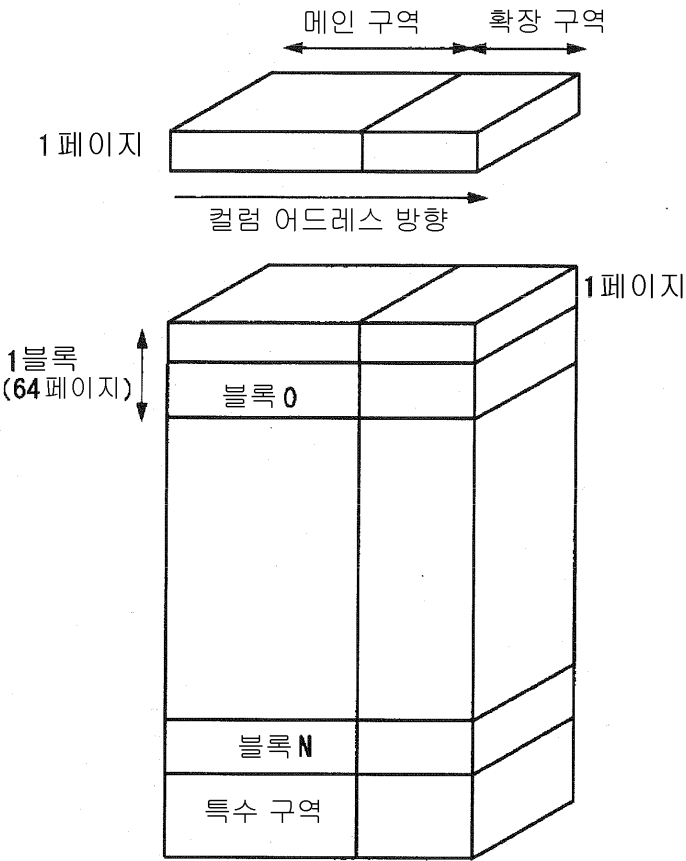
도면5



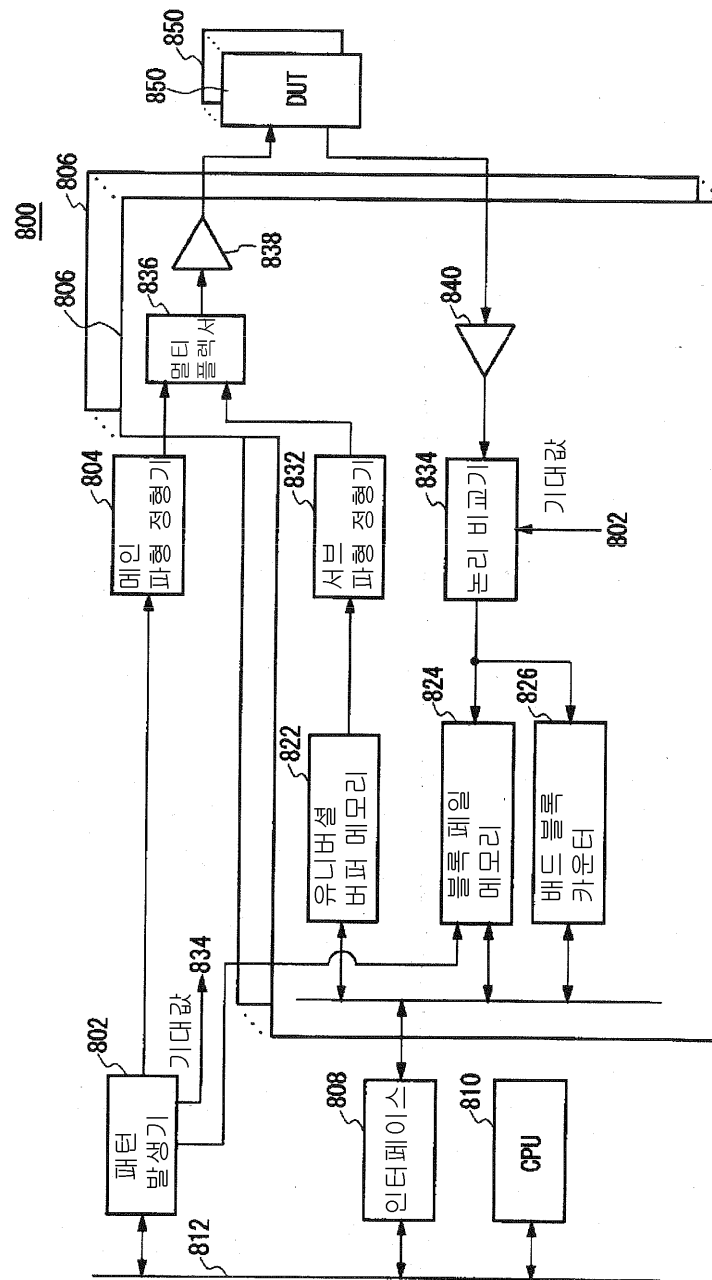
도면6



도면7



도면8



도면9

