

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-520078

(P2007-520078A)

(43) 公表日 平成19年7月19日(2007.7.19)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/788 (2006.01)		
HO 1 L 27/115 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 14 頁)

(21) 出願番号 特願2006-551086 (P2006-551086)  
 (86) (22) 出願日 平成16年12月21日 (2004.12.21)  
 (85) 翻訳文提出日 平成18年7月28日 (2006.7.28)  
 (86) 国際出願番号 PCT/US2004/043197  
 (87) 国際公開番号 W02005/074471  
 (87) 国際公開日 平成17年8月18日 (2005.8.18)  
 (31) 優先権主張番号 10/765,804  
 (32) 優先日 平成16年1月27日 (2004.1.27)  
 (33) 優先権主張国 米国 (US)

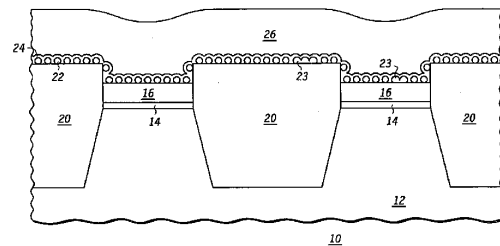
(71) 出願人 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国 78735 テキサス州  
 オースティン ウィリアム キャノン  
 ドライブ ウェスト 6501  
 (74) 代理人 100116322  
 弁理士 桑垣 衛  
 (72) 発明者 インガーソル、ポール エイ.  
 アメリカ合衆国 78739 テキサス州  
 オースティン オールド ハーバー レ  
 ーン 6304

最終頁に続く

(54) 【発明の名称】 改良された表面形状を用いるメモリ構造の形成方法及びその構造。

## (57) 【要約】

半導体装置 10 のゲートカップリング比を増大させるため、超微細結晶等の個別素子 22 が浮遊ゲート 16 上に析出される。一実施形態において、個別素子 22 は、蒸気相中で予め形成され、静電気力によって半導体装置 10 に吸着される。一実施形態において、個別素子 22 は、それらが吸着されるチャンバとは異なるチャンバ内で予め形成される。更に別の実施例において、同じチャンバが全ての析出工程に使用される。界面層 17 は、必要に応じて、浮遊ゲート 16 と個別素子 22 との間に形成される。



## 【特許請求の範囲】

## 【請求項 1】

半導体構造を形成する方法であって、  
半導体基板を提供するステップと、  
前記半導体基板を覆う第一トンネル型誘電体を形成するステップと、  
前記第一トンネル型誘電体を覆う第一浮遊ゲートを形成するステップと、  
前記第一浮遊ゲート上に予め形成された複数の個別素子を析出するステップと、  
予め形成された複数の個別素子を覆う制御誘電体を形成するステップと、  
前記制御誘電体を覆う制御ゲートを形成するステップと  
を備える半導体構造を形成する方法。

10

## 【請求項 2】

請求項 1 記載の方法は、更に、  
前記半導体基板に分離溝を形成するステップと、  
前記分離溝に溝充填材料を充填するステップと、  
前記半導体基板を覆う第二トンネル型誘電体を形成するステップと、  
前記第二トンネル型誘電体を覆う第二浮遊ゲートを形成するステップとを備え、  
前記溝充填材料は、前記第一浮遊ゲートと前記第二浮遊ゲートとの間に設けられる方法

## 【請求項 3】

請求項 2 記載の方法において、  
前記第一浮遊ゲート上に予め形成された複数の個別素子を析出するステップは、更に、  
前記溝充填材料及び前記第二浮遊ゲート上に予め形成された複数の個別素子を析出するステップからなる方法。

20

## 【請求項 4】

請求項 3 記載の方法において、  
前記制御誘電体を形成するステップは、前記第一浮遊ゲート、前記溝充填材料及び前記第二浮遊ゲートを覆う予め形成された複数の個別素子を前記制御誘電体が覆うように行われる方法。

## 【請求項 5】

請求項 1 記載の方法において、  
前記第一浮遊ゲート上に予め形成された複数の個別素子を析出するステップは、  
ガス相での核生成中に、予め形成された複数の個別素子の少なくとも一つを形成するステップと、  
予め形成された複数の個別素子の少なくとも一つを形成した後、前記第一浮遊ゲート上の前記半導体基板の表面に、予め形成された複数の個別素子の少なくとも一つを吸着させるステップとを備える方法。

30

## 【請求項 6】

請求項 5 記載の方法において、  
ガス相での核生成は、第一チャンバ内で行われ、前記吸着は、第二チャンバ内で行なわれる方法。

40

## 【請求項 7】

請求項 6 記載の方法において、  
前記吸着は、静電気力と熱泳動力とからなる群より選択された力を用いて行なわれる方法。

## 【請求項 8】

請求項 1 記載の方法において、  
前記第一浮遊ゲートは、ポリシリコンからなる方法。

## 【請求項 9】

請求項 1 記載の方法において、  
前記第一浮遊ゲートは、金属からなる方法。

50

## 【請求項 10】

請求項 1 記載の方法において、

前記制御誘電体を形成するステップは、予め形成された複数の個別素子を覆う酸化層を形成するステップと、その酸化層を覆う窒化層を形成するステップとを備える方法。

## 【請求項 11】

請求項 1 記載の方法において、

前記制御誘電体を形成するステップは、予め形成された複数の個別素子を覆う高誘電率の誘電体層を形成するステップを備える方法。

## 【請求項 12】

請求項 1 記載の方法において

予め形成された複数の個別素子は、更に、予め加工された個別素子として特徴付けられている方法。

10

## 【請求項 13】

請求項 1 記載の方法において、

予め形成された複数の個別素子は、超微細結晶を含む方法。

## 【請求項 14】

請求項 1 記載の方法において、

予め形成された複数の個別素子は、離散記憶素子を含む方法。

## 【請求項 15】

請求項 1 記載の方法において、

予め形成された個別素子は、それぞれ実質的に導電性材料を含む方法。

20

## 【請求項 16】

請求項 1 記載の方法において、

予め形成された複数の個別素子を析出した後、予め形成された複数の個別素子は、互いに平均して少なくとも 10 nm の間隔を空けている方法。

## 【請求項 17】

半導体構造を形成する方法であって、

半導体基板を提供するステップと、

前記半導体基板を覆う第一トンネル型誘電体を形成するステップと、

前記第一トンネル型誘電体を覆う第一浮遊ゲートを形成するステップと、

前記第一浮遊ゲートを覆う第一界面層を形成するステップと、

前記第一界面層上に複数の個別素子を形成するステップと、

複数の個別素子を覆う制御誘電体を形成するステップと、

前記制御誘電体を覆う制御ゲートを形成するステップと

を備える半導体構造を形成する方法。

30

## 【請求項 18】

請求項 17 記載の方法は、更に、

前記半導体基板に分離溝を形成するステップと、

前記分離溝に溝充填材料を充填するステップと、

前記半導体基板を覆う第二トンネル型誘電体を形成するステップと、

前記第二トンネル型誘電体を覆う第二浮遊ゲートを形成するステップと、

前記第二浮遊ゲートを覆う第二界面層を形成するステップとを備え、

前記溝充填材料は、前記第一浮遊ゲートと前記第二浮遊ゲートとの間に設けられる方法

40

## 【請求項 19】

請求項 18 記載の方法において、

前記第一界面層上に複数の個別素子を形成するステップは、更に、前記溝充填材料及び前記第二界面層上に予め形成された複数の個別素子を析出するステップからなる方法。

## 【請求項 20】

請求項 19 記載の方法において、

50

前記制御誘電体を形成するステップは、前記第一浮遊ゲート、前記溝充填材料及び前記第二浮遊ゲートを覆う複数の個別素子を前記制御誘電体が覆うように行なわれる方法。

【請求項 2 1】

請求項 1 7 記載方法において、

前記第一浮遊ゲートは、ポリシリコン及び金属のうちの一つからなる方法。

【請求項 2 2】

請求項 1 7 記載の方法において、

複数の個別素子は、超微細結晶を含む方法。

【請求項 2 3】

請求項 1 7 記載の方法において、

複数の個別素子は、離散記憶素子を含む方法。

10

【請求項 2 4】

請求項 1 7 記載の方法において、

複数の個別素子は、それぞれ実質的に導電性材料を含む方法。

【請求項 2 5】

請求項 1 7 記載の方法において、

前記第一界面層上に複数の個別素子を形成するステップは、低圧化学蒸着 (LPCVD)、物理蒸着 (PVD) 及び原子層成長法 (ALD) からなる群より選択された方法を用いて行なわれる方法。

【請求項 2 6】

20

請求項 1 7 記載の方法において、

複数の個別素子を析出した後、複数の個別素子は、互いに平均して少なくとも 10 nm の間隔を空けている方法。

【請求項 2 7】

請求項 1 7 記載の方法において、

前記第一浮遊ゲートを覆う第一界面層を形成するステップは、前記第一浮遊ゲートを覆う酸化層を形成するステップからなる方法。

【請求項 2 8】

請求項 1 7 記載の方法において、

前記第一浮遊ゲートを覆う第一界面層を形成するステップは、前記第一浮遊ゲートを覆う金属層を形成するステップからなる方法。

30

【請求項 2 9】

半導体基板と、

前記半導体基板を覆う第一トンネル型誘電体と、

前記第一トンネル型誘電体を覆う第一浮遊ゲートと、

前記第一浮遊ゲート上に設けられ、互いに間隔を空けている複数の個別素子と、

複数の個別素子を覆う制御誘電体と、

前記制御誘電体を覆う制御ゲートと

を備える半導体構造。

【請求項 3 0】

40

請求項 2 9 記載の半導体構造は、更に、複数の個別素子の下層に設けられ、前記第一浮遊ゲートを覆う界面層を備える半導体構造。

【請求項 3 1】

請求項 2 9 記載の半導体構造は、更に、

溝充填材料で充填された分離溝と、

前記半導体基板を覆う第二トンネル型誘電体と、

前記第二トンネル型誘電体を覆う第二浮遊ゲートと備え、

前記溝充填材料は、前記第一浮遊ゲートと前記第二浮遊ゲートとの間に設けられている半導体構造。

【請求項 3 2】

50

請求項 3 1 記載の半導体構造において、

複数の個別素子は、前記溝充填材料及び前記第二浮遊ゲートを覆う半導体構造。

【請求項 3 3】

請求項 2 9 記載の半導体構造において、

前記第一浮遊ゲートは、ポリシリコンを含む半導体構造。

【請求項 3 4】

請求項 2 9 記載の半導体構造において、

前記第一浮遊ゲートは、金属を含む半導体構造。

【請求項 3 5】

請求項 2 9 記載の半導体構造において、

複数の個別素子は、超微細結晶を含む半導体構造。

10

【請求項 3 6】

請求項 2 9 記載の半導体構造において、

複数の個別素子は、離散記憶素子を含む半導体構造。

【請求項 3 7】

請求項 2 9 記載の半導体構造において、

複数の個別素子は、それぞれ実質的に導電性材料を含む半導体構造。

【請求項 3 8】

請求項 2 9 記載の半導体構造において、

複数の個別素子は、互いに少なくとも 10 nm の間隔を空けている半導体構造。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に係り、詳しくは、メモリ装置に関する。

【背景技術】

【0002】

不揮発性メモリ装置では、制御ゲート及び浮遊ゲート間の第一キャパシタンスと、浮遊ゲート及び基板間の第二キャパシタンスとの比を大きくすることが望まれている。第 1 及び第 2 キャパシタンス間の比は、ゲートカップリング比として知られている。ゲートカップリング比を高くすることで、より小さな外表面が用いることができ、それにより、チップサイズを節約することが望まれる。

30

【0003】

ゲートカップリング比を大きくする方法として、不揮発性メモリの浮遊ゲートの幅を拡大することがある。しかし、浮遊ゲートの幅を大きくすると、不揮発性メモリ装置のサイズも大きくなる。更に、浮遊ゲートの幅が大きくなると、浮遊ゲート間のスペースは小さくなる。浮遊ゲートは、通常、共形層を析出して、層のエッチング処理を行うことにより形成される。浮遊ゲート間のスペースが余りに小さい場合、層のあらゆる不要な部分を除去してスペースを形成するため、サブリソグラフィック法が用いられる。サブリソグラフィック法はコストがかかり、製造条件下での制御が困難になる。

【発明の開示】

40

【発明が解決しようとする課題】

【0004】

従って、ゲートカップリング比を大幅に低下させずに、浮遊ゲートサイズを小さくすることのできる製造工程が必要とされている。

【課題を解決するための手段】

【0005】

半導体構造は、半導体基板を提供するステップ、半導体基板を覆うトンネル型誘電体を形成するステップ、第一トンネル型誘電体を覆う浮遊ゲートを形成するステップ、第一浮遊ゲート上に複数の個別素子を形成するステップ、予め形成された複数の個別素子を覆う制御誘電体を形成するステップ、及び制御誘電体を覆う制御ゲートを形成するステップに

50

よって形成される。更に、界面層は、必要に応じて浮遊ゲートを覆うように形成され、その界面層上に複数の個別素子が形成される。一実施形態において、予め形成された個別素子を提供するステップと、界面層と浮遊ゲートとを覆うように、予め形成された個別素子を半導体基板の表面に吸着させるステップとによって、浮遊ゲート上に複数の個別素子が形成される。詳細な説明及び別の方法や得られる構造については、図を参照すれば、更に詳しく理解することができる。

【発明を実施するための最良の形態】

【0006】

本発明は、実施例を用いて説明されるが、添付の図面には制限されない。図中、同じ記号は同じ構成要素を示す。

図中の要素が簡便さや明瞭さを期して示され、必ずしも実寸に従い図示されていないことは、当業者にとって明らかである。例えば、図中の構成要素の寸法は、本発明の実施形態の理解を一層深めるため、他の構成要素と比較して誇張されていることがある。

【0007】

図1は、半導体装置10（例えば、不揮発性メモリ装置）の一部を示し、半導体装置10は、マスク18、浮遊ゲート16、トンネル型誘電体14、及び（分離）溝11を形成するためにパターン化された半導体基板12を備えている。半導体基板12は、任意の半導体材料又は材料を組み合わせたものからなり、例えば、ヒ化ガリウム、シリコンゲルマニウム、シリコン・オン・インシュレータ（SOI）、シリコン、単結晶シリコン、それらを組み合わせたものからなる。トンネル型誘電体14、浮遊ゲート16、及びマスク18は、溝11を形成する前に半導体基板12上に形成される。トンネル型誘電体14は、熱成長、熱拡散又は熱蒸着（例えば、化学蒸着（CVD））やそれらを組み合わせて形成された二酸化ケイ素、トラップされていない窒化ケイ素、任意の他の適切な絶縁材料、又はそれらの組み合わせからなる。一実施形態において、トンネル型誘電体14の厚さは、約5～15nmの範囲に設定されている。トンネル型誘電体14上に形成される浮遊ゲート16は、ポリシリコン、金属（例えば、チタン）、他の任意の導電性材料（例えば、窒化チタン）又はそれらの組み合わせからなる。浮遊ゲート16は、例えばCVD等の任意の析出法により形成され、浮遊ゲート16の厚さは、約50～200nmの範囲に設定されている。

【0008】

浮遊ゲート16を形成した後、マスク18は、半導体装置10上に析出される。マスク18は、一つ以上の層を含む。一実施形態において、マスク18は、ハードマスク（例えば、窒化物）やフォトレジスト材料からなる。マスク18は、当業者にとって公知の従来の方法を用いてパターン形成される。一実施形態では、マスク18を用いて、下層の浮遊ゲート16及びトンネル型誘電体14の両方をパターン形成し、溝を形成するため、半導体基板12をエッチング処理する。一実施形態において、 $CF_4$ を用いて、浮遊ゲート16、トンネル型誘電体14及び半導体基板12を（ドライ）エッチング処理するが、他の化学反応を用いてもよい。更に別の実施形態では、ウェットエッチング処理が用いられる。溝11の側壁は、傾斜壁として図1に示され、エッチング処理時に形成され、使用される処理によって異なる。一実施形態において、溝11の幅は、約100～300nmの範囲に設定され、溝11の深さは、約200～500nmの範囲に設定されている。

【0009】

図1に示すように、浮遊ゲート16は溝11に自己整合することから、浮遊ゲート16間の距離は、浮遊ゲート16間の材料をリソグラフィ処理して除去するため、十分に広くされている。また、そうした自己整合により、浮遊ゲートと溝11とが重なり合っ生じる他の問題を回避することができる。しかしながら、浮遊ゲート16を溝11に自己整合させるように浮遊ゲート16の幅を小さくすると、ゲートカップリング比を低下させてしまう。しかし、以下に説明するように、個別素子を形成することによって、浮遊ゲート16の表面形状を改良し、ゲートカップリング比を増大させることができる。従って、浮遊ゲート幅によるゲートカップリング比の低下が、浮遊ゲート16の表面形状の改良による

10

20

30

40

50

ゲートカップリングの増大によって相殺されることが明らかにされる。

【0010】

以下に示す浮遊ゲートの表面形状の改良は、任意の浮遊ゲートで用いることができ、また、利点を得ることができる。このように、浮遊ゲートが自己整合するのではなく、その代わりに、溝に重ね合わせてから形状を改良することによって、ゲートカップリング比を増大させることになる。

【0011】

溝11の形成後、溝充填材料20は、半導体装置10上に形成される。一実施形態において、溝充填材料20は、CVDを用いて蒸着されるが、物理蒸着(PVD)等の他の析出法を用いてもよい。溝充填材料20は、二酸化ケイ素、任意の誘電体又はそれらの組み合わせからなる。一実施形態において、溝充填材料20の析出後、溝充填材料20は、図2に示すように、化学機械研磨(CMP)を用いて、マスク18の頂部と同一平面にされる。

10

【0012】

溝充填材料20の平坦化後、マスク18は、従来の方法を用いて除去される。例えば、マスク18が窒化物の場合、ウェットストリップ(例えば、リン酸)を使用してもよい。次に、個別素子22が、浮遊ゲート16上に形成される。個別素子22は、ナノクラスタ、超微細結晶、個別記憶素子、表面増強個別素子等やそれらの組み合わせからなる。個別素子22は、半導体材料(例えば、ケイ素、ゲルマニウム等やそれらの組み合わせ)、又は導電性材料(例えば、金属か金属合金)からなる。従って、個別素子22は、導電性を有している。

20

【0013】

個別素子22は、互いに間隔を置いて形成される。即ち、個別素子22は、互いに物理的に分離されている。一実施形態において、個別素子22は、平均して少なくとも約10nm、より具体的には、平均して約20~40nmの間隔を置いて形成される。個別素子22の全てが互いに等間隔に形成されなくてもよい。例えば、第一個別素子22は、第二個別素子22から約11nmだけ間隔を置いて形成され、第二個別素子22は、第三個別素子22から約9nmだけ間隔を置いて形成されてもよい。しかし、第一、第二及び第三個別素子22は、平均して、少なくとも約10nmの間隔を置いて形成される。

【0014】

図3~図6に示すように、二以上の個別素子22を互いに組み合わせて、一つの大きな個別素子23を形成してもよいが、この場合、個別素子22の全てが互いに物理的に接触することはない。一実施形態において、個別素子22は、約5~30nmの直径を有している。個別素子22の直径は、変更可能であるが、一実施形態において、その変更幅は、平均直径に対して10%以下に設定されている。

30

【0015】

一実施形態において、個別素子22は、浮遊ゲート16と同じ材料(例えば、シリコン)からなり、そのことが、個別素子22の形成を阻害する。即ち、個別素子22が同じ材料の層上に核を形成する場合、エネルギー上の理由から、個別素子22は合体し、連続層を形成する。従って、個別素子22と同じ材料上に形成するには、浮遊ゲート16の表面と接触する前に、個別素子は核を形成する。従って、個別素子22は、浮遊ゲート16と接触する前に予め形成される。一実施形態において、個別素子22は、ケイ素含有前駆体ガスを高温で熱分解(つまり、ガス相核を形成)した後、ガス/蒸気相中で核を形成する。一実施形態において、前駆体として、シラン( $\text{SiH}_4$ )が使用される。使用温度は、ガス相中でシランをケイ素原子と水素ガスとに分解するのに十分高くすべきである。その後、ケイ素原子は、ガス相中で核を形成し、蒸着及び凝固によって成長する。一実施形態において、ケイ素核の直径は、約5~30nmに設定されている。一実施形態において、使用温度は、約900よりも高く、ケイ素含有前駆体の分圧は、約0.1mgHg(0.1Torr)よりも大きく設定されている。これらの温度は、ケイ素の一般的な低圧化学蒸着(LPCVD)法で使用される温度よりも高く設定されている。超微細結晶の形成後

40

50

、これらは、静電気力によって半導体装置 10 に吸着される。これは、核は小さすぎて重力による引力が作用しないためである。析出工程を構成する形成、イオン化、吸着の各段階は、同じ又は別のチャンバやツールで発生させることができる。それとは別の方法として、熱泳動を利用して、ウェハ上に粒子を析出してもよい。温度勾配の存在下で、微小粒子は、高温領域から低温領域へと追いやられる。例えば、低圧力環境下で、ガス原子は、それらの高い運動エネルギーにより、高温側で、より高速で、ナノ粒子に作用し、その結果、ナノ粒子をより冷たい領域へと追いやる。このような熱泳動的な運動は、高温雰囲気から極めて低温に維持されたウェハ表面にナノ粒子を析出するために用いられる。

#### 【0016】

更に別の実施形態において、個別素子 22 は、浮遊ゲート 16 と異なる材料からなる。例えば、個別素子 22 は、金属からなり、浮遊ゲート 16 は、ポリシリコンからなり、或いは、その逆であってもよい。本実施形態において個別素子 22 を析出するため、核は、上述したように、浮遊ゲート 16 表面に核を形成する LPCVD、PVD、又は原子層成長法 (ALD) 等の他の任意の方法によって、吸着前に蒸気相中で形成される。従って、個別素子 22 は、本実施形態において、ガス相中に核を形成する必要はない。

10

#### 【0017】

更に別の実施形態において、界面層 17 は、図 4 に示すように、浮遊ゲート 16 上に形成されている。一実施形態において、界面層 17 は、例えば二酸化ケイ素等の誘電体からなる。更に別の実施形態において、界面層 17 は、導電性材料 (例えば、金属や金属合金) からなる。界面層 17 は、好ましくは、電気的透過性を有するように、薄い層 (例えば、0.5 ~ 1 nm) とされている。界面層 17 が十分に薄い場合、次の高温工程中で合体してボール状になり、半導体装置 10 の機能性に影響を及ぼさない。界面層 17 は、図 1 及び図 2 に関し上述したように、CVD、PVD、ALD、拡散等又はそれらの組み合わせによって、浮遊ゲート 16 上に形成され、マスク 18 を用いてパターン形成される。それとは別の方法として、界面層 17 は、マスク 18 を除去した後に形成してもよい。本実施形態において、界面層 17 が導電性を有している場合、界面層は、半導体装置 10 の領域と電気的に接続されないようにマスク (表示なし) を用いてパターン形成し、除去してもよい。そうでなければ、半導体装置 10 の領域は、溝充填材料 20 を介して互いに電気的に絶縁される。界面層 17 が誘電体であれば、これを除去する必要はない。界面層 17 は、LPCVD による超微細結晶の析出を実施すべく、個別素子 22 及び浮遊ゲート 16 と異なる材料の層を形成するために存在している。これは、浮遊ゲート 16 と接触する前にガス相中で核を形成する個別素子 22 を析出するよりもコストがかからない。例えば、浮遊ゲート 16 及び個別素子 22 がケイ素を含む場合、層 17 は、二酸化ケイ素又は窒化ケイ素とすることができる。

20

30

#### 【0018】

更に別の実施形態において、予め形成された個別素子 22 は、コロイド溶液で半導体装置上を濡らすことにより同半導体装置 10 上に析出させてもよい。コロイド溶液は、溶媒と、予め形成された個別素子とを含有している。一実施形態では、コロイド溶液の均一な分散を促すため、コロイド溶液中に湿潤化促進剤が添加されている。

#### 【0019】

図 3 及び図 4 を参照して説明した前記実施形態において、個別素子 22 は、正味の表面積を増加させることで、浮遊ゲート 16 の表面形状を改良している。界面層 17 が存在する場合それは薄いため、界面層 17 が誘電体である場合、離散材料 22 は、浮遊ゲートと電気的に絶縁されていない。界面層 17 が金属であれば、浮遊ゲートもまた、浮遊ゲート 16 とは電気的に絶縁されない代わりに、界面層 17 を介して浮遊ゲート 16 に接続される。浮遊ゲート 16 の正味の表面積を増大させることで、ゲートカップリング比が増大する。

40

#### 【0020】

図 3 及び図 4 に示すように、個別素子 22 は、浮遊ゲート 16、及び溝充填材料 20 により充填された溝 11 を覆うように形成される。個別素子 22 は浮遊ゲート 16 とは互い

50

に接続又は短絡しないため、溝充填材料 20 上の個別素子 22 を取り除く必要はない。即ち、個別素子 22 は物理学的に互いに分離されているため、浮遊ゲート 16 上の個別素子 22 を互いに結合する場合に必要なパターン形成工程を省くことにより、製法が簡略化される。例えば、個別素子 22 の代わりに連続層を用いる場合、浮遊ゲート 16 が共に短絡しないよう溝充填材料 20 上に形成される連続層の部分を除去するため、パターン形成工程が必要とされる。

#### 【0021】

個別素子 22 の形成後、図 5 に示すように、制御誘電体 24 は、個別素子 22 上に形成される。個別素子 22 間のスペースのため、制御誘電体 24 の部分は、個別素子間に形成される。制御誘電体 24 は、下層に存在する個別素子 22 のため、平坦でない表面形状を有している。一実施形態において、制御誘電体 24 は、絶縁層や誘電体層、又は多層構造であってもよい。例えば、制御誘電体 24 は、酸化物 - 窒化物 - 酸化物 (ONO) スタック (一実施形態において、酸化物は二酸化ケイ素、窒化物は窒化ケイ素)、又は high-k (高誘電定数) 材料であってもよい。本明細書で使用されるように、high-k 材料は、二酸化ケイ素よりも大きな誘電定数を有する材料である。制御誘電体 24 は、析出 (例えば、CVD、PVD、ALD 等又はそれらの組み合わせ)、熱酸化等、又はそれらの組み合わせによって形成される。

10

#### 【0022】

制御誘電体 24 の形成後、制御電極 (制御ゲート) 26 は、半導体装置 10 上に形成される。一実施形態において、制御電極 26 は、ポリシリコン、金属、他の任意の導電性材料、又はそれらの組み合わせからなる。制御電極 26 は、CVD、PVD、ALD 等、又はそれらの組み合わせによって形成される。制御電極 24 の形成後には、当業者にとって公知な従来の方法が行われる。

20

#### 【0023】

ゲートカップリング比を大幅に低下させずに、浮遊ゲートサイズを小さくする製造方法が提供されたことは明らかである。浮遊ゲート間のスペースは、製造方法を用いて取り除くのに十分大きく、また、浮遊ゲートの改良された表面形状は、装置のゲートカップリング比を増大させる。

#### 【0024】

先の明細書において、本発明を、特定の実施形態を参照して説明した。しかし、当業者にとって、以下の請求項に記載の本発明の範囲から逸脱せずに、種々の修正及び変更を行なえることは明らかである。例えば、浮遊ゲート 16 は、溝 11 に自己整合する必要はない。従って、明細書及び図面は、制限的な意味ではなく、例示的な意味で考慮すべきである。

30

#### 【0025】

特定の実施形態に関して上記の有益性、他の利点及び問題の解決策を説明してきた。しかし、利益性、利点、問題の解決策及び任意の有益性、利点又は解決策をもたらすか、生じ得るか、或いはより顕著にする任意の要素は、特許請求の範囲のいずれか、又は全ての決定的、必要な、又は本質的な特徴として解釈すべきではない。本明細書で使用されるように、“含む”等の用語又はそれらの変形は、幾つかの要素を含む工程、方法、個物又は装置がそれらの要素のみならず、明確には挙げられていない他の要素、又はこれらの工程、方法、個物又は装置に固有の他の要素を含めてもよい。本明細書で使用される“一つ”等の用語は、一つ以上として定義される。しかも、説明及び特許請求の範囲中の“前”、“後”、“上部”、“底部”、“上方”、“下方”等の用語は、必要に応じて、説明目的で使用され、必ずしも、普遍的な相対位置を説明する訳ではない。このように使用される用語は、本明細書に記載の実施形態が例示されるもの、他の方法で本明細書に記載のものとは異なる形態で取り扱えるように、適切な条件下で相互に交換できることは明らかである。本明細書で使用される‘複数’の用語は、二つ以上と定義される。本明細書で使用される‘別の’の用語は、少なくとも第二以上として定義される。本明細書で使用される‘接続’の用語は、必ずしも直接ではなく、必ずしも機械的ではないが、接続されたものと

40

50

して定義される。

【図面の簡単な説明】

【0026】

【図1】本発明の一実施形態に基づいてトンネル型誘電体、浮遊ゲート、マスク、及び（分離）溝を備える半導体装置の断面図。

【図2】本発明の一実施形態に基づいて溝に溝充填材料を形成した後の図1の半導体装置。

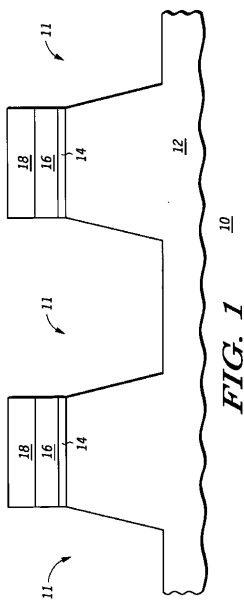
【図3】本発明の一実施形態に基づいて半導体装置上に個別素子を形成した後の図2の半導体装置。

【図4】本発明の別の実施例に基づいて界面層及び個別素子を形成した後の図2の半導体装置。 10

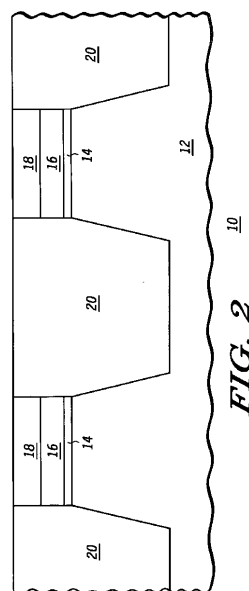
【図5】本発明の一実施形態に基づいて制御誘電体を形成した後の図3の半導体装置。

【図6】本発明の一実施形態に基づいて制御ゲートを形成した後の図5の半導体装置。

【図1】



【図2】



【 図 3 】

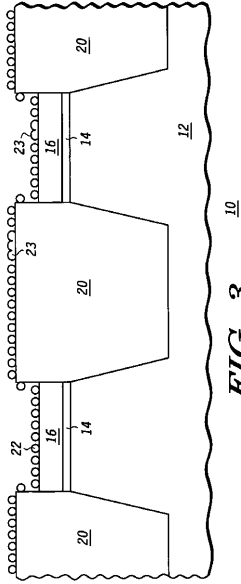


FIG. 3

【 図 4 】

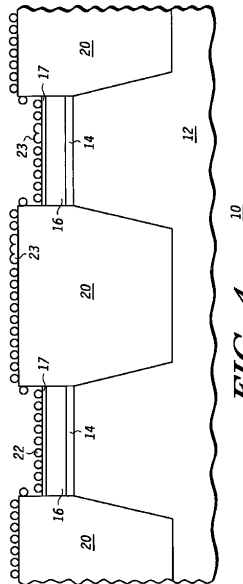


FIG. 4

【 図 5 】

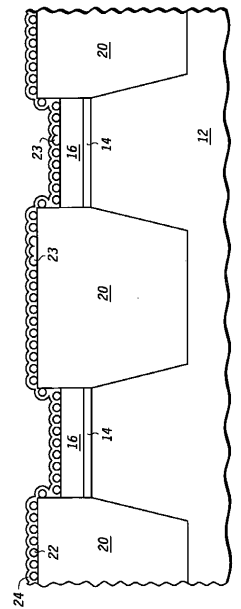


FIG. 5

【 図 6 】

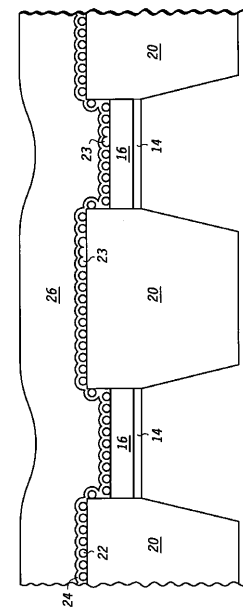


FIG. 6

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US04/43197
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(7) : H01L 21/336; H01L 29/788 US CL : 438/257, 260; 257/314, 315, 316, 317 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 438/257, 260; 257/314, 315, 316, 317  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Please See Continuation Sheet		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6,656,792 B2 (Choi et al.) 02 December 2003 (02.12.2003), Figs. 6, 7, Col. 2, line 65 through Col. 6, line 19.	1 - 38
Y	US 2003/0234420 A1 (Forbs) 25 December 2003 (25.12.2003), Figs. 2A, 4A, Page 3, Paragraph [0033] through Page 7, Paragraph [0066].	1 - 38
Y	US 2003/0235064 A1 (Batra et al.) 25 December 2003 (25.12.2003), Figs. 1 and 2-7, Page 2, Paragraph [0019] through Page 3, Paragraph [0032].	1 - 38
X	US 6,690,059 B1 (Lojek) 10 February 2004 (10.02.2004), Figs. 1-3, 8 and 9, Col. 2, line 45 through Col. 6, line 41.	17 - 38
Y		1 - 16
Y	US 6,844,231 B2 (Kim et al.) 18 January 2005 (18.01.2005), Figs. 1A - 1L.	1-38
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 29 September 2005 (29.09.2005)		Date of mailing of the international search report 28 OCT 2005
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1430 Alexandria, Virginia 22313-1430 Facsimile No. (703) 305-3230		Authorized officer <i>Lydia Dore For</i> Matthew S Smith Telephone No. (571) 272-1950

**INTERNATIONAL SEARCH REPORT****International application No.**  
PCT/US04/43197

Continuation of B. FIELDS SEARCHED Item 3:  
EAST (USPTO, USPGPUB, EPO, DERWENT, IBMTDB)  
floating gate, control gate, on (oxide near nitride near oxide) insulating dielectric, (nanocrystal nanocrystal discrete element nano particle).

## フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 チンダロール、ゴーリシャンカール エル .

アメリカ合衆国 78749 テキサス州 オースティン ソーテレ レーン 9101

(72) 発明者 ムラリダール、ラマチャンドラン

アメリカ合衆国 78750 テキサス州 オースティン ピックフェア ドライブ 10601

Fターム(参考) 5F083 EP03 EP07 EP23 EP27 EP55 EP56 GA09 GA22 HA02 HA06

NA01 NA06 PR03

5F101 BA12 BA26 BA29 BA36 BB05 BB17 BD02