(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G06F 15/78

(45) 공고일자 1999년12월15일
(11) 등록번호 10-0234142
(24) 등록일자 1999년09월15일

(21) 출원번호 10-1996-0001413
(22) 출원일자 1996년01월23일
(65) 공개번호 특1996-0029965
(43) 공개일자 1996년08월17일

(30) 우선권주장 95-014605 1995년01월31일 일본(JP)
95-014605 1995년01월31일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고

(72) 발명자 시미즈 토루
일본국 효고 이따미시 미즈하라 4쪼메 1반지 미쓰비시덴끼가부시끼가이샤 시스템 엘에스아이 가이하쯔 켄큐쇼나이
사와이 카쯔노리
일본국 효고 이따미시 미즈하라 4쪼메 1반지 미쓰비시덴끼가부시끼가이샤 시스템 엘에스아이 가이하쯔 켄큐쇼나이
도사까 카쯔미
일본국 효고 이따미시 미즈하라 4쪼메 1반지 미쓰비시덴끼가부시끼가이샤 시스템 엘에스아이 가이하쯔 켄큐쇼나이
시마즈 유끼히코
일본국 효고 이따미시 미즈하라 4쪼메 1반지 미쓰비시덴끼가부시끼가이샤 시스템 엘에스아이 가이하쯔 켄큐쇼나이
구마노야 마사끼
일본국 효고 이따미시 미즈하라 4쪼메 1반지 미쓰비시덴끼가부시끼가이샤 시스템 엘에스아이 가이하쯔 켄큐쇼나이

(74) 대리인 이화익

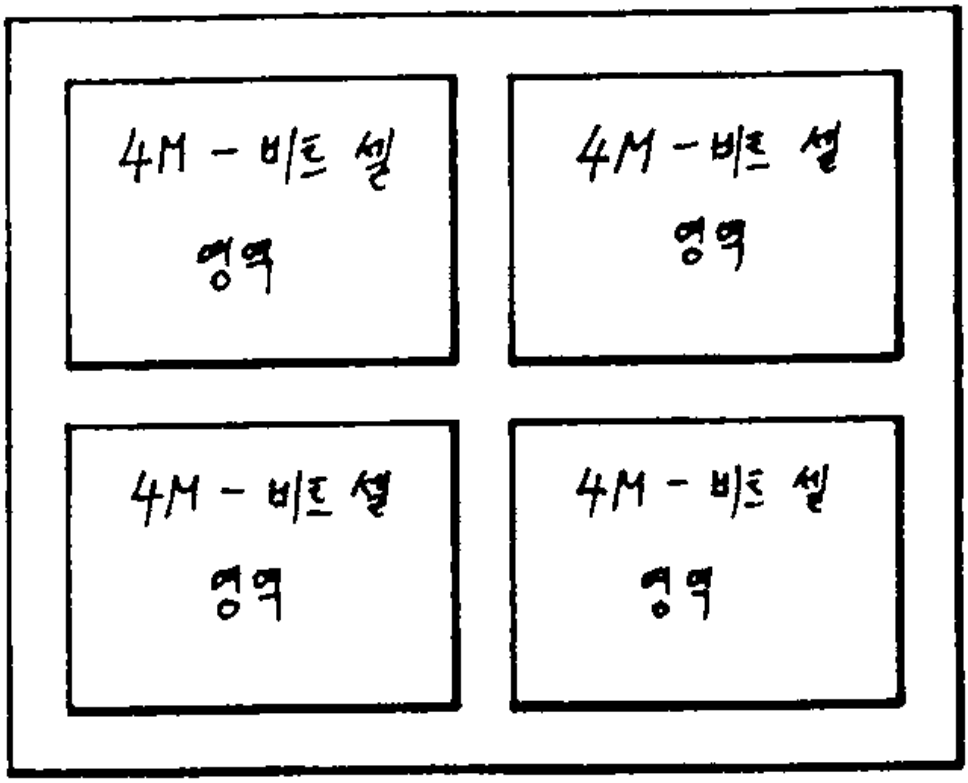
심사관 : 안철흥

(54) 마이크로 컴퓨터

요약

메모리가 복수의 메모리 셀 영역 열로 나뉘어 배치되어 있고, 프로세서가 메모리 셀 영역 열의 사이에 배치되어 있는 마이크로 컴퓨터에 관한 것으로, 메모리 셀 영역 열 마다 메모리 셀 영역이 버스를 통하여 접속되어 있고, 각 버스는 상기 프로세서에 별도로 접속되어 있는 마이크로 컴퓨터를 제공한다.

대표도



명세서

[발명의 명칭]

마이크로 컴퓨터

[도면의 간단한 설명]

제1도는 종래의 16M 비트 DRAM의 레이아웃의 일 예.

제2도는 종래 마이크로 컴퓨터를 나타내는 평면도.

제3도는 종래 마이크로 컴퓨터를 나타내는 평면도.

제4도는 종래 마이크로 컴퓨터를 나타내는 평면도.

제5도는 종래 마이크로 컴퓨터를 나타내는 평면도.

제6도는 종래 마이크로 컴퓨터를 나타내는 평면도.

제7도는 본 발명의 마이크로 컴퓨터의 개념을 나타내는 평면도.

제8도는 본 발명의 마이크로 컴퓨터의 개념을 나타내는 평면도.

제9도는 본 발명의 실시예 1을 나타내는 도식적 평면도.

제10도는 본 발명의 실시예 2를 나타내는 도식적 평면도.

제11도는 본 발명의 실시예 3을 나타내는 도식적 평면도.

제12도는 본 발명의 실시예 4를 나타내는 도식적 평면도.

제13도는 본 발명의 실시예 5를 나타내는 도식적 평면도.

제14도는 본 발명의 실시예 6을 나타내는 도식적 평면도.

제15도는 본 발명의 실시예 7을 나타내는 도식적 평면도.

제16도는 본 발명의 실시예 8을 나타내는 도식적 평면도.

제17도는 본 발명의 실시예 9를 나타내는 도식적 평면도.

제18도는 본 발명의 실시예 10을 나타내는 도식적 평면도.

제19도는 본 발명의 실시예 11을 나타내는 도식적 평면도.

제20도는 본 발명의 실시예 12를 나타내는 도식적 평면도.

제21도는 본 발명의 실시예 13을 나타내는 도식적 평면도.

제22도는 본 발명의 실시예 14를 나타내는 도식적 평면도.

제23도는 본 발명의 실시예 15를 나타내는 도식적 평면도.

제24도는 일반적인 CPU의 구성을 나타내는 블럭도.

제25도는 일반적인 CPU의 구성을 나타내는 블럭도.

제26도는 제24 도 및 제25도에 도시한 데이터 패스부의 구성을 나타낸 블럭도.

제27도는 본 발명의 실시예 16을 나타낸 도식적 평면도.

제28도는 본 발명의 실시예 17을 나타낸 도식적 평면도.

제29도는 본 발명의 실시예 18을 나타낸 도식적 평면도.

제30도는 본 발명의 실시예 19를 나타낸 도식적 평면도.

제31도는 본 발명의 실시예 20을 나타낸 도식적 평면도.

제32도는 본 발명의 실시예 21을 나타낸 도식적 평면도.

제33도는 본 발명의 실시예 22를 나타낸 도식적 평면도.

제34도는 본 발명의 실시예 23을 나타낸 도식적 평면도.

제35도는 본 발명의 실시예 24를 타타낸 도식적 평면도.

제36도는 본 발명의 실시예 25를 나타낸 도식적 평면도.

제37도는 본 발명의 실시예 26을 나타낸 도식적 평면도.

제38도는 본 발명의 실시예 27을 나타낸 도식적 평면도.

제39a도는 본 발명의 실시예 28을 나타낸 도식적 평면도.

제39b도는 본 발명의 실시예 28을 나타낸 도식적 평면도.

제40도는 버퍼의 구성을 나타낸 블럭도.

제41도는 버퍼의 구성을 나타낸 블럭도.

제42도는 버퍼의 구성을 나타낸 블럭도.

제43도는 버퍼의 구성을 나타낸 블럭도.

제44도는 본 발명의 실시예 29를 나타낸 도식적 평면도.

제45도는 본 발명의 실시예 30을 나타낸 도식적 평면도.

제46도는 본 발명의 실시예 31을 나타낸 도식적 평면도.

제47도는 본 발명의 실시예 32를 나타낸 도식적 평면도.

제48도는 본 발명의 실시예 33을 나타낸 도식적 평면도.

제49도는 본 발명의 실시예 34를 나타낸 도식적 평면도.

제50도는 본 발명의 실시예 35를 나타낸 도식적 평면도.

제51도는 본 발명의 실시예 36을 나타낸 도식적 평면도.

제52도는 본 발명의 실시예 37을 나타낸 도식적 평면도.

제53도는 본 발명의 실시예 38을 나타낸 도식적 평면도.

제54도는 본 발명의 실시예 39를 나타낸 도식적 평면도.

제55도는 본 발명의 실시예 40을 나타낸 도식적 평면도.

제56도는 본 발명의 실시예 41을 나타낸 도식적 평면도.

제57도는 본 발명의 실시예 42를 나타낸 도식적 평면도.

제58도는 본 발명의 실시예 43를 나타낸 도식적 평면도.

제59도는 본 발명의 실시예 44를 나타낸 도식적 평면도.

[발명의 상세한 설명]

본 발명은 동일한 칩위에 집적된 프로세서와 메모리를 포함하는 마이크로 컴퓨터에 관한 것으로, 보다 구체적으로는 동일한 칩위에 범용 프로세서와 대 용량의 범용 메모리를 장착하기 위한 레이아웃에 관한 것이다.

한개의 칩위에 범용 프로세서와 대 용량의 범용 메모리를 집적하는 것은, 상기 집적이 프로세서의 개선된

처리 능력과 비용이 절감되는 장점을 갖는다.

그러나, 범용 프로세서는 제조 공정과 설계 기술에 있어서 범용의 대 용량 메모리와 근본적으로 다르며, 그 때문에 그대로 그들을 결합하는 것이 어렵다.

첫째, 제조 공정이 설명된다.

상기 메모리가 층의 형태로 최고 2개의 와이어링(wiring)을 가졌다고 할지라도, 정교하게 구성된 메모리 셀 때문에 여러 공정이 이용된다.

한편, 프로세서는 집적도를 개선하기 위하여 다층의 와이어링을 이용 한다.

둘째, 설계기술이 설명된다.

메모리의 레이아웃은 셀 용량이나 와이어링 지연 시간등과 같은 아날로그 특성을 최적화하기 위하여 설계되며, 그리하여 레이아웃의 변경은 긴 시간과 큰 비용을 필요로 한다.

제 1 도는 16M 비트 DRAM의 레이아웃의 예를 나타낸다.

일반적인 16M 비트 DRAM은 어레이 형태로 배열된 4M 비트 셀 영역을 갖는다.

한편, 프로세서, 특히 제어 논리부에 관해서는, 주어진 영역안에서 레이아웃이 자동적으로 형성되도록 하기 위하여 CAD 기구(tool: 자동적으로 배열하고 와이어링하는 기구)가 이용된다.

그것은 프로세서가 레이아웃을 변경하는 높은 자유도를 허용한다는 의미이다.

범용 프로세서와 대용량 메모리가 상술한 것과 같은 조건 하에서 집적되는 단일 칩을 성취할 아이디어로서, 다음과 같은 방법들이 고려될 수 있다.

제조 공정기술은 메모리를 위한 기술을 기본으로 이용하고, 레이아웃은 메모리 셀영역내에서는 역시 그것을 변경하지 않고 이용한다.

프로세서는 가능한 한 작게 만들어서 그의 제조 공정이 메모리에 근거를 두고 있다는 사실에 의해 특성을 악화시키는 효과를 감소하게 한다.

레이아웃을 변경하는 자유도를 이용함으로써, 프로세서는 메모리에 있는 공간(gap)에 배치된다.

예를 들어, "Proposal of a New General purpose Functional Parts PPRAM toward the 21st Century, by Murakami et al., Computer Archtecture Research Report No. 108, 94-ARC-108, 49-56, The Information Processing society, Research Report Vol. 94, No 91, ISSN 0919-6072" (Literature 1)에서, 4개의 범용 프로세서 11과 복수개의 메모리 셀 영역 (12a)을 가지는 대 용량의 범용 메모리 (12)가 제 2 도에 나타낸 것과 같은 레이아웃으로 한개의 칩위에 집적되어 있는 PPRAM(Parallel Processing Random Access Memory, Practical Random Parall

el Access Machine)이 제안되어 있다.

제 2 도에서, 4개의 범용 프로세서(11)가 칩의 한 변에 행으로 배열 되어 있고, 남은 영역에 배열된 것은 어레이의 형태로 범용 메모리(12)의 복수개의 메모리 셀 영역이다.

또한, 일본의 특허 공개 No. 5-94366(1993)(Literature 2)에는 제 3 도에 도시한 바와 같이, 두 개의 기억공간(13)의 사이에 CPU(14)를 배치하고, 그의 편측에 기억공간(13), CPU(14)가 나란하게 평행하여 어드레스 버스(15), 데이터 버스(16)를 배치한 마이크로 컴퓨터가 배치되어 있다.

또한, 일본의 특허 공개 No. 63-81569(1988)(Literature 3)에는 제 4 도에 도시한 바와 같이, 메모리, 주변회로 등의 각 기능을 가지는 복수의 모듈(31, 32, 33)과 CPU(34)를 대략 동일한 폭이 되도록 배치하고 그 편측에 모듈(31, 32, 33), CPU(34)가 나란하게 평행으로하여 버스(35)를 배치한 마이크로 컴퓨터가 배치되어 있다.

이 마이크로 컴퓨터에서, 모듈(31, 32, …)과 CPU(34)가 2열로 배열되어 있는 경우에는 버스(35)가 그들 사이에 설치(제 5 도)되고, 서로 다른 폭을 가지는 모듈 (31, 32,…)과 CPU(34)가 배열 되어 있는 경우에는 버스(35)가 상기 모듈의 주위, 즉 칩의 주변(제 6 도)에 따라 설치된다.

어떤 도면이든지, CPU(34)는 실직적으로 복수개의 모듈 (31, 32, …)의 중앙에 배열된다.

이와 함께, 모듈(31, 32, …)과 CPU(34)는 직선으로 버스(35)에 대향하도록 배열된다.

제 2 도에 나타낸 레이아웃(Literature 1)에서, 메모리 셀 영역(12a)은 그들의 위치에 따라 CPU(11)로부터 서로 다른 거리에 배열되며, 거리가 멀수록 버스는 길어져, 데이터 전송의 지연이 길어진다.

버스 길이의 차이는 데이터 전송시간의 차이를 유발하게 되며, 그리하여 느린 데이터 전송에 대해 더 빠른 데이터 전송을 적응시키는 것이 필요하다.

또한, 버스와 길이가 긴 경우, 버스를 위해 필요한 레이아웃 면적이 더욱 커진다.

또한, 문헌(Literature) 2에서도, CPU(14)와 기억공간(13)이 나란하게 한 변에 구비하는 어드레스 버스(15)와 데이터 버스(16)는 나란한 길이 만큼 요구되며, 그리하여 기억공간이 커질수록 버스 길이가 더욱 길어진다는 문제점이 있다.

또한, 문헌 3에서도, 버스(35)가 CPU(34)와 모듈(31, 32, 33)이 나란하게 평행하게 배열된 경우와, 버스(35)가 CPU(34)와 상기 모듈(31, 32, …)의 주위, 즉 칩의 주변(제 6 도)에 따라 설치된 경우에도 동일한 문제가 있다.

또한, 버스(15, 16 또는 35)가 CPU(14)(또는 34)와 기억공간(13)(또는 모듈 31, 32, …)의 한 변에 설치

된 구성에서는, 버스 형성을 위해 필요한 면적이 비트의 수에 비례하여 증가하는 결점이 있다.

본 발명은 상술한 문제점을 해결하기 위하여 고안된 것이며, 메모리가 복수개의 메모리 셀 영역으로 분할되어 그 사이에 프로세서가 배열되어서 처리 능력을 개선하는 마이크로 컴퓨터를 제공하는 것이 본 발명의 주 목적이다.

본 발명에 따른 마이크로 컴퓨터는 메모리 셀 영역 사이에 배열된 프로세서를 포함하며, 프로세서와 메모리 셀 영역 사이의 거리(버스길이)가 짧게 하고 프로세서는 실질적으로 모든 메모리 셀 영역으로부터 같은 거리에 있게 배치되게 하는 것이다.

프로세서를 메모리와 연결하는 버스는 프로세서와 메모리 사이에 배열되므로, 종래 기술에 비하여 비트 수에 비례하여 증가하는 버스 와이어링 면적(bus wiring area)이 상대적으로 더욱 작게 만들어질 수 있다.

버스가 각각 프로세서에 접속되는 복수개의 가지(branch)로 분할되는 경우, 서로 다른 가지에 연결된 메모리 셀 영역은 분리되어 제어되고 액세스될 수 있다.

이하, 버스 가지(brs branch)는 그의 물리적 구성보다는 그의 기능적인 측면에서 "시스템(system)"이라고 표기될 것이다.

또한, 버스를 복수개의 시스템으로 분할하는 것은 버스 길이를 짧게 할 수 있다.

메모리의 레이아웃은 복수개의 메모리 셀 영역으로 이루어지는 메모리 셀 영역이 나란한 사이의 공간을 떼어 놓음으로써 간단히 형성되며, 그리하여 종래의 레이아웃을 이용할 수 있고 프로세서는 그것에 적응하도록 배열된다.

장 변(long side)이 서로 이웃하게 만들어지고 프로세서가 단 변(short side)사이에 배열된 구성은 증가된 면적에서 단 변이 서로 이웃하게 만들어지고 프로세서가 장변 사이에 배열되는 구성에서보다 더욱 작게 된다.

버스가 사각형의 메모리 셀 영역의 장변에 연결된 경우, 그의 단변에 연결된 경우에 비하여 더 많은 어드레스가 동시에 액세스될 수 있다.

또한, 칩의 외부로 나오는 각 신호 출력 단자는 칩의 한변에 집중되거나 그의 양 변으로 분산될 수 있다.

이 구성은, 공간이 메모리 셀 영역 사이에 제공되고 프로세서는 그 공간에 배열되어서 메모리 셀 영역의 행 사이의 남은 공간이 상기 패드와 프로세서 사이에서 래치 회로, 주변 회로 및 버스 인터페이스 등과 같은 회로를 갖도록 제공될 수 있다.

다른 프로세서들이 다중 프로세서를 구성하도록 상기 공간에 더 배열 될 수 있다.

버스 인터페이스가 상기 신호 출력 단자에 설치된 경우, 각 신호가 고속으로 출력될 수 있다.

래치 회로가 상술한 공간에 배열되는 경우, 래치 회로와 프로세서 사이의 거리는 짧게 되어 스큐(skew)가 작게 만들어질 수 있다.

버퍼가 프로세서와 메모리 셀 영역 사이에 설치되는 경우, 프로세서와 메모리가 동기될 수 있다.

버퍼와 프로세서 사이에 캐쉬 메모리의 설치는 고속 동작을 하게한다.

본 발명의 상기 목적과 다른 목적 및 특징들은 첨부 도면을 참조한 이하의 상세한 설명에서 더욱 명확하게 될 것이다.

[본 발명의 바람직한 실시예]

이하, 각 실시예를 나타낸 도면을 참조하여 본 발명을 설명한다.

제 7 도 및 제 8 도는 본 발명에 관련된 마이크로 컴퓨터를 나타내고,다음의 실시예의 기본 개념을 나타내는 평면도이다.

이 도면에서, 참조 번호 1은 메모리(2)와 CPU(3)과 같은 회로가 집적될 칩의 외부 프레임을 나타낸다.

제 7 도에서, 메모리(2)를 구성하고 어레이의 형태로 설치된 4개의 옆으로 긴 메모리 셀 영역(2a, 2b, 2c, 2d)은 장변(long side)이 서로 이웃하게 하여 2 열(2a, 2b 및 2c, 2d)로 배열된다.

제 8 도에서, 4개의 메모리 셀 영역(2a, 2b, 2c, 2d)은 단변(short side)이 서로 이웃하게 하여 2 열(2a, 2c 및 2b, 2d)로 배열된다.

상기 열 사이는 소정의 간격만큼 격리되어 있고, 그 사이에는 CPU (3)가 배열된다.

CPU(3)는 "Mitsubishi Electric Corporation, M16/10 Group User's Manual" 에 설명된 "CPU Core"와 같은 일반적인 프로세서이다.

제 7 도 및 제 8 도가 2열의 메모리 셀 영역(memory cell region)을 나타낸 것이지만, 3 또는 그 이상 열의 메모리 셀 영역도 적용될 수 있다.

한개의 메모리 셀 영역 열(memory cell region row)에 포함된 메모리 셀 영역의 수는 2개로 한정되는 것이 아니고, 1 개 또는 3 개 또는 그 이상이 될 수도 있다.

또한, 메모리 셀 영역의 수도 4개로 한정되는 것은 아니다.

제 7 도와 제 8도에 나타낸 구성에서, 각 메모리 셀 영역과 CPU (3)사이의 거리는 종래 기술보다 더욱 균일하므로, 버스 길이가 실질적으로 동일하게 되고 데이터 전송에서의 지연이 실질적으로 같아진다.

이것은 더욱 느린 데이터 전송에 대해 더 빠른 데이터 전송을 적응시키는 것을 불필요하게 하여서, 고속 동작을 실현하게 한다

버스 길이는 제 2 도에 나타낸 종래 기술에 비하여 실질적으로 감소되고, 그에 의해 고속 동작이 실현한다.

더욱이, 메모리 셀 영역(2a, 2b, 2c, 2d)을 포함하는 메모리 (2)가 DRAM 인 경우, 다양한 제어신호가 CPU (3)로부터 메모리 셀 영역(2a, 2b, 2c, 2d)에 보내진다고 할지라도, 버스 길이는 상술한 것과 같이 서로 같으며, 그 때문에 제어신호의 스큐(skew)가 감소된다.

또한, 짧아진 버스 길이는 고속 제어를 가능하게 한다.

제 7 도에 나타낸 구성은 제 8 도의 구성에 비해서 CPU (3)를 배열하기 위하여 증가된 더욱 작아진 영역 부분(area portion)을 갖는다.

역으로, 제 8 도의 구성은 증가된 더 큰 영역 부분을 가지며, 그리하여 다른 회로가 설치될 수 있는 공간이 더욱 크게 되는 잇점이 있다.

제 7 도의 구성이 사용되는 버스의 레이아웃의 예가 이하 설명된다.

이후의 도면에서는, 같은 참조 번호는 제 7 도에 나타낸 것과 같은 소자와 같은 소자를 나타낸다.

[실시예 1]

제 9 도는 본 발명의 실시예 1을 나타낸 도면이다.

버스 (21)는 메모리 셀 영역 (2a, 2c)의 단변으로부터 이어져서 그 사이에서 접속되어 있고, 반면에 메모리 셀 영역 (2b, 2d)의 단변으로 부터 이어지는 버스 (21)와 CPU (3)의 상변(upper side)으로부터 이어지는 버스 (21)는 메모리 셀 영역 (2a, 2c)의 사이에 있는 버스 (21)에 접속된다.

이후의 모든 실시예에서, 버스 (21)는 어드레스 신호, 데이터 신호, 워드 라인 활성화(word line activation)신호, 컬럼(column)라인 활성화 신호 및 제어신호(예를 들면, 리프레쉬 제어신호)등을 송신하고 수신하기 위하여 사용된다고 가정한다.

그러므로, CPU (3)는 메모리 (2)내에 저장된 명령어를 실행할 수 있다.

[실시예 2]

제 10 도는 본 발명의 실시예 2를 나타낸 도면이다.

버스 (21)는 메모리 셀 영역 (2a, 2c)의 단변으로부터 이어져서 그 사이에서 접속되어 있고, 또한 버스 (21)는 메모리 셀 영역 (2b, 2d)의 단변으로부터 이어져 있다.

CPU (3)의 좌변(우변일 수도 있다)으로부터 이어진 버스 (21)는 수직 버스 (21)를 통하여 상기 버스 (21, 21)에 접속된다.

실시예 1은 신호가 칩 (1)의 한 변(상변)으로부터 출력되는 경우에 적합하고, 또한 실시예 2는 신호가 양쪽 변(상변과 하변)으로부터 출력되는 경우에 적합하다.

[실시예 3]

제 11 도는 본 발명의 실시예 3을 나타낸 도면이다.

버스 (21)는 메모리 셀 영역 (2a, 2c)의 단변으로부터 이어져서 그 사이에서 접속되어 있고, 또한 버스 (21)는 메모리 셀 영역 (2b, 2d)의 단변으로부터 이어져서 그 사이에서 접속되어 있다.

CPU (3)의 상변과 하변으로부터 수직방향으로 이어진 버스 (21, 21)는 각각 상술한 버스 (21, 21)에 접속된다.

이 도면에서, 버스 (21)는 두 시스템으로 분할되는데, 서로 독립적으로 CPU (3)에 접속된다.

이것은 메모리 셀 영역 (2a, 2c)에 접속된 버스 (21)와 메모리 셀 영역 (2b, 2d)에 접속된 버스(21)가 독립적으로 제어되어 병렬로 액세스(access)되게 한다.

그러므로, 이 구성은 메모리 셀 영역 (2a, 2c)(2a. 2c)이 크기와 용도에 있어서 메모리 셀 영역(2b, 2d)과 서로 다른 경우에 적합하다.

두 시스템으로서의 버스 (21)의 분할은 버스 (21)의 길이가 실시예 1과 실시예 2의 길이보다 더욱 짧게 만들어지게 한다.

[실시예 4]

제 12 도는 본 발명의 실시예 4를 나타낸 도면이다.

버스 (21)는 메모리 셀 영역 (2a, 2b)의 단변으로부터 이어져서 수직 버스 (21)에 접속되어 있고, 한편 버스 (21)는 메모리 셀 영역 (2c, 2d)의 단변으로부터 이어져서 수직 버스 (21)에 접속되어 있다.

CPU (3)의 좌변과 우변으로부터 수평 방향으로 이어진 버스 (21, 21)는 각각 상술한 수직 버스 (21, 21)에 접속된다.

또한, 이 도면에서, 버스 (21)는 두 시스템으로 분할되어, CPU (3)에 독립적으로 연결된다.

이것은 메모리 셀 영역 (2a, 2b)에 접속된 버스 (21)와 메모리 셀 영역 (2c, 2d)에 접속된 버스 (21)가 독립적으로 제어되어 병렬로 액세스(access)되게 한다.

그러므로, 이 구성은 매모리 셀 영역 (2a, 2b)이 크기와 용도에 있어서 메모리 셀 영역 (2c, 2d)과 서로 다른 경우에 적합하다.

두 시스템으로의 버스 (21)의 분할은 버스 (21)의 길이가 실시예 1과 실시예 2의 길이보다 더욱 짧게 만들어지게 한다.

[실시예 5]

제 13 도는 본 발명의 제 5 실시예를 나타낸 도면이다.

버스 (21)는 메모리 셀 영역 (2a, 2b)의 장변으로부터 이어져서 그 사이에서 접속되어 있고, 또한 버스 (21)는 메모리 셀 영역 (2c, 2d)의 장변으로부터 이어져서 그 사이에서 접속되어 있다.

CPU (3)의 상변으로부터 이어진 버스 (21)는 상기 수평 버스 (21)를 통하여 상술한 버스 (21, 21)에 접속된다.

실시예 5가 칩위에 있는 버스에 의해 점유된 면적에 있어서, 실시예 1의 면적보다 더 크지만, 실시예 5는 장변으로부터 버스 (21)를 끌어내고, 그 때문에 더 많은 버스를 동시에 액세스 할 수 있어, 예를 들어, 그들을 더욱 많이 읽을 수 있다.

[실시예 6]

제 14 도는 본 발명의 실시예 6을 나타낸 도면이다.

이 실시예는 제 9 도(실시예 1)에서 버스 인터페이스(I/F) (4)가 상기 메모리 셀 영역 (2a, 2c)사이의 버스 (21)의 상변에 설치되게 구성되어 있다.

실시예 1을 실시예 6과 비교한다.

실시예 1에서, 버스 인터페이스 (4)는 설치되지 않았으며, 따라서 메모리 (2)와 CPU (3)로부터 나오는 신호는 있는 그대로, 칩의 외부로 출력된다.

그러므로, 많은 핀이 필요할지라도, 버스 (21)에 가해지는 부하는 작다.

또한, CPU (3)는 직접 상기 핀을 인터페이스 하며, 그리하여 전용 (dedicated)인터페이스 장치가 CPU의 외부에서 설치될 필요가 없고, 상기 핀의 구동부를 형성하기 위해 소요되는 면적이 작아진다.

한편, 실시예 6에서, 버스 인터페이스 (4)는 외부 버스 액세스 요구를 CPU (3)로부터 수신하여 전적으로 핀을 제어하므로, 신호는 있는 그대로 고속으로 출력될 수 있다.

그러므로, 빈번한 액세스가 수행되는 경우, 버스 인터페이스 (4)를 설치한 실시예 6의 구성은 그러한 경우에 적합하다.

또한, 버스 인터페이스 (4)가 설치된 경우, 버스 인터페이스 (4)가 CPU (3)로부터 나온 데이터를 일시적으로 유지하고, 예를 들어, 버스 인터페이스 (4)가 상기 데이터를 반씩 둘로 나누고 그것을 반씩 차례로 상기 핀으로 출력시키도록 제어를 실행하는 구성을 제공함으로써 핀의 수가 또한 감소될 수 있다.

[실시예 7]

제 15 도는 본 발명의 실시예 7을 나타낸 도면이다.

이 실시예는 제 10 도(실시예 2)에서 버스 인터페이스 (4)가 상기 메모리 셀 영역 (2a, 2c)사이의 버스 (21)의 상변과 상기 메모리 셀 영역 (2b, 2d)사이의 버스 (21)의 하변에 설치되어 있다.

실시예 2와 비교하여, 이 실시예에서, 신호는, 있는 그대로, 고속으로 출력되므로, 이 실시예는 빈번한 액세스인 경우에 유용하다.

[실시예 8]

제 16 도는 본 발명의 실시예 8을 나타낸 도면이다.

이 실시예는 제 15 도(실시예 7)에서 단 한개의 버스 인터페이스 (4)가 설치된 구성이다.

이것은 버스 인터페이스 (4)를 위한 핀이 한 변에 집중되어서 설치되게 하고, 다른 변의 핀은 다른 신호를 위해 사용되게 구성되어 있다.

또한, 상기 메모리 셀 영역은 독립적으로 사용될 수 있으므로, 버스 인터페이스 (4)에 접속된 메모리 셀 영역은 데이터를 위해서 사용되고 버스 인터페이스 (4)에 접속되지 않은 메모리 셀 영역은 명령어를 위해서 사용될 수 있다.

한편, 실시예 7에서, 상기 핀은 변당(per side)핀의 수가 같게 배열될 수 있으며 그 수가 더욱 적게 된다.

[실시예 9]

제 17 도는 본 발명의 실시예 9을 나타낸 도면이다.

이 실시예는 제 11 도(실시예 3)에서 버스 인터페이스(4)가 상기 메모리 셀 영역 (2a, 2c)사이의 버스 (21)의 상변과 상기 메모리 셀 영역(2b, 2d)사이의 버스 (21)의 하변에 설치되어 있다.

실시예 3과 비교하여, 이 실시예에서, 신호는 있는 그대로, 고속으로 출력되므로, 이 실시예는 빈번한 액세스인 경우에 유용하다.

[실시예 10]

제 18 도는 본 발명의 실시예 10을 나타낸 도면이다.

이 실시예는 제 17 도(실시예 9)에서 단 한개의 버스 인터페이스(4)가 설치된 구성이다.

이것은 실시예 8과 같은 효과가 얻어지게 한다.

[실시예 11]

제 19 도는 본 발명의 실시예 11을 나타낸 도면이다.

이 실시예는 제 12 도(실시예 4)에서 버스 인터페이스 (4)가 상기 CPU (3)의 상변에 설치되어 메모리 셀 영역 (2a, 2b)사이의 버스 (21)에 접속되어 있고, 버스 인터페이스 (4)는 상기 CPU (3)의 하변에 설치되어서 메모리 셀 영역 (2c, 2d)사이의 (21)에 접속되어 있다.

실시예 4와 비교할 때, 이 실시예에서, 신호는 있는 그대로, 고속으로 출력되어서, 이 실시예는 빈번한 액세스인 경우에 적합하다.

[실시예 12]

제 20 도는 본 발명의 실시예 12를 나타내는 평면도이다.

이 실시예는 제 19도의 구성에서(실시예 11) 단 한개의 버스 인터페이스 (4)가 설치되도록 구성된다.

이는 실시예 8과 같은 효과가 얻어지게 한다.

[실시예 13]

제 21 도는 본 발명의 실시예 13을 나타내는 평면도이다.

이 실시예는 제 13 도의 구성에서(실시예 5), 버스 인터페이스 (4)가 상기 메모리 셀 영역 (2a, 2b)사이의 버스 (21)의 좌변에 설치되어서 상술한 버스 (21)에 접속되고, 버스 인터페이스 (4)는 상기 메모리 셀 영역 (2c, 2d)사이의 버스 (21)의 우변에 설치되어서 상술한 버스 (21)에 접속된다.

실시예 5와 비교할 때, 이 실시예에서 신호는 있는 그대로 고속으로 출력될 수 있으므로, 이 실시예는 빈번하게 액세스 될 경우에 적합하다.

[실시예 14]

제 22 도는 본 발명의 실시예 14를 나타내는 평면도이다.

이 실시예는 제 21 도의 구성에서(실시예 13), 단 한개의 버스 인터페이스 (4)가 설치되도록 구성된다.

이는 실시예 8과 같은 효과가 얻어지게 한다.

[실시예 15]

제 23 도는 본 발명의 실시예 15를 나타내는 평면도이다.

버스 (21)는 메모리 셀 영역(2a, 2c)의 단변으로부터 이어져서 그 사이에서 접속되어 있고, 또한 버스 (21)는 메모리 셀 영역(2b, 2d)의 단변으로부터 이어져서 그 사이에서 접속되어 있다.

상변 및 하변 버스(21)는 상기 수직 버스(21)을 통해서 CPU(3)의 좌변과 우변에서 서로 접속된다.

CPU(3)의 상변으로부터 이어져 있는 버스 (21)는 상기 수평 버스(21)에 접속된다.

이 구성은 상기 실시예 2(제 10 도)와 같은 효과가 얻어질 수 있게 한다.

또한, 버스 인터페이스 (4)를 제공하는 구성이 채택될 수도 있다.

제 24 도와 제 25 도는 일반적인 CPU(3)의 구성을 나타내는 블록도이다.

CPU(3)는 데이터 패스 부(31)와 상기 데이터 패스 부(31)의 동작을 제어하는 제어회로(32)로서 설치된다.

제 26 도에 도시한 것과 같이, 상기 데이터 패스부(31)에서, 레지스터(31a, ALU 31b), 쉬프터 (31c), 버스 인터페이스(31d) 등의 장치가 행으로 배열되고, 신호 선이 그 사이에서 접속된다.

이 경우에, 상기 데이터 패스부(31)는 길고 좁은 형태를 가지며, 신호선은 그의 수직 방향으로 존재하여서, 상기 버스(21)와의 접속이 그 상변(또는, 하변)에 있는 경우, 데이터 패스 부(31)가 길이에 있어서 수직방향으로 설치된 배열이 제 25 도에 나타낸 것과 같이 적합하고, 버스(21)와의 접속이 좌변(또는, 우변)에 있는 경우에는 상기 데이터 패스부(31)가 길이에 있어서 수평 방향으로 설치되는 배열이 제 24 도에 나타낸 것과 같이 적합하다.

주변 회로가 설치된 경우가 이하에서 설명될 것이다.

이하, 주변회로가 설치된 경우를 설명한다.

그 주변 회로는 타이머, 카운터 및 여러가지 제어기와 같은, 전형적인 것이라고 가정한다.

[실시예 16]

제 27 도는 본 발명의 실시예 16을 나타내는 평면도이다.

이 실시예는 제 9 도의 구성(실시예 1)에서, 주변회로(PER.(5)는 수평으로 그리고 CPU(3)에 변을 마주하여 설치되고, 메모리 셀 영역(2a, 2c)사이에서 버스(21)에 접속되도록 구성되어 있다.

[실시예 17]

제 28 도는 본 발명의 실시예 17을 나타낸 도면이다.

이 실시에는 제 27 도(실시예 16)의 구조에서, 그 주변 회로(5)가 그 수평 버스(21)에 대하여 CPU(3)의 반대 변(상변) 위에 설치되어서, 메모리 셀 영역(2a, 2c)사이의 버스(21)에 접속되도록 구성되어 있다.

실시예 16에서, 제어신호를 주변 회로(5)와 주거나 받기 위한 핀은 한 변에 집중되어 있고, 반면에 실시예 17에서는, 그들은 양 변으로 나누어져 있다.

[실시예 18]

제 29 도는 본 발명의 실시예 18을 나타낸 도면이다.

이 실시에는 제 27 도(실시예 16)의 구성에서, 버스 인터페이스(4)가 메모리 셀 영역(2a, 2c)사이의 버스(21)에 대해 주변 회로(5)와 CPU(3)의 반대 변(상변) 위에 설치되어서, 버스(21)에 접속되도록 구성되어 있다.

[실시예 19]

제 30 도는 본 발명의 실시예 19를 나타낸 도면이다.

이 실시예는 제 29 도(실시예 18)의 구성에서, 버스 인터페이스(4)와 주변 회로 (5)는 위치가 서로 반대로 교환되어 있고, 버스 (21)에 접속되도록 구성되어 있다.

[실시예 20]

제 31 도는 본 발명의 실시예 20을 나타낸 도면이다.

이 실시예는 제 28 도(실시예 17)의 구성에서, 버스 인터페이스(4)가 주변 회로 (5)와 변과 변이 서로 이웃하여 놓아서 메모리 셀 영역(2a, 2c)사이의 버스(21)에 접속되도록 구성되어 있다.

본 발명에서, 메모리 셀 영역 사이에 공간이 제공되어서 그곳에 CPU(3) 가 배치된다.

그러므로, 주변 회로(5) 및 버스 인터페이스(4)는 실시예 16-20에서 설명된 것과 같이, 메모리 셀 사이의 여분의 공간에 배치될 수 있다.

이러한 방법으로, 본 발명은 상기 면적을 효과적으로 이용하는 원칩 마이크로 컴퓨터(one-chip microcomuter)를 실현한다.

[실시예 21]

제 32 도는 본 발명의 실시예 21을 나타낸 도면이다.

이 실시에는 제 10 도(실시예 2)의 구성에서, 주변 회로(5)는 CPU(3)의 상변 위에 설치되어서, 메모리 셀 영역(2a, 2b)사이의 버스(21)에 접속되도록 구성되어 있다.

[실시예 22]

제 33 도는 본 발명의 실시예 22를 나타낸 도면이다.

이 실시예는 제 11 도(실시예 3)의 구성에서, 주변 회로(5)는 CPU(3)의 변과 이웃하고 수평으로 놓여서 메모리 셀 영역(2a, 2c)사이의 버스(21)와 메모리 셀 영역 (2b, 2d)사이의 버스(21)에 접속되도록 구성되어 있다.

[실시예 23]

제 34 도는 본 발명의 실시예 23을 나타낸 도면이다.

이 실시예는 제 12 도(실시예 4)의 구성에서, 주변 회로(5)는 CPU(3)의 상변에 설치되어서 메모리 셀 영역(2a, 2b)사이의 버스(21)와 메모리 셀 영역(2c, 2d)사이의 버스(21)에 접속되도록 구성되어 있다.

[실시예 24]

제 35 도는 본 발명의 실시예 24를 나타낸 도면이다.

이 실시예는 제 13 도(실시예 5)의 구성에서, 주변 회로 (5)는 CPU(3)의 상변에 설치되어서 수평 버스(21)에 접속되도록 구성되어 있다.

실시예 21-실시예 24에 나타낸 것과 같이, 실시예 2-실시예 5에 나타낸 구성까지도 주변 회로 (5)를 포함할 수 있다.

또한, 실시예 16-실시예 20과 같이, 상기 구성이 버스 인터페이스(4)를 포함해도 좋다.

이것은 실시예 16-실시예 20과 같은 효과가 얻어질 수 있게 한다.

[실시예 25]

제 36 도는 본 발명의 실시예 25를 나타낸 도면이다.

이 실시예는 제 27 도의 구성에서, 주변 회로 (5)를 대신하여, 다른 CPU (3)가 포함되고 그리하여 두개(또는, 그 이상)의 CPU (3)가 다중 프로세서(multi-processor)를 형성하도록 포함하도록 구성되어 있다.

[실시예 26]

제 37 도는 본 발명의 실시예 26을 나타낸 도면이다.

이 실시예는 또한 메모리 셀 영역(2a, 2c)사이의 버스(21)의 양 변(상변과 하변)에 두개(또는, 그 이상)

의 CPU를 포함하는 다중 프로세서를 나타낸다.

[실시예 27]

제 38 도는 본 발명의 실시예 27을 나타낸 도면이다.

이 실시예는 또한 메모리 셀 영역(2a, 2c)사이의 버스 (21)와 메모리 셀 영역 (2b, 2d)사이의 버스(21)사이에 두개(또는, 그 이상)의 CPU를 포함하는 다중 프로세서를 나타낸다.

제 38 도에서, CPU(3)사이의 버스(22)는 제어신호 버스이다.

이런 구성의 다중 프로세서를 채택하는 것은 다중 프로그램을 실행하게 한다.

이런 경우, 다중 CPU(3)의 기능과 크기는 서로 같거나 달라도 좋다.

[실시예 28]

제 39 도는 버퍼 (6)이 메모리 셀 영역 (2a)과 CPU (3)사이에 설치 되어서, 상술한 모든 실시예에 적용 가능한 구성이다.

제 39a 도는 버퍼(6)의 길이가 단변의 길이와 같다고 가정할 때, 버스(21)가 메모리 셀 영역(2a)의 단변에 접속된 경우를 나타낸다.

제 39b 도는, 버퍼(6)의 길이가 장변의 길이와 같다고 가정할 때, 버스(21)가 메모리 셀 영역 (2a)의 장변에 접속된 경우를 나타낸다.

그러한 버퍼(6)는 모든 메모리 셀 영역(2a, 2b, 2c…) 또는 단지 CPU(3)와 동기될 필요가 있는 메모리 셀 영역에만 설치되어도 좋다.

메모리 셀 영역(2a)과 CPU(3) 사이에 버퍼(6)를 설치하는 것은 메모리 셀 영역(2a)이 CPU(3)에 동기되게 하는 것이다.

CPU(3)로부터 읽기 처리가 수행되기에 앞서서 필요한 데이터가 미리 메모리 셀 영역(2a)으로부터 버퍼(6)로 전송되어 있게 함으로써 고속동작이 실현될 수 있다.

또한, CPU(3)로부터 읽기 처리가 수행될 때 데이터가 버퍼(6)내에 유지되게 하고, 그 다음에 CPU(3)의 후처리(later processing)와 병렬로 데이터가 버퍼(6)로부터 메모리 셀 영역 (2a)으로 전송되게 함으로써 고속동작이 실현될 수 있다.

버퍼 (6)는 제 40-43 도에 나타낸 구성을 가지는 것으로 가정되어 있다.

제 40 도에서, 버퍼 (6)는 양 방향성 신호를 래치(latch)시키기 위하여 래치 (6a)로 구성된다.

제 41 도에서, 버퍼 (6)는 단 방향성 신호를 래치(latch)시키기 위하여 두개의 래치 (6a)로 구성된다.

하나의 래치 (6a)는 메모리 셀 영역 (2a)으로부터 CPU (3)에 주어지는 신호를 위하여 사용되고, 반면에 다른 래치 (6a)는 CPU (3)로부터 메모리 셀영역 (2a)에 주어지는 신호를 위하여 사용된다.

제 42 도 및 제 43 도에서, 버퍼 (6)는 단 방향성 신호를 래치하기 위한 래치 (6a)와 드라이버 (6b)로 구성된다.

제 42 도에서, 버퍼 (6)는 메모리 셀 영역 (2a)으로부터 CPU (3)에 주어지는 신호를 위한 드라이버 (6b)와 CPU (3)로부터 메모리 셀 영역 (2a)에 주어지는 신호를 위한 드라이버 (6a)로 구성된다.

제 43 도에서, 버퍼 (6)는 메모리 셀 영역 (2a)으로부터 CPU (3)에 주어지는 신호를 위한 드라이버 (6a)와 CPU (3)로부터 메모리 셀 영역 (2a)에 주어지는 신호를 위한 드라이버 (6b)로 구성된다.

또한, 제 40-43 도에서, 래치 (6a)는 플립플롭으로 변경되어도 좋다.

제 40 도에 나타낸 구성이 한번에 단 방향성 신호만을 처리할 수 있다고 할지라도, 제 41-43 도의 구성은 동시에 양 방향성 신호를 처리 할 수 있다.

예를 들어, 쓰기와 읽기를 위한 액세스가 동시에 실행될 수 있다.

드라이버 (6b)는 점유면적에서 래치 (6a)보다 더 크기 때문에, 제 42도 및 제 43 도의 구성이 다른 구성보다 소형화하기에 더 적합하다.

래치 (6a)는 입력된 신호를 일시적으로 유지하고 입력신호의 변화에 동기하지 않고 출력신호를 구동할 수 있다.

드라이버 (6b)는 입력된 신호를 출력시키기 위하여 증폭하지만, 그러나 유지 기능을 갖지 않는다.

(실시예 29)

제 44 도는 본 발명의 실시예 29를 나타내는 평면도이다.

이 실시예는 캐쉬(cache) 메모리(7)가 메모리 셀 영역(2a)과 CPU(3)사이에 설치되도록 구성된다.

캐시 메모리(7)에 할당된 영역이 액세스되는 경우, 메모리 셀 영역(2a)에 대한 액세스는 요구되지 않으며, 그래서 고속 동작이 실현될 수 있다.

또한, 캐쉬 메모리(7)는 버퍼(6)와 같이, 모든 메모리 셀 영역내에 설치될 수도 있고, CPU (3)와 동기될 필요가 있는 메모리 셀 영역에만 설치될 수도 있다.

고속동작을 성취하기 위하여 DRAM에 캐쉬 메모리를 포함하는 그러한 구성이 일본특개평 4-247535(1992),

일본특개평 5-310130(1993), 일본특개평 5-299968(1993), 및 일본특개평 5-160265(1993)을 통하여 본 발명에서 제안되어 있다.

또한, K. Doska 등이 IEEE Journal of Solid State Circuits Vol. 27 No. 11 pp1534-1539, Nov 1992 에 발표한 "A 100MHz 4-Mb Cache DRAM with Fast Copy-Back Scheme", K. DosKa 등이 The Institute of Electronics, Information and Communication Engineers, SDM 92-5, ICD92-5, pp27-34, April 23, 1992 에 발표한 "A 4-Mb Cache DRAM with Fast Copy-Back Scheme Operable at 100 MHz", A Yamazaki 등이 Symposium on VLSI Circuits of Digest of Technical Papers, pp61-62 May 1993 에 발표한 "A Concurrent CDRAM for Low Cost Multi-Media", A Yamazaki 등이 The Institute of Electronics, Information and Communication Engineers, Technical Reports, ICD93-105, pp9-14, 1993-10에 발표한 "Cache DRAM for Image"에 개시되어 있다.

[실시예 30]

제 45 도는 본 발명의 실시예 30을 나타낸 평면도이다.

이 실시예는 버퍼 (6)와 캐쉬 메모리 (7)가 메모리 셀 영역(2a)과 CPU (3)사이에 그 순서대로 설치되도록 구성된다.

이 실시예에서 얻어지는 것은 실시예 28의 효과와 실시예 29의 효과이다.

[실시예 31]

제 46 도는 본 발명의 실시예 31을 나타낸 평면도이다.

다음의 실시예 31-실시예 36에서, 버퍼(6) 및/또는 캐쉬 메모리(7)는 각 메모리 셀 영역에 설치되는 것이 아니라 CPU(3)에 설치된다.

이 실시예에서, 버퍼(6)은 CPU(3)의 상변(또는 하변)의 공간에 배열된다.

[실시예 32]

제 47 도는 본 발명의 실시예 32를 나타낸 평면도이다.

이 실시예에서, 캐쉬 메모리(7)는 CPU(3)의 상변(또는, 하변)의 공간에 배열된다.

[실시예 33]

제 48 도는 본 발명의 실시예 33을 나타낸 평면도이다.

이 실시예에서, 캐쉬 메모리 (7)는 CPU (3)의 상변(또는, 하변)의 공간에 배열되고, 버퍼 (6)는 그의 상변(또는, 하변)의 공간에 배열된다.

실시예 31, 32, 및 33에서, 메모리 셀 영역의 단변의 방향에서 CPU(3)의 길이가 메모리 셀 영역의 단변의 방향의 길이보다 충분히 작아서 공간을 제공할 경우, 버퍼 (6)와 캐쉬 메모리(7)중의 적어도 하나는 메모리 셀 영역의 장변의 방향으로 길이를 증가시키지 않고 배열될 수 있다.

[실시예 34]

제 49 도는 본 발명의 실시예 34를 나타낸 평면도이다.

이 실시예에서, 버퍼(6)는 CPU(3)의 상변과 하변에 배열된다.

레이아웃에 대한 상술한 효과와 함께, 이 실시예는 시스템을 위한 버스(21)가 두개의 메모리 셀 영역을 액세스할 수 있도록 CPU(3)의 양 변(상변과 하변)으로부터 설치되어 있는 실시예 3과 같은 경우에 대해서 적합하다.

[실시예 35]

제 50 도는 본 발명의 실시예 35를 나타낸 평면도이다.

이 실시예에서, 캐쉬 메모리(7)는 CPU(3)의 상변과 하변에 배열된다.

레이아웃에 대한 상술한 효과와 함께, 이 실시예에서, 두개의 캐쉬 메모리 (7)가 병렬로 액세스될 수 있다.

[실시예 36]

제 51 도는 본 발명의 실시예 36을 나타낸 평면도이다.

이 실시예에서, 캐쉬 메모리(7)는 CPU(3)의 상변과 하변에 배열되고, 또한 버퍼(6)는 캐쉬 메모리(7)의 상변과 하변에 배열된다.

이 실시예에서, 실시예 5와 같이, 두개의 캐쉬 메모리(7)는 병렬로 액세스될 수있고, 또한 버퍼(6)는 각 캐쉬 메모리(7)에 대응하는 메모리 셀 영역과 CPU(3)사이에 설치되어서, 캐쉬 메모리(7)와 메모리 셀 영역 사이의 액세스가 고속으로 얻어질 수 있으며, 그에 의해 전체적으로 더 높은 속도의 동작을 달성할 수 있다.

[실시예 37]

제 52 도는 본 발명의 실시예 37을 나타낸 평면도이다.

칩의 주변 에지(peripheral edge)에 설치된 것은 본딩(bonding)에 의해 외부 핀과 접속하기 위한 패드(22)이다.

패드(22)를 구동하는 CPU(3)와 동기되도록 하기 위하여, 클럭 신호선 (24)을 통하여 CPU(3)에 접속된 래치(23)는 패드(22)에 연결된다.

이 실시예에서, 래치(23)는 CPU(3)의 주변에 설치된다.

CPU(3)의 근방에 래치(23)를 설치하는 것은 클럭 신호선(24)의 길이를 짧게 하며, 클럭 신호의 스큐(skew)를 감소되게 한다.

제 8 도에 나타낸 구성이 사용되는 버스의 레이아웃의 실시예가 이하 설명된다.

다음의 도면에서, 제 8 도의 소자와 같은 소자는 같은 참조번호로 표시된다.

[실시예 38]

제 53 도는 본 발명의 실시예 38을 나타낸 평면도이다.

버스(21)는 메모리 셀 영역(2a, 2b)의 장변으로부터 설치되어 그 사이에서 접속되고, 또한 메모리 셀 영역(2c, 2d)의 장변으로부터 배치된 버스(21)와 CPU(3) 좌변으로부터 배치된 버스(21)는 메모리 셀 영역(2a, 2b)사이의 버스(21)에 접속된다.

[실시예 39]

제 54 도는 본 발명의 실시예 39를 나타낸 평면도이다.

버스(21)는 메모리 셀 영역(2a, 2b)의 장변으로부터 설치되어 그 사이에 접속되고, 또한 버스 (21)는 메모리 셀 영역(2c, 2d)의 장변으로부터 배치된다.

CPU(3)의 상변으로부터 배치된 버스(21)는 수평 버스(21)를 통하여 상술한 버스(21, 21)에 접속된다.

실시예 38은 신호가 칩(1)의 한 변(좌변)으로부터 출력되는 경우에 적합하고, 반면에 실시예 39는 신호가 양 변(좌과 우)으로부터 출력되는 경우가 적합하다.

[실시예 40]

제 55 도는 본 발명의 실시예 40을 나타낸 평면도이다.

버스(21)는 메모리 셀 영역(2a, 2b)의 장변으로부터 실치되어 그 사이에서 접속되고, 또한 버스(21)는 메모리 셀 영역(2c, 2d)의 장변으로부터 배치되어 그 사이에서 접속된다.

CPU(3)의 좌변과 우변으로부터 수평으로 이어진 버스(21, 21)는 각각 상술한 버스(21, 21)에 접속된다.

이 실시예에서, 메모리 셀 영역(2a, 2b)에 접속된 버스(21)와 메모리 셀 영역 (2c, 2d)에 접속된 버스(21)는 분리되어 제어될 수 있으며 병렬로 액세스될 수 있다.

그러므로, 이 구성은 메모리 셀 영역(2a, 2b)이 크기와 응용면에서 메모리 셀 영역(2c, 2d)와는 다른 경우에 적합하다.

[실시예 41]

제 56 도는 본 발명의 실시예 41을 나타낸 평면도이다.

버스(21)는 메모리 셀 영역(2a, 2c)의 장변으로부터 이어져서 수평 버스(21)와 접속되고, 또한 버스(21)는 메모리 셀 영역(2b, 2d)의 장변으로부터 이어져서 수평 방향 버스(21)에 접속된다.

CPU(3)의 상변과 하변으로부터 수직 방향으로 접속된 버스(21, 21)는 각각 상술한 수평 버스(21, 21)에 접속된다.

이 실시예에서, 메모리 셀 영역(2a, 2c)에 접속된 버스(21)와 메모리 셀 영역 (2b, 2d)에 접속된 버스(21)는 분리되어 제어될 수 있으며 병렬로 액세스될 수 있다.

그러므로, 이 구성은 메모리 셀 영역(2a, 2c)이 메모리 셀 영역(2b, 2d)으로부터 크기가 다르고 응용분야가 다른 경우에 적합하다.

[실시예 42]

제 57 도는 본 발명의 실시예 42를 나타낸 평면도이다.

버스(21)는 메모리 셀 영역(2a, 2b)의 장변으로부터 이어져서 그 사이에서 연결되고, 또한 버스(21)는 메모리 셀 영역(2c, 2d)의 장변으로부터 이어진다.

좌측 및 우측 버스(21)는 CPU(3)의 상변과 하변에서 수평 버스(21)를 통하여 서로 접속된다.

CPU(3)의 좌변으로부터 연결된 버스(21)는 좌변에서 수직 방향 버스(21)에 접속된다.

이 구성이 근본적으로 실시예 39와 같은 효과가 얻어지게 할지라도, 버스(21)의 길이는 실시예 39에 대한 길이보다 더 길다.

[실시예 43]

제 58 도는 본 발명의 실시예 43을 나타낸 평면도이다.

버스 (21)는 메모리 셀 영역 (2a, 2c)의 단변으로부터 설치되어 그 사이에서 접속되고, 또한 버스 (21)는 메모리 셀 영역 (2b, 2d)의 단변으로부터 배치된다.

CPU (3)의 우변으로부터 설치된 버스 (21)는 수직 방향 버스 (21)에 접속된다.

실시예 43에서, CPU(3)는 한쪽에 놓여지는 방식으로 배열되고, 그래서 주변 회로(5)와 같은 다른 회로가 다음에 설명될 실시예 44에 나타낸 것과 같이 다른 쪽에 배열될 수 있다.

실시예 38-실시예 43에서, 이전에 나타낸 제 7 도에 대응하는 실시예와 같이, 한개의 버스 인터페이스(4)를 갖는 실시예이거나 그것을 갖지않은 실시예가 쉽게 고려될 수 있는데, 이 실시예는 두개(또는, 한개)의 버스 인터페이스(4)를 설치한 구성만을 나타낸다.

[실시예 44]

제 59 도는 본 발명의 실시예 44를 나타낸 도면이다.

이 실시예는 제 58 도의 구성(실시예 43)에서, 주변 회로(5)가 수직 버스(21)에 대하여 CPU(3)의 반대 변에 설치되어서 버스(21)에 접속된다.

이 실시예에서, 메모리 셀 영역(2a-2d), CPU(3) 및 버스 인터페이스(4)사이를 접속하는 버스(21)가 짧다.

또한, 이 실시예에서, 버스 인터페이스(4)중의 하나가 설치되기도 한다.

또한, 제 7 도에 대응하는 실시예와 같이, CPU(3)과 주변 회로(5)는 한 변이 서로 이웃하게 하여 설치되고, 버스 인터페이스(4)는 이렇게 제공된 공간에 배치되기도 한다.

또한, 주변 회로(5)를 설치하는 대신에, 상기 구성은 CPU(3)의 복수개를 포함하는 다중 프로세서에 대한 것일 수도 있다.

또한, 실시예 15-32의 구성이 제 8 도에 대응하는 실시예에 적용될 수 있음이 이해될 것이다.

메모리(2)는 DRAM 뿐만 아니라 SRAM, EPRAM, ROM, erasable ROM 및 플래쉬(flash) 메모리 등과 같은 여러 가지일 수 있다.

메모리 셀 영역 행의 수가 3 또는 그 이상일 수 있고, 메모리 셀 영역행은 1개 또는 3개 또는 그 이상의 메모리 셀 영역을 가질 수 있다.

청구범위에 근거하는 실시예와 상기 실시예들을 결합한 것들이 유추될 수 있기 때문에, 상술한 실시예들이 전부는 아닐지라도, 그런 것들에 대한 예시와 설명은 생략될 것이다

상술한 것과 같이, 본 발명에 관련되는 마이크로 컴퓨터에서, 상기 프로세서는 메모리 셀 영역 사이에 배열되어, 프로세서와 메모리 셀 영역 사이의 거리는 짧아지고 실질적으로 같게 만들어진다.

신호 출력단자는 상기 칩의 한 변에 집중되거나 그들의 양 변으로 분산될 수도 있다.

칩의 출력 단자 변에 버스 인터페이스를 설치하는 것은 신호가 고속으로 출력되게 한다.

공간이 메모리 셀 영역의 열 사이에 존재하고, 그리하여 그 공간에는, 주변회로, 버스 인터페이스 및 패드와 프로세서 사이의 래치 회로와 같은 회로들과, 또 다른 프로세서가 설치될 수 있다.

이들은 프로세서와 메모리가 한 칩 위에 집적화된 마이크로 컴퓨터의 처리 능력이 개선되게 한다.

본 발명은 그의 본질적인 특성의 정신을 벗어나지 않고 여러가지의 형태로 실시될 수 있음에 따라, 본 발명의 범위는 상세한 설명보다는 첨부된 청구범위에 의해서 정의되기 때문에, 본 실시예는 예시적인 것이고 한정적인 것은 아니며, 그러므로 청구 범위안에 들거나 그 범위에 대등한 모든 변경은 본 청구항에 의해 내포되는 것으로 간주된다.

(57) 청구의 범위

청구항 1

(2회) 적어도 하나의 프로세서와, 연속하는 어드레스 공간을 가지며 단일형 메모리 어레이인 제 1 메모리 어레이를 포함하며, 상기 적어도 하나의 프로세서와 제 1 메모리 어레이는 동일 칩상에 집적되어 있고, 상기 제 1 메모리 어레이는 복수의 서브 어레이로 분할되어 있으며, 상기 적어도 하나의 프로세서는 복수의 서브어레이 사이에 배치되어 있고, 상기 제 1 메모리 어레이에 의해 판독 및 기록되는 단위가 N×M(N 및 M은 정의 정수) 비트일 때, 상기 제 1 메모리 어레이는 판독 및 기록하는 단위가 N비트인 M개의 서브 어레이로 분할되고, M개의 서브 어레이는 각각 N비트 데이터 버스를 통하여 프로세서에 접속되는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 2

(2회) 제1항에 있어서, 상기 칩상에 배치된 M개의 서브 어레이 영역은 적어도 두 개의 배열영역으로 분할되며 상기 적어도 두 개의 배열영역 사이에 적어도 하나의 프로세서가 배치된 것을 특징으로 하는 마이크로 컴퓨터.

청구항 3

(2회) 제2항에 있어서, 상기 제 1 메모리 어레이의 복수의 서브 어레이의 각각은 각 배열 영역에서 나란한 장변과 나란한 단변을 가지는 사각형의 형상을 가지며, 상기 각 서브 어레이의 장변은 다른 서브 어레이의 장변에 인접하여 배치되고, 상기 프로세서는 적어도 두 개의 배열영역의 서브 어레이의 단변사이에 배치되는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 4

복수의 주변 버스 인터페이스 회로를 더욱 포함하며, 상기 주변 버스 인터페이스 회로는 상기 적어도 두 개의 배열영역으로 분리되어 배열되고, 상기 주변 버스 인터페이스 회로의 각각은 N비트 데이터 버스를

통하여 상기 제 1 메모리 어레이의 M개의 서브 어레이중 적어도 하나에 접속되는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 5

상기 적어도 두 개의 배열영역사이에 상기 프로세서와 나란 하게 배치된 주변회로를 더 포함하는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 6

제60항에 있어서, 상기 적어도 두 개의 배열영역사이에서 버스에 관련하여 상기 주변회로 및 프로세서에 대향하는 위치에 배치된 버스 인터페이스를 더 포함하는 마이크로 컴퓨터.

청구항 7

제8항에 있어서, 상기 적어도 두 개의 배열영역사이에서 버스에 관련하여 상기 프로세서에 대향하는 위치에 배치된 주변회로를 더 포함하는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 8

제68항에 있어서, 상기 적어도 두 개의 배열영역사이에서 상기 프로세서와 나란 하게 배치된 버스 인터페이스를 더 포함하는 마이크로 컴퓨터.

청구항 9

상기 적어도 두 개의 배열영역사이에서 상기 주변회로와 나란하게 배치된 버스 인터페이스를 더 포함하는 마이크로 컴퓨터.

청구항 10

상기 M개의 서브 어레이에 각각 대응하는 M개의 캐쉬 메모리를 더욱 포함하며, 각 캐쉬 메모리는 대응하는 서브 어레이에 인접하여, 대응하는 서브 어레이와 대응하는 프로세서 사이에 배치된 것을 특징으로 하는 마이크로 컴퓨터.

청구항 11

상기 적어도 두 개의 배열영역의 상기 서브 어레이의 단변 사이에 배치된 복수의 프로세서를 더 포함하는 것을 특징으로 하는 마이크로 컴퓨터.

청구항 12

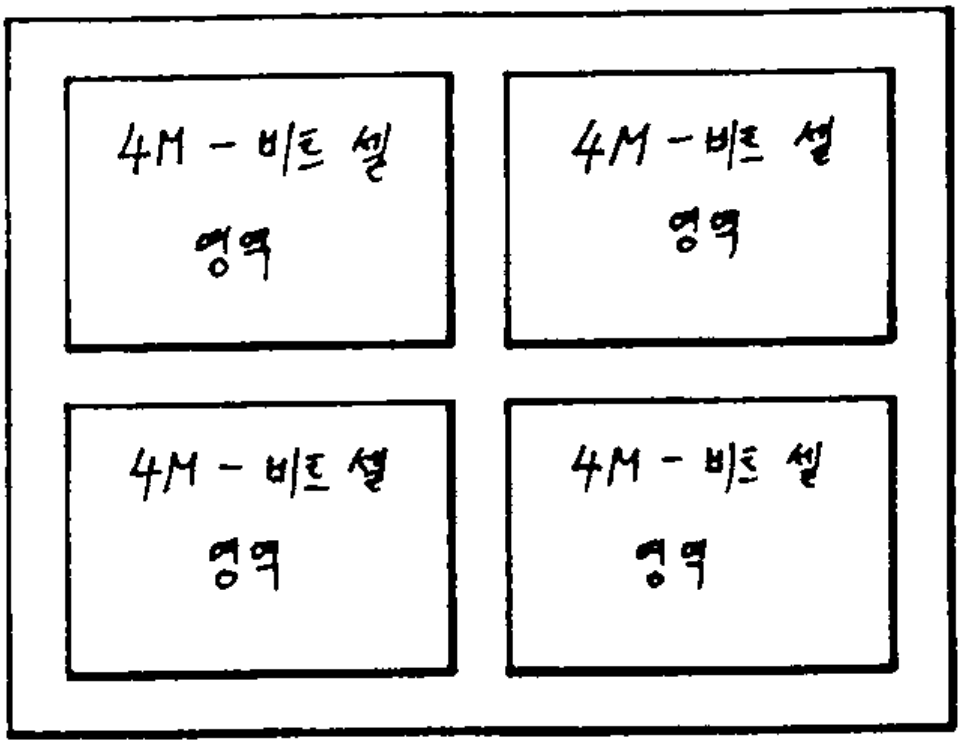
상기 제 1 메모리 어레이의 복수의 서브 어레이의 각각은 각 배열 영역에서 나란한 장변과 나란한 단변을 가지며, 각 서브 어레이의 단변은 다른 서브 어레이의 단변에 인접하여 배열 되고, 상기 프로세서는 상기 적어도 두 개의 배열영역의 상기 서브 어레이의 장변사이에 배치된 것을 특징으로 하는 마이크로 컴퓨터.

청구항 13

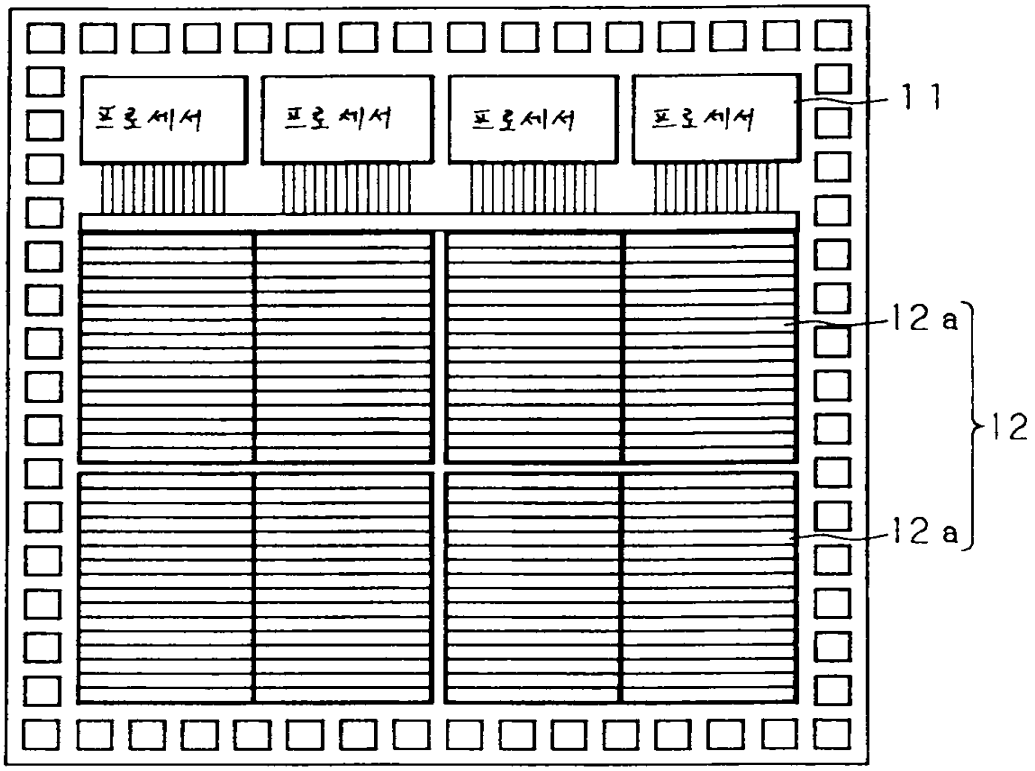
프로세서와, 상기 프로세서 및 메모리와 함께 동일 칩상에 집적되고, 복수의 행열로 배열된 복수의 메모리셀을 가지는 각 서브어레이를 포함하는 복수의 서브 어레이로 분리되고, 상기 복수의 서브 어레이가 복수의 직선 행으로 배열되어 있는 메모리 어레이와, 외부핀과 접속하도록 칩의 주변부에 배치된 복수의 패 드와, 상기 복수의 패드를 통하여 송수신하는 프로세서의 데이터를 유지하는 복수의 래치회로를 포함하며,상기 프로세서는 상기 복수의 서브 어레이의 상기 복수의 직선 행사이에 배치되고, 상기 복수의 래치회로는 상기 복수의 서브 어레이의 상기 복수의 직선 행사이의 상기 프로세서의 주변부에 배치되는 것을 특징으로 하는 마이크로 컴퓨터.

도면

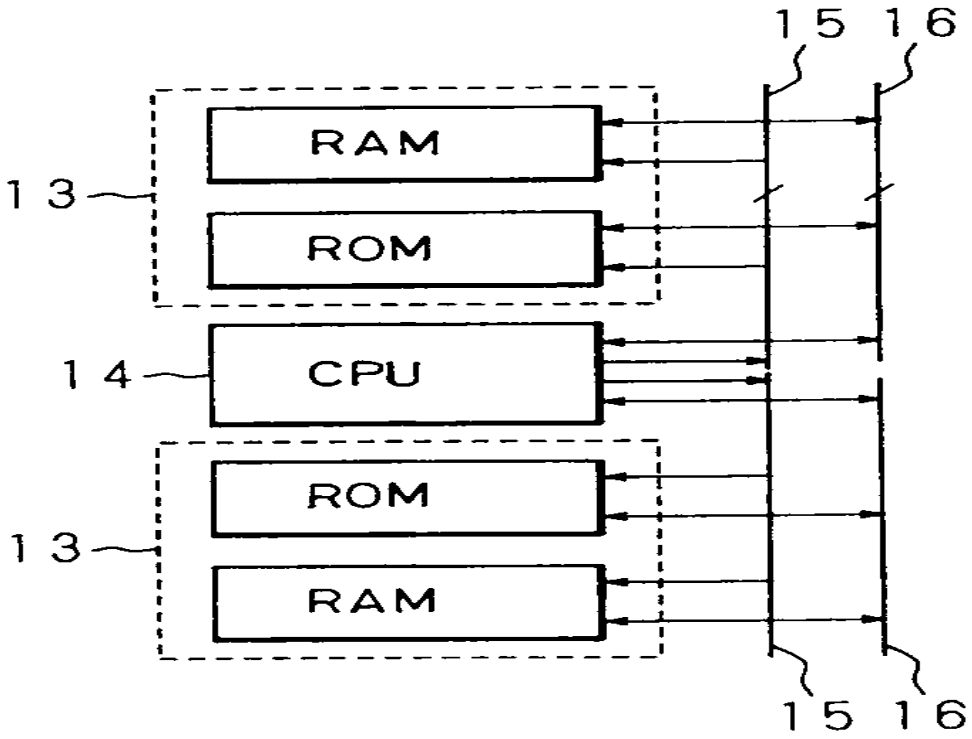
도면1


4M - 비트 셀
영역
4M - 비트 셀
영역
4M - 비트 셀
영역
4M - 비트 셀
영역

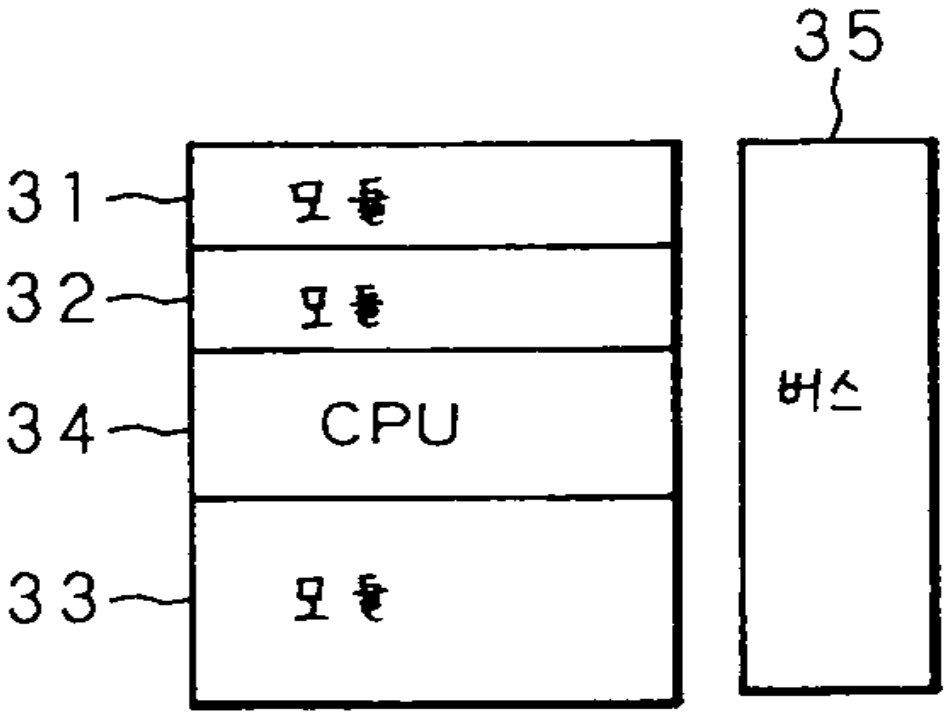
도면2


프로세서
프로세서
프로세서
프로세서
11
12a
12
12a

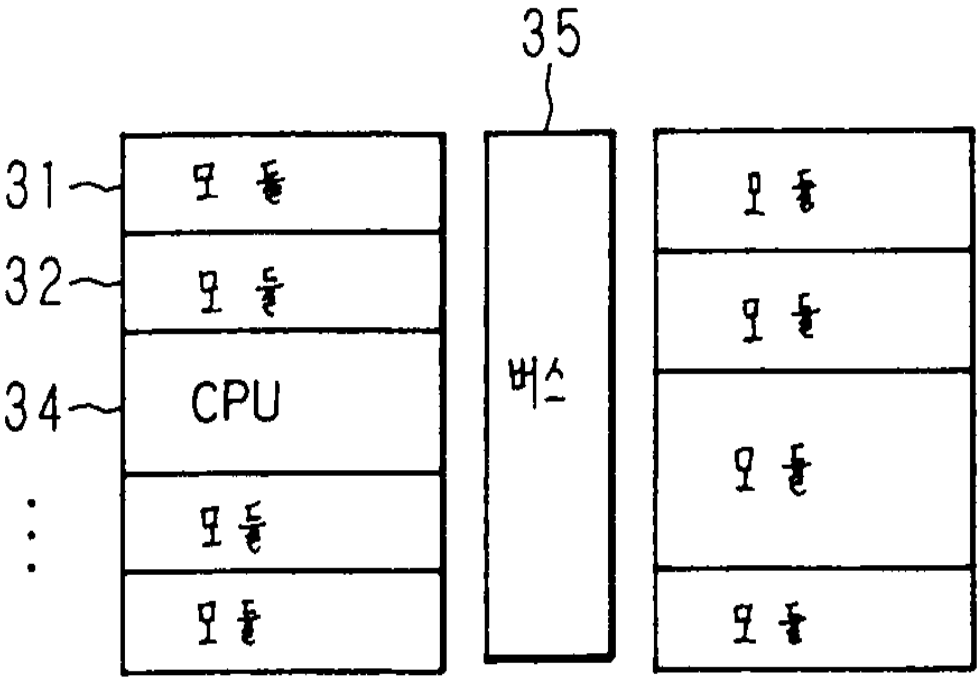
도면3



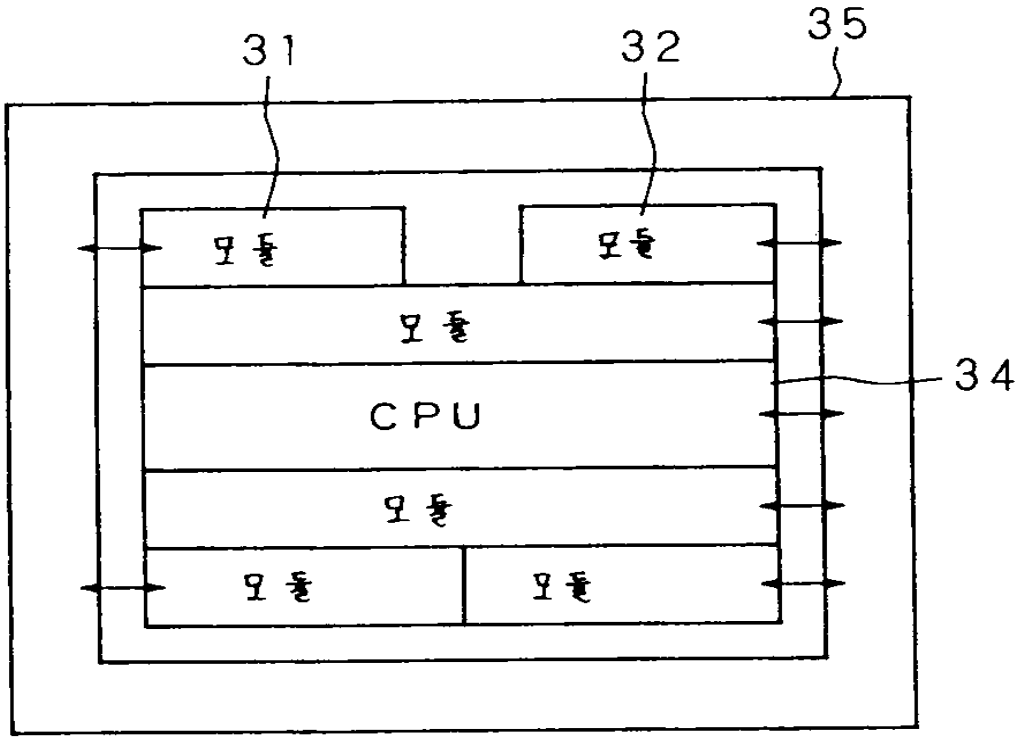
도면4



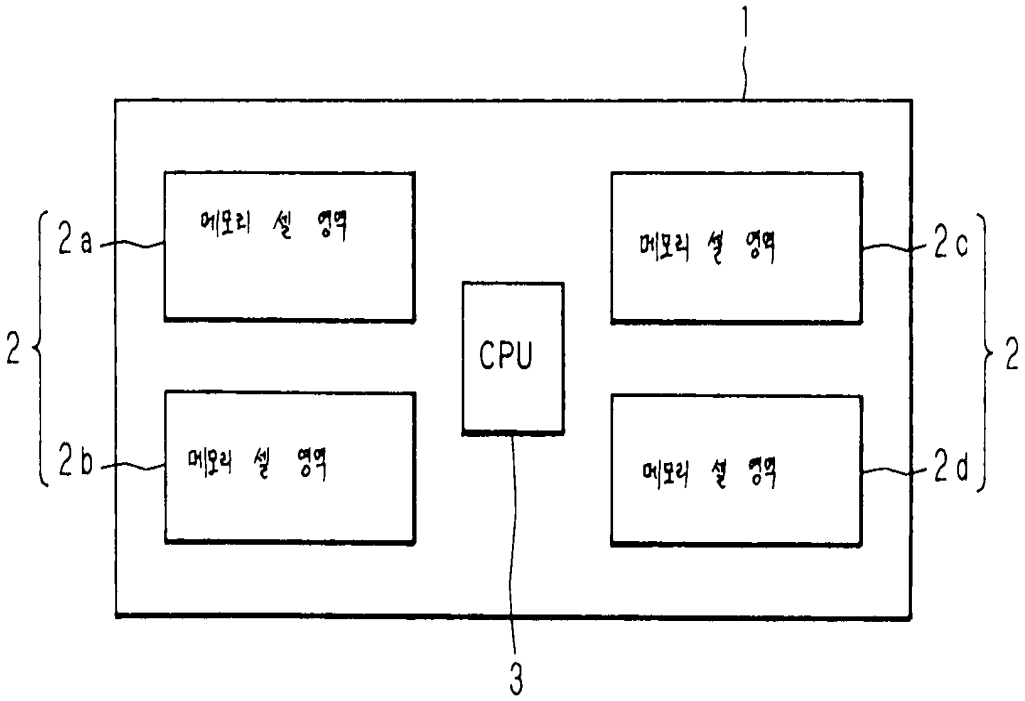
도면5


35
31
32
34
CPU
버스
모 듈
모 듈
모 듈
모 듈
모 듈
모 듈
모 듈
모 듈

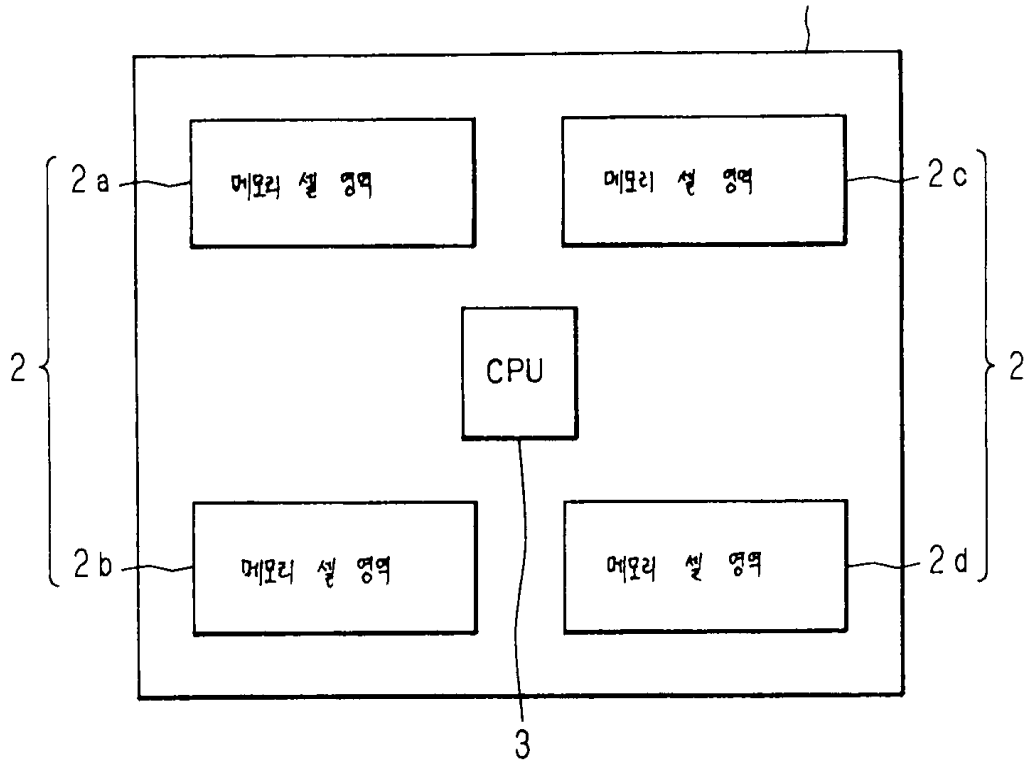
도면6


31
32
35
34
CPU
모 듈
모 듈
모 듈
모 듈
모 듈
모 듈

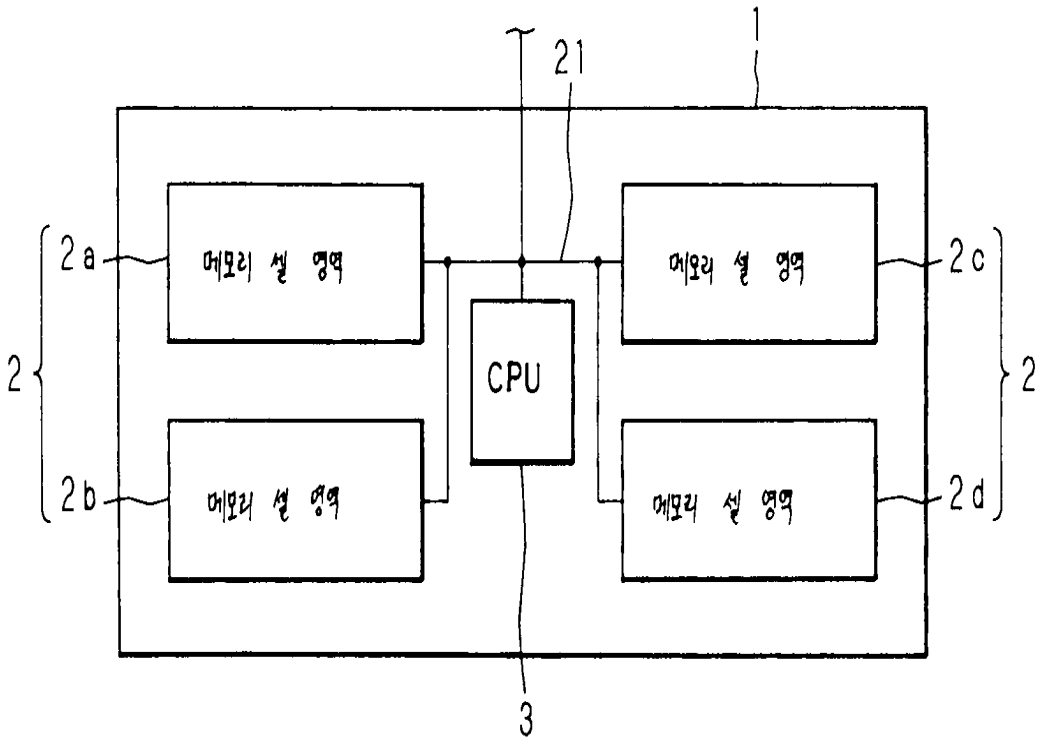
도면7


1
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3

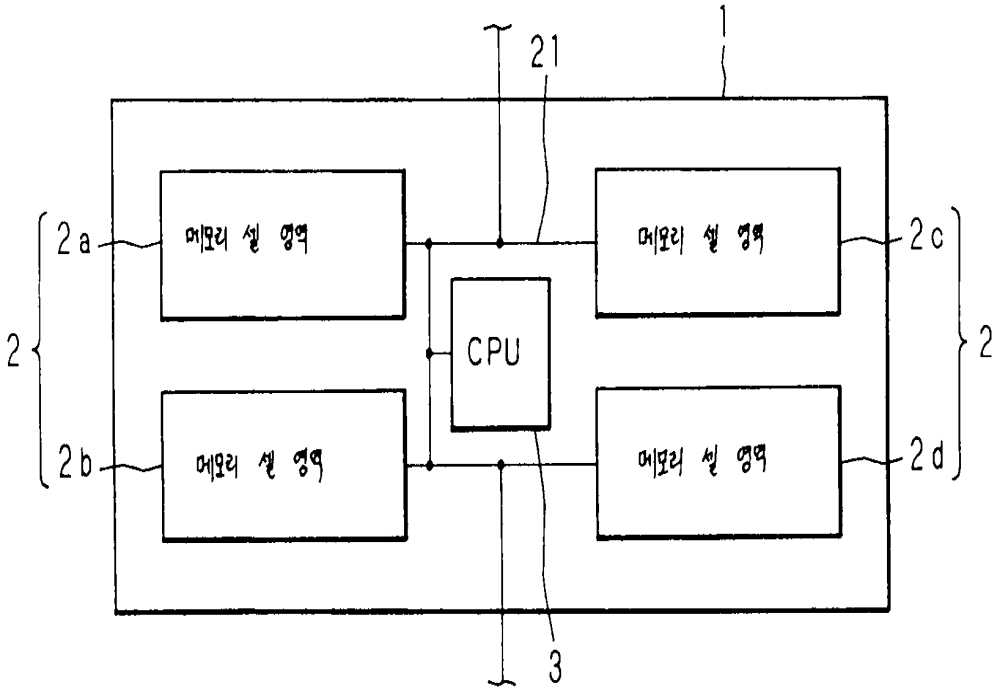
도면8


2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3

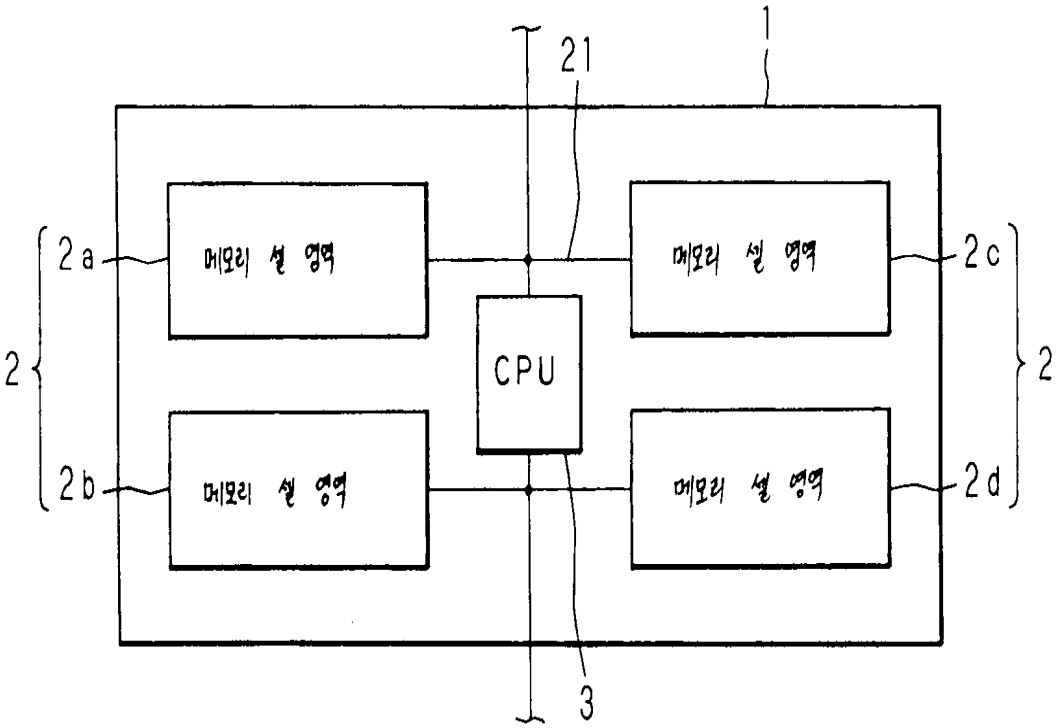
도면9


21
1
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3

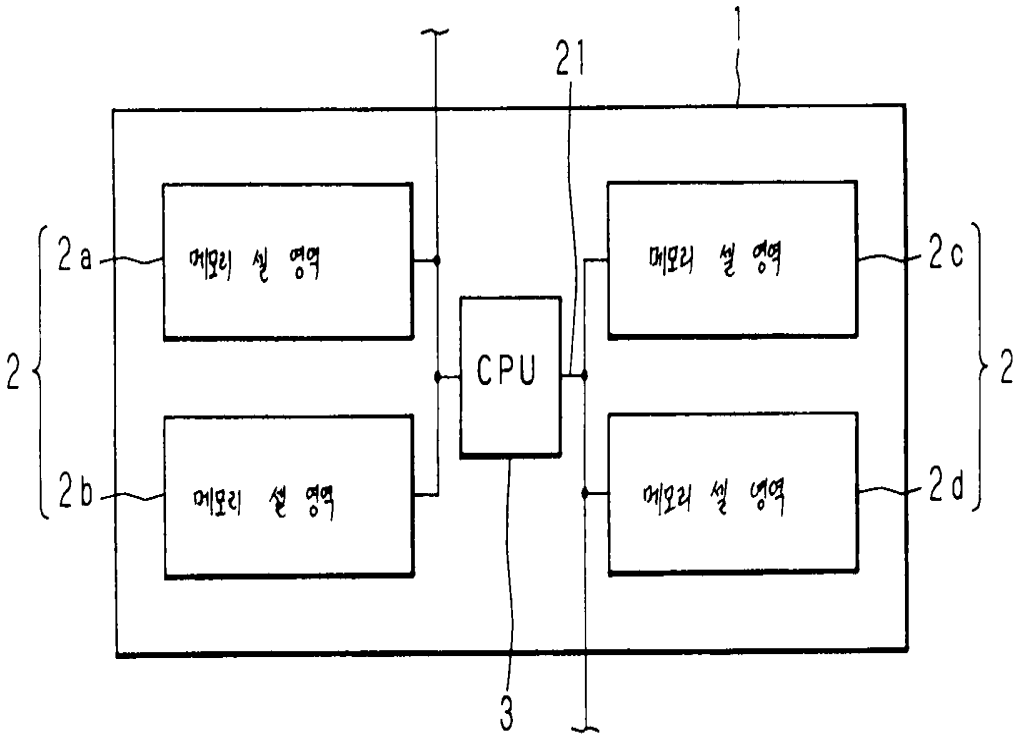
도면10


21
1
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3

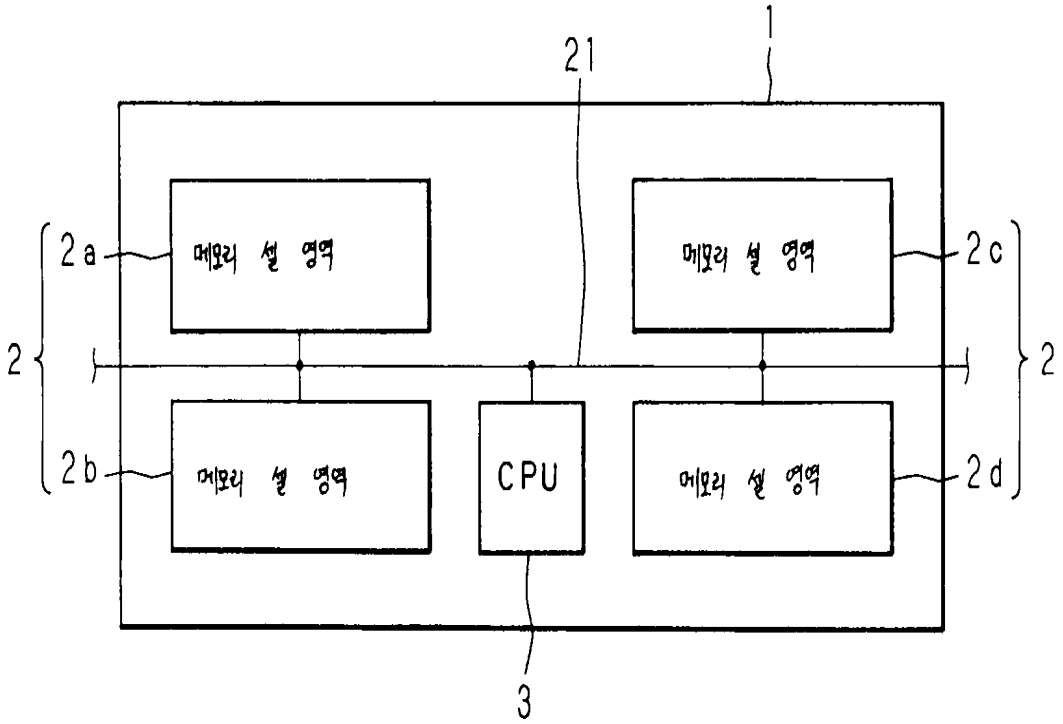
도면11


21
1
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3

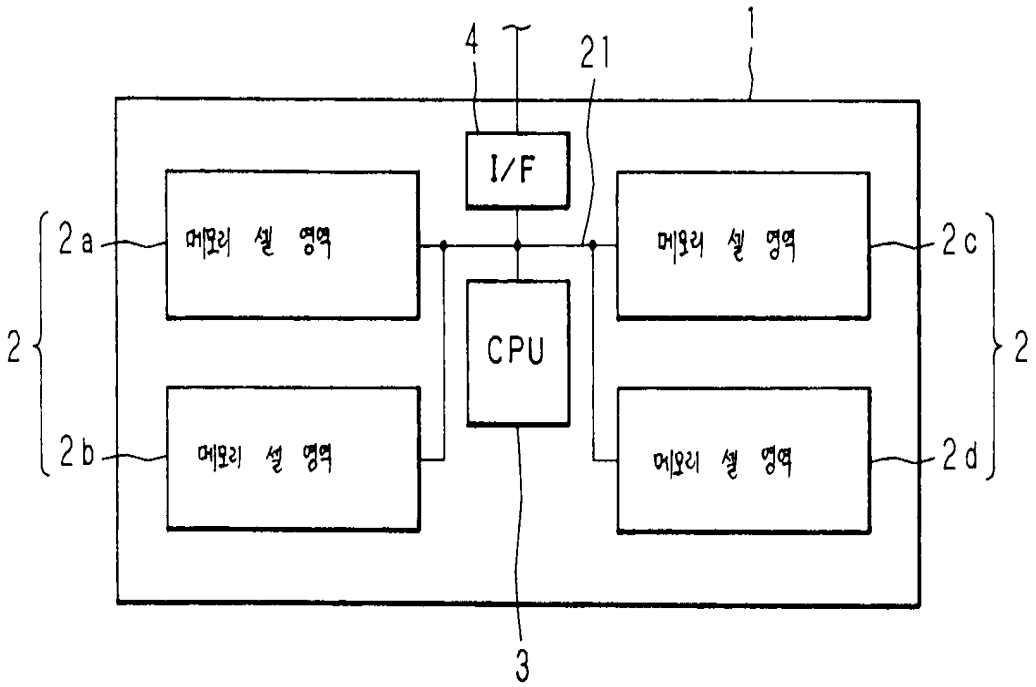
도면12


21
1
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3

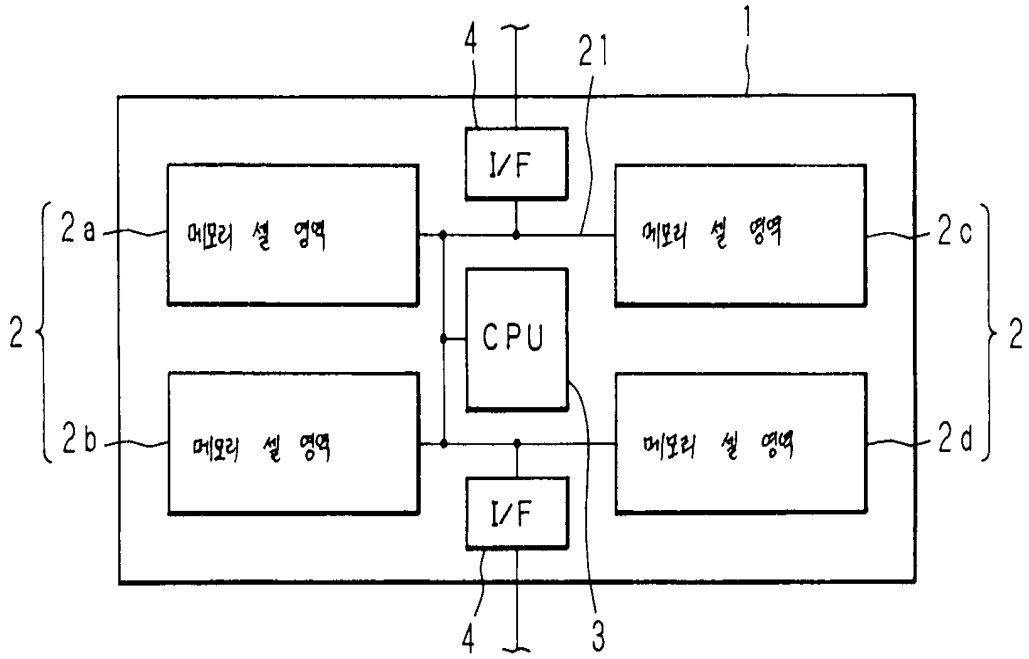
도면13


1
21
2a
메모리 셀 영역
메모리 셀 영역
2c
2
2
2b
메모리 셀 영역
CPU
메모리 셀 영역
2d
3

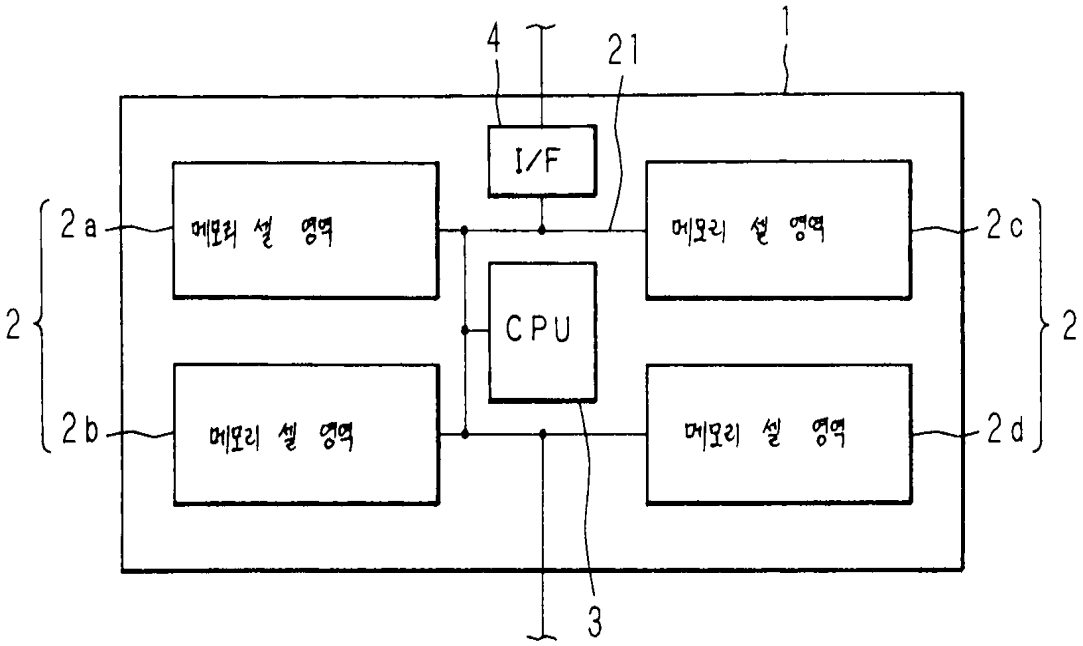
도면14


4
21
1
I/F
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3

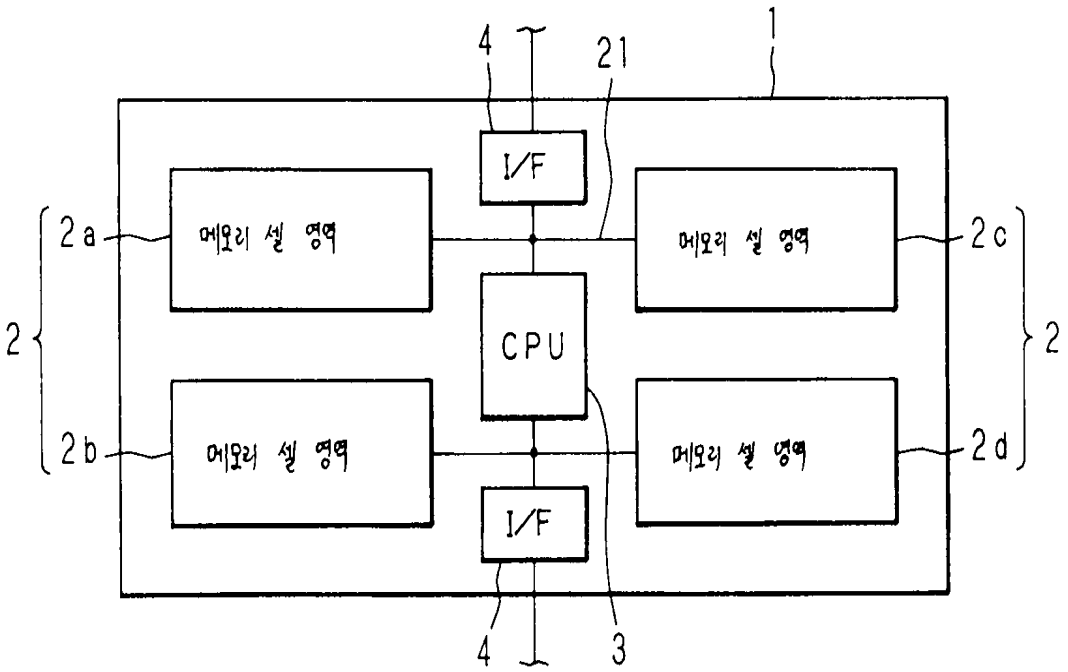
도면15


4
21
1
I/F
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
메모리 셀 영역
2d
I/F
4
3

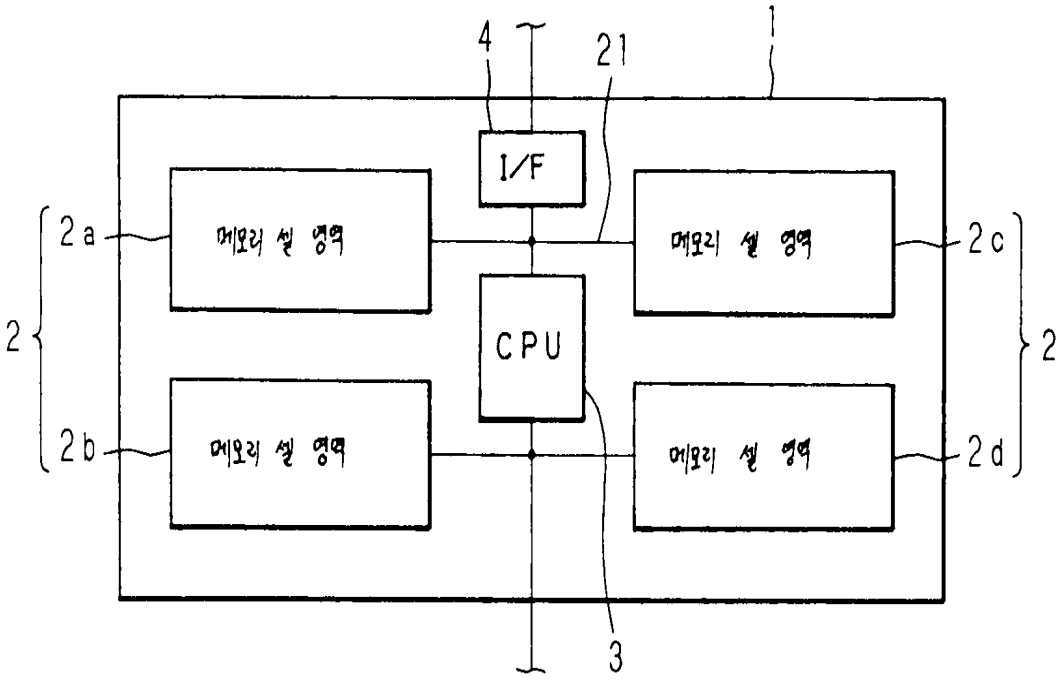
도면16


4
21
1
I/F
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3

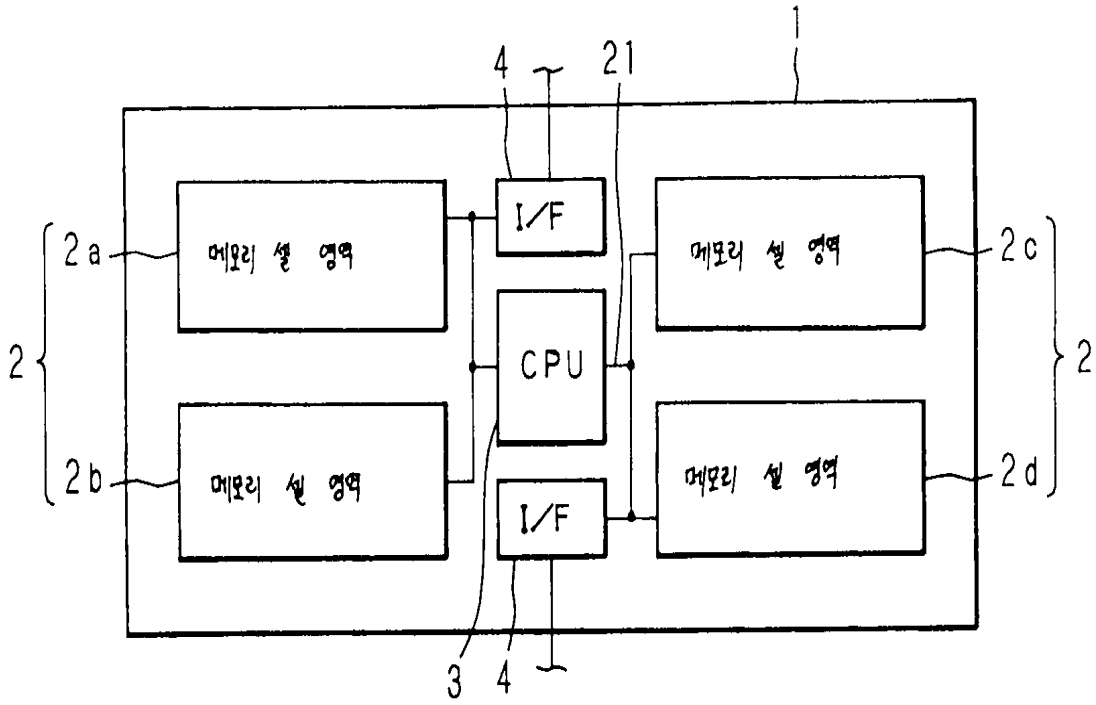
도면17


4
21
1
I/F
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
메모리 셀 영역
2d
I/F
4
3

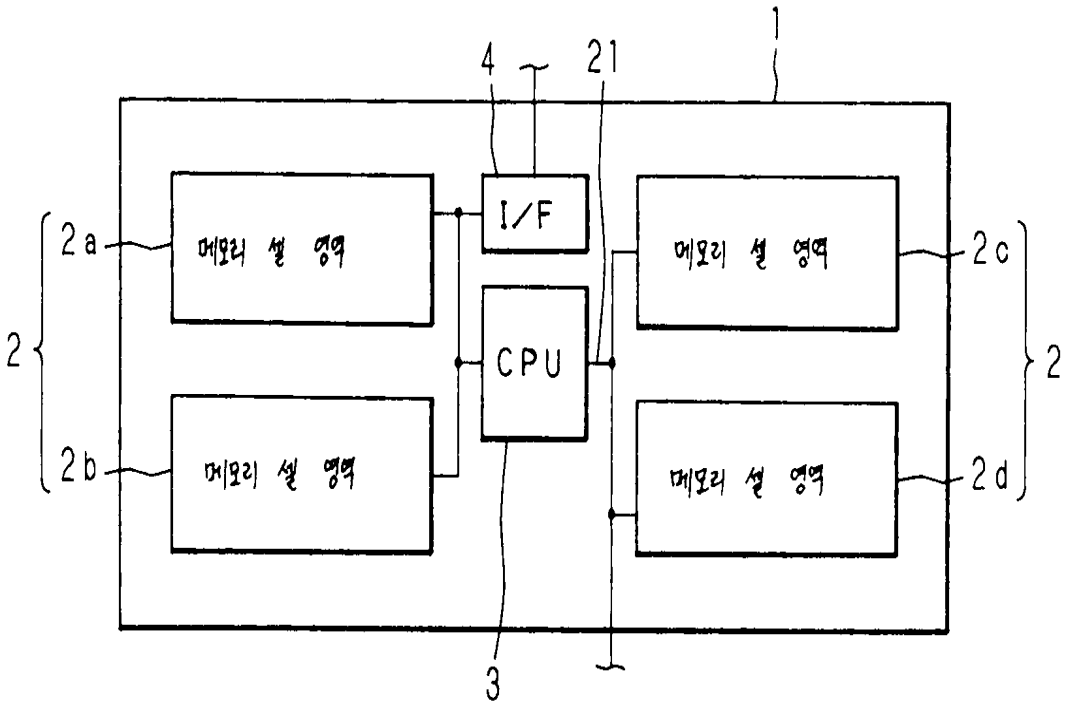
도면18


4
21
1
I/F
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3

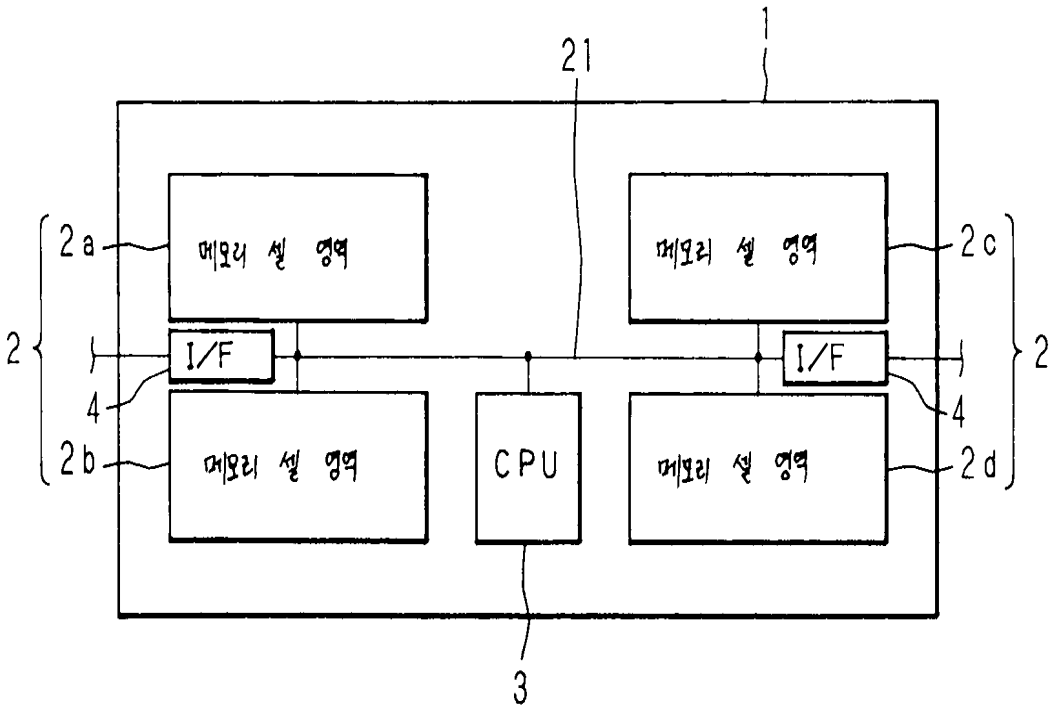
도면19


1
4
21
I/F
CPU
I/F
2a
메모리 셀 영역
2b
메모리 셀 영역
2c
메모리 셀 영역
2d
메모리 셀 영역
2
2
3
4

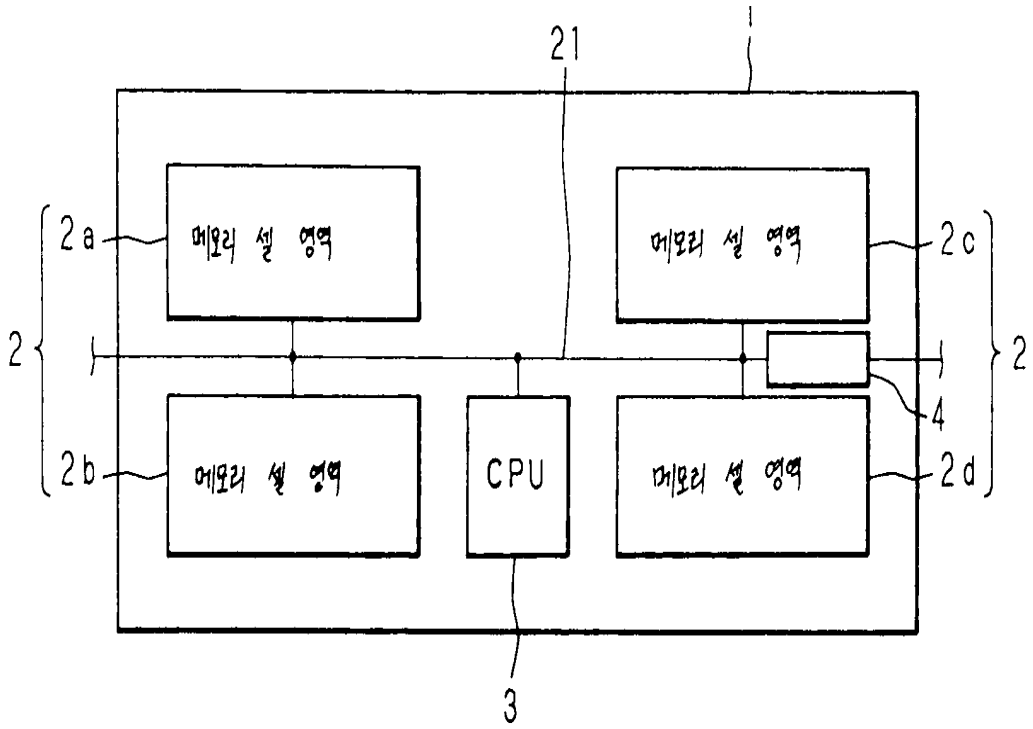
도면20


1
4
21
I/F
CPU
2a
메모리 셀 영역
2b
메모리 셀 영역
2c
메모리 셀 영역
2d
메모리 셀 영역
2
2
3

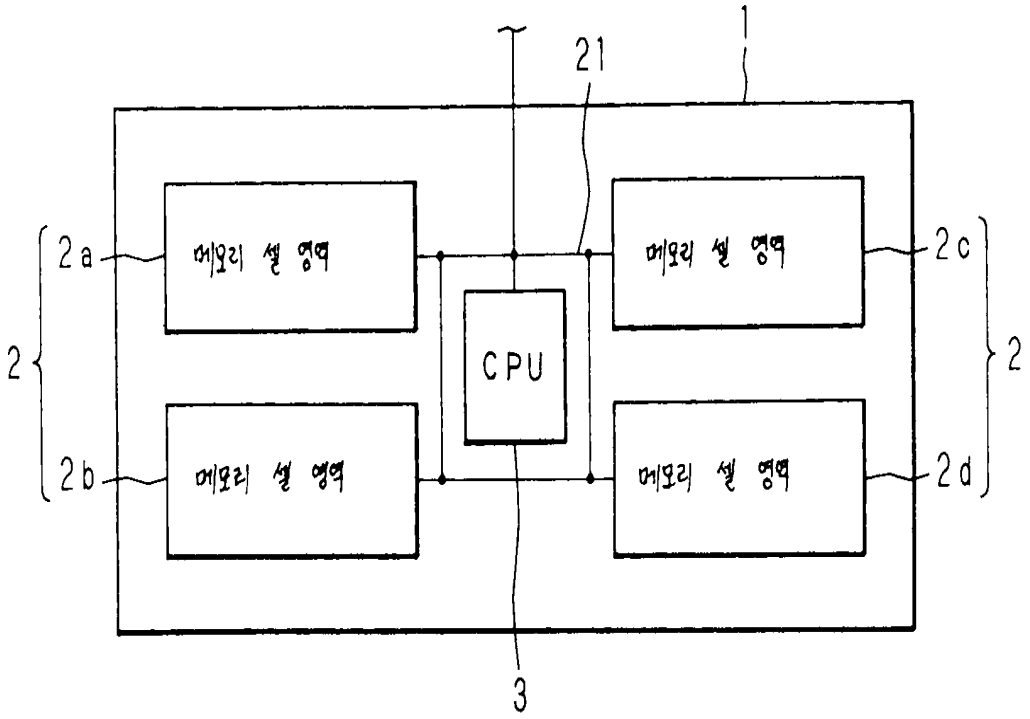
도면21


1
21
2
2a
메모리 셀 영역
2c
메모리 셀 영역
I/F
I/F
4
4
2b
메모리 셀 영역
CPU
메모리 셀 영역
2d
2
3

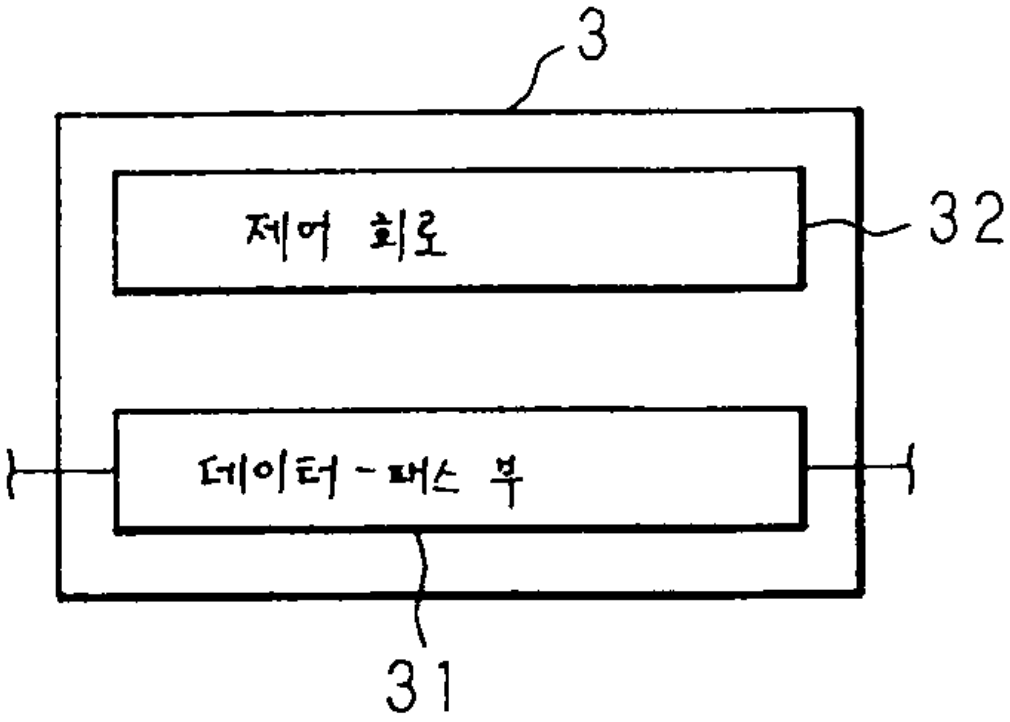
도면22


1
21
2
2a
메모리 셀 영역
2c
메모리 셀 영역
4
2b
메모리 셀 영역
CPU
메모리 셀 영역
2d
2
3

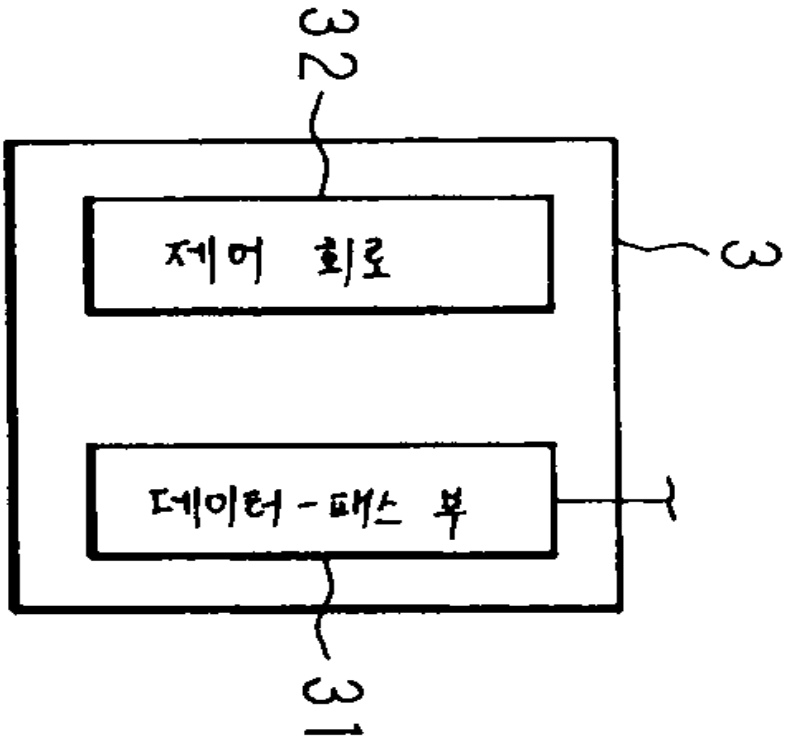
도면23


21
1
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3

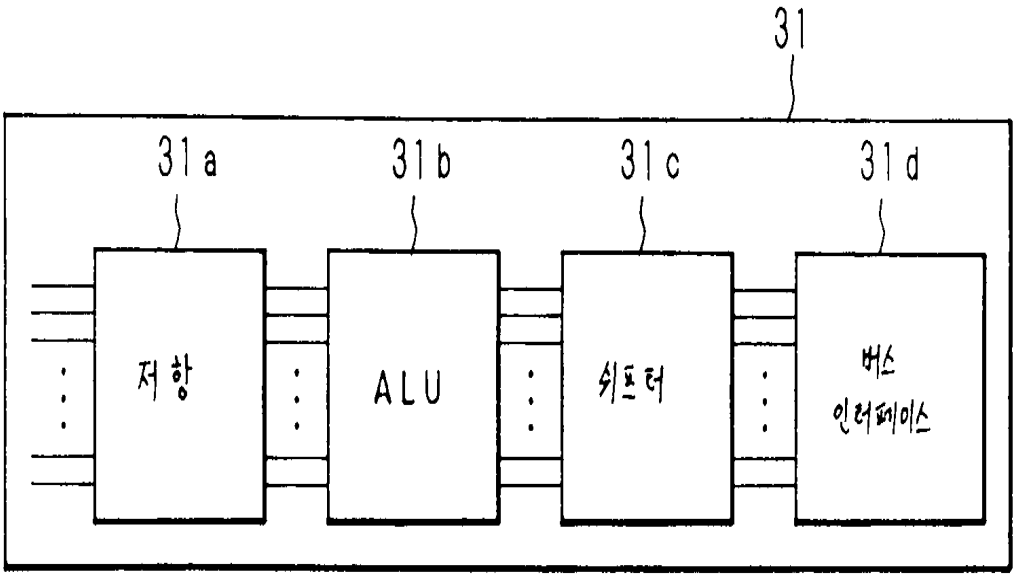
도면24


3
제어 회로
32
데이터-패스 부
31

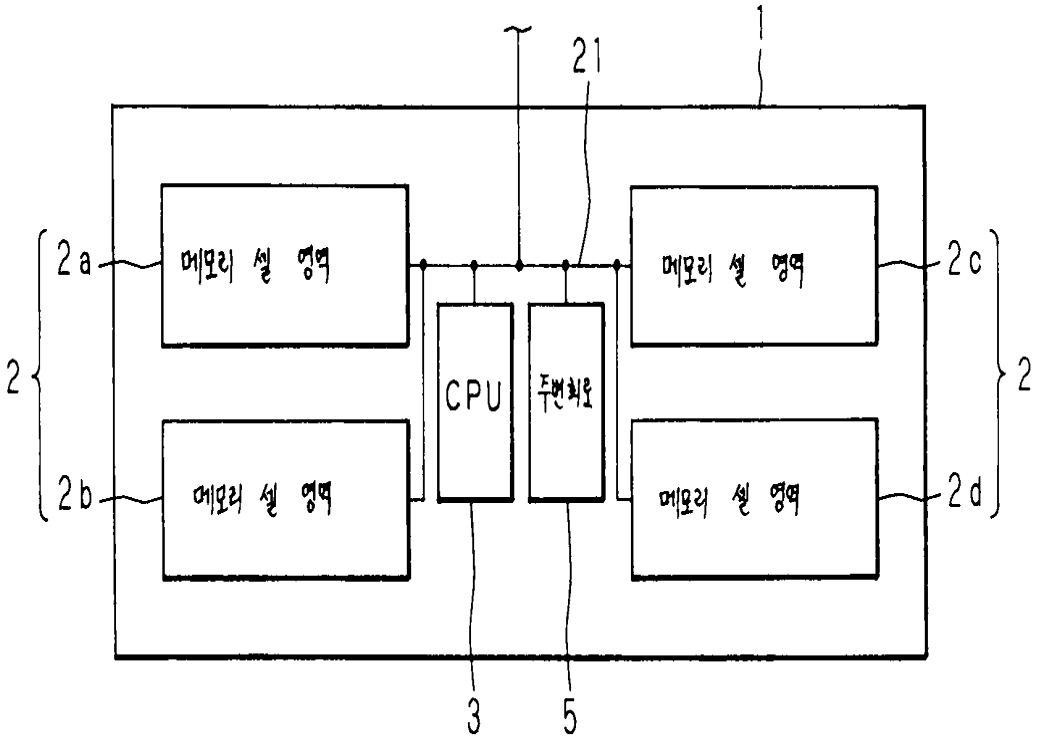
도면25



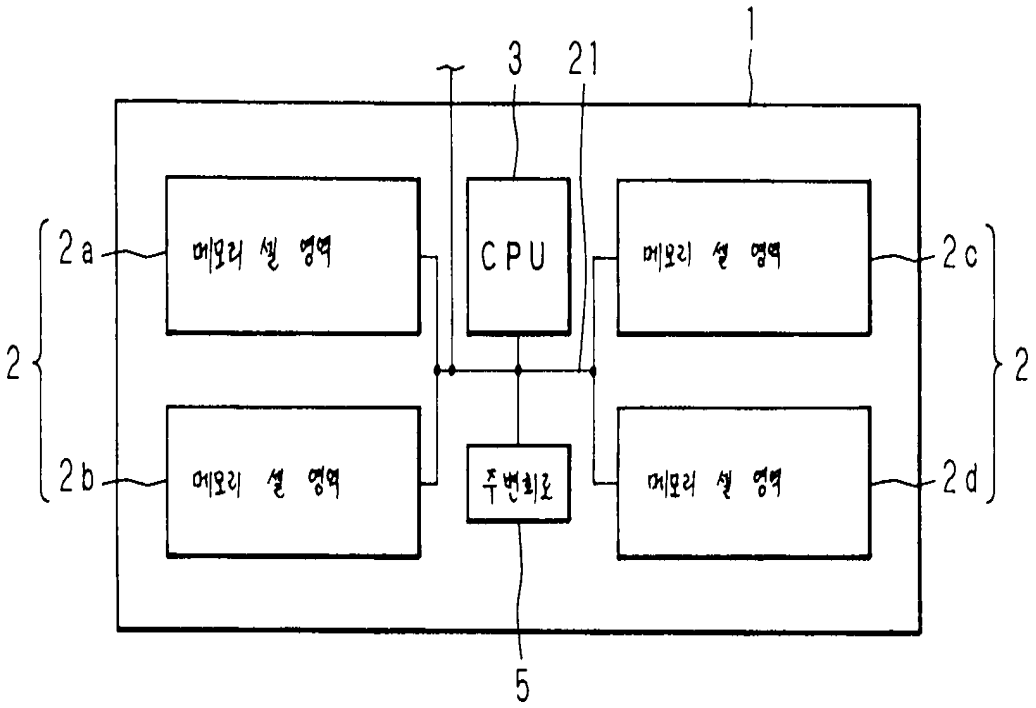
도면26



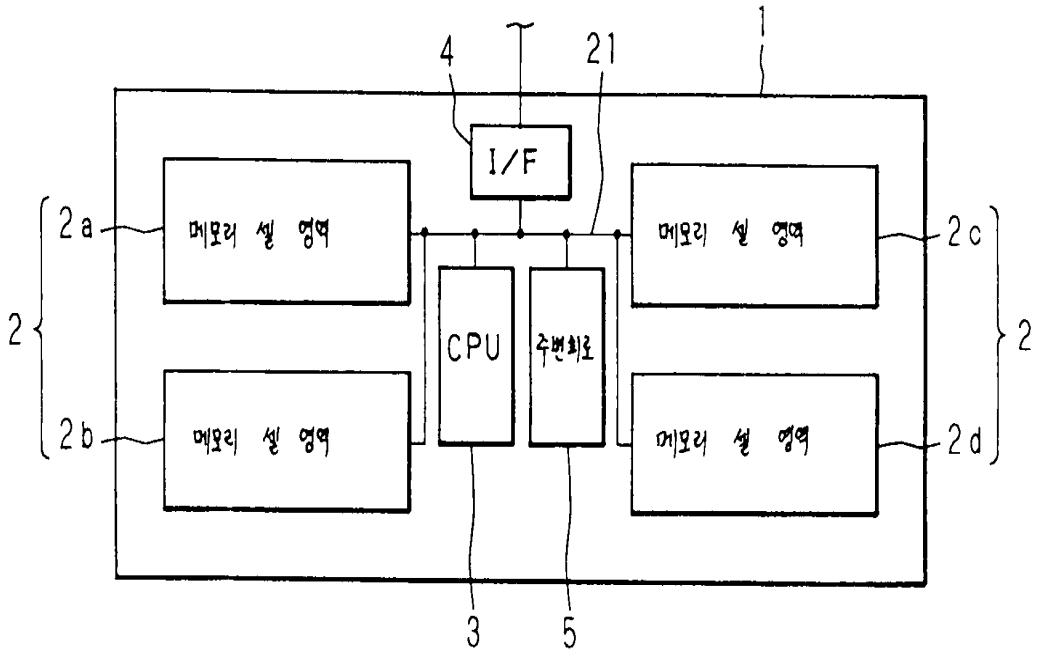
도면27


1
21
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
주변회로
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3
5

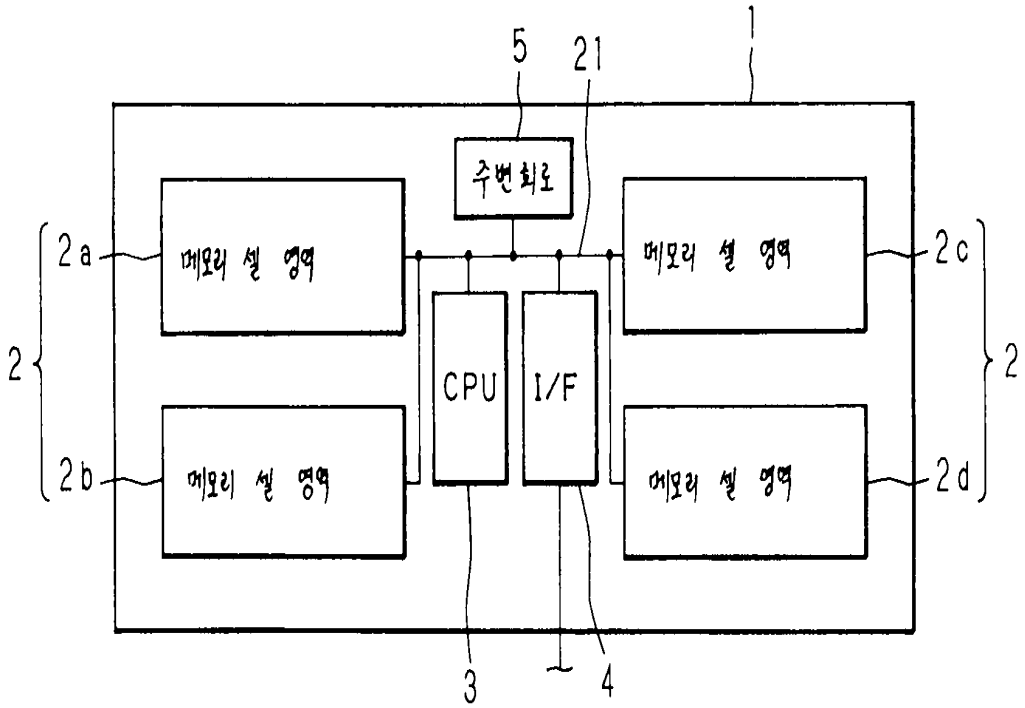
도면28


1
3
21
2a
메모리 셀 영역
CPU
메모리 셀 영역
2c
2
2
2b
메모리 셀 영역
주변회로
메모리 셀 영역
2d
5

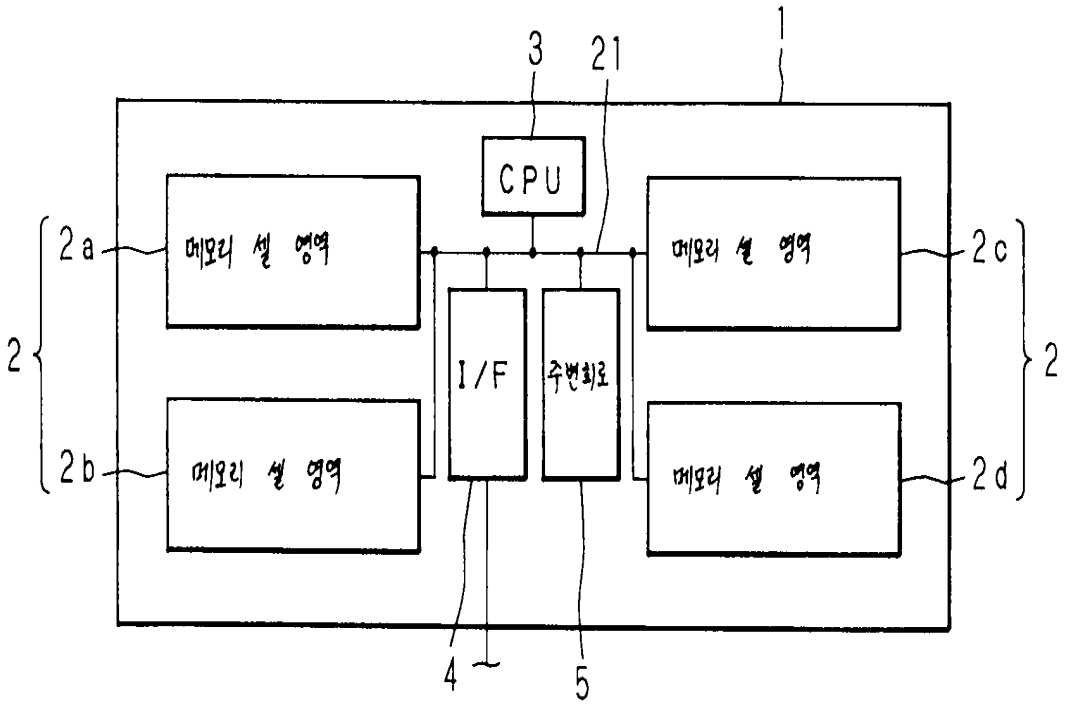
도면29


4
21
1
I/F
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
주변회로
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3
5

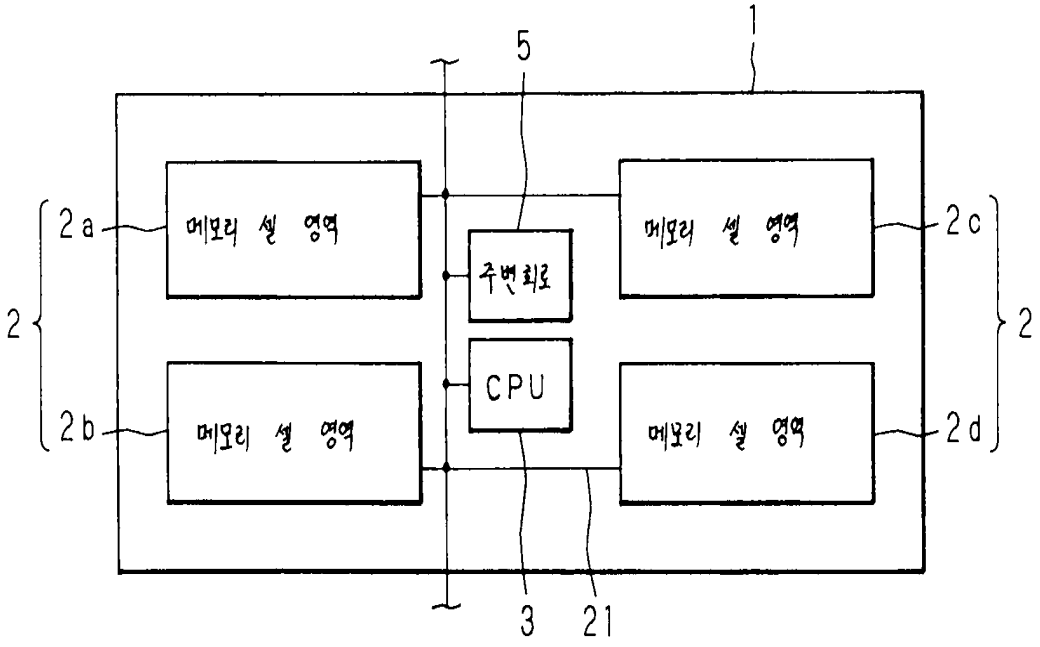
도면30


5
21
1
주변회로
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
I/F
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3
4

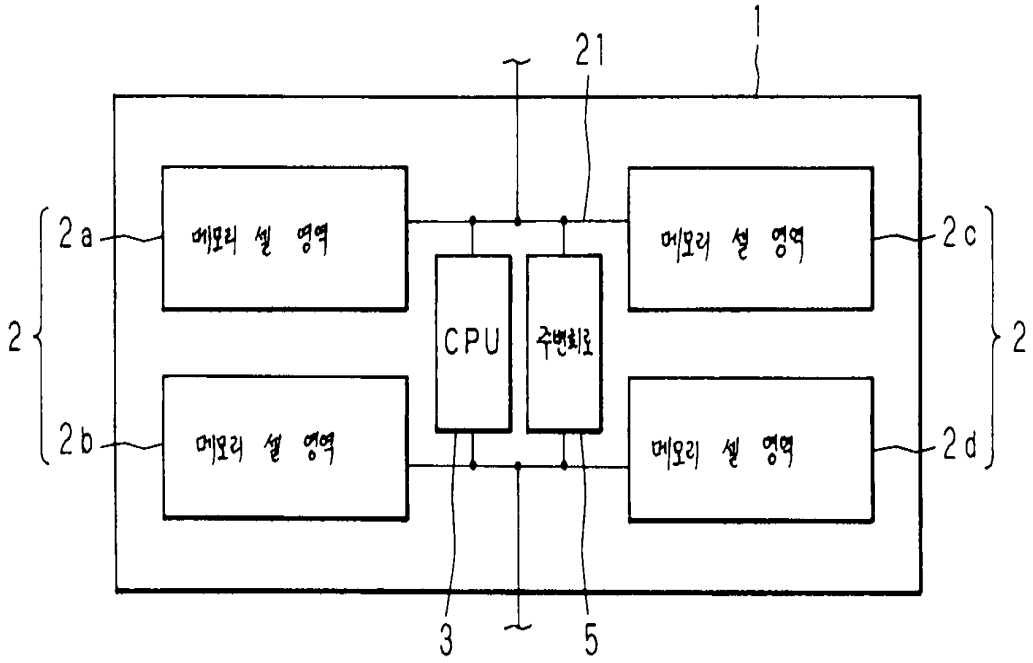
도면31


3
21
1
CPU
2a
메모리 셀 영역
메모리 셀 영역
2c
2
I/F
주변회로
2
2b
메모리 셀 영역
메모리 셀 영역
2d
4
5

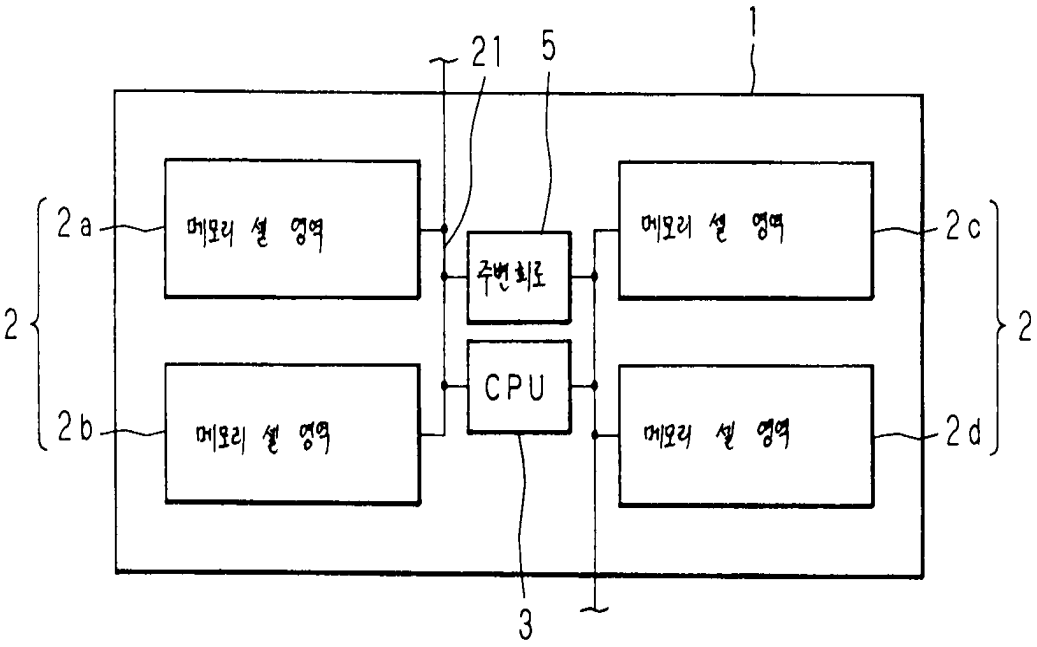
도면32


5
1
2a
메모리 셀 영역
메모리 셀 영역
2c
주변회로
2
2
CPU
2b
메모리 셀 영역
메모리 셀 영역
2d
3
21

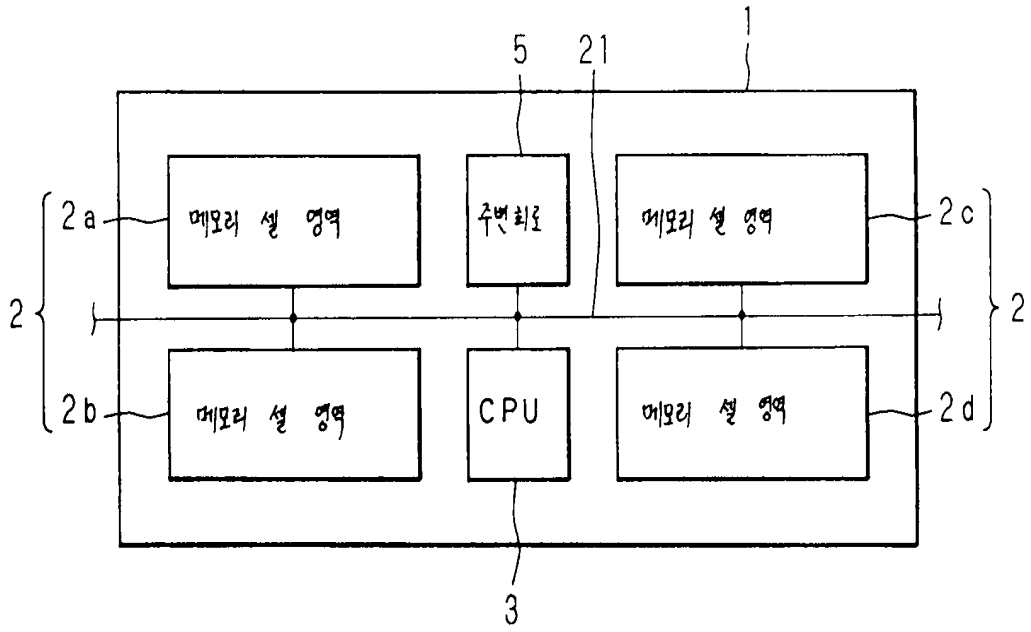
도면33


1
21
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
주변회로
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3
5

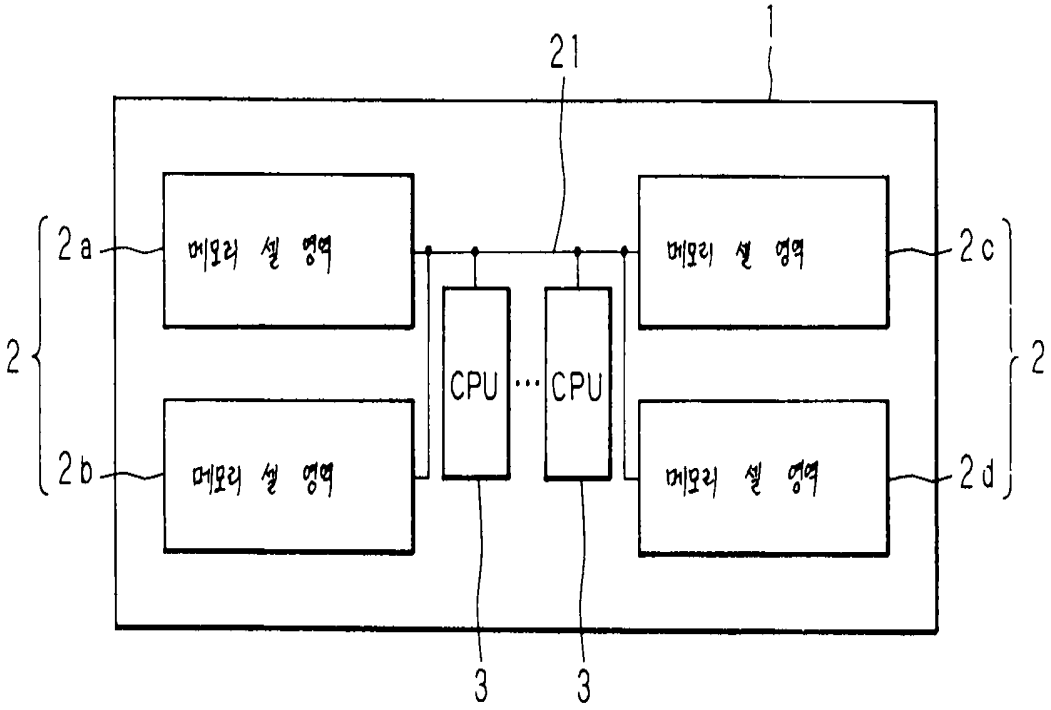
도면34


1
21
5
2a
메모리 셀 영역
메모리 셀 영역
2c
주변회로
2
2
CPU
2b
메모리 셀 영역
메모리 셀 영역
2d
3

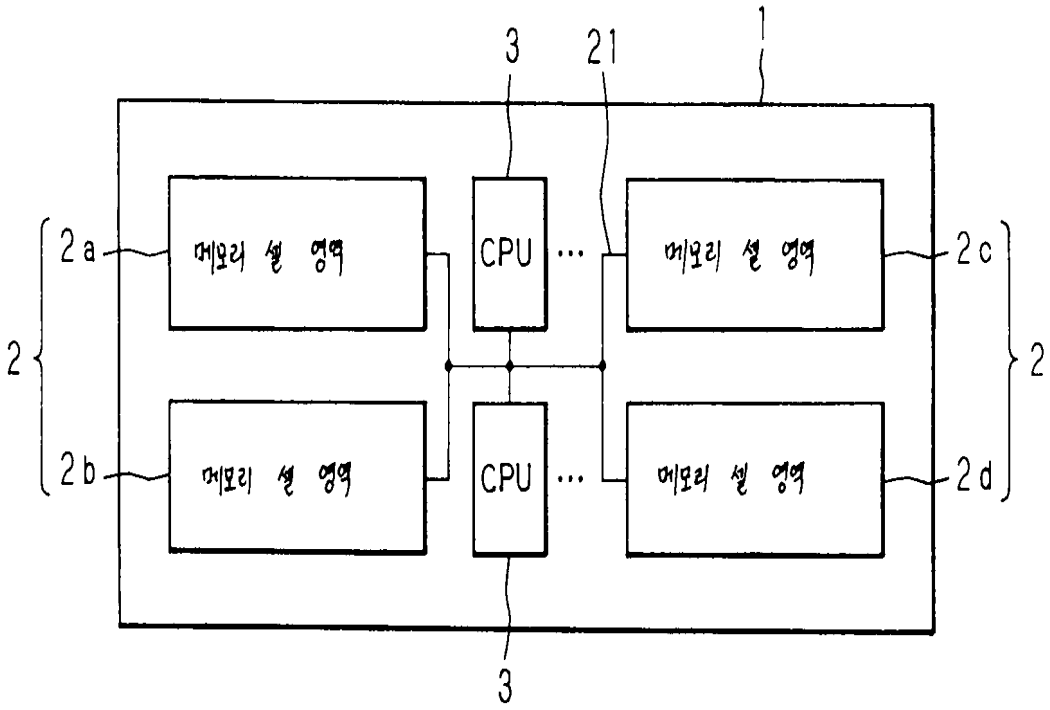
도면35


1
5
21
2a
메모리 셀 영역
주변회로
메모리 셀 영역
2c
2
2
2b
메모리 셀 영역
CPU
메모리 셀 영역
2d
3

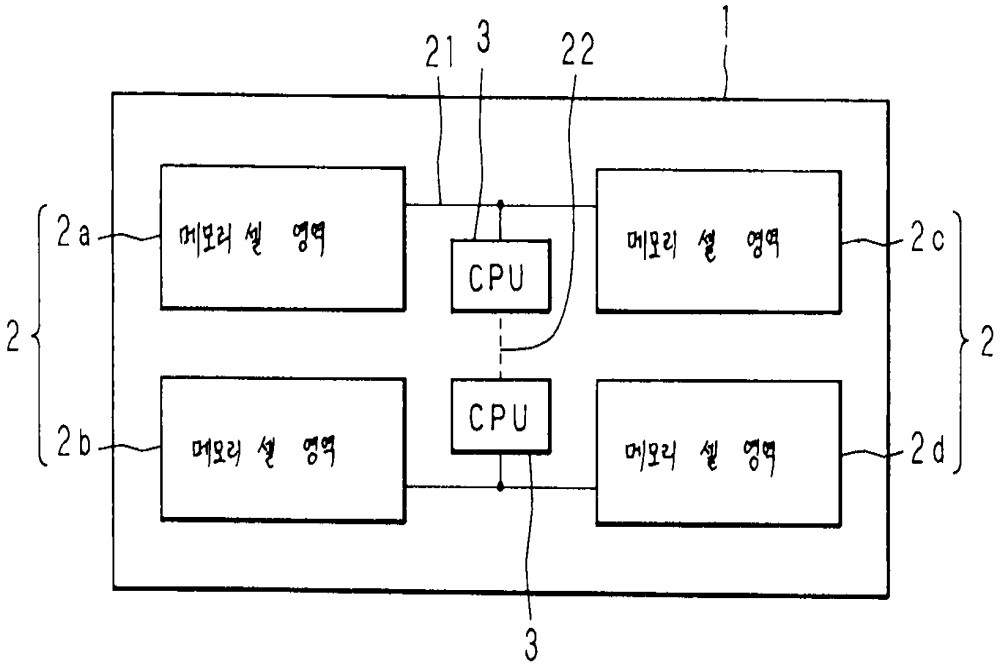
도면36


1
21
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
CPU
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3
3

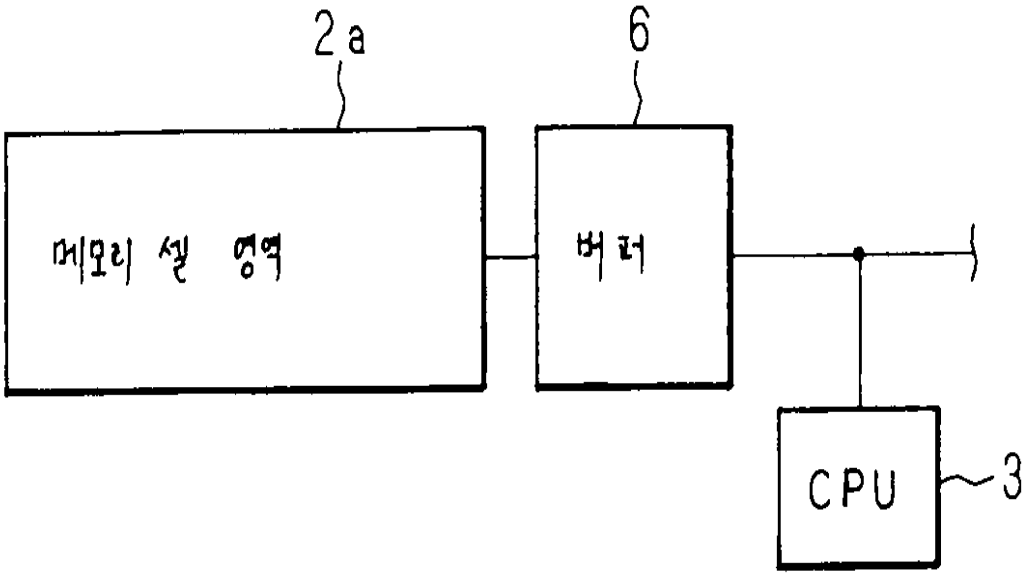
도면37


3
21
1
2a
메모리 셀 영역
CPU
메모리 셀 영역
2c
2
2
2b
메모리 셀 영역
CPU
메모리 셀 영역
2d
2
3

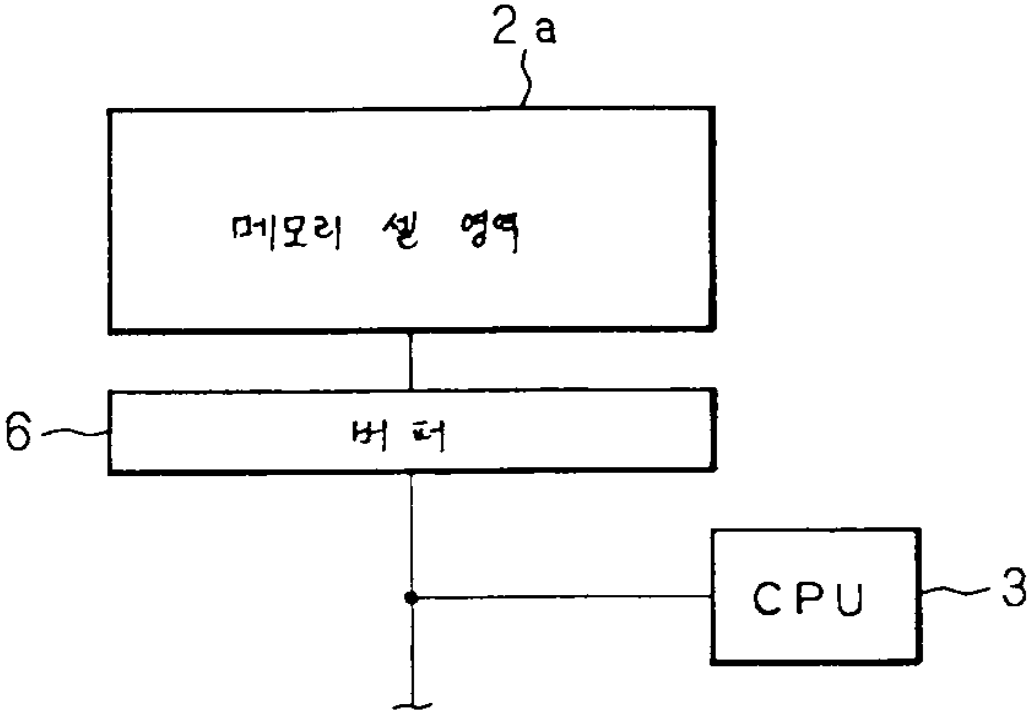
도면38


21
3
22
1
2a
메모리 셀 영역
CPU
메모리 셀 영역
2c
2
2
2b
메모리 셀 영역
CPU
메모리 셀 영역
2d
2
3

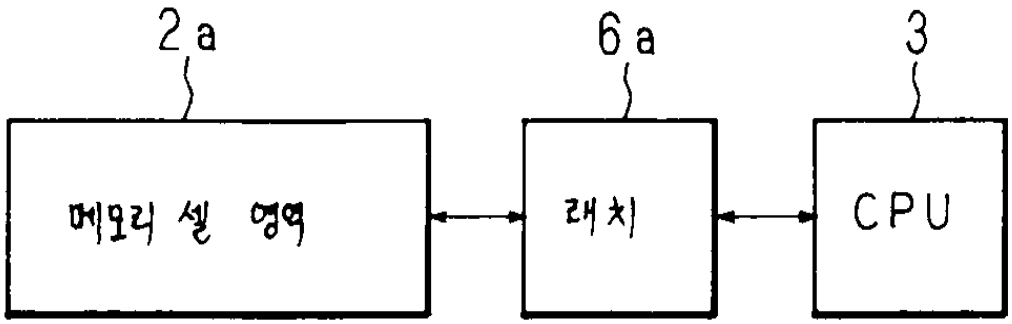
도면39a



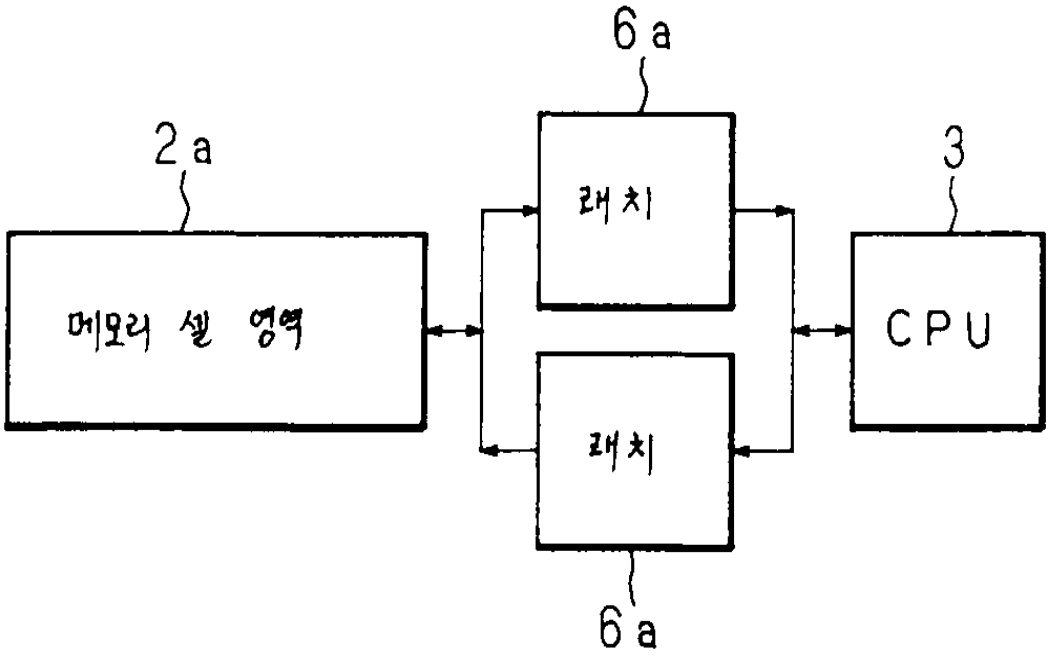
도면39b



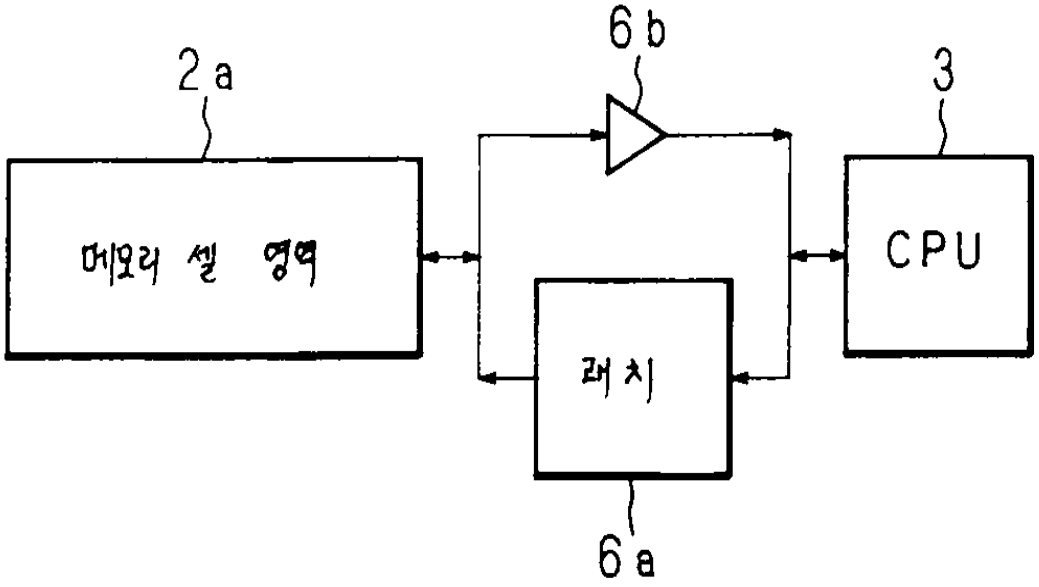
도면40



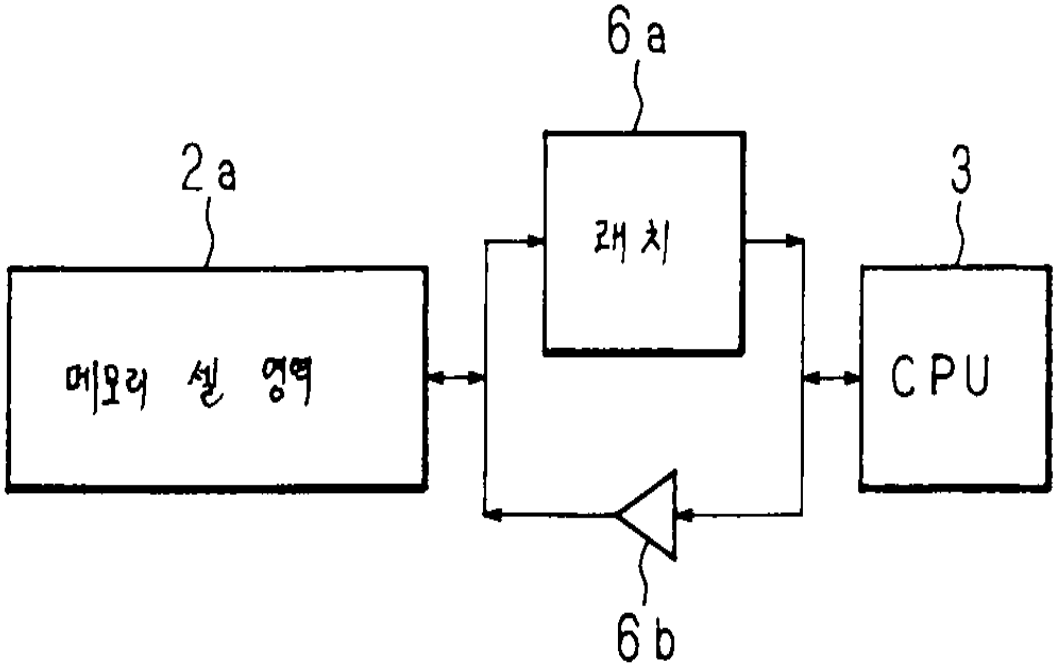
도면41



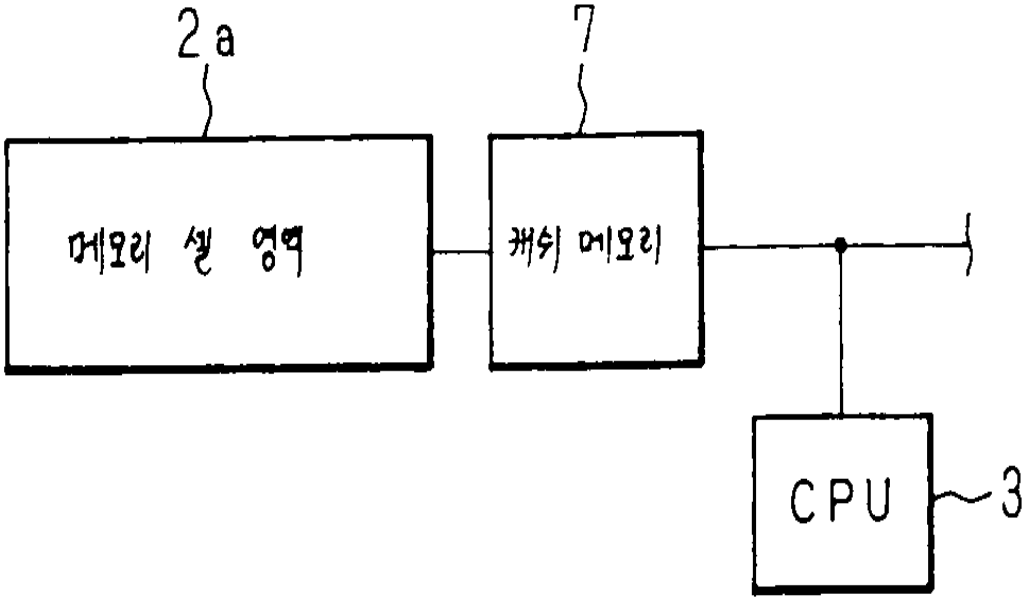
도면42



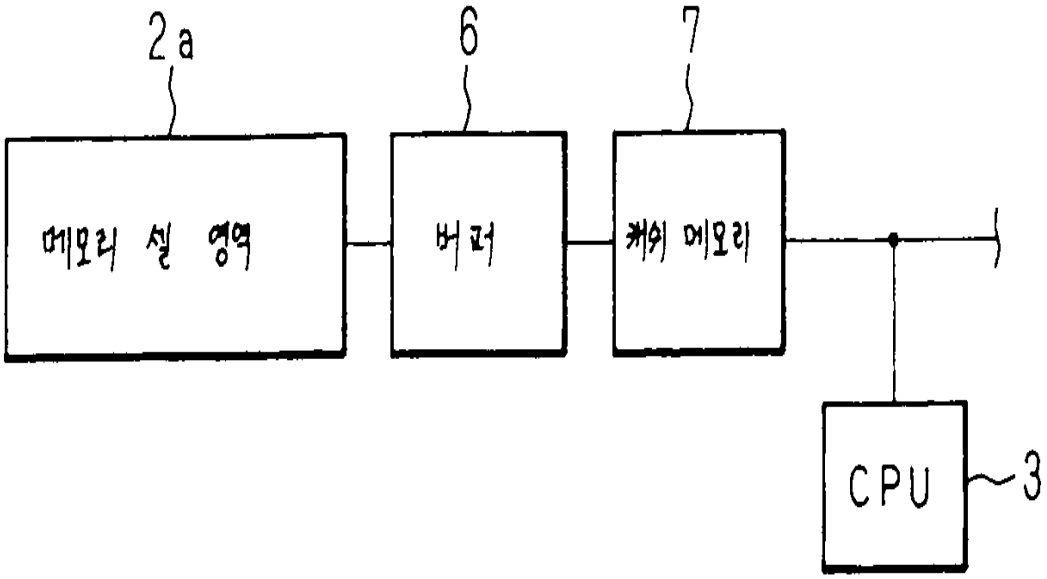
도면43



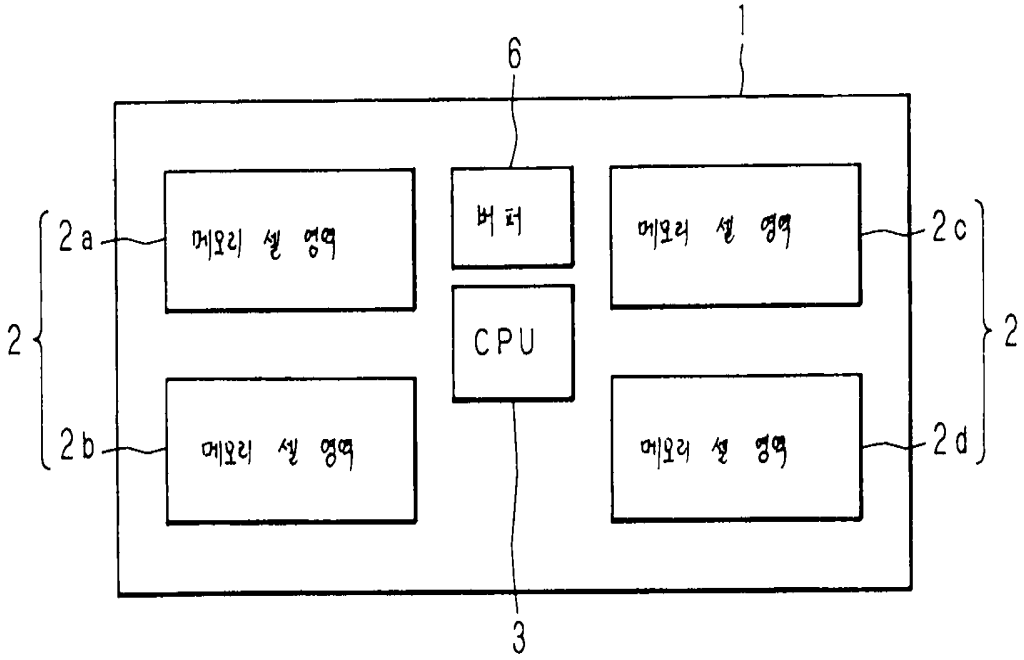
도면44



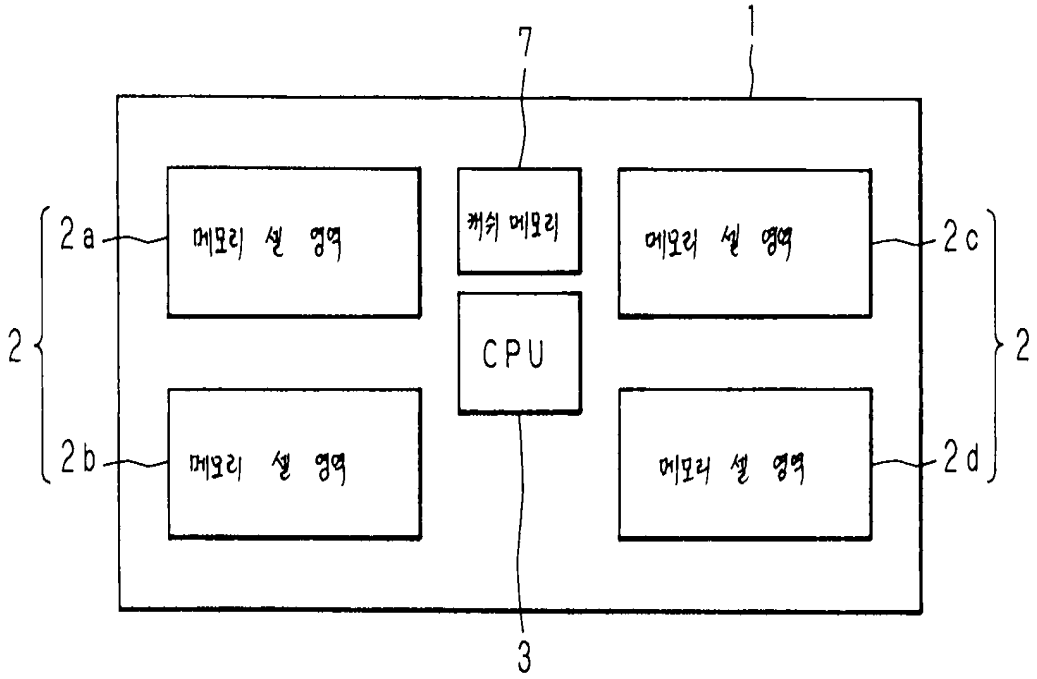
도면45



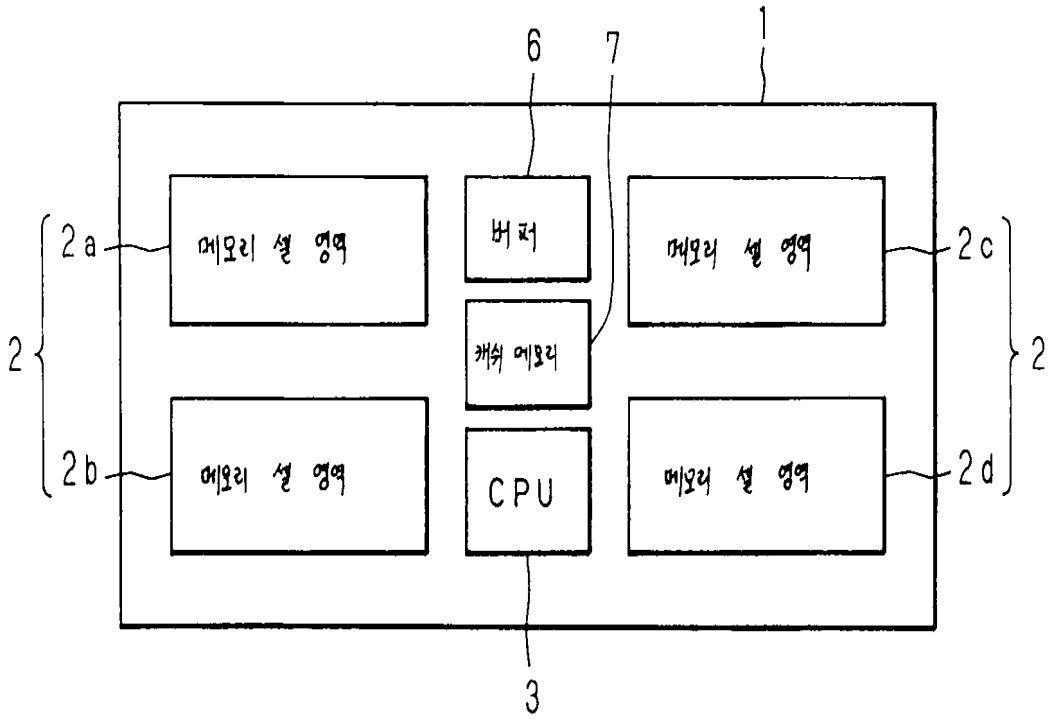
도면46


1
6
버퍼
CPU
메모리 셀 영역
메모리 셀 영역
메모리 셀 영역
메모리 셀 영역
2a
2b
2c
2d
2
2
3

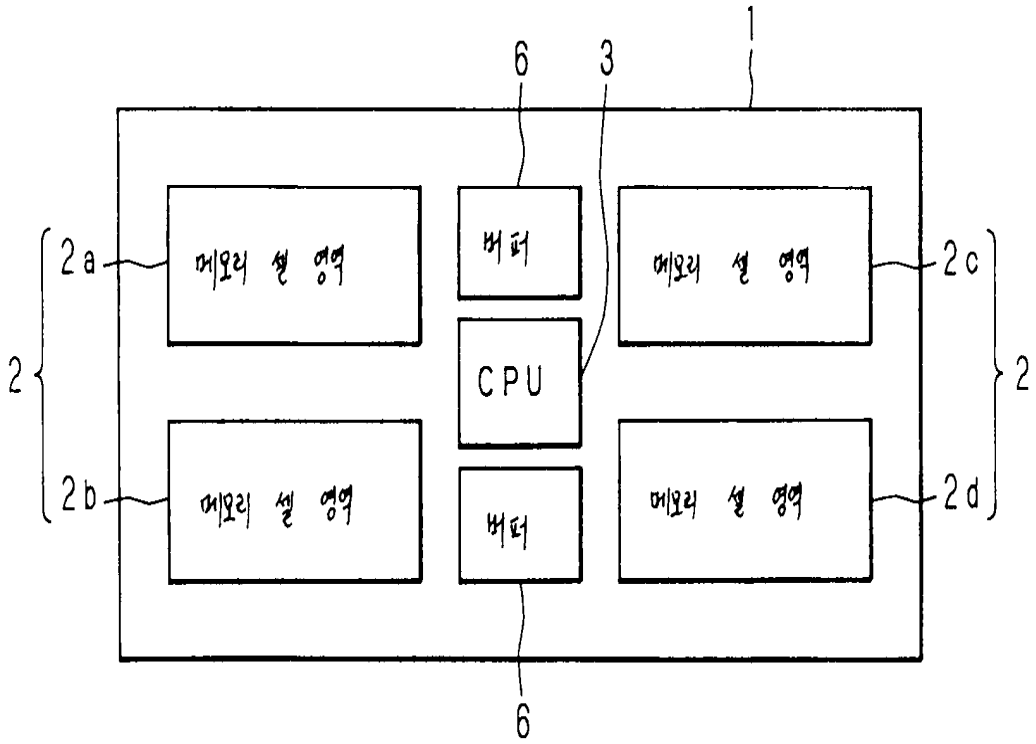
도면47


1
7
캐쉬 메모리
CPU
메모리 셀 영역
메모리 셀 영역
메모리 셀 영역
메모리 셀 영역
2a
2b
2c
2d
2
2
3

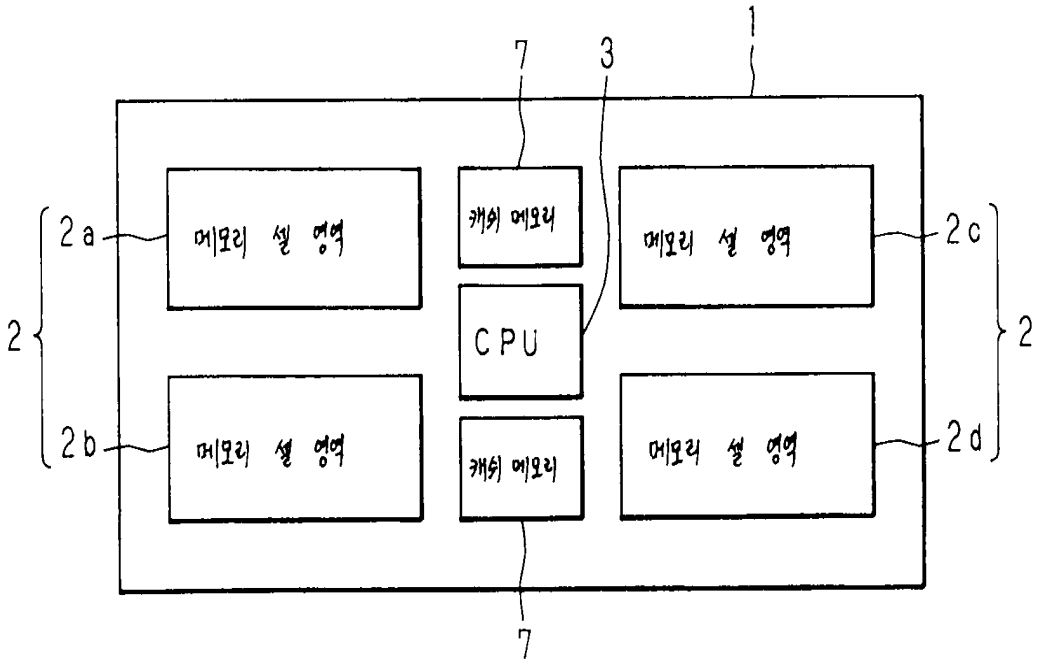
도면48


6
7
1
2a
메모리 셀 영역
버퍼
메모리 셀 영역
2c
2
캐쉬 메모리
2
2b
메모리 셀 영역
CPU
메모리 셀 영역
2d
3

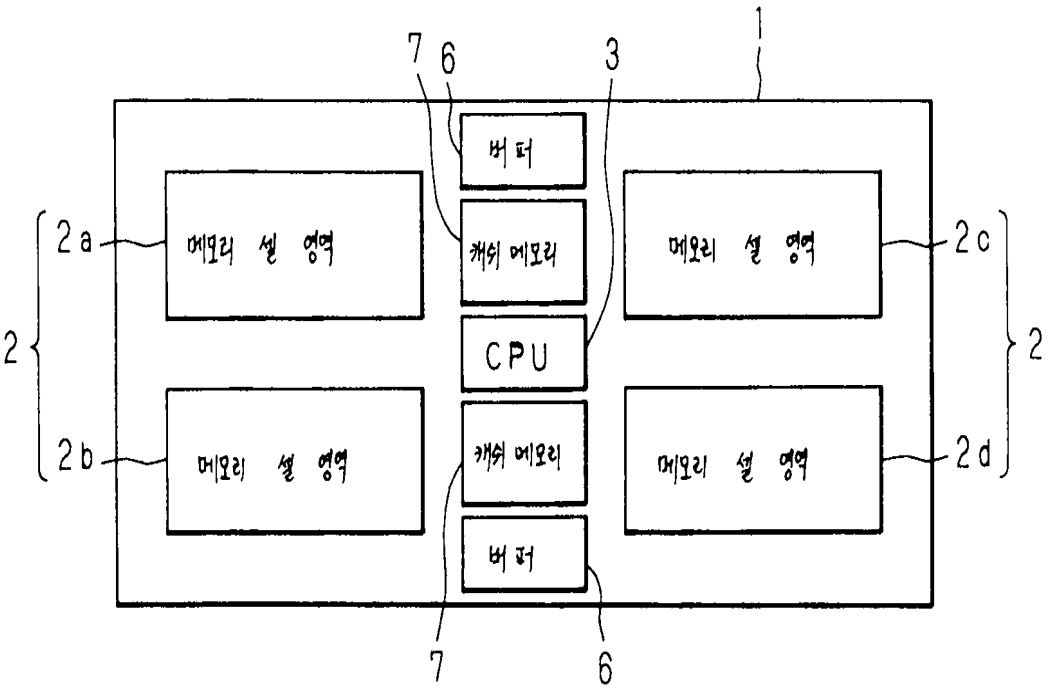
도면49


6
3
1
2a
메모리 셀 영역
버퍼
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
버퍼
메모리 셀 영역
2d
6

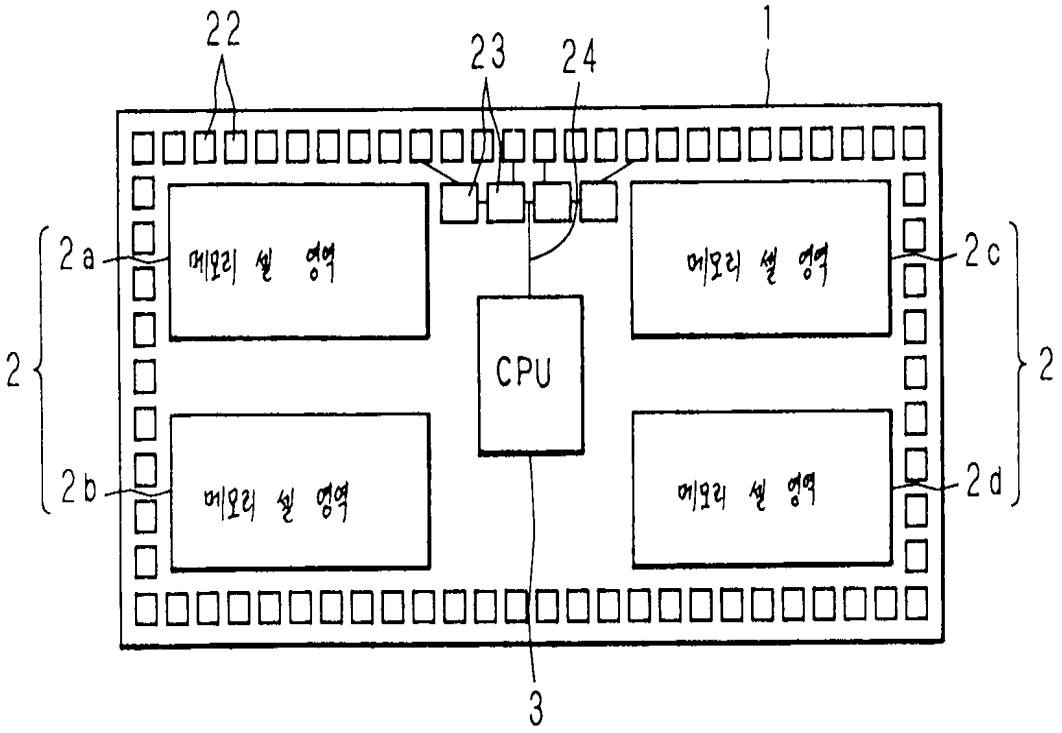
도면50


1
7
3
2a
메모리 셀 영역
캐쉬 메모리
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
캐쉬 메모리
메모리 셀 영역
2d
7

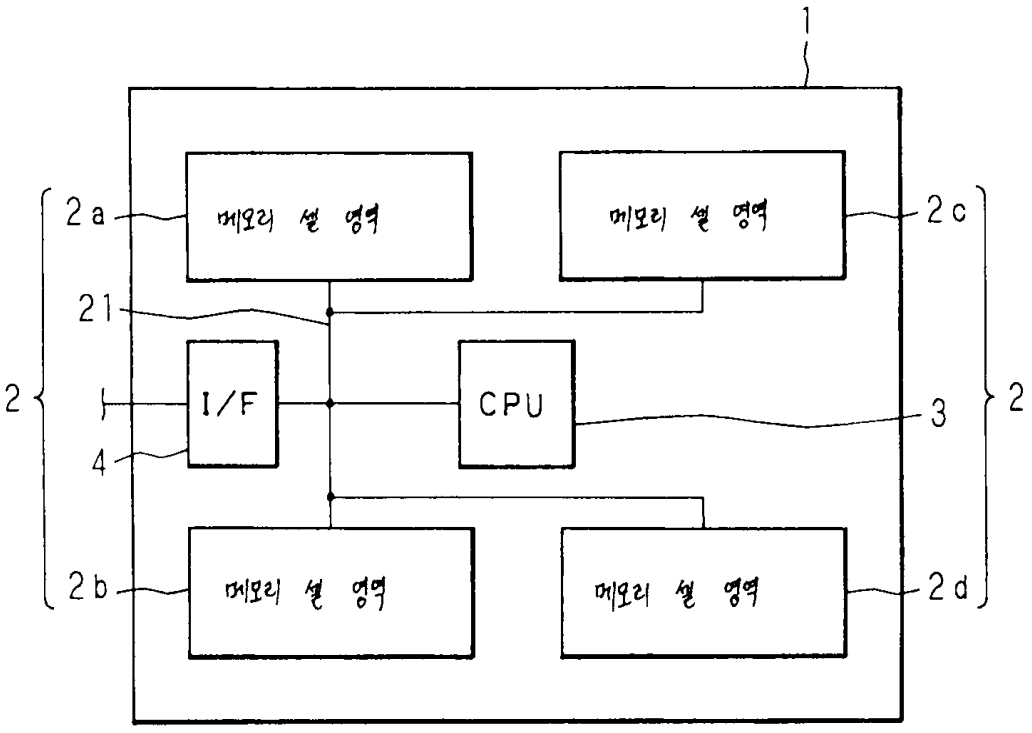
도면51


1
7
6
3
버퍼
2a
메모리 셀 영역
캐쉬 메모리
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
캐쉬 메모리
메모리 셀 영역
2d
버퍼
7
6

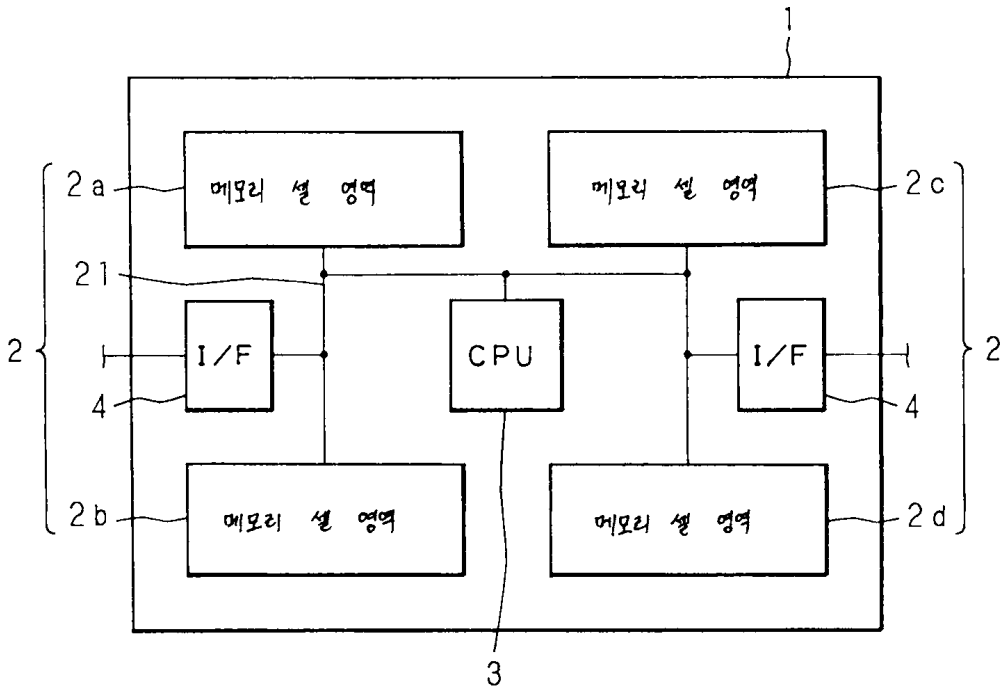
도면52


22
23
24
1
2a
메모리 셀 영역
메모리 셀 영역
2c
2
CPU
2
2b
메모리 셀 영역
메모리 셀 영역
2d
3

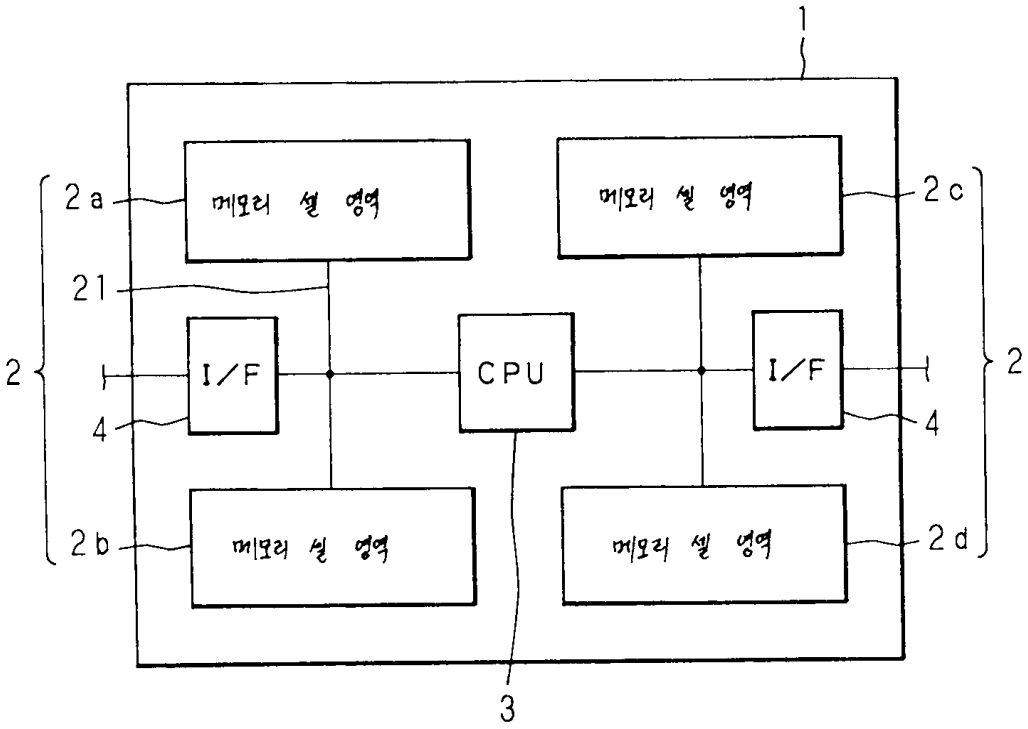
도면53


1
2a
메모리 셀 영역
메모리 셀 영역
2c
21
2
I/F
CPU
3
2
4
2b
메모리 셀 영역
메모리 셀 영역
2d

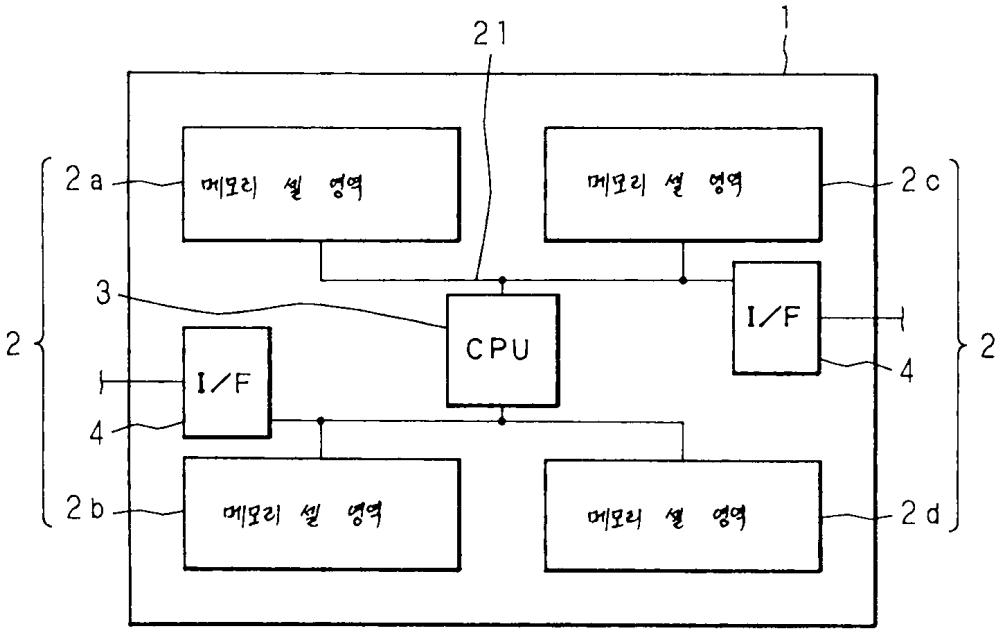
도면54


1
2a
메모리 셀 영역
메모리 셀 영역
2c
21
2
I/F
CPU
I/F
2
4
4
2b
메모리 셀 영역
메모리 셀 영역
2d
3

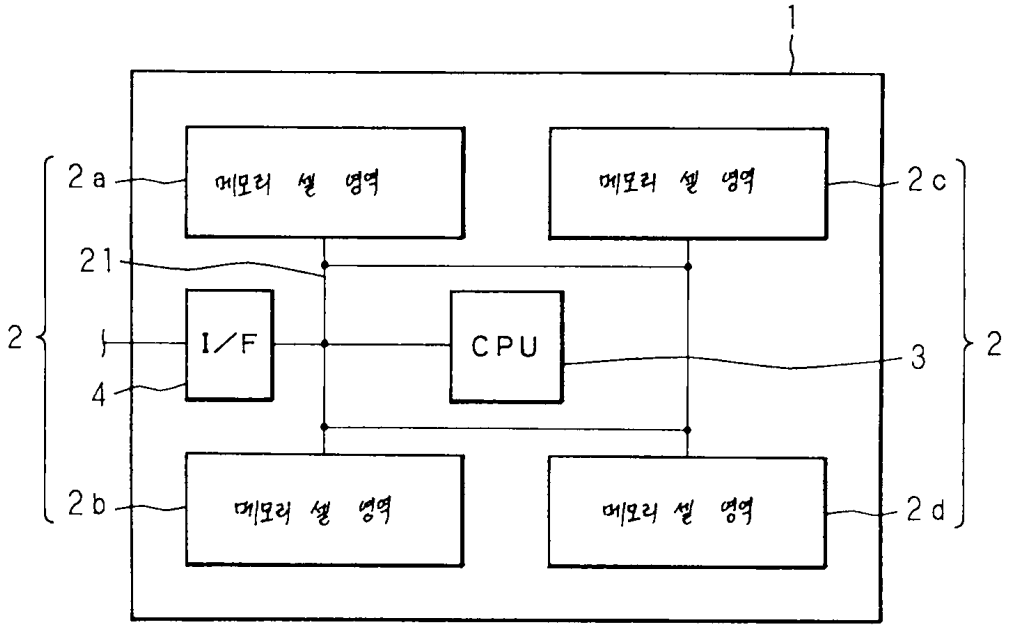
도면55


1
2a
메모리 셀 영역
메모리 셀 영역
2c
21
2
I/F
CPU
I/F
2
4
4
2b
메모리 셀 영역
메모리 셀 영역
2d
3

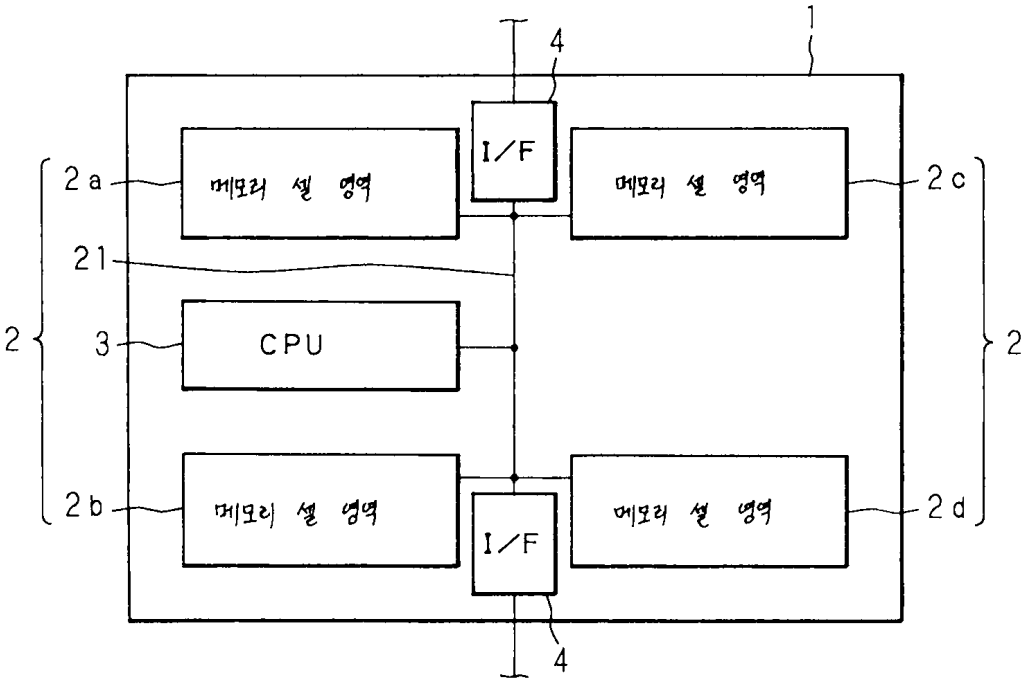
도면56


21
1
2a
메모리 셀 영역
메모리 셀 영역
2c
3
CPU
I/F
2
2
I/F
4
4
2b
메모리 셀 영역
메모리 셀 영역
2d

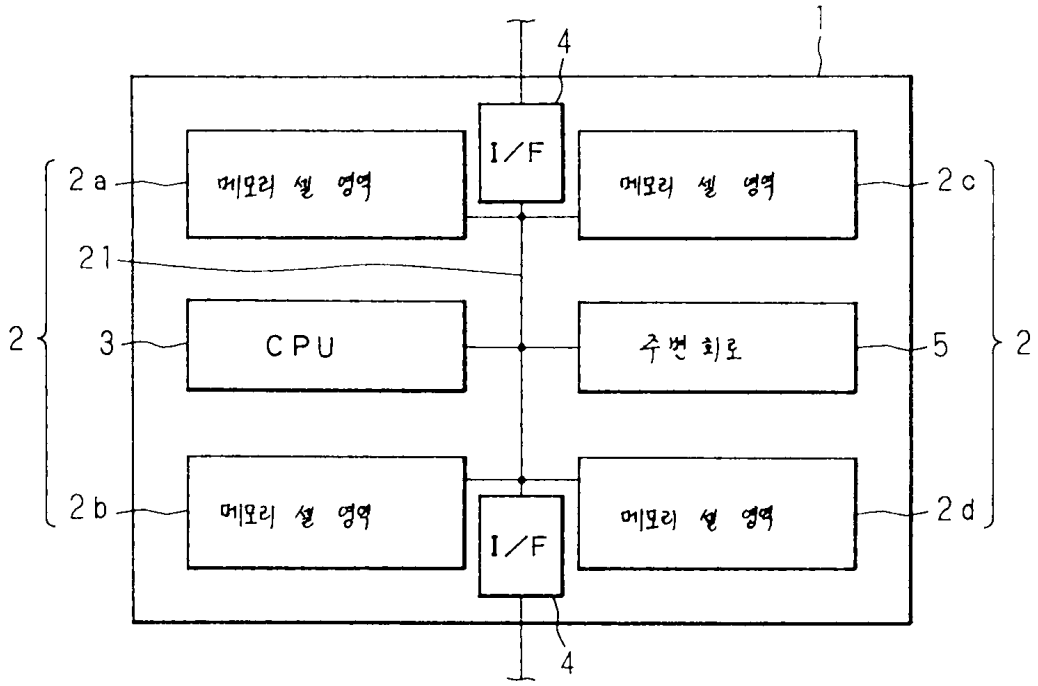
도면57


1
2a
메모리 셀 영역
메모리 셀 영역
2c
21
2
I/F
CPU
3
2
4
2b
메모리 셀 영역
메모리 셀 영역
2d

도면58


1
4
I/F
2a
메모리 셀 영역
메모리 셀 영역
2c
21
2
3
CPU
2
2b
메모리 셀 영역
I/F
메모리 셀 영역
2d
4

도면59


1
4
I/F
2a
메모리 셀 영역
메모리 셀 영역
2c
21
2
3
CPU
주변 회로
5
2
2b
메모리 셀 영역
I/F
메모리 셀 영역
2d
4