

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-541215

(P2010-541215A)

(43) 公表日 平成22年12月24日(2010.12.24)

(51) Int.Cl.
H01S 5/22 (2006.01)F1
H01S 5/22テーマコード (参考)
5F173

審査請求 未請求 予備審査請求 未請求 (全 25 頁)

(21) 出願番号 特願2010-526146 (P2010-526146)
 (86) (22) 出願日 平成20年8月27日 (2008. 8. 27)
 (85) 翻訳文提出日 平成22年3月29日 (2010. 3. 29)
 (86) 国際出願番号 PCT/DE2008/001423
 (87) 国際公開番号 W02009/039811
 (87) 国際公開日 平成21年4月2日 (2009. 4. 2)
 (31) 優先権主張番号 102007046497.7
 (32) 優先日 平成19年9月28日 (2007. 9. 28)
 (33) 優先権主張国 ドイツ (DE)
 (31) 優先権主張番号 102007060204.0
 (32) 優先日 平成19年12月14日 (2007.12.14)
 (33) 優先権主張国 ドイツ (DE)

(71) 出願人 599133716
 オスラム オプト セミコンダクターズ
 ゲゼルシャフト ミット ベシュレンクテ
 ル ハフツング
 Osram Opto Semicond
 uctors GmbH
 ドイツ連邦共和国、93055 レーゲ
 スブルグ、ライプニッツシュトラセ 4
 Leibnizstrasse 4, D
 -93055 Regensburg,
 Germany

(74) 代理人 100061815
 弁理士 矢野 敏雄

(74) 代理人 100094798
 弁理士 山崎 利臣

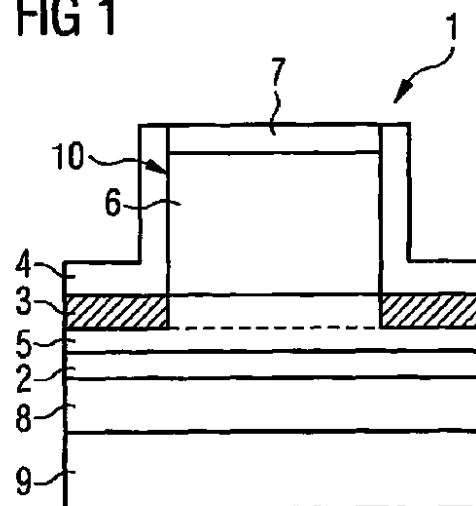
最終頁に続く

(54) 【発明の名称】 放射放出半導体チップ

(57) 【要約】

本発明は、波長の放射を生成するための活性ゾーン(2)と、不規則に配置されたパターンエレメントを有するパターニング領域(3)とを有する放射放出半導体チップ(1)であって、前記パターンエレメントは第1の屈折率 n_1 を有する第1の材料を含み、第2の屈折率 n_2 を有する第2の材料を含む媒質によって包囲されている放射放出半導体チップに関する。さらに本発明は、放射放出半導体チップの製造方法にも関する。

FIG 1



【特許請求の範囲】

【請求項 1】

- ・波長 の放射を生成するための活性ゾーン (2) と、
 - ・不規則に配置されたパターンエレメントを有するパターンング領域 (3)
- とを有する放射放出半導体チップ (1) において、

前記パターンエレメントは第 1 の屈折率 n_1 を有する第 1 の材料を含み、第 2 の屈折率 n_2 を有する第 2 の材料を含む媒質によって包囲されていることを特徴とする、放射放出半導体チップ。

【請求項 2】

前記パターンエレメントの各幅 b は $b < 4 \mu m$ であり、該パターンエレメントの相互間の間隔 a は $a < 4 \mu m$ である、請求項 1 記載の放射放出半導体チップ。

【請求項 3】

前記パターンエレメントの各幅 b は $b < 4 \mu m$ であり、該パターンエレメントの相互間の間隔 a は $a < 4 \mu m$ である、請求項 1 記載の放射放出半導体チップ。

【請求項 4】

前記パターンエレメントと前記媒質を有する中間層の厚さは、該パターンエレメントの最大高さに相応し、

前記中間層の有効屈折率 n_{eff} には、 $n_2 < n_{eff} < n_1$ が適用される、請求項 1 または 3 記載の放射放出半導体チップ。

【請求項 5】

前記有効屈折率 n_{eff} は、前記中間層中の第 2 の材料の濃度に対する第 1 の材料の相対的な濃度によって調整される、請求項 4 記載の放射放出半導体チップ。

【請求項 6】

前記パターンエレメントの各基面の基面幅 g は、各パターンエレメントの高さ h 未満である、請求項 4 または 5 記載の放射放出半導体チップ。

【請求項 7】

当該放射放出半導体チップ (1) は、ウェブ (10) を有するストライブレザであり、

前記パターンング領域 (3) は前記ウェブ (10) のエッジ面に配置されている、請求項 1 から 6 までのいずれか 1 項記載の放射放出半導体チップ。

【請求項 8】

前記パターンエレメントは当該放射放出半導体チップ (1) の半導体層から形成され、前記媒質は、前記パターンエレメントをカバーするパッシベーション層 (4) または吸収層 (11) である、請求項 7 記載の放射放出半導体チップ。

【請求項 9】

当該放射放出半導体チップ (1) は誘電体ミラー (17) を有し、前記パターンエレメントは前記誘電体ミラー (17) の第 1 の層から形成され、該誘電体ミラー (17) の第 2 の層によって包囲されている、請求項 1 または請求項 3 から 6 までのいずれか 1 項記載の放射放出半導体チップ。

【請求項 10】

前記活性ゾーン (2) は前記パターンング領域 (2) を有し、該パターンング領域 (2) は量子井戸構造を形成する、請求項 1 から 3 までのいずれか 1 項記載の放射放出半導体チップ。

【請求項 11】

前記パターンエレメントの各基面の基面幅 g は、各パターンエレメントの高さ h を上回る、請求項 1 または 2 記載の放射放出半導体チップ。

【請求項 12】

当該放射放出半導体チップは発光ダイオードであり、前記パターンング領域 (3) は前記発光ダイオードの出力結合層である、請求項 11 記載の放射放出半導体チップ。

10

20

30

40

50

【請求項 13】

当該放射放出半導体チップ(1)は、ウェブ(10)を有するストライプレーザであり

、

前記パターンニング領域(3)は散乱光を出力結合するために前記ウェブ(10)に隣接して配置されている、請求項11記載の放射放出半導体チップ。

【請求項 14】

請求項1から13までのいずれか1項記載の放射放出半導体チップ(1)の製造方法において、

中断部を有するマスク層を、パターンニングすべき領域(30)上に設け、

前記中断部内で前記パターンニングすべき領域(30)をエッチングすることにより、前記マスク層が剥離されて、前記パターンエレメントを有するパターンニング領域(3)が形成されることを特徴とする、製造方法。

【請求項 15】

請求項1から13までのいずれか1項記載の放射放出半導体チップ(1)の製造方法において、

マスク材料(19)を、パターンニングすべき領域(30)から離隔して配置し、エッチングプロセス中に該マスク材料の少なくとも一部を除去して該パターンニングすべき領域(30)に堆積させると同時に、前記パターンニングすべき領域(30)をエッチングすることにより、前記パターンエレメントが形成されることを特徴とする、製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は放射放出半導体チップと、放射放出半導体チップの製造方法とに関する。

【0002】

本願は、ドイツ連邦共和国特許出願第102007046497.7号および第102007060204.0号の優先権を主張するものであり、それらの開示内容は参照により本願に含まれるものとする。

【0003】

放射生成半導体チップは典型的には、屈折率がたとえば空気等の周辺の媒質と比較して高い半導体材料を含む。このような半導体材料により、半導体チップと周辺媒質との界面で放射出力結合が行われると全反射が生じやすく、この全反射によって光取り出し効率が低減されてしまう。

【0004】

本願発明で解決すべき課題は、光取り出し効率が改善された放射放出半導体チップを提供することである。この課題は、請求項1記載の放射放出半導体チップによって解決される。

【0005】

さらに本発明の解決すべき課題は、このような放射放出半導体チップの製造方法を提供することである。前記課題は、請求項14または15記載の製造方法によって解決される。

【0006】

従属請求項に、この放射放出半導体チップの有利な実施形態が示されている。

【0007】

本発明の基礎となる思想はとりわけ、第1の屈折率を有する第1の媒質と第2の屈折率を有する第2の媒質との間に現れる屈折率移行部を、パターンエレメントの形状、サイズおよび/または厚さによって所望のように調整することである。屈折率移行部のこのような適切な調整により、用途に応じて比較的大きな屈折率移行部、比較的小さい屈折率移行部、漸变的または連続的な屈折率移行部を生成することができる。

【0008】

本発明の有利な実施形態では、放射放出半導体チップは波長の放射を生成するための

10

20

30

40

50

活性ゾーンと、不規則に配置されたパターンエレメントを有するパターンニング領域とを有し、該パターンエレメントは第1の屈折率 n_1 を有する第1の材料を含み、第2の屈折率 n_2 を有する第2の材料を含む媒質によって包囲されている。波長とは本願では、放射が伝搬する媒質内の波長を指す。

【0009】

有利な実施形態では、パターンエレメントはそれぞれ $b < 4 \mu m$ の厚さを有し、該パターンエレメント相互間の間隔は $a < 4 \mu m$ とされる。とりわけ、各パターンエレメントの幅 b は $b < a$ であり、パターンエレメント間の間隔は $a < 4 \mu m$ である。

【0010】

有利には、この領域のパターンニング時にパターンエレメントを規則的に配置するように留意する必要はない。たとえば、各パターンエレメントと、直接隣接するパターンエレメントとの間隔 a は異なることができるが、間隔 a は最大で $4 \mu m$ である。さらに、各パターンエレメントの幅 b も異なることができるが、この幅 b は有利には $4 \mu m$ を超えない。幅 b とは本願では、各パターンエレメントを半分の高さ $h/2$ で切断したときの横断面の最長の寸法を指す。円形の断面の場合には、この横断面の最長の寸法は直径に相応する。この横断面は、パターンエレメントの基面に対して平行に配置される。高さ h は、基面を出発点とし基面に対して垂直なパターンエレメントの最長寸法である。

10

【0011】

本発明では幅 b の有利な値領域は2つ存在する。すなわち、 $b < 4 \mu m$ および $b < 4 \mu m$ である。 $b < 4 \mu m$ である場合、パターンエレメントは光波に対して「消失する」。 $b < 4 \mu m$ の場合、パターンエレメントは光波に対して散乱中心となる。

20

【0012】

1つの有利な実施形態では、媒質はパターンエレメント間のスペースを完全に満たす。また媒質は、有効屈折率 n_{eff} を低減するための閉じ込め部を有することもでき、たとえば空気閉じ込め部を有することができる。

【0013】

別の実施形態では、パターンエレメントは第1の層の平坦な平面から突出する。第1の層はたとえば、エピタキシャル成長で形成され半導体チップを構成する半導体層のスタックに所属するか、またはこのようなスタック上に配置された別個の層とすることができる。パターンエレメントは、この第1の層と等しい屈折率を有することができる。

30

【0014】

有利には第1の層上に、第2の材料を含む第2の層が設けられ、該第2の層はパターンエレメント間のスペースを充填する。第2の層はこの場合、すでに言及した媒質に相応する。

【0015】

以下の考察では、前記パターンエレメントと前記媒質を有し第1の材料および第2の材料を含む中間層を紹介する。すなわちこの中間層は混合材料を含み、つまり第1の材料と第2の材料との混合物を含む。ここで使用される定義によれば、この中間層の厚さは最長のパターンエレメントの高さに相応する。パターンエレメントの幅には $b < 4 \mu m$ が適用され、比較的大きな波長では $b < \lambda/4$ も適用される。パターンエレメントのこのようなサイズでは、中間層に当たる光波は、パターンエレメントと媒質との境界すなわち第1の材料と第2の材料との境界を認識することなく、この中間層を有効屈折率 n_{eff} を有する均質な層と見なすようになる。中間層は、第1の材料と第2の材料との混合物を含むので、この混合材料の有効屈折率 n_{eff} は第1の屈折率 n_1 と第2の屈折率 n_2 との間である。とりわけ中間層には、 $n_2 < n_{eff} < n_1$ が適用される。また、 $n_1 < n_{eff} < n_2$ も可能である。

40

【0016】

有利には有効屈折率 n_{eff} は、中間層中の第2の材料の濃度に対する第1の材料の相対的な濃度によって調整される。第1の材料の濃度が優勢である場合、有効屈折率 n_{eff} は第2の屈折率 n_2 よりも第1の屈折率 n_1 の方に近くなる。第2の材料の濃度が優勢

50

である場合、逆のことが当てはまる。

【0017】

このような有効屈折率 n_{eff} を得るために有利なのは、各パターンエレメントの基面幅 g が各パターンエレメントの高さ h より小さいことである。基面幅 g とは本願では、パターンエレメントの基面の最長の寸法を指す。基面が円形である場合、基面幅 g は直径に相応する。とりわけ、比 $g : h$ には $g : h = 1 : 10$ が適用される。

【0018】

以下で本発明の半導体チップの種々の実施形態を説明する。これらの種々の実施形態で示されているパターンニング領域の機能はそれぞれ異なる。

【0019】

有利な実施形態では、放射放出半導体チップはレーザダイオードチップである。

【0020】

有利なことに、適切な位置に配置されたパターンニング領域により、慣用の半導体レーザよりも高いキンクレベルを達成することができ、つまり横モードのジャンプが生じることなく、いっそう高い放射出力を達成することができる。

【0021】

とりわけ、レーザダイオードチップはストライブレーザである。ストライブレーザはウェブを有することができ、前記パターンニング領域は有利には該ウェブのエッジ面に配置される。このエッジ面ではパターンニング領域は、有利にはモード減衰に使用される。

【0022】

ストライブレーザは1つの実施例では、活性ゾーンまで達するウェブを有するか、または活性ゾーンを貫通するウェブを有する。このような実施例の利点は、電流の拡幅が比較的小さく、電流閾値を小さくできることである。しかし、エッジ面にパターンニング領域を有さない従来のレーザでは、ウェブと周辺媒質との間で、典型的にはウェブと誘電体との間で屈折率が比較的大きくジャンプする。このことによって複数の横モードが発生し、ビーム品質が劣化してしまう。それに対して上記の実施例では、屈折率のジャンプをパターンニング領域によって低減することができる。とりわけパターンエレメントの上方に、第2の屈折率 n_2 を有するパッシベーション層が成形される。たとえばこのパッシベーション層は酸化シリコンを含む。パターンエレメントは有利には、半導体チップの半導体層から形成される。屈折率ジャンプが低減されることにより、発生する横モードは1つだけになる。したがって、レーザダイオードチップの遠隔フィールドは改善され、電流閾値を低く維持することができる。さらに、パターンエレメントによってパッシベーション層と半導体層とを歯形で噛み合わせることにより、該パッシベーション層が半導体層により良好に付着するようにされる。

【0023】

ストライブレーザの別の実施例では、パターンエレメント上方に吸収層が成形される。これによっても、半導体層からパターンエレメントが有利にはエッチングによって形成される場合にこの半導体層と吸収層との間の屈折率ジャンプを低減することができる。このようにして光波の侵入深さを上昇させ、光波と吸収層との相互作用を改善することができる。このことにより、比較的高次の横モードの減衰が改善される。

【0024】

有利には吸収層は、 Si 、 Ti 、 Al 、 Ga 、 Nb 、 Zr 、 Ta 、 Hf 、 Zn 、 Mg 、 Rh 、 In の酸化物または窒化物を含む。

【0025】

別の実施例では、パッシベーション層上に吸収層が配置される。

【0026】

上記の実施例すべてに共通する点は、このようにパターンエレメント上方に形成することによって低減された屈折率ジャンプによって、光波がパッシベーション層中または吸収層中により深く侵入することができ、比較的高次のモードがより良好に減衰されるようになることである。

10

20

30

40

50

【0027】

有利な実施形態では放射放出半導体チップは、複数のストライプレーザと複数のパターンニング領域とを有するレーザアレイを備えている。有利には、各2つのストライプレーザ間にそれぞれ1つのパターンニング領域が配置される。このようなパターンニング領域によって、 b が適用されるかまたはより長い波長の場合には $b/4$ が適用される場合、該パターンニング領域が突出する層と周辺媒質との間の屈折率移行が低減され、放射の出力結合が改善される。また、 $b < 4 \mu m$ である場合にも、パターンニング領域で散乱が発生することにより、散乱光がより良好に出力結合できるようになる。このことの利点は、隣接するストライプレーザにおいてクロストークするかまたはリングモードを引き起こす散乱光がより良好に抑圧されることである。

10

【0028】

別の実施例では、放射放出半導体チップは誘電体ミラーを有する。とりわけパターンニング領域は、この誘電体ミラーの第1の層から形成され、該誘電体ミラーの第2の層によって包囲される。有利には、第1の層は第1の屈折率 n_1 を有する第1の材料を含み、第2の層は第2の屈折率 n_2 を有する第2の材料を含む。このようにしてパターンニング領域の上方に形成することにより、屈折率ジャンプが低減されて光波は第2の層中により良好に侵入することができ、該第2の層と相互作用することができる。有利には第2の層は、第2の屈折率 n_2 より低い屈折率を有する閉じ込め部を有し、とりわけ空気閉じ込め部を有する。このことにより、第2の屈折率 n_2 については有効屈折率 n_{eff} を低減することができる。このことの利点は、全反射の限界角度が小さくなり、誘電体ミラーで全反射が発生することにより、放射放出半導体チップの出力結合側の方向に反射される放射の割合が大きくなることである。前記第1の層および第2の層はそれぞれ、Si, Ti, Al, Ga, Nb, Zr, Ta, Hf, Zn, Mg, Rh, Inの酸化物または窒化物または酸窒化物を含むことができる。

20

【0029】

本発明の放射放出半導体チップの別の実施形態では、パターンニング領域は活性ゾーン内に配置される。とりわけ、パターンニング領域は量子井戸構造を有する。本願において、量子井戸構造という用語はとりわけ、閉じ込め (confinement) によって電荷担体のエネルギー状態を量子化することのできるあらゆる構造が含まれる。殊に、量子井戸構造という用語は、量子化の次元を規定することはない。したがって、量子井戸構造という用語にはとりわけ、量子箱、量子細線、量子点およびこれらの構造の各組み合わせが含まれる。このようなパターンニング領域によって、電荷担体の閉じ込めを改善することができる。

30

【0030】

放射放出半導体チップの別の実施形態では、各パターンニング領域の基面幅 g が各パターンニング領域の高さ h より大きい。とりわけ、比 $g:h$ は $g:h = 10:1$ である。とりわけ、パターンニング領域の幅 b はここでは $b < 4 \mu m$ である。

【0031】

このような実施形態では、パターンニング領域は出力結合層として特に適している。

【0032】

レーザダイオードの場合には、パターンニング領域は有利には、主放射方向で見て活性ゾーンに後置される。このようなパターンニング領域を出力結合層として使用することにより、放射出力結合ひいては出力パワーを改善することができる。

40

【0033】

さらに、レーザダイオードチップがとりわけウェブを有するストライプレーザである場合、散乱光を出力するための出力結合層としてパターンニング領域を使用することもできる。こうするためには、パターンニング領域は有利にはウェブに隣接して配置される。このような構成の場合、散乱光はレーザ光に対して垂直に伝播してパターンニング領域に当たり、出力結合することができる。このことにより、レーザのファセットでの放射特性が改善され、スーパーluminescenceを抑制することができる。

【0034】

50

本発明の放射放出半導体チップの上記の実施形態すべてにおいて、パターンエレメントを円錐形または多面体とし、とりわけ角錐またはシリンダ形にすることができる。

【0035】

上記のパターニング領域を形成するために使用できる手法は種々存在する。すべての手法において共通する点は、パターニングエレメントをランダムに配置することができるマスクを使用することである。

【0036】

本発明の放射放出半導体チップの有利な製造方法では、パターニングすべき領域の部分領域にマスク層を設ける。前記マスク層は、パターニングすべき領域を完全には被覆しない。

10

【0037】

たとえば蒸着またはスパッタリングによって、パターニングすべき領域にマスク層を比較的薄く設けることにより、閉鎖的な層にならないようにする。このマスク層は50nm未満の厚さを有し、とりわけ20nm未満の厚さを有することができる。マスク層には、たとえばNi, TiまたはPt等の金属、たとえばSi, TiまたはZrの酸化物または窒化物等の誘電体材料、または、たとえばフォトレジスト等のポリマーが適している。さらに、比較的厚い層をマスク層として使用し、この厚い層をパターニングすべき領域の表面に設けた後に焼き戻しすることもできる。こうすることにより、空洞ないしは中断部を形成することができる。

【0038】

マスク層を形成するための別の手段に、閉鎖的なマスク層をリソグラフィによってパターニングして中断部を生成する手段がある。

20

【0039】

さらに、マスク層が不均質な材料を含み、該材料からドライケミカル的に材料成分を溶出させるか、または後続のドライケミカルエッチング時に異なる大きさで剥離することにより、マスク層に不規則に配置された中断部を設けることができる。

【0040】

マスク層が作製されたら直ちに、該マスク層の中断部内をエッチングすることにより、たとえば半導体チップの半導体層または誘電体ミラーの誘電体層等のパターニングすべき領域をパターニングすることができる。パターンエレメントはそのままにされる。とりわけ、たとえばドライケミカルエッチング等の異方性エッチング法が適している。マスク層は有利にはエッチングプロセスによって剥離され、パターニング領域はパターンエレメントを有するようになる。

30

【0041】

本発明の放射放出半導体チップの別の製造方法では、マスク材料をパターニングすべき領域から離隔して配置する。エッチングプロセス中にマスク材料は少なくとも部分的に除去され、パターニングすべき領域に堆積し、このパターニングすべき領域も同時にエッチングされ、パターンエレメントが形成される。

【0042】

たとえば半導体チップは担体上に配置され、該担体上にマスク材料が該半導体チップに隣接して配置されるか、または該半導体チップを包囲する。その際には、マスク材料がターゲットとして作用する。たとえば半導体チップに所望の形状を形成するために行われるエッチングプロセス中に、このマスク材料は少なくとも部分的に除去され、とりわけエッチングで除去される。除去されたマスク材料は、パターニングすべき領域に堆積し、マスク層に中断部を形成することができる。マスク層は、非常に高密度で配置された微細パターンを有することができる。エッチングプロセスは有利にはマスク材料の堆積中にも継続して行われるので、パターニングすべき領域も同時にエッチングしてパターンエレメントを形成することができる。有利にはこの方法では、マスク層の形成およびエッチングを1工程で行うことができる。

40

【0043】

50

マスク層を１工程で形成およびエッチングする別の手段に、マスク材料を半導体チップの成形領域に設ける手段がある。この成形領域はたとえばストライプレーザでは、ウェブが形成される領域とすることができる。マスク材料は、閉鎖的な層とするかまたは中断された層とすることができる。成形領域をとりわけエッチングによって処理する場合には、マスク材料を少なくとも部分的に除去し、とりわけエッチングで除去する。除去されたマスク材料は、パターンニングすべき領域に少なくとも部分的に堆積させることができる。有利にはこのような方法でも、マスク材料の堆積中にエッチングプロセスを継続して行うことにより、パターンニングすべき領域をエッチングしてパターンニングエレメントを形成することもできる。

【００４４】

10

マスク層、エッチングパラメータおよびエッチング手法を適切に選定することにより、パターンエレメントの形状およびサイズを調整することができる。

【００４５】

本発明のさらなる特徴、利点および発展形態は、以下で図１から１０に関連して説明する実施例から明らかとなる。

【図面の簡単な説明】

【００４６】

【図１】本発明による放射放出半導体チップの第１実施例の概略的な断面図である。

【図２】従来の放射放出半導体チップの概略的な断面図である。

【図３】本発明による放射放出半導体チップの第２実施例の概略的な断面図である。

20

【図４】従来の放射放出半導体チップの概略的な断面図である。

【図５】本発明による放射放出半導体チップの第３実施例の概略的な断面図である。

【図６】本発明による放射放出半導体チップの第４実施例の概略的な断面図である。

【図７】本発明による放射放出半導体チップの第５実施例の概略的な断面図である。

【図８】本発明による放射放出半導体チップの第６実施例の概略的な断面図である。

【図９】本発明による放射放出半導体チップの第７実施例の概略的な断面図である。

【図１０】本発明の方法の実施例の異なる工程を示す。

【００４７】

図１に放射放出半導体チップ１を示す。この放射放出半導体チップはレーザダイオードチップである。とりわけ、レーザダイオードチップはストライプレーザであり、ウェブ１０を有する。このウェブ１０は、活性ゾーン２に直接隣接する第１の導波層５まで延在し、このようなエッチング深さでは、電流閾値を比較的小さくできるが、パターンニング領域３無しでは比較的高次のモードが発生してしまう。パターンニング領域を有さない従来の半導体チップを図２に示す。同図とは対照的に、図１に示した半導体チップ１では有利には、ウェブ１０の相互に対向する２つのエッジ面にパターンニング領域３が配置される。

30

【００４８】

このパターンニング領域３は、不規則に配置されたパターンエレメント（図示されていない）を有し、これらのパターンエレメントの幅 b は b であり、該パターンエレメントの相互間の間隔 a は a である。比較的長い波長の場合、すなわち光スペクトルの長波長側にある放射の場合、パターンエレメントの幅 b はとりわけ $b/4$ であり、該パターンエレメントの相互間の間隔 a は $a/4$ である。さらに、有利には比 $g:h$ は $g:h$ 1:10 であり、とりわけ $g:h = 1:10$ である。

40

【００４９】

この実施例では、パターンエレメントは第１の導波層５からエッチングによって形成され、第１の導波層５と同じ材料を含む。とりわけこの材料は半導体材料である。

【００５０】

たとえば酸化シリコンを含むパッシベーション層４がパターンニング領域３の上方に形成され、個々のパターンエレメント間のスペースを充填する。このように、第１の導波層５から突出するパターンエレメントとパッシベーション層４とが歯形に噛み合うことにより、パッシベーション層４は導波層５に特に良好に付着するようになる。さらに、パターン

50

エレメントないしはパターンニング領域 3 によって導波層 5 とパッシベーション層 4 との間の屈折率ジャンプが低減される。パターンエレメントとパッシベーション層 4 が充填されたスペースとを含み導波層 5 と該パッシベーション層 4 との間に位置する仮想的な中間層は、該パターンエレメントの材料の第 1 の屈折率 n_1 と該パッシベーション層 4 の第 2 の屈折率 n_2 との間の有効屈折率 n_{eff} を有する。

【0051】

最も簡単な実施例では、導波層 5 に隣接する活性ゾーン 2 が p 型の半導体層と n 型の半導体層とを有し、該半導体層間に放射放出性の pn 接合部が位置する構成も可能である。また活性ゾーン 2 は、ダブルヘテロ構造、単一量子井戸構造または多重量子井戸構造 (MQW) を有することもできる。この実施例では、活性ゾーン 2 において生成された放射は半導体チップ 1 の端面を通して放出される。主放射方向は、ストライプ形に形成されたウェブ 10 に対して平行である。

10

【0052】

活性ゾーン 2 は第 2 の導波層 8 上に配置されている。第 1 の導波層 5 の導電型と第 2 の導波層 8 の導電型とは異なる。たとえば、第 1 の導波層 5 を p 型とし、第 2 の導波層 8 を n 型とすることができる。両導波層 5 および 8 はそれぞれ、活性ゾーン 2 に対して反対側で外被層によって区切られている。第 1 の外被層 6 は、表面に該第 1 の外被層 6 が設けられた第 1 の導波層 5 と同じ導電型を有する。第 2 の外被層 9 は、該第 2 の外被層 9 表面に設けられた第 2 の導波層 8 と同じ導電型を有する。

【0053】

有利には、パッシベーション層 4 およびウェブ 10 上に配置されるコンタクト層 7 に至るまですべての層を連続的にエピタキシャル成長によって相互に重ねて成長させ、半導体層から成る層スタックを構成する。半導体層の半導体材料は、窒化物化合物半導体またはリン化物化合物半導体または砒化物化合物半導体をベースとする材料とすることができる。

20

【0054】

図 3 に示した放射放出半導体チップ 1 の構成は、図 1 に示した半導体チップ 1 と同じであり、付加的に吸収層 11 を有する。吸収層 11 はパッシベーション層 4 上に直接設けられる。有利には、電気絶縁性のパッシベーション層 4 と比較的高次のモードを減衰する吸収層 11 とである 2 つの別個の層によって、電気絶縁を吸収度に依存せずに調整することができる。それに対して、図 4 に示したような従来の半導体チップ 1 では、電気絶縁とモード減衰とを行うために層を 1 つしか設けていない。すなわち、電気絶縁性の材料と吸収性の材料との混合物を含む吸収性のパッシベーション層 4 しか設けていない。図 4 の実施例においてこのような構成を実施しなければならないのは、典型的には導波層 5 とパッシベーション層 4 との間の屈折率ジャンプが比較的大きいことにより、光波がパッシベーション層 4 中にあまり深く侵入できないからである。別個の吸収層を使用すると、光波はこの別個の吸収層中にほとんど到達できず、比較的高次のモードの減衰が弱くなってしまう。

30

【0055】

図 3 の実施例では、パターンニング領域 3 によって屈折率ジャンプを低減することができる。このことにより、光波は層中により深く侵入して吸収層 11 まで到達できるようになる。

40

【0056】

有利には吸収層 11 は酸化物または窒化物を含み、とりわけ ITO を含むか、または、Si, Ti, Al, Ga, Nb, Zr, Ta, Hf, Zn, Mg, Rh, In の酸化物または窒化物を含む。これらの材料は、本発明の有利な実施形態である窒化物化合物半導体をベースとする半導体チップの場合に殊に適している。パッシベーション層 4 にはたとえば酸化シリコンを使用する。

【0057】

図 5 に、本発明の別の実施例の放射放出半導体チップ 1 を示す。同図に示した半導体チ

50

チップ 1 は、複数のストライプレーザ 1 2 と複数のパターンニング領域 3 とを有するレーザアレイであり、各 2 つの隣接するストライプレーザ 1 2 間にそれぞれ 1 つのパターンニング領域 3 が配置されている。このようなパターンニング領域 3 によって、ストライプレーザ間の散乱光のクロストークをより良好に抑圧できるようになる。

【0058】

ストライプレーザ 1 2 は個別の素子ではなく、半導体チップ 1 は一続きの活性ゾーン 2 を有する。ストライプレーザ 1 2 の表側のコンタクトのみ、第 1 のコンタクト層 7 によって別個に行う。

【0059】

図 5 に示した実施例ではストライプレーザ 1 2 は、図 1 に示した放射放出半導体チップ 1 と同様に構成されている。また、ストライプレーザ 1 2 を図 3 に示した放射放出半導体チップ 1 と同様に構成することもできる。

10

【0060】

吸収層無しの構成を選択する場合、パターンニング領域 3 によって層スタックと周辺との間の屈折率移行を低減し、ひいては全反射の確率を低減することができる。このことにより、散乱光を半導体チップ 1 から出力結合するのを改善し、ストライプレーザ間のクロストークを抑圧することができる。吸収層をパッシベーション層 4 上方で使用する場合、散乱光を有利には吸収することができる。

【0061】

パターンエレメントの幅は $< b/4$ μm とすることができる。この場合、パターンエレメントは散乱中心として作用する。また、パターンエレメントの幅 b を b とし、比較的長い波長では $b/4$ として、パッシベーション層 4 によって包囲されるパターンエレメントが有効屈折率 n_{eff} を有する中間層を形成するようにすることもできる。

20

【0062】

図 6 ~ 8 に放射放出半導体チップ 1 を示す。これらの放射放出半導体チップ 1 は有利には、図 1 ~ 5 に示したレーザダイオードと異なってコヒーレント放射を放出しない発光ダイオードである。

【0063】

図 6 ~ 8 の半導体チップ 1 に共通する点は、第 1 の誘電体層（図示されていない）と第 2 の誘電体層（図示されていない）を有する誘電体ミラー 1 7 が設けられていることである。パターンニング領域（図中にない）は、第 1 の誘電体層と第 2 の誘電体層との間の移行部に設けられている。

30

【0064】

図 6 に、薄膜半導体チップである半導体チップ 1 を示す。同図中の薄膜半導体チップ 1 は、エピタキシャル成長によって形成された半導体チップ 1 5, 2, 1 4 を有する層スタックを有し、該層スタックからは成長基板が剥離されている。層 1 4 は第 1 の導電型を有する第 1 の層であり、層 1 5 は第 2 の導電型を有する第 2 の層である。前記第 1 の導電型は有利には p 型であり、前記第 2 の導電型は有利には n 型である。

【0065】

層スタックは担体 1 6 上に配置されており、担体 1 6 と層スタックとの間に誘電体ミラー 1 7 が設けられている。誘電体ミラー 1 7 は層スタックの面全体にわたって延在するのではなく、活性ゾーン 2 と導電性の担体 1 6 とを電氣的に接続するための第 2 のコンタクト層 1 3 によって包囲される。別の電氣的コンタクトである第 1 のコンタクト層 7 は、活性ゾーン 2 において誘電体ミラー 1 7 と反対側に配置されている。この反対側が半導体チップ 1 の出力結合側となる。

40

【0066】

この誘電体ミラー 1 7 によって、活性ゾーン 2 から該誘電体ミラー 1 7 の方向に送出された放射は、出力結合側の方向に有効に反射される。このことを以下で説明する。

【0067】

幅 b であるパターンエレメントは、有利には誘電体ミラー 1 7 の第 1 の層から形成

50

され、該誘電体ミラー 17 の第 2 の層によって包囲される。このように上方に形成されたパターンエレメントと得られる中間層とによって、光波は第 2 の層中により良好に侵入して該第 2 の層と相互作用できるようになる。第 1 の層は、第 1 の屈折率 n_1 を有する第 1 の材料を含み、第 2 の層は、第 2 の屈折率 n_2 を有する第 2 の材料を含む。有利には第 2 の層は、第 2 の屈折率 n_2 より低い屈折率を有する閉じ込め部を有し、とりわけ空気閉じ込め部を有する。このことにより、第 2 の屈折率 n_2 ひいては有効屈折率 n_{eff} を低減することができる。このことの利点は、全反射の限界角度が小さくなり、誘電体ミラー 17 で全反射が発生することにより、放射放出半導体チップ 1 の出力結合側の方向に反射される放射の割合が大きくなることである。前記第 1 の層および第 2 の層はそれぞれ、Si, Ti, Al, Ga, Nb, Zr, Ta, Hf, Zn, Mg, Rh, In の酸化物または窒化物または酸窒化物を含むことができる。

【0068】

図 7 および 8 に示す放射放出半導体チップ 1 も、相応の動作を基礎とする。両半導体チップ 1 は透明基板 16 を有する。したがって、放射出力結合はこの基板 16 を通って行われる。誘電体ミラー 17 は半導体チップ 1 において、基板 16 ひいては出力結合側に対向する面に配置されている。誘電体ミラー 17 は層スタックの外側領域をカバーする。内側領域に第 1 のコンタクト層 7 が配置されている。

【0069】

図 7 の半導体チップでは、第 2 のコンタクト層 13 は基板 16 上に設けられている。それに対して図 8 の半導体チップは、第 2 のコンタクト層 13 を第 2 の層 15 上に有する。

【0070】

第 1 の層 14 および第 2 の層 15 ならびに活性ゾーン 2 は、それぞれ複数の部分層から構成することができる。このことは、本願で記載したすべての実施例に当てはまる。

【0071】

図 9 に、レーザダイオードである放射放出半導体チップ 1 を示す。この放射放出半導体チップ 1 の構成の大部分は、図 1 ~ 4 のストライプレーザに相応する。

【0072】

同図中の実施形態では、幅 b のパターンエレメントを有するパターニング領域（図示されていない）は活性ゾーン 2 内に配置されている。とりわけ、パターニング領域は量子井戸構造を有する。このようなパターニング領域によって、活性ゾーン 2 中に電荷担体を閉じ込めるのを改善することができる。

【0073】

図 10 A ~ 10 C を参照して、本発明の方法の実施例を説明する。

【0074】

この実施例では、層 7, 6, 5, 2, 8 および 9 を含み未だ成形する必要がある半導体チップ 1 の層スタック上に、成形マスク 18 を設ける（図 10 A 参照）。たとえばこの成形マスク 18 は、ウェブ 10 を形成するためのエッチングマスクである（図 10 B 参照）。

【0075】

この成形マスク 18 上に、パターニング領域 3（図 10 C 参照）を形成するために設けられたマスク材料 19 を設ける。このマスク材料 19 はこの実施例では、パターニングすべき領域 30 から離隔して配置される。マスク層 19 は、たとえば Ni, Ti または Pt 等の金属、たとえば Si, Ti または Zr の酸化物または窒化物等の誘電体材料、または、たとえばフォトリソグレイ等のポリマーを含むことができる。次に、マスク材料 19 上に保護層 20 を設けることができる。

【0076】

ウェブ 10 を形成するためにエッチングプロセスを実施する（図 10 B 参照）。このエッチングプロセスでは、ウェブ 10 が形成されるように第 1 のコンタクト層 7 と第 1 の導波層 6 とをパターニングする。この過程で保護層 20 はエッチングで完全に除去される。ウェブ 10 のエッチング深さを、さらにエッチングすることによって大きくすることがで

きる。その際には、パターンエレメントの形成に使用されるマスク材料 19 を少なくとも部分的に除去し、パターニングすべき領域 30 上に堆積させることができる（図 10 B 参照）。

【0077】

エッチングプロセスがさらに継続して実施されることにより、領域 30 のパターニングも同時に行われ、パターンエレメントを有するパターニング領域 3 が形成される（図 10 C 参照）。このエッチングプロセス後、パターンエレメントの先端には未だマスク材料が残っているが、このマスク材料を必ず剥離しなければならないということはない。

【0078】

図 10 A ~ 10 C を参照して説明したこのような方法により、パターンエレメントの一種の自己組織化による形成が実現される。というのもエッチングプロセス中に、所期のようにマスク層を形成しなくても、パターンエレメントが形成されるからである。

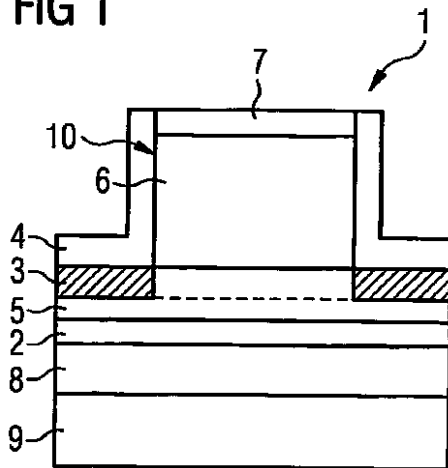
【0079】

本発明は、実施例に基づいたこれまでの説明によって限定されるものではない。むしろ本発明はあらゆる新規の特徴ならびにそれらの特徴のあらゆる組み合わせを含むものであり、これには殊に特許請求の範囲に記載した特徴のあらゆる組み合わせが含まれる。このことはこのような特徴またはこのような組み合わせ自体が特許請求の範囲あるいは実施例に明示的には記載されていない場合であっても当てはまる。

10

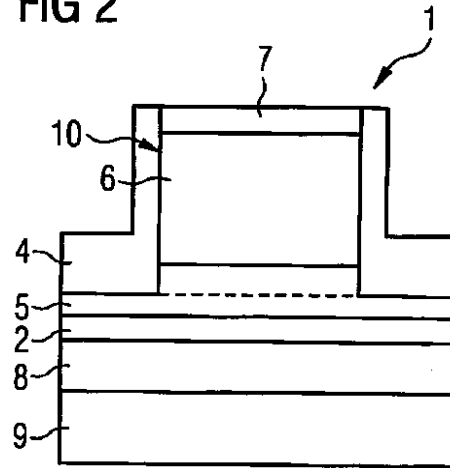
【図 1】

FIG 1



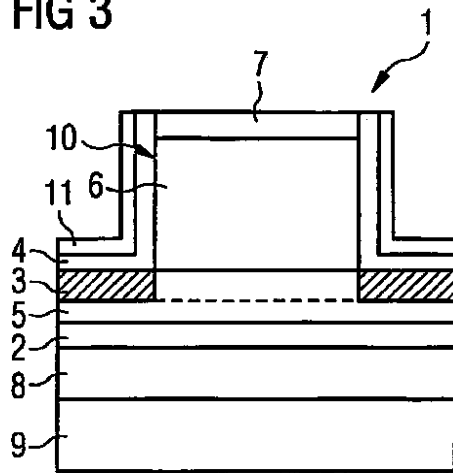
【図 2】

FIG 2



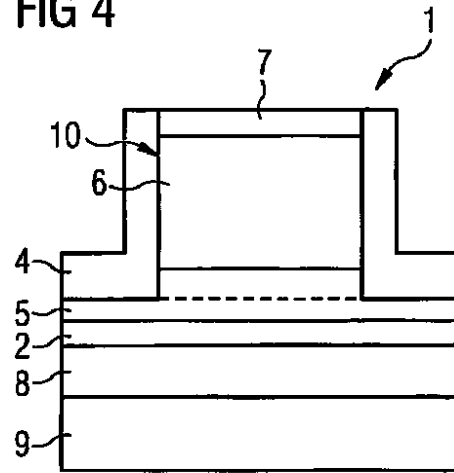
【図 3】

FIG 3

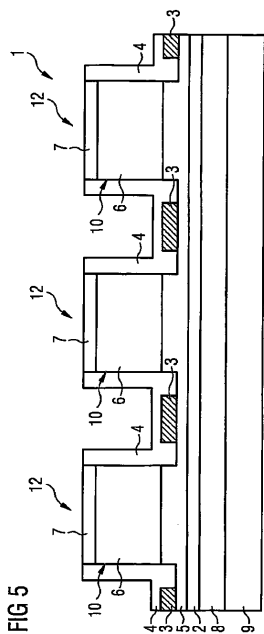


【図 4】

FIG 4

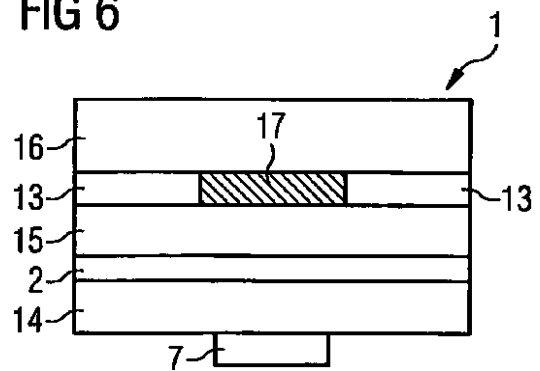


【図 5】



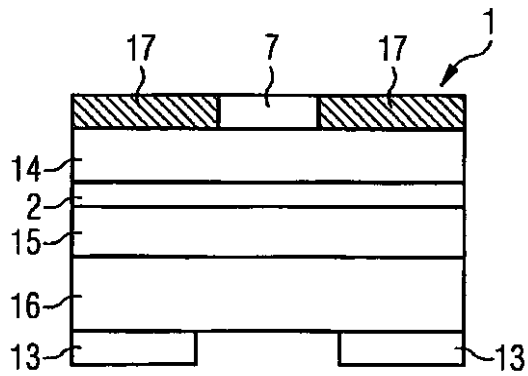
【図 6】

FIG 6



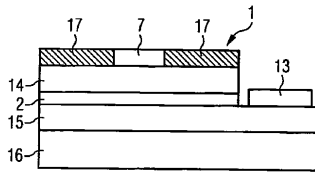
【図 7】

FIG 7



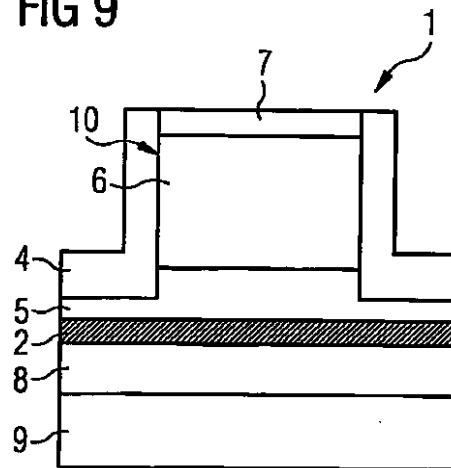
【図 8】

FIG 8



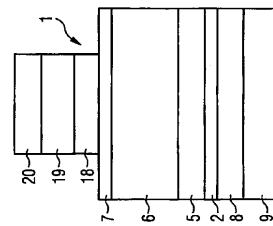
【図 9】

FIG 9



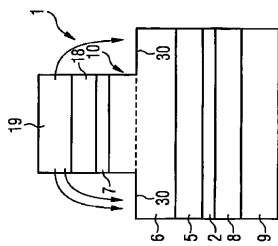
【図 10 A】

FIG 10A



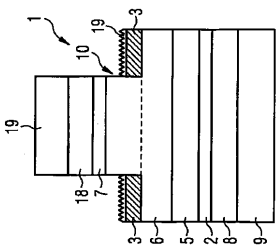
【図 10 B】

FIG 10B



【図 10 C】

FIG 10C



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/DE2008/001423

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, INSPEC, COMPENDEX

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	REINER WINDISCH ET AL: "40% Efficient Thin-Film Surface-Textured Light-Emitting Diodes by Optimization of Natural Lithography" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 47, no. 7, 1 July 2000 (2000-07-01), XP011017321 ISSN: 0018-9383 Absätze III und IV abstract; figures 1,2	1-3,14
X	JP 10 163525 A (SANYO ELECTRIC CO) 19 June 1998 (1998-06-19) abstract; figures 4-7 paragraphs [0063] - [0066]	1,4,5
	----- -/-	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

16 März 2009

Date of mailing of the international search report

02/07/2009

Name and mailing address of the ISA/

European Patent Office, P.B. 5618 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Meacher, David

INTERNATIONAL SEARCH REPORT

International application No.

PCT/DE2008/001423

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>SCHNITZER I ET AL: "30% EXTERNAL QUANTUM EFFICIENCY FROM SURFACE TEXTURED, THIN-FILM LIGHT-EMITTING DIODES" APPLIED PHYSICS LETTERS, AIP, AMERICAN INSTITUTE OF PHYSICS, MELVILLE, NY; vol. 63, no. 16, 18 October 1993 (1993-10-18), pages 2174-2176, XP000404433 ISSN: 0003-6951 abstract; figures 1(b), 2 page 2176, right-hand column</p>	1-3, 11-14
X	<p>US 2006/163595 A1 (HSIEH MIN-HSUN [TW] ET AL) 27 July 2006 (2006-07-27) paragraphs [0008], [0015], [0049], [0050]; figures 3-8</p>	1
X	<p>WO 2006/096767 A (LUMINUS DEVICES INC [US]; ERCHAK ALEXEI A [US]; LIM MICHAEL [US]; LIDO) 14 September 2006 (2006-09-14) page 6, lines 6, 7 page 7, lines 20-28 page 10, lines 31, 32</p>	1, 4, 10, 12
X	<p>EP 0 180 222 A (FUJI ELECTRIC CO LTD [JP]; FUJI ELECTRIC RES [JP]) 7 May 1986 (1986-05-07) figure 1</p>	14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/DE2008/001423**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: **1-6, 10-14**

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/DE2008/001423

The International Searching Authority has found that the international application contains multiple (groups of) inventions, as follows:

1. Claims 1-6, 10-14

Radiation-emitting semiconductor chip, wherein the thickness of an intermediate layer, which comprises the structure elements and the medium, corresponds to a maximum height of the structure elements, wherein the following applies for an effective refractive index n_{eff} of the intermediate layer: $n_2 < n_{\text{eff}} < n_1$.

2. Claims 7, 8

Radiation-emitting semiconductor chip, which is a strip laser with a web, wherein the structured region is disposed on the flanks of the web.

3. Claim 9

Radiation-emitting semiconductor chip which comprises a dielectric mirror, wherein the structure elements are formed by a first layer of the dielectric mirror and are surrounded by a second layer of the dielectric mirror.

4. Claim 15

Method for producing a semiconductor chip, wherein a mask material is arranged remotely from a region to be structured, is at least partially removed during an etching process and deposits itself on the region to be structured, characterized in that the region to be structured is simultaneously etched so that the structure elements are formed.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/DE2008/001423

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
JP 10163525	A	19-06-1998	JP 3448441 B2	22-09-2003
US 2006163595	A1	27-07-2006	DE 102006002683 A1	03-08-2006
			JP 2006210916 A	10-08-2006
			KR 20060086272 A	31-07-2006
WO 2006096767	A	14-09-2006	US 2006204865 A1	14-09-2006
			US 2007295981 A1	27-12-2007
EP 0180222	A	07-05-1986	DE 3584071 D1	17-10-1991
			JP 1747498 C	25-03-1993
			JP 4036586 B	16-06-1992
			JP 61108176 A	26-05-1986
			US 4664748 A	12-05-1987

INTERNATIONALER RECHERCHENBERICHT		Internationales Aktenzeichen PCT/DE2008/001423
A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES INV. H01L33/00		
Nach der internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) H01L		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data, INSPEC, COMPENDEX		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	REINER WINDISCH ET AL: "40% Efficient Thin-Film Surface-Textured Light-Emitting Diodes by Optimization of Natural Lithography" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, Bd. 47, Nr. 7, 1. Juli 2000 (2000-07-01), XP011017321 ISSN: 0018-9383 Absätze III und IV Zusammenfassung; Abbildungen 1,2	1-3,14
X	JP 10 163525 A (SANYO ELECTRIC CO) 19. Juni 1998 (1998-06-19) Zusammenfassung; Abbildungen 4-7 Absätze [0063] - [0066]	1,4,5
-/--		
<input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist *Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche		Absendedatum des internationalen Recherchenberichts
16. März 2009		02/07/2009
Name und Postanschrift der internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Meacher, David

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2008/001423

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	<p>SCHNITZER I ET AL: "30% EXTERNAL QUANTUM EFFICIENCY FROM SURFACE TEXTURED, THIN-FILM LIGHT-EMITTING DIODES" APPLIED PHYSICS LETTERS, AIP, AMERICAN INSTITUTE OF PHYSICS, MELVILLE, NY, Bd. 63, Nr. 16, 18. Oktober 1993 (1993-10-18), Seiten 2174-2176, XP000404433 ISSN: 0003-6951 Zusammenfassung; Abbildungen 1(b), 2 Seite 2176, rechte Spalte</p>	1-3, 11-14
X	<p>US 2006/163595 A1 (HSIEH MIN-HSUN [TW] ET AL) 27. Juli 2006 (2006-07-27) Absätze [0008], [0015], [0049], [0050]; Abbildungen 3-8</p>	1
X	<p>WO 2006/096767 A (LUMINUS DEVICES INC [US]; ERCHAK ALEXEI A [US]; LIM MICHAEL [US]; LIDO) 14. September 2006 (2006-09-14) Seite 6, Zeilen 6,7 Seite 7, Zeilen 20-28 Seite 10, Zeilen 31,32</p>	1,4,10, 12
X	<p>EP 0 180 222 A (FUJI ELECTRIC CO LTD [JP]; FUJI ELECTRIC RES [JP]) 7. Mai 1986 (1986-05-07) Abbildung 1</p>	14

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE2008/001423**Feld Nr. II Bemerkungen zu den Ansprüchen, die sich als nicht recherchierbar erwiesen haben (Fortsetzung von Punkt 2 auf Blatt 1)**

Gemäß Artikel 17(2)a) wurde aus folgenden Gründen für bestimmte Ansprüche kein internationaler Recherchenbericht erstellt:

1. ☐ Ansprüche Nr. _____
weil sie sich auf Gegenstände beziehen, zu deren Recherche diese Behörde nicht verpflichtet ist, nämlich _____
2. ☐ Ansprüche Nr. _____
weil sie sich auf Teile der internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, dass eine sinnvolle internationale Recherche nicht durchgeführt werden kann, nämlich _____
3. ☐ Ansprüche Nr. _____
weil es sich dabei um abhängige Ansprüche handelt, die nicht entsprechend Satz 2 und 3 der Regel 6.4 a) abgefasst sind.

Feld Nr. III Bemerkungen bei mangelnder Einheitlichkeit der Erfindung (Fortsetzung von Punkt 3 auf Blatt 1)

Diese internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere Erfindungen enthält:

siehe Zusatzblatt

1. ☐ Da der Anmelder alle erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht auf alle recherchierbaren Ansprüche.
2. ☐ Da für alle recherchierbaren Ansprüche die Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der zusätzliche Recherchegebühr gerechtfertigt hätte, hat die Behörde nicht zur Zahlung solcher Gebühren aufgefordert.
3. ☐ Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht nur auf die Ansprüche, für die Gebühren entrichtet worden sind, nämlich auf die Ansprüche Nr. _____
4. ☒ Der Anmelder hat die erforderlichen zusätzlichen Recherchegebühren nicht rechtzeitig entrichtet. Dieser internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; diese ist in folgenden Ansprüchen erfasst:
1-6, 10-14

Bemerkungen hinsichtlich eines Widerspruchs

- ☐ Der Anmelder hat die zusätzlichen Recherchegebühren unter Widerspruch entrichtet und die gegebenenfalls erforderliche Widerspruchsgebühr gezahlt.
- ☐ Die zusätzlichen Recherchegebühren wurden vom Anmelder unter Widerspruch gezahlt, jedoch wurde die entsprechende Widerspruchsgebühr nicht innerhalb der in der Aufforderung angegebenen Frist entrichtet.
- ☐ Die Zahlung der zusätzlichen Recherchegebühren erfolgte ohne Widerspruch.

Internationales Aktenzeichen PCT/DE2008 /001423

WEITERE ANGABEN

PCT/ISA/ 210

Die internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere (Gruppen von) Erfindungen enthält, nämlich:

1. Ansprüche: 1-6,10-14

Strahlung emittierender Halbleiterchip, wobei die Dicke einer Zwischenschicht, welche die Strukturelemente und das Medium aufweist, einer maximalen Höhe der Strukturelemente entspricht, und wobei für einen effektiven Brechungsindex n_{eff} der Zwischenschicht $n_2 < n_{\text{eff}} < n_1$ gilt

2. Ansprüche: 7,8

Strahlung emittierender Halbleiterchip, der ein Streifenlaser mit einem Steg ist, wobei der strukturierte Bereich an den Flanken des Steges angeordnet ist

3. Anspruch: 9

Strahlung emittierender Halbleiterchip, der einen dielektrischen Spiegel aufweist, wobei die Strukturelemente aus einer ersten Schicht des dielektrischen Spiegels gebildet und von einer zweiten Schicht des dielektrischen Spiegels umgeben sind

4. Anspruch: 15

Verfahren zur Herstellung eines Halbleiterchips, wobei ein Maskenmaterial entfernt von einem zu strukturierenden Bereich angeordnet wird, während eines Ätzprozesses zumindest teilweise abgetragen wird und sich auf dem zu strukturierenden Bereich ablagert, wobei der zu strukturierende Bereich gleichzeitig geätzt wird, so dass die Strukturelemente ausgebildet werden

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2008/001423

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
JP 10163525 A	19-06-1998	JP 3448441 B2	22-09-2003
US 2006163595 A1	27-07-2006	DE 102006002683 A1	03-08-2006
		JP 2006210916 A	10-08-2006
		KR 20060086272 A	31-07-2006
WO 2006096767 A	14-09-2006	US 2006204865 A1	14-09-2006
		US 2007295981 A1	27-12-2007
EP 0180222 A	07-05-1986	DE 3584071 D1	17-10-1991
		JP 1747498 C	25-03-1993
		JP 4036586 B	16-06-1992
		JP 61108176 A	26-05-1986
		US 4664748 A	12-05-1987

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100099483

弁理士 久野 琢也

(74)代理人 100110593

弁理士 杉本 博司

(74)代理人 100112793

弁理士 高橋 佳大

(74)代理人 100128679

弁理士 星 公弘

(74)代理人 100135633

弁理士 二宮 浩康

(74)代理人 100114890

弁理士 アインゼル・フェリックス＝ラインハルト

(72)発明者 アルフレート レル

ドイツ連邦共和国 マックスヒュッテ - ハイトホーフ フィルヒョウシュトラッセ 19

(72)発明者 クリストフ アイヒラー

ドイツ連邦共和国 テーゲルンハイム リヒャルト - ヴァーグナー - シュトラッセ 2

(72)発明者 クリスティアン ルンボルツ

ドイツ連邦共和国 ラッパースドルフ アウスズィヒツヴェーク 7

Fターム(参考) 5F173 AA08 AD05 AG01 AH02 AH22 AR32