

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5714010号
(P5714010)

(45) 発行日 平成27年5月7日 (2015.5.7)

(24) 登録日 平成27年3月20日 (2015.3.20)

(51) Int.Cl.
A 6 1 B 8/14 (2006.01)

F I
A 6 1 B 8/14

請求項の数 12 (全 15 頁)

(21) 出願番号	特願2012-522880 (P2012-522880)	(73) 特許権者	591150672
(86) (22) 出願日	平成22年7月15日 (2010.7.15)		ナショナル セミコンダクター コーポレ ーション
(65) 公表番号	特表2012-533411 (P2012-533411A)		NATIONAL SEMICONDUCTOR CORPORATION
(43) 公表日	平成24年12月27日 (2012.12.27)		アメリカ合衆国 カリフォルニア州 95 051 サンタ クララ エム/エス デ ィー3-579 セミコンダクター ドラ イブ 2900
(86) 国際出願番号	PCT/US2010/042066		
(87) 国際公開番号	W02011/008914	(74) 代理人	100098497
(87) 国際公開日	平成23年1月20日 (2011.1.20)		弁理士 片寄 恭三
審査請求日	平成25年7月10日 (2013.7.10)	(72) 発明者	ウェイ エムエー
(31) 優先権主張番号	12/503,438		アメリカ合衆国カリフォルニア州9458 2, サン ラモン, プリタニア ドライ ブ 2236
(32) 優先日	平成21年7月15日 (2009.7.15)		
(33) 優先権主張国	米国 (US)		最終頁に続く

(54) 【発明の名称】 超音波システムのためのサブビーム・フォーミング・トランスミッタ回路

(57) 【特許請求の範囲】

【請求項1】

超音波システムのサブビーム・フォーミング・トランスミッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のサブビーム・パルス・パターン・データ、複数のサブビーム・パルス遅延データ、及び複数のクロック信号を含む複数のサブビーム・パルス制御信号を提供するためのパルス制御回路と、

前記パルス制御回路に結合され、複数のシリアル・サブビーム信号パルスを提供することにより前記複数のサブビーム・パルス・パターン・データ、サブビーム・パルス遅延データ、及びクロック信号に応答する、信号パルス生成回路であって、前記複数のサブビーム・シリアル信号パルスのうち一つ又はそれ以上のそれぞれのサブビーム・シリアル信号パルスが、前記複数のサブビーム・パルス・パターン・データの少なくとも一部に対応し、かつ、前記複数のサブビーム・パルス遅延データ及びクロック信号に関連して時間遅延されている、信号パルス生成回路と、

を含み、

前記信号パルス生成回路が、

前記複数のクロック信号のうち選択されたクロック信号を提供することにより前記複数のサブビーム・パルス遅延データの第1の部分及び前記複数のクロック信号に応答するクロック選択回路と、

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち

前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより前記複数のサブビーム・パルス遅延データの第2の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と、

前記遅延回路に結合されるデータ記憶回路であって、前記複数のサブビーム・パルス・パターン・データを記憶し、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリブすることにより、前記複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に応答する、データ記憶回路と、

を含み、

前記遅延されたクロック信号が、前記複数のサブビーム・パルス遅延データの前記第1の部分に関連する第1の遅延と、前記複数のサブビーム・パルス遅延データの前記第2の部分に関連する第2の遅延とに従って、前記複数のクロック信号のうち前記選択されたクロック信号に関連して時間的に遅延され、

前記第1の遅延が前記第2の遅延より小さく、

前記クロック選択回路がマルチプレクサ回路を含み、

前記遅延回路がカウンタ回路を含み、

前記データ記憶回路が、

前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データの第1のそれぞれの部分をリトリブすることにより、前記遅延されたクロック信号に応答する、第1のシフト・レジスタ回路と、

前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データの第2のそれぞれの部分をリトリブすることにより、前記遅延されたクロック信号に応答する、第2のシフト・レジスタ回路と、

を含み、

前記記憶された複数のサブビーム・パルス・パターン・データの前記リトリブされた第1及び第2のそれぞれの部分が、前記遅延されたクロック信号に従った2ビット・データ信号のシーケンスを提供する、装置。

【請求項2】

超音波システムのサブビーム・フォーミング・トランスミッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のサブビーム・パルス・パターン・データ、複数のサブビーム・パルス遅延データ、及び複数のクロック信号を含む複数のサブビーム・パルス制御信号を提供するためのパルス制御回路と、

前記パルス制御回路に結合され、複数のシリアル・サブビーム信号パルスを提供することにより前記複数のサブビーム・パルス・パターン・データ、サブビーム・パルス遅延データ、及びクロック信号に応答する、信号パルス生成回路であって、前記複数のサブビーム・シリアル信号パルスのうち一つ又はそれ以上のそれぞれのサブビーム・シリアル信号パルスが、前記複数のサブビーム・パルス・パターン・データの少なくとも一部に対応し、かつ、前記複数のサブビーム・パルス遅延データ及びクロック信号に関連して時間遅延されている、信号パルス生成回路と、

を含み、

前記信号パルス生成回路が、

前記複数のクロック信号のうち選択されたクロック信号を提供することにより前記複数のサブビーム・パルス遅延データの第1の部分及び前記複数のクロック信号に応答するクロック選択回路と、

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより前記複数のサブビーム・パルス遅延データの第2の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と

10

20

30

40

50

、
前記遅延回路に結合されるデータ記憶回路であって、前記複数のサブビーム・パルス・パターン・データを記憶し、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリブすることにより、前記複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に
10 応答する、データ記憶回路と、

を含み、

前記遅延されたクロック信号が、前記複数のサブビーム・パルス遅延データの前記第 1 の部分に関連する第 1 の遅延と、前記複数のサブビーム・パルス遅延データの前記第 2 の部分に関連する第 2 の遅延とに従って、前記複数のクロック信号のうち前記選択されたクロック信号に関連して時間的に遅延される、装置。

【請求項 3】

請求項 1 又は 2 に記載の装置であって、

前記複数のクロック信号が共通の周波数及び相互に別個の (distinct) 位相を有し、

前記パルス制御回路が、前記複数のサブビーム・パルス・パターン・データ及びサブビーム・パルス遅延データを含む前記複数のサブビーム・パルス制御信号の一部を提供する有限ステートマシン (FSM) 回路を含む、装置。

【請求項 4】

請求項 1 又は 2 に記載の装置であって、

前記パルス制御回路が、前記複数のクロック信号を含む前記複数のサブビーム・パルス制御信号の一部を提供する位相ロック・ループ (PLL) 回路を含み、

前記複数のクロック信号が共通の周波数及び相互に別個の位相を有する、装置。

【請求項 5】

請求項 1 又は 2 に記載の装置であって、

前記パルス制御回路が、

前記複数のサブビーム・パルス・パターン・データ及びサブビーム・パルス遅延データ、及びクロック制御信号を含む前記複数のサブビーム・パルス制御信号の一部を提供する有限ステートマシン (FSM) 回路と、

前記 FSM 回路に結合され、前記複数のクロック信号を含む前記複数のサブビーム・パルス制御信号の別の一部を提供することにより前記クロック制御信号に応答する、位相ロック・ループ (PLL) 回路と、

を含み、

前記複数のクロック信号が共通の周波数及び相互に別個の位相を有する、装置。

【請求項 6】

超音波システムのサブビーム・フォーミング・トランスミッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のクロック信号のうち選択されたクロック信号を提供することにより、複数のサブビーム・パルス遅延データの第 1 の部分及び前記複数のクロック信号に応答するクロック選択回路と、

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより、前記複数のサブビーム・パルス遅延データの第 2 の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と、

前記遅延回路に結合されるデータ記憶回路であって、複数のサブビーム・パルス・パターン・データを記憶し、かつ、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリブすることにより、前記複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に応答する、データ記憶回路と、

10

20

30

40

50

を含み、

前記複数のクロック信号が共通の周波数及び相互に別個の位相を有し、

前記遅延されたクロック信号が、前記複数のサブビーム・パルス遅延データの前記第 1 の部分に関連する第 1 の遅延と、前記複数のサブビーム・パルス遅延データの前記第 2 の部分に関連する第 2 の遅延とに従って、前記複数のクロック信号のうち前記選択されたクロック信号に関連して時間的に遅延される、装置。

【請求項 7】

超音波システムのサブビーム・フォーミング・トランスミッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のクロック信号のうち選択されたクロック信号を提供することにより、複数のサブビーム・パルス遅延データの第 1 の部分及び前記複数のクロック信号に応答するクロック選択回路と、

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより、前記複数のサブビーム・パルス遅延データの第 2 の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と、

前記遅延回路に結合されるデータ記憶回路であって、複数のサブビーム・パルス・パターン・データを記憶し、かつ、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリブすることにより、前記複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に応答する、データ記憶回路と、

を含み、

前記遅延されたクロック信号が、前記複数のサブビーム・パルス遅延データの前記第 1 の部分に関連する第 1 の遅延と、前記複数のサブビーム・パルス遅延データの前記第 2 の部分に関連する第 2 の遅延とに従って、前記複数のクロック信号のうち前記選択されたクロック信号に関連して時間的に遅延され、

前記第 1 の遅延が前記第 2 の遅延より小さい、装置。

【請求項 8】

超音波システムのサブビーム・フォーミング・トランスミッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のクロック信号のうち選択されたクロック信号を提供することにより、複数のサブビーム・パルス遅延データの第 1 の部分及び前記複数のクロック信号に応答するクロック選択回路と、

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより、前記複数のサブビーム・パルス遅延データの第 2 の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と、

前記遅延回路に結合されるデータ記憶回路であって、複数のサブビーム・パルス・パターン・データを記憶し、かつ、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリブすることにより、前記複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に応答する、データ記憶回路と、

を含み、

前記クロック選択回路がマルチプレクサ回路を含む、装置。

【請求項 9】

超音波システムのサブビーム・フォーミング・トランスミッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のクロック信号のうち選択されたクロック信号を提供することにより、複数のサブ

10

20

30

40

50

ビーム・パルス遅延データの第1の部分及び前記複数のクロック信号に応答するクロック選択回路と、

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより、前記複数のサブビーム・パルス遅延データの第2の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と、

前記遅延回路に結合されるデータ記憶回路であって、複数のサブビーム・パルス・パターン・データを記憶し、かつ、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリブすることにより、前記複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に

10

応答する、データ記憶回路と、

を含み、

前記遅延回路がカウンタ回路を含む、装置。

【請求項10】

超音波システムのサブビーム・フォーミング・トランスミッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のクロック信号のうち選択されたクロック信号を提供することにより、複数のサブビーム・パルス遅延データの第1の部分及び前記複数のクロック信号に応答するクロック選択回路と、

20

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより、前記複数のサブビーム・パルス遅延データの第2の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と、

前記遅延回路に結合されるデータ記憶回路であって、複数のサブビーム・パルス・パターン・データを記憶し、かつ、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリブすることにより、前記複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に

30

応答する、データ記憶回路と、

を含み、

前記データ記憶回路が、

前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データの第1のそれぞれの部分をリトリブすることにより、前記遅延されたクロック信号に

応答する第1のシフト・レジスタ回路と、

前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データの第2のそれぞれの部分をリトリブすることにより、前記遅延されたクロック信号に

40

【請求項11】

超音波システムのサブビーム・フォーミング・トランスミッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のサブビーム・パルス遅延データの第1の部分を受信し、それに応答して、複数のクロック信号から選択して前記複数のクロック信号のうちの選択されたクロック信号を提供するためのクロック・セクタ手段と、

前記複数のサブビーム・パルス遅延データの第2の部分を受信し、それに応答して、前記複数のクロック信号のうちの前記選択されたクロック信号を遅延させて、前記複数のク

50

ロック信号のうちの前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供するための遅延手段と、

複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号を受信し、それらに応答して、前記複数のサブビーム・パルス・パターン・データを記憶し、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリブするためのデータ記憶手段と、

を含む、装置。

【請求項 1 2】

請求項 1 1 に記載の装置であって、

前記複数のクロック信号が共通の周波数及び相互に別個の位相を有する、装置。

10

【発明の詳細な説明】

【背景技術】

【0 0 0 1】

本発明は、超音波システムのためのトランスミッタ回路に関し、特に、超音波システムのためのサブビーム・フォーミングされた送信信号を提供するための回路に関連する。

【0 0 0 2】

図 1 を参照すると、従来の超音波システムは、プロセッサ／コントローラ 1 0、及びアナログ・フロントエンド (A F E) 2 0 だけでなく、ビデオ・ディスプレイやコンピュータ・キーボードやマウスなどのユーザー・インタフェース (図示せず) を含む。プロセッサ／コントローラ 1 0 内に含まれているのはデジタル・ビーム・フォーマ 1 2 であり、デジタル・ビーム・フォーマ 1 2 は、送信ビーム・プロファイルを定義する多数のデジタル送信データ信号 1 3 を提供し、代わりに、受信エネルギー・プロファイルを表す多数のデジタル受信データ信号 3 3 を受信する。任意の所望のビーム・フォーミングがビーム・フォーマ回路 1 2 内で実行される。

20

【0 0 0 3】

A F E 2 0 の送信経路は、デジタル・アナログ変換 (D A C) 回路 2 2 の多数のチャンネル、及び多数のトランスデューサ増幅器ドライバ回路 2 4 を含む。送信データ信号 1 3 は、前記ドライバ回路 2 4 を駆動するため、対応するアナログ信号 2 3 に変換される。その結果のドライバ出力信号 2 5 の各々は、トランスデューサ・アレイ 2 8 内のそれぞれのトランスデューサを駆動し、周知の原理に従って、送信／受信スイッチ 2 6 を介して伝達される。

30

【0 0 0 4】

更に周知の原理に従って、前記トランスデューサ・アレイ 2 8 によって受信された反射された超音波エネルギーは、対応するアナログ電気信号 2 7 に変換され、これらは、前記送信／受信スイッチ 2 6 を介してそれぞれの時間可変利得増幅器 (T V G A) 回路 3 0 へ伝達される。その結果の増幅された信号 3 1 は、アナログ・デジタル変換 (A D C) 回路 3 2 の多数のチャンネルにより変換されて、前記受信データ信号 3 3 を生成する。

【0 0 0 5】

このような超音波イメージング・システムは、このように動作して所望の画像解像度及び品質に必要とされるビーム・フォーミングを提供する。上述のように、このビーム・フォーミング機能は、所望の汎用性 (f l e x i b i l i t y) 及びプログラミング性を達成するため、デジタル・ドメインで実施されるのが典型的である。しかし、処理の速度及び複雑性が増すにつれて、このようなデジタル・ドメイン回路によって消費される電力は増加している。益々多くのシステムが携帯用に及びバッテリー電力で動作するように設計されるため、このような電力消費、特に電力消費の如何なる増加も、とりわけ問題となる。また、益々複雑なトランスデューサ・アレイが開発されるにつれ、前記プロセッサ／コントローラ 1 0 と A F E 2 0 との間のインタフェース内の信号 1 3、3 3 の数が増加している。従って、電力消費及び前記プロセッサ／コントローラ 1 0 と A F E 2 0 との間の信号接続の数を低減するように、改良されたサブビーム・フォーミングを実装することが望ましい。

40

50

【発明の概要】

【0006】

超音波システムのサブビーム・フォーミング・トランスミッタのためのマルチチャネル・パルサー・ドライバ (p u l s e r d r i v e r) 回路が提供され、この回路において、サブビーム・パルス遅延データ及び多数のクロック信号に従ってサブビーム・パルス・パターン・データを遅延させることによってサブビーム信号が形成される。

【0007】

本発明の一実施例に従って、超音波システムのサブビーム・フォーミング・トランスミッタのためのマルチチャネル・パルサー・ドライバ回路は、

複数のサブビーム・パルス・パターン・データ、複数のサブビーム・パルス遅延データ、及び複数のクロック信号を含む複数のサブビーム・パルス制御信号を提供するためのパルス制御回路と、

前記パルス制御回路に結合され、複数のシリアル・サブビーム信号パルスを提供することにより前記複数のサブビーム・パルス・パターン・データ、サブビーム・パルス遅延データ、及びクロック信号に応答する、信号パルス生成回路であって、前記複数のサブビーム・シリアル信号パルスのうち一つ又はそれ以上のそれぞれのサブビーム・シリアル信号パルスが、前記複数のサブビーム・パルス・パターン・データの少なくとも一部に対応し、かつ、前記複数のサブビーム・パルス遅延データ及びクロック信号に関連して時間遅延されている、前記信号パルス生成回路と、を含む。

【0008】

本発明の別の実施例に従って、超音波システムのサブビーム・フォーミング・トランスミッタのためのマルチチャネル・パルサー・ドライバ回路は、

複数のクロック信号のうち選択されたクロック信号を提供することにより複数のサブビーム・パルス遅延データの第1の部分及び前記複数のクロック信号に応答するクロック選択回路と、

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより前記複数のサブビーム・パルス遅延データの第2の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と、

前記遅延回路に結合されるデータ記憶回路であって、前記複数のサブビーム・パルス・パターン・データを記憶し、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリブすることにより、複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に応答する、データ記憶回路と、を含む。

【0009】

本発明の別の実施例に従って、超音波システムのサブビーム・フォーミング・トランスミッタのためのマルチチャネル・パルサー・ドライバ回路は、

複数のサブビーム・パルス・パターン・データ、複数のサブビーム・パルス遅延データ、及び複数のクロック信号を含む複数のサブビーム・パルス制御信号を提供するためのパルス・コントローラ手段と、

前記複数のサブビーム・パルス・パターン・データ、サブビーム・パルス遅延データ、及びクロック信号を受信し、それらに응答して、複数のシリアル・サブビーム信号パルスを提供するための信号パルス生成器手段とを含み、前記複数のサブビーム・シリアル信号パルスのうち一つ又はそれ以上のそれぞれのサブビーム・シリアル信号パルスは、前記複数のサブビーム・パルス・パターン・データの少なくとも一部に対応し、かつ、前記複数のサブビーム・パルス遅延データ及びクロック信号に関連して時間遅延されている。

【0010】

本発明の別の実施例に従って、超音波システムのサブビーム・フォーミング・トランスミッタのためのマルチチャネル・パルサー・ドライバ回路は、

複数のサブビーム・パルス遅延データの第1の部分を受信し、それに応答して、複数のクロック信号から選択して前記複数のクロック信号のうち選択されたクロック信号を提供するためのクロック・セクタ手段と、

前記複数のサブビーム・パルス遅延データの第2の部分を受信し、それに応答して、前記複数のクロック信号のうち前記選択されたクロック信号を遅延させて、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供するための遅延手段と、

複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号を受信し、それらに応答して、前記複数のサブビーム・パルス・パターン・データを記憶し、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリブするためのデータ記憶手段と、を含む。

10

【図面の簡単な説明】

【0011】

【図1】 図1は、従来のビーム・フォーミング超音波システムの送信及び受信チャンネルの機能ブロック図である。

【図2】 図2は、本発明の一つ又はそれ以上の実施例に従ってサブビーム・フォーミングを実装する超音波システムの送信及び受信チャンネルの機能ブロック図である。

【図3】 図3は、本発明の一つ又はそれ以上の実施例に従ってサブビーム・フォーミング・トランスミッタを有する超音波システムの8つのチャンネルの機能ブロック図である。

【図4】 図4は、本発明の一つ又はそれ以上の実施例に従って超音波トランスデューサを駆動するための信号パルサーのためのドライバ回路の機能ブロック図である。

20

【図5】 図5は、図4の回路のパルス・ドライバ・チャンネルの一つの例示の実施例の機能ブロック図である。

【発明を実施するための形態】

【0012】

下記の詳細な説明は、添付の図面を参照した本発明の例示の実施例に関する。

このような記載は、本発明の範囲に関する説明を意図するものであり、本発明の範囲に関して限定するものではない。このような実施例は、当業者が本発明を実施することができる程度に充分詳細に説明されており、本発明の趣旨又は範囲から逸脱することなく、何らかの変更を加えて他の実施例が実施され得ることが分かるだろう。

30

【0013】

本開示全体にわたって、当該文脈にそうではないと明確に表示されていない場合、記載されている個々の回路要素の数は単数であっても複数であってもよいことを理解されたい。例えば、「回路(circuit)」及び「回路(circuitry)」という用語は、単一の構成要素、或いは、能動的及び／又は受動的のいずれかであり、記載された機能を提供するよう（例えば、一つ又はそれ以上の集積回路チップとして）共に接続又は結合される複数の構成要素のいずれかを含み得る。また、「信号」という用語は、一つ又はそれ以上の電流、一つ又はそれ以上の電圧、又はデータ信号を指し得る。図面内では、同様の又は関連する要素は、同様の又は関連する英字、数字、又は英数字の識別子を有し得る。更に、本発明は、（好ましくは、一つ又はそれ以上の集積回路チップの形式の）個別の電子回路を用いる実施の文脈において説明しているが、このような回路の任意の部品の機能は、処理されるべき信号周波数又はデータ速度に依って、代替として一つ又はそれ以上の適切にプログラムされたプロセッサを用いて実施されてもよい。また、図面は種々の実施例の機能ブロックの図を示すのであり、これらの機能ブロックは必ずしもハードウェア回路間の区分を示しているわけではない。このため、例えば、一つ又はそれ以上の機能ブロック（例えば、プロセッサ、メモリなど）が、ハードウェア（例えば、汎用信号プロセッサ、ランダム・アクセス・メモリ、ハードディスク・ドライブなど）の単一の部品で実装されても良い。同様に、記載された任意のプログラムは、スタンドアロン型プログラムであってもよく、オペレーティング・システム内のサブルーチンとして組み込まれてもよく、インストールされたソフトウェア・パッケージ内の機能などであってもよい。

40

50

【0014】

図2を参照すると、本発明の一つ又はそれ以上の実施例に従ってサブビーム・フォーミングを用いる超音波システムは、プロセッサ／コントローラ100のグローバル・デジタル・ビーム・フォーマ回路とAFE200との間の信号インタフェースを簡素化する。グローバル・デジタル・ビーム・フォーマ102は、チャンネルの総数Nをn個のチャンネルの多数の小さなグループ、即ち「サブビーム」、に分割し、これらが、送信データ信号103の多数のサブビームを提供し、受信データ信号215の多数のサブビームを受信する。送信経路において、これらのN/nデータ信号103は、N/nサブビーム・フォーマ回路202aによりN個のサブビーム信号203を提供するために用いられる。（例えば、トランスデューサ・アレイ210がN=256信号で駆動され、各サブビーム・フォーマ回路202がn=8サブビーム信号を提供する場合、前記グローバル・デジタル・ビーム・フォーマ102は、N/n=32送信データ信号103を提供しさえすればよい。）前記サブビーム信号203は、ドライバ回路206のためのアナログ駆動信号として機能し、前記ドライバ回路206は、前記トランスデューサ・アレイのための駆動信号207を提供する。

10

【0015】

前記トランスデューサ・アレイ210からの受信信号209は、時間可変利得増幅器210により増幅され、その結果増幅された信号211は、ADC回路212によって変換されて対応するデジタル信号213を生成する。これらのデジタル信号213は、サブビーム・フォーミング・レシーバ回路214（その主題は開示されており、その一つ又はそれ以上の実施例は同時継続中の特許出願において請求されている）によって処理されてN/n受信データ信号215を提供する。

20

【0016】

本発明の一つ又はそれ以上の実施例に従ったこのようなサブビーム・フォーミングは、全体的なシステム複雑性及び電力消費を低減させる。例えば、従来のビーム・フォーミングは、例えば、前記グローバル・デジタル・ビーム・フォーマ102の一部として、例えば、著しく電力を消費する補間演算（interpolation computations）を数多く付随する、フィールド・プログラマブル・ゲート・アレイ（FPGA）を用いて、デジタル・ドメインにおいて実行されるのに対し、本発明の一つ又はそれ以上の実施例に従ったサブビーム・フォーミングは、アナログ及び混合信号ドメインにおいて実行されて少ない電力消費で高精度を達成する。

30

【0017】

図3を参照すると、本発明の一つ又はそれ以上の実施例に従って、サブビーム・フォーミングが送信信号経路において実行される。前記AFE200（図2）の送信信号経路の各サブビーム・フォーマ回路202aは、サブビーム・フォーミング・プロファイル・データ、グローバル・ビーム・オフセット・データ、キャリブレーション補償データ、スパース（sparse）選択データ及び送信開始、又は「始動（fire up）」制御データを含む送信ビーム・フォーム制御信号103a、103b、及びクロック信号103cを受信する。前記クロック信号103cは位相ロック・ループ（PLL）回路222を駆動し、PLL回路222は、必要に応じて異なる周波数及び位相を有する種々のクロック信号を提供する。

40

【0018】

サブビーム・フォーマ回路202aは、前記サブビーム・フォーミング・プロファイル・データ信号Btx103aにより定義された通りのビーム・フォーミング要件を受信し、それらをプログラム可能な信号振幅及び時間遅延を備えた多数の波形t0、t1、…、t7203aに変換する。例えば、200nsの信号期間を有する波形が前記サブビーム・フォーマ回路202aに予め記憶され、前記サブビーム・フォーミング・プロファイル・データは、波形が1nsずつ連続的に遅延され、かつ、1パーセントずつ振幅が低減されることを指定する。その結果、始動信号Bst103bのアサートに続いて、前記サブビーム・フォーマ回路202aは、 $t_1(n) = 0.99 \times t_0(n-1ns)$ 、t2

50

(n) = 0.98 × t0(n - 2ns)、…、t7(n) = 0.93 × t0(n - 7ns) となるように、8 個の信号 203a を提供する。代替として、例えば、プログラム可能な正の 217p 及び負の 217n 電源電圧（下記で更に詳細に説明する）に従って、信号振幅に対する変形がドライバ回路 206a において成されてもよい。

【0019】

上述のように、前記サブビーム・フォーミングされた信号 203a は、前記ドライバ回路 206a を駆動し、前記ドライバ回路 206a はそれぞれのトランスデューサのための駆動信号 207a を（上述のように）提供する。前記サブビーム・フォーマ回路 202a は、前記ドライバ回路 206a のため電力管理回路 216 に一つ又はそれ以上の制御信号 217c を提供する。これらの一つ又はそれ以上の制御信号 217c に従って、前記電力管理回路 216 は、前記ドライバ回路 206a のため正の 217p 及び負の 217n 電源電圧を制御する。例えば、好ましい実施例に従って、前記ドライバ回路 206a は、そのためにそれらの電源電圧 217p、217n が前記電力管理回路 216 により制御される、G 級増幅器を用い、それにより、前記トランスデューサ駆動信号 207a に対する振幅制御を提供する。代替として、前記ドライバ回路 206a は、シンプルなパルス生成器、多レベルパルス生成器、又は他の級の増幅器（例えば、A/B 級）の形式で実装されてもよい。

【0020】

精密なビーム形状を形成するために必要な微細 (fine) 位相制御には、パルス速度よりも微細であるか、或いは各サイクルでより多くの位相を有する、タイミングが必要である。例えば、パルス波形を生成するために 40Ms/秒（メガ・サンプル毎秒）が用いられる場合、サンプル時間解像度は 25ns（ナノ秒）であり、これは通常は充分ではない。従って、160MHz などの一層高い周波数を同期化して 6.25ns の一層微細なクロック・サイクル・シフトを生成するためには、40MHz が必要である。下記で更に詳細に説明するように、6.25ns 刻みで増加する信号 203a を遅延させるために粗 (coarse) 遅延制御を用いることができる。微細 (fine) 遅延では多位相クロック信号を用いることができる。例えば、m = 8 位相の場合、微細時間解像度は 1 クロック・サイクルの 1/8、即ち、0.78125ns となる。

【0021】

十分に高い周波数で動作する前記サブビーム・フォーマ 202a では、このサブビーム・フォーマ 202a は、任意の波形を発生させるためのパルス幅変調 (PWM) 機能を実施するため多数のパルスを、又は超音波ターゲットへ一層多くのエネルギーを提供するため符号励振パルスを提供するために動作され得る。

【0022】

制御効率を改善するため、及び前記信号経路から前記トランスデューサまでの信号損失を考慮するため、前記サブビーム・フォーマ 202a 内でキャリブレーションを提供することができる。このようなキャリブレーションは、時間遅延及び振幅変動のためのキャリブレーションを含み得る。例えば、種々のトランスデューサ、ドライバ増幅器、及び他の回路要素（能動及び受動の両方）間で必ずある程度の動作差異が存在し得る。（例えば、製造試験の一部として）キャリブレーション・プロセスは、これらの差を捕捉すること、及びそれらを前記サブビーム・フォーマ 202a 内の記憶のためのオフセット・データに変換することを含み得、それらにより、これらのオフセット・データに基づいて前記ビーム・プロファイルに調整が成されてより精密なビーム・フォーミング性能を提供することが可能となる。

【0023】

また、偶数又は奇数の又は個々に選択されたトランスデューサなど、トランスデューサのサブセットを駆動することによりスパース・ビーム・フォーミングを提供することができる。例えば、前記ビーム・プロファイル・フォーミングの一部として、生成された種々の波形のうち選択された波形の振幅をゼロ（又は何らかの他の既定の低い値）と定義することができる。

10

20

30

40

50

【0024】

図4を参照すると、本発明の一つ又はそれ以上の実施例に従って、実質的に図示するように、2レベル・ドライバ又はパルス生成器（パルサー）を用いてドライバ回路206a aが実装され得る。送信イネーブル信号103cに従って、始動制御回路242が、シフト・レジスタ・チャンネル250の8つの対を介してパルス信号を提供するための開始制御信号243aを、及び制御を提供しかつ入力データを適切なフォーマットに変換する有限状態マシン（FSM）248に対して負荷制御信号243bを提供する。シリアル・インタフェース回路244は、パルス及び制御データ及び対応するクロック信号103dを受信し、シリアル・データを前記FSM248にロードされ得るようにパラレル・データ245に変換する。前記FSM248は、前記データ・チャンネル250に対しパルス・パターン・データ249a（例えば、128ビット）及び遅延プロファイル・データ249b（例えば、17ビット）を、及びPLL回路246に対し制御信号249cを提供する。

10

【0025】

前記PLL回路246は、リファレンス及びバイアス信号103eを受信し、オーバーサンプリング周波数 f_c （例えば、例示の実施例において8つの位相で160MHz）で多位相クロック信号247を生成する。

【0026】

前記データ・チャンネル250は、前記パルス・パターン・データ249a及び遅延プロファイル・データ249bを受信し、前記開始制御信号243a、及び前記多位相クロック信号247の選択された位相により制御される（下記で更に詳細に説明する）。各データ・チャンネル250は、それぞれのトランスデューサを駆動する前記パルサー・ドライバ回路のため、2個の出力ビット、 P （ P_0 、 P_1 、 P_2 、…、 P_7 ）、 N （ N_0 、 N_1 、 N_2 、…、 N_7 ）を提供する。これら2個のビットは、パルサー制御の4つのレベルを可能にし、そのうち3つのレベルは、バイポーラ・パルサーを駆動する際に用いられる。例えば、これら4個のレベルは次のように定義することができる。出力電圧が0の場合、 $P_n = 0$ 及び $N_n = 0$ であり、モストポジティブパルス電圧の場合、 $P_n = 1$ 及び $N_n = 0$ であり、モストネガティブパルス電圧の場合 $P_n = 0$ 及び $N_n = 1$ であり、減衰パルス反射（damped pulse echo）の場合、 $P_n = 1$ 及び $N_n = 1$ である。信号 P_n 、 N_n の各対は、等しいタイミングで遅延され得るが、前記8つの信号対 P_0/N_0 、 P_1/N_1 、…、 P_7/N_7 は、一般的に、上述のようなビーム・フォーミング要件に従って異なるタイミング間隔だけ遅延される（例えば、信号対 P_1/N_1 は、信号対 P_0/N_0 に対して1.5nsだけ遅延される）。

20

30

【0027】

好ましい実施例に従って、各データ・チャンネル250は、各制御ビット P 、 N に対し64パルスまで提供し、それによりPWM又は符号励振マルチパルス信号が可能となる。前記PLL回路246は、 $f_c = 160\text{MHz}$ のオーバーサンプリング周波数で前記多位相クロック信号247を提供する。8つの位相がある場合、0.7825nsの微細遅延が提供される。前記シリアル・インタフェース244は、異なる遅延プロファイル・データが受信され、かつ、異なるビーム・パターンに対して前記FSM248にロードされることを可能にする。前記送信イネーブル信号103cは、すべてのデータ・チャンネル250が同時に始動されることを可能にする。前記FSM248内又は専用メモリ（図示せず）内のキャリブレーションデータを記憶することにより、キャリブレーションが提供され得る。

40

【0028】

図5を参照すると、前記データ・チャンネル250の一つの例示の実施例250aaは、マルチプレクサ262、シフト・レジスタ264p、264n、カウンタ266、及び論理回路268、270、272を含み、全て実質的に図示するように相互接続される。前記パルス・パターン・データ249aは、前記シフト・レジスタ264p、264n間で分割され、それらにロードされる。前記遅延プロファイル・データ249bは、前記多位

50

相クロック信号247の前記位相のうち一つを選択するための前記マルチプレクサ262への制御ビット（例えば、8つの位相の中で選択するための3つのビット）、及び前記カウンタ266をロードするための（例えば、14個の）ビットを提供する。それに応じて、前記カウンタ266は前記粗遅延を制御し、前記多位相クロック信号247は前記微細遅延を制御する。前記選択されたクロック信号位相263は、前記カウンタ266及びプログラム可能な分周器265を駆動する。前記分周器265は、前記クロック263を、プログラム可能なパルス開始周波数のため予めロードされた倍率により制御される低い周波数クロック265aまでスケーリングする。前記カウンタ266の出力267は、「開始」制御信号243aにより制御される各開始の前に論理「0」に保持される。前記「開始」制御信号243aのアサートに続いて、前記カウンタ266はカウントを開始する。前記ロードされたカウンタデータによって決まる前記粗遅延間隔が経過した後、前記アサートされた端子カウンタ出力267は、分周されたクロック265aをイネーブルにして前記シフト・レジスタ264p、264nのための前記クロック信号273としてANDゲート272を介して通過させる。（前記カウンタ266が前記粗遅延値に達すると、前記入力ANDゲート268及びフィードバック・インバータ270は、カウンタクロック269をディセーブルにして、前記「開始」制御信号243aがディアサート（d e a s s e r t）されるまで前記カウンタ266出力端子をアサートされたままにする）。それに応じて、前記粗及び微細遅延により定義される遅延間隔の終わりに、前記シフト・レジスタ264p、264nにロードされる前記ビット・パターンに従って、前記パルサーに対する制御ビット251ap、251anが、前記イネーブルにされたクロック信号273により同期出力される（c l o c k e d o u t）。別のカウンタ274は、開始されたパルスをカウントする。それが前記所定の長さに達すると、その端子カウンタ出力274aがアサートされ、それにより、インバータ275及び前記ANDゲート272を介して前記クロック信号273をディセーブルにする。（その制御ストラテジーは、前記第1のカウンタ266のものに類似する。）前記端子カウンタ出力274aは、「開始」制御信号243aにより制御される各開始の前にディアサートされたままにする。各開始の後、前記シフト・レジスタ264p、264nは、次の開始の準備においてそれらの予めロードされた値に自動的に設定され得る。

【0029】

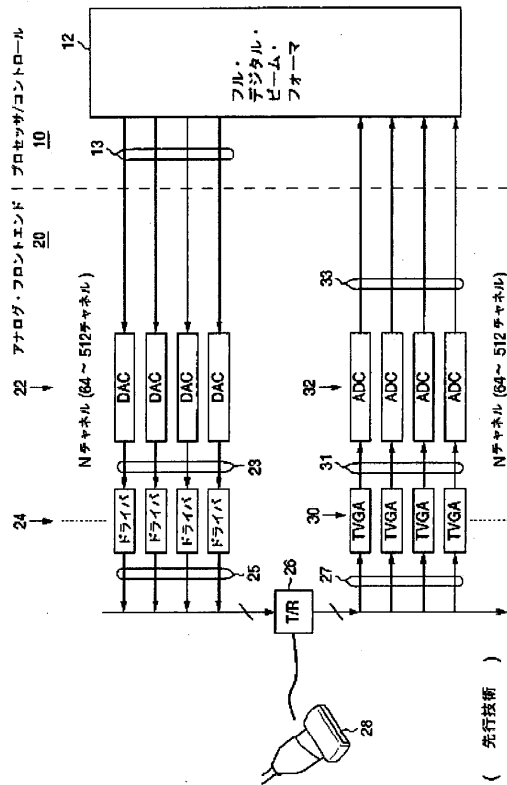
当業者であれば、本発明の趣旨又は範囲から逸脱することなく、本発明の構造及びオペレーション方法における種々の他の変更及び変形が明らかとなろう。本発明を、特定の好ましい実施例に関して説明してきたが、主張している発明が、このような特定の実施例に不当に制限されるべきではないことを理解されたい。後に続く特許請求の範囲が本発明の範囲を定義し、これらの請求項及びそれらの等価物の範囲内の構造及び方法が本明細書に含有されることを意図している。

10

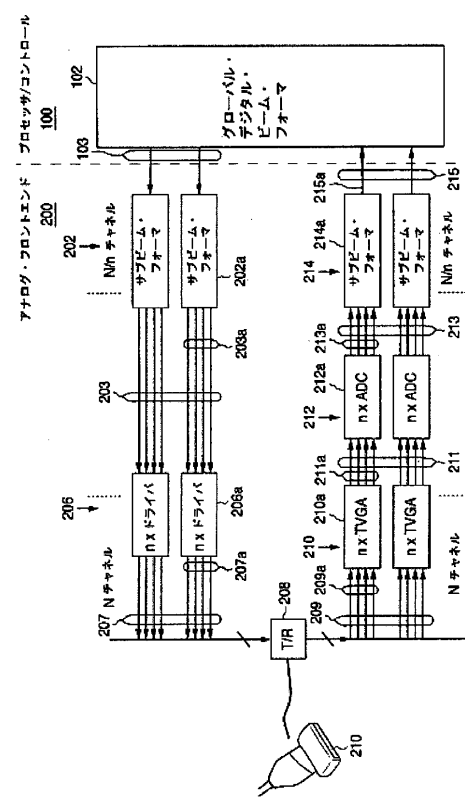
20

30

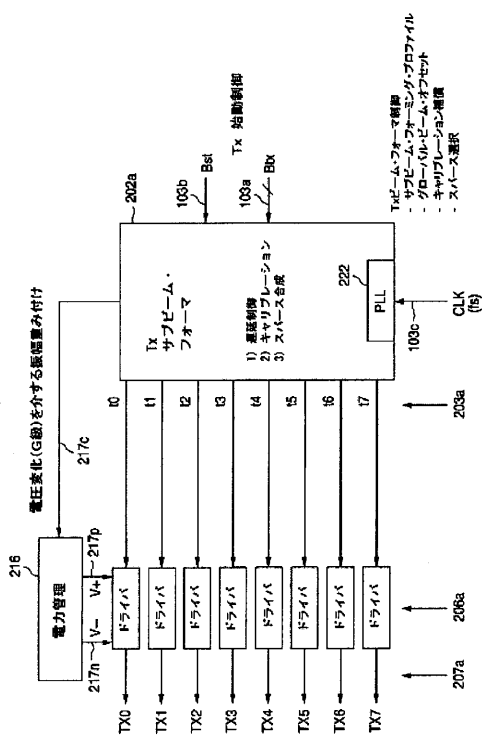
【図 1】



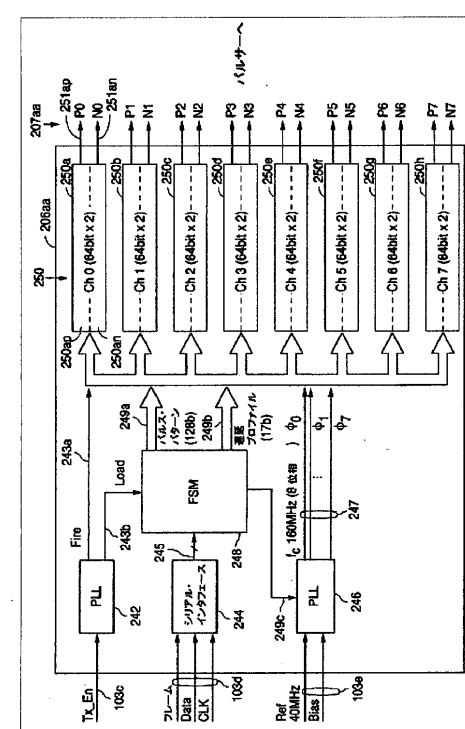
【図 2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 ジェンヨン ジャン
アメリカ合衆国カリフォルニア州94089, サニーベール131, ヴィエナ ドライブ122
5

(72)発明者 ジェン イー ウー
アメリカ合衆国カリフォルニア州94582, サン ラモン, アーガイル コート611

審査官 後藤 順也

(56)参考文献 特開昭61-208310 (JP, A)
特開2004-118825 (JP, A)
特開2002-041356 (JP, A)
特開2000-033087 (JP, A)

(58)調査した分野(Int.Cl., DB名)
A61B 8/00-8/15