(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3789009号

(P3789009)

(45)発行日　平成18年6月21日(2006.6.21)　(24)登録日　平成18年4月7日(2006.4.7)

(51)Int.Cl.		F I		
H01L 27/06	(2006.01)	H01L	27/06	311Z
H01L 23/58	(2006.01)	H01L	23/56	C
H01L 27/04	(2006.01)	H01L	27/04	H
H01L 21/822	(2006.01)			

請求項の数 1　(全 7 頁)

(21)出願番号　特願平8-223321
(22)出願日　平成8年8月7日(1996.8.7)
(65)公開番号　特開平10-56138
(43)公開日　平成10年2月24日(1998.2.24)
審査請求日　平成13年9月18日(2001.9.18)

前置審査

(73)特許権者　000006747
株式会社リコー
東京都大田区中馬込１丁目３番６号
(74)代理人　100062144
弁理士　青山　葆
(74)代理人　100086405
弁理士　河宮　治
(74)代理人　100098280
弁理士　石野　正弘
(72)発明者　辻　貴浩
東京都大田区中馬込１丁目３番６号　株式会社リコー内

審査官　宇多川　勉

最終頁に続く

(54)【発明の名称】半導体入出力回路

(57)【特許請求の範囲】

【請求項１】

ディジタル回路及びアナログ回路からなる半導体集積回路の入出力回路において、

アナログ電源端子とディジタル電源ライン及びディジタルＧＮＤラインとの間に接続され、アナログ電源端子セルにおける電源ライン及びＧＮＤラインの下方に配置された、前記半導体集積回路を保護する第１の保護回路と、

アナログＧＮＤ端子とディジタル電源ライン及びディジタルＧＮＤラインとの間に接続され、アナログＧＮＤ端子セルにおける電源ライン及びＧＮＤラインの下方に配置された、前記半導体集積回路を保護する第２の保護回路と、

を備え、

前記アナログ電源端子と前記アナログＧＮＤ端子との間にアナログ入出力端子が配置され、ディジタル入力端子と前記アナログ入力端子との間に前記アナログ電源端子又は前記アナログＧＮＤ端子が配置されることを特徴とする半導体入出力回路。

【発明の詳細な説明】

【０００１】

【発明が属する技術分野】

本発明はＣＭＯＳ多電源ＩＣの入出力回路に関し、より詳細には、回路規模の増大の防止を図ると共に、アナログ回路がディジタル回路から受けるノイズの影響の減少を図った半導体入出力回路に関する。

【０００２】

【従来の技術】
アナログ／ディジタル混載半導体集積回路に設けられた従来の入出力回路の第１の例を図３に示す。図３に示す入出力回路においては、ディジタル回路からのノイズがアナログ回路に乗ることを防止するため、アナログ入出力端子１１及びディジタル入出力端子１４，１５上を走る電源ライン１６，１８，２０及びＧＮＤライン１７，１９，２１が、アナログ入出力端子１１とディジタル入出力端子１４，１５との間で切離されている。なお、図３において、１６はアナログ電源ライン、１８及び２０はディジタル電源ライン、１７はアナログＧＮＤライン、１９及び２１はディジタルＧＮＤライン、２５及び２６は電源ライン及びＧＮＤラインを切離する間隙部である。
【０００３】
アナログ／ディジタル混載半導体集積回路に設けられた従来の入出力回路の第２の例を図４に示す。図４に示す入出力回路には、上述した間隙部２５，２６に，静電気による半導体集積回路の破壊（ＥＳＤ破壊）を防止するための保護回路としてアナログＧＮＤライン１７とディジタルＧＮＤライン１９及び２１とをそれぞれ接続する抵抗２８，２９が設けられている。
【０００４】
また、アナログ／ディジタル混載半導体集積回路に設けられた従来の入出力回路の第３の例を図５に示す。図５に示す入出力回路には、上述した間隙部２５，２６に，静電気による半導体集積回路の破壊（ＥＳＤ破壊）を防止するため、アナログ電源ライン１６及びアナログＧＮＤライン１７とディジタル電源ライン１８，２０及びディジタルＧＮＤライン１９，２１とをそれぞれ接続する保護回路３０，３１が設けられている。この保護回路３０及び３１は、それぞれＮチャネルＭＯＳトランジスタ３０ａ、３０ｂ及びＮチャネルＭＯＳトランジスタ３１ａ、３１ｂで構成されている。
【０００５】
更に、アナログ／ディジタル混載半導体集積回路に設けられた従来の入出力回路の第４の例を図６に示す（特開平７－１０６４５５号公報『半導体集積回路装置の静電破壊保護回路』）。図６に示す入出力回路は、３つの電源ライン３２～３４で駆動される半導体集積回路に適用されたものであって、静電気による半導体集積回路の破壊を防止するための保護回路３６を備えている。保護回路３６は、各電源ライン３２～３４とＧＮＤライン３５とをそれぞれ接続するＮチャネルＭＯＳトランジスタ３６ａ、３６ｂ、３６ｄと、各電源ライン３２～３４をそれぞれ接続するＮチャネルＭＯＳトランジスタ３６ｃ、３６ｅ，３６ｆとから構成されている。
【０００６】
【発明が解決しようとする課題】
しかしながら、図３に示す第１の例の入出力回路では、アナログ回路とディジタル回路との間に保護回路が設けられていないため、ディジタル回路に対してアナログ入出力端子から過電流や過電圧が加えられた場合、静電気による半導体集積回路の破壊（ＥＳＤ破壊）やラッチアップを起こし易いという問題がある。
【０００７】
図４に示す第２の例の入出力回路は、上記第１の例の入出力回路の問題を解決するため、ディジタルＧＮＤラインとアナログＧＮＤラインとを抵抗を介して接続するものである。しかしながら、この入出力回路においても、アナログ回路からディジタル電源ライン及びディジタル回路からアナログ電源ラインへの保護回路が設けられていないため、ＥＳＤ破壊やラッチアップの発生を十分に防止することができないという問題がある。加えて、保護回路として抵抗を用いるため、半導体基板上の入出力回路の面積が増大するという問題がある。
【０００８】
過電流や過電圧からの電源の保護は、図５に示す第３の例の入出力回路に設けられた保護回路で実現可能である。この第３の例の入出力回路は、アナログ電源ラインとディジタル電源ラインとの間に電位差がある場合であっても、保護回路を通じて電流が流れること

がないことが特徴である。しかしながら、この入出力回路においても、アナログ電源ラインとディジタル電源ラインとの間及びアナログＧＮＤラインとディジタルＧＮＤラインとの間にトランジスタを配置しなければならないため、半導体基板上の入出力回路の面積が増大するという問題がある。

【０００９】

更に、図６に示す第４の例の入出力回路では、入出力回路に複数の電源ラインを通しているため、入出力回路の面積を有効に使用できないという問題がある。

【００１０】

本発明は上記に鑑みてなされたものであって、入出力回路の面積を増大させることなく、アナログ回路とディジタル回路との間に適切な保護回路を設けることを可能とし、更にディジタル回路からアナログ回路に乗るノイズを減少させることを目的とする。

【００１１】

【課題を解決するための手段】

上記目的を達成するため、本発明の請求項１に係る半導体入出力回路は、ディジタル回路及びアナログ回路からなる半導体集積回路の入出力回路において、アナログ電源端子とディジタル電源ライン及びディジタルＧＮＤラインとの間に接続され、アナログ電源端子セルにおける電源ライン及びＧＮＤラインの下方に配置された、前記半導体集積回路を保護する第１の保護回路と、アナログＧＮＤ端子とディジタル電源ライン及びディジタルＧＮＤラインとの間に接続され、アナログＧＮＤ端子セルにおける電源ライン及びＧＮＤラインの下方に配置された、前記半導体集積回路を保護する第２の保護回路と、を備え、前記アナログ電源端子と前記アナログＧＮＤ端子との間にアナログ入出力端子が配置され、ディジタル入力端子と前記アナログ入力端子との間に前記アナログ電源端子又は前記アナログＧＮＤ端子が配置されるものである。

【００１２】

【発明の実施の形態】

以下、本発明に係る半導体入出力回路の実施の形態を図面を参照しつつ詳細に説明する。

【００１３】

図１は、実施の形態に係る半導体入出力回路の構成を示す構成図である。図１に示す半導体入出力回路は、ディジタル回路及びアナログ回路からなる半導体集積回路の入出力回路であって、アナログ電源端子１２とディジタル電源ライン１８及びディジタルＧＮＤライン１９とを接続し、過電圧及び過電流から内部回路（図示せず）を保護する第１の保護回路２２と、アナログＧＮＤ端子１３とディジタル電源ライン２０及びディジタルＧＮＤライン２１とを接続し、過電圧及び過電流から内部回路（図示せず）を保護する第２の保護回路２３とを備え、アナログ電源端子１２とアナログＧＮＤ端子１３との間にアナログ入出力端子１１を配置して構成されている。

【００１４】

第１の保護回路２２は、２つのＮチャネルＭＯＳトランジスタ２２ａ，２２ｂから構成されている。また、第２の保護回路２３も同様に、２つのＮチャネルＭＯＳトランジスタ２３ａ，２３ｂから構成されている。

【００１５】

図１に示す半導体入出力回路によれば、アナログ電源端子１２とアナログＧＮＤ端子１３との間にアナログ入出力端子１１を配置したため、アナログ回路とディジタル回路との間に保護回路２２，２３を設けることができ、静電気による半導体集積回路の破壊（ＥＳＤ破壊）やラッチアップを起こし易いという問題を解消することができる。加えて、入出力回路が半導体基板上に占める面積の増加を防ぐことができる。

【００１６】

また、ディジタル入力端子１４，１５とアナログ入出力端子１１との間には必ずアナログ電源端子１２又はアナログＧＮＤ端子１３が配置されるため、アナログ回路がディジタル回路から受けるノイズの影響を少なくすることができる。

【００１７】

なお、従来技術の半導体入出力回路を示す図３～図６に合わせて図１に示す本実施の形態の半導体入出力回路を書き直すと、図２に示す通りとなる。図２から明かなように、本実施の形態の半導体入出力回路によれば、従来の半導体入出力回路に必要であった間隙部２５，２６をなくすことができ、半導体入出力回路が半導体基板上に占める面積を減少することができる。

【００１８】

【発明の効果】

以上説明したように、本発明に係る半導体入出力回路（請求項１）によれば、アナログ電源端子とディジタル電源ライン及びディジタルＧＮＤラインとの間に接続され、アナログ電源端子セルにおける電源ライン及びＧＮＤラインの下方に配置された、半導体集積回路を保護する第１の保護回路と、アナログＧＮＤ端子とディジタル電源ライン及びディジタルＧＮＤラインとの間に接続され、アナログＧＮＤ端子セルにおける電源ライン及びＧＮＤラインの下方に配置された、半導体集積回路を保護する第２の保護回路とを備え、アナログ電源端子とアナログＧＮＤ端子との間にアナログ入出力端子が配置され、ディジタル入力端子とアナログ入力端子との間にアナログ電源端子又はアナログＧＮＤ端子が配置されるため、アナログ回路とディジタル回路との間に最適な保護回路を配置することができると共に、半導体入出力回路が半導体基板上に占める面積を減少することができる。また、ディジタル入力端子とアナログ入出力端子との間には必ずアナログ電源端子又はアナログＧＮＤ端子が配置されるため、アナログ回路がディジタル回路から受けるノイズの影響を少なくすることができる。

【図面の簡単な説明】

【図１】本発明の実施の形態に係る半導体入出力回路の構成を示す構成図である。

【図２】本発明の実施の形態に係る半導体入出力回路の構成を示す構成図である。

【図３】アナログ／ディジタル混載半導体集積回路に設けられた従来の入出力回路の第１の例の構成を示す構成図である。

【図４】アナログ／ディジタル混載半導体集積回路に設けられた従来の入出力回路の第２の例の構成を示す構成図である。

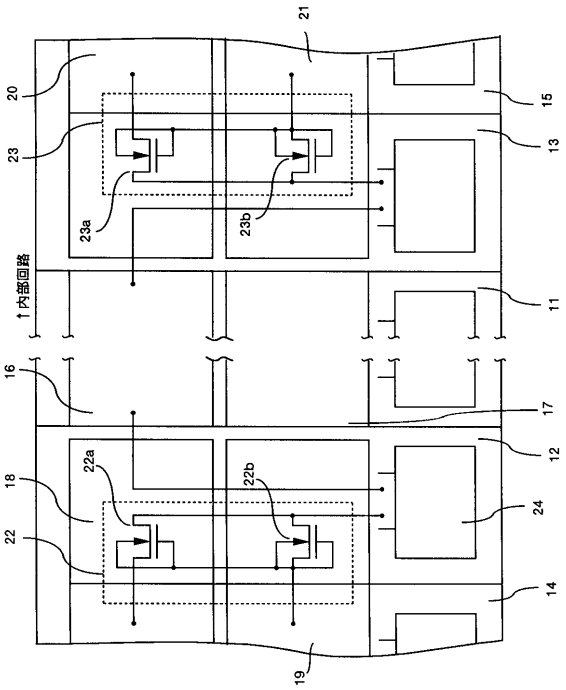
【図５】アナログ／ディジタル混載半導体集積回路に設けられた従来の入出力回路の第３の例の構成を示す構成図である。

【図６】アナログ／ディジタル混載半導体集積回路に設けられた従来の入出力回路の第４の例の構成を示す構成図である。

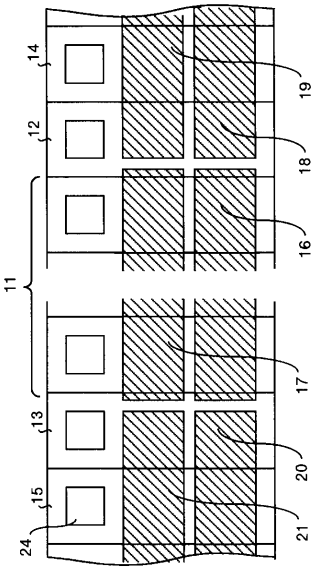
【符号の説明】

１１　　アナログ入出力端子
１２　　アナログ電源端子
１３　　アナログＧＮＤ端子
１４，１５　　ディジタル入出力端子
１６　　アナログ電源ライン
１７　　アナログＧＮＤライン
１８，２０　　ディジタル電源ライン
１９，２１　　ディジタルＧＮＤライン
２２，２３，３０，３１，３６　　保護回路
２２ａ，２２ｂ，２３ａ，２３ｂ，３０ａ、３０ｂ、３１ａ、３１ｂ，３６ａ、３６ｂ、３６ｃ、３６ｄ，３６ｅ，３６ｆ　　ＮチャネルＭＯＳトランジスタ
２４　　ＰＡＤ開口部
２５，２６　　間隙部
２８，２９　　抵抗
３２～３４　　電源ライン
３５　　ＧＮＤライン

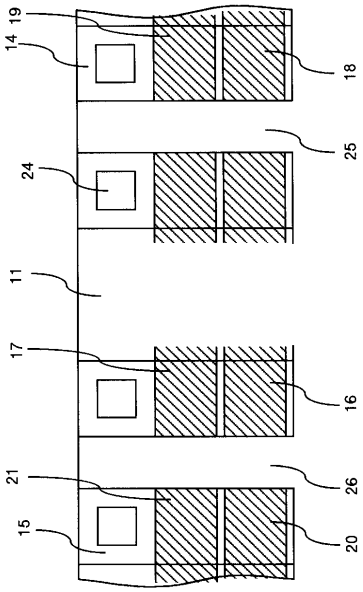
【図１】


21
20
23
15
13
23a
23b
↑内部回路
11
16
17
12
18
22a
22b
24
22
14
19

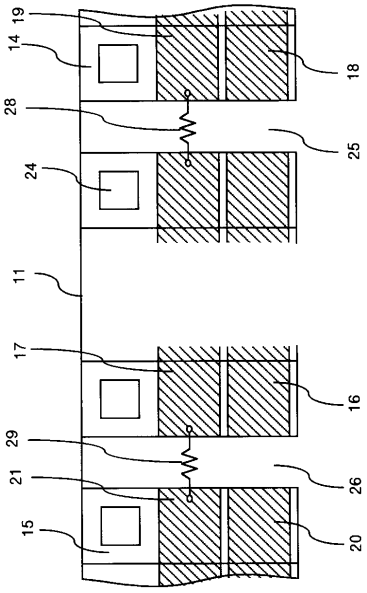
【図２】


14
19
12
18
16
11
17
13
20
15
21
24

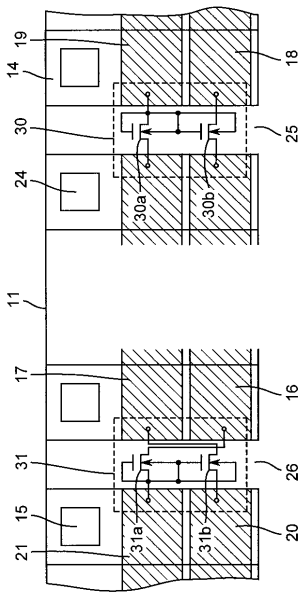
【図３】


19
14
18
25
24
11
17
16
21
26
15
20

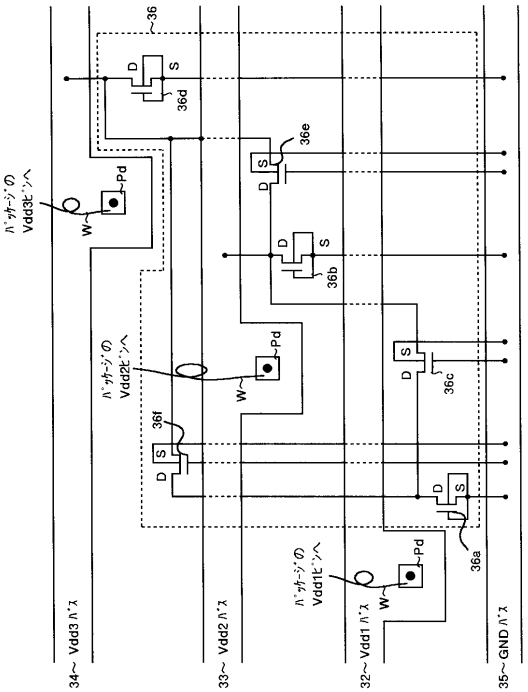
【図４】


19
14
18
28
25
24
11
17
16
29
21
26
15
20

【図５】


19
14
18
30
25
24
30a
30b
11
17
16
31
26
15
20
21
31a
31b

【図６】


36
D
S
36d
36e
Pd
W
36b
36f
36c
36a
34～ Vdd3 ﾚｲﾔ
33～ Vdd2 ﾚｲﾔ
32～ Vdd1 ﾚｲﾔ
35～ GND ﾚｲﾔ

フロントページの続き

(56)参考文献 特開平０６－１７７６６２（ＪＰ，Ａ）
特開平０６－０５３３２２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 27/06
H01L 21/822
H01L 23/58
H01L 27/04