(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 1992173 B
(45)授权公告日 2010.04.21

(21)申请号 200610162900.1
(22)申请日 2006.11.29
(30)优先权数据
11/292,395 2005.11.30 US
(73)专利权人 硅起源股份有限公司
地址 美国加利福尼亚州
(72)发明人 F·J·亨利
(74)专利代理机构 上海专利商标事务所有限公司 31100
代理人 刘佳
(51)Int.Cl.
H01L 21/28(2006.01)
H01L 21/20(2006.01)
H01L 21/266(2006.01)
H01L 23/00(2006.01)
(56)对比文件
US 5141887 A,1992.08.25, 全文.
US 6506664 B1,2003.01.14, 全文.
CN 1347146 A,2002.05.01, 全文.
审查员 车晓璐

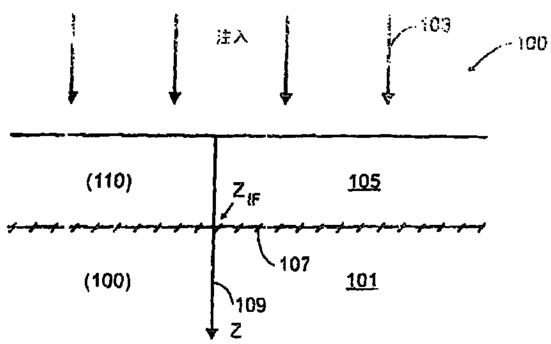
权利要求书 2 页 说明书 9 页 附图 4 页

(54)发明名称

用于注入键合衬底以便导电的方法和结构

(57)摘要

部分完成的多层衬底,例如硅-硅。该衬底具有由第一衬底构成的一层材料。该层材料包括第一表面区。衬底具有第二衬底,它包括第二表面区的。较佳地是,该层材料的第一表面区接合到第二衬底的第二表面区。衬底具有形成于该层材料的第一表面区和第二衬底的第二表面区之间的界面区。将多个粒子注入到一部分该层材料和一部分界面区内以使一部分该层材料电耦合着一部分第二衬底。



1. 一种用于形成多层衬底的工艺，所述工艺包括：

设置第一衬底，所述第一衬底包括将去除的一层材料，所述将去除的一层材料包括第一表面区；

将所述第一衬底的第一表面区接合到第二衬底的第二表面区，以形成在所述第一衬底的第一表面区与所述第二衬底的第二表面区之间的界面区；

从所述第一衬底去除所述一层材料，同时保持所述第一衬底的第一表面区和所述第二衬底的第二表面区的粘接；

形成覆盖所述一层材料的表面区的掩模层以形成一部分所述一层材料的暴露区；

将粒子注入所述暴露区并穿过部分界面区以在所述部分界面区附近内形成导电粒子区，从而将所述一层材料的所述部分耦合到所述第二衬底以形成至少包括所述暴露区和所述部分界面区的注入区；以及

至少对所述注入区进行热处理工艺以使注入区结晶。

2. 如权利要求 1 所述的工艺，其特征在于，所述粒子在所述界面区的附近具有导电特性。

3. 如权利要求 1 所述的工艺，其特征在于，所述粒子包括掺杂粒子。

4. 如权利要求 3 所述的工艺，其特征在于，所述掺杂粒子选自硼、砷或磷。

5. 如权利要求 1 所述的工艺，其特征在于，所述第一衬底是硅晶片。

6. 如权利要求 5 所述的工艺，其特征在于，所述硅晶片由主晶面为 {100} 面来表征。

7. 如权利要求 5 所述的工艺，其特征在于，所述硅晶片由主晶面为 {110} 面来表征。

8. 如权利要求 5 所述的工艺，其特征在于，所述硅晶片由主晶面为 {111} 面来表征。

9. 如权利要求 1 所述的工艺，其特征在于，所述粒子区具有约 10^{18} 原子 /cm^3 或更高的浓度。

10. 如权利要求 1 所述的工艺，其特征在于，所述接合包括将所述第一表面区与所述第二表面区相键合。

11. 如权利要求 1 所述的工艺，其特征在于，所述接合包括至少所述第一表面区和所述第二表面区的等离子活化处理。

12. 如权利要求 1 所述的工艺，其特征在于，所述接合包括利用氧化物材料将所述第一表面区与所述第二表面区相键合。

13. 如权利要求 1 所述的工艺，其特征在于，所述界面区由绝缘材料表征。

14. 如权利要求 1 所述的工艺，其特征在于，所述粒子区将所述界面区从绝缘特性改变为导电特性。

15. 如权利要求 1 所述的工艺，其特征在于，所述注入利用高能注入机来提供。

16. 如权利要求 1 所述的工艺，其特征在于，所述界面区包括二氧化硅材料。

17. 如权利要求 1 所述的工艺，其特征在于，所述注入在所述一层材料和一部分所述第二衬底中形成阱区。

18. 如权利要求 1 所述的工艺，其特征在于，还包括穿过界面区形成多个通孔结构以将所述一层材料电连接到一部分所述第二衬底。

19. 如权利要求 1 所述的工艺，其特征在于，还包括穿过所述一层材料注入第二粒子以在所述一层材料中形成阱区。

20. 如权利要求 1 所述的工艺，其特征在于，所述一层材料具有 8000 埃或小于 8000 埃的厚度。

21. 如权利要求 1 所述的工艺，其特征在于，所述第一衬底包括硅晶片，所述硅晶片由第一晶格取向表征，其中使注入区结晶形成结晶部分，所述结晶部分由第二晶格取向表征。

22. 如权利要求 21 所述的工艺，其特征在于，所述第一晶格取向的主晶面为 {110} 面，而所述第二晶格取向的主晶面为 {100} 面。

23. 如权利要求 1 所述的工艺，其特征在于，所述粒子的注入穿过所述一部分一层材料及一部分所述第一表面区和一部分所述第二表面区。

24. 如权利要求 1 所述的工艺，其特征在于，所述粒子具有导电性质以提供所述一层材料和一部分所述第二衬底之间的电连接。

25. 如权利要求 1 所述的工艺，其特征在于，所述粒子包括多个硅离子或多个锗离子。

26. 如权利要求 1 所述的工艺，其特征在于，其中使注入区结晶形成结晶部分，所述结晶部分具有预定类型的晶格取向的特性，所述预定类型是所述第二衬底的晶格取向。

27. 一种部分完成的多层衬底，它包括：

由第一衬底构成的一层材料，所述一层材料包括第一表面区；

具有第二表面区的第二衬底，所述一层材料的第一表面区与所述第二衬底的第二表面区接合；

在所述一层材料的第一表面区和所述第二衬底的第二表面区之间形成的界面区；以及

在一部分所述一层材料和一部分所述界面区内注入的多个粒子，以使一部分所述一层材料电耦合到一部分所述第二衬底。

28. 如权利要求 27 所述的多层衬底，其特征在于，所述第一衬底包括硅材料。

29. 如权利要求 27 所述的多层衬底，其特征在于，所述第二衬底包括硅材料。

30. 如权利要求 27 所述的多层衬底，其特征在于，所述多个粒子包括导电材料。

31. 如权利要求 27 所述的多层衬底，其特征在于，所述多个粒子为至少 10^{18} 粒子 /cm^3。

32. 如权利要求 27 所述的多层衬底，其特征在于，所述一部分一层材料中的粒子导致所述一部分一层材料中的非晶态特性。

33. 如权利要求 32 所述的多层衬底，其特征在于，所述一部分一层材料从非晶态特性转换为结晶特性。

用于注入键合衬底以便导电的方法和结构

[0001] 相关申请的交叉引用

[0002] 本申请是 2005 年 11 月 15 日提交的美国非临时专利申请第 11/280,016 号（代理案卷号第 018419-017710 号）的部分延续，并要求其优先权，该非临时专利申请要求 2004 年 11 月 24 日提交的美国临时专利申请第 60/630,800 号（代理案卷号第 018419-017700 号）的优先权，上述专利各自共同转让，且各自的内容通过引用结合于此。

技术领域

[0003] 本发明涉及衬底的制造。更具体而言，本发明提供一种技术，它包括利用例如用于半导体集成电路制造的注入技术在键合衬底之间形成导电区的方法和装置。但将认识到本发明具有更宽的应用范围；它可应用到用于多层集成电路器件以及集成半导体器件、光子器件、压电器件、微机电系统（“MEMS”）、传感器、执行器、太阳能电池、平板显示器（例如，LCD、AMLCD）、生物和生物医学器件等的三维封装的其它衬底。

[0004] 集成电路制成在半导体材料的芯片上。这些集成电路通常包含几千甚至几百万个晶体管和其它器件。具体而言，期望在给定的半导体区域内放尽可能多的晶体管，因为更多的晶体管一般提供更多的功能，并且较小的芯片意味着每个晶片上更多的芯片以及更低的成本。

[0005] 一些集成电路可制成在通常称为“体”硅晶片的单晶（即，单晶体）硅上。这种“体”硅晶片上的器件一般互相隔离。已经提出或使用了多种技术来使体硅晶片上的这些器件互相隔离，如硅的局部氧化（“LOCOS”）工艺、沟槽隔离等。然而，这些技术不是没有限制的。例如，传统的隔离技术需要使用芯片上相当大量的有用晶片表面积，并且由于隔离工艺的生成物而常常会产生不平的表面。这些考虑的任一或两者一般限制了在给定芯片上可实现的集成度。另外，沟槽隔离通常需要利用反应离子蚀刻工艺，它非常耗时并难以精确地实现。大于 200 毫米的体硅晶片不是没有缺陷的并会降低总的器件成品率等。

[0006] 一种实现超大规模集成（“VLSI”）或甚大规模集成（“ULSI”）的方法是利用外延硅晶片，它通常称为“外延晶片”。外延晶片通常具有一层限定覆盖在体衬底的表面的高质量单晶硅材料。高质量硅层提供用于制造器件的良好位置，通常具有比常规的体硅晶片材料高的成品率。高质量硅材料通常可利用加利福尼亚州圣克拉拉市的 Applied Material 公司或亚利桑那州菲尼克斯市的 ASM 制造的外延硅工艺反应器来沉积。

[0007] 外延晶片还具有优于体硅技术的其它优点。例如，外延晶片具有几乎完美的晶体特性，它可提高器件的速度、功能和可靠性。另外，外延晶片通常可提供比传统的体晶片高的器件成品率。然而，关于在块硅晶片上制造器件的很多已解决的问题对于在外延硅晶片上制造器件而言还尚待解决。外延硅晶片可利用外延反应器来形成，外延反应器通常购买昂贵且难以维修。形成外延硅的工艺也很慢且耗时。因此，所得的外延硅晶片通常昂贵且不能用于制造诸如动态随机存取存储器（即，DRAM）之类的很多商业或通用的器件。

[0008] 另一种实现大规模集成的方法通常利用键合由硅支承材料形成的衬底。这种键合晶片通常利用层转移技术来形成，如共同转让给加利福尼亚州圣何塞市的 Silicon

Genesis 公司的美国专利第 6,013,563 号（“Henley 等人”）中描述的，其内容通过引用结合于此。Henley 等人叙述了用于制造多层衬底的可控分离工艺。这种键合衬底包括通常称为 SOI 的绝缘体上的硅以及其它。虽然在制造衬底上已有很多改进，但还有应克服的某些限制。在说明书全文中描述了这些限制且下文中更为具体。

[0009] 如上所述，可看出用于制造多层晶片的改进的技术是非常令人期望的。

发明内容

[0010] 根据本发明，提供了用于衬底的制造技术。更具体而言，本发明提供一种技术，它包括利用例如用于半导体集成电路制造的注入技术在键合的衬底之间形成导电区的方法和装置。但将认识到本发明具有更宽的应用范围，它还可应用到用于多层集成电路器件以及集成半导体器件、光子器件、压电器件、微机电系统（“MEMS”）、传感器、执行器、太阳能电池、平板显示器（例如，LCD、AMLCD）、生物和生物医学器件等的三维封装的其它衬底。

[0011] 在具体的实施例中，本发明提供了用于形成多层衬底（例如，硅－硅）的工艺。该工艺包括提供第一衬底，它具有一层将去除的材料。在具体的实施例中，材料的厚度可以是约 8000 埃或更大。该层将去除的材料包括第一表面区。工艺包括将第一衬底的第一表面区与第二衬底的第二表面区接合，以便在第一衬底的第一表面区和第二衬底的第二表面区之间形成界面区。较佳的是，根据具体的实施例，可利用带有绝缘层等的键合工艺来形成接合。或者，根据具体的实施例界面区可没有绝缘材料但具有电阻特性。该工艺包括从第一衬底去除一层材料同时保留第一衬底的第一表面区和第二衬底的第二表面区的粘接。较佳的是，该层材料可利用层转移工艺或类似的工艺来去除。在较佳的实施例中，根据具体的实施例，粒子是导电的或者还可具有其它特性，以便于第一表面区和第二表面区之间的电接触或耦合。

[0012] 在具体的实施例中，该方法形成覆盖一层材料的表面区的掩模层，以便于形成该层材料的一部分暴露区。该方法将粒子注入到暴露区中并穿过一部分界面区以在这一部分界面区附近形成粒子区域使该部分的一层材料耦合到第二衬底。在具体的实施例中，该方法导致至少包括暴露区和该层材料部分的注入区的形成。该方法还至少使注入区进行至少热处理工艺以使注入区结晶化。

[0013] 在另一个具体的实施例中，本发明提供了部分完成的多层衬底，例如硅－硅。该衬底具有由第一衬底所构成的的一层材料。该层材料包括第一表面区。该衬底还具有第二衬底，它具有第二表面区。较佳的是，一层材料的第一表面区接合到第二衬底的第二表面区。衬底具有形成于一层材料的第一表面区和第二衬底的第二表面区之间的界面区。将多个粒子注入到该层材料部分和界面区部分内，以将该层材料部分电耦合到第二衬底部分。

[0014] 通过本发明可实现优于常规技术的很多优点。例如，本技术提供了依靠传统技术的易于使用的工艺。在一些实施例中，该方法提供较高的器件成品率。另外，该方法提供了可在不对传统的设备和工艺进行实质修改的情况下与传统的工艺技术相兼容的工艺。较佳的是，本发明提供了用于先进的集成电路器件的改进的工艺集成。另外，该工艺提供包括在第一和第二衬底之间的电耦合的多层衬底结构。在具体的实施例中，本发明的方法和结构还可减少两衬底构件之间的界面区处的键合空洞。键合空洞的减少可通过将一个或多个注入粒子粘接到 H/H2 原子上来实现，这通过作为例子的现有氢处理工艺得到，H/H2 原子可能

出现在界面区并可促使界面区中这种空洞的形成。取决于实施例，可实现这些优点中的一个或多个。在本说明书全文中将详细描述这些和其它优点且下文更加具体。

[0015] 参考详细的描述和附图将更全面的理解本发明的各种另外的目的、特征和优点。

附图说明

[0016] 图 1 是示出根据本发明的一个实施例用于形成多层衬底结构的方法的示意图 ；

[0017] 图 2 是根据本发明的一个实施例适用于多层衬底的电阻与注入深度的关系的简化曲线 ；

[0018] 图 3 是根据本发明的另一个实施例的多层衬底结构的简图 ；

[0019] 图 4 到 6 是示出根据本发明的另一个实施例用于形成多层衬底的另一种方法的示意图。

[0020] 图 7 到 8 是示出根据本发明的实施例用于形成多层衬底结构的另一种方法的示意图。

具体实施方式

[0021] 根据本发明，提供了用于衬底制造的技术。更具体地说，本发明提供一种技术，它包括利用例如用于半导体集成电路制造的注入技术在键合衬底之间形成导电区的方法和装置。但将认识到本发明具有更宽的应用范围 ；它还可应用到用于多层集成电路器件以及集成半导体器件、光子器件、压电器件、微机电系统 (“MEMS”)、传感器、执行器、太阳能电池、平板显示器 (例如，LCD、AMLCD)、生物和生物医学器件等的三维封装的其它衬底。

[0022] 根据本发明的实施例用于制造键合衬底的方法可概括如下 ：

[0023] 1. 制备第一衬底，它具有一层将去除的材料 ；

[0024] 2. 将第一衬底的第一表面区接合到第二衬底的第二表面区 ；

[0025] 3. 在第一衬底的第一表面区和第二衬底的第二表面区之间形成界面区 ；

[0026] 4. 从第一衬底去除一层材料同时保留第一衬底的第一表面区和第二衬底的第二表面区的粘接 ；

[0027] 5. 经由界面区注入粒子以界面区附近形成粒子区以将该层材料电耦合到第二衬底 ；

[0028] 6. 处理所键合的衬底结构 ；

[0029] 7. 在一层材料上形成集成电路器件结构 ；以及

[0030] 8. 根据需要，进行其它步骤。

[0031] 以上顺序的步骤提供了用于制造根据本发明的实施例的衬底的方法。如上所示，该方法采用了包括利用注入技术在键合衬底区之间形成导电层的方法的步骤组合。当然，也可提供其它选择，其中可增加步骤，去除了一步或多步步骤，或者在不背离本文所附的权利要求书所述范围的情况下以不同的顺序设置一步或多步步骤。本方法的其它细节可在说明书全文中发现且下面更具体。

[0032] 图 1 是图示说明根据本发明的实施例用于形成多层衬底的方法的示意图 100。该图仅仅只是一个例子，它不应过度地限制本文所附的权利要求的范围。本领域的普通技术人员可认识到很多变体、修改和选择。在具体的实施例中，本发明提供用于形成衬底结构上

的例如，硅－硅、锗－硅、III/V 族材料等多层衬底的工艺。该工艺包括提供第一衬底，它具有一层将去除的材料 105。将去除的该层材料包括第一表面区。在具体的实施例中，该层材料可以是硅、锗、III/V 族材料以及其它。取决于实施例，硅衬底结构具有 {100} 面、{110} 面或 {111} 面的主晶面。

[0033] 该工艺包括将第一衬底的第一表面区接合到第二衬底 101 的第二表面区。取决于实施例，第二衬底可由诸如第一衬底的材料以及其它材料等多种材料形成。在具体的实施例中，第二衬底是具有 {100} 面、{110} 面或 {111} 面的主晶面的硅材料。较佳的是，接合是利用键合工艺来实现的，键合工艺可包括清洗工艺和／或等离子活化工艺以促进低温键合。清洗工艺包括等离子活化清洗和／或其它处理技术。这种技术的一个例子可在美国专利第 6,645,828 号中发现，该专利共同转让给 SiliconGenesis 公司，因此通过引用结合于此。在一个较佳的实施例中，接合工艺在第一衬底的第一表面区和第二衬底的第二表面区之间形成界面区 107。在具体的实施例中，根据具体的实施例，界面区可包括诸如氧化物或氧化硅之类的绝缘材料。取决于实施例，也可使用诸如胶合层、金属层等其它类型的界面。根据具体的实施例，利用氧化物绝缘层和硅衬底，可形成绝缘层上的硅结构。该工艺包括由第一衬底所构成的将去除的一层材料同时保留第一衬底的第一表面区到第二衬底的第二表面区的粘接。在较佳的实施例中，用于形成键合衬底结构的方法是称为“层转移”工艺，如以上 Henley 等人所述的、法国 SA 的 Soitec 所提出的通常称为 Smart-Cut™、这些的任意组合等。当然，本领域的技术人员可认识到其它变体、修改和选择。

[0034] 在具体的实施例中，该工艺穿过界面区注入粒子 103 以在界面区附近形成粒子区。在较佳的实施例中，注入可穿过该层材料、穿过界面区并穿过第二衬底部分来实现。在具体的实施例中，粒子可以是导电的和／或呈现其它特性以促进该层材料与第二衬底之间的电耦合。较佳的是，根据具体的实施例，粒子可包括选自硼、砷、磷和硅的杂质粒子。在具体的例子中，取决于实施例，粒子也可以是硅（例如，硅离子）、锗（例如，锗离子）、其它半导体和／或金属。在具体的实施例中，粒子可包括约 10^{18} 粒子 /cm^3 的浓度，和根据应用或多或少。根据以下附图可发现电耦合的某些细节。

[0035] 图 2 是适用根据本发明的实施例的多层衬底的电阻与注入深度的关系的简化曲线 200。该图仅仅是一个例子，它不应过度地限制本文所附的权利要求的范围。本领域的技术人员将认识到很多变体、修改和选择。如图所示，垂直轴 201 表示电阻率 201，它相对水平轴 205 上的注入深度来绘制。参考图 1，根据具体的实施例，深度在 z- 方向上从键合衬底结构的表面区向键合衬底的中心区来测量，该方向与表面区是垂直的。如图所示，根据具体的实施例，电阻率包括对于注入前的情况的峰 209 和对于注入后的情况的下降峰 211。根据具体的实施例，穿过界面区的下降峰或基本连续的电导率，促进第一衬底的一层材料和一部分第二衬底之间的电耦合和／或电导率。本发明的其它实施例中可在说明书全文中发现且下文更具体。

[0036] 在具体的实施例中，该工艺进行键合衬底结构的处理。根据具体的实施例，处理可包括热退火以去除在注入界面区中的任何缺陷。热处理可通过炉子、快速热退火或它们的任意组合来提供。根据较佳的实施例，该工艺可在一层材料上形成了集成电路元件和器件。当然，本领域的普通技术人员可认识到很多变体、修改和选择。

[0037] 在另一个具体的实施例中，本发明提供用于形成例如硅－硅的多层衬底的工艺，

概括如下：

[0038] 1. 提供第一衬底，它具有一层将去除的材料；

[0039] 2. 将第一衬底的第一表面区接合到第二衬底的第二表面区；

[0040] 3. 在第一衬底的第一表面区和第二衬底的第二表面区之间形成界面区；

[0041] 4. 从第一衬底去除该层材料同时保留第一衬底的第一表面区到第二衬底的第二表面区的粘接；

[0042] 5. 以空腔的方式穿过第一衬底的第一表面区和第二衬底的第二表面区之间的界面区形成多个开口；

[0043] 6. 用导电材料填充开口中的一个或多个以将该层材料电耦合到第二衬底；以及

[0044] 7. 任选地，向界面区注入粒子以便于该层材料和第二衬底之间的电耦合；

[0045] 8. 处理键合衬底结构。

[0046] 9. 在该层材料上形成集成电路器件；以及，

[0047] 10. 根据需要，进行其它步骤。

[0048] 以上顺序的步骤提供了根据本发明的实施例用于制造衬底的方法。如图所示，该方法采用包括利用导电塞区和任选的注入技术在键合衬底区之间形成导电层的方法的步骤组合。当然，也可提供其它选择，其中可增加步骤，去除一步或多步步骤，或者在不背离本文所附的权利要求书的范围的情况下以不同的顺序设置一步或多步步骤。本方法的其它细节可在说明书全文中发现且下文更具体。

[0049] 图 3 是根据本发明另一个实施例的多层结构 300 的示意图。该图仅仅是一个例子，它不应过度地限制本文所附的权利要求的范围。本领域的普通技术人员可认识到很多变体、修改和选择。在另一个具体的实施例中，本发明提供了用于形成衬底结构上的诸如硅－硅、锗－硅、III/V 族材料等多层衬底的工艺。该工艺包括提供第一衬底，它具有一层将去除的材料。该层将去除的材料包括第一表面区。在具体的实施例中，该层材料可以是硅、锗、III/V 族材料以及其它。取决于实施例，硅衬底结构具有 {100} 面、{110} 面或 {111} 面的主晶面。

[0050] 根据具体的实施例，该工艺包括将第一衬底的第一表面区接合到第二衬底的第二表面区。取决于实施例，第二衬底可由诸如第一衬底的材料以及其它材料等各种材料形成。在具体的实施例中，第二衬底是具有 {100} 面、{110} 面或 {111} 面的主晶面的硅材料。较佳的是，接合利用键合工艺来形成，键合工艺可包括清洗工艺和／或等离子活化工艺以促进在低温键合。清洗工艺包括等离子活化清洗和／或其它处理技术。这种技术的一个例子可在美国专利第 6,645,828 号中发现，该专利共同转让给 Silicon Genesis 公司，因此通过引用结合于此。在一个较佳的实施例中，接合工艺在第一衬底的第一表面区和第二衬底的第二表面区之间形成界面区。该工艺包括从第一衬底去除一层材料同时保留第一衬底的第一表面区到第二衬底第二衬底的第二表面区的粘接。在较佳的实施例中，用于形成键合衬底结构的方法是称为“层转移”工艺，如以上 Henley 等人所述的、法国 SA 的 Soitec 通常称为 Smart-Cut™ 等。当然，本领域的技术人员可认识到其它变体、修改和选择。

[0051] 在较佳的实施例中，该工艺以空腔的方式穿过第一衬底的第一表面区和第二衬底的第二表面区之间的界面区形成多个开口 307。该工艺还用导电材料 305 填充开口中的一个或多个以将该层材料电耦合到第二衬底。导电材料可包括金属、掺杂半导体材料、这些的

任意组合以及其它，包括多层材料等。导电结构可类似于传统器件中用作互连等的通孔结构。如图所示，导电材料将该层材料与第二衬底互连。同样如图所示，导电材料可在阱结构中形成。导电材料填充整个开口以将两衬底结构电和物理连接起来。当然，本领域的技术人员可认识到很多变体、修改和选择。

[0052]　在具体的实施例中，该工艺进行键合衬底结构的处理。根据具体的实施例，处理可包括热退火以去除注入界面区中的任何缺陷。热处理可通过炉子、快速热退火或它们的任意组合来提供。根据较佳的实施例，该工艺在该层材料上形成了集成电路元件和器件。当然，本领域的普通技术人员可认识到很多变体、修改和选择。

[0053]　在另一个具体的实施例中，本发明提供用于形成例如硅 - 硅的多层衬底的工艺，概括如下：

[0054]　1. 提供第一衬底，它具有一层将去除的材料；

[0055]　2. 将第一衬底的第一表面区接合到第二衬底的第二表面区；

[0056]　3. 在第一衬底的第一表面区和第二衬底的第二表面区之间形成界面区；

[0057]　4. 从第一衬底去除该层材料同时保留第一衬底的第一表面区到第二衬底的第二表面区的粘接；

[0058]　5. 以空腔的方式穿过第一衬底的第一表面区和第二衬底的第二表面区之间的界面区形成多个开口；

[0059]　6. 用导电材料填充开口中的一个或多个以将该层材料电耦合到第二衬底；

[0060]　7. 任选地，向界面区注入粒子以同样促进该层材料和第二衬底之间的电耦合；

[0061]　8. 利用一部分界面区作为阻挡层去除一部分该层材料；

[0062]　9. 选择地去除一部分界面区附近内的一部分阻挡层以暴露下面的一部分第二衬底；以及

[0063]　10. 在暴露的一部分第二衬底上形成外延层；

[0064]　11. 在该层材料和外延层上形成集成电路器件；以及

[0065]　12. 根据需要，进行其它步骤。

[0066]　以上顺序的步骤提供了根据本发明实施例用于制造衬底的方法。如图所示，该方法采用包括任选的注入技术利用导电塞区在键合衬底区之间形成导电层和形成覆盖在一部分第二衬底上的外延层的方法的步骤组合。当然，也可提供其它选择，其中可增加一些步骤，去除了一步或多步步骤，或者在不背离本文所附的权利要求书的范围的情况下以不同的顺序来设置一步或多步步骤。本方法的其它细节可在说明书全文中发现且下文更具体。

[0067]　图 4 到 6 是简图 400，它们示出了根据本发明的另一个实施例用于形成多层衬底结构的方法。该图仅仅是一个例子，它不应过度地限制此处的权利要求的范围。本领域的普通技术人员可认识到很多变体、修改和选择。在另一个具体的实施例中，本发明提供了用于形成衬底结构上的诸如硅 - 硅、锗 - 硅、III/V 族材料、硅或其它材料上的硅锗、绝缘体上的碳化硅、GaN 多层结构、这些的组合以及其它等多层衬底的另一种工艺。该工艺包括提供第一衬底，它具有一层将去除的材料。该层将去除的材料包括第一表面区。在具体的实施例中，该层材料可以是硅、锗、III/V 族材料以及其它。取决于实施例，硅衬底结构具有 {100} 面、{110} 面或 {111} 面的主晶面。

[0068]　根据具体的实施例，该工艺包括将第一衬底的第一表面区接合到第二衬底的第二

表面区。取决于实施例,第二衬底可由诸如第一衬底的材料以及其它材料之类的各种材料形成。在具体的实施例中,第二衬底是具有 {100} 面、{110} 面或 {111} 面的主晶面的硅材料。较佳的是,接合利用键合工艺来形成,键合工艺可包括清洗工艺和/或等离子活化工艺以促进在低温键合。清洗工艺包括等离子活化清洗和/或其它处理技术。这种技术的一个例子可在美国专利第 6,645,828 号中发现,该专利共同转让给 Silicon Genesis 公司,因此通过引用结合于此。在较佳的实施例中,接合工艺在第一衬底的第一表面区和第二衬底的第二表面区之间形成界面区。该工艺包括从第一衬底去除一层材料同时保留第一衬底的第一表面区到第二衬底第二衬底的第二表面区的粘接。在较佳的实施例中,用于形成键合衬底结构的方法是称为"层转移"工艺,如以上 Henley 等人所述的、法国 Soitec SA 通常称为 Smart-Cut™ 等。当然,本领域的技术人员可认识到其它变体、修改和选择。

[0069] 在较佳的实施例中,该工艺以空腔的方式穿过第一衬底的第一表面区和第二衬底的第二表面区之间的界面区形成多个开口 307。该工艺还用导电材料 305 填充开口中的一个或多个以将该层材料电耦合到第二衬底。导电材料可包括金属、掺杂半导体材料、这些的任意组合以及其它,包括多层材料等。导电结构可类似于在传统器件中用作互连等的通孔结构。如图所示,导电材料将该层材料与第二衬底互连。同样如图所示,导电材料可在阱结构中形成。导电材料填充整个开口以将两衬底结构电和物理连接起来。当然,本领域的技术人员可认识到很多变体、修改和选择。

[0070] 参考图 4,根据具体的实施例,该方法形成覆盖键合衬底结构中的该层材料的掩模结构 401。如所示,该层材料包括暴露区 403。暴露区可以是硅支承材料,它可利用蚀刻类型选择地蚀刻。根据具体的实施例,暴露区是一部分该层材料。根据具体的实施例,通常是绝缘材料(例如,氧化物)的界面区 405 可用作停止层。如图所示,根据具体的实施例,沟槽区通过去除一部分该层材料在该层材料内形成。

[0071] 如图 5 所示,该方法选择性地去除绝缘层。绝缘层的选择性地去除暴露了硅支承材料 501,它基本没有任何缺陷。在较佳的实施例中,选择性的去除利用包括湿法蚀刻类型等选择性的蚀刻剂来形成。仅作为一个例子,取决于应用,可使用诸如氢氟酸 (HF)、缓冲氢氟酸 (BHF)、缓冲氧化物蚀刻 (BOE) 和其它等基于氟的化学物质。由于选择性的去除工艺第二衬底的暴露部分基本没有任何损伤,选择性的去除工艺通常是湿法蚀刻或诸如等离子体等选择性的干法蚀刻。参考图 6,该方法形成覆盖以暴露的第二衬底区的外延层 601。与一层材料 {110} 相比外延层可以具有诸如 {100} 之类的硅的不同晶格取向。外延层可利用诸如在原地掺杂等掺杂工艺来形成。在具体的实施例中,外延层是单晶硅结构。如图所示,NMOS 器件可在硅、锗或其它类型的外延层上形成,而 PMOS 器件可在一层材料上形成。当然,本领域的技术人员可认识到很多变体、选择和修改。以下描述了根据本发明的实施例的方法和所得结构的其它细节。

[0072] 图 7 和 8 是示出根据本发明实施例用于形成多层衬底结构的另一种方法的简图。这些图仅仅是例子且不应过度地限制本文所附的权力要求的范围。本领域的技术人员可认识到很多变体、选择和修改。如形成外延层的另一种方法(上文已经描述)作为包括注入粒子 711 的工艺示出以形成注入区 707。在具体的实施例中,穿过掩模层 705 的开口提供粒子。在具体的实施例中,粒子可包括硅、锗、砷本文描述的任何其它种类以及其它。

[0073] 在具体的实施例中,根据具体的实施例,掩模层 705 可以是光刻层和/或硬掩模。

根据具体的实施例，硬掩模的一个例子是氮化硅层和/或氧化层。值得注意的是，取决于具体的实施例，掩模层也可是包括单层和多层结构的光刻层。掩模层覆盖根据具体的实施例的已分开或层转移的一层材料 703 来形成。一层材料覆盖衬底材料 701，这先前已经描述了。在具体的实施例中，该层材料可包括单晶硅和其它材料。当然，可有其它变体、修改和选择。

[0074] 在具体的实施例中，注入区 707 包括一部分一层材料以及在该层材料和下面的衬底材料之间界面 708 的附近内的区域。在具体的实施例中，注入区变成非晶态区和/或呈现其它特性。即，根据具体的实施例，注入区可具有非晶态特性，它也可包括其它特性，但主要是非晶态。如图 7 所示，注入区定义了新的取向。

[0075] 参考图 8，根据具体的实施例，该方法包括热处理工艺 803。热处理工艺可通过诸如炉工艺、快速热退火和/或其它工艺等适当的技术来提供。当然，可有其它的变体修改和选择。

[0076] 在一个具体的实施例中，热处理工艺可用于在注入区结晶和/或再生长晶体。如图所示，根据具体的实施例，结晶材料可以是与具有 {100} 晶格取向的第二衬底相同类型。根据具体的实施例，对于硅材料热退火可在从约 600℃到约 1250℃的温度范围内发生。

[0077] 退火可在相同或不同的条件下进行单退火或多个周期退火。例如，一个退火周期可用于再结晶，而另一个退火周期用于去除缺陷。根据本发明的一个实施例，再结晶退火周期可在 650-800℃下进行，而去除缺陷的退火周期可在 1000-1250℃下进行。

[0078] 根据具体的实施例，退火可在真空和/或大气压力下持续。退火也可在真空环境、惰性环境（例如，包括氩和/或氮）、含氢环境、合成气体（例如，含氢/氩或其它类似的混合物）以及含诸如 H 和 HCl 之类的蚀刻气体的环境中持续。退火可在去除光刻层或硬掩模之前或之后开始。退火也可在氧化环境中进行以在暴露表面生长氧化物。退火可结合美国专利第 6,103,599 号中描述的工艺进行，其内容通过引用结合于此。当表面以沉积的氧化物或其它钝化层覆盖时退火热处理可进行完毕。当然，可有其它的变体、修改和选择。

[0079] 在具体的实施例中，该工艺进行键合衬底结构的处理。根据具体的实施例处理可包括热退火以去除注入界面区中的任何缺陷。热处理可通过炉子、快速热退火或它们的任意组合来提供。根据较佳的实施例该工艺在一层材料上形成了集成电路元件和器件。当然，本领域的普通技术人员可认识到很多变体、修改和选择。

[0080] 以上顺序的步骤提供了根据本发明实施例用于制造衬底的方法。如图所示，该方法采用包括任选的注入技术利用导电塞区在键合衬底区之间形成导电层的和形成覆盖在一部分第二衬底上的外延层方法的步骤的组合。当然，也可提供其它选择，其中增加一些步骤，去除了一步或多步步骤，或者在不背离本文所附权利要求书的范围的情况下以不同的顺序设置一步或多步步骤。

[0081] 虽然上文根据具体的实施例示出，但可有其它的变体、修改和选择。例如，根据具体的实施例，该层材料可以是应变材料。即，根据具体的实施例，应变材料可以是双轴或单轴。另外，根据具体的实施例，应变材料是可图形化和/或完整的。取决于实施例，应变材料可利用 MOS 器件的源/漏区的蚀刻区中的硅锗图形化应变工艺来形成。结合或作为选择，应变材料可通过在以 Francois J.Henley 等人的名义的“Method and System for Lattice Space Engineering”（代理案卷号 018419-016410PC）并于 2005 年 4 月 12 日提

交的 PCT 申请第 PCT/US05/12410 号以及以 Francois J.Henley 的名义的“A Method for Frabricating Semiconductor DeviceUsing Strained Silicon Bearing Materials”(代理案卷号 018419-012110PC) 并于 2004 年 11 月 18 日提交的 PCT 申请第 PCT/US04/38616 号中描述的应变技术来形成，这两篇申请各自共同转让，并通过引用结合于此。当然，可有其它的变体、修改和选择。

[0082] 也应理解本文描述的例子和实施例仅用于说明的目的，并且本领域的技术人员将联想到根据它的各种修改或变化并且包含本申请的精神和范围以及所附权利要求的范围内。

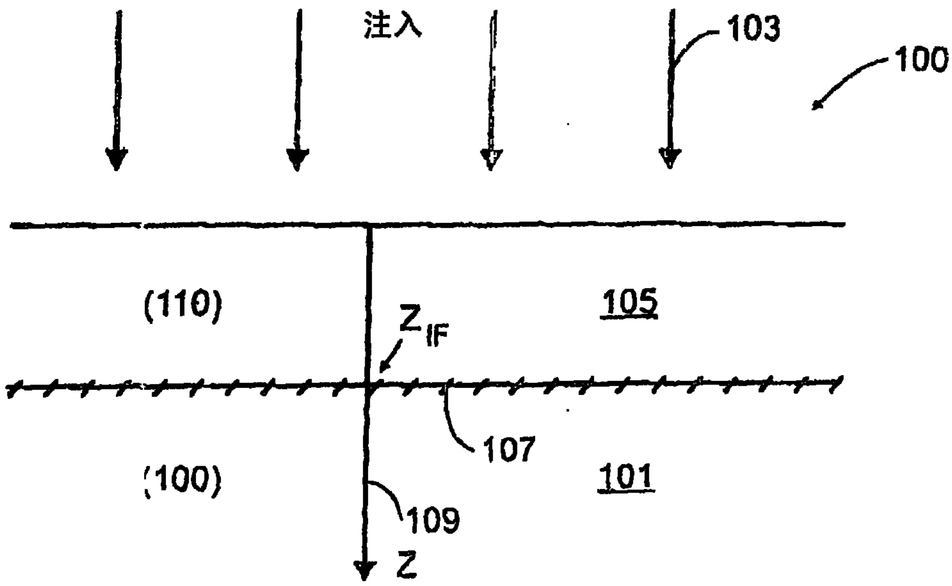

注入
103
100
(110)
105
Z_{IF}
107
(100)
101
109
Z

图 1

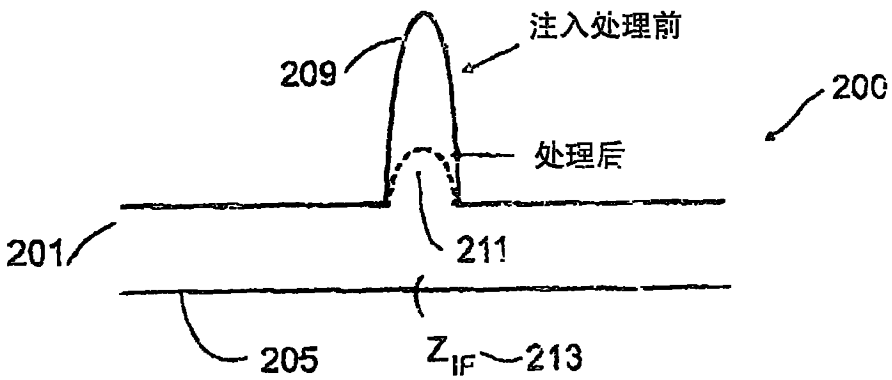

注入处理前
209
200
处理后
201
211
205
Z_{IF}
213

图 2

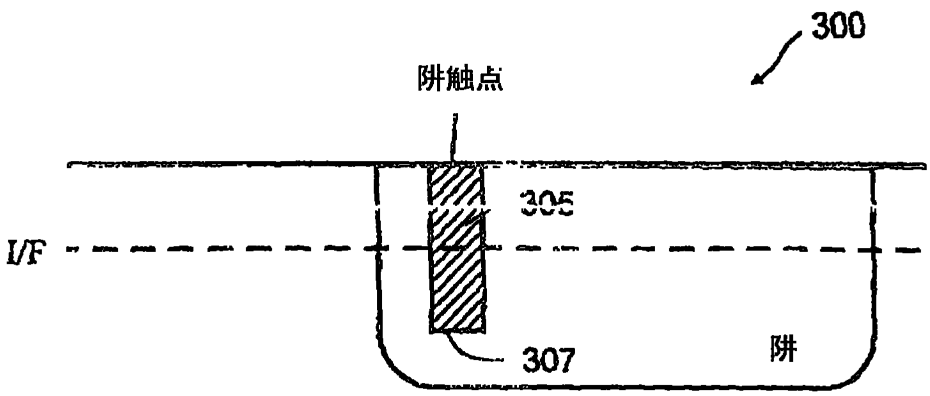

300
阱触点
305
I/F
307
阱

图 3

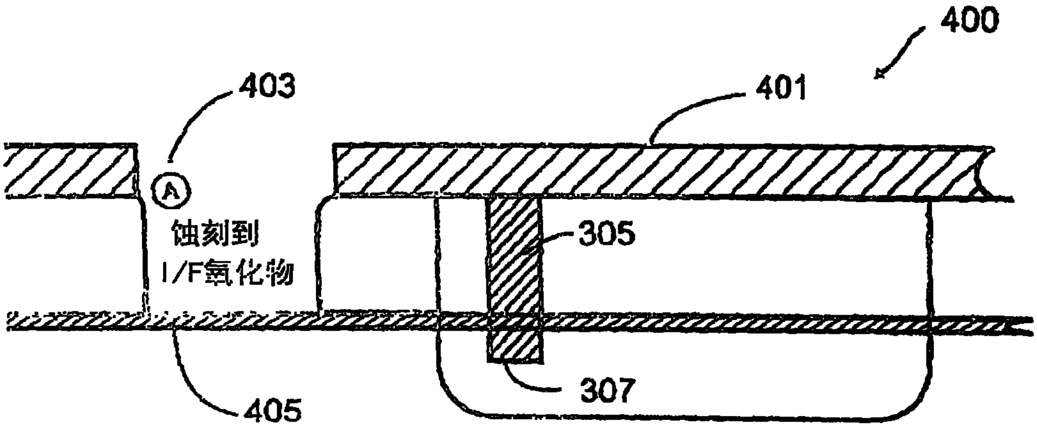

400
403
401
A
蚀刻到
I/F氧化物
305
307
405

图 4

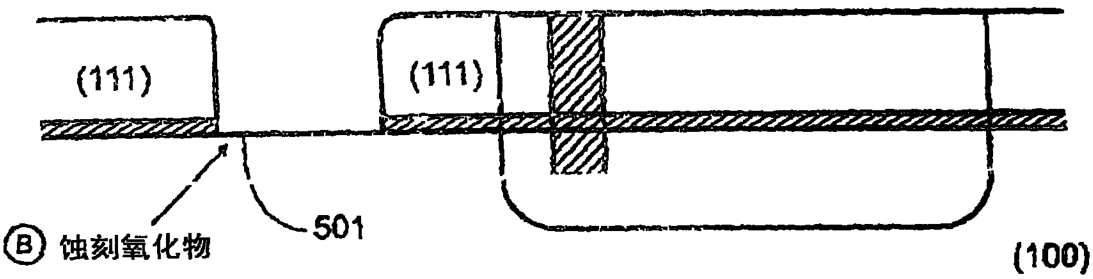

(111)
(111)
501
B 蚀刻氧化物
(100)

图 5

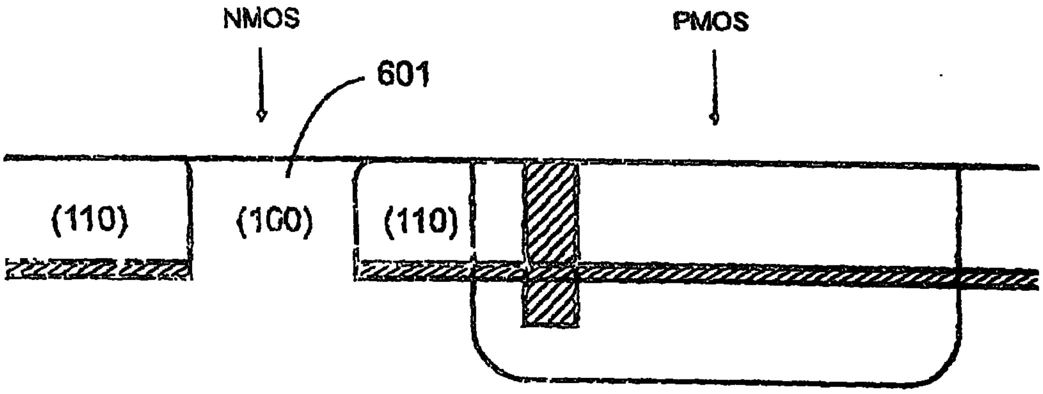

NMOS
PMOS
601
(110)
(100)
(110)

图 6

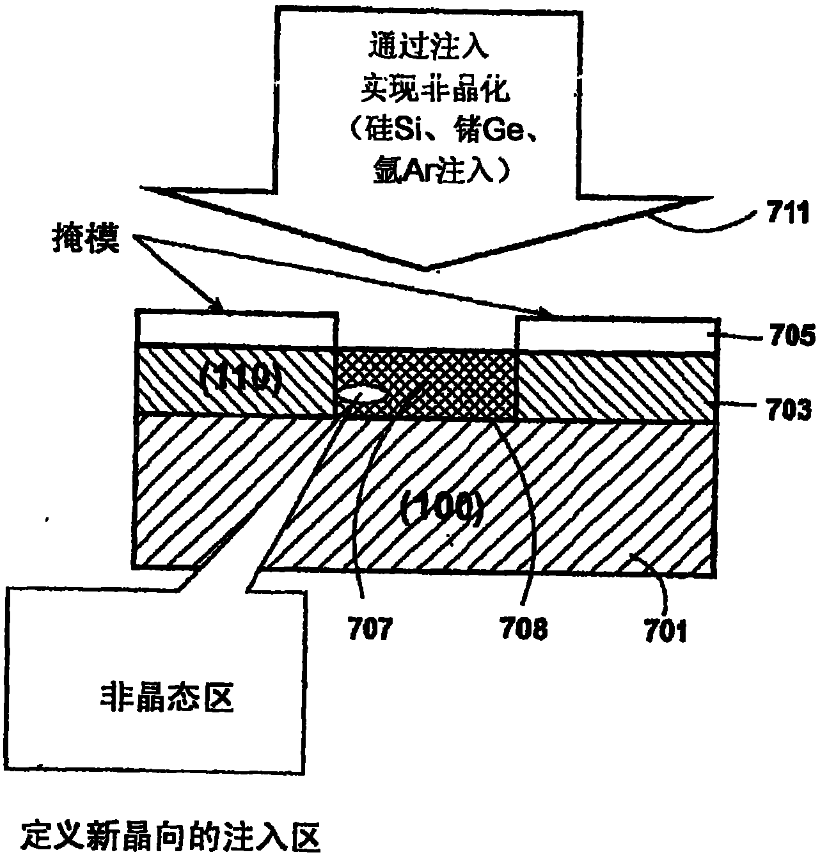

通过注入
实现非晶化
（硅Si、锗Ge、
氩Ar注入）
711
掩模
705
(110)
703
(100)
707
708
701
非晶态区
定义新晶向的注入区

图 7

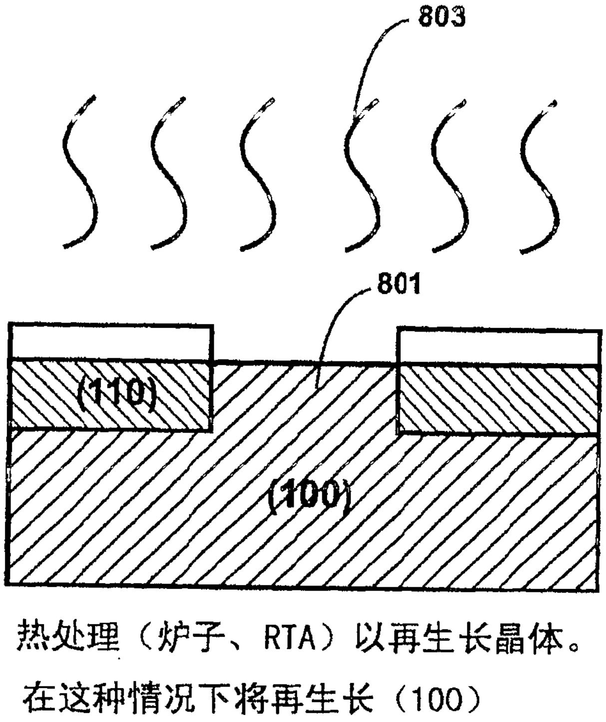


图 8