

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 9 月 2 日 (2005.9.2)

【公開番号】特開 2003-273329(P2003-273329A)
 【公開日】平成 15 年 9 月 26 日 (2003.9.26)
 【出願番号】特願 2002-67496(P2002-67496)
 【国際特許分類第 7 版】

H 0 1 L 27/105

G 1 1 C 11/22

【F I】

H 0 1 L 27/10 4 4 4 Z

G 1 1 C 11/22 5 0 1 A

G 1 1 C 11/22 5 0 1 F

【手続補正書】
 【提出日】平成 17 年 3 月 1 日 (2005.3.1)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成され、前記メモリセルが複数個直列接続された第 1 のメモリセルブロックと、

前記第 1 のメモリセルブロックを選択する第 1 のブロック選択トランジスタと、

前記第 1 のメモリセルブロックの一端と前記第 1 のブロック選択トランジスタの一端との間に接続された第 1 の金属配線と、

前記第 1 のブロック選択トランジスタの他端に接続された第 1 のビット線と、

前記第 1 のビット線に隣接して配置された第 2 のビット線と、

前記第 2 のビット線に、一端が接続された第 2 のブロック選択トランジスタと、

前記第 2 のビット線に、一端が接続された第 3 のブロック選択トランジスタとを具備し

、

前記第 2 のブロック選択トランジスタのゲート電極配線と第 3 のブロック選択トランジスタのゲート電極配線が、前記第 1 の金属配線の下方に配設されていることを特徴とする半導体記憶装置。

【請求項 2】

セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成され、前記メモリセルが複数個直列接続された第 1 のメモリセルブロックと、

前記第 1 のメモリセルブロックを選択する第 1 のブロック選択トランジスタと、

前記第 1 のメモリセルブロックの一端と前記第 1 のブロック選択トランジスタの一端との間に接続された第 1 の金属配線と、

前記第 1 のブロック選択トランジスタの他端に接続された第 1 のビット線と、

セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成されて、前記メモリセルが複数個直列接続され、前記第 1 のメモリセルブロックに対して前記第 1 のビット線方向に配置された第 2 のメモリセルブロックと、

前記第 2 のメモリセルブロックの一端に、一端が接続され、他端が前記第 1 のビット線に接続された第 2 のブロック選択トランジスタと、

セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成されて、前記メモリセルが複数個直列接続され、前記第 1 のメモリセルブロックに対して前記第 1 のビット線方向と垂直な方向に配置された第 3 のメモリセルブロックと、

前記第 3 のメモリセルブロックの一端に、一端が接続された第 3 のブロック選択トランジスタと、

前記第 3 のブロック選択トランジスタの他端に接続された第 2 のビット線と、

セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成されて、前記メモリセルが複数個直列接続され、前記第 3 のメモリセルブロックに対して前記第 1 のビット線方向に配置された第 4 のメモリセルブロックと、

前記第 2 のビット線に一端が接続され、前記第 4 のメモリセルブロックを選択する、第 4 のブロック選択トランジスタと、

前記第 4 のメモリセルブロックの一端と前記第 4 のブロック選択トランジスタの他端との間に接続された第 2 の金属配線とを具備し、

前記第 3 のブロック選択トランジスタのゲート電極配線と第 4 のブロック選択トランジスタのゲート電極配線が、前記第 1 の金属配線の下方に配設され、前記第 1 のブロック選択トランジスタのゲート電極配線と第 2 のブロック選択トランジスタのゲート電極配線が、前記第 2 の金属配線の下方に配設されていることを特徴とする半導体記憶装置。

【請求項 3】

前記第 1、第 2 の金属配線は、前記強誘電体キャパシタの下部電極と同一の層に形成されていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】

セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成され、前記メモリセルが複数個直列接続された第 1 のメモリセルブロックと、

前記第 1 のメモリセルブロックを選択する第 1 のブロック選択トランジスタと、

前記第 1 のメモリセルブロックの一端と前記第 1 のブロック選択トランジスタの一端との間に、直列接続された第 1、第 2 のデプレッション型トランジスタと、

前記第 1 のブロック選択トランジスタの他端に接続された第 1 のビット線と、

セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成されて、前記メモリセルが複数個直列接続され、前記第 1 のメモリセルブロックに対して前記第 1 のビット線方向と垂直な方向に配置された第 2 のメモリセルブロックと、

前記第 2 のメモリセルブロックの一端に、一端が接続された第 2 のブロック選択トランジスタと、

前記第 2 のブロック選択トランジスタの他端に接続され、前記第 1 のビット線に隣接して配置された第 2 のビット線とを具備し、

前記第 1 のデプレッション型トランジスタのゲート電極は、前記第 2 のブロック選択トランジスタのゲート電極に接続されていることを特徴とする半導体記憶装置。

【請求項 5】

セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成され、前記メモリセルが複数個直列接続された第 1 のメモリセルブロックと、

前記第 1 のメモリセルブロックの一端に、一端が接続され、第 1 の信号をゲート入力とする第 1 のデプレッション型トランジスタと、

前記第 1 のデプレッション型トランジスタの他端に、一端が接続され、第 2 の信号をゲート入力とする第 2 のデプレッション型トランジスタと、

前記第 2 のデプレッション型トランジスタの他端に、一端が接続され、第 3 の信号をゲート入力とする第 1 のブロック選択トランジスタと、

前記第 1 のブロック選択トランジスタの他端に接続された第 1 のビット線と、

セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成されて、前記メモリセルが複数個直列接続され、前記第 1 のメモリセルブロックに対して前記第 1 のビット線方向に配置された第 2 のメモリセルブロックと、

前記第 2 のメモリセルブロックの一端に、一端が接続され、他端が前記第 1 のビット線に接続されると共に、第 4 の信号をゲート入力とする第 2 のブロック選択トランジスタと

と、

セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成されて、前記メモリセルが複数個直列接続され、前記第 1 のメモリセルブロックに対して前記第 1 のビット線方向と垂直な方向に配置された第 3 のメモリセルブロックと、

前記第 3 のメモリセルブロックの一端に、一端が接続された、前記第 1 の信号をゲート入力とする第 3 のブロック選択トランジスタと、

前記第 3 のブロック選択トランジスタの他端に接続された第 2 のビット線と、

セルトランジスタと、このセルトランジスタのソース、ドレイン間に一端、他端の電極がそれぞれ接続された強誘電体キャパシタとからメモリセルが構成されて、前記メモリセルが複数個直列接続され、前記第 3 のメモリセルブロックに対して前記第 1 のビット線方向に配置された第 4 のメモリセルブロックと、

前記第 4 のメモリセルブロックの一端に、一端が接続され、前記第 4 の信号をゲート入力とする第 3 のデプレッション型トランジスタと、

前記第 3 のデプレッション型トランジスタの他端に、一端が接続され、前記第 3 の信号をゲート入力とする第 4 のデプレッション型トランジスタと、

前記第 4 のデプレッション型トランジスタの他端に、一端が接続され、他端が前記第 2 のビット線に接続されると共に、前記第 2 の信号をゲート入力とする第 4 のブロック選択トランジスタと、

を具備することを特徴とする半導体記憶装置。