

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 2 月 5 日 (05.02.2015)



(10) 国际公布号
WO 2015/014149 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01) G11C 19/28 (2006.01)
G09G 3/32 (2006.01)
- (21) 国际申请号: PCT/CN2014/077980
- (22) 国际申请日: 2014 年 5 月 21 日 (21.05.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310320479.2 2013 年 7 月 27 日 (27.07.2013) CN
201310750479.6 2013 年 12 月 31 日 (31.12.2013) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 韩承佑 (HAN, Seungwoo); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 姚星 (YAO, Xing); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京银龙知识产权代理有限公司 (DRAGON INTELLECTUAL PROPERTY LAW FIRM); 中国北京市海淀区西直门北大街 32 号枫蓝国际中心 2 号楼 10 层, Beijing 100082 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: SHIFT REGISTER UNIT AND DRIVE METHOD THEREFOR, SHIFT REGISTER AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器单元及其驱动方法、移位寄存器和显示装置

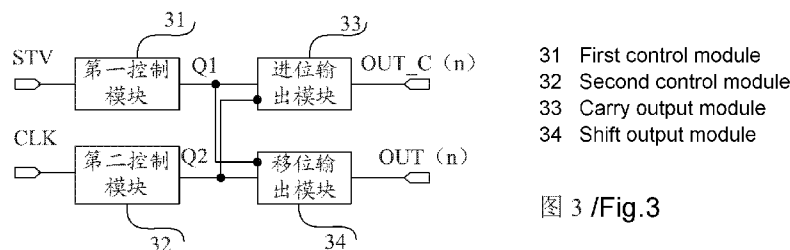


图 3 /Fig.3

(57) Abstract: A shift register unit, comprising: a first control module used for transmitting a start signal to a first node; a second control module used for pulling the electric potential of a second node to an electric potential which is different from that of the first node under the control of a first clock signal; a carry output module used for outputting a carry signal according to the electric potential of the first node and the electric potential of the second node; and a shift output module used for outputting a shift signal according to the electric potential of the first node and the electric potential of the second node.

(57) 摘要: 一种移位寄存器单元, 包括: 第一控制模块, 用于将起始信号传输至第一节点; 第二控制模块, 用于在第一时钟信号的控制下, 将第二节点的电位拉至与所述第一节点的电位不同的电位; 进位输出模块, 用于根据所述第一节点的电位和所述第二节点的电位来输出进位信号; 以及移位输出模块, 用于根据所述第一节点的电位和所述第二节点的电位来输出移位信号。

移位寄存器单元及其驱动方法、移位寄存器和显示装置

技术领域

本发明实施例涉及有机发光显示领域，尤其涉及一种移位寄存器单元及其驱动方法、移位寄存器和显示装置。

背景技术

在有源驱动显示（Active Matrix Display）中，各行的扫描线（scan line）和各列的数据线（data line）交叉构成了一个有源矩阵。一般采用逐行扫描的方法，依次打开各行的门管，将数据线上的电压写入像素。在显示背板上集成行扫描驱动电路，具有窄边化、低成本的优势，已经在大多数 LCD（Liquid Crystal Display，液晶显示器）/AMOLED（Active Matrix/Organic Light Emitting Diode，有源矩阵有机发光二极管）显示器件中采用。

目前制造显示器件背板的工艺有很多种，如 a-Si（非晶硅），LTPS（Low Temperature Poly-silicon，低温多晶硅），Oxide（氧化物）TFT（Thin Film Transistor，薄膜场效应晶体管）等。a-Si TFT 工艺较成熟，成本低，但是 a-Si TFT 具有迁移率低和稳定性差的缺点。LTPS TFT 速度快、稳定性好，但是均匀性差，成本高，还不适于大尺寸面板的制备。氧化物 TFT 迁移率较高，均匀性好，成本低，是未来最适合大尺寸面板显示的技术，但是氧化物 TFT 的电流-电压（I-V）转移特性通常为耗尽型，即在氧化物 TFT 的栅源电压 V_{gs} 为零时，其仍然导通。如果氧化物 GOA（Gate Driver on Array，阵列基板行驱动）继续沿用 a-Si GOA 的电路，则会出现 TFT 无法完全关闭，导致有多个输出的结果。

耗尽型 TFT（薄膜晶体管）给显示器件背板集成移位寄存器带来很大难度。图 1A 是传统的移位寄存器的结构图。图 1A 中所有的晶体管都是 n 型薄膜晶体管。如图 1A 所示，传统的移位寄存器包括第一输出晶体管 T1、第二输出晶体管 T2、控制 T1 的第一控制模块 11 和控制 T2 的第二控制模块 12。除最后一级的移位寄存器之外，每一级的移位寄存器的输出端与下一级移位寄存器的输入端连接，并交替通过两个占空比为 50% 的时钟信号 CLK1、

CLK2 所控制。所有的输入信号和控制信号振幅为 $V_{GL} \sim V_{GH}$ 。这里， V_{GL} 为低电平， V_{GH} 为高电平。第一输出晶体管 T1 与时钟信号 CLKB 和输出端 OUT(n) 连接，起到传输高电平的作用。第二输出晶体管 T2 与输出低电平 V_{GL} 的低电平输出端和输出端 OUT(n) 连接，起到传输低电平的作用。

如图 1B 所示，该移位寄存器的工作可以分为如下的三个阶段。

第一个阶段是预充电阶段，当前一级移位寄存器的输出端 OUT(n-1) 产生一个高电平脉冲时，控制 PU 点（与晶体管 T1 的栅极连接的节点，也即上拉节点）被充电至高电平 V_{GH} ，同时控制 PD 点（与晶体管 T2 的栅极连接的节点，也即下拉节点）被放电至低电平 V_{GL} 。此时晶体管 T1 导通，将 CLKB 的低电平传至输出端 OUT(n)，而晶体管 T2 关断。

第二个阶段为求值阶段，在下一个时钟周期，PU 点变为浮空状态，即与其相连的第一输出控制模块的晶体管都被关断，没有信号过来。CLKB 从低电平变为高电平，随着输出电压的上升，PU 点电压被连接在晶体管 T1 的栅极和输出端 OUT(n) 之间的电容自举到一个更高的电平，从而保证输出端 OUT(n) 的输出电压没有阈值损失。此时 PD 点保持为低电平，使晶体管 T2 关断，防止输出端 OUT(n) 输出的高电平通过 T2 漏电。

第三个阶段为复位阶段，即再下一个时钟周期，CLKB 变为低电平，CLK 变为高电平，PU 点被放电至低电平，PD 点被重新充电至高电平。这时晶体管 T1 关断，晶体管 T2 导通，输出端 OUT(n) 的输出电压通过晶体管 T2 保持低电平。

由图 1B 可知，PU 点和 PD 点形成互反的关系，从而避免晶体管 T1 和 T2 同时导通造成输出异常。

然而，如果图 1A 中的晶体管 T1 和 T2 为耗尽型晶体管，输出则会产生较大的失真。首先，在求值阶段，PU 点电压为高电平使晶体管 T1 导通，PD 点电压虽然被放电至低电平 V_{GL} ，但是由于晶体管 T2 的耗尽型特性，晶体管 T2 的 V_{gs} 虽然为 0 但仍不能正常关断，产生漏电流。也就是说，晶体管 T1 和 T2 同时导通，则输出端 OUT(n) 输出的高电平取决于晶体管 T1 和 T2 的电阻分压，通常会比正常所需高电平低很多。进而会影响下一级移位寄存器的正常工作，即可能造成后级移位寄存器的失效。其次，在复位阶段，PU

点电压为低电平，PD 点电压为高电平，输出端 OUT(n)的输出电压为低电平，同时由于晶体管 T1 为耗尽型晶体管，晶体管 T1 始终导通。如果 CLKB 变为高电平，则输出端 OUT(n)的输出电压会产生高电平脉冲，其电位取决于晶体管 T1 和 T2 的电阻分压。输出端 OUT(n)的输出电压的正常波形如图 1C 中实线所示，输出端 OUT(n)的输出电压的失真后的波形如图 1C 中虚线所示。

除了第一输出晶体管 T1 和第二输出晶体管 T2，内部控制电路中的耗尽型 TFT 管同样会造成输出失效。如图 2A 所示，所述第二控制模块为下拉管控制模块，所述第一控制模块包含晶体管 T3 和 T4。晶体管 T3 和 T4 为耗尽型晶体管，其中，晶体管 T3 连接与上一级移位寄存器的输出端 OUT(n-1)和 PU 点（与 T1 的栅极连接的节点）连接。晶体管 T3 的作用是在预充电阶段将 PU 点电压充电至高电平。晶体管 T4 的栅极与复位信号 Rst 连接。晶体管 T4 与连接 PU 点和输出低电平 VGL 的低电平输出端连接。晶体管 T4 的作用是在复位阶段将 PU 点电压拉低。耗尽型晶体管 T3 和 T4 在求值阶段时会导通，将 PU 点电压拉低。从而造成晶体管 T1 不完全导通，影响输出端 OUT(n)输出的高电平，如图 2B 中虚线部分所示。

综上所述，急需在电路结构上进行改进解决耗尽型 TFT 对移位寄存器输出的影响。

发明内容

（一）要解决的技术问题

本发明实施例的主要目的在于提供了一种移位寄存器单元及其驱动方法、移位寄存器和显示装置，解决了直流偏置电压对于移位寄存器单元内部的 TFT 特性的影响，以及移位寄存器单元内部的 TFT 由于不能完全关闭而导致的错误输出的问题。

（二）技术方案

为了达到上述目的，本发明实施例提供了一种移位寄存器单元，包括：

第一控制模块，用于将起始信号传输至第一节点；

第二控制模块，用于在第一时钟信号的控制下，将第二节点的电位拉至与所述第一节点的电位不同的电位；

进位输出模块，用于根据所述第一节点的电位和所述第二节点的电位来输出进位信号；以及

移位输出模块，用于根据所述第一节点的电位和所述第二节点的电位来输出移位信号。

可选的，本发明实施例所述的移位寄存器单元还包括：

输出反馈模块，用于根据所述进位信号和所述移位信号，通过控制所述第一控制模块而维持所述第一节点的电位。

可选的，本发明实施例所述的移位寄存器单元还包括：

复位模块，用于控制所述移位信号复位。

可选的，所述进位输出模块包括第一进位输出晶体管和第二进位输出晶体管。

所述第一进位输出晶体管的栅极与所述第一节点连接，所述第一进位输出晶体管的第一极与所述进位信号输出端连接，并且所述第一进位输出晶体管的第二极与第二时钟信号输出端连接；

所述第二进位输出晶体管的栅极与所述第二节点连接，所述第二进位输出晶体管的第一极与第一低电平输出端连接，所述第二进位输出晶体管的第二极与所述进位信号输出端连接；

所述第一进位输出晶体管的栅极和第一极之间连接有自举电容。

可选的，所述移位输出模块包括第一移位输出晶体管和第二移位输出晶体管。

所述第一移位输出晶体管的栅极与所述第一节点连接，所述第一移位输出晶体管的第一极与所述移位信号输出端连接，所述第一移位输出晶体管的第二极与所述第二时钟信号输出端连接；

所述第二移位输出晶体管的栅极与所述第二节点连接，所述第二移位输出晶体管的第一极与第二低电平输出端连接，并且所述第二移位输出晶体管的第二极与所述移位信号输出端连接。

可选的，所述第一进位输出晶体管、所述第二进位输出晶体管、所述第一移位输出晶体管和/或所述第二移位输出晶体管为耗尽型薄膜晶体管；

所述第一进位输出晶体管的阈值电压、所述第二进位输出晶体管的阈值

电压、所述第一移位输出晶体管的阈值电压和所述第二移位输出晶体管的阈值电压相同，都为耗尽阈值电压。

可选的，所述第一低电平小于所述第二低电平，并且所述第一低电平与所述第二低电平的差值的绝对值大于所述耗尽阈值电压的绝对值。

可选的，所述第一控制模块包括第一控制晶体管、第二控制晶体管、第三控制晶体管和第四控制晶体管。

所述第一控制晶体管的栅极与所述第一时钟信号输出端连接，所述第一控制晶体管的第一极分别与所述输出反馈模块和所述第二控制晶体管的第二极连接，所述第一控制晶体管的第二极与所述起始信号输入端连接；

所述第二控制晶体管的栅极与所述第一时钟信号输出端连接，并且所述第一控制晶体管的第一极与所述第一节点连接；

所述第三控制晶体管的栅极与所述第二节点连接，所述第三控制晶体管的第一极分别与所述第四控制晶体管的第二极和所述输出反馈模块连接，并且所述第三控制晶体管的第二极与所述第一节点连接；

所述第四控制晶体管的栅极与所述第二节点连接，并且所述第四控制晶体管的第一极与第一低电平输出端连接。

可选的，所述第二控制模块包括第五控制晶体管、第六控制晶体管和保持电容；

所述第五控制晶体管的栅极与所述第一时钟信号输出端连接，所述第五控制晶体管的第一极与所述第二节点连接，并且所述第五控制晶体管的第二极与所述第一时钟信号输出端连接；

所述第六控制晶体管的栅极与所述第一节点连接，所述第六控制晶体管的第一极与第一低电平输出端连接，并且所述第六控制晶体管的第二极与所述第五控制晶体管的第一极连接；

所述保持电容连接于所述第二节点和第二低电平输出端之间。

可选的，所述输出反馈模块包括反馈晶体管；

所述反馈晶体管的栅极与所述进位信号输出端连接，所述反馈晶体管的第一极与所述移位信号输出端连接，并且所述反馈晶体管的第二极分别与所述第一控制晶体管的第一极和所述第三控制晶体管的第一极连接。

可选的，所述复位模块包括复位晶体管；

所述复位晶体管的栅极与所述复位信号输入端连接，所述复位晶体管的第一极与所述第二低电平输出端连接，并且所述复位晶体管的第二极与所述移位信号输出端连接。

本发明实施例还提供了一种移位寄存器单元的驱动方法，应用于上述的移位寄存器单元，所述移位寄存器单元的驱动方法包括以下步骤：

在预充电阶段，第一控制模块将起始信号传输至第一节点，第二控制模块在第一时钟信号的控制下将第二节点的电位拉至与所述第一节点的电位反相的电位；

在求值阶段，第二控制模块在第一时钟信号的控制下将第二节点的电位拉至与所述第一节点的电位反相的电位，进位输出模块根据所述第一节点的电位和所述第二节点的电位输出进位信号；移位输出模块根据所述第一节点的电位和所述第二节点的电位输出移位信号。

可选的，本发明实施例所述的移位寄存器单元的驱动方法还包括：

在预充电阶段，输出反馈模块根据所述进位信号和所述移位信号，通过控制所述第一控制模块而维持所述第一节点的电位。

可选的，本发明实施例所述的移位寄存器单元的驱动方法还包括：

在所述复位阶段，所述复位模块控制所述移位信号复位。

本发明实施例还提供了一种移位寄存器，包括多级上述的移位寄存器单元；

除了第一级移位寄存器单元之外，每一级移位寄存器单元的起始输入端和上一级移位寄存器单元的进位信号输出端连接。

本发明实施例还提供了一种显示装置，包括上述的移位寄存器。

（三）有益效果

本发明实施例至少具有如下有益效果：

与现有技术相比，本发明实施例所述的移位寄存器单元、移位寄存器和显示装置采用交流的第一时钟信号代替高电压信号对第二控制模块进行控制，可以减小直流偏置电压对于移位寄存器单元内部的 TFT 特性的影响。并且采用两个输出端的设计，使得移位寄存器单元内部的 TFT 可以实现完全关

闭，避免错误的输出。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1A 是传统的移位寄存器的电路图；

图 1B 是传统的移位寄存器在工作过程中的各信号的时序图；

图 1C 是传统的移位寄存器的输出端 OUT (n) 的输出波形的示意图；

图 2A 是传统的移位寄存器的具体实施例的电路图；

图 2B 是传统的移位寄存器的具体实施例在工作过程中的各信号的时序图；

图 3 是本发明实施例所述的移位寄存器单元的结构框图；

图 4A 是本发明另一实施例所述的移位寄存器单元的结构框图；

图 4B 是本发明又一实施例所述的移位寄存器单元的结构框图；

图 5A、图 5B、图 5C、图 5D、图 5E 分别是本发明实施例所述的移位寄存器单元的电路图；

图 6 是本发明实施例所述的移位寄存器单元的一具体实施例的结构框图；

图 6A 是本发明该具体实施例所述的移位寄存器单元的电路图；

图 6B 是本发明该具体实施例所述的移位寄存器单元在工作过程中的各信号的时序图；以及

图 7 是本发明实施例所述的移位寄存器的电路图。

具体实施方式

下面结合附图和实施例，对本发明的具体实施方式做进一步描述。以下实施例仅用于说明本发明，但不用来限制本发明的范围。

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发

明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本发明保护的范围。

除非另作定义，此处使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本发明专利申请说明书以及权利要求书中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”或者“一”等类似词语也不表示数量限制，而是表示存在至少一个。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也相应地改变。

以下结合附图对本发明实施例的原理和特征进行描述，所举实例只用于解释本发明实施例，并非用于限定本发明实施例的范围。

本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本发明实施例中，为区分晶体管除栅极之外的两极，将其中一极称为源极，另一极称为漏极。此外，按照晶体管的特性区分可以将晶体管分为 N 型晶体管或 P 型晶体管。在本发明实施例提供的驱动电路中，所有晶体管均是以 N 型晶体管为例进行的说明，可以想到的是在采用 P 型晶体管实现时是本领域技术人员可在没有做出创造性劳动前提下轻易想到的，因此也是在本发明的实施例保护范围内的。

在本发明实施例提供的驱动电路中，所有晶体管均是以 N 型晶体管为例进行的说明。这里，N 型晶体管的第一极可以是源极，N 型晶体管的第二极可以是漏极。可以想到的是在采用 P 型晶体管实现时是本领域技术人员可在没有做出创造性劳动前提下轻易想到的，因此也是在本发明的实施例保护范围内的。

如图 3 所示，本发明实施例所述的移位寄存器单元包括：

第一控制模块 31，用于将起始信号传输至第一节点 Q1；

第二控制模块 32，用于在第一时钟信号 CLK 的控制下，第二节点 Q2 的

电位拉至与所述第一节点 Q1 不同的电位；

进位输出模块 33，用于根据所述第一节点 Q1 的电位和所述第二节点 Q2 的电位输出进位信号；以及

移位输出模块 34，用于根据所述第一节点 Q1 的电位和所述第二节点 Q2 的电位输出移位信号。

在图 3 中，起始信号由起始信号输入端 STV 输入，进位信号由进位信号输出端 OUT_C (n) 输出，移位信号由移位信号输出端 OUT (n) 输出。

本发明实施例所述的移位寄存器单元采用交流的第一时钟信号 CLK 代替高电压信号对第二控制模块 32 进行控制，可以减小直流偏置电压对于移位寄存器单元内部的 TFT 特性的影响。

此外，本发明实施例所述的移位寄存器单元采用两个输出端的设计，使得移位寄存器单元内部的 TFT 可以实现完全关闭，避免错误的输出。

在另一示例中，第一控制模块 31 响应于第一时钟信号 CLK，将起始信号传输至第一节点 Q1。

在又一个示例中，如图 4A 所示，本发明实施例所述的移位寄存器单元还包括：

输出反馈模块 35，用于根据所述进位信号和所述移位信号，通过控制所述第一控制模块 31 而维持所述第一节点 Q1 的电位。

具体的，在如图 4A 所示的本发明实施例所述的移位寄存器单元工作时，存在预充电阶段和求值阶段。

在预充电阶段，第一控制模块 31 将起始信号传输至第一节点 Q1，第二控制模块 32 在第一时钟信号 CLK 的控制下将第二节点 Q2 的电位拉至与所述第一节点 Q1 反相的电位。

在求值阶段，第一控制模块 31 维持所述第一节点 Q1 的电位，第二控制模块 32 在第一时钟信号 CLK 的控制下将第二节点 Q2 的电位拉至与所述第一节点 Q1 反相的电位。同时，进位输出模块 3 根据所述第一节点 Q1 的电位和所述第二节点 Q2 的电位输出进位信号，移位输出模块 34 根据所述第一节点 Q1 的电位和所述第二节点 Q2 的电位输出移位信号。

优选的，如图 4B 所示，本发明实施例所述的移位寄存器单元还包括：

复位模块 36，用于控制所述移位信号复位。

在图 4B 中，所述复位信号由复位信号输入端 RST 输入。

具体的，在如图 4B 所示的本发明实施例所述的移位寄存器单元在工作时，在预充电阶段和求值阶段之后还存在复位阶段，在复位阶段，复位模块 36 控制所述移位信号复位。

在具体实施时，如图 5A 所示，所述进位输出模块 33 包括：

第一进位输出晶体管 T331，栅极与所述第一节点 Q1 连接，第一极接入所述进位信号，第二极接入第二时钟信号 CLKB；以及

第二进位输出晶体管 T332，栅极与所述第二节点 Q2 连接，第一极接入第一低电平 LVGL，第二极输出所述进位信号。

可选的，所述第一进位输出晶体管的栅极和第一极之间连接有自举电容 C1。

所述移位输出模块 34 包括：

第一移位输出晶体管 T341，栅极与所述第一节点 Q1 连接，第一极输出所述移位信号，第二极接入所述第二时钟信号 CLKB；

第二移位输出晶体管 T342，栅极与所述第二节点 Q2 连接，第一极接入第二低电平 VGL，第二极输出所述移位信号。

在该实施例中，所述第一进位输出晶体管 T331、所述第二进位输出晶体管 T332、所述第一移位输出晶体管 T341 和/或所述第二移位输出晶体管 T342 可以为耗尽型薄膜晶体管。所述第一进位输出薄膜晶体管 T331 的阈值电压、所述第二进位输出薄膜晶体管 T332 的阈值电压、所述第一移位输出晶体管 T341 的阈值电压和所述第二移位输出晶体管 T342 的阈值电压相同，都为耗尽阈值电压。所述第一低电平 LVGL 小于所述第二低电平 VGL，并且所述第一低电平 LVGL 与所述第二低电平 VGL 的差值的绝对值大于所述耗尽阈值电压的绝对值，从而避免耗尽型 TFT 的漏电流问题对移位寄存器单元的驱动信号的影响。

根据本发明的该实施例所述的移位寄存器单元采用了两级输出，即进位输出模块 33 和移位输出模块 34。通过分级输出进位信号和移位信号，而使得在所述移位信号在求值阶段维持高电平，从而解决耗尽型 TFT 的漏电流问

题对移位寄存器单元的移位信号的影响。

此外，根据本发明的该实施例所述的移位寄存器单元在求值阶段通过所述输出反馈模块 35 维持所述第一节点 Q1 的电平，以维持所述移位信号的电平，从而避免第一节点 Q1 在求值阶段通过内部 TFT 耗尽导通漏电，影响输出。

在实施时，如图 5B 所示，所述第一控制模块 31 包括第一控制晶体管 T311、第二控制晶体管 T312、第三控制晶体管 T313 和第四控制晶体管 T314。

所述第一控制晶体管 T311，栅极接入所述第一时钟信号 CLK，第一极分别与所述输出反馈模块 35 和所述第二控制晶体管 T312 的第二极连接，第二极接入所述起始信号。

所述第二控制晶体管 T312，栅极接入所述第一时钟信号 CLK，第一极与所述第一节点 Q1 连接。

所述第三控制晶体管 T313，栅极与所述第二节点 Q2 连接，第一极分别与所述第四控制晶体管 T314 的第二极和所述输出反馈模块 35 连接，第二极与所述第一节点 Q1 连接。

所述第四控制晶体管 T314，栅极与所述第二节点 Q2 连接，第一极接入第一低电平 LVGL。

所述第二控制模块 32 包括第五控制晶体管 T325、第六控制晶体管 T326 和保持电容 C2。

所述第五控制晶体管 T325，栅极接入所述第一时钟信号 CLK，第一极与所述第二节点 Q2 连接，第二极接入所述第一时钟信号 CLK。

所述第六控制晶体管 T326，栅极与所述第一节点 Q1 连接，第一极接入第一低电平 LVGL，第二极与所述第五控制晶体管 T325 的第一极连接。

所述保持电容 C2 可连接于所述第二节点 Q2 和第二低电平输出端之间。可由所述第二低电平输出端输入第二低电平 VGL。

在图 5B 中，FD 点是所述输出反馈模块 35 与所述第一控制模块 31 连接的节点。

具体的，如图 5C 所示，所述输出反馈模块 35 包括反馈晶体管 T35。

所述反馈晶体管 T35，栅极接入所述进位信号，第一极接入所述移位信

号,第二极分别与所述第一控制晶体管 T311 的第一极和所述第三控制晶体管 T313 的第一极连接。

具体的,如图 5D 所示,所述复位模块 36 包括复位晶体管 T36。

所述复位晶体管 T36,栅极与所述复位信号输入端 RST 连接,第一极与所述第二低电平输出端连接,第二极与所述移位信号输出端 OUT (n) 连接。

具体的,如图 5E 所示,所述第一控制模块 31 包括第一晶体管 T311、第二晶体管 T312、第三晶体管 T313 和第四晶体管 T314。所述第二控制模块 32 包括第五晶体管 T325、第六晶体管 T326 和第七晶体管 T327。

所述第一晶体管 T311,栅极接入第二时钟信号 CLKB,第一极分别与所述输出反馈模块 35 和所述第二晶体管 T312 的第二极连接,第二极与所述起始信号输入端 STV 连接。

所述第二晶体管 T312,栅极接入第二时钟信号 CLKB,第一极与所述第一控制节点 Q1 连接。

所述第三晶体管 T313,栅极与所述第二控制节点 Q2 连接,第一极与所述第四晶体管 T314 的第二极连接,第二极与所述第五晶体管 T325 的栅极连接。

所述第四晶体管 T314,栅极与所述第二进位输出薄膜晶体管 T2 的栅极连接,源极与第一低电平输出端连接。

所述第五晶体管 T325,栅极与所述第一控制节点 Q1 连接,第一极与所述第六晶体管 T326 的第二极连接,第二极与所述第六晶体管 T326 的栅极连接。

所述第六晶体管 T326,栅极与所述第一控制节点 Q1 连接,第一极与第一低电平输出端连接。

所述第七晶体管 T327,栅极和第二极接入第一时钟信号 CLK,第一极与所述第二控制节点 Q2 连接。

由所述第一低电平输出端输入第一低电平 LVGL。

下面以采用 N 型晶体管的移位寄存器单元为例进行说明,如图 6 所示,本发明实施例所述的移位寄存器单元包括:

第一控制模块 61,分别与第一节点 Q1、第二节点 Q2、第一时钟信号输

出端、起始信号输入端和第一低电平输出端连接，用于在预充电阶段将所述第一节点 Q1 的电位拉升为高电平，并在复位阶段将所述第一节点 Q1 的电位拉低为低电平；

第二控制模块 62，分别与所述第二节点 Q2、所述第一节点 Q1、第一时钟信号输出端、所述第一低电平输出端和所述第二低电平输出端连接，用于在预充电阶段将所述第一节点 Q1 的电位拉低为低电平，在求值阶段进一步将所述第一节点 Q1 的电位拉低至第一低电平 LVGL，并在复位阶段将所述第一节点 Q1 的电位拉升为高电平；

进位输出模块 63，分别与所述第一节点 Q1、所述第二节点 Q2、第二时钟信号输出端、第一低电平输出端和进位信号输出端 OUT_C (n) 连接，用于控制所述进位信号输出端 OUT_C(n) 在预充电阶段输出第一低电平 LVGL，在求值阶段输出高电平，在复位阶段输出第一低电平 LVGL；

移位输出模块 64，分别与所述第一节点 Q1、所述第二节点 Q2、所述第二低电平输出端和移位信号输出端 OUT (n) 连接，用于控制所述移位信号输出端 OUT (n) 在预充电阶段输出第二低电平 VGL，在求值阶段输出高电平；

输出反馈模块 65，分别与所述进位信号输出端 OUT_C (n)、所述移位信号输出端 OUT (n) 和所述第一控制模块 61 连接，用于在求值阶段通过控制所述第一控制模块 61 而维持所述第一节点 Q1 的电位为高电平；

复位模块 66，与复位信号输入端 RST、所述第二低电平输出端和移位输出信号输出端 OUT (n) 连接，用于在复位阶段控制所述移位信号输出端 OUT (n) 输出第二低电平 VGL。

在本发明实施例中，所述第一电平输入端输入第一低电平 LVGL，所述第二电平输入端输入第二低电平 VGL。所述起始信号输入端输入起始信号 RST，所述复位信号输入端输入复位信号 RST。所述第一时钟信号输入端输入第一时钟信号 CLK，所述第二时钟信号输入端输入第二时钟信号 CLKB。此外，CLK 和 CLKB 反相。

在如图 6 所示的实施例中，所述第一低电平 LVGL 和所述第二低电平 VGL 不同。例如，所述第一低电平 LVGL 小于所述第二低电平 VGL。并且该

实施例采用两个输出端（进位信号输出端和移位信号输出端），形成移位寄存器单元内部的 TFT 的栅极电压和源极电压之间负的电压差，使得移位寄存器单元内部的 TFT 可以实现完全关闭。由此可以避免错误的输出，从而避免 TFT 的漏电流问题对移位寄存器单元的驱动信号的影响。并且该实施例采用交流的第一时钟信号代替传统电路中的高电压信号以控制第二控制模块 62，以减小直流偏置电压对于 TFT 特性的影响。

本发明的该实施例采用两个时钟信号（第一时钟信号 CLK 和第二时钟信号 CLKB）来控制本发明实施例的移位寄存器单元，能够使控制更加灵活和精确。

可选的，如图 6A 所示，所述进位输出模块 63 包括第一进位输出晶体管 T631 和第二进位输出晶体管 T632。

所述第一进位输出晶体管 T631，栅极与所述第一节点 Q1 连接，第一极与所述进位信号输出端 OUT_C (n) 连接，第二极与所述第二时钟信号输出端连接。

所述第二进位输出晶体管 T632，栅极与所述第二节点 Q2 连接，第一极与所述第一低电平输出端连接，第二极与所述进位信号输出端 OUT_C (n) 连接。

可选的，如图 6A 所示，所述移位输出模块 64 包括第一移位输出晶体管 T641 和第二移位输出晶体管 T642。

所述第一移位输出晶体管 T641，栅极与所述第一节点 Q1 连接，第一极与所述移位信号输出端 OUT (n) 连接，第二极与所述第二时钟信号输出端连接。

所述第二移位输出晶体管 T642，栅极与所述第二节点 Q2 连接，第一极与所述第二低电平输出端连接，第二极与所述移位信号输出端 OUT (n) 连接。

在实施时，所述第一进位输出晶体管 T641、所述第二进位输出晶体管 T642、所述第一移位输出晶体管 T651 和/或所述第二移位输出晶体管 T652 为耗尽型薄膜晶体管。

可选的，所述第一进位输出晶体管 T641、所述第二进位输出晶体管 T642、

所述第一移位输出晶体管 T651 和所述第二移位输出晶体管 T652 都为耗尽型薄膜晶体管。

可选的, 在如图 6A 所示的移位寄存器单元的实施例中, 所述第一进位输出薄膜晶体管 T631 的阈值电压、所述第二进位输出薄膜晶体管 T632 的阈值电压、所述第一移位输出晶体管 T641 的阈值电压和所述第二移位输出晶体管 T642 的阈值电压相同, 都为耗尽阈值电压。

所述第一低电平 LVGL 小于所述第二低电平 VGL, 并且所述第一低电平 LVGL 与所述第二低电平 VGL 的差值的绝对值大于所述耗尽阈值电压的绝对值。

可选的, 如图 6A 所示, 所述第一控制模块 61 包括第一上拉晶体管 T611、第二上拉晶体管 T612、第三上拉晶体管 T613、第四上拉晶体管 T614 和自举电容 C1。

所述第一上拉晶体管 T611, 栅极与所述第一时钟信号输出端连接, 第一极分别与所述输出反馈模块 65 和所述第二上拉晶体管 T612 的第二极连接, 第二极与所述起始信号输入端连接。

所述第二上拉晶体管 T612, 栅极与所述第一时钟信号输出端连接, 第一极与所述第一节点 Q1 连接。

所述第三上拉晶体管 T613, 栅极与所述第二节点 Q2 连接, 第一极分别与所述输出反馈模块 65 和所述第四上拉晶体管 T614 的第二极连接, 第二极与所述第一节点 Q1 连接。

所述第四上拉晶体管 T614, 栅极与所述第二节点 Q2 连接, 第一极与所述第一低电平输出端连接。

所述自举电容 C1 连接于所述第一节点 Q1 和所述进位信号输出端 OUT_C (n) 之间。

可选的, 如图 6A 所示, 所述第二控制模块 62 包括第一下拉晶体管 T621、第二下拉晶体管 T622 和保持电容 C2。

所述第一下拉晶体管 T621, 栅极与所述第一时钟信号输出端连接, 第一极与所述第二节点 Q2 连接, 第二极与所述第一时钟信号输出端连接。

所述第二下拉晶体管 T622, 栅极与所述第一节点 Q1 连接, 第一极与所

述第一低电平输出端连接，第二极与所述第一下拉晶体管 T21 的第一极连接。

所述保持电容 C2 可以连接于所述第二节点 Q2 和所述第二低电平输出端之间。

可选的，所述输出反馈模块 65 包括反馈晶体管 T65。

所述反馈晶体管 T65，栅极与所述进位信号输出端 OUT_C (n) 连接，第一极与所述移位信号输出端 OUT (n) 连接，第二极分别与所述第一上拉晶体管 T611 的第一极和所述第三上拉晶体管 T613 的第一极连接。

在图 6A 中，FD 点是连接于与所述反馈晶体管 T65 的第二极和所述第一上拉晶体管 T611 的第一极之间的节点。

可选的，如图 6A 所示，所述复位模块 66 包括复位晶体管 T66；

所述复位晶体管 T66，栅极与所述复位信号输入端 RST 连接，第一极与所述第二低电平输出端连接，第二极与所述移位信号输出端 OUT (n) 连接。

在一个示例中，本发明实施例采用的晶体管均为耗尽型薄膜晶体管。进一步，本发明实施例所述的移位寄存器单元采用同一类型的耗尽型薄膜晶体管。例如，本发明实施例所述的移位寄存器单元采用的晶体管均为 N 型耗尽型薄膜晶体管或 P 型耗尽型薄膜晶体管。

如图 6B 所示，本发明实施例所述的移位寄存器单元的工作过程分为如下三个阶段。

第一个阶段为预充电阶段 S1，CLK 为高电平 VGH，CLKB 为第一低电平 LVGL，由起始信号输入端 STV 输入高电平 VGH，复位信号输入端 RST 输入第一低电平 LVGL。

相应的，晶体管 T611、T612、T621 开启，Q1 点（与进位输出晶体管的栅极和移位输出晶体管的栅极连接的节点）电压逐渐升高（不到高电平 VGH），通过 Q1 点对 C1 进行充电，晶体管 T622 开启，Q2 点电压逐渐下降（不到 LVGL）。此时，晶体管 T632、T614、T642 导通，晶体管 T613 在预充电阶段 S1 刚开始瞬间导通。随即 FD 点电压和 Q1 点电压相同。之后晶体管 T613 截止。随着 Q1 点电位的升高，晶体管 T631 和 T641 开启，晶体管 T66 和 T65 截止。

也就是说，在预充电阶段 S1，起始信号 STV 通过导通的晶体管 T611 和

T612 向 C1 充电,使得 Q1 点电压逐渐升高(但是 Q1 点电压依旧低于 VGH),Q2 电压逐渐降低(但是 Q2 点电压依旧高于 LVGL)。从而晶体管 T631、T632、T641 和 T642 都导通,由此 OUT (n) 输出 VGL, OUT_C (n) 输出 LVGL。

第二个阶段为求值阶段 S2,

CLK 为第一低电平 LVGL,CLKB 为高电平 VGH,由起始信号输入端 STV 输入第一低电平 LVGL,复位信号输入端输入第一低电平 LVGL。

晶体管 T631、T641 开启,OUT (n) 输出高电平 VGH,OUT_C (n) 输出高电平 VGH。晶体管 T611、T612 截止。

晶体管 T622 开启,晶体管 T621 截止。

Q2 点电位继续下降至 LVGL。

晶体管 T613 和晶体管 T614 也截止。

晶体管 T632 截止,晶体管 T642 截止。

晶体管 T65 截止,FD 点的电位逐渐升高(不到 VGH)。因此 Q1 点处于浮空状态(即与 Q1 点相连的晶体管 T612 和 T613 都被关断,没有信号过来),Q1 点电压被所述自举电容 C1 自举到一个更高的电平,Q1 点电压继续升高,从而保证 OUT(n)的输出电压没有阈值损失。

第三阶段为复位阶段 S3,

复位信号输入端 RST 输入高电平 VGH,CLKB 为低电平 LVGL,CLK 为高电平 VGH,起始信号输入端 STV 输入第一低电平 LVGL。

此时,晶体管 T611 和 T612 开启,并且由于 CLK 的电位为高电平,晶体管 T621 导通,从而 Q2 点电位为高电平,晶体管 T613 和 T614 开启,Q1 点电位被拉低至 LVGL。

晶体管 T621 导通,Q1 点电压变为低电平,从而晶体管 T631 和 T641 截止。

在 Q1 点电压逐渐减小的过程中,晶体管 T622 导通,随着 Q1 点电压降为低电平,晶体管 T622 截止。由于晶体管 T622 为耗尽型 TFT,所以流过晶体管 T622 的电流很小,并且由于 C2 的电压保持作用,Q2 点的电位可以一直维持在高电平。

由于 Q1 点的电位抑制维持在高电平,晶体管 T32 和 T42 充分开启,并

且此时 RST 输出高电平，晶体管 T66 充分开启，OUT_C (n) 输出 LVGL，OUT (n) 输出 VGL，晶体管 T65 截止。

根据本发明的该实施例所述的移位寄存器单元将输出分为两级，即进位输出模块和移位输出模块。此外，进位输出模块、移位输出模块分别采用第一低电平 LVGL、第二低电平 VGL 驱动。所述第一低电平 LVGL 和所述第二低电平 VGL 不同，从而避免了晶体管 T41、T42 耗尽导通产生的漏电流对输出的影响。同时，本发明实施例通过反馈晶体管 T65 控制内部节点，避免 Q1 点在求值阶段通过内部 TFT 耗尽导通漏电，影响输出。此外，反馈晶体管 T65 的栅源控制电压分别由不同低电平电压控制，避免内部节点电位变化对输出的逆影响。由于晶体管 T31、T32 只驱动进位输出，因此尺寸无需很大。

本发明实施例所述的移位寄存器单元的驱动方法，应用于上述的移位寄存器单元，包括以下步骤：

在预充电阶段，第一控制模块将起始信号传输至第一节点，第二控制模块在第一时钟信号的控制下将第二节点的电位拉至与所述第一节点的电位反相的电位；

在求值阶段，第二控制模块在第一时钟信号的控制下将第二节点的电位拉至与所述第一节点的电位反相的电位，进位输出模块根据所述第一节点的电位和所述第二节点的电位输出进位信号；移位输出模块根据所述第一节点的电位和所述第二节点的电位输出移位信号。

在实施时，本发明实施例所述的移位寄存器单元的驱动方法还包括：

在预充电阶段，输出反馈模块根据所述进位信号和所述移位信号，通过控制所述第一控制模块而维持所述第一节点的电位。

本发明实施例还提供了一种移位寄存器，其中，包括上述的移位寄存器单元；

除了第一级移位寄存器单元之外，每一级移位寄存器单元的起始信号输入端和上一级移位寄存器单元的进位信号输出端连接。

如图 7 所示，本发明实施例所述的移位寄存器的第一实施例由 N 级移位寄存器单元连接构成，以作为有源矩阵的行扫描器，N 通常为有源矩阵的行数，N 为正整数。

S1、S2...、Sn、...、SN 分别标示的是第一级移位寄存器单元、第二级移位寄存器单元...、第 n 级移位寄存器单元...、第 N 级移位寄存器单元。

每个移位寄存器单元分别与第一时钟信号输出端、第二时钟信号输出端、第一低电平输出端和第二低电平输出端连接。

第一时钟信号输出端输出的时钟信号和第二时钟信号输出端输出的时钟信号相位相反，占空比分别例如为 50%，但不限于此。

其中，第一级移位寄存器的起始信号输入端 STV 接入初始脉冲信号 Start，该初始脉冲信号 IN 为高电平有效。

除了第一级移位寄存器单元之外，每一级移位寄存器单元的起始信号输入端和上一级移位寄存器单元的进位信号输出端连接。每一级移位寄存器有两个输出端，即 OUT_C (n) 为进位信号输出端，其与下一级移位寄存器单元的起始信号输入端 STV 连接；OUT (n) 为驱动信号输出端，其与有源矩阵的行扫描线 Gn 连接。其中，n 为正整数，且 n 小于或等于 N。

相邻两级移位寄存器单元的时钟控制信号互为反相。例如，如果第一级移位寄存器单元的第一时钟输入端连接第一时钟信号 CLK，第一级移位寄存器单元的第二时钟信号输入端连接第二时钟信号 CLKB，则与该第一级移位寄存器单元相邻的第二级移位寄存器单元的第一时钟信号输入端连接第二时钟信号 CLKB，该第二级移位寄存器单元的第二时钟信号输入端连接第一时钟信号 CLK。

本发明实施例还提供了一种显示装置，包括上述的移位寄存器。所述显示装置可以包括液晶显示装置，例如液晶面板、液晶电视、手机、液晶显示器。除了液晶显示装置外，所述显示装置还可以包括有机发光显示器或者其他类型的显示装置，比如电子阅读器等。该移位寄存器可以作为显示装置的扫描电路或者栅极驱动电路等，以提供逐行扫描功能，将扫描信号送至显示区域。

以上所述是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本发明所述原理的前提下，还可以作出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

权 利 要 求 书

1. 一种移位寄存器单元，包括：

第一控制模块，用于将起始信号传输至第一节点；

第二控制模块，用于在第一时钟信号的控制下，将第二节点的电位拉至与所述第一节点的电位不同的电位；

进位输出模块，用于根据所述第一节点的电位和所述第二节点的电位来输出进位信号；以及

移位输出模块，用于根据所述第一节点的电位和所述第二节点的电位来输出移位信号。

2. 如权利要求 1 所述的移位寄存器单元，还包括：

输出反馈模块，用于根据所述进位信号和所述移位信号，通过控制所述第一控制模块而维持所述第一节点的电位。

3. 如权利要求 1 或 2 所述的移位寄存器单元，还包括：

复位模块，用于控制所述移位信号复位。

4. 如权利要求 1 至 3 中任一权利要求所述的移位寄存器单元，其中，

所述进位输出模块包括第一进位输出晶体管和第二进位输出晶体管，

所述第一进位输出晶体管的栅极与所述第一节点连接，所述第一进位输出晶体管的第一极与所述进位信号输出端连接，并且所述第一进位输出晶体管的第二极与第二时钟信号输出端连接；

所述第二进位输出晶体管的栅极与所述第二节点连接，所述第二进位输出晶体管的第一极与第一低电平输出端连接，并且所述第二进位输出晶体管的第二极与所述进位信号输出端连接；

所述第一进位输出晶体管的栅极和第一极之间连接有自举电容。

5. 如权利要求 1 至 4 中任一权利要求所述的移位寄存器单元，其中，

所述移位输出模块包括第一移位输出晶体管和第二移位输出晶体管，

所述第一移位输出晶体管的栅极与所述第一节点连接，所述第一移位输出晶体管的第一极与所述移位信号输出端连接，并且所述第一移位输出晶体管的第二极与所述第二时钟信号输出端连接；

所述第二移位输出晶体管的栅极与所述第二节点连接, 所述第二移位输出晶体管的第一极与第二低电平输出端连接, 并且所述第二移位输出晶体管的第二极与所述移位信号输出端连接。

6. 如权利要求 5 所述的移位寄存器单元, 其中,

所述第一进位输出晶体管、所述第二进位输出晶体管、所述第一移位输出晶体管和/或所述第二移位输出晶体管为耗尽型薄膜晶体管;

所述第一进位输出晶体管的阈值电压、所述第二进位输出晶体管的阈值电压、所述第一移位输出晶体管的阈值电压和所述第二移位输出晶体管的阈值电压相同, 都为耗尽阈值电压。

7. 如权利要求 6 所述的移位寄存器单元, 其中,

所述第一低电平小于所述第二低电平, 并且所述第一低电平与所述第二低电平的差值的绝对值大于所述耗尽阈值电压的绝对值。

8. 如权利要求 2 至 7 中任一权利要求所述的移位寄存器单元, 其中,

所述第一控制模块包括第一控制晶体管、第二控制晶体管、第三控制晶体管和第四控制晶体管;

所述第一控制晶体管的栅极与所述第一时钟信号输出端连接, 所述第一控制晶体管的第一极分别与所述输出反馈模块和所述第二控制晶体管的第二极连接, 并且所述第一控制晶体管的第二极与所述起始信号输入端连接;

所述第二控制晶体管的栅极与所述第一时钟信号输出端连接, 并且所述第二控制晶体管的第一极与所述第一节点连接;

所述第三控制晶体管的栅极与所述第二节点连接, 所述第三控制晶体管的第一极分别与所述第四控制晶体管的第二极和所述输出反馈模块连接, 并且所述第三控制晶体管的第二极与所述第一节点连接;

所述第四控制晶体管的栅极与所述第二节点连接, 并且所述第四控制晶体管的第一极与第一低电平输出端连接。

9. 如权利要求 1 至 8 中任一权利要求所述的移位寄存器单元, 其中,

所述第二控制模块包括第五控制晶体管、第六控制晶体管和保持电容;

所述第五控制晶体管的栅极与所述第一时钟信号输出端连接, 所述第五控制晶体管的第一极与所述第二节点连接, 并且所述第五控制晶体管的第二

极与所述第一时钟信号输出端连接；

所述第六控制晶体管的栅极与所述第一节点连接，所述第六控制晶体管的第二极与第一低电平输出端连接，并且所述第六控制晶体管的第二极与所述第五控制晶体管的第二极连接；

所述保持电容连接于所述第二节点和第二低电平输出端之间。

10. 如权利要求8所述的移位寄存器单元，其中，所述输出反馈模块包括反馈晶体管；

所述反馈晶体管的栅极与所述进位信号输出端连接，所述反馈晶体管的第二极与所述移位信号输出端连接，并且所述反馈晶体管的第二极分别与所述第一控制晶体管的第二极和所述第三控制晶体管的第二极连接。

11. 如权利要求3至10中任一权利要求所述的移位寄存器单元，其中，所述复位模块包括复位晶体管；

所述复位晶体管的栅极与所述复位信号输入端连接，所述复位晶体管的第二极与所述第二低电平输出端连接，并且所述复位晶体管的第二极与所述移位信号输出端连接。

12. 一种移位寄存器单元的驱动方法，其中，所述移位寄存器单元包括：第一控制模块，用于将起始信号传输至第一节点；第二控制模块，用于在第一时钟信号的控制下，将第二节点的电位拉至与所述第一节点的电位不同的电位；进位输出模块，用于根据所述第一节点的电位和所述第二节点的电位来输出进位信号；以及移位输出模块，用于根据所述第一节点的电位和所述第二节点的电位来输出移位信号，所述方法包括以下步骤：

在预充电阶段，第一控制模块将起始信号传输至第一节点，第二控制模块在第一时钟信号的控制下将第二节点的电位拉至与所述第一节点的电位反相的电位；

在求值阶段，第二控制模块在第一时钟信号的控制下将第二节点的电位拉至与所述第一节点的电位反相的电位，进位输出模块根据所述第一节点的电位和所述第二节点的电位输出进位信号；移位输出模块根据所述第一节点的电位和所述第二节点的电位输出移位信号。

13. 如权利要求12所述的方法，其中，所述移位寄存器单元还包括输出

反馈模块，

所述方法还包括：

在预充电阶段，输出反馈模块根据所述进位信号和所述移位信号，通过控制所述第一控制模块而维持所述第一节点的电位。

14. 如权利要求 12 或 13 所述的方法，其中，所述移位寄存器单元还包括复位模块，

所述方法还包括复位阶段，在所述复位阶段，所述复位模块控制所述移位信号复位。

15. 一种移位寄存器，其包括多级如权利要求 1 至 11 中任一权利要求所述的移位寄存器单元；

除了第一级移位寄存器单元之外，每一级移位寄存器单元的起始输入端和上一级移位寄存器单元的进位信号输出端连接。

16. 一种显示装置，其包括如权利要求 15 所述的移位寄存器。

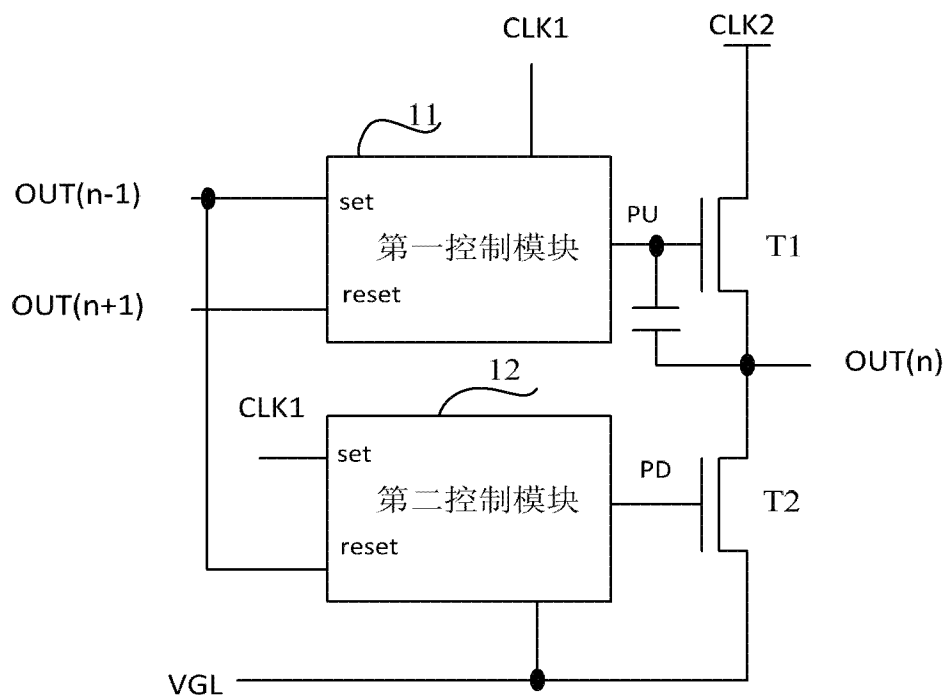


图 1A

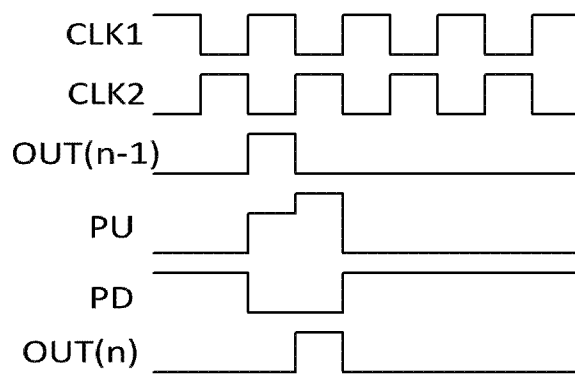


图 1B

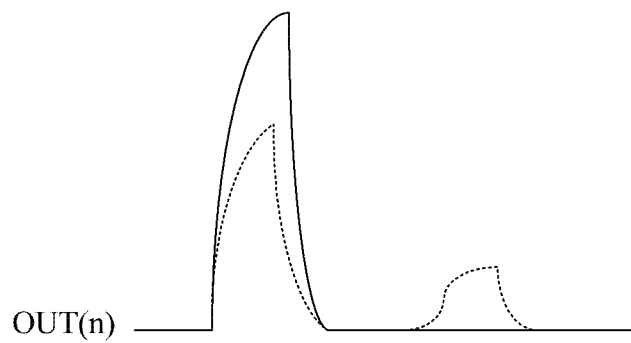


图 1C

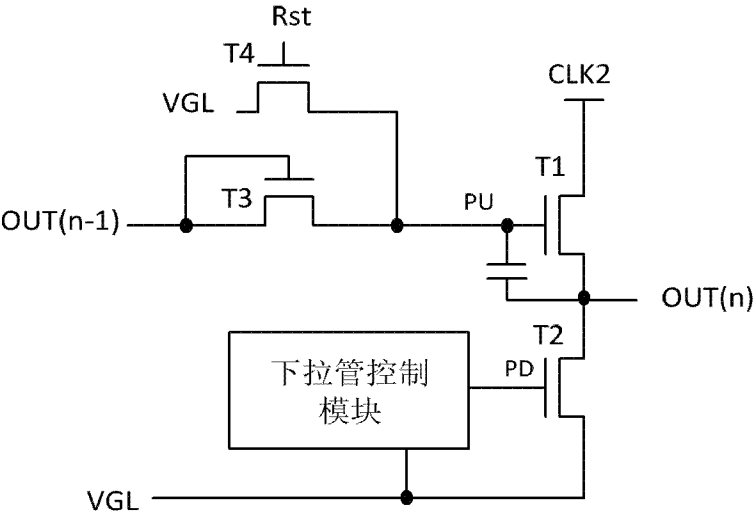


图2A

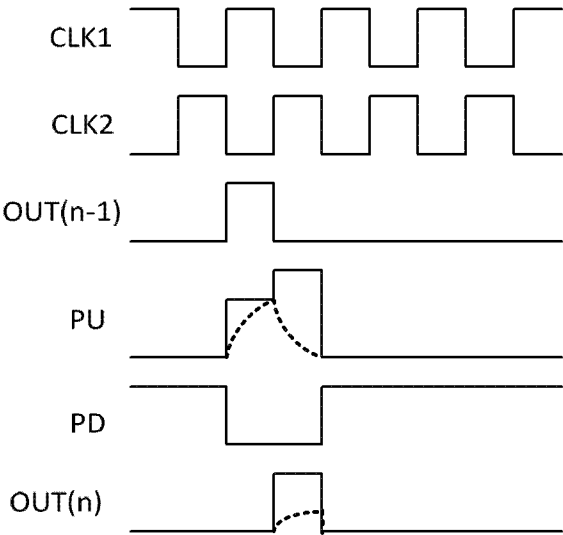


图2B

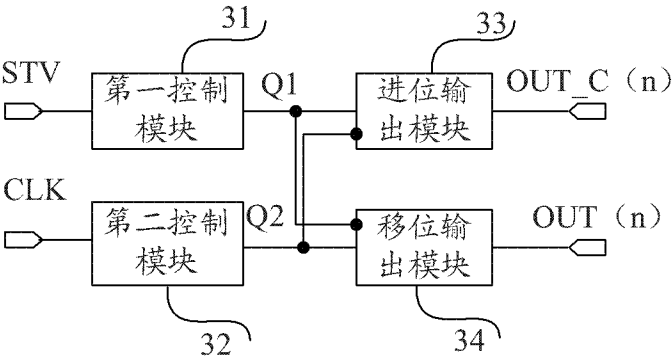


图 3

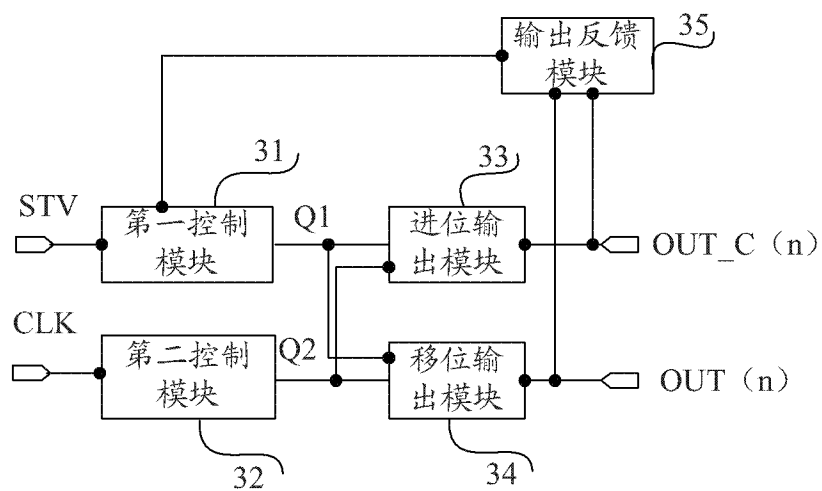


图 4A

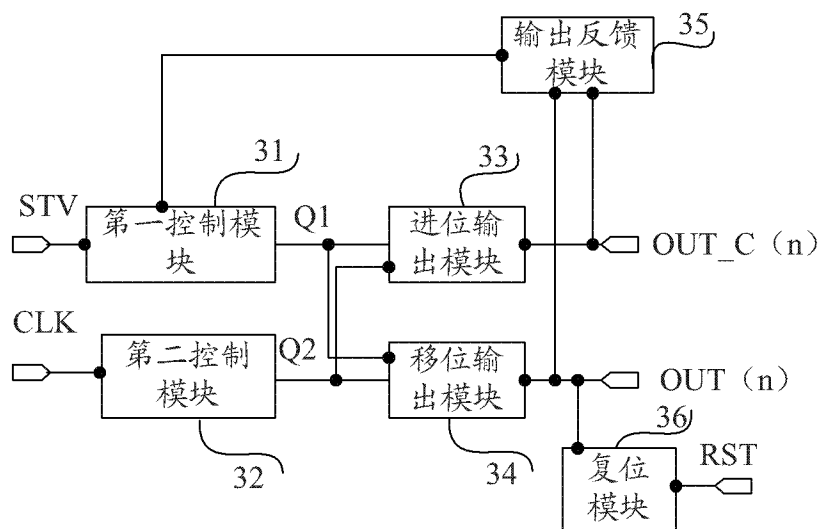


图 4B

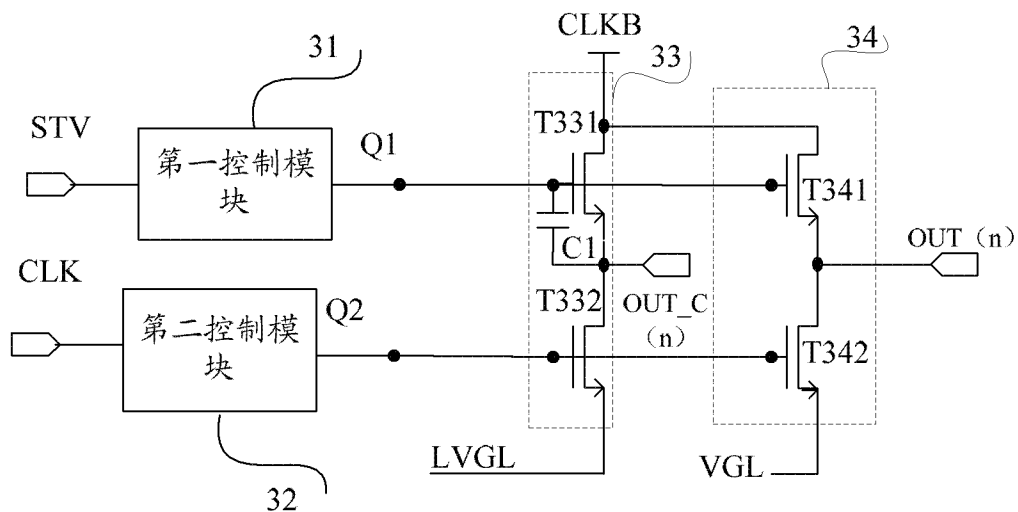


图 5A

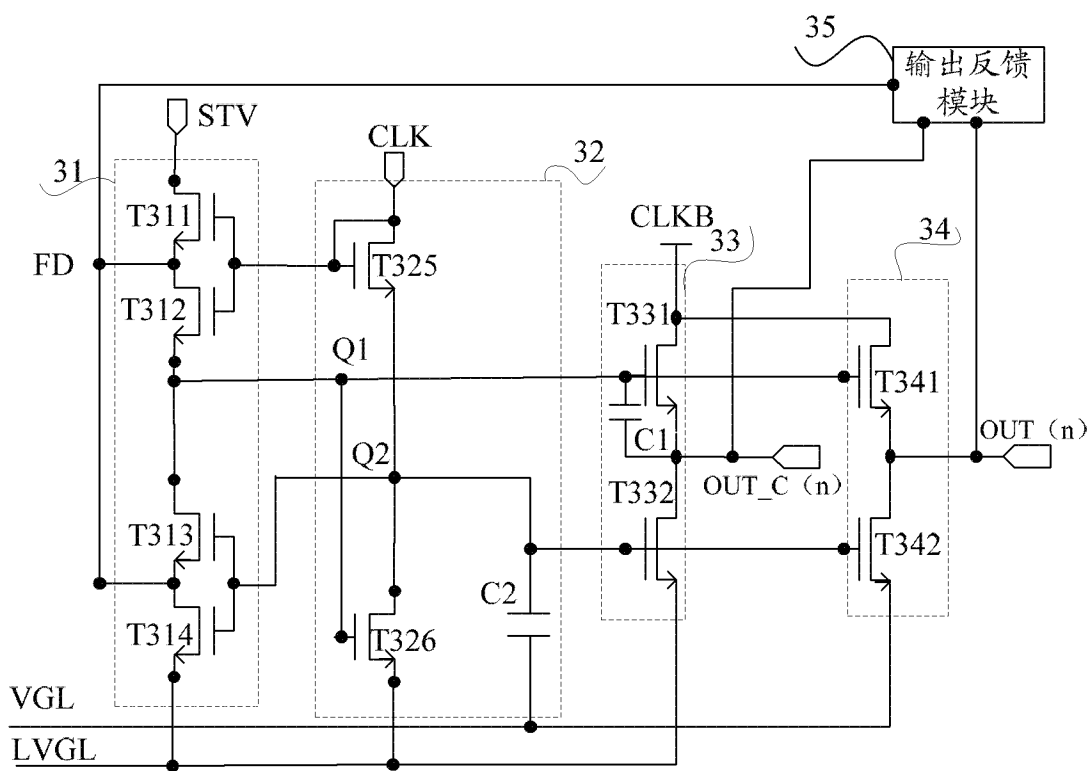


图 5B

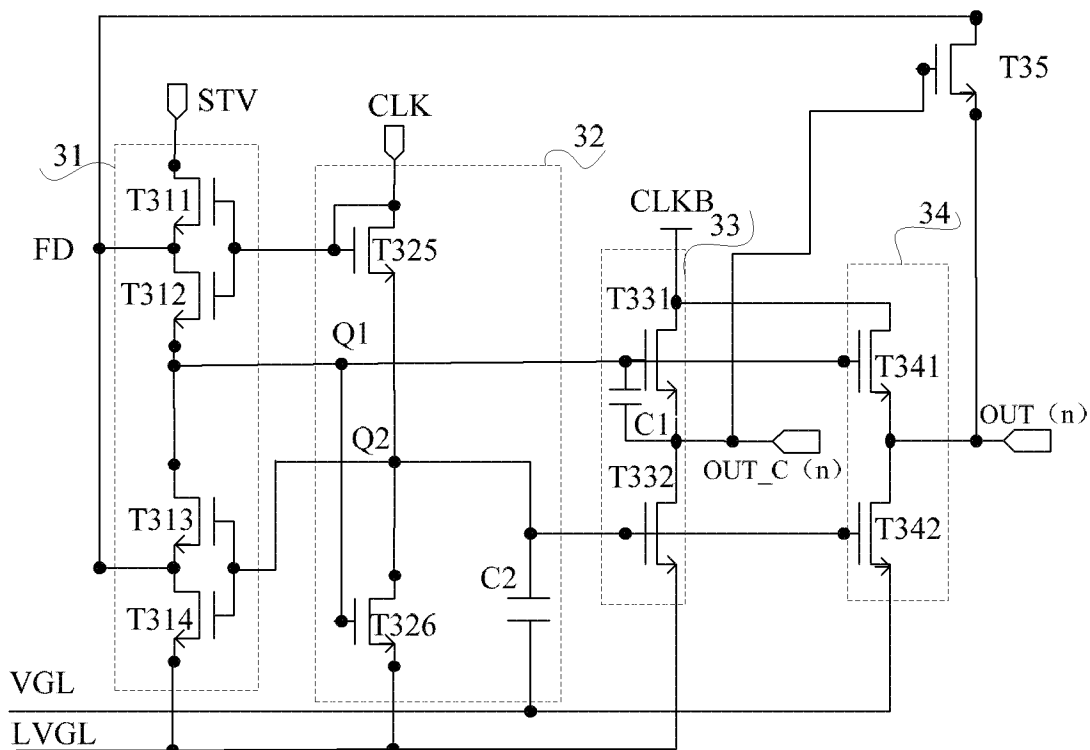


图 5C

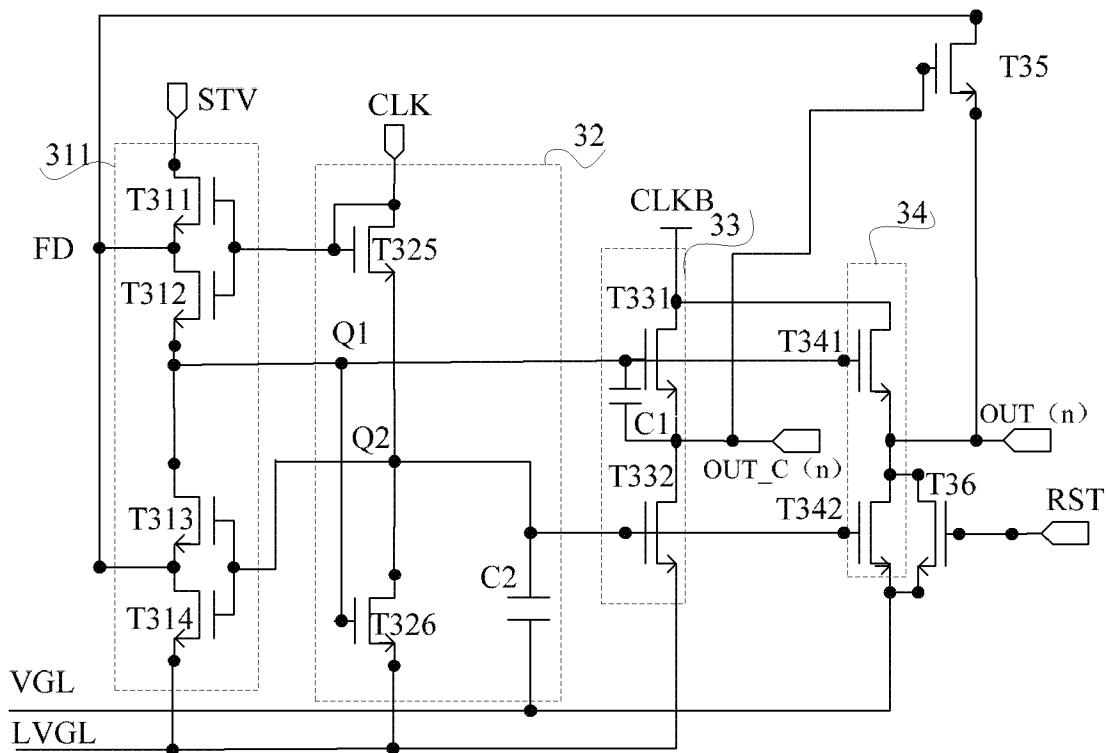


图 5D

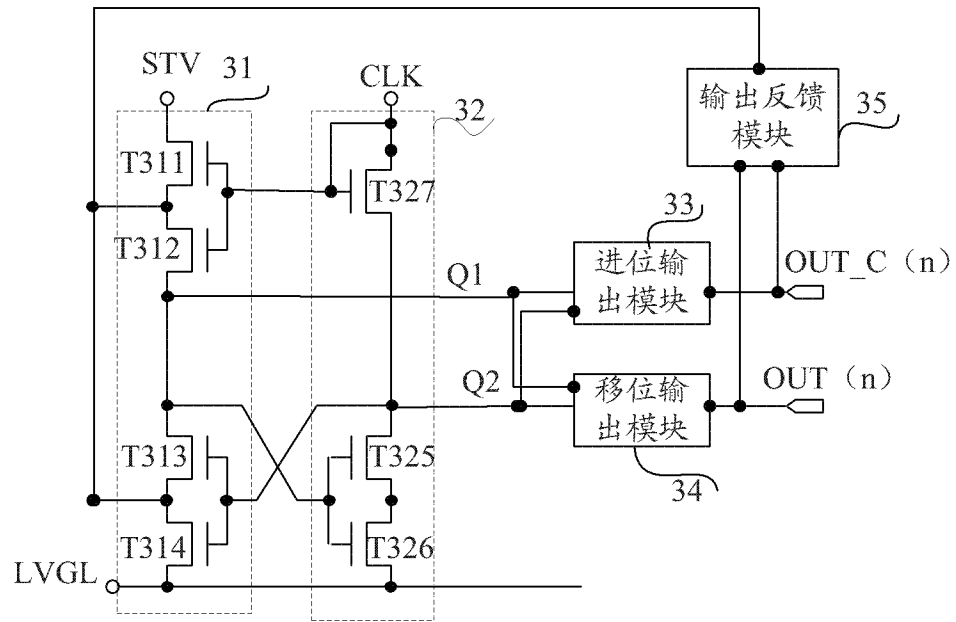


图 5E

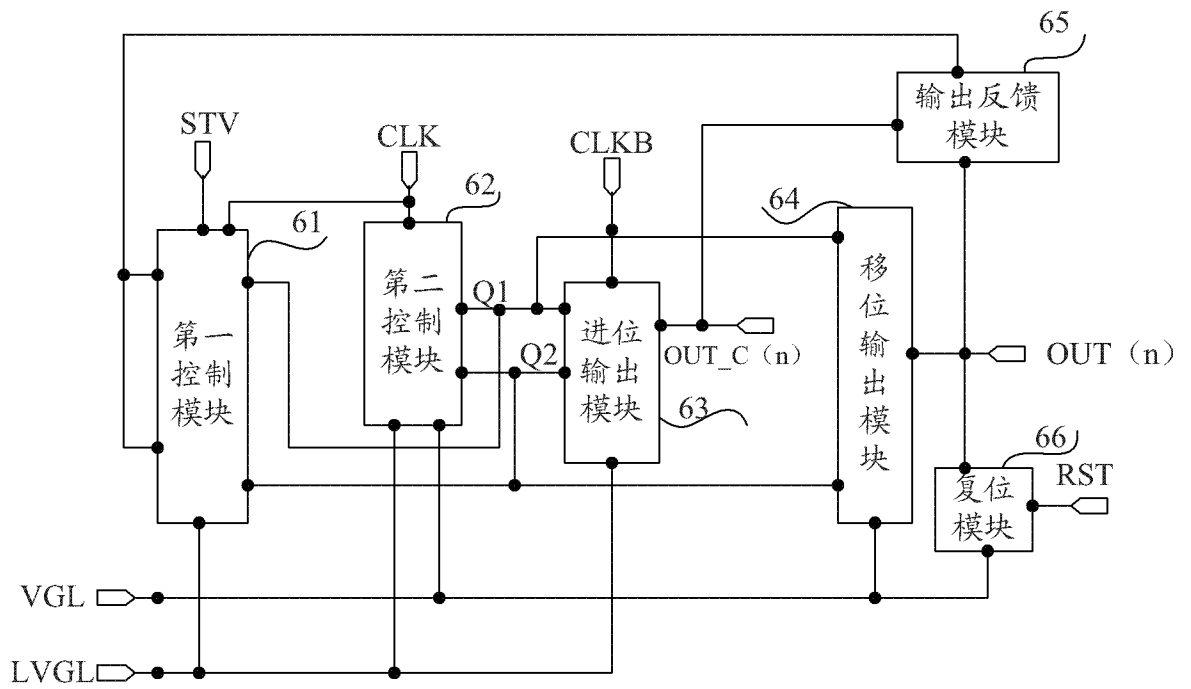


图 6

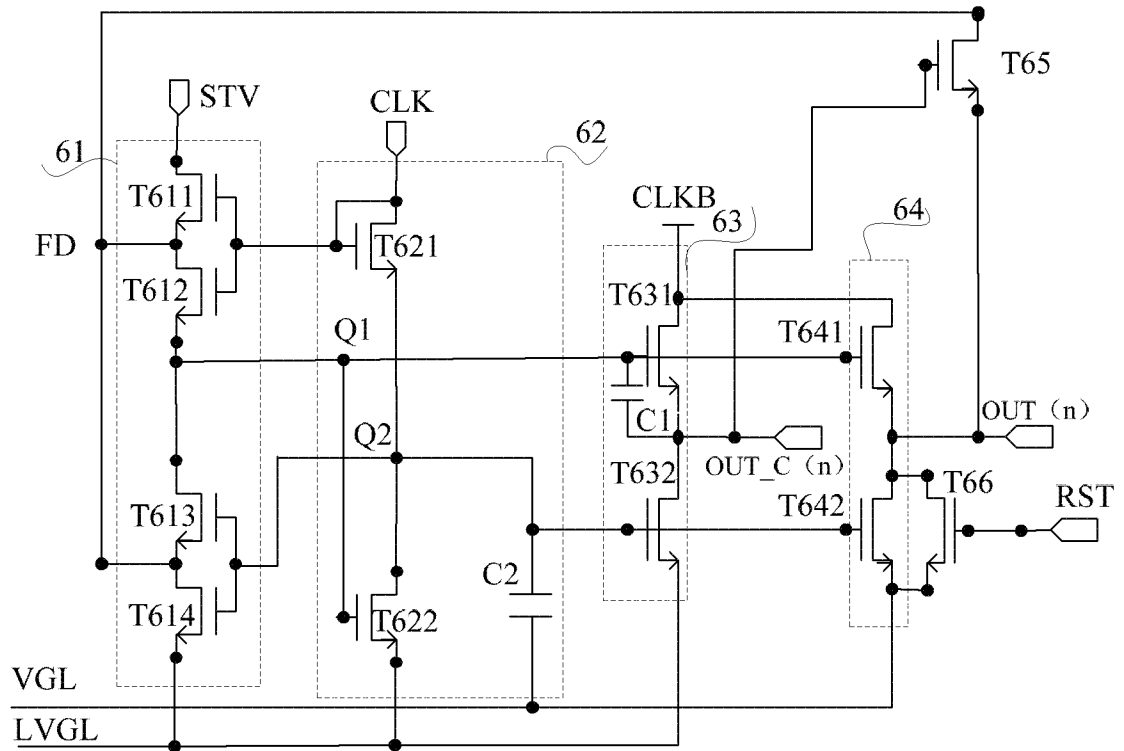


图 6A

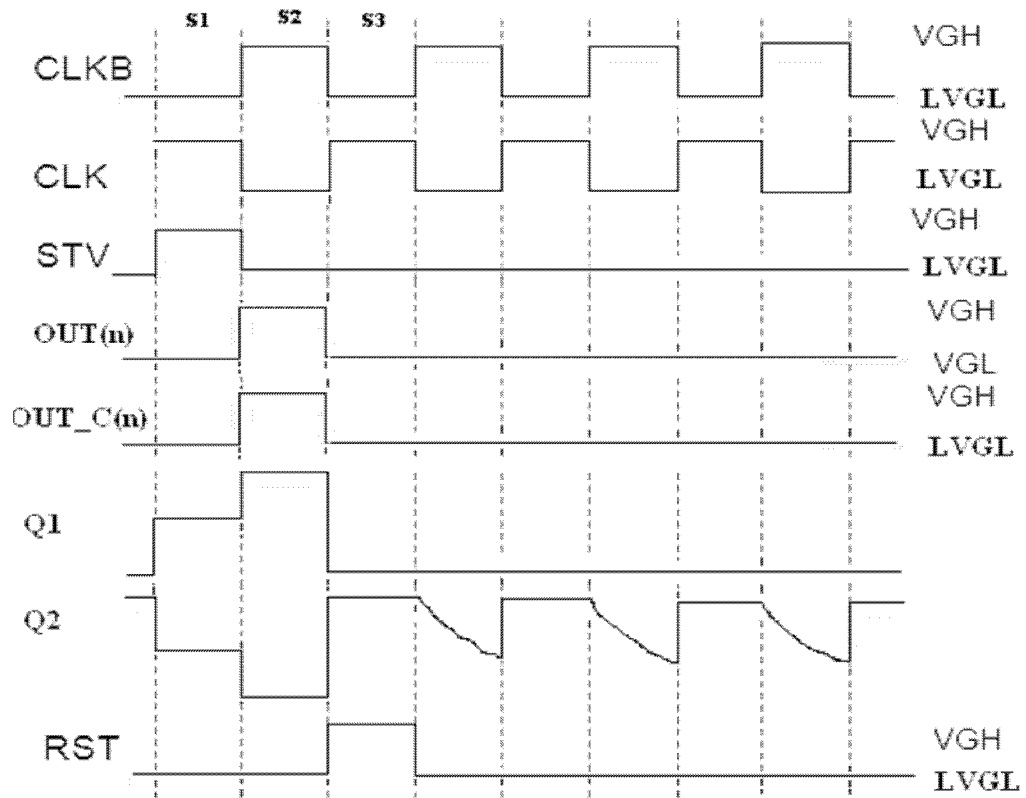


图 6B

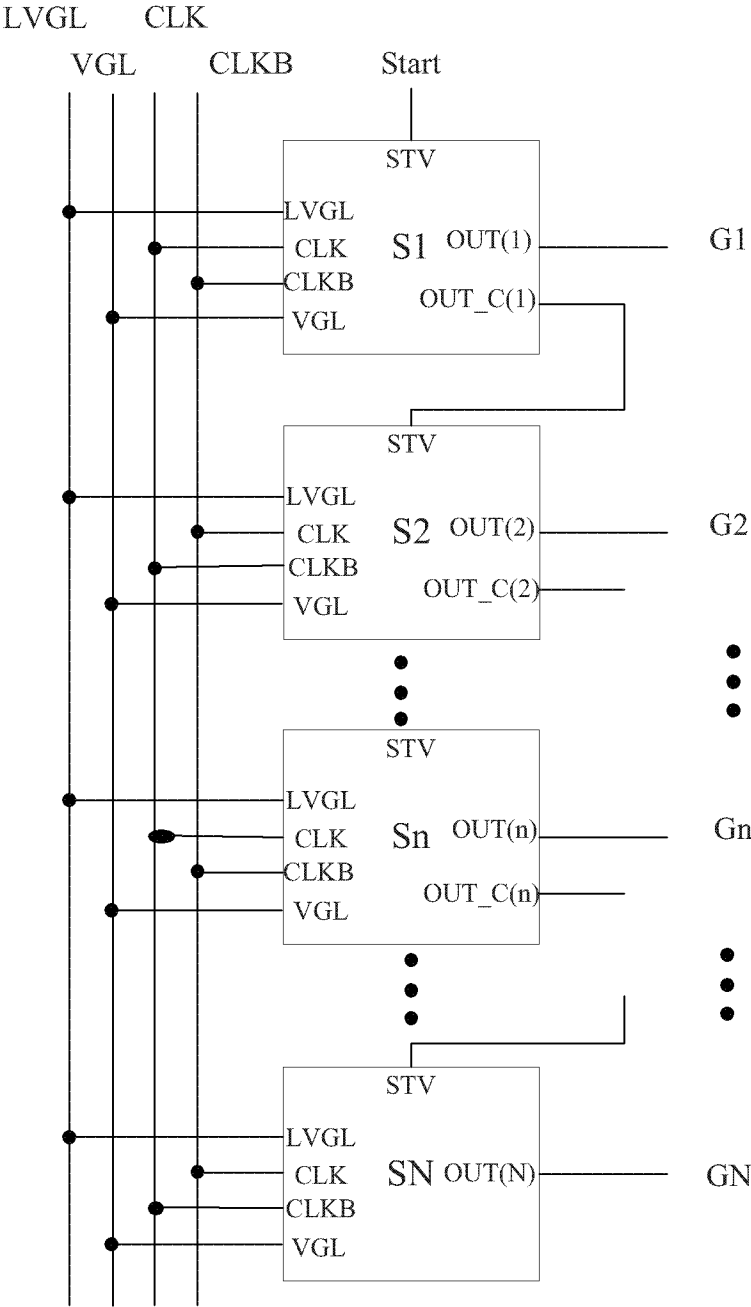


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/077980

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G09G 3/32 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-; G11C 19/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN, CNKI, IEEE: shift register, alternating current, carry, TFT, shift register, ac, clock, output, node

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 103413514 A (BOE TECHNOLOGY GROUP CO., LTD.), 27 November 2013 (27.11.2013), the whole document	1-16
PX	CN 103700357 A (BOE TECHNOLOGY GROUP CO., LTD.), 02 April 2014 (02.04.2014), the whole document	1-16
X	CN 102783025 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.), 14 November 2012 (14.11.2012), description, paragraphs [0046]-[0069], and figures 1(c) and 2	1, 5
X	CN 102779478 A (BOE TECHNOLOGY GROUP CO., LTD.), 14 November 2012 (14.11.2012), description, paragraphs [0098]-[0204], and figures 12-13	1-2, 4-8, 10, 12-16
Y	CN 102779478 A (BOE TECHNOLOGY GROUP CO., LTD.), 14 November 2012 (14.11.2012), description, paragraphs [0098]-[0204], and figures 12-13	3, 11
Y	CN 102708925 A (BOE TECHNOLOGY GROUP CO., LTD.), 03 October 2012 (03.10.2012), description, paragraphs [0025]-[0037], and figure 2	3, 11

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 06 August 2014 (06.08.2014)	Date of mailing of the international search report 26 August 2014 (26.08.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer HAN, Bing Telephone No.: (86-10) 62414062

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/077980

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102629444 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 08 August 2012 (08.08.2012), the whole document	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/077980

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103413514 A	27 November 2013	CN 103700357 A	02 April 2014
CN 103700357 A	02 April 2014	CN 103413514 A	27 November 2013
CN 102783025 A	14 November 2012	US 8576978 B2	05 November 2013
		JP 2013137855 A	11 July 2013
		TW 201203265 A	16 January 2012
		JP 5190549 B2	24 April 2013
		JP 2012227959 A	15 November 2012
		JP 5216945 B1	19 June 2013
		JP 2011205624 A	13 October 2011
		US 2013050162 A1	28 February 2013
		DE 112011100749 T5	03 January 2013
		KR 20120139755 A	27 December 2012
		WO 2011108343 A1	09 September 2011
		US 8320516 B2	27 November 2012
CN 102779478 A	14 November 2012	WO 2013152604 A1	17 October 2013
		CN 202677790 U	16 January 2013
		US 2014093028 A1	03 April 2014
		KR 20130139328 A	20 December 2013
CN 102708925 A	03 October 2012	None	
CN 102629444 A	08 August 2012	KR 20130043637 A	30 April 2013
		WO 2013026387 A1	28 February 2013
		EP 2750122 A1	02 July 2014
		US 2013088265 A1	11 April 2013
		CN 102629444 B	25 June 2014

A. 主题的分类		
G09G 3/36 (2006.01) i; G09G 3/32(2006.01)i; G11C 19/28(2006.01) i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
G09G 3/-; G11C 19/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNABS, VEN, CNKI, IEEE: 移位寄存器, 交流, 时钟, 输出, 进位, TFT, 节点; shift resister, ac, clock, output, node		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 103413514 A (京东方科技集团股份有限公司) 2013年 11月 27日 (2013 - 11 - 27) 全文	1-16
PX	CN 103700357 A (京东方科技集团股份有限公司) 2014年 4月 02日 (2014 - 04 - 02) 全文	1-16
X	CN 102783025 A (株式会社半导体能源研究所) 2012年 11月 14日 (2012 - 11 - 14) 说明书第[0046]-[0069]段, 附图1(c)、2	1, 5
X	CN 102779478 A (京东方科技集团股份有限公司) 2012年 11月 14日 (2012 - 11 - 14) 说明书第[0098]-[0204]段, 附图12-13	1-2, 4-8, 10, 12-16
Y	CN 102779478 A (京东方科技集团股份有限公司) 2012年 11月 14日 (2012 - 11 - 14) 说明书第[0098]-[0204]段, 附图12-13	3, 11
Y	CN 102708925 A (京东方科技集团股份有限公司) 2012年 10月 03日 (2012 - 10 - 03) 说明书第[0025]-[0037]段, 附图2	3, 11
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2014年 8月 06日		2014年 8月 26日
ISA/CN的名称和邮寄地址		受权官员
中华人民共和国国家知识产权局 (ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国		韩冰
传真号 (86-10)62019451		电话号码 (86-10)62414062

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 102629444 A (北京京东方光电科技有限公司) 2012年 8月 08日 (2012 - 08 - 08) 全文	1-16

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/077980

检索报告引用的专利文件				公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
CN	103413514	A	2013年 11月 27日	CN	103700357	A	2014年 4月 02日		
CN	103700357	A	2014年 4月 02日	CN	103413514	A	2013年 11月 27日		
CN	102783025	A	2012年 11月 14日	US	8576978	B2	2013年 11月 05日		
				JP	2013137855	A	2013年 7月 11日		
				TW	201203265	A	2012年 1月 16日		
				JP	5190549	B2	2013年 4月 24日		
				JP	2012227959	A	2012年 11月 15日		
				JP	5216945	B1	2013年 6月 19日		
				JP	2011205624	A	2011年 10月 13日		
				US	2013050162	A1	2013年 2月 28日		
				DE	112011100749	T5	2013年 1月 03日		
				KR	20120139755	A	2012年 12月 27日		
				US	2011216874	A1	2011年 9月 08日		
				WO	2011108343	A1	2011年 9月 09日		
				US	8320516	B2	2012年 11月 27日		
CN	102779478	A	2012年 11月 14日	WO	2013152604	A1	2013年 10月 17日		
				CN	202677790	U	2013年 1月 16日		
				US	2014093028	A1	2014年 4月 03日		
				KR	20130139328	A	2013年 12月 20日		
CN	102708925	A	2012年 10月 03日	无					
CN	102629444	A	2012年 8月 08日	KR	20130043637	A	2013年 4月 30日		
				WO	2013026387	A1	2013年 2月 28日		
				EP	2750122	A1	2014年 7月 02日		
				US	2013088265	A1	2013年 4月 11日		
				CN	102629444	B	2014年 6月 25日		