(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年4 月6 日 (06.04.2006)

PCT

(10) 国際公開番号
WO 2006/035689 A1

(51) 国際特許分類:
H01L 23/12 (2006.01)

(21) 国際出願番号: PCT/JP2005/017587

(22) 国際出願日: 2005 年9 月26 日 (26.09.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-282016 2004 年9 月28 日 (28.09.2004) JP
特願 2004-314395
2004 年10 月28 日 (28.10.2004) JP
特願2005-139955 2005 年5 月12 日 (12.05.2005) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 宮田 修 (MIYATA, Osamu) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP). 門口 卓矢 (KADOGUCHI, Takuya) [JP/JP]; 〒5670012 大阪府茨木市東太田１－３－１０４８ Osaka (JP). 葛西 正樹 (KASAI, Masaki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 稲岡 耕作, 外 (INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町２丁目６番１２号 サンマリオンＮＢＦタワー２１階 あい特許事務所内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

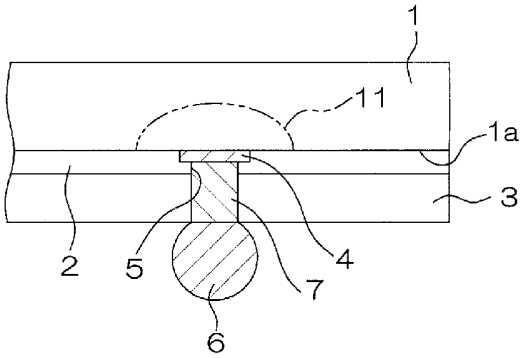
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) **Abstract:** A semiconductor device is provided with a semiconductor chip having a functional plane wherein a functional element is provided; an electrode pad arranged directly above the functional element, on the functional plane of the semiconductor chip; a protecting resin layer stacked on the functional plane of the semiconductor chip; an external connecting terminal provided at a position facing the electrode pad, on the protecting resin layer; and a post which is provided by penetrating the protecting resin layer in a direction where the electrode pad and the external connecting terminal face, for connecting the electrode pad with the external connecting terminal.

(57) 要約: この発明の半導体装置は、機能素子が作り込まれた機能面を有する半導体チップと、この半導体チップの機能面上において、機能素子の直上の位置に設けられた電極パッドと、半導体チップの機能面上に積層された保護樹脂層と、この保護樹脂層上において、電極パッドと対向する位置に設けられた外部接続端子と、保護樹脂層を電極パッドと外部接続端子との対向方向に貫通して設けられ、電極パッドと外部接続端子とを接続するためのポストとを備えている。

WO 2006/035689 A1

明 細 書

半導体装置

技術分野

[0001] この発明は、半導体装置に関し、とくに、WL－CSP(ウエハレベルチップスケールパッケージ:Wafer Level-Chip Scale Package)が適用された半導体装置に関する。

背景技術

[0002] 最近、半導体装置の高機能化・多機能化に伴って、WL－CSP(ウエハレベルチップスケールパッケージ:Wafer Level-Chip Scale Package)の実用化が進んでいる。WL－CSPでは、ウエハ状態でパッケージング工程が完了され、ダイシングによって切り出された個々のチップサイズがパッケージサイズとなる。

従来のWL－CSPが適用された半導体装置は、図5に示すように、表面に機能素子101aが作り込まれた半導体チップ101と、この半導体チップ101の表面上に積層された層間絶縁膜102と、この層間絶縁膜102上に配設された内部配線103と、層間絶縁膜102および内部配線103上に積層された表面保護膜104と、この表面保護膜104上に配設された再配線105と、表面保護膜104および再配線105上に積層された封止樹脂層106と、この封止樹脂層106上に配置された外部接続のための半田ボール107とを備えている。

[0003] 層間絶縁膜102には、機能素子101aの直上の位置に接続開口108が形成されており、この接続開口108を介して、内部配線103が機能素子101aに接続されている。内部配線103は、層間絶縁膜102上を、接続開口108から半導体チップ101の周辺部に向けて延びて形成されている。そして、表面保護膜104には、周辺部において、内部配線103の一部を電極パッド109とするためのパッド開口110が形成されており、再配線105は、そのパッド開口110を介して内部配線103(電極パッド109)に接続されている。また、再配線105は、封止樹脂層106を挟んで半田ボール107と対向する位置まで延びて形成され、その先端部が、封止樹脂層106を貫通するポスト111を介して半田ボール107と接続されている。

[0004] しかるに、従来のWL－CSPの半導体装置では、機能素子101aの形成位置から

電極パッド109を経由して半田ボール107との対向位置に至る配線（内部配線103および再配線105）の引き回しが必要であり、その構成および製造工程が複雑であった。

発明の開示

[0005] そこで、この発明の目的は、機能素子と外部接続端子との電気接続のための配線の引き回しを不要とすることができる半導体装置を提供することである。

この発明の半導体装置は、機能素子が作り込まれた機能面を有する半導体チップと、この半導体チップの機能面上において、上記機能素子の直上の位置に設けられた電極パッドと、上記半導体チップの機能面上に積層された保護樹脂層と、この保護樹脂層上において、上記電極パッドと対向する位置に設けられた外部接続端子と、上記保護樹脂層を上記電極パッドと上記外部接続端子との対向方向に貫通して設けられ、上記電極パッドと上記外部接続端子とを接続するためのポストとを含む。

[0006] この構成では、機能素子の直上に電極パッドが設けられ、保護樹脂層上において電極パッドと対向する位置に外部接続端子が配置されている。そして、その電極パッドと外部接続端子とが、保護樹脂層をそれらの対向方向に貫通するポストを介して接続されている。そのため、機能素子と外部接続端子との電気接続のための再配線などの配線の引き回しを不要とすることができる。その結果、半導体装置の構成を簡素化することができるとともに、その製造工程を簡略化することができ、ひいては半導体装置のコストを低減することができる。また、機能素子（電極パッド）と外部接続端子との間の距離が短いので、素子特性（動作速度など）の向上を図ることができる。

[0007] 上記ポストは、上記半導体チップの機能面と直交する方向に見たときのサイズが、当該方向に見たときの上記電極パッドのサイズよりも小さくてもよい。言い換えれば、半導体チップの機能面と直交方向に見たときに、ポストが電極パッドよりも小さいサイズに形成されていてもよい。この場合、ポストの電極パッド側の端面全域を電極パッドに接合させることができる。そのため、ポストと電極パッドとの間に表面保護膜などが介在されることを防止することができる。その結果、この半導体装置が配線基板などに接合されたときに、外部接続端子およびポストに応力が加わっても、その応力によって表面保護膜などが破損されることを防止することができる。

[0008] また、上記ポストは、上記半導体チップの機能面と直交する方向に見たときのサイズが、当該方向に見たときの上記電極パッドのサイズ以上であってもよい。言い換えれば、半導体チップの機能面と直交方向に見たときに、ポストが電極パッドとほぼ同じかそれよりも大きいサイズに形成されていてもよい。この場合、この半導体装置が配線基板などに接合されたときに、外部接続端子に応力が加わっても、その応力をポストで吸収することができるので、電極パッドおよび機能素子が破損されることを防止することができる。

[0009] また、上記ポストは、銀、錫または金からなることが好ましい。銀、錫または金は、銅よりも延性が大きいため、銀、錫または金からなるポストは、銅からなるポストに比べて、応力を受けたときに変形しやすく、その変形によって応力を緩和することができる。よって、ポストが銅からなる場合に比べて、ポストの長さを短くすることができる。ポストが短ければ、ポストを形成するためのめっき時間を短縮することができる。そのうえ、ポストを形成する際に、液状レジストを用いることができるので、ポストをより簡単に形成することができる。また、半導体装置の厚さ(半導体チップの機能面と直交方向の厚さ)を薄くすることができる。

[0010] さらに、ポストが金からなる場合、金は非常に安定な元素であり、ポストと保護樹脂層との接着力(金と樹脂との結合力)は小さいので、半導体チップと保護樹脂層との間に熱膨張率の差によるずれが生じても、このずれによってポストと電極パッドとの間に作用する剪断応力を、ポストの変形によって吸収することができる。そのため、ポストと電極パッドとの電気的接続の破壊を防止することができる。

[0011] また、上記電極パッドは、複数備えられ、格子状に配列されていてもよい。

また、上記半導体装置は、WL－CSPが適用された半導体装置であってもよい。

本発明における上述の、または他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0012] [図1]この発明の一実施形態に係る半導体装置の構成を簡略化して示す平面図である。

[図2]図1に示す半導体装置を切断線A－Aで切断したときの簡略化された断面図で

ある。

[図3]図1に示す半導体装置の半導体チップの機能面における電極パッドの配置例を示す図である。

[図4]この発明の他の実施形態に係る半導体装置の構成を簡略化して示す断面図である。

[図5]従来のWL－CSPの半導体装置の構成を示す簡略化された断面図である。

発明を実施するための最良の形態

[0013] 図1は、この発明の一実施形態に係る半導体装置の構成を示す平面図である。また、図2は、その半導体装置を図1に示す切断線A－Aで切断したときの簡略化された断面図である。

この半導体装置は、WL－CSP(ウエハレベルチップスケールパッケージ:Wafer Level-Chip Scale Package)が適用された半導体装置であって、機能素子11が作り込まれた機能面1aを有する半導体チップ1と、半導体チップ1の機能面1a上に積層された表面保護膜2と、この表面保護膜2上に積層された保護樹脂層3とを備えている。

[0014] 半導体チップ1の機能面1aには、図3に示すように、複数の電極パッド4がほぼ等間隔で格子状に配列されている。各電極パッド4は、アルミニウムを用いて矩形板状に形成されている。また、各電極パッド4は、図2に示すように、半導体チップ1の機能面1aに作り込まれた機能素子11の直上の位置に配置されている。そして、表面保護膜2には、各電極パッド4に対して機能面1aと直交方向に対向する位置に円形の開口5が形成されている。この開口5を介して、電極パッド4の中央部が表面保護膜2から露出している。

[0015] また、保護樹脂層3上には、電極パッド4に対して機能面1aと直交方向に対向する位置に、配線基板などとの接続(外部接続)のための外部接続端子としての金属ボール6が配置されている。この金属ボール6は、半田などの金属材料を用いてボール状に形成されている。

そして、電極パッド4と金属ボール6との間には、銅からなる円柱状のポスト7が、保護樹脂層3を貫通して設けられている。このポスト7は、開口5の直径とほぼ等しい直径を有し、半導体チップ1の機能面1aと直交方向に見たときに、そのサイズが電極パ

ッド4よりも小さく形成されている。そして、ポスト7は、その一端が金属ボール6に接続され、他端が開口5内に挿入されて電極パッド4に接続されている。

[0016] このように、機能素子11の直上に電極パッド4が設けられ、保護樹脂層3上において電極パッド4と対向する位置に金属ボール6が配置されて、その電極パッド4と金属ボール6とが、保護樹脂層3をそれらの対向方向に貫通するポスト7を介して接続されている。そのため、機能素子11と金属ボール6との電気接続のための内部配線や再配線などの配線の引き回しを不要とすることができる。その結果、この半導体装置の構成を簡素化することができるとともに、その製造工程を簡略化することができ、ひいては半導体装置のコストを低減することができる。さらに、機能素子11(電極パッド4)と金属ボール6との間の距離が短いので、素子特性(動作速度など)の向上を図ることができる。

[0017] また、半導体チップ1の機能面1aと直交方向に見たときに、ポスト7が電極パッド4よりも小さいサイズに形成されている。そのため、ポスト7と電極パッド4との間に表面保護膜2が介在されていないので、配線基板などに接合したときに、金属ボール6(ポスト7)に応力が加わっても、その応力によって表面保護膜2が破損されることを防止することができる。

[0018] なお、この実施形態では、ポスト7が銅からなるとしたが、ポスト7は、銅に限らず、銀(Ag)、錫(Sn)または金(Au)を用いて形成してもよい。銀、錫または金からなるポスト7は、銅からなるポスト7に比べて、応力を受けたときに変形しやすく、その変形によって応力を緩和することができる。よって、銅でポスト7を形成する場合、ポスト7の長さ(高さ)が50～90μm必要であるのに対し、銀、錫または金でポスト7を形成する場合、ポスト7の長さを20μm程度にすることができる。ポスト7が短ければ、そのポスト7を形成するためのめっき時間を短縮することができる。そのうえ、ポスト7を形成する際に、液状レジストを用いることができるので、ポスト7をより簡単に形成することができる。また、半導体装置の厚さ(半導体チップ1の機能面1aと直交方向の厚さ)を薄くすることができる。

[0019] さらに、ポスト7が金からなる場合、金は非常に安定な元素であり、ポスト7と保護樹脂層3との接着力(金と樹脂との結合力)は小さいので、半導体チップ1と保護樹脂層

3との間に熱膨張率の差によるずれが生じても、このずれによってポスト7と電極パッド4との間に作用する剪断応力を、ポスト7の変形によって吸収することができる。そのため、ポスト7と電極パッド4との電気的接続の破壊を防止することができる。

[0020] 図4は、この発明の他の実施形態に係る半導体装置の構成を簡略化して示す断面図である。なお、この図4において、図2に示す各部に相当する部分には、図2の場合と同一の参照符号を付している。また、以下では、上述の実施形態と相違する部分のみを説明し、上述の実施形態と同様の部分の説明は省略する。

上述の実施形態では、半導体チップ1の機能面1aと直交方向に見たときに、ポスト7が電極パッド4よりも小さいサイズに形成されている構成を取り上げたが、この実施形態に係る半導体装置では、半導体チップ1の機能面1aと直交方向に見たときに、ポスト7が電極パッド4よりも大きなサイズを有している。

[0021] この構成によれば、半導体チップ1の機能面1aと直交方向に見たときに、ポスト7が電極パッド4よりも大きいサイズに形成されている。そのため、この半導体装置が配線基板などに接合されたときに、金属ボール6に応力が加わっても、その応力をポスト7で吸収することができるので、電極パッド4および機能素子11が破損されることを防止することができる。

[0022] なお、この実施形態では、半導体チップ1の機能面1aと直交方向に見たときに、ポスト7が電極パッド4よりも大きいサイズに形成されているとしたが、半導体チップ1の機能面1aと直交方向に見たときに、ポスト7と電極パッド4とがほぼ同じサイズであっても、上記したような効果を奏することができる。

本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

[0023] たとえば、電極パッド4、開口5およびポスト7の形状はとくに限定されず、電極パッド4が円形状に形成されていてもよいし、ポスト7が角柱状に形成されていてもよい。

また、電極パッド4は、たとえば、半導体チップ1の周縁に沿って四角枠状をなして、ほぼ等間隔を空けて整列するように配置されていてもよい。

この出願は、2004年9月28日に日本国特許庁に提出された特願2004－282016号、2004年10月28日に日本国特許庁に提出された特願2004－314395号および2005年5月12日に日本国特許庁に提出された特願2005－139955号に対応しており、これらの出願の全開示はここに引用により組み込まれるものとする。

請求の範囲

[1] 機能素子が作り込まれた機能面を有する半導体チップと、

この半導体チップの機能面上において、上記機能素子の直上の位置に設けられた電極パッドと、

上記半導体チップの機能面上に積層された保護樹脂層と、

この保護樹脂層上において、上記電極パッドと対向する位置に設けられた外部接続端子と、

上記保護樹脂層を上記電極パッドと上記外部接続端子との対向方向に貫通して設けられ、上記電極パッドと上記外部接続端子とを接続するためのポストとを含むことを特徴とする半導体装置。

[2] 上記ポストは、上記半導体チップの機能面と直交する方向に見たときのサイズが、当該方向に見たときの上記電極パッドのサイズよりも小さいことを特徴とする請求項1記載の半導体装置。

[3] 上記ポストは、上記半導体チップの機能面と直交する方向に見たときのサイズが、当該方向に見たときの上記電極パッドのサイズ以上であることを特徴とする請求項1記載の半導体装置。

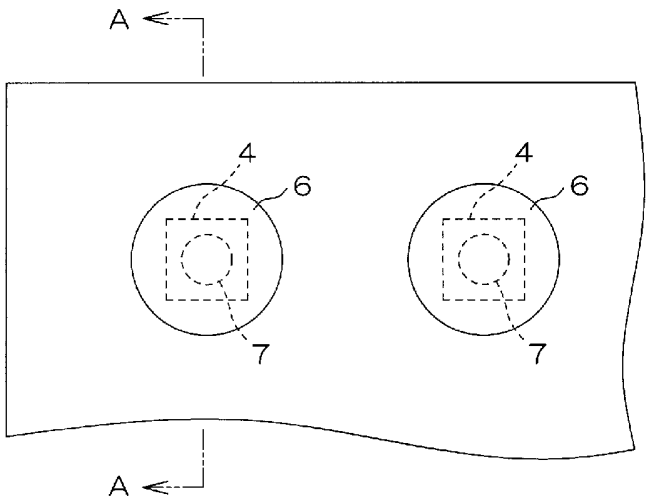
[4] 上記ポストは、銀、錫または金からなることを特徴とする、請求項1記載の半導体装置。

[5] 上記電極パッドは、複数備えられ、格子状に配列されていることを特徴とする、請求項1記載の半導体装置。

[6] 上記半導体装置は、WL－CSPが適用されていることを特徴とする請求項1記載の半導体装置。

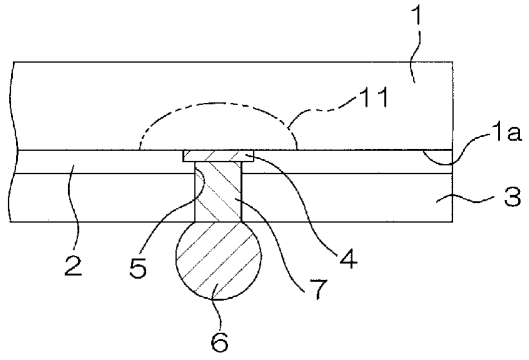
[図1]

図1



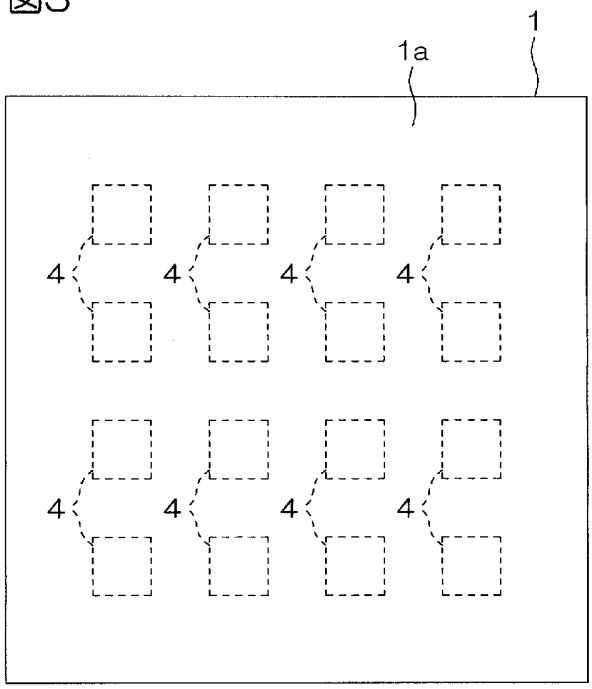
[図2]

図2



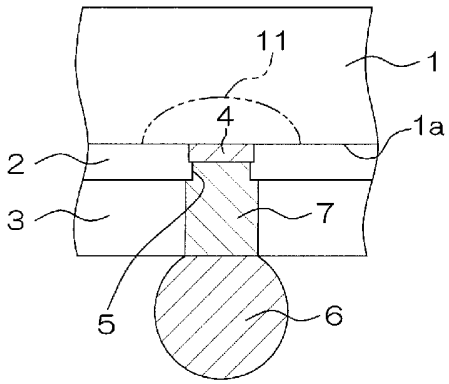
[図3]

図3



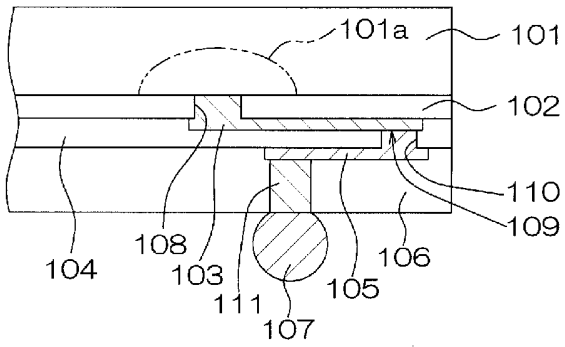
[図4]

図4



[図5]

図5



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/017587

A. CLASSIFICATION OF SUBJECT MATTER
H01L23/12 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L23/12 (2006.01), ***H01L21/60*** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-95716 A (Toshiba Corp.), 25 March, 2004 (25.03.04), Par. Nos. [0024] to [0042]; Figs. 1 to 3 (Family: none)	1-3,5-6 4
X	JP 2002-222898 A (Citizen Watch Co., Ltd.), 09 August, 2002 (09.08.02), Par. Nos. [0020] to [0041]; Figs. 1 to 3 (Family: none)	1,3
Y	JP 2002-118199 A (Mitsubishi Electric Corp.), 19 April, 2002 (19.04.02), Full text; all drawings (Family: none)	4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 October, 2005 (12.10.05)	25 October, 2005 (25.10.05)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００５／０１７５８７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.[7] ***H01L23/12*** (2006.01)

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.[7] ***H01L23/12*** (2006.01), ***H01L21/60*** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００５年
日本国実用新案登録公報	１９９６－２００５年
日本国登録実用新案公報	１９９４－２００５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y	JP 2004-95716 A(株式会社東芝)2004.03.25, 【0024】－【0042】, 図1-3 (ファミリーなし)	1-3, 5-6 4
X	JP 2002-222898 A(シチズン時計株式会社)2002.08.09, 【0020】－【0041】, 図1-3 (ファミリーなし)	1, 3
Y	JP 2002-118199 A(三菱電機株式会社)2002.04.19, 全文, 全図 (ファミリーなし)	4

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１２．１０．２００５	２５．１０．２００５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｒ　９２６５
坂本　薫昭
電話番号　０３－３５８１－１１０１　内線　３４７１