



등록특허 10-2526233



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년04월28일
(11) 등록번호 10-2526233
(24) 등록일자 2023년04월24일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 29/66* (2006.01)
H01L 29/78 (2006.01)
- (52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 29/66537 (2013.01)
- (21) 출원번호 10-2016-0035841
- (22) 출원일자 2016년03월25일
심사청구일자 2021년03월22일
- (65) 공개번호 10-2016-0115829
- (43) 공개일자 2016년10월06일
- (30) 우선권주장
JP-P-2015-066832 2015년03월27일 일본(JP)
- (56) 선행기술조사문헌
JP2011181913 A*
JP2013149964 A*
KR1020120028272 A*
US20060035452 A1

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
야마자키 슈페이
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
엔도 유타
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
츠카모토 요코
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
장훈

전체 청구항 수 : 총 7 항

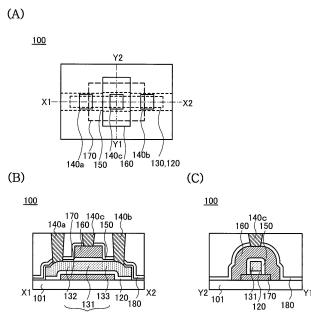
심사관 : 임창연

(54) 발명의 명칭 반도체 장치 및 전자 기기

(57) 요 약

본 발명은 미세한 구조이어도 높고 안정적인 전기 특성을 갖는 트랜지스터를 제공한다. 또한, 상기 트랜지스터를 포함하는 반도체 장치에서도, 고성능화 및 고신뢰성화를 달성한다.

기판 위에 도전체, 산화물 반도체, 및 절연체를 갖고, 산화물 반도체는 제 1 영역 및 제 2 영역을 갖고, 제 2 영역은 제 1 영역보다 저저항이고, 제 1 영역에 상당하는 산화물 반도체 전체 면은 절연체를 개재하여 도전체로 둘러싸여 있는 것을 특징으로 한다.

대 표 도

(52) CPC특허분류

H01L 29/783 (2013.01)

H01L 29/78606 (2013.01)

H01L 29/78696 (2013.01)

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

반도체 장치에 있어서,

제 1 도전체;

상기 제 1 도전체 위의 제 1 절연체;

상기 제 1 절연체 위의 산화물 반도체;

상기 산화물 반도체 위의 제 2 절연체;

상기 제 2 절연체 위의 제 2 도전체; 및

상기 산화물 반도체의 측면 및 상기 제 1 절연체의 측면과 접촉하는 측벽 절연체를 포함하고,

상기 산화물 반도체는 제 1 영역, 제 2 영역, 및 상기 제 1 영역과 상기 제 2 영역 사이의 제 3 영역을 포함하고,

상기 산화물 반도체는 상기 측벽 절연체로 둘러싸여 있고,

상기 제 1 도전체는 상기 제 2 도전체와 접촉하고,

상기 산화물 반도체의 상기 제 3 영역은 채널 길이 방향을 제외한 상기 제 3 영역의 사방이 상기 제 1 절연체 및 상기 제 2 절연체를 개재하여 상기 제 1 도전체 및 상기 제 2 도전체로 둘러싸여 있는, 반도체 장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

반도체 장치에 있어서,

제 1 도전체;

상기 제 1 도전체 위의 제 1 절연체;

상기 제 1 절연체 위의 산화물 반도체;

상기 산화물 반도체 위의 제 2 절연체;

상기 제 2 절연체 위의 제 2 도전체; 및

상기 산화물 반도체의 측면 및 상기 제 1 절연체의 측면과 접촉하는 측벽 절연체를 포함하고,

상기 산화물 반도체는 제 1 영역, 제 2 영역, 및 상기 제 1 영역과 상기 제 2 영역 사이의 제 3 영역을 포함하고,

상기 제 1 도전체는 상기 제 2 도전체 전체와 중첩하고,

상기 산화물 반도체의 상기 제 3 영역은 채널 길이 방향을 제외한 상기 제 3 영역의 사방이 상기 제 1 절연체 및 상기 제 2 절연체를 개재하여 상기 제 1 도전체 및 상기 제 2 도전체로 둘러싸여 있는, 반도체 장치.

청구항 20

제 7 항 또는 제 19 항에 있어서,

상기 제 1 영역 및 상기 제 2 영역 각각은 상기 제 3 영역보다 저저항인, 반도체 장치.

청구항 21

제 7 항 또는 제 19 항에 있어서,

상기 제 1 영역 및 상기 제 2 영역 각각의 불순물 농도가 상기 제 3 영역보다 높은, 반도체 장치.

청구항 22

제 7 항 또는 제 19 항에 있어서,

상기 제 1 절연체는 실리콘을 포함하고, 상기 제 2 절연체는 하프늄을 포함하는, 반도체 장치.

청구항 23

제 7 항 또는 제 19 항에 있어서,

상기 제 1 절연체의 두께는 상기 제 2 절연체의 두께와 상이한, 반도체 장치.

청구항 24

제 7 항 또는 제 19 항에 따른 반도체 장치를 포함하는, 전자 기기.

발명의 설명

기술 분야

[0001]

본 발명은 예를 들어, 산화물, 트랜지스터, 반도체 장치, 및 이들의 제조 방법에 관한 것이다. 또는, 본 발명은 예를 들어, 산화물, 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 프로세서, 활상 장치, 및 전자 기기에 관한 것이다. 또는, 산화물, 표시 장치, 액정 표시 장치, 발광 장치, 기억 장치, 프로세서, 활상 장치, 및 전자 기기의 제조 방법에 관한 것이다. 또는, 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 기억 장치, 프로세서, 활상 장치, 및 전자 기기의 구동 방법에 관한 것이다.

[0002]

또한, 본 발명의 일 형태는 상술한 기술 분야에 한정되지 않는다. 본 명세서 등에 개시(開示)되는 발명의 일 형태의 기술 분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다.

[0003]

또한, 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 표시 장치, 발광 장치, 조명 장치, 전기 광학 장치, 반도체 회로, 및 전자 기기는 반도체 장치를 갖는 경우가 있다.

배경 기술

[0004]

절연 표면을 갖는 기판 위의 반도체를 사용하여, 트랜지스터를 구성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로나 표시 장치와 같은 반도체 장치에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체로서 실리콘이 알려져 있다.

[0005]

트랜지스터의 반도체로서 사용되는 실리콘은 용도에 따라 비정질 실리콘과 다결정 실리콘으로 구분되어 사용되고 있다. 예를 들어, 대형 표시 장치를 구성하는 트랜지스터에 적용하는 경우, 대면적 기판으로의 성막 기술이 확립되어 있는 비정질 실리콘을 사용하는 것이 적합하다. 한편, 구동 회로를 일체 형성한 고기능 표시 장치를 구성하는 트랜지스터에 적용하는 경우, 높은 전계 효과 이동도를 갖는 트랜지스터를 제작할 수 있는 다결정 실리콘을 사용하는 것이 적합하다. 다결정 실리콘의 형성 방법으로서는, 비정질 실리콘에 대하여 고온 가열 처리 또는 레이저 광 처리를 수행하는 방법이 알려져 있다.

[0006]

근년에 들어, 산화물 반도체(대표적으로는, In-Ga-Zn 산화물)를 사용한 트랜지스터가 활발히 개발되고 있다.

[0007]

산화물 반도체의 역사는 오래되었으며, 1988년에는 결정 In-Ga-Zn 산화물을 반도체 소자에 이용하는 것이 개시되어 있다(특허문현 1 참조). 또한, 1995년에는 산화물 반도체를 사용한 트랜지스터가 발명되어 있으며, 그 전기 특성이 개시되어 있다(특허문현 2 참조).

[0008]

또한, 비정질 산화물 반도체를 사용한 트랜지스터가 개시되어 있다(특허문현 3 참조). 산화물 반도체는 스팍터링법 등을 사용하여 성막될 수 있기 때문에, 대형 표시 장치를 구성하는 트랜지스터의 반도체에 사용될 수

있다. 또한, 산화물 반도체를 사용한 트랜지스터는 높은 전계 효과 이동도를 갖기 때문에, 구동 회로를 일체 형성한 고기능 표시 장치를 구현할 수 있다. 또한, 비정질 실리콘을 사용한 트랜지스터의 생산 설비의 일부를 개량하여 이용할 수 있기 때문에, 설비 투자를 줄일 수 있다는 장점도 있다.

[0009] 또한, 산화물 반도체를 사용한 트랜지스터는, 비도통 상태에서의 누설 전류가 매우 작은 것이 알려져 있다. 예를 들어, 산화물 반도체를 사용한 트랜지스터의 누설 전류가 작다는 특성을 응용한 저소비 전력의 CPU 등이 개시되어 있다(특허문헌 4 참조). 또한, 산화물 반도체로 이루어지는 활성층으로 우물형 페텐셜을 구성함으로써, 높은 전계 효과 이동도를 갖는 트랜지스터가 얻어지는 것이 개시되어 있다(특허문헌 5 참조).

선행기술문헌

특허문헌

- [0010] (특허문헌 0001) 일본국 특개소(昭) 63-239117호 공보
- (특허문헌 0002) 일본국 특표평(平) 11-505377호 공보
- (특허문헌 0003) 일본국 특허 제 5215589호 공보
- (특허문헌 0004) 일본국 특개 2012-257187호 공보
- (특허문헌 0005) 일본국 특개 2012-59860호 공보

발명의 내용

해결하려는 과제

[0011] 트랜지스터를 미세화하면, 단채널 효과가 발생한다. 단채널 효과란, 트랜지스터의 채널 길이(L)의 축소에 기인하는 전기 특성의 열화이다. 단채널 효과 중 하나에는, 드레인의 전계가 소스까지 미치는 것에 기인하는 것이다. 단채널 효과로 인하여, 노멀리 온화, 서브스레시홀드 스윙 값(subthreshold swing value)(S값이라고도 함)의 증대, 및 누설 전류의 증대 등이 일어난다.

[0012] 그래서, 본 발명의 일 형태는 동작 특성이 향상된 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 저소비 전력의 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는, 미세화 및 고집적화가 가능하며, 안정적인 전기 특성을 갖는 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는, 기생 용량이 작은 트랜지스터를 제공하는 것을 과제 중 하나로 한다.

[0013] 또한, 안정적인 전기 특성을 갖는 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 비도통 상태에서의 누설 전류가 작은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 온 전류가 큰 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 노멀리 오프의 전기 특성을 갖는 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 서브스레시홀드 스윙 값이 작은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는, 신뢰성이 높은 트랜지스터를 제공하는 것을 과제 중 하나로 한다.

[0014] 또한, 상기 트랜지스터를 포함하는 반도체 장치에서도, 고성능화, 고신뢰성화, 및 고생산성화를 달성하는 것을 과제 중 하나로 한다. 또는, 트랜지스터의 채널층에 산소를 공급하기 쉬운 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또한, 이를 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없다. 또한, 이들 외의 과제는, 명세서, 도면, 및 청구항 등의 기재로부터 저절로 명백해지는 것이며, 명세서, 도면, 및 청구항 등의 기재로부터 이들 외의 과제가 추출될 수 있다.

과제의 해결 수단

[0015] 반도체 장치는 기판 위에 도전체, 산화물 반도체, 및 절연체를 갖고, 산화물 반도체는 제 1 영역 및 제 2 영역을 갖고, 제 1 영역에 상당하는 산화물 반도체의 사방(four directions)은 절연체를 개재(介在)하여 도전체로 둘러싸여 있는 것을 특징으로 한다.

[0016] 반도체 장치는, 기판 위에 도전체, 산화물 반도체, 제 1 절연체, 및 제 2 절연체를 갖고, 산화물 반도체는 제 1

영역 및 제 2 영역을 갖고, 제 2 영역은 제 1 영역보다 저저항이고, 제 1 영역에 상당하는 산화물 반도체의 사방은 제 1 절연체 및 제 2 절연체를 개재하여 도전체로 둘러싸여 있는 것을 특징으로 한다.

[0017] 상기 구성에서, 제 2 영역은 제 1 영역보다 불순물의 농도가 높은 것을 특징으로 한다.

[0018] 반도체 장치는, 기판 위에 도전체, 산화물 반도체, 및 절연체를 갖고, 산화물 반도체는 제 1 영역, 제 2 영역, 및 제 1 영역과 제 2 영역 사이에 제 3 영역을 갖고, 제 3 영역에 상당하는 산화물 반도체의 사방은 절연체를 개재하여 도전체로 둘러싸여 있는 것을 특징으로 한다.

[0019] 반도체 장치는, 기판 위에 도전체, 산화물 반도체, 제 1 절연체, 및 제 2 절연체를 갖고, 산화물 반도체는 제 1 영역, 제 2 영역, 및 제 1 영역과 제 2 영역 사이에 제 3 영역을 갖고, 제 3 영역이 되는 산화물 반도체의 사방은 제 1 절연체 및 제 2 절연체를 개재하여 도전체로 둘러싸여 있는 것을 특징으로 한다.

[0020] 상기 구성에서, 제 1 영역 및 제 2 영역은, 제 3 영역보다 불순물의 농도가 높은 것을 특징으로 한다.

[0021] 상기 구성에서, 제 1 영역은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 제 2 영역은 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능하는 것을 특징으로 한다.

[0022] 상기 구성에서, 제 1 절연체는 실리콘을 포함하고, 제 2 절연체는 하프늄을 포함하는 것을 특징으로 한다.

[0023] 상기 구성에서, 제 1 절연체와 제 2 절연체는 두께가 상이하다.

[0024] 상기 구성의 반도체 장치를 갖는 전자 기기이다.

발명의 효과

[0025] 온 전류가 높고 오프 전류가 낮기 때문에, 트랜지스터의 구동 특성이 양호하게 된다. 또한, 저소비 전력화가 가능하게 된다. 또한, 미세한 구조이어도 높고 안정적인 전기 특성을 갖는 트랜지스터를 제공할 수 있다. 또한, 채널 길이를 쉽게 제어할 수 있어, 미세화된 경우에도 단채널 효과를 억제할 수 있다. 따라서, 트랜지스터의 집적도를 높일 수 있어, 다양한 소형 전자 기기를 더 소형화할 수 있다.

[0026] 또한, 안정적인 전기 특성을 갖는 트랜지스터를 제공할 수 있다. 또는, 비도통 상태에서의 누설 전류가 작은 트랜지스터를 제공할 수 있다. 또는, 온 전류가 큰 트랜지스터를 제공할 수 있다. 또는, 노멀리 오프의 전기 특성을 갖는 트랜지스터를 제공할 수 있다. 또는, 서브스레시홀드 스윙 값이 작은 트랜지스터를 제공할 수 있다. 또는, 신뢰성이 높은 트랜지스터를 제공할 수 있다.

[0027] 또한, 상기 트랜지스터를 포함하는 반도체 장치에서도, 고성능화, 고신뢰성화, 및 고생산성화를 달성할 수 있다. 또는, 신규 반도체 장치 등을 제공할 수 있다. 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는, 이들 효과 모두를 가질 필요는 없다. 또한, 이들 외의 효과는, 명세서, 도면, 및 청구항 등의 기재로부터 저절로 명백해지는 것이며, 명세서, 도면, 및 청구항 등의 기재로부터 이들 외의 효과가 추출될 수 있다.

도면의 간단한 설명

[0028] 도 1은 반도체 장치의 일 형태를 도시한 단면도 및 상면도.

도 2는 반도체 장치의 일 형태를 도시한 단면도 및 상면도.

도 3은 반도체 장치의 일 형태를 도시한 단면도 및 상면도.

도 4는 반도체 장치의 일 형태를 도시한 단면도 및 상면도.

도 5는 반도체 장치의 일 형태를 도시한 단면도 및 상면도.

도 6은 반도체 장치의 일 형태를 도시한 단면도 및 상면도.

도 7은 반도체 장치의 일 형태를 도시한 단면도 및 상면도.

도 8은 반도체 장치의 일 형태를 도시한 단면도 및 상면도.

도 9는 반도체 장치의 일 형태를 도시한 단면도 및 상면도.

도 10은 반도체 장치의 일 형태를 도시한 단면도 및 상면도.

- 도 11은 반도체 장치의 일 형태를 도시한 단면도 및 상면도.
- 도 12는 반도체 장치의 일 형태를 도시한 단면도 및 상면도.
- 도 13은 반도체 장치의 일 형태를 도시한 단면도 및 상면도.
- 도 14는 반도체 장치의 일 형태를 도시한 단면도 및 상면도.
- 도 15는 반도체 장치의 일 형태를 도시한 단면도 및 상면도.
- 도 16은 반도체 장치의 일 형태를 도시한 단면도 및 상면도.
- 도 17은 반도체 장치의 일 형태를 도시한 단면도 및 상면도.
- 도 18은 반도체 장치의 일 형태를 도시한 단면도 및 상면도.
- 도 19는 반도체 장치의 일 형태를 도시한 단면도 및 상면도.
- 도 20은 반도체 장치의 일 형태를 도시한 단면도 및 상면도.
- 도 21은 반도체 장치의 일 형태를 도시한 단면도 및 상면도.
- 도 22는 반도체 장치의 일 형태를 도시한 단면도 및 상면도.
- 도 23은 CAAC-OS의 단면에서의 Cs 보정 고분해능 TEM 이미지 및 CAAC-OS의 단면 모식도.
- 도 24는 CAAC-OS의 평면에서의 Cs 보정 고분해능 TEM 이미지.
- 도 25는 CAAC-OS 및 단결정 산화물 반도체의 XRD에 의한 구조 해석을 설명하기 위한 도면.
- 도 26은 CAAC-OS의 전자 회절 패턴을 나타낸 도면.
- 도 27은 전자 조사에 의한 In-Ga-Zn 산화물의 결정부의 변화를 나타낸 도면.
- 도 28은 본 발명의 일 형태에 따른 반도체 장치를 도시한 회로도.
- 도 29는 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 30은 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 31은 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 32는 본 발명의 일 형태에 따른 기억 장치를 도시한 회로도.
- 도 33은 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 34는 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 35는 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 36은 본 발명의 일 형태에 따른 반도체 장치를 도시한 회로도.
- 도 37은 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 38은 본 발명의 일 형태에 따른 반도체 장치를 도시한 회로도.
- 도 39는 본 발명의 일 형태에 따른 반도체 장치를 도시한 상면도.
- 도 40은 본 발명의 일 형태에 따른 반도체 장치를 도시한 블록도.
- 도 41은 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 42는 본 발명의 일 형태에 따른 반도체 장치를 도시한 단면도.
- 도 43은 본 발명의 일 형태에 따른 반도체 장치를 도시한 사시도 및 단면도.
- 도 44는 본 발명의 일 형태에 따른 반도체 장치를 도시한 블록도.
- 도 45는 본 발명의 일 형태에 따른 반도체 장치를 도시한 회로도.
- 도 46은 본 발명의 일 형태에 따른 반도체 장치를 도시한 회로도, 상면도, 및 단면도.

도 47은 본 발명의 일 형태에 따른 반도체 장치를 도시한 회로도 및 단면도.

도 48은 본 발명의 일 형태에 따른 전자 기기를 도시한 사시도.

발명을 실시하기 위한 구체적인 내용

[0029]

이하에서, 실시형태에 대하여 도면을 참조하여 설명한다. 다만, 실시형태는 많은 상이한 형태로 실시할 수 있으며, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0030]

또한, 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지 않는다. 또한, 도면은 이상적인 예를 모식적으로 도시한 것이며, 도면에 도시된 형상 또는 값 등에 한정되지 않는다. 또한, 도면에서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 그 반복 설명은 생략한다. 또한, 같은 기능을 갖는 부분을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0031]

또한, 본 명세서 등에서 제 1 및 제 2 등으로서 붙여지는 서수사는 편의상 사용하는 것이며, 공정 순서 또는 적 충 순서를 나타내는 것은 아니다. 따라서, 예를 들어, "제 1", "제 2" 또는 "제 3" 등으로 적절히 바꿔 설명할 수 있다. 또한, 본 명세서 등에 기재되어 있는 서수사와, 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않는 경우가 있다.

[0032]

또한, 본 명세서 등에서, "위에" 및 "아래에" 등의 배치를 나타내는 어구는, 도면을 사용하여 구성끼리의 위치 관계를 설명하기 위하여 편의상 사용한다. 또한, 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화되는 것이다. 따라서, 명세서에서 설명한 어구에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.

[0033]

또한, 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터 등의 반도체 소자를 비롯하여, 반도체 회로, 연산 장치, 및 기억 장치는 반도체 장치의 일 형태이다. 활성 장치, 표시 장치, 액정 표시 장치, 발광 장치, 전기 광학 장치, 발전 장치(박막 태양 전지 및 유기 박막 태양 전지 등을 포함함), 및 전자 기기는 반도체 장치를 갖는 경우가 있다.

[0034]

또한, 본 명세서 등에서 트랜지스터란, 게이트, 드레인, 및 소스를 포함하는 적어도 3개의 단자를 갖는 소자이다. 그리고, 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 영역을 갖고, 드레인과 채널 영역과 소스를 통하여 전류를 흘릴 수 있는 것이다. 또한, 본 명세서 등에서 채널 영역이란, 전류가 주로 흐르는 영역을 말한다.

[0035]

또한, 소스나 드레인의 기능은, 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 교체되는 경우가 있다. 따라서, 본 명세서 등에서는, 소스나 드레인이라는 용어는 교체하여 사용할 수 있는 것으로 한다.

[0036]

또한, 본 명세서 등에서 산화 질화 실리콘막이란, 그 조성으로서 질소보다 산소의 함유량이 많은 것이며, 바람직하게는 산소가 55atomic% 이상 65atomic% 이하, 질소가 1atomic% 이상 20atomic% 이하, 실리콘이 25atomic% 이상 35atomic% 이하, 수소가 0.1atomic% 이상 10atomic% 이하의 농도 범위에서 함유되는 것을 말한다. 또한, 질화 산화 실리콘이란, 그 조성으로서 산소보다 질소의 함유량이 많은 것이며, 바람직하게는 질소가 55atomic% 이상 65atomic% 이하, 산소가 1atomic% 이상 20atomic% 이하, 실리콘이 25atomic% 이상 35atomic% 이하, 수소가 0.1atomic% 이상 10atomic% 이하의 농도 범위에서 함유되는 것을 말한다.

[0037]

또한, 본 명세서 등에서, "막"이라는 용어와 "층"이라는 용어는 서로 교체될 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는, 예를 들어, "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다.

[0038]

또한, 본 명세서 등에서 "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, "실질적으로 평행"이란, 2개의 직선이 -30° 이상 30° 이하의 각도로 배치되어 있는 상태를 말한다. 또한, "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다. 또한, "실질적으로 수직"이란, 2개의 직선이 60° 이상 120° 이하의 각도로 배치되어 있는 상태를 말한다.

- [0039] 예를 들어, 본 명세서 등에서 "X와 Y가 접속되어 있다"라고 명시적으로 기재되어 있는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우, 및 X와 Y가 직접 접속되어 있는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서, 소정의 접속 관계, 예를 들어, 도면 또는 문장에 기재된 접속 관계에 한정되지 않고, 도면 또는 문장에 기재된 접속 관계 이외의 것도, 도면 또는 문장에 기재되어 있는 것으로 한다.
- [0040] 여기서, X 및 Y는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층 등)인 것으로 한다.
- [0041] X와 Y가 직접 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 및 부하 등)가 X와 Y 사이에 접속되지 않는 경우, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 및 부하 등)를 통하지 않고 X와 Y가 접속되어 있는 경우를 들 수 있다.
- [0042] X와 Y가 전기적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 및 부하 등)가 X와 Y 사이에 하나 이상 접속될 수 있는 경우를 들 수 있다. 또한, 스위치는 온/오프가 제어되는 기능을 갖는다. 즉, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 여부를 제어하는 기능을 갖는다. 또는, 스위치는 전류를 흘리는 경로를 선택하여 전환하는 기능을 갖는다. 또한, X와 Y가 전기적으로 접속되어 있는 경우에는, X와 Y가 직접 접속되어 있는 경우를 포함하는 것으로 한다.
- [0043] X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리 회로(인버터, NAND 회로, 또는 NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 또는 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로 또는 강압 회로 등) 또는 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 또는 버퍼 회로 등), 신호 생성 회로, 기억 회로, 또는 제어 회로 등)가 X와 Y 사이에 하나 이상 접속될 수 있는 경우를 들 수 있다. 또한, 일례로서, X와 Y 사이에 다른 회로가 개재되어 있어도, X로부터 출력된 신호가 Y에 전달되는 경우에는, X와 Y는 기능적으로 접속되어 있는 것으로 한다. 또한, X와 Y가 기능적으로 접속되어 있는 경우란, X와 Y가 직접 접속되어 있는 경우와, X와 Y가 전기적으로 접속되어 있는 경우를 포함하는 것으로 한다.
- [0044] 또한, "X와 Y가 전기적으로 접속되어 있다"라고 명시적으로 기재되어 있을 때는, X와 Y가 전기적으로 접속되어 있는 경우(즉, X와 Y가 다른 소자 또는 다른 회로를 개재하여 접속되어 있는 경우)와, X와 Y가 기능적으로 접속되어 있는 경우(즉, X와 Y가 다른 회로를 개재하여 기능적으로 접속되어 있는 경우)와, X와 Y가 직접 접속되어 있는 경우(즉, X와 Y가 다른 소자 또는 다른 회로를 개재하지 않고 접속되어 있는 경우)가, 본 명세서 등에 기재되어 있는 것으로 한다. 즉, "전기적으로 접속되어 있다"라고 명시적으로 기재되어 있을 때는, 단순히 "접속되어 있다"라고만 명시적으로 기재되어 있는 경우와 같은 내용이 본 명세서 등에 개시되어 있는 것으로 한다.
- [0045] 또한, 예를 들어, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 통하여(또는 통하지 않고) X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y와 전기적으로 접속되어 있는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부와 직접 접속되고 Z1의 다른 일부가 X와 직접 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부와 직접 접속되고 Z2의 다른 일부가 Y와 직접 접속되어 있는 경우에는, 이하와 같이 표현할 수 있다.
- [0046] 예를 들어, "X와 Y와 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되어 있고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 전기적으로 접속되어 있다"라고 표현할 수 있다. 또는, "트랜지스터의 소스(또는 제 1 단자 등)는 X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 전기적으로 접속되어 있다"라고 표현할 수 있다. 또는, "X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 접속되어 있다"라고 표현할 수 있다. 이들의 예와 같은 표현 방법을 사용하여, 회로 구성에서의 접속의 순서에 대하여 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별

하여, 기술적 범위를 결정할 수 있다.

[0047] 또는, 다른 표현 방법으로서, 예를 들어, "트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 접속 경로를 통하여 X와 전기적으로 접속되고, 상기 제 1 접속 경로는 제 2 접속 경로를 갖지 않고, 상기 제 2 접속 경로는 트랜지스터를 통한 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등) 사이의 경로이고, 상기 제 1 접속 경로는 Z1을 통한 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로를 통하여 Y와 전기적으로 접속되고, 상기 제 3 접속 경로는 상기 제 2 접속 경로를 갖지 않고, 상기 제 3 접속 경로는 Z2를 통한 경로이다"라고 표현할 수 있다. 또는, "트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 접속 경로에 의하여 Z1을 통하여 X와 전기적으로 접속되고, 상기 제 1 접속 경로는 제 2 접속 경로를 갖지 않고, 상기 제 2 접속 경로는 트랜지스터를 통한 접속 경로를 갖고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로에 의하여 Z2를 통하여 Y와 전기적으로 접속되고, 상기 제 3 접속 경로는 상기 제 2 접속 경로를 갖지 않는다"라고 표현할 수 있다. 또는, "트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 전기적 경로에 의하여 Z1을 통하여 X와 전기적으로 접속되고, 상기 제 1 전기적 경로는 제 2 전기적 경로를 갖지 않고, 상기 제 2 전기적 경로는 트랜지스터의 소스(또는 제 1 단자 등)로부터 트랜지스터의 드레인(또는 제 2 단자 등)으로의 전기적 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 전기적 경로에 의하여 Z2를 통하여 Y와 전기적으로 접속되고, 상기 제 3 전기적 경로는 제 4 전기적 경로를 갖지 않고, 상기 제 4 전기적 경로는 트랜지스터의 드레인(또는 제 2 단자 등)으로부터 트랜지스터의 소스(또는 제 1 단자 등)로의 전기적 경로이다"라고 표현할 수 있다. 이들의 예와 같은 표현 방법을 사용하여, 회로 구성에서의 접속 경로에 대하여 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여, 기술적 범위를 결정할 수 있다.

[0048] 또한, 이들의 표현 방법은 일례이며, 이들의 표현 방법에 한정되지 않는다. 여기서, X, Y, Z1, 및 Z2는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층 등)인 것으로 한다.

[0049] 또한, 회로도에서는 독립되어 있는 구성 요소들이 전기적으로 접속되어 있는 것처럼 도시되어 있어도, 하나의 구성 요소가 복수의 구성 요소의 기능도 갖는 경우가 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선 및 전극 양쪽의 구성 요소의 기능을 갖고 있다. 따라서, 본 명세서에서 "전기적으로 접속"이란, 이와 같이, 하나의 도전막이 복수의 구성 요소의 기능을 갖는 경우도 그 범주에 포함된다.

[0050] (실시형태 1)

[0051] 본 실시형태에서는, 반도체 장치의 일 형태를 도 1~도 22를 사용하여 설명한다.

[0052] <반도체 장치의 구성 예 1>

[0053] 도 1은 트랜지스터(100)의 일례를 도시한 것이다. 또한, 간략하게 하기 위하여, 도 1의 (A)는 일부의 막을 생략하여 도시되었다. 또한, 도 1의 (B)는 도 1의 (A)의 일점 쇄선 X1-X2에 대응하는 단면도이고, 도 1의 (C)는 도 1의 (A)의 일점 쇄선 Y1-Y2에 대응하는 단면도이다.

[0054] 기판(101) 위에 형성된 트랜지스터(100)는, 게이트 전극으로서 기능하는 도전체(160) 및 도전체(170)와, 영역(131), 소스 영역 및 드레인 영역 중 한쪽으로서 기능하는 영역(132), 및 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능하는 영역(133)을 갖는 산화물(130)과, 게이트 절연층으로서 기능하는 절연체(120) 및 절연체(150)를 갖는다. 또한, 영역(132)은 배선(140a)과 전기적으로 접속되고, 영역(133)은 배선(140b)과 전기적으로 접속되고, 도전체(160)는 배선(140c)과 전기적으로 접속된다.

[0055] 도 1에 도시된 트랜지스터(100)의 구조에서, 산화물(130)에는 영역(131), 영역(132), 및 영역(133)이 형성되어 있고, 영역(132) 및 영역(133)은 영역(131)에 비하여 불순물의 농도가 높아 저저항화되어 있다. 예를 들어, 영역(131)은 영역(132) 및 영역(133)의 불순물의 최대 농도에 대하여 5% 이하의 농도의 영역, 2% 이하의 농도의 영역, 또는 1% 이하의 농도의 영역으로 하면 좋다. 또한, 불순물을 도녀, 억셉터, 도펜트, 또는 원소라고 바꿔 말해도 좋다.

[0056] 도 1의 (B)에 도시된 바와 같이, 산화물(130)에서 영역(131)은 도전체(160)와 중첩하는 영역이고, 영역(132) 및 영역(133)은 영역(131)을 제외한 영역이다. 또한, 산화물(130)과 도전체(160)가 중첩하는 영역의 일부에 영역(132) 및 영역(133)이 형성되어 있어도 좋다. 이로써, 트랜지스터(100)의 채널이 형성되는 영역과 저저항화된 영역(132) 및 영역(133)이 접촉하여, 영역(132) 및 영역(133)과 채널이 형성되는 영역 사이에 고저항의 오프셋 영역이 형성되지 않기 때문에, 트랜지스터(100)의 온 전류를 증대시킬 수 있다.

- [0057] 또한, 영역(132) 및 영역(133)은 이온 주입법 등의 이온 도핑 처리를 사용하여 형성되면 좋다. 예를 들어, 도 1의 (B)에 도시된 트랜지스터 구조를 제공하는 경우에는, 도전체(160)를 형성한 후에 도전체(160)를 마스크로 하여 도핑 처리를 수행하면 좋다. 절연체(150)가 충분히 얇고 도핑 이온이 충분히 가속되어 있으면, 불순물은 절연체(150)를 투과하여 산화물(130)에 첨가된다. 한편, 도전체(160)와 중첩되는 영역에는 불순물은 첨가되지 않는다. 그러므로, 도 1의 (B)에 도시된 바와 같이, 영역(132) 및 영역(133)이 형성된다. 따라서, 영역(132) 및 영역(133)은 SIMS에 의하여 측정되는 상기 불순물의 농도가 영역(131)보다 높다.
- [0058] 영역(132) 및 영역(133)에 첨가되는 불순물로서는, 예를 들어, 수소, 헬륨, 네온, 아르곤, 크립톤, 제논, 질소, 플루오린, 인, 염소, 비소, 봉소, 마그네슘, 알루미늄, 실리콘, 타이타늄, 바나듐, 크로뮴, 니켈, 아연, 갈륨, 저마늄, 이트륨, 지르코늄, 나이오븀, 몰리브데늄, 인듐, 주석, 란타늄, 세륨, 네오디뮴, 하프늄, 탄탈럼, 또는 텅스텐 등을 들 수 있다. 이를 원소 중에서도, 헬륨, 네온, 아르곤, 크립톤, 제논, 질소, 플루오린, 인, 염소, 비소, 또는 봉소는 이온 주입법, 이온 도핑법, 또는 플라즈마 잠입 이온 주입법(plasma immersion ion implantation method) 등을 사용하여 비교적 용이하게 첨가될 수 있어 적합하다.
- [0059] 또한, 영역(132) 및 영역(133)은 산소 결손이 많이 형성되어 있기 때문에, SIMS에 의하여 측정되는 산소 농도가 영역(131)보다 낮다. 또한, 영역(132) 및 영역(133)은 결함이 많이 형성되어 있기 때문에, 영역(131)보다 결정성이 낮다.
- [0060] 또한, 도 1의 (C)에서, 영역(131)에 상당하는 산화물(130)의 모든 면이 절연체(120) 및 절연체(150)를 개재하여 도전체(160) 및 도전체(170)로 둘러싸인 구조를 갖는다. 또한, 여기서 "영역(131)에 상당하는 산화물(130)의 모든 면"이란, 산화물(130)이 절연체(120) 및 절연체(150)와 접촉하는 상면, 저면, 및 측면을 말한다. 또한, 산화물(130)이 상면, 저면, 및 측면이 명확하게 구별되지 않는 곡면에 형성되어 있는 경우에는, 영역(131)에 상당하는 산화물(130)의 최표면을 말한다.
- [0061] 영역(131)에 상당하는 산화물(130)의 모든 면이 절연체(120) 및 절연체(150)를 개재하여 도전체로 둘러싸여 있는 구조로 함으로써, 도전체(160) 및 도전체(170)로부터 발생되는 전계에 의하여, 채널이 형성되는 영역(131)의 사방(바꿔 말하면, 채널 길이 방향을 제외한 영역(131)의 사방)을 전기적으로 둘러쌀 수 있다(도전체로부터 발생되는 전계에 의하여 반도체를 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(s-channel) 구조라고 부름). 따라서, 영역(131)의 전체에 채널이 형성되는 경우가 있다. s-channel 구조는 트랜지스터의 소스와 드레인 사이에 큰 전류를 흘릴 수 있어, 온 전류를 높게 할 수 있다. 또한, 채널이 형성되는 영역에 사방으로부터 전압이 인가되기 때문에, 누설 전류가 억제된 트랜지스터를 제공할 수 있다.
- [0062] 또한, 트랜지스터가 s-channel 구조를 갖는 경우, 영역(131)의 모든 면에 채널이 형성되는 경우가 있다. 따라서, 산화물(130)이 두꺼울수록 채널 영역은 커진다. 즉, 산화물(130)이 두꺼울수록 트랜지스터의 온 전류를 높게 할 수 있다. 또한, 산화물(130)이 두꺼울수록 캐리어의 제어성이 높은 영역의 비율이 증가되기 때문에, 서브스레시홀드 스윙 값을 작게 할 수 있다. 예를 들어, 두께가 10nm 이상, 바람직하게는 20nm 이상, 더 바람직하게는 30nm 이상, 더욱 바람직하게는 50nm 이상인 영역을 갖는 산화물(130)로 하면 좋다. 다만, 반도체 장치의 생산성이 저하되는 경우가 있기 때문에, 예를 들어, 두께가 300nm 이하, 바람직하게는 200nm 이하, 더 바람직하게는 150nm 이하인 영역을 갖는 산화물(130)로 하면 좋다.
- [0063] s-channel 구조는 높은 온 전류를 얻을 수 있기 때문에, 미세화된 트랜지스터에 적합한 구조라고 할 수 있다. 트랜지스터를 미세화할 수 있기 때문에, 상기 트랜지스터를 갖는 반도체 장치는 집적도가 높고 고밀도화된 반도체 장치로 할 수 있다. 예를 들어, 트랜지스터는 채널 길이가 바람직하게는 40nm 이하, 더 바람직하게는 30nm 이하, 더욱 바람직하게는 20nm 이하인 영역을 가지며, 채널 폭이 바람직하게는 40nm 이하, 더 바람직하게는 30nm 이하, 더욱 바람직하게는 20nm 이하인 영역을 갖는다.
- [0064] 또한, 도전체(160) 및 도전체(170)는 몰리브데늄, 타이타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 및 스칸듐으로부터 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화타이타늄막, 질화 몰리브데늄막, 또는 질화 텅스텐막) 등이다. 또는, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다. 또한, 상기 도전성 재료와 상기 금속 재료의 적층 구조로 할 수도 있다.
- [0065] 또한, 절연체(120) 및 절연체(150)는 산화 실리콘막이나 산화 질화 실리콘막 등의 산소를 포함하는 절연체인 것이 바람직하다. 또한, 절연체(120)에는 과잉 산소를 포함하는(화학량론적 조성보다 산소를 과잉으로 포함하는)

절연체를 사용하는 것이 바람직하다. 이와 같은 과잉 산소를 포함하는 절연체를 산화물(130)에 접촉하여 제공함으로써, 영역(131) 내의 산소 결손을 보상할 수 있다.

[0066] 또한, 절연체(120) 및 절연체(150)에는 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄, 및 질화 실리콘 등의 산소나 수소에 대하여 배리어 성을 갖는 절연막을 사용할 수 있다. 이와 같은 재료를 사용하여 형성한 경우, 산화물(130)로부터 산소가 방출되거나, 외부로부터 수소 등의 불순물이 흡입되는 것을 방지하는 층으로서 기능한다.

[0067] 또한, 절연체(120)와 절연체(150)는 반드시 같은 재료를 사용하여 형성되지 않아도 된다. 절연체(120)와 절연체(150)를 상이한 재료를 사용하여 형성하는 경우, 유전율 등의 물성을 고려하여, 막 두께를 상이하게 하는 등으로 적절히 구조를 최적화시키면 좋다. 예를 들어, 산화 하프늄계 재료는 산화 실리콘계 재료보다 유전율이 높다. 따라서, 절연체(120)에 산화 실리콘막을 사용하고, 절연체(150)에 산화 하프늄막을 사용하는 경우, 절연체(150)를 절연체(120)보다 두껍게 제공하는 것이 바람직하다. 절연체(120) 및 절연체(150)에 사용하는 재료의 물성을 고려하여, 영역(131)에 상당하는 산화물(130)의 전체에 불균일 없이 채널이 형성되는 트랜지스터가 되도록, 절연체(120) 및 절연체(150)의 막 두께를 적절히 최적화시키면 좋다.

[0068] 또한, 절연체(120) 및 절연체(150)는 적층 구조로 하여도 좋다. 예를 들어, 과잉 산소를 포함하는 절연막을 산화물(130)에 접촉하여 제공하고 배리어막으로 감쌈으로써, 산화물(130)의 조성을 화학량론적 조성과 거의 일치하는 상태, 또는 화학량론적 조성보다 산소가 많은 과포화 상태로 할 수 있다. 또한, 산화물(130)에 수소 등의 불순물이 들어오는 것을 방지할 수 있다.

[0069] 또한, 도 1의 (B)에 도시된 바와 같이, 절연체(150)에 산화 실리콘막을 사용한 경우, 게이트가 되는 도전체를 형성할 때 표면 측이 애칭되는 경우가 있다. 영역(132) 및 영역(133)을 제공하기 위하여 절연체(150)를 투과하여 불순물을 첨가하는 경우, 영역(132) 및 영역(133) 위의 절연체(150)를 얇게 함으로써 효율적으로 불순물을 첨가할 수 있다. 한편, 절연체(150)에 산화 하프늄막 등을 사용한 경우에는 게이트가 되는 도전체를 형성할 때 절연체(150)의 표면이 제거되지 않는다.

[0070] 또한, 영역(131)을 구성하는 산화물은 에너지 캡이 3.0eV 이상으로 크다. 산화물을 적절한 조건에서 가공하여 그 캐리어 밀도를 충분히 저감시켜 얻어진 산화물막이 적용된 트랜지스터는, 종래의 실리콘을 사용한 트랜지스터에 비하여, 오프 상태에서의 소스와 드레인 사이의 누설 전류(오프 전류)를 매우 낮게 할 수 있다.

[0071] 또한, 적용할 수 있는 산화물은 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히, In과 Zn을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 저감하기 위한 스태빌라이저로서, 이들에 더하여 갈륨(Ga), 주석(Sn), 하프늄(Hf), 지르코늄(Zr), 타이타늄(Ti), 스칸듐(Sc), 이트륨(Y), 및 란타노이드(예를 들어, 세륨(Ce), 네오디뮴(Nd), 또는 가돌리늄(Gd)) 중에서 선택된 1종 또는 복수종이 포함되는 것이 바람직하다.

[0072] 또한, 산화물(130)에 사용할 수 있는 산화물에 대해서는 실시형태 2에서 자세히 설명한다.

[0073] 또한, 도 1의 (A)에 도시된 반도체 장치에서 층간막이 트랜지스터(100)를 덮어 제공되어 있다. 또한, 층간막에 더하여 배리어층으로서 절연체(180) 등이 적층되어 있어도 좋다. 또한, 기판(101) 위에는 하지막을 형성하여도 좋다. 또한, 하지막에 더하여 배리어막이 적층되어 있어도 좋다.

[0074] 또한, 배리어막에는, 산소나 수소에 대하여 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 이와 같은 절연체로서는, 예를 들어, 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄, 또는 질화 실리콘 등을 사용할 수 있다. 이와 같은 재료를 사용하여 형성하는 경우, 배리어막은 산화물(130)로부터 산소가 방출되거나, 절연체(120)로부터 산화물(130) 외로 산소가 확산되는 것을 억제하고, 또한 외부로부터 수소 등의 불순물이 흡입되는 것을 방지하는 층으로서 기능한다.

[0075] 상기 구성으로 함으로써, 안정적인 전기 특성을 갖는 트랜지스터를 제공할 수 있다. 또는, 비도통 상태에서의 누설 전류가 작은 트랜지스터를 제공할 수 있다. 또는, 온 전류가 큰 트랜지스터를 제공할 수 있다. 또는, 노멀리 오프의 전기 특성을 갖는 트랜지스터를 제공할 수 있다. 또는, 서브스레시홀드 스윙 값이 작은 트랜지스터를 제공할 수 있다. 또는, 신뢰성이 높은 트랜지스터를 제공할 수 있다.

[0076] 상술한 바와 같이, 온 전류가 높고 오프 전류가 낮기 때문에, 트랜지스터의 구동 특성이 양호하게 된다. 또한, 저소비 전력화가 가능하게 된다. 또한, 트랜지스터가 미세화됨에 따라, 채널 길이가 짧아지더라도 높고 안정적

인 전기 특성을 갖는 트랜지스터를 제공할 수 있다. 즉, 미세화된 경우에도 단채널 효과를 억제할 수 있기 때문에, 트랜지스터의 집적도를 높일 수 있어 다양한 소형 전자 기기를 더 소형화할 수 있다. 또한, 미세한 구조이어도 높고 안정적인 전기 특성을 갖는 트랜지스터를 제공할 수 있다.

[0077] <반도체 장치의 구성예 2>

도 2, 도 3, 및 도 4는 반도체 장치의 구성예 1과는 상이한 트랜지스터(100)의 일례를 각각 도시한 것이다. 도 2의 (A), 도 3의 (A), 및 도 4의 (A)는 트랜지스터(100)의 상면을 나타낸 것이다. 또한, 간략하게 하기 위하여, 도 2의 (A), 도 3의 (A), 및 도 4의 (A)는 일부의 막을 생략하여 도시되었다. 또한, 도 2의 (B), 도 3의 (B), 및 도 4의 (B)는 각각 도 2의 (A), 도 3의 (A), 및 도 4의 (A)의 일점 쇄선 X1-X2에 대응하는 단면도이고, 도 2의 (C), 도 3의 (C), 및 도 4의 (C)는 각각 도 2의 (A), 도 3의 (A), 및 도 4의 (A)의 일점 쇄선 Y1-Y2에 대응하는 단면도이다.

또한, 도 2, 도 3, 및 도 4에 도시된 트랜지스터(100)에서, 도 1에 도시된 트랜지스터(100)를 구성하는 구조와 같은 기능을 갖는 구조에는, 동일한 부호를 사용하였다. 따라서, 기판(101) 위에 형성된 트랜지스터(100)는 게이트 전극으로서 기능하는 도전체(160) 및 도전체(170)와, 채널이 형성되는 영역(131), 소스 영역 및 드레인 영역 중 한쪽으로서 기능하는 영역(132), 및 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능하는 영역(133)을 갖는 산화물(130)과, 게이트 절연층으로서 기능하는 절연체(120) 및 절연체(150)를 갖는다. 또한, 영역(132)은 배선(140a)과 전기적으로 접속되고, 영역(133)은 배선(140b)과 전기적으로 접속되고, 도전체(160)는 배선(140c)과 전기적으로 접속된다.

도 2, 도 3, 및 도 4에 도시된 바와 같이, 절연체(150)의 단부가 산화물(130) 위에 제공되도록 형성하여도 좋다. 상기 구성으로 함으로써, 절연체(150) 및 도전체(160)를 마스크로 하여 도핑 처리가 수행된다. 그러므로, 도핑 공정에서 영역(132) 및 영역(133)은 불순물이 직접 첨가되는 영역과, 절연체(150)를 투과하여 도편트가 첨가되는 영역을 갖는다. 따라서, 도 2의 (B)에 도시된 바와 같이, 영역(132) 및 영역(133)의 채널 길이 방향의 측면 단부의 위치는, 산화물(130)의 상면으로부터 멀어짐에 따라, 산화물(130)의 채널 길이 방향의 측면 단부 측에 시프트되는 경우가 있다. 상기 구성으로 함으로써, 영역(132) 및 영역(133)이 채널 영역에 대하여 안쪽으로 매우 깊게 형성되는 것으로 인하여 항상 도통 상태가 되는 것을 방지할 수도 있다.

도 3에 도시된 바와 같이, 절연체(120)의 단부와 산화물(130)의 단부는 일치되지 않아도 된다. 또한, 도 4에 도시된 바와 같이, 절연체(120)의 단부가 절연체(150)의 단부보다 외측에 위치하여도 좋다. 예를 들어, 절연체(150)에 사용하는 재료와 절연체(120)에 사용하는 재료가 상이한 경우, 유전율 등을 고려하여 절연체(120) 및 절연체(150)의 막 두께를 상이하게 함으로써, 예를 들어, 등가 산화막 두께(EOT: Equivalent Oxide Thickness)가 같게 되도록 적절히 구조를 최적화시키면 좋다.

[0082] <반도체 장치의 변형예 1>

도 5, 도 6, 도 7, 및 도 8에는 트랜지스터(100)의 변형예의 일례를 각각 도시하였다. 도 5의 (A), 도 6의 (A), 도 7의 (A), 및 도 8의 (A)는 트랜지스터(100)의 상면을 나타낸 것이다. 또한, 간략하게 하기 위하여, 도 5의 (A), 도 6의 (A), 도 7의 (A), 및 도 8의 (A)는 일부의 막을 생략하여 도시되었다. 또한, 도 5의 (B), 도 6의 (B), 도 7의 (B), 및 도 8의 (B)는 각각 도 5의 (A), 도 6의 (A), 도 7의 (A), 및 도 8의 (A)의 일점 쇄선 X1-X2에 대응하는 단면도이고, 도 5의 (C), 도 6의 (C), 도 7의 (C), 및 도 8의 (C)는 각각 도 5의 (A), 도 6의 (A), 도 7의 (A), 및 도 8의 (A)의 일점 쇄선 Y1-Y2에 대응하는 단면도이다.

또한, 도 5~도 8에 도시된 트랜지스터(100)에서, 도 1에 도시된 트랜지스터(100)를 구성하는 구조와 같은 기능을 갖는 구조에는, 동일한 부호를 사용하였다. 따라서, 기판(101) 위에 형성된 트랜지스터(100)는 게이트 전극으로서 기능하는 도전체(160) 및 도전체(170)와, 채널이 형성되는 영역(131), 소스 영역 및 드레인 영역 중 한쪽으로서 기능하는 영역(132), 및 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능하는 영역(133)을 갖는 산화물(130)과, 게이트 절연층으로서 기능하는 절연체(120) 및 절연체(150)를 갖는다. 또한, 영역(132)은 배선(140a)과 전기적으로 접속되고, 영역(133)은 배선(140b)과 전기적으로 접속되고, 도전체(160)는 배선(140c)과 전기적으로 접속된다.

도 5, 도 6, 도 7, 및 도 8에 도시된 바와 같이, 도전체(170)를 산화물(130)보다 크게 형성하여도 좋다. 도전체(170)를 산화물(130)보다 크게 형성함으로써, 도전체(170)보다 위에 형성되는 막의 피막성을 향상시킬 수 있다. 즉, 평탄성을 유지한 채 산화물(130) 등의 트랜지스터(100)를 구성하는 각 막을 형성할 수 있기 때문에, 신뢰성이 높은 트랜지스터를 제공할 수 있다.

- [0086] 도 5에 도시된 구조에서는 절연체(120)의 단부와 산화물(130)의 단부가 일치되어 있다. 따라서, 절연체(120) 및 산화물(130)을 동시에 형성할 수 있어 마스크를 삭감할 수 있다.
- [0087] 또한, 도 6에 도시된 바와 같이, 절연체(120)의 단부와 산화물(130)의 단부는 일치되지 않아도 된다. 또한, 도 7에 도시된 바와 같이, 절연체(120)의 단부가 절연체(150)의 단부보다 외측에 위치하여도 좋다. 예를 들어, 절연체(150)에 사용하는 재료와 절연체(120)에 사용하는 재료가 상이한 경우, 유전율 등을 고려하여 절연체(120) 및 절연체(150)의 막 두께를 상이하게 함으로써, 예를 들어, 등가 산화막 두께(EOT)가 같게 되도록 적절히 구조를 최적화시키면 좋다.
- [0088] 또한, 도 8에 도시된 바와 같이, 절연체(120)의 단부와 도전체(170)의 단부는 일치되어도 좋다. 이 경우, 도전체(170)는 측면에서 도전체(160)와 도통된다. 또한, 상기 구성에서 절연체(120) 및 도전체(170)를 동시에 형성 함으로써, 마스크를 삭감할 수 있다.
- [0089] <반도체 장치의 변형예 2>
- [0090] 도 9 및 도 10에는 트랜지스터(100)의 변형예의 일례를 각각 도시하였다. 도 9의 (A) 및 도 10의 (A)는 트랜지스터(100)의 상면을 나타낸 것이다. 또한, 간략하게 하기 위하여 도 9의 (A) 및 도 10의 (A)는 일부의 막을 생략하여 도시되었다. 또한, 도 9의 (B) 및 도 10의 (B)는 각각 도 9의 (A) 및 도 10의 (A)의 일점 쇄선 X1-X2에 대응하는 단면도이고, 도 9의 (C) 및 도 10의 (C)는 각각 도 9의 (A) 및 도 10의 (A)의 일점 쇄선 Y1-Y2에 대응하는 단면도이다.
- [0091] 또한, 도 9 및 도 10에 도시된 트랜지스터(100)에서, 도 1에 도시된 트랜지스터(100)를 구성하는 구조와 같은 기능을 갖는 구조에는, 동일한 부호를 사용하였다. 따라서, 기판(101) 위에 형성된 트랜지스터(100)는 게이트 전극으로서 기능하는 도전체(160) 및 도전체(170)와, 채널이 형성되는 영역(131), 소스 영역 및 드레인 영역 중 한쪽으로서 기능하는 영역(132), 및 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능하는 영역(133)을 갖는 산화물(130)과, 게이트 절연층으로서 기능하는 절연체(120) 및 절연체(150)를 갖는다. 또한, 영역(132)은 배선(140a)과 전기적으로 접속되고, 영역(133)은 배선(140b)과 전기적으로 접속되고, 도전체(160)는 배선(140c)과 전기적으로 접속된다.
- [0092] 도 9 및 도 10에 도시된 바와 같이, 도전체(170)를 절연체(110)에 매립하여도 좋다. 예를 들어, 도전체(170)를 형성한 후에, 절연체(110)를 형성하고, CMP(Chemical Mechanical Polishing: 화학적 기계 연마)에 의하여 도전체(170)가 노출될 때까지 절연체(110)를 제거하면 좋다. 또한, 매립 전극으로 함으로써, 도전체(170) 위에 형성되는 막의 피막성을 향상시킬 수 있다.
- [0093] 도 9에 도시된 바와 같이, 산화물(130) 및 절연체(150)를 형성한 후에 산화물(130) 및 절연체(150) 측면에 절연체(190)를 형성하여도 좋다. 예를 들어, 절연체(190)는 측벽 절연체로서 제공됨으로써 더 미세화될 수 있다. 또한, 예를 들어, 절연체(120)에 사용하는 재료와, 절연체(150)에 사용하는 재료와, 절연체(190)에 사용하는 재료가 상이한 경우, 유전율 등을 고려하여 절연체(120), 절연체(150), 및 절연체(190)의 막 두께를 상이하게 함으로써, 예를 들어, 등가 산화막 두께(EOT)가 같게 되도록 적절히 구조를 최적화시키면 좋다. 또한, 절연체(120), 절연체(150), 및 절연체(190) 각각은 적층 구조를 가져도 좋다.
- [0094] 또한, 도 10에 도시된 바와 같이, 절연체(120)의 단부와, 산화물(130)의 단부와, 절연체(150)의 단부가 일치되는 구조로 하여도 좋다. 도 10에 도시된 구조에서, 절연체(120), 절연체(150), 및 산화물(130)을 동시에 형성 함으로써, 마스크를 삭감할 수 있다.
- [0095] <반도체 장치의 변형예 3>
- [0096] 도 11, 도 12, 도 13, 도 14, 및 도 15에는 트랜지스터(100)의 변형예의 일례를 각각 도시하였다. 도 11의 (A), 도 12의 (A), 도 13의 (A), 도 14의 (A), 및 도 15의 (A)는 트랜지스터(100)의 상면을 나타낸 것이다. 또한, 간략하게 하기 위하여 도 11의 (A), 도 12의 (A), 도 13의 (A), 도 14의 (A), 및 도 15의 (A)는 일부의 막을 생략하여 도시되었다. 또한, 도 11의 (B), 도 12의 (B), 도 13의 (B), 도 14의 (B), 및 도 15의 (B)는 각각 도 11의 (A), 도 12의 (A), 도 13의 (A), 도 14의 (A), 및 도 15의 (A)의 일점 쇄선 X1-X2에 대응하는 단면도이고, 도 11의 (C), 도 12의 (C), 도 13의 (C), 도 14의 (C), 및 도 15의 (C)는 각각 도 11의 (A), 도 12의 (A), 도 13의 (A), 도 14의 (A), 및 도 15의 (A)의 일점 쇄선 Y1-Y2에 대응하는 단면도이다.
- [0097] 또한, 도 11, 도 12, 도 13, 도 14, 및 도 15에 도시된 트랜지스터(100)에서, 도 1에 도시된 트랜지스터(100)를 구성하는 구조와 같은 기능을 갖는 구조에는, 동일한 부호를 사용하였다. 따라서, 기판(101) 위에 형성된 트랜

지스터(100)는 게이트 전극으로서 기능하는 도전체(160) 및 도전체(170)와, 채널이 형성되는 영역(131), 소스 영역 및 드레인 영역 중 한쪽으로서 기능하는 영역(132), 및 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능하는 영역(133)을 갖는 산화물(130)과, 게이트 절연층으로서 기능하는 절연체(120) 및 절연체(150)를 갖는다. 또한, 영역(132)은 배선(140a)과 전기적으로 접속되고, 영역(133)은 배선(140b)과 전기적으로 접속되고, 도전체(160)는 배선(140c)과 전기적으로 접속된다.

[0098] 도 11, 도 12, 도 13, 도 14, 및 도 15에 도시된 바와 같이, 절연체(110)가 갖는 개구부 내에 도전체(170), 절연체(120), 및 산화물(130)을 갖는 구조로 하여도 좋다. 예를 들어, 절연체(110)에 더미층 등을 사용하여 개구부를 형성하고, 상기 개구부에 트랜지스터(100)의 일부를 제공하면 좋다. 본 구성으로 함으로써, 복수의 트랜지스터를 제작한 경우에 편차를 줄일 수 있다.

[0099] 도 11에 도시된 구조는, 개구부에 도전체(170), 절연체(120), 및 산화물(130)을 형성한 후에, 절연체(110)의 상면이 노출될 때까지 평탄화를 수행함으로써 제공될 수 있다. 그 후, 절연체(150) 및 도전체(160)를 형성하면 좋다. 예를 들어, 평탄화 처리에는, CMP 등을 사용할 수 있다.

[0100] 또한, 도 12에 도시된 바와 같이, 절연체(150)의 단부와 절연체(120)의 단부는 일치되지 않아도 된다. 또한, 도 13에 도시된 바와 같이, 절연체(150)의 단부 및 절연체(120)의 단부는, 도전체(170)의 개구부 측면의 연장상에 없어도 된다. 이 경우, 절연체(120)를 스토퍼막으로서 사용할 수도 있다.

[0101] 또한, 도 14에 도시된 바와 같이, 절연체(150)를 개구부에 매립하여도 좋다. 또한, 도 15에 도시된 바와 같이, 절연체(150)와 절연체(120)의 상면의 높이를 일치하게 하여도 좋다. 도 14 및 도 15의 구성은, 예를 들어, 산화물(130)만을 오버 에칭한 후, 절연체(150)를 형성함으로써 제공될 수 있다.

[0102] <반도체 장치의 구성 예 3>

[0103] 도 16, 도 17, 및 도 18은 트랜지스터(100)의 변형예의 일례를 도시한 것이다. 도 16의 (A), 도 17의 (A), 및 도 18의 (A)는 트랜지스터(100)의 상면을 나타낸 것이다. 또한, 간략하게 하기 위하여, 도 16의 (A), 도 17의 (A), 및 도 18의 (A)는 일부의 막을 생략하여 도시되었다. 또한, 도 16의 (B), 도 17의 (B), 및 도 18의 (B)는 각각 도 16의 (A), 도 17의 (A), 및 도 18의 (A)의 일점 쇄선 X1-X2에 대응하는 단면도이고, 도 16의 (C), 도 17의 (C), 및 도 18의 (C)는 각각 도 16의 (A), 도 17의 (A), 및 도 18의 (A)의 일점 쇄선 Y1-Y2에 대응하는 단면도이다.

[0104] 또한, 도 16, 도 17, 및 도 18에 도시된 트랜지스터(100)에서, 도 1에 도시된 트랜지스터(100)를 구성하는 구조와 같은 기능을 갖는 구조에는, 동일한 부호를 사용하였다. 따라서, 기판(101) 위에 형성된 트랜지스터(100)는 게이트 전극으로서 기능하는 도전체(160) 및 도전체(170)와, 영역(131), 소스 영역 및 드레인 영역 중 한쪽으로서 기능하는 영역(132), 및 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능하는 영역(133)을 갖는 산화물(130)과, 게이트 절연층으로서 기능하는 절연체(120) 및 절연체(150)를 갖는다. 또한, 영역(132)은 배선(140a)과 전기적으로 접속되고, 영역(133)은 배선(140b)과 전기적으로 접속되고, 도전체(160)는 배선(140c)과 전기적으로 접속된다.

[0105] 도 16, 도 17, 및 도 18에 도시된 트랜지스터(100)에서, 산화물(130)은 영역(131a), 영역(132a), 및 영역(133a)을 갖는 절연체(130a)와, 절연체(130a) 위의 영역(131b), 영역(132b), 및 영역(133b)을 갖는 반도체(130b)와, 반도체(130b) 위의 영역(131c), 영역(132c), 및 영역(133c)을 갖는 절연체(130c)를 갖는다. 또한, 절연체(130a)에서 영역(132a) 및 영역(133a)은 저저항화되어 있고, 영역(131a)은 영역(132a) 및 영역(133a)과 접촉된다. 또한, 반도체(130b)에서, 영역(132b) 및 영역(133b)은 저저항화되어 있고, 영역(131b)은 영역(132b) 및 영역(133b)과 접촉된다. 또한, 절연체(130c)에서 영역(132c) 및 영역(133c)은 저저항화되어 있고, 영역(131c)은 영역(132c) 및 영역(133c)과 접촉된다. 또한, 영역(131a), 영역(131b), 및 영역(131c)을 영역(131)으로 한다. 영역(132a), 영역(132b), 및 영역(132c)을 영역(132)으로 한다. 영역(133a), 영역(133b), 및 영역(133c)을 영역(133)으로 한다.

[0106] 즉, 절연체(130a), 반도체(130b), 및 절연체(130c)는 영역(132), 영역(133), 및 영역(131)을 갖는다. 또한, 영역(132) 및 영역(133)은 영역(131)에 비하여 불순물의 농도가 높아 저저항화되어 있다. 여기서, 절연체(130a), 반도체(130b), 및 절연체(130c)에서, 영역(131)은 영역(132) 및 영역(133)을 제외한 영역이다.

[0107] 또한, 반도체(130b)는, 예를 들어, 인듐을 포함하는 산화물 반도체이다. 반도체(130b)는 인듐을 포함하면 캐리어 이동도(전자 이동도)가 높아진다. 또한, 반도체(130b)는 원소 M을 포함하면 바람직하다. 원소 M은, 바람직하게는 Ti, Ga, Y, Zr, La, Ce, Nd, Sn, 또는 Hf이다. 다만, 원소 M으로서 상술한 복수의 원소를 조합하여도

좋은 경우가 있다. 원소 M은, 예를 들어, 산소와의 결합 에너지가 높은 원소이다. 예를 들어, 산소와의 결합 에너지가 인듐보다 높은 원소이다. 또는, 원소 M은 예를 들어, 산화물 반도체의 에너지 캡을 크게 하는 기능을 갖는 원소이다. 또한, 반도체(130b)는 아연을 포함하면 바람직하다. 산화물 반도체는 아연을 포함하면 결정화 되기 쉬워질 수 있다.

[0108] 다만, 반도체(130b)는 인듐을 포함하는 산화물 반도체에 한정되지 않는다. 반도체(130b)는, 예를 들어, 아연 주석 산화물 또는 갈륨 주석 산화물 등, 인듐을 포함하지 않고 아연을 포함하는 산화물 반도체, 인듐을 포함하지 않고 갈륨을 포함하는 산화물 반도체, 또는 인듐을 포함하지 않고 주석을 포함하는 산화물 반도체 등이어도 좋다.

[0109] 또한, 절연체(130a) 및 절연체(130c)는 반도체(130b)를 구성하는 산소 외의 원소 1종 이상 또는 2종 이상으로 구성된다. 반도체(130b)를 구성하는 산소 외의 원소 1종 이상 또는 2종 이상으로 절연체(130a) 및 절연체(130c)가 구성되기 때문에, 절연체(130a)와 반도체(130b)의 계면, 및 반도체(130b)와 절연체(130c)의 계면에서 결합 준위가 형성되기 어렵다.

[0110] 절연체(130a), 반도체(130b), 및 절연체(130c)는 적어도 인듐을 포함하면 바람직하다. 또한, 절연체(130a)가 In-M-Zn 산화물인 경우, In과 M의 합을 100atomic%로 할 때, 바람직하게는 In을 50atomic% 미만, M을 50atomic%보다 높게 하고, 더 바람직하게는 In을 25atomic% 미만, M을 75atomic%보다 높게 한다. 또한, 반도체(130b)가 In-M-Zn 산화물인 경우, In과 M의 합을 100atomic%로 할 때, 바람직하게는 In을 25atomic%보다 높게 하고, M을 75atomic% 미만으로 하고, 더 바람직하게는 In을 34atomic%보다 높게 하고, M을 66atomic% 미만으로 한다. 또한, 절연체(130c)가 In-M-Zn 산화물인 경우, In과 M의 합을 100atomic%로 할 때, 바람직하게는 In을 50atomic% 미만, M을 50atomic%보다 높게 하고, 더 바람직하게는 In을 25atomic% 미만, M을 75atomic%보다 높게 한다. 다만, 절연체(130a) 또는 절연체(130c)가 인듐을 포함하지 않아도 되는 경우가 있다. 예를 들어, 절연체(130a) 또는 절연체(130c)가 산화 갈륨이어도 좋다. 또한, 절연체(130a), 반도체(130b), 및 절연체(130c)에 포함되는 각 원소의 원자수비가, 간단한 정수(整數)비가 아니어도 된다.

[0111] 예를 들어, 절연체(130a) 또는 절연체(130c)에 사용하는 타깃의 금속 원소의 원자수비의 대표적인 예로서는, $In:M:Zn=1:2:4$, $In:M:Zn=1:3:2$, $In:M:Zn=1:3:4$, $In:M:Zn=1:3:6$, $In:M:Zn=1:3:8$, $In:M:Zn=1:4:3$, $In:M:Zn=1:4:4$, $In:M:Zn=1:4:5$, $In:M:Zn=1:4:6$, $In:M:Zn=1:6:3$, $In:M:Zn=1:6:4$, $In:M:Zn=1:6:5$, $In:M:Zn=1:6:6$, $In:M:Zn=1:6:7$, $In:M:Zn=1:6:8$, 또는 $In:M:Zn=1:6:9$ 등이 있다.

[0112] 또한, 예를 들어, 반도체(130b)에 사용하는 타깃의 금속 원소의 원자수비의 대표적인 예로서는, $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$, $In:M:Zn=2:1:1.5$, $In:M:Zn=2:1:2.3$, $In:M:Zn=2:1:3$, $In:M:Zn=3:1:2$, 또는 $In:M:Zn=4:2:4.1$ 등이 있다. 특히, 스퍼터링 타깃으로서 원자수비가 $In:Ga:Zn=4:2:4.1$ 인 것을 사용하는 경우, 성막되는 반도체(130b)의 원자수비는 $In:Ga:Zn=4:2:3$ 근방이 되는 경우가 있다.

[0113] 또한, 인듐 갈륨 산화물은 전자 친화력이 낮고 산소 차단성이 높다. 따라서, 절연체(130c)가 인듐 갈륨 산화물을 포함하면 바람직하다. 갈륨 원자 비율[Ga/(In+Ga)]은 예를 들어 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 90% 이상으로 한다.

[0114] 반도체(130b)에는 예를 들어, 에너지 캡이 큰 산화물을 사용한다. 반도체(130b)의 에너지 캡은, 예를 들어, 2.5eV 이상 4.2eV 이하, 바람직하게는 2.8eV 이상 3.8eV 이하, 더 바람직하게는 3eV 이상 3.5eV 이하로 한다. 여기서, 절연체(130a)의 에너지 캡은 반도체(130b)의 에너지 캡보다 크다. 또한, 절연체(130c)의 에너지 캡은 반도체(130b)의 에너지 캡보다 크다.

[0115] 반도체(130b)에는 절연체(130a) 또는 절연체(130c)보다 전자 친화력이 높은 산화물을 사용한다. 예를 들어, 반도체(130b)로서, 전자 친화력이 절연체(130a) 또는 절연체(130c)보다 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하만큼 높은 산화물을 사용한다. 또한, 전자 친화력은 진공 준위와 전도대 하단의 에너지의 차이다. 바꿔 말하면, 절연체(130a) 또는 절연체(130c)의 전도대 하단의 에너지 준위는, 반도체(130b)의 전도대 하단의 에너지 준위보다 진공 준위에 가깝다.

[0116] 이때, 게이트 전압을 인가하면, 절연체(130a) 또는 절연체(130c)가 아니라, 전자 친화력이 더 높은 반도체(130b)에 채널이 형성된다.

[0117] 상술한 바와 같이, 절연체(130a) 및 절연체(130c)는 단독으로 사용하는 경우, 도전체, 반도체, 또는 절연체로서 기능시킬 수 있는 물질로 이루어진다. 그러나, 반도체(130b)와 적층시켜 트랜지스터를 형성하는 경우, 전자는 반도체(130b), 반도체(130b)와 절연체(130a)의 계면 근방, 및 반도체(130b)와 절연체(130c)의 계면 근방을

흘러, 절연체(130a) 및 절연체(130c)는 상기 트랜지스터의 채널로서 기능하지 않는 영역을 갖는다. 따라서, 본 명세서 등에서는, 절연체(130a) 및 절연체(130c)를 반도체라고 기재하지 않고, 절연체라고 기재하였다. 또한, 절연체(130a) 및 절연체(130c)를 절연체라고 기재하는 것은, 어디까지나 트랜지스터의 기능 상 반도체(130b)에 비하여 절연체에 가까운 기능을 갖기 때문이다. 따라서, 절연체(130a) 또는 절연체(130c)에 반도체(130b)에 사용할 수 있는 물질을 사용하는 경우도 있다.

[0118] 여기서, 절연체(130a)와 반도체(130b) 사이에는, 절연체(130a)와 반도체(130b)의 혼합 영역이 존재하는 경우가 있다. 또한, 절연체(130c)와 반도체(130b) 사이에는 절연체(130c)와 반도체(130b)의 혼합 영역이 존재하는 경우가 있다. 혼합 영역은 결합 준위 밀도가 낮다. 따라서, 절연체(130a), 반도체(130b), 및 절연체(130c)의 적층체는, 각 계면 근방에서 에너지가 연속적으로 변화되는(연속 접합이라고도 함) 밴드 다이어그램이 된다. 또한, 절연체(130a)와 반도체(130b), 또는 절연체(130c)와 반도체(130b)의 각 계면을 명확히 판별할 수 없는 경우가 있다.

[0119] 이때, 전자는 절연체(130a) 및 절연체(130c) 내가 아니라, 주로 반도체(130b) 내를 이동한다. 상술한 바와 같이, 절연체(130a)와 반도체(130b)의 계면, 및 절연체(130c)와 반도체(130b)의 계면에서의 결합 준위 밀도를 낮게 함으로써, 반도체(130b) 내에서 전자의 이동이 저해되는 일이 적어져, 트랜지스터의 온 전류를 높일 수 있다.

[0120] 또한, 트랜지스터의 온 전류는, 전자의 이동을 저해하는 요인을 저감할수록 높일 수 있다. 예를 들어, 전자의 이동을 저해하는 요인이 없으면 전자가 효율적으로 이동할 것으로 추정된다. 전자의 이동은, 예를 들어, 채널 형성 영역의 물리적인 요철이 큰 경우에도 저해된다.

[0121] 트랜지스터의 온 전류를 높이기 위해서는, 예를 들어 반도체(130b)의 상면 또는 하면(괴형성면, 여기서는 절연체(130a)의 상면)의, $1\text{ }\mu\text{m} \times 1\text{ }\mu\text{m}$ 의 범위에서의 제곱평균제곱근(RMS: Root Mean Square) 거칠기가 1nm 미만, 바람직하게는 0.6nm 미만, 더 바람직하게는 0.5nm 미만, 더욱 바람직하게는 0.4nm 미만으로 하면 좋다. 또한, $1\text{ }\mu\text{m} \times 1\text{ }\mu\text{m}$ 의 범위에서의 평균 면 거칠기(Ra라고도 함)를 1nm 미만, 바람직하게는 0.6nm 미만, 더 바람직하게는 0.5nm 미만, 더욱 바람직하게는 0.4nm 미만으로 하면 좋다. 또한, $1\text{ }\mu\text{m} \times 1\text{ }\mu\text{m}$ 의 범위에서의 최대 고저차(P-V라고도 함)를 10nm 미만, 바람직하게는 9nm 미만, 더 바람직하게는 8nm 미만, 더욱 바람직하게는 7nm 미만으로 하면 좋다. RMS 거칠기, Ra, 및 P-V는 주사형 프로브 현미경 시스템 SPA-500(SII Nano Technology Inc. 제조) 등을 사용하여 측정될 수 있다.

[0122] 또한, 절연체(130a) 및 절연체(130c)는 인접한 절연체에 포함되는 산소 외의 원소(수소 및 실리콘 등)가 채널이 형성되는 반도체(130b)에 들어가지 않도록 차단하는 기능을 갖는다. 또한, 인접한 절연체와 절연체(130a)의 계면으로부터 채널이 형성되는 반도체(130b)까지의 거리를 이격시킴으로써, 채널이 형성되는 반도체(130b)로 불순물이 확산되는 것을 방지할 수 있다.

[0123] 예를 들어, 산화물 반도체 내의 실리콘은, 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다. 따라서, 반도체(130b)의 실리콘 농도는 낮을수록 바람직하다. 예를 들어, 반도체(130b)와 절연체(130a) 사이에, 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 측정되는 실리콘 농도가 $1 \times 10^{16}\text{ atoms/cm}^3$ 이상 $1 \times 10^{19}\text{ atoms/cm}^3$ 이하, 바람직하게는 $1 \times 10^{16}\text{ atoms/cm}^3$ 이상 $5 \times 10^{18}\text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{16}\text{ atoms/cm}^3$ 이상 $2 \times 10^{18}\text{ atoms/cm}^3$ 이하인 영역을 갖는다. 또한, 반도체(130b)와 절연체(130c) 사이에, SIMS로 측정되는 실리콘 농도가 $1 \times 10^{16}\text{ atoms/cm}^3$ 이상 $1 \times 10^{19}\text{ atoms/cm}^3$ 이하, 바람직하게는 $1 \times 10^{16}\text{ atoms/cm}^3$ 이상 $5 \times 10^{18}\text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{16}\text{ atoms/cm}^3$ 이상 $2 \times 10^{18}\text{ atoms/cm}^3$ 이하인 영역을 갖는다.

[0124] 또한, 반도체(130b)의 수소 농도를 저감하기 위하여, 절연체(130a) 및 절연체(130c)의 수소 농도를 저감하면 바람직하다. 절연체(130a) 및 절연체(130c)는 SIMS로 측정되는 수소 농도가 $1 \times 10^{16}\text{ atoms/cm}^3$ 이상 $2 \times 10^{20}\text{ atoms/cm}^3$ 이하, 바람직하게는 $1 \times 10^{16}\text{ atoms/cm}^3$ 이상 $5 \times 10^{19}\text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{16}\text{ atoms/cm}^3$ 이상 $1 \times 10^{19}\text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16}\text{ atoms/cm}^3$ 이상 $5 \times 10^{18}\text{ atoms/cm}^3$ 이하인 영역을 갖는다. 또한, 반도체(130b)의 질소 농도를 저감하기 위하여, 절연체(130a) 및 절연체(130c)의 질소 농도를 저감하면 바람직하다. 절연체(130a) 및 절연체(130c)는 SIMS로 측정되는 질소 농도가 $1 \times 10^{15}\text{ atoms/cm}^3$ 이상 $5 \times 10^{19}\text{ atoms/cm}^3$ 이하, 바람직하게는 $1 \times 10^{15}\text{ atoms/cm}^3$ 이상 $5 \times 10^{18}\text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times$

10^{15} atoms/cm³ 이상 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{15} atoms/cm³ 이상 5×10^{17} atoms/cm³ 이하인 영역을 갖는다.

[0125] 본 실시형태에서 설명하는 절연체(130a), 반도체(130b), 및 절연체(130c), 특히 반도체(130b)는 불순물 농도가 낮고, 결함 준위 밀도가 낮은(산소 결손이 적은) 산화물 반도체이고, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 할 수 있다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생 원이 적기 때문에, 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체에 채널 영역이 형성되는 트랜지스터는, 문턱 전압이 음이 되는 전기 특성(노멀리 온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 오프 전류가 현저히 작기 때문에, 채널 폭(W)이 1×10^6 μm이며 채널 길이(L)가 10 μm인 소자의 경우에도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V에서 10V의 범위에서 오프 전류가 반도체 파라미터 분석기의 측정 한계 이하, 즉 1×10^{-13} A 이하라는 특성을 얻을 수 있다.

[0126] 따라서, 상기 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체에 채널 영역이 형성되는 트랜지스터는 전기 특성의 변동이 작으며 신뢰성이 높은 트랜지스터로 할 수 있다. 또한, 산화물 반도체의 트랩 준위에 포획된 전하의 소실에는 오랜 시간이 걸리며, 이 전하는 마치 고정 전하와 같이 행동하는 경우가 있다. 따라서, 트랩 준위 밀도가 높은 산화물 반도체에 채널 영역이 형성되는 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다. 불순물로서는, 수소, 질소, 알칼리 금속, 또는 알칼리 토금속 등이 있다.

[0127] 절연체(130a), 반도체(130b), 및 절연체(130c)에 포함되는 수소는 금속 원자와 결합되는 산소와 반응하여 물이 됨과 함께, 산소가 탈리된 격자(또는 산소가 탈리된 부분)에 산소 결손이 형성된다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합되는 산소와 결합됨으로써, 캐리어인 전자가 생성되는 경우가 있다. 특히, 산소 결손에 트랩된 수소는, 반도체의 밴드 구조에 대하여 얇은 도너 준위가 형성되는 경우가 있다. 따라서, 수소가 포함되어 있는 산화물 반도체가 사용된 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 절연체(130a), 반도체(130b), 및 절연체(130c)는 수소가 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 절연체(130a), 반도체(130b), 및 절연체(130c)에서 SIMS로 측정되는 수소 농도를 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하, 더더욱 바람직하게는 1×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하, 특히 바람직하게는 1×10^{16} atoms/cm³ 이하로 한다.

[0128] 절연체(130a), 반도체(130b), 및 절연체(130c)에 14족 원소의 하나인 실리콘이나 탄소가 포함되면, 절연체(130a), 반도체(130b), 및 절연체(130c)에서 산소 결손이 증가하여 n형화하게 된다. 따라서, 절연체(130a), 반도체(130b), 및 절연체(130c)와의 계면 근방의 실리콘이나 탄소의 농도(SIMS로 측정되는 농도)를 2×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{17} atoms/cm³ 이하로 한다.

[0129] 또한, 절연체(130a), 반도체(130b), 및 절연체(130c)에서, SIMS로 측정되는 알칼리 금속 또는 알칼리 토금속의 농도를 1×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{16} atoms/cm³ 이하로 한다. 알칼리 금속 및 알칼리 토금속은, 산화물 반도체와 결합되면 캐리어가 생성될 수 있고, 이로 인하여 트랜지스터의 오프 전류가 증대되는 경우가 있다. 따라서, 절연체(130a), 반도체(130b), 및 절연체(130c)의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다.

[0130] 또한, 절연체(130a), 반도체(130b), 및 절연체(130c)에 질소가 포함되어 있으면, 캐리어인 전자가 생기고 캐리어 밀도가 증가되어 n형화되기 쉽다. 그러므로, 질소가 포함되어 있는 산화물 반도체막을 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 상기 산화물 반도체막에서 질소는 가능한 한 저감되어 있는 것이 바람직하다. 예를 들어, SIMS로 측정되는 질소 농도는 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.

[0131] 상술한 바와 같이, 본 실시형태에서 설명하는 절연체(130a), 반도체(130b), 및 절연체(130c)는 불순물 농도가 낮고, 결함 준위 밀도가 낮은(산소 결손이 적은) 산화물이고, 캐리어 밀도가 낮다. 그러므로, 배선(140a)과 배

선(140b) 사이에서 접촉 저항이 크게 되기 쉽다. 따라서, 본 실시형태에서 설명하는 트랜지스터(100)에서는, 배선(140a) 및 배선(140b)과, 절연체(130a), 반도체(130b), 및 절연체(130c)가 각각 산화물(130) 내의 저저항화된 영역(132) 및 영역(133)을 통하여 접속됨으로써, 접촉 저항의 억제를 도모할 수 있다.

[0132] 또한, 상술한 절연체(130a), 반도체(130b), 및 절연체(130c)의 3층 구조는 일례에 불과하다. 예를 들어, 절연체(130a) 및 절연체(130c) 중 한쪽을 제공하지 않는 2층 구조로 하여도 좋다. 또한, 절연체(130a) 및 절연체(130c) 양쪽 모두를 제공하지 않는 단층 구조로 하여도 좋다. 또는, 절연체(130a), 반도체(130b), 및 절연체(130c)로서 예시한 절연체, 반도체, 또는 도전체 중 어느 것을 갖는 n층 구조(n은 4 이상의 정수)로 하여도 좋다.

[0133] 도 16에 도시된 트랜지스터(100)에서, 주로 영역(131b)이 채널 형성 영역이 된다. 영역(131b)과 접촉하는 절연체(150)에는 산소를 포함하는 절연체를 사용하는 것이 바람직하다. 또한, 절연체(120)에는 배리어성이 높은 절연체를 사용함으로써, 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0134] 도 17에 도시된 바와 같이, 도전체(170)를 산화물(130)보다 크게 형성하여도 좋다. 도전체(170)를 산화물(130)보다 크게 형성함으로써, 도전체(170)보다 위에 형성되는 막의 피막성을 향상시킬 수 있다.

[0135] 또한, 도 18에 도시된 바와 같이, 도전체(170)를 절연체(110)에 매립함으로써, 도전체(170) 위에 형성되는 막의 피막성을 더 향상시킬 수 있다. 또한, 도 18에 도시된 트랜지스터(100)에서, 주로 영역(131b)이 채널 형성 영역이 된다. 영역(131b)과 접촉하는 절연체(190)에는 산소를 포함하는 절연체를 사용하는 것이 바람직하다. 또한, 절연체(120) 및 절연체(150)에는 배리어성이 높은 절연체를 사용함으로써, 트랜지스터의 신뢰성을 향상시킬 수 있다.

<반도체 장치의 구성 예 4>

[0137] 도 19, 도 20, 도 21, 및 도 22는 트랜지스터(100)의 변형예의 일례를 도시한 것이다. 도 19의 (A), 도 20의 (A), 도 21의 (A), 및 도 22의 (A)는 트랜지스터(100)의 상면을 나타낸 것이다. 또한, 간략하게 하기 위하여, 도 19의 (A), 도 20의 (A), 도 21의 (A), 및 도 22의 (A)는 일부의 막을 생략하여 도시되었다. 또한, 도 19의 (B), 도 20의 (B), 도 21의 (B), 및 도 22의 (B)는 각각 도 19의 (A), 도 20의 (A), 도 21의 (A), 및 도 22의 (A)의 일점 쇄선 X1-X2에 대응하는 단면도이고, 도 19의 (C), 도 20의 (C), 도 21의 (C), 및 도 22의 (C)는 각각 도 19의 (A), 도 20의 (A), 도 21의 (A), 및 도 22의 (A)의 일점 쇄선 Y1-Y2에 대응하는 단면도이다.

[0138] 또한, 도 19, 도 20, 도 21, 및 도 22에 도시된 트랜지스터(100)에서, 도 1에 도시된 트랜지스터(100)를 구성하는 구조와 같은 기능을 갖는 구조에는, 동일한 부호를 사용하였다. 따라서, 기판(101) 위에 형성된 트랜지스터(100)는 게이트 전극으로서 기능하는 도전체(160) 및 도전체(170)와, 영역(131), 소스 영역 및 드레인 영역 중 한쪽으로서 기능하는 영역(132), 및 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능하는 영역(133)을 갖는 산화물(130)과, 게이트 절연층으로서 기능하는 절연체(120) 및 절연체(150)를 갖는다. 또한, 영역(132)은 배선(140a)과 전기적으로 접속되고, 영역(133)은 배선(140b)과 전기적으로 접속되고, 도전체(160)는 배선(140c)과 전기적으로 접속된다.

[0139] 도 19, 도 20, 도 21, 및 도 22에 도시된 트랜지스터(100)에서, 산화물(130)은 영역(131a), 영역(132a), 및 영역(133a)을 갖는 절연체(130a)와, 절연체(130a) 위의 영역(131b), 영역(132b), 및 영역(133b)을 갖는 반도체(130b)와, 반도체(130b) 위의 영역(131c), 영역(132c), 및 영역(133c)을 갖는 절연체(130c)를 갖는다. 또한, 절연체(130a)에서 영역(132a) 및 영역(133a)은 저저항화되어 있고, 영역(131a)은 영역(132a) 및 영역(133a)과 접촉된다. 또한, 반도체(130b)에서, 영역(132b) 및 영역(133b)은 저저항화되어 있고, 영역(131b)은 영역(132b) 및 영역(133b)과 접촉된다. 또한, 절연체(130c)에서, 영역(132c) 및 영역(133c)은 저저항화되어 있고, 영역(131c)은 영역(132c) 및 영역(133c)과 접촉된다. 또한, 영역(131a), 영역(131b), 및 영역(131c)을 영역(131)으로 한다. 영역(132a), 영역(132b), 및 영역(132c)을 영역(132)으로 한다. 영역(133a), 영역(133b), 및 영역(133c)을 영역(133)으로 한다.

[0140] 즉, 절연체(130a), 반도체(130b), 및 절연체(130c)는 영역(132), 영역(133), 및 영역(131)을 갖는다. 또한, 영역(132) 및 영역(133)은 영역(131)에 비하여 불순물의 농도가 높아 저저항화되어 있다. 여기서, 절연체(130a), 반도체(130b), 및 절연체(130c)에서, 영역(131)은 영역(132) 및 영역(133)을 제외한 영역이다.

[0141] 도 19, 도 20, 도 21, 및 도 22에 도시된 바와 같이, 트랜지스터(100)에서는 반도체(130b)가 절연체(130a) 및 절연체(130c)로 둘러싸이도록 제공되어 있다. 따라서, 반도체(130b)의 측면 단부, 특히 채널 폭 방향의 측면 단부 근방이, 절연체(130a) 및 절연체(130c)와 접촉하여 제공되어 있다. 이 결과, 반도체(130b)의 측면 단부

근방에서, 반도체(130b)와 절연체(130a) 사이, 또는 반도체(130b)와 절연체(130c) 사이에 연속 접합이 형성되어, 결합 준위 밀도가 저감된다. 따라서, s-channel 구조에 의하여, 온 전류가 흐르기 쉬워지더라도, 반도체(130b)의 채널 폭 방향의 측면 단부에서도 누설 전류가 억제되어, 안정적인 전기 특성을 얻을 수 있다.

[0142] 도 19에 도시된 바와 같이, 절연체(130c)의 저면이 절연체(130a)의 상면과 접촉되도록 형성하여도 좋다. 또한, 도 20에 도시된 바와 같이, 절연체(130c)의 저면이 절연체(120)와 접촉되도록 형성하여도 좋다. 또한, 도 20에 도시된 바와 같이, 도전체(170)를 산화물(130)보다 크게 형성하여도 좋다. 도전체(170)를 산화물(130)보다 크게 형성함으로써, 도전체(170)보다 위에 형성되는 막의 피막성을 향상시킬 수 있다.

[0143] 도 21에 도시된 바와 같이, 도전체(170)를 절연체(110)에 매립함으로써, 도전체(170) 위에 형성되는 막의 피막성을 더 향상시킬 수 있다.

[0144] 도 22에 도시된 바와 같이, 절연체(110)에 개구부를 형성하고, 상기 개구부에 트랜지스터(100)의 일부를 제공하면 좋다. 본 구성으로 함으로써, 각 트랜지스터 사이에서의 편차가 적은 트랜지스터를 복수로 제작할 수 있다.

[0145] 상기 구성으로 함으로써, 안정적인 전기 특성을 갖는 트랜지스터를 제공할 수 있다. 또는, 비도통 상태에서의 누설 전류가 작은 트랜지스터를 제공할 수 있다. 또는, 온 전류가 큰 트랜지스터를 제공할 수 있다. 또는, 노멀리 오프의 전기 특성을 갖는 트랜지스터를 제공할 수 있다. 또는, 서비스레시홀드 스윙 값이 작은 트랜지스터를 제공할 수 있다. 또는, 신뢰성이 높은 트랜지스터를 제공할 수 있다.

[0146] 상술한 바와 같이, 온 전류가 높고 오프 전류가 낮기 때문에, 트랜지스터의 구동 특성이 양호하게 된다. 또한, 저소비 전력화가 가능하게 된다. 또한, 트랜지스터가 미세화됨에 따라, 채널 길이가 짧아지더라도 높고 안정적인 전기 특성을 갖는 트랜지스터를 제공할 수 있다. 즉, 미세화된 경우에도 단채널 효과를 억제할 수 있기 때문에, 트랜지스터의 접적도를 높일 수 있어 다양한 소형 전자 기기를 더 소형화할 수 있다. 또한, 미세한 구조 이어도 높고 안정적인 전기 특성을 갖는 트랜지스터를 제공할 수 있다.

[0147] 또한, 본 실시형태에서, 본 발명의 일 형태에 대하여 설명하였다. 또는, 다른 실시형태에서 본 발명의 일 형태에 대하여 설명한다. 다만, 본 발명의 일 형태는 이에 한정되지 않는다. 즉, 본 실시형태 및 다른 실시형태에는 다양한 발명의 형태가 기재되어 있기 때문에, 본 발명의 일 형태는 특정한 형태에 한정되지 않는다. 예를 들어, 본 발명의 일 형태로서, 트랜지스터(100)의 채널 형성 영역, 및 소스 영역과 드레인 영역 등이 산화물 반도체를 갖는 경우의 예를 설명하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 경우 또는 상황에 따라, 본 발명의 일 형태에 따른 트랜지스터(100)의 채널 형성 영역, 또는 소스 영역과 드레인 영역 등은 다양한 반도체를 가져도 좋다. 경우 또는 상황에 따라, 본 발명의 일 형태에 따른 트랜지스터(100)의 채널 형성 영역, 또는 소스 영역과 드레인 영역 등은, 예를 들어, 실리콘, 저마늄, 실리콘 저마늄, 탄소화 실리콘, 비소화 갈륨, 알루미늄 갈륨 비소, 인화 인듐, 질화 갈륨, 또는 유기 반도체 등 중 적어도 하나를 가져도 좋다. 또는, 예를 들어, 경우 또는 상황에 따라, 본 발명의 일 형태에 따른 트랜지스터(100)의 채널 형성 영역, 또는 소스 영역과 드레인 영역 등은 산화물 반도체를 갖지 않아도 된다.

[0148] (실시형태 2)

[0149] <산화물 반도체의 구조>

[0150] 이하에서는, 산화물 반도체의 구조에 대하여 설명한다.

[0151] 산화물 반도체는 단결정 산화물 반도체와 그 외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline Oxide Semiconductor), a-like OS(amorphous like Oxide Semiconductor), 및 비정질 산화물 반도체 등이 있다.

[0152] 또한, 다른 관점에서는 산화물 반도체는 비정질 산화물 반도체와 그 외의 결정성 산화물 반도체로 나누어진다. 결정성 산화물 반도체로서는, 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 nc-OS 등이 있다.

[0153] 비정질 구조의 정의로서는 일반적으로, 준안정 상태로 고정화되어 있지 않은 것, 등방적이며 불균질 구조를 갖지 않는 것 등이 알려져 있다. 또한, 결합 각도가 유연하고, 단거리 질서성은 있지만, 장거리 질서성을 갖지 않는 구조라고 바꿔 말할 수도 있다.

[0154] 반대의 관점에서 보자면, 본질적으로 안정적인 산화물 반도체인 경우에는, 완전한 비정질(completely amorphous) 산화물 반도체라고 부를 수는 없다. 또한, 등방적이지 않은(예를 들어, 미소한 영역에서 주기 구조

를 갖는) 산화물 반도체를, 완전한 비정질 산화물 반도체라고 부를 수는 없다. 다만, a-like OS는 미소한 영역에서 주기 구조를 갖지만, 공동(보이드(void)라고도 함)을 가지며, 불안정적인 구조이다. 이로 인해, 물성적으로는 비정질 산화물 반도체에 가깝다고 할 수 있다.

[0155] <CAAC-OS>

[0156] 우선, CAAC-OS에 대하여 설명한다.

[0157] CAAC-OS는 c축 배향된 복수의 결정부(펠릿이라고도 함)를 갖는 산화물 반도체의 하나이다.

[0158] 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 CAAC-OS의 명시야상과 회절 패턴의 복합 해석상(고분해능 TEM 이미지라고도 함)을 관찰하면, 복수의 펠릿을 확인할 수 있다. 한편, 고분해능 TEM 이미지를 관찰하여도 펠릿끼리의 경계, 즉 결정립계(그레인 바운더리라고도 함)를 명확하게 확인할 수 없다. 따라서, CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0159] 이하에서는, TEM에 의하여 관찰한 CAAC-OS에 대하여 설명한다. 도 23의 (A)는, 시료면과 실질적으로 평행한 방향으로부터 관찰한 CAAC-OS의 단면의 고분해능 TEM 이미지이다. 고분해능 TEM 이미지의 관찰에는 구면 수차 보정(Spherical Aberration Corrector) 기능을 사용하였다. 구면 수차 보정 기능을 사용하여 관찰한 고분해능 TEM 이미지를 특히 Cs 보정 고분해능 TEM 이미지라고 부른다. Cs 보정 고분해능 TEM 이미지는 예를 들어, 원자 분해능 분석 전자 현미경 JEM-ARM 200F(일본 전자 주식 회사 제조) 등에 의하여 얻을 수 있다.

[0160] 도 23의 (A)의 영역(1)을 확대한 Cs 보정 고분해능 TEM 이미지를 도 23의 (B)에 도시하였다. 도 23의 (B)를 보면, 펠릿에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각층은 CAAC-OS의 막이 형성되는 면(피형성면이라고도 함) 또는 상면의 요철을 반영한 형상을 갖고, CAAC-OS의 피형성면 또는 상면에 평행하게 배열된다.

[0161] 도 23의 (B)에 도시된 바와 같이, CAAC-OS는 특징적인 원자 배열을 갖는다. 도 23의 (C)에는 특징적인 원자 배열을 보조선으로 나타내었다. 도 23의 (B) 및 도 23의 (C)로부터, 하나의 펠릿의 크기는 1nm 이상인 것이나 3nm 이상인 것이 있고, 펠릿들의 기울기에 의하여 생긴 틈의 크기는 0.8nm 정도인 것을 알 수 있다. 따라서, 펠릿을 나노 결정(nc: nanocrystal)이라고 부를 수도 있다. 또한, CAAC-OS를 CANC(C-Axis Aligned nanocrystals)를 갖는 산화물 반도체라고 부를 수도 있다.

[0162] 여기서, Cs 보정 고분해능 TEM 이미지를 바탕으로 기판(5120) 위의 CAAC-OS의 펠릿(5100)의 배치를 모식적으로 도시하면, 벽돌 또는 블록이 쌓인 것과 같은 구조가 된다(도 23의 (D) 참조). 도 23의 (C)에서 관찰된 펠릿들 사이에서 기울기가 생긴 부분은 도 23의 (D) 중 영역(5161)에 상당한다.

[0163] 또한, 도 24의 (A)는 시료면과 실질적으로 수직인 방향으로부터 관찰한 CAAC-OS의 평면의 Cs 보정 고분해능 TEM 이미지이다. 도 24의 (B), 도 24의 (C), 및 도 24의 (D)는 각각 도 24의 (A) 중 영역(1), 영역(2), 및 영역(3)을 확대한 Cs 보정 고분해능 TEM 이미지이다. 도 24의 (B), 도 24의 (C), 및 도 24의 (D)로부터, 펠릿은 금속 원자가 삼각형, 사각형, 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 펠릿들 사이에서 금속 원자의 배열에 규칙성은 보이지 않는다.

[0164] 다음에, X선 회절(XRD: X-Ray Diffraction)에 의하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어, out-of-plane법에 의하여 InGaZnO_4 의 결정을 갖는 CAAC-OS의 구조를 해석하면, 도 25의 (A)에 도시된 바와 같이 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO_4 의 결정의 (009)면에 귀속되기 때문에, CAAC-OS의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 실질적으로 수직인 방향을 향하고 있는 것을 확인할 수 있다.

[0165] 또한, out-of-plane법에 의하여 CAAC-OS의 구조를 해석하면, 2θ 가 31° 근방일 때 나타나는 피크에 더하여 2θ 가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방일 때 나타나는 피크는, CAAC-OS 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 뜻한다. out-of-plane법에 의하여 해석한 CAAC-OS의 구조는 2θ 가 31° 근방일 때 피크가 나타나고, 2θ 가 36° 근방일 때 피크가 나타나지 않는 것이 더 바람직하다.

[0166] 한편, c축에 실질적으로 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의하여 CAAC-OS의 구조를 해석하면, 2θ 가 56° 근방일 때 피크가 나타난다. 이 피크는 InGaZnO_4 의 결정의 (110)면에 귀속된다. CAAC-OS의 경우에는 2θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로 시료를 회전시키면서 분석(ϕ 스캔)을 수행하여도, 도 25의 (B)에 도시된 바와 같은 명료한 피크는 나타나지 않는다. 한편, InGaZnO_4 의 단결정 산화

물 반도체의 경우에는, 2θ 를 56° 근방에 고정하고 ϕ 스캔을 수행하면, 도 25의 (C)에 도시된 바와 같이, (110)면과 등가인 결정면에 귀속되는 피크가 6개 관찰된다. 따라서, XRD에 의한 해석에 의하여, CAAC-OS의 구조는 a축 및 b축의 배향이 불규칙하다는 것을 확인할 수 있다.

[0167] 다음에, 전자 회절에 의하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어, $InGaZnO_4$ 의 결정을 갖는 CAAC-OS에 대하여 시료면에 평행한 방향으로부터 프로브 직경이 300nm인 전자 빔을 입사시키면, 도 26의 (A)에 도시된 바와 같은 회절 패턴(제한 시야 투과 전자 회절 패턴이라고도 함)이 나타나는 경우가 있다. 이 회절 패턴에는 $InGaZnO_4$ 의 결정의 (009)면에 기인한 스폷이 포함된다. 따라서, 전자 회절에 의해서도 CAAC-OS에 포함되는 펠릿이 c축 배향성을 갖고, c축이 괴형성면 또는 상면에 실질적으로 수직인 방향을 향하고 있는 것을 알 수 있다. 한편, 같은 시료에 대하여 시료면에 수직인 방향으로부터 프로브 직경이 300nm인 전자 빔을 입사시킨 경우의 회절 패턴을 도 26의 (B)에 도시하였다. 도 26의 (B)를 보면 알 수 있듯이, 링 형상의 회절 패턴이 확인된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿의 a축 및 b축은 배향성을 갖지 않는 것을 알 수 있다. 또한, 도 26의 (B)에서의 제 1 링은 $InGaZnO_4$ 의 결정의 (010)면 및 (100)면 등에 기인한다고 생각된다. 또한, 도 26의 (B) 중 제 2 링은 $InGaZnO_4$ 의 결정의 (110)면 등에 기인하는 것으로 생각된다.

[0168] 상술한 바와 같이, CAAC-OS는 결정성이 높은 산화물 반도체이다. 산화물 반도체의 결정성은 불순물이 혼입되거나 결함이 생성되는 등에 의하여 저하되는 경우가 있기 때문에, 반대의 관점에서 보면, CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다.

[0169] 또한, 불순물은 산화물 반도체의 주성분 외의 원소이며, 수소, 탄소, 실리콘, 전이 금속 원소 등이 있다. 산화물 반도체를 구성하는 금속 원소보다 산소와의 결합력이 강한 원소(예를 들어, 실리콘 등)는, 산화물 반도체로부터 산소를 빼앗음으로써 산화물 반도체의 원자 배열을 흐트러지게 하여, 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다.

[0170] 산화물 반도체가 불순물이나 결함을 갖는 경우, 광이나 열 등으로 인하여 특성이 변동되는 경우가 있다. 예를 들어, 산화물 반도체에 포함되는 불순물은, 캐리어 트랩이 되는 경우나, 캐리어 발생원이 되는 경우가 있다. 또한, 산화물 반도체 내의 산소 결손은, 캐리어 트랩이 되는 경우나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.

[0171] 불순물 및 산소 결손이 적은 CAAC-OS는 캐리어 밀도가 낮은 산화물 반도체이다. 구체적으로는, 캐리어 밀도가 $8 \times 10^{11} \text{ 개}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11} \text{ 개}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{10} \text{ 개}/\text{cm}^3$ 미만이고, $1 \times 10^{-9} \text{ 개}/\text{cm}^3$ 이상인 산화물 반도체로 할 수 있다. 이와 같은 산화물 반도체를, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 부른다. CAAC-OS는 불순물 농도가 낮고, 결함 준위 밀도가 낮다. 즉, 안정적인 특성을 갖는 산화물 반도체라고 할 수 있다.

[0172] <nc-OS>

[0173] 다음에, nc-OS에 대하여 설명한다.

[0174] nc-OS는 고분해능 TEM 이미지에서 결정부를 확인할 수 있는 영역과, 명확하게 결정부를 확인할 수 없는 영역을 갖는다. nc-OS에 포함되는 결정부의 크기는 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하인 경우가 많다. 또한, 결정부의 크기가 10nm보다 크고 100nm 이하인 산화물 반도체를 미결정 산화물 반도체라고 부르는 경우가 있다. nc-OS는 예를 들어, 고분해능 TEM 이미지에서는 결정립계를 명확하게 확인할 수 없는 경우가 있다. 또한, 나노 결정은 CAAC-OS에서의 펠릿과 기원이 같을 가능성이 있다. 따라서, 이하에서는, nc-OS의 결정부를 펠릿이라고 부르는 경우가 있다.

[0175] nc-OS는 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS는 상이한 펠릿들 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서, 막 전체에서 배향성이 보이지 않는다. 그러므로, nc-OS는 분석 방법에 따라서는, a-like OS나 비정질 산화물 반도체와 구별되지 않는 경우가 있다. 예를 들어, 펠릿보다 직경이 큰 X선을 사용하여 out-of-plane법에 의하여 nc-OS의 구조를 해석한 경우에는, 결정면을 나타내는 피크는 검출되지 않는다. 또한, 펠릿보다 프로브 직경이 큰(예를 들어, 50nm 이상) 전자 빔을 사용하여 nc-OS에 대하여 전자 회절을 수행한 경우, 헤일로 패턴(halo pattern)과 같은 회절 패턴이 관측된다. 한편, 프로브 직경이 펠릿의 크기와 가깝거나 펠릿보다 작은 전자 빔을 사용하여 nc-OS에 대하여 나노 빔 전자 회절을 수행한 경우에는, 스폷이 관측된다. 또한, nc-OS에 대하여

나노 빔 전자 회절을 수행하면, 원을 그리듯이(링 형상으로) 회도가 높은 영역이 관측되는 경우가 있다. 또한, 링 형상의 영역 내에 복수의 스포이 관측되는 경우가 있다.

[0176] 이와 같이, 펠릿(나노 결정) 사이에서는 결정 방위가 규칙성을 갖지 않기 때문에, nc-OS를 RANC(Random Aligned nanocrystals)를 갖는 산화물 반도체, 또는 NANC(Non-Aligned nanocrystals)를 갖는 산화물 반도체라고 부를 수도 있다.

[0177] nc-OS는 비정질 산화물 반도체보다 규칙성이 높은 산화물 반도체이다. 따라서, nc-OS는 a-like OS나 비정질 산화물 반도체보다 결합 준위 밀도가 낮다. 다만, nc-OS는 상이한 펠릿들 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서, nc-OS는 CAAC-OS에 비하여 결합 준위 밀도가 높다.

[0178] <a-like OS>

[0179] a-like OS는, nc-OS와 비정질 산화물 반도체 사이의 구조를 갖는 산화물 반도체이다.

[0180] a-like OS는 고분해능 TEM 이미지에서 공동이 관찰되는 경우가 있다. 또한, 고분해능 TEM 이미지를 관찰하면, 결정부를 명확하게 확인할 수 있는 영역과, 결정부를 확인할 수 없는 영역이 있다.

[0181] 공동을 갖기 때문에, a-like OS는 불안정적인 구조를 갖는다. 이하에서는, a-like OS가 CAAC-OS 및 nc-OS에 비하여 불안정적인 구조임을 나타내기 위하여, 전자 조사에 의한 구조의 변화에 대하여 설명한다.

[0182] 전자 조사를 수행하는 시료로서, a-like OS(시료 A라고 표기함), nc-OS(시료 B라고 표기함), 및 CAAC-OS(시료 C라고 표기함)를 준비한다. 이들 시료는 모두 In-Ga-Zn 산화물이다.

[0183] 먼저, 각 시료의 고분해능 단면 TEM 이미지를 취득한다. 고분해능 단면 TEM 이미지를 보면, 각 시료는 모두 결정부를 갖는 것을 알 수 있다.

[0184] 또한, 어느 부분을 하나의 결정부로 간주할지는 이하와 같이 판정하면 좋다. 예를 들어, InGaZnO_4 의 결정의 단위 격자는 In-O층 3층과 Ga-Zn-O층 6층의 총 9층이 c축 방향으로 층상으로 중첩된 구조를 갖는 것이 알려져 있다. 이들 근접한 층끼리의 간격은, (009)면의 격자면 간격(d값이라고도 함)과 같은 정도이고, 그 값은 결정 구조 해석으로부터 0.29nm 로 산출된다. 따라서, 격자 줄무늬(lattice fringe)의 간격이 0.28nm 이상 0.30nm 이하인 부분을 InGaZnO_4 의 결정부로 간주할 수 있다. 또한, 격자 줄무늬는 InGaZnO_4 의 결정의 a-b면에 대응한다.

[0185] 도 27은 각 시료의 결정부(22균데~45균데)의 평균 크기를 조사하여 나타낸 예이다. 다만, 상술한 격자 줄무늬의 길이를 결정부의 크기로 간주하였다. 도 27로부터, a-like OS는 전자의 누적 조사량에 따라 결정부가 커지는 것을 알 수 있다. 구체적으로는, 도 27에 (1)로 나타낸 바와 같이, TEM에 의한 관찰 초기에는 1.2nm 정도였던 결정부(초기핵이라고도 함)의 크기가, 누적 조사량이 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 가 되면 2.6nm 정도까지 성장하였음을 알 수 있다. 한편, nc-OS 및 CAAC-OS는 전자 조사가 시작되는 시점으로부터 전자의 누적 조사량이 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 가 될 때까지의 범위에서, 결정부의 크기에 변화가 나타나지 않는 것을 알 수 있다. 구체적으로는, 도 27에 (2) 및 (3)으로 나타낸 바와 같이, 전자의 누적 조사량에 상관없이 nc-OS 및 CAAC-OS의 결정부의 크기는 각각 1.4nm 정도 및 2.1nm 정도인 것을 알 수 있다.

[0186] 이와 같이, a-like OS는 전자 조사에 의하여 결정부의 성장이 나타나는 경우가 있다. 한편, nc-OS 및 CAAC-OS는 전자 조사에 의하여 결정부의 성장이 거의 나타나지 않는 것을 알 수 있다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 불안정적인 구조인 것을 알 수 있다.

[0187] 또한, 공동을 갖기 때문에, a-like OS는 nc-OS 및 CAAC-OS에 비하여 밀도가 낮은 구조를 갖는다. 구체적으로는, a-like OS의 밀도는 같은 조성을 갖는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. 또한, nc-OS의 밀도 및 CAAC-OS의 밀도는 같은 조성을 갖는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 밀도가 단결정 산화물 반도체의 밀도의 78% 미만인 산화물 반도체는 성막 자체가 어렵다.

[0188] 예를 들어, $\text{In:Ga:Zn}=1:1:1$ [원자수비]을 만족시키는 산화물 반도체에서, 능면체정 구조를 갖는 단결정 InGaZnO_4 의 밀도는 $6.357\text{g}/\text{cm}^3$ 이다. 따라서, 예를 들어, $\text{In:Ga:Zn}=1:1:1$ [원자수비]을 만족시키는 산화물 반도체에서, a-like OS의 밀도는 $5.0\text{g}/\text{cm}^3$ 이상 $5.9\text{g}/\text{cm}^3$ 미만이다. 또한, 예를 들어, $\text{In:Ga:Zn}=1:1:1$ [원자수비]을 만족시키는 산화물 반도체에서, nc-OS의 밀도 및 CAAC-OS의 밀도는 $5.9\text{g}/\text{cm}^3$ 이상 $6.3\text{g}/\text{cm}^3$ 미만이다.

- [0189] 또한, 같은 조성을 갖는 단결정이 존재하지 않는 경우가 있다. 이 경우, 조성이 상이한 단결정 산화물 반도체를 임의의 비율로 조합함으로써, 원하는 조성을 갖는 단결정 산화물 반도체의 밀도에 상당하는 밀도를 어렵잖을 수 있다. 원하는 조성을 갖는 단결정 산화물 반도체의 밀도에 상당하는 밀도는, 조성이 상이한 단결정 산화물 반도체를 조합하는 비율에 대하여 가중 평균을 사용하여 어렵잖으면 좋다. 다만, 밀도를 어렵잖을 때는 가능한 한 적은 종류의 단결정 산화물 반도체를 조합하는 것이 바람직하다.
- [0190] 상술한 바와 같이, 산화물 반도체는 다양한 구조를 가지며, 각각이 다양한 특성을 갖는다. 또한, 산화물 반도체는, 예를 들어, 비정질 산화물 반도체, a-like OS, nc-OS, 및 CAAC-OS 중 2종류 이상을 갖는 적층막이어도 좋다.
- [0191] (실시형태 3)
- [0192] 본 실시형태에서는, 본 발명의 일 형태에 따른 트랜지스터 등을 이용한 반도체 장치의 회로의 일례에 대하여 설명한다.
- [0193] (CMOS 인버터)
- [0194] 도 28의 (A)에 도시된 회로도는, p채널형 트랜지스터(2200)와 n채널형 트랜지스터(2100)를 직렬로 접속하고 각각의 게이트를 접속한, 소위 CMOS 인버터의 구성을 도시한 것이다.
- [0195] <반도체 장치의 구조 1>
- [0196] 도 29는, 도 28의 (A)에 대응하는 반도체 장치의 단면도이다. 도 29에 도시된 반도체 장치는, 트랜지스터(2200) 및 트랜지스터(2100)를 갖는다. 또한, 트랜지스터(2100)는 트랜지스터(2200) 위에 배치된다. 또한, 상술한 실시형태에 기재된 트랜지스터를 트랜지스터(2100)로서 사용할 수 있다. 따라서, 트랜지스터(2100)에 대해서는, 상술한 트랜지스터에 대한 기재를 적절히 참작할 수 있다.
- [0197] 도 29에 도시된 트랜지스터(2200)는, 반도체 기판(450)을 사용한 트랜지스터이다. 트랜지스터(2200)는 반도체 기판(450) 내의 영역(472a), 반도체 기판(450) 내의 영역(472b), 절연체(462), 및 도전체(454)를 갖는다.
- [0198] 트랜지스터(2200)에서 영역(472a) 및 영역(472b)은 소스 영역 및 드레인 영역으로서의 기능을 갖는다. 또한, 절연체(462)는 게이트 절연체로서의 기능을 갖는다. 또한, 도전체(454)는 게이트 전극으로서의 기능을 갖는다. 따라서, 도전체(454)에 인가하는 전위에 의하여, 채널 형성 영역의 저항을 제어할 수 있다. 즉, 도전체(454)에 인가하는 전위에 의하여, 영역(472a)과 영역(472b) 사이의 도통/비도통을 제어할 수 있다.
- [0199] 반도체 기판(450)으로서는, 예를 들어, 실리콘 또는 저마늄 등으로 이루어진 단체 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 또는 산화 갈륨 등의 반도체 기판 등을 사용하면 좋다. 바람직하게는, 반도체 기판(450)으로서 단결정 실리콘 기판을 사용한다.
- [0200] 반도체 기판(450)으로서는, n형 도전형을 부여하는 불순물을 갖는 반도체 기판을 사용한다. 다만, 반도체 기판(450)으로서, p형 도전형을 부여하는 불순물을 갖는 반도체 기판을 사용하여도 좋다. 이 경우, 트랜지스터(2200)가 되는 영역에는 n형 도전형을 부여하는 불순물을 갖는 웰(well)을 배치하면 좋다. 또는, 반도체 기판(450)이 i형이어도 좋다.
- [0201] 반도체 기판(450)의 상면은 (110)면을 갖는 것이 바람직하다. 이로써, 트랜지스터(2200)의 온 특성을 향상시킬 수 있다.
- [0202] 영역(472a) 및 영역(472b)은, p형 도전형을 부여하는 불순물을 갖는 영역이다. 이와 같이 하여, 트랜지스터(2200)는 p채널형 트랜지스터를 구성한다.
- [0203] 또한, 트랜지스터(2200)는 영역(460) 등에 의하여 인접한 트랜지스터와 분리된다. 영역(460)은 절연성을 갖는 영역이다.
- [0204] 도 29에 도시된 반도체 장치는 절연체(464), 절연체(466), 절연체(468), 도전체(480a), 도전체(480b), 도전체(480c), 도전체(478a), 도전체(478b), 도전체(478c), 도전체(476a), 도전체(476b), 도전체(474a), 도전체(474b), 도전체(474c), 도전체(496a), 도전체(496b), 도전체(496c), 도전체(496d), 도전체(498a), 도전체(498b), 도전체(498c), 절연체(489), 절연체(490), 절연체(492), 절연체(493), 절연체(494), 및 절연체(495)를 갖는다.
- [0205] 절연체(464)는 트랜지스터(2200) 위에 배치된다. 또한, 절연체(466)는 절연체(464) 위에 배치된다. 또한, 절

연체(468)는 절연체(466) 위에 배치된다. 또한, 절연체(489)는 절연체(468) 위에 배치된다. 또한, 트랜지스터(2100)는 절연체(489) 위에 배치된다. 또한, 절연체(493)는 트랜지스터(2100) 위에 배치된다. 또한, 절연체(494)는 절연체(493) 위에 배치된다.

[0206] 절연체(464)는 영역(472a)에 도달되는 개구부, 영역(472b)에 도달되는 개구부, 및 도전체(454)에 도달되는 개구부를 갖는다. 또한, 개구부에는 각각 도전체(480a), 도전체(480b), 또는 도전체(480c)가 매립되어 있다.

[0207] 또한, 절연체(466)는 도전체(480a)에 도달되는 개구부, 도전체(480b)에 도달되는 개구부, 및 도전체(480c)에 도달되는 개구부를 갖는다. 또한, 개구부에는 각각 도전체(478a), 도전체(478b), 또는 도전체(478c)가 매립되어 있다.

[0208] 또한, 절연체(468)는 도전체(478b)에 도달되는 개구부 및 도전체(478c)에 도달되는 개구부를 갖는다. 또한, 개구부에는 각각 도전체(476a) 또는 도전체(476b)가 매립되어 있다.

[0209] 또한, 절연체(489)는 트랜지스터(2100)의 채널 형성 영역과 중첩되는 개구부, 도전체(476a)에 도달되는 개구부, 및 도전체(476b)에 도달되는 개구부를 갖는다. 또한, 개구부에는 각각 도전체(474a), 도전체(474b), 또는 도전체(474c)가 매립되어 있다.

[0210] 도전체(474a)는 트랜지스터(2100)의 게이트 전극으로서의 기능을 가져도 좋다. 또는, 예를 들어, 도전체(474a)에 일정한 전위를 인가함으로써, 트랜지스터(2100)의 문턱 전압 등의 전기 특성을 제어하여도 좋다. 또는, 예를 들어, 도전체(474a) 및 트랜지스터(2100)의 게이트 전극으로서의 기능을 갖는 도전체(504)를 전기적으로 접속하여도 좋다. 이로써, 트랜지스터(2100)의 온 전류를 크게 할 수 있다. 또한, 편치스루 현상을 억제할 수 있기 때문에, 트랜지스터(2100)의 포화 영역에서의 전기 특성을 안정적으로 할 수 있다. 또한, 도전체(474a)는 상술한 실시형태에 따른 도전체(160)에 상당하기 때문에, 자세한 사항에 대해서는 도전체(160)의 기재를 참작할 수 있다.

[0211] 또한, 절연체(490)는 도전체(474b)에 도달되는 개구부를 갖는다. 또한, 절연체(490)는 상술한 실시형태에 따른 절연체(120)에 상당하기 때문에, 자세한 사항에 대해서는 절연체(120)의 기재를 참작할 수 있다.

[0212] 또한, 절연체(495)는 트랜지스터(2100)의 소스 및 드레인 중 한쪽인 영역(507b)을 통하여 도전체(474b)에 도달되는 개구부, 트랜지스터(2100)의 소스 및 드레인 중 다른 쪽인 영역(507a)에 도달되는 개구부, 트랜지스터(2100)의 게이트 전극인 도전체(504)에 도달되는 개구부, 및 도전체(474c)에 도달되는 개구부를 갖는다. 또한, 절연체(495)는 상술한 실시형태에 따른 절연체(150)에 상당하기 때문에, 자세한 사항에 대해서는 절연체(150)의 기재를 참작할 수 있다.

[0213] 또한, 절연체(493)는 트랜지스터(2100)의 소스 및 드레인 중 한쪽인 영역(507b)을 통하여 도전체(474b)에 도달되는 개구부, 트랜지스터(2100)의 소스 및 드레인 중 다른 쪽인 영역(507a)에 도달되는 개구부, 트랜지스터(2100)의 게이트 전극인 도전체(504)에 도달되는 개구부, 및 도전체(474c)에 도달되는 개구부를 갖는다. 또한, 개구부에는 각각 도전체(496a), 도전체(496b), 도전체(496c), 또는 도전체(496d)가 매립되어 있다. 다만, 각각의 개구부는, 트랜지스터(2100) 등의 구성 요소 중 어느 것이 갖는 개구부를 더 통하는 경우가 있다.

[0214] 또한, 절연체(494)는 도전체(496a)에 도달되는 개구부, 도전체(496b) 및 도전체(496d)에 도달되는 개구부, 및 도전체(496c)에 도달되는 개구부를 갖는다. 또한, 개구부에는 각각 도전체(498a), 도전체(498b), 또는 도전체(498c)가 매립되어 있다.

[0215] 절연체(464), 절연체(466), 절연체(468), 절연체(489), 절연체(493), 및 절연체(494)로서는, 예를 들어, 봉소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함하는 절연체를 단층 또는 적층 구조로 사용하면 좋다.

[0216] 절연체(464), 절연체(466), 절연체(468), 절연체(489), 절연체(493), 및 절연체(494) 중 하나 이상은, 수소 등의 불순물, 및 산소를 차단하는 기능을 갖는 절연체를 갖는 것이 바람직하다. 수소 등의 불순물, 및 산소를 차단하는 기능을 갖는 절연체를 트랜지스터(2100) 근방에 배치함으로써, 트랜지스터(2100)의 전기 특성을 안정적으로 할 수 있다.

[0217] 수소 등의 불순물, 및 산소를 차단하는 기능을 갖는 절연체로서는, 예를 들어, 봉소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함하는 절연체를 단층 또는 적층 구조로 사용하면 좋다.

- [0218] 도전체(480a), 도전체(480b), 도전체(480c), 도전체(478a), 도전체(478b), 도전체(478c), 도전체(476a), 도전체(476b), 도전체(474a), 도전체(474b), 도전체(474c), 도전체(496a), 도전체(496b), 도전체(496c), 도전체(496d), 도전체(498a), 도전체(498b), 및 도전체(498c)로서는, 예를 들어, 봉소, 질소, 산소, 플루오린, 실리콘, 인, 알루미늄, 타이타늄, 크로뮴, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브데늄, 루테늄, 은, 인듐, 주석, 탄탈럼, 및 텅스텐을 1종 이상 포함하는 도전체를 단층 또는 적층 구조로 사용하면 좋다. 예를 들어, 합금이나 화합물이어도 좋고, 알루미늄을 포함하는 도전체, 구리 및 타이타늄을 포함하는 도전체, 구리 및 망가니즈를 포함하는 도전체, 인듐, 주석, 및 산소를 포함하는 도전체, 및 타이타늄 및 질소를 포함하는 도전체 등을 사용하여도 좋다.
- [0219] 또한, 도 30에 도시된 반도체 장치는, 도 29에 도시된 반도체 장치의 트랜지스터(2200)의 구조만이 다르다. 따라서, 도 30에 도시된 반도체 장치에 대해서는, 도 29에 도시된 반도체 장치의 기재를 참작한다. 구체적으로는, 도 30에 도시된 반도체 장치는, 트랜지스터(2200)를 Fin형 트랜지스터로 하는 경우를 도시한 것이다. 트랜지스터(2200)를 Fin형 트랜지스터로 함으로써, 실효적인 채널 폭이 증대되어 트랜지스터(2200)의 온 특성을 향상시킬 수 있다. 또한, 게이트 전극의 전계의 기여를 크게 할 수 있기 때문에, 트랜지스터(2200)의 오프 특성을 향상시킬 수 있다.
- [0220] 또한, 도 31에 도시된 반도체 장치는, 도 29에 도시된 반도체 장치의 트랜지스터(2200)의 구조만이 다르다. 따라서, 도 31에 도시된 반도체 장치에 대해서는, 도 29에 도시된 반도체 장치의 기재를 참작한다. 구체적으로는, 도 31은, 반도체 장치에서 트랜지스터(2200)가 SOI 기판인 반도체 기판(450)에 제공된 경우를 도시한 것이다. 도 31에는, 절연체(452)에 의하여 영역(456)이 반도체 기판(450)과 분리되어 있는 구조를 도시하였다. 반도체 기판(450)으로서 SOI 기판을 사용함으로써 편치스루 현상 등을 억제할 수 있기 때문에, 트랜지스터(2200)의 오프 특성을 향상시킬 수 있다. 또한, 절연체(452)는, 반도체 기판(450)을 절연체화하여 형성될 수 있다. 예를 들어, 절연체(452)로서는 산화 실리콘을 사용할 수 있다.
- [0221] 도 29~도 31에 도시된 반도체 장치에서는, 반도체 기판을 사용하여 p채널형 트랜지스터를 제작하고, 그 위에 n채널형 트랜지스터를 제작하기 때문에, 소자의 점유 면적을 축소할 수 있다. 즉, 반도체 장치의 집적도를 높게 할 수 있다. 또한, n채널형 트랜지스터 및 p채널형 트랜지스터와 동일한 반도체 기판을 사용하여 제작하는 경우에 비하여 공정을 간략화할 수 있기 때문에, 반도체 장치의 생산성을 높게 할 수 있다. 또한, 반도체 장치의 수율을 높게 할 수 있다. 또한, p채널형 트랜지스터는 LDD(Lightly Doped Drain) 영역, 얕은 트렌치(shallow trench) 구조, 또는 변형 설계(distortion design) 등의 복잡한 공정을 생략할 수 있는 경우가 있다. 따라서, n채널형 트랜지스터를 반도체 기판을 사용하여 제작하는 경우에 비하여 생산성 및 수율을 높게 할 수 있는 경우가 있다.
- [0222] <CMOS 아날로그 스위치>
- [0223] 또한, 도 28의 (B)에 도시된 회로도는, 트랜지스터(2100) 및 트랜지스터(2200) 각각의 소스와 드레인을 접속한 구성을 도시한 것이다. 이와 같은 구성으로 함으로써, 소위 CMOS 아날로그 스위치로서 기능시킬 수 있다.
- [0224] <기억 장치 1>
- [0225] 본 발명의 일 형태에 따른 트랜지스터를 사용한, 전력이 공급되지 않는 상황에서도 기억 내용을 유지할 수 있으며, 기록 횟수에도 제한이 없는 반도체 장치(기억 장치)의 일례를 도 32에 도시하였다.
- [0226] 도 32의 (A)에 도시된 반도체 장치는, 제 1 반도체를 사용한 트랜지스터(3200), 제 2 반도체를 사용한 트랜지스터(3300), 및 용량 소자(3400)를 갖는다. 또한, 트랜지스터(3300)로서는, 상술한 트랜지스터(2100)와 같은 트랜지스터를 사용할 수 있다.
- [0227] 트랜지스터(3300)는 오프 전류가 작은 트랜지스터이면 바람직하다. 트랜지스터(3300)는 예를 들어, 산화물 반도체를 사용한 트랜지스터를 사용할 수 있다. 트랜지스터(3300)의 오프 전류가 작은 것에 의하여, 반도체 장치의 특정한 노드에 기억 내용이 오랫동안 유지될 수 있다. 즉, 리프레시 동작을 할 필요가 없어지거나, 또는 리프레시 동작의 빈도를 매우 적게 할 수 있게 되기 때문에, 소비 전력이 낮은 반도체 장치가 된다.
- [0228] 도 32의 (A)에서, 제 1 배선(3001)은 트랜지스터(3200)의 소스와 전기적으로 접속되고, 제 2 배선(3002)은 트랜지스터(3200)의 드레인과 전기적으로 접속된다. 또한, 제 3 배선(3003)은 트랜지스터(3300)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 4 배선(3004)은 트랜지스터(3300)의 게이트와 전기적으로 접속되어 있다. 그리고, 트랜지스터(3200)의 게이트, 및 트랜지스터(3300)의 소스 및 드레인 중 다른 쪽은 용량 소자(3400)의

한쪽 전극에 전기적으로 접속되고, 제 5 배선(3005)은 용량 소자(3400)의 다른 쪽 전극에 전기적으로 접속되어 있다.

[0229] 도 32의 (A)에 도시된 반도체 장치는, 트랜지스터(3200)의 게이트 전위를 유지할 수 있다는 특성을 갖기 때문에, 이하에서 설명하는 바와 같이, 정보의 기록, 유지, 및 판독이 가능하다.

[0230] 정보의 기록 및 유지에 대하여 설명한다. 먼저, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 도통 상태가 되는 전위로 하여, 트랜지스터(3300)를 도통 상태로 한다. 이로써, 제 3 배선(3003)의 전위가, 트랜지스터(3200)의 게이트 및 용량 소자(3400)의 한쪽 전극에 전기적으로 접속되는 노드(FG)에 공급된다. 즉, 트랜지스터(3200)의 게이트에는 소정의 전하가 공급된다(기록). 여기서는, 2가지의 상이한 전위 레벨을 부여하는 전하(이하, Low 레벨 전하 및 High 레벨 전하라고 함) 중 어느 하나가 공급된다. 그 후, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 비도통 상태가 되는 전위로 하여 트랜지스터(3300)를 비도통 상태로 함으로써, 노드(FG)에 전하가 유지된다(유지).

[0231] 트랜지스터(3300)의 오프 전류가 작기 때문에, 노드(FG)의 전하는 오랫동안 유지된다.

[0232] 다음에, 정보의 판독에 대하여 설명한다. 제 1 배선(3001)에 소정의 전위(정(定)전위)를 공급한 상태에서 제 5 배선(3005)에 적절한 전위(판독 전위)를 공급하면, 제 2 배선(3002)은 노드(FG)에 유지된 전하량에 따른 전위가 된다. 이 이유는, 트랜지스터(3200)를 n채널형 트랜지스터로 하면, 트랜지스터(3200)의 게이트에 High 레벨 전하가 공급되어 있는 경우의 외연상 문턱 전압(V_{th_H})이 트랜지스터(3200)의 게이트에 Low 레벨 전하가 공급되어 있는 경우의 외연상 문턱 전압(V_{th_L})보다 낮게 되기 때문이다. 여기서, 외연상 문턱 전압이란, 트랜지스터(3200)를 "도통 상태"로 하기 위하여 필요한 제 5 배선(3005)의 전위를 말한다. 따라서, 제 5 배선(3005)의 전위를 V_{th_H} 와 V_{th_L} 사이의 전위(V_0)로 함으로써, 노드(FG)에 공급된 전하를 판별할 수 있다. 예를 들어, 기록에서 노드(FG)에 High 레벨 전하가 공급된 경우에는, 제 5 배선(3005)의 전위가 $V_0(>V_{th_H})$ 이 되면, 트랜지스터(3200)는 "도통 상태"가 된다. 한편, 노드(FG)에 Low 레벨 전하가 공급된 경우에는, 제 5 배선(3005)의 전위가 $V_0(<V_{th_L})$ 이 되더라도 트랜지스터(3200)는 "비도통 상태"로 유지된다. 따라서, 제 2 배선(3002)의 전위를 판별함으로써, 노드(FG)에 유지되어 있는 정보를 판독할 수 있다.

[0233] 또한, 메모리 셀을 어레이 형태로 배치하는 경우, 판독 시에 원하는 메모리 셀의 정보를 판독할 필요가 있다. 정보를 판독하지 않는 메모리 셀에서는, 노드(FG)에 공급된 전하에 상관없이 트랜지스터(3200)가 "비도통 상태"가 되는 전위, 즉 V_{th_H} 보다 낮은 전위를 제 5 배선(3005)에 공급함으로써, 원하는 메모리 셀의 정보만을 판독할 수 있는 구성으로 하면 좋다. 또는, 예를 들어, 정보를 판독하지 않는 메모리 셀에서는, 노드(FG)에 공급된 전하에 상관없이 트랜지스터(3200)가 "도통 상태"가 되는 전위, 즉, V_{th_L} 보다 높은 전위를 제 5 배선(3005)에 공급함으로써 원하는 메모리 셀의 정보만을 판독할 수 있는 구성으로 하면 좋다.

[0234] 또한, 상기에서는, 2종류의 전하를 노드(FG)에 유지하는 예에 대하여 설명하였지만, 본 발명에 따른 반도체 장치는 이에 한정되는 것은 아니다. 예를 들어, 반도체 장치의 노드(FG)에 3종류 이상의 전하를 유지할 수 있는 구성으로 하여도 좋다. 이와 같은 구성으로 함으로써, 상기 반도체 장치가 다치화되어 기억 용량의 증대를 도모할 수 있다.

[0235] <기억 장치의 구조 1>

[0236] 도 33은, 도 32의 (A)에 대응하는 반도체 장치의 단면도이다. 도 33에 도시된 반도체 장치는 트랜지스터(3200), 트랜지스터(3300), 및 용량 소자(3400)를 갖는다. 또한, 트랜지스터(3300) 및 욹량 소자(3400)는, 트랜지스터(3200) 위에 배치된다. 또한, 트랜지스터(3300)에 대해서는, 트랜지스터(2100)에 대한 기재를 참조한다. 또한, 트랜지스터(3200)에 대해서는, 도 29에 도시된 트랜지스터(2200)에 대한 기재를 참조한다. 또한, 도 29를 사용하여 트랜지스터(2200)가 p채널형 트랜지스터인 경우에 대하여 설명하였지만, 트랜지스터(3200)는 n채널형 트랜지스터이어도 좋다.

[0237] 도 33에 도시된 트랜지스터(2200)는 반도체 기판(450)을 사용한 트랜지스터이다. 트랜지스터(2200)는 반도체 기판(450) 내의 영역(472a), 반도체 기판(450) 내의 영역(472b), 절연체(462), 및 도전체(454)를 갖는다.

[0238] 도 33에 도시된 반도체 장치는 절연체(464), 절연체(466), 절연체(468), 도전체(480a), 도전체(480b), 도전체(480c), 도전체(478a), 도전체(478b), 도전체(478c), 도전체(476a), 도전체(476b), 도전체(474a), 도전체(474b), 도전체(474c), 도전체(496a), 도전체(496b), 도전체(496c), 도전체(496d), 도전체(498a), 도전체

(498b), 도전체(498c), 절연체(489), 절연체(490), 절연체(492), 절연체(493), 절연체(494), 및 절연체(495)를 갖는다.

[0239] 절연체(464)는 트랜지스터(3200) 위에 배치된다. 또한, 절연체(466)는 절연체(464) 위에 배치된다. 또한, 절연체(468)는 절연체(466) 위에 배치된다. 또한, 절연체(489)는 절연체(468) 위에 배치된다. 또한, 트랜지스터(2100)는 절연체(489) 위에 배치된다. 또한, 절연체(493)는 트랜지스터(2100) 위에 배치된다. 또한, 절연체(494)는 절연체(493) 위에 배치된다.

[0240] 절연체(464)는 영역(472a)에 도달되는 개구부, 영역(472b)에 도달되는 개구부, 및 도전체(454)에 도달되는 개구부를 갖는다. 또한, 개구부에는 각각 도전체(480a), 도전체(480b), 또는 도전체(480c)가 매립되어 있다.

[0241] 또한, 절연체(466)는 도전체(480a)에 도달되는 개구부, 도전체(480b)에 도달되는 개구부, 및 도전체(480c)에 도달되는 개구부를 갖는다. 또한, 개구부에는 각각 도전체(478a), 도전체(478b), 또는 도전체(478c)가 매립되어 있다.

[0242] 또한, 절연체(468)는 도전체(478b)에 도달되는 개구부 및 도전체(478c)에 도달되는 개구부를 갖는다. 또한, 개구부에는 각각 도전체(476a) 또는 도전체(476b)가 매립되어 있다.

[0243] 또한, 절연체(489)는 트랜지스터(3300)의 채널 형성 영역과 중첩되는 개구부, 도전체(476a)에 도달되는 개구부, 및 도전체(476b)에 도달되는 개구부를 갖는다. 또한, 개구부에는 각각 도전체(474a), 도전체(474b), 또는 도전체(474c)가 매립되어 있다.

[0244] 도전체(474a)는 트랜지스터(3300)의 보텀 게이트 전극으로서의 기능을 가져도 좋다. 또는, 예를 들어, 도전체(474a)에 일정한 전위를 인가함으로써, 트랜지스터(3300)의 문턱 전압 등의 전기 특성을 제어하여도 좋다. 또는, 예를 들어, 도전체(474a)와 트랜지스터(3300)의 톱 게이트 전극인 도전체(504)를 전기적으로 접속하여도 좋다. 이로써, 트랜지스터(3300)의 온 전류를 크게 할 수 있다. 또한, 편치스루 현상을 억제할 수 있기 때문에, 트랜지스터(3300)의 포화 영역에서의 전기 특성을 안정적으로 할 수 있다.

[0245] 또한, 절연체(490)는 도전체(474b)에 도달되는 개구부 및 도전체(474c)에 도달되는 개구부를 갖는다. 또한, 절연체(490)는 상술한 실시형태에 따른 절연체(120)에 상당하기 때문에, 자세한 사항에 대해서는 절연체(120)의 기재를 참작할 수 있다.

[0246] 또한, 절연체(495)는 트랜지스터(3300)의 소스 및 드레인 중 한쪽인 영역(507b)을 통하여 도전체(474b)에 도달되는 개구부, 트랜지스터(3300)의 소스 및 드레인 중 다른 쪽인 영역(507a)과 절연체(511)를 개재하여 중첩되는 도전체(514)에 도달되는 개구부, 트랜지스터(3300)의 게이트 전극인 도전체(504)에 도달되는 개구부, 및 트랜지스터(3300)의 소스 및 드레인 중 다른 쪽인 영역(507a)을 통하여 도전체(474c)에 도달되는 개구부를 갖는다. 또한, 절연체(495)는 상술한 실시형태에 따른 절연체(150)에 상당하기 때문에, 자세한 사항에 대해서는 절연체(150)의 기재를 참작할 수 있다.

[0247] 또한, 절연체(493)는 트랜지스터(3300)의 소스 및 드레인 중 한쪽인 영역(507b)을 통하여 도전체(474b)에 도달되는 개구부, 트랜지스터(3300)의 소스 및 드레인 중 다른 쪽인 영역(507a)과 절연체(511)를 개재하여 중첩되는 도전체(514)에 도달되는 개구부, 트랜지스터(3300)의 게이트 전극인 도전체(504)에 도달되는 개구부, 및 트랜지스터(3300)의 소스 및 드레인 중 다른 쪽인 영역(507a)을 통하여 도전체(474c)에 도달되는 개구부를 갖는다. 또한, 개구부에는 각각 도전체(496a), 도전체(496b), 도전체(496c), 또는 도전체(496d)가 매립되어 있다. 다만, 각각의 개구부는, 트랜지스터(3300) 등의 구성 요소 중 어느 것이 갖는 개구부를 더 통하는 경우가 있다.

[0248] 또한, 절연체(494)는 도전체(496a)에 도달되는 개구부, 도전체(496b)에 도달되는 개구부, 및 도전체(496c)에 도달되는 개구부를 갖는다. 또한, 개구부에는 각각 도전체(498a), 도전체(498b), 또는 도전체(498c)가 매립되어 있다.

[0249] 절연체(464), 절연체(466), 절연체(468), 절연체(489), 절연체(493), 또는 절연체(494) 중의 하나 이상은, 수소 등의 불순물, 및 산소를 차단하는 기능을 갖는 절연체를 갖는 것이 바람직하다. 수소 등의 불순물, 및 산소를 차단하는 기능을 갖는 절연체를 트랜지스터(3300) 근방에 배치함으로써, 트랜지스터(3300)의 전기 특성을 안정적으로 할 수 있다.

[0250] 트랜지스터(3200)의 소스 또는 드레인은 도전체(480b), 도전체(478b), 도전체(476a), 도전체(474b), 및 도전체(496c)를 통하여 트랜지스터(3300)의 소스 및 드레인 중 한쪽인 영역(507b)과 전기적으로 접속된다. 또한, 트랜지스터(3200)의 게이트 전극인 도전체(454)는, 도전체(480c), 도전체(478c), 도전체(476b), 도전체(474c),

및 도전체(496d)를 통하여 트랜지스터(3300)의 소스 및 드레인 중 다른 쪽인 영역(507a)과 전기적으로 접속된다.

[0251] 용량 소자(3400)는 트랜지스터(3300)의 소스 및 드레인 중 다른 쪽인 영역(507a)과, 도전체(514)와, 절연체(511)를 갖는다. 또한, 절연체(511)는 트랜지스터(3300)의 게이트 절연체로서 기능하는 절연체와 동일한 공정을 거쳐 형성될 수 있기 때문에, 생산성을 높일 수 있어 바람직한 경우가 있다. 또한, 도전체(514)로서 트랜지스터(3300)의 게이트 전극으로서 기능하는 도전체(504)와 동일한 공정을 거쳐 형성된 층을 사용하면, 생산성을 높일 수 있어 바람직한 경우가 있다.

[0252] 이 외의 구조에 대해서는, 도 29 등에 대한 기재를 적절히 참작할 수 있다.

[0253] 또한, 도 34에 도시된 반도체 장치는, 도 33에 도시된 반도체 장치의 트랜지스터(3200)의 구조만이 다르다. 따라서, 도 34에 도시된 반도체 장치에 대해서는, 도 33에 도시된 반도체 장치의 기재를 참작한다. 구체적으로는, 도 34는, 반도체 장치에서 트랜지스터(3200)를 Fin형 트랜지스터로 하는 경우를 도시한 것이다. Fin형인 트랜지스터(3200)에 대해서는 도 30에 도시된 트랜지스터(2200)의 기재를 참작한다. 또한, 도 30을 사용하여 트랜지스터(2200)가 p채널형 트랜지스터인 경우에 대하여 설명하였지만, 트랜지스터(3200)는 n채널형 트랜지스터이어도 좋다.

[0254] 또한, 도 35에 도시된 반도체 장치는, 도 33에 도시된 반도체 장치의 트랜지스터(3200)의 구조만이 다르다. 따라서, 도 35에 도시된 반도체 장치에 대해서는, 도 33에 도시된 반도체 장치의 기재를 참작한다. 구체적으로는, 도 35는, 반도체 장치에서 트랜지스터(3200)가 SOI 기판인 반도체 기판(450)에 제공된 경우를 도시한 것이다. SOI 기판인 반도체 기판(450)에 제공된 트랜지스터(3200)에 대해서는 도 31을 사용하여 설명한 트랜지스터(2200)의 기재를 참작한다. 또한, 도 31을 사용하여 트랜지스터(2200)가 p채널형 트랜지스터인 경우에 대하여 설명하였지만, 트랜지스터(3200)는 n채널형 트랜지스터이어도 좋다.

[0255] <기억 장치 2>

[0256] 도 32의 (B)에 도시된 반도체 장치는 트랜지스터(3200)를 갖지 않는 점에서 도 32의 (A)에 도시된 반도체 장치와 다르다. 이 경우에도 도 32의 (A)에 도시된 반도체 장치와 같은 동작에 의하여 정보를 기록 및 유지할 수 있다.

[0257] 도 32의 (B)에 도시된 반도체 장치에서의 정보의 관독에 대하여 설명한다. 트랜지스터(3300)가 도통 상태가 되면, 부유 상태인 제 3 배선(3003)과 용량 소자(3400)가 도통되어 제 3 배선(3003)과 용량 소자(3400) 사이에서 전하가 재분배된다. 이 결과, 제 3 배선(3003)의 전위가 변화된다. 제 3 배선(3003)의 전위의 변화량은 용량 소자(3400)의 한쪽 전극의 전위(또는 용량 소자(3400)에 축적된 전하)에 따라 달라진다.

[0258] 예를 들어, 용량 소자(3400)의 한쪽 전극의 전위를 V로, 용량 소자(3400)의 용량을 C로, 제 3 배선(3003)이 갖는 용량 성분을 CB로, 및 전하가 재분배되기 전의 제 3 배선(3003)의 전위를 VB0으로 하면, 전하가 재분배된 후의 제 3 배선(3003)의 전위는 $(CB \times VB0 + C \times V) / (CB + C)$ 가 된다. 따라서, 메모리 셀의 상태로서, 용량 소자(3400)의 한쪽 전극의 전위가 V1과 V0($V1 > V0$)의 두 가지 상태를 취하는 것으로 가정하면, 전위(V1)를 유지하고 있는 경우의 제 3 배선(3003)의 전위($= (CB \times VB0 + C \times V1) / (CB + C)$)는 전위(V0)를 유지하고 있는 경우의 제 3 배선(3003)의 전위($= (CB \times VB0 + C \times V0) / (CB + C)$)보다 높게 되는 것을 알 수 있다.

[0259] 그리고, 제 3 배선(3003)의 전위를 소정의 전위와 비교함으로써, 정보를 관독할 수 있다.

[0260] 이 경우, 메모리 셀을 구동시키기 위한 구동 회로에 상기 제 1 반도체가 적용된 트랜지스터를 사용하고, 트랜지스터(3300)로서 상기 제 2 반도체가 적용된 트랜지스터를 구동 회로 위에 적층하여 배치하는 구성으로 하면 좋다.

[0261] 상술한 반도체 장치는 산화물 반도체를 사용한, 오프 전류가 작은 트랜지스터를 적용함으로써, 오���동안 기억 내용을 유지할 수 있다. 즉, 리프레시 동작을 할 필요가 없어지거나, 또는 리프레시 동작의 빈도를 매우 적게 할 수 있게 되기 때문에, 소비 전력이 낮은 반도체 장치를 구현할 수 있다. 또한, 전력이 공급되지 않는 경우(다만, 전위는 고정되어 있는 것이 바람직하다)에도 오���동안 기억 내용을 유지할 수 있다.

[0262] 또한, 상기 반도체 장치는 정보의 기록에 높은 전압을 필요로 하지 않기 때문에, 소자가 열화되기 어렵다. 예를 들어, 종래의 비휘발성 메모리와 같이, 플로팅 게이트에 전자를 주입하거나, 플로팅 게이트로부터 전자를 추출할 필요가 없기 때문에, 절연체의 열화 등의 문제가 생기지 않는다. 즉, 본 발명의 일 형태에 따른 반도체 장치는, 종래의 비휘발성 메모리에서 문제가 되고 있는 기록 가능 횟수에 제한이 없어, 신뢰성이 비약적으로 향

상된 반도체 장치이다. 또한, 트랜지스터의 도통 상태, 비도통 상태에 따라 정보의 기록이 수행되기 때문에, 고속 동작이 가능하다.

[0263] <기억 장치 3>

도 32의 (A)에 도시된 반도체 장치(기억 장치)의 변형예에 대하여, 도 36에 도시된 회로도를 사용하여 설명한다.

도 36에 도시된 반도체 장치는 트랜지스터(4100)~트랜지스터(4400), 용량 소자(4500), 및 용량 소자(4600)를 갖는다. 여기서, 트랜지스터(4100)에는 상술한 트랜지스터(3200)와 마찬가지의 트랜지스터를 사용할 수 있고, 트랜지스터(4200)~트랜지스터(4400)에는 상술한 트랜지스터(3300)와 마찬가지의 트랜지스터를 사용할 수 있다. 또한, 도 36에 도시된 반도체 장치는, 도 36에는 도시되지 않았지만 매트릭스 형태로 복수로 제공된다. 도 36에 도시된 반도체 장치는 배선(4001), 배선(4003), 및 배선(4005)~배선(4009)에 공급하는 신호 또는 전위에 따라 데이터 전압의 기록 및 판독을 제어할 수 있다.

트랜지스터(4100)의 소스 및 드레인 중 한쪽은 배선(4003)에 접속된다. 트랜지스터(4100)의 소스 및 드레인 중 다른 쪽은 배선(4001)에 접속된다. 또한, 도 36에서는, 트랜지스터(4100)의 도전형을 p채널형으로서 도시하였지만, n채널형이어도 좋다.

도 36에 도시된 반도체 장치는 2개의 데이터 유지를 갖는다. 예를 들어, 제 1 데이터 유지를 노드(FG1)에 접속되는 트랜지스터(4400)의 소스 및 드레인 중 한쪽, 용량 소자(4600)의 한쪽 전극, 및 트랜지스터(4200)의 소스 및 드레인 중 한쪽 사이에서 전하를 유지한다. 또한, 제 2 데이터 유지를 노드(FG2)에 접속되는 트랜지스터(4100)의 게이트, 트랜지스터(4200)의 소스 및 드레인 중 다른 쪽, 트랜지스터(4300)의 소스 및 드레인 중 한쪽, 및 용량 소자(4500)의 한쪽 전극 사이에서 전하를 유지한다.

트랜지스터(4300)의 소스 및 드레인 중 다른 쪽은 배선(4003)에 접속된다. 트랜지스터(4400)의 소스 및 드레인 중 다른 쪽은 배선(4001)에 접속된다. 트랜지스터(4400)의 게이트는 배선(4005)에 접속된다. 트랜지스터(4200)의 게이트는 배선(4006)에 접속된다. 트랜지스터(4300)의 게이트는 배선(4007)에 접속된다. 용량 소자(4600)의 다른 쪽 전극은 배선(4008)에 접속된다. 용량 소자(4500)의 다른 쪽 전극은 배선(4009)에 접속된다.

트랜지스터(4200)~트랜지스터(4400)는 데이터 전압의 기록과 전하의 유지를 제어하는 스위치로서의 기능을 갖는다. 또한, 트랜지스터(4200)~트랜지스터(4400)는 비도통 상태에서 소스와 드레인 사이를 흐르는 전류(오프 전류)가 낮은 트랜지스터가 사용되는 것이 바람직하다. 오프 전류가 낮은 트랜지스터로서는, 채널 형성 영역에 산화물 반도체를 갖는 트랜지스터(OS 트랜지스터)가 사용되는 것이 바람직하다. OS 트랜지스터는 오프 전류가 낮으며, 실리콘을 갖는 트랜지스터와 중첩하여 제작할 수 있는 등의 이점이 있다. 또한, 도 36에서는, 트랜지스터(4200)~트랜지스터(4400)의 도전형을 n채널형으로서 도시하였지만, p채널형이어도 좋다.

트랜지스터(4200) 및 트랜지스터(4300)와, 트랜지스터(4400)는 산화물 반도체를 사용한 트랜지스터이어도 다른 층에 제공되는 것이 바람직하다. 즉, 도 36에 도시된 반도체 장치는 도 36에 도시된 바와 같이, 트랜지스터(4100)를 갖는 제 1 층(4021)과, 트랜지스터(4200) 및 트랜지스터(4300)를 갖는 제 2 층(4022)과, 트랜지스터(4400)를 갖는 제 3 층(4023)으로 구성되어 있는 것이 바람직하다. 트랜지스터를 갖는 층을 적층하여 제공함으로써, 회로 면적을 축소할 수 있어 반도체 장치의 소형화를 도모할 수 있다.

[0271] 이어서, 도 36에 도시된 반도체 장치에 대한 정보의 기록 동작에 대하여 설명한다.

[0272] 먼저, 노드(FG1)에 접속되는 데이터 유지부에 대한 데이터 전압의 기록 동작(이하, 기록 동작(1)이라고 함)에 대하여 설명한다. 또한, 이하에서, 노드(FG1)에 접속되는 데이터 유지부에 기록하는 데이터 전압을 V_{D1} 로 하고, 트랜지스터(4100)의 문턱 전압을 V_{th} 로 한다.

[0273] 기록 동작(1)에서는, 배선(4003)을 V_{D1} 로 하고, 배선(4001)을 접지 전위로 한 후에, 전기적으로 부유 상태로 한다. 또한, 배선(4005) 및 배선(4006)을 하이 레벨로 한다. 또한, 배선(4007)~배선(4009)을 로 레벨로 한다. 그러면, 전기적으로 부유 상태에 있는 노드(FG2)의 전위가 상승하여 트랜지스터(4100)에 전류가 흐른다. 전류가 흐름으로써, 배선(4001)의 전위가 상승한다. 또한, 트랜지스터(4400) 및 트랜지스터(4200)가 도통 상태가 된다. 따라서, 배선(4001)의 전위가 상승함에 따라, 노드(FG1) 및 노드(FG2)의 전위가 상승한다. 노드(FG2)의 전위가 상승하여, 트랜지스터(4100)에서 게이트와 소스 사이의 전압(V_{gs})이 트랜지스터(4100)의 문턱 전압(V_{th})이 되면, 트랜지스터(4100)를 흐르는 전류가 작아진다. 따라서, 배선(4001), 노드(FG1), 및 노드(FG2)의 전

위는 상승이 정지되고, V_{D1} 보다 V_{th} 만큼 밀도는 " $V_{D1}-V_{th}$ "로 일정하게 된다.

[0274] 즉, 배선(4003)에 공급된 V_{D1} 은 트랜지스터(4100)에 전류가 흐름으로써 배선(4001)에 공급되어, 노드(FG1) 및 노드(FG2)의 전위가 상승한다. 전위가 상승하여 노드(FG2)의 전위가 " $V_{D1}-V_{th}$ "가 되면, 트랜지스터(4100)의 V_{gs} 가 V_{th} 가 되기 때문에 전류의 공급이 정지된다.

[0275] 다음에, 노드(FG2)에 접속되는 데이터 유지부에 대한 데이터 전압의 기록 동작(이하, 기록 동작(2)이라고 함)에 대하여 설명한다. 또한, 노드(FG2)에 접속되는 데이터 유지부에 기록하는 데이터 전압을 V_{D2} 로 하여 설명한다.

[0276] 기록 동작(2)에서는, 배선(4001)을 V_{D2} 로 하고, 배선(4003)을 접지 전위로 한 후에, 전기적으로 부유 상태로 한다. 또한, 배선(4007)을 하이 레벨로 한다. 또한, 배선(4005), 배선(4006), 배선(4008), 및 배선(4009)을 로레벨로 한다. 트랜지스터(4300)를 도통 상태로 하여 배선(4003)을 로레벨로 한다. 그러면, 노드(FG2)의 전위도 로레벨까지 저하되어, 트랜지스터(4100)에 전류가 흐른다. 전류가 흐름으로써 배선(4003)의 전위가 상승한다. 또한, 트랜지스터(4300)가 도통 상태가 된다. 따라서, 배선(4003)의 전위가 상승함에 따라, 노드(FG2)의 전위가 상승한다. 노드(FG2)의 전위가 상승하여, 트랜지스터(4100)에서 V_{gs} 가 트랜지스터(4100)의 V_{th} 가 되면, 트랜지스터(4100)를 흐르는 전류가 작아진다. 따라서, 배선(4003) 및 배선(FG2)의 전위의 상승이 정지되고, V_{D2} 보다 V_{th} 만큼 밀도는 " $V_{D2}-V_{th}$ "로 일정하게 된다.

[0277] 즉, 배선(4001)에 공급된 V_{D2} 는 트랜지스터(4100)에 전류가 흐름으로써 배선(4003)에 공급되어, 노드(FG2)의 전위가 상승한다. 전위가 상승하여 노드(FG2)의 전위가 " $V_{D2}-V_{th}$ "가 되면, 트랜지스터(4100)의 V_{gs} 가 V_{th} 가 되기 때문에, 전류의 공급이 정지된다. 이때, 노드(FG1)의 전위는 트랜지스터(4200) 및 트랜지스터(4400) 모두 비도통 상태이고, 기록 동작(1)에서 기록된 " $V_{D1}-V_{th}$ "가 유지된다.

[0278] 도 36에 도시된 반도체 장치에서는, 복수의 데이터 유지부에 데이터 전압을 기록한 후, 배선(4009)을 하이 레벨로 하여 노드(FG1) 및 노드(FG2)의 전위를 상승시킨다. 그리고, 각 트랜지스터를 비도통 상태로 하여 전하가 이동하지 않도록 함으로써, 기록된 데이터 전압을 유지한다.

[0279] 상술한 노드(FG1) 및 노드(FG2)에 대한 데이터 전압의 기록 동작에 의하여, 복수의 데이터 유지부에 데이터 전압을 유지시킬 수 있다. 또한, 기록되는 전위로서, " $V_{D1}-V_{th}$ "나 " $V_{D2}-V_{th}$ "를 일례로서 설명하였지만, 이들은 다른 데이터에 대응하는 데이터 전압이다. 따라서, 각 데이터 유지부에서 4비트의 데이터를 유지하는 경우, 16레벨의 " $V_{D1}-V_{th}$ "나 " $V_{D2}-V_{th}$ "를 취할 수 있다.

[0280] 이어서, 도 36에 도시된 반도체 장치로부터의 정보의 판독 동작에 대하여 설명한다.

[0281] 먼저, 노드(FG2)에 접속되는 데이터 유지부에 대한 데이터 전압의 판독 동작(이하, 판독 동작(1)이라고 함)에 대하여 설명한다.

[0282] 판독 동작(1)에서는, 프리차지를 수행한 후에, 전기적으로 부유 상태로 한 배선(4003)을 방전시킨다. 배선(4005)~배선(4008)을 로레벨로 한다. 또한, 배선(4009)을 로레벨로 하여, 전기적으로 부유 상태에 있는 노드(FG2)의 전위를 " $V_{D2}-V_{th}$ "로 한다. 노드(FG2)의 전위가 저하됨으로써, 트랜지스터(4100)에 전류가 흐른다. 전류가 흐름으로써, 전기적으로 부유 상태에 있는 배선(4003)의 전위가 저하된다. 배선(4003)의 전위가 저하됨에 따라 트랜지스터(4100)의 V_{gs} 가 작아진다. 트랜지스터(4100)의 V_{gs} 가 트랜지스터(4100)의 V_{th} 가 되면, 트랜지스터(4100)를 흐르는 전류가 작아진다. 즉, 배선(4003)의 전위가 노드(FG2)의 전위 " $V_{D2}-V_{th}$ "보다 V_{th} 만큼 웃도는 값인 " V_{D2} "가 된다. 이 배선(4003)의 전위는 노드(FG2)에 접속되는 데이터 유지부의 데이터 전압에 대응한다. 판독된 아날로그값의 데이터 전압은 A/D 변환하여, 노드(FG2)에 접속되는 데이터 유지부의 데이터를 취득한다.

[0283] 즉, 프리차지를 수행한 후의 배선(4003)을 부유 상태로 하여, 배선(4009)의 전위를 하이 레벨로부터 로레벨로 전환함으로써, 트랜지스터(4100)에 전류가 흐른다. 전류가 흐름으로써, 부유 상태에 있는 배선(4003)의 전위가 저하되어 " V_{D2} "가 된다. 트랜지스터(4100)에서는, 노드(FG2)의 " $V_{D2}-V_{th}$ " 사이의 V_{gs} 가 V_{th} 가 되기 때문에, 전류의 공급이 정지된다. 그리고, 배선(4003)에는 기록 동작(2)에서 기록된 " V_{D2} "가 판독된다.

[0284] 노드(FG2)에 접속되는 데이터 유지부의 데이터를 취득하면, 트랜지스터(4300)를 도통 상태로 하여 노드(FG2)의

" $V_{D2}-V_{th}$ "를 방전시킨다.

[0285] 이어서, 노드(FG1)에 유지되는 전하를 노드(FG2)에 분배하고, 노드(FG1)에 접속되는 데이터 유지부의 데이터 전압을, 노드(FG2)에 접속되는 데이터 유지부로 옮긴다. 여기서, 배선(4001) 및 배선(4003)을 로 레벨로 한다. 배선(4006)을 하이 레벨로 한다. 또한, 배선(4005) 및 배선(4007)~배선(4009)을 로 레벨로 한다. 트랜지스터(4200)가 도통 상태가 됨으로써, 노드(FG1)의 전하가 노드(FG2)와의 사이에서 분배된다.

[0286] 여기서, 전하가 분배된 후의 전위는 기록된 전위 " $V_{D1}-V_{th}$ "로부터 저하된다. 따라서, 용량 소자(4600)의 용량값은 용량 소자(4500)의 용량값보다 크게 하는 것이 바람직하다. 또는, 노드(FG1)에 기록되는 전위 " $V_{D1}-V_{th}$ "는, 같은 데이터를 나타내는 전위 " $V_{D2}-V_{th}$ "보다 크게 하는 것이 바람직하다. 이와 같이, 용량값의 비율을 바꾸거나, 기록되는 전위를 미리 크게 함으로써, 전하가 분배된 후에 전위가 저하되는 것을 억제할 수 있다. 전하의 분배에 의한 전위의 변동에 대해서는 후술한다.

[0287] 다음에, 노드(FG1)에 접속되는 데이터 유지부에 대한 데이터 전압의 판독 동작(이하, 판독 동작(2)이라고 함)에 대하여 설명한다.

[0288] 판독 동작(2)에서는, 프리차지를 수행한 후에, 전기적으로 부유 상태로 한 배선(4003)을 방전시킨다. 배선(4005)~배선(4008)을 로 레벨로 한다. 또한, 배선(4009)은 프리차지를 수행할 때 하이 레벨로 하고, 그 후에 로 레벨로 한다. 배선(4009)을 로 레벨로 함으로써, 전기적으로 부유 상태에 있는 노드(FG2)의 전위를 " $V_{D1}-V_{th}$ "로 한다. 노드(FG2)의 전위가 저하됨으로써, 트랜지스터(4100)에 전류가 흐른다. 전류가 흐름으로써, 전기적으로 부유 상태에 있는 배선(4003)의 전위가 저하된다. 배선(4003)의 전위가 저하됨에 따라 트랜지스터(4100)의 V_{gs} 가 작아진다. 트랜지스터(4100)의 V_{gs} 가 트랜지스터(4100)의 V_{th} 가 되면, 트랜지스터(4100)를 흐르는 전류가 작아진다. 즉, 배선(4003)의 전위가 노드(FG2)의 전위 " $V_{D1}-V_{th}$ "보다 V_{th} 만큼 웃도는 값인 " V_{D1} "이 된다. 이 배선(4003)의 전위는 노드(FG1)에 접속되는 데이터 유지부의 데이터 전압에 대응한다. 판독된 아날로그값의 데이터 전압은 A/D 변환하여, 노드(FG1)에 접속되는 데이터 유지부의 데이터를 취득한다. 이상이, 노드(FG1)에 접속되는 데이터 유지부에 대한 데이터 전압의 판독 동작이다.

[0289] 즉, 프리차지를 수행한 후의 배선(4003)을 부유 상태로 하여, 배선(4009)의 전위를 하이 레벨로부터 로 레벨로 전환함으로써, 트랜지스터(4100)에 전류가 흐른다. 전류가 흐름으로써, 부유 상태에 있는 배선(4003)의 전위는 저하되어 " V_{D1} "이 된다. 트랜지스터(4100)에서는, 노드(FG2)의 " $V_{D1}-V_{th}$ " 사이의 V_{gs} 가 V_{th} 가 되기 때문에, 전류의 공급이 정지된다. 그리고, 배선(4003)에는 기록 동작(1)에서 기록된 " V_{D1} "이 판독된다.

[0290] 상술한 노드(FG1) 및 노드(FG2)로부터의 데이터 전압의 판독 동작에 의하여, 복수의 데이터 유지부로부터의 데이터 전압을 판독할 수 있다. 예를 들어, 노드(FG1) 및 노드(FG2)에 각각 4비트(16레벨)의 데이터를 유지함으로써, 총 8비트(256레벨)의 데이터를 유지할 수 있다. 또한, 도 36에서는, 제 1 층(4021)~제 3 층(4023)으로 이루어지는 구성으로 하였지만, 층을 더 형성함으로써, 반도체 장치의 면적을 증대시키지 않아도 기억 용량의 증가를 도모할 수 있다.

[0291] 또한, 판독되는 전위는, 기록된 데이터 전압보다 V_{th} 만큼 웃도는 전압으로서 판독할 수 있다. 따라서, 기록 동작에서 기록된 " $V_{D1}-V_{th}$ "나 " $V_{D2}-V_{th}$ "의 V_{th} 를 상쇄하여 판독하는 구성으로 할 수 있다. 이 결과, 메모리 셀당 기억 용량을 향상시킴과 함께, 판독되는 데이터를 정확한 데이터에 가깝게 할 수 있기 때문에, 데이터의 신뢰성을 뛰어나게 할 수 있다.

[0292] 또한, 도 36에 대응하는 반도체 장치의 단면도를 도 37에 도시하였다. 도 37에 도시된 반도체 장치는, 트랜지스터(4100)~트랜지스터(4400), 용량 소자(4500), 및 용량 소자(4600)를 갖는다. 여기서, 트랜지스터(4100)는 제 1 층(4021)에 형성되고, 트랜지스터(4200), 트랜지스터(4300), 및 용량 소자(4500)는 제 2 층(4022)에 형성되고, 트랜지스터(4400) 및 용량 소자(4600)는 제 3 층(4023)에 형성된다.

[0293] 여기서, 트랜지스터(4200)~트랜지스터(4400)에는 트랜지스터(3300)에 대한 기재를, 트랜지스터(4100)에는 트랜지스터(3200)에 대한 기재를 참작할 수 있다. 또한, 이 외의 배선 및 절연체 등에 대해서도 도 33의 기재를 적절히 참작할 수 있다.

[0294] 또한, 도 33에 도시된 반도체 장치의 용량 소자(3400)에서는 도전층을 기판에 대하여 평행하게 제공하여 용량 소자를 형성하는 구성으로 하였지만, 도 37에 도시된 용량 소자(4500) 및 용량 소자(4600)에서는 트렌치 형상으

로 도전층을 제공하여 용량 소자를 형성하는 구성으로 하였다. 이와 같은 구성으로 함으로써, 같은 점유 면적 이어도 큰 용량값을 확보할 수 있다.

[0295] <FPGA>

[0296] 또한, 본 발명의 일 형태는 FPGA(Field Programmable Gate Array) 등의 LSI에도 적용될 수 있다.

[0297] 도 38의 (A)에는 FPGA의 블록도의 일례를 도시하였다. FPGA는 라우팅 스위치 엘리먼트(routing switch element)(521) 및 로직 엘리먼트(logic element)(522)로 구성된다. 또한, 로직 엘리먼트(522)는 컨피규레이션 메모리에 기억된 컨피규레이션 데이터에 따라, 조합 회로의 기능 또는 순서 회로의 기능과 같은 논리 회로의 기능을 전환할 수 있다.

[0298] 도 38의 (B)는 라우팅 스위치 엘리먼트(521)의 역할을 설명하기 위한 모식도이다. 라우팅 스위치 엘리먼트(521)는 컨피규레이션 메모리(523)에 기억된 컨피규레이션 데이터에 따라 로직 엘리먼트(522) 사이의 접속을 전환할 수 있다. 또한, 도 38의 (B)에서는 스위치를 하나 도시하여 단자(IN)와 단자(OUT) 사이의 접속의 전환을 나타내었지만, 실제로는 복수의 로직 엘리먼트(522) 사이에 스위치가 제공된다.

[0299] 도 38의 (C)에는 컨피규레이션 메모리(523)로서 기능하는 회로 구성의 일례를 도시하였다. 컨피규레이션 메모리(523)는 OS 트랜지스터로 구성되는 트랜지스터(M11) 및 Si 트랜지스터로 구성되는 트랜지스터(M12)에 의하여 구성된다. 노드(FN_{SW})에는 트랜지스터(M11)를 통하여 컨피규레이션 데이터(D_{SW})가 공급된다. 이 컨피규레이션 데이터(D_{SW})의 전위는 트랜지스터(M11)를 비도통 상태로 함으로써 유지할 수 있다. 유지한 컨피규레이션 데이터(D_{SW})의 전위에 따라 트랜지스터(M12)의 도통 상태가 전환되어, 단자(IN)와 단자(OUT) 사이의 접속을 전환할 수 있다.

[0300] 도 38의 (D)는 로직 엘리먼트(522)의 역할을 설명하기 위한 모식도이다. 로직 엘리먼트(522)는 컨피규레이션 메모리(527)에 기억된 컨피규레이션 데이터에 따라 단자(OUT_{mem})의 전위를 전환할 수 있다. 록업 테이블(524)은 단자(OUT_{mem})의 전위에 따라, 단자(IN)의 신호를 처리하는 조합 회로의 기능을 전환할 수 있다. 또한, 로직 엘리먼트(522)는 순서 회로인 레지스터(525) 및 단자(OUT)의 신호를 전환하기 위한 실렉터(526)를 갖는다. 실렉터(526)는 컨피규레이션 메모리(527)로부터 출력되는 단자(OUT_{mem})의 전위에 따라, 록업 테이블(524)의 신호를 출력하는지 레지스터(525)의 신호를 출력하는지 선택할 수 있다.

[0301] 도 38의 (E)에는 컨피규레이션 메모리(527)로서 기능하는 회로 구성의 일례를 도시하였다. 컨피규레이션 메모리(527)는 OS 트랜지스터로 구성되는 트랜지스터(M13)와 트랜지스터(M14), 및 Si 트랜지스터로 구성되는 트랜지스터(M15)와 트랜지스터(M16)에 의하여 구성된다. 노드(FN_{LE})에는 트랜지스터(M13)를 통하여 컨피규레이션 데이터(D_{LE})가 공급된다. 노드(FN_{BLE})에는 트랜지스터(M14)를 통하여 컨피규레이션 데이터(DB_{LE})가 공급된다. 컨피규레이션 데이터(DB_{LE})는 컨피규레이션 데이터(D_{LE})의 논리가 반전된 전위에 상당한다. 이 컨피규레이션 데이터(D_{LE}) 및 컨피규레이션 데이터(DB_{LE})의 전위는 트랜지스터(M13) 및 트랜지스터(M14)를 비도통 상태로 함으로써 유지될 수 있다. 유지한 컨피규레이션 데이터(D_{LE}) 및 컨피규레이션 데이터(DB_{LE})의 전위에 따라 트랜지스터(M15) 및 트랜지스터(M16) 중 한쪽의 도통 상태가 전환되어, 단자(OUT_{mem})에는 전위(VDD) 또는 전위(VSS)를 공급할 수 있다.

[0302] 도 38의 (A)~(E)의 구성에 본 실시형태에서 설명한 구성을 적용할 수 있다. 예를 들어, 트랜지스터(M12), 트랜지스터(M15), 및 트랜지스터(M16)를 Si 트랜지스터로 구성하고, 트랜지스터(M11), 트랜지스터(M13), 및 트랜지스터(M14)를 OS 트랜지스터로 구성한다. 이 경우, 아래에 있는 Si 트랜지스터 사이를 접속하는 배선을 저저항의 도전 재료로 구성할 수 있다. 따라서, 액세스 속도가 향상되며 저소비 전력화에 우수한 회로로 할 수 있다.

[0303] 본 실시형태에 기재되는 구성은, 다른 실시형태에 기재되는 구성과 적절히 조합하여 사용될 수 있다.

[0304] (실시형태 4)

[0305] 본 실시형태에서는, 본 발명의 일 형태에 따른 트랜지스터 등을 이용한 콤보 장치의 일례에 대하여 설명한다.

[0306] <콤보 장치의 구성>

[0307] 도 39의 (A)는 본 발명의 일 형태에 따른 콤보 장치(200)의 예를 도시한 평면도이다. 콤보 장치(200)는 화소부

(210)와, 화소부(210)를 구동하기 위한 주변 회로(260), 주변 회로(270), 주변 회로(280), 및 주변 회로(290)를 갖는다. 화소부(210)는 p행 q열(p 및 q는 2 이상의 정수)의 매트릭스 형태로 배치된 복수의 화소(211)를 갖는다. 주변 회로(260), 주변 회로(270), 주변 회로(280), 및 주변 회로(290) 각각은 복수의 화소(211)에 접속되고, 복수의 화소(211)를 구동하기 위한 신호를 공급하는 기능을 갖는다. 또한, 본 명세서 등에서, 주변 회로(260), 주변 회로(270), 주변 회로(280), 및 주변 회로(290) 등의 모두를 가리켜서 "주변 회로" 또는 "구동 회로"라고 부르는 경우가 있다. 예를 들어, 주변 회로(260)는 주변 회로의 일부라고 할 수 있다.

[0308] 또한, 활상 장치(200)는 광원(291)을 갖는 것이 바람직하다. 광원(291)은 검출광(P1)을 방사할 수 있다.

[0309] 또한, 주변 회로는 적어도 논리 회로, 스위치, 버퍼, 증폭 회로, 또는 변환 회로 중 하나를 갖는다. 또한, 주변 회로는 화소부(210)를 형성하는 기판 위에 형성되어도 좋다. 또한, 주변 회로의 일부 또는 전체에 IC칩 등의 반도체 장치를 사용하여도 좋다. 또한, 주변 회로는 주변 회로(260), 주변 회로(270), 주변 회로(280), 및 주변 회로(290) 중 어느 하나 이상을 생략하여도 좋다.

[0310] 또한, 도 39의 (B)에 도시된 바와 같이, 활상 장치(200)가 갖는 화소부(210)에, 화소(211)를 기울여 배치하여도 좋다. 화소(211)를 기울여 배치함으로써, 행 방향 및 열 방향의 화소 간격(피치)을 깊게 할 수 있다. 이로써, 활상 장치(200)에서의 활상의 품질을 더 높일 수 있다.

[0311] <화소의 구성예 1>

[0312] 활상 장치(200)가 갖는 하나의 화소(211)를 복수의 부화소(212)로 구성하고, 각 부화소(212)에 특정한 파장 대역의 광을 투과하는 필터(컬러 필터)를 조합함으로써, 컬러 화상 표시를 구현하기 위한 정보를 취득할 수 있다.

[0313] 도 40의 (A)는 컬러 화상을 취득하기 위한 화소(211)의 일례를 도시한 평면도이다. 도 40의 (A)에 도시된 화소(211)는 적색(R)의 파장 대역의 광을 투과하는 컬러 필터가 제공된 부화소(212)(이하, "부화소(212R)"라고도 함), 녹색(G)의 파장 대역의 광을 투과하는 컬러 필터가 제공된 부화소(212)(이하, "부화소(212G)"라고도 함), 및 청색(B)의 파장 대역의 광을 투과하는 컬러 필터가 제공된 부화소(212)(이하, "부화소(212B)"라고도 함)를 갖는다. 부화소(212)는, 포토센서로서 기능시킬 수 있다.

[0314] 부화소(212)(부화소(212R), 부화소(212G), 및 부화소(212B))는, 배선(231), 배선(247), 배선(248), 배선(249), 및 배선(250)과 전기적으로 접속된다. 또한, 부화소(212R), 부화소(212G), 및 부화소(212B)는 각각이 독립된 배선(253)에 접속되어 있다. 또한, 본 명세서 등에서, 예를 들어, n번째 행의 화소(211)에 접속된 배선(248) 및 배선(249)을 각각 배선(248[n]) 및 배선(249[n])이라고 기재하였다. 또한, 예를 들어, m번째 열의 화소(211)에 접속된 배선(253)을 배선(253[m])이라고 기재한다. 또한, 도 40의 (A)에서, m번째 열의 화소(211)가 갖는 부화소(212R)에 접속되는 배선(253)을 배선(253[m]R), 부화소(212G)에 접속되는 배선(253)을 배선(253[m]G), 및 부화소(212B)에 접속되는 배선(253)을 배선(253[m]B)이라고 기재한다. 부화소(212)는, 상기 배선을 통하여 주변 회로와 전기적으로 접속된다.

[0315] 또한, 활상 장치(200)는 인접한 화소(211)들에서, 같은 파장 대역의 광을 투과하는 컬러 필터가 제공된 부화소(212)끼리가 스위치를 통하여 전기적으로 접속되는 구성을 갖는다. 도 40의 (B)에 n행(n은 1 이상 p 이하의 정수) m열(m은 1 이상 q 이하의 정수)에 배치된 화소(211)가 갖는 부화소(212)와, 상기 화소(211)에 인접한 n+1행 m열에 배치된 화소(211)가 갖는 부화소(212)의 접속의 예를 도시하였다. 도 40의 (B)에서, n행 m열에 배치된 부화소(212R)와, n+1행 m열에 배치된 부화소(212R)가 스위치(201)를 통하여 접속되어 있다. 또한, n행 m열에 배치된 부화소(212G)와, n+1행 m열에 배치된 부화소(212G)가 스위치(202)를 통하여 접속되어 있다. 또한, n행 m열에 배치된 부화소(212B)와, n+1행 m열에 배치된 부화소(212B)가 스위치(203)를 통하여 접속되어 있다.

[0316] 또한, 부화소(212)에 사용하는 컬러 필터는, 적색(R), 녹색(G), 및 청색(B)에 한정되지 않고, 각각 시안(C), 황색(Y), 및 마젠타(M)의 광을 투과시키는 컬러 필터를 사용하여도 좋다. 하나의 화소(211)에 3종류의 상이한 파장 대역의 광을 검출하는 부화소(212)를 제공함으로써, 풀 컬러의 화상을 취득할 수 있다.

[0317] 또는, 각각 적색(R), 녹색(G), 및 청색(B)의 광을 투과하는 컬러 필터가 제공된 부화소(212)에 더하여, 황색(Y)의 광을 투과하는 컬러 필터가 제공된 부화소(212)를 갖는 화소(211)를 사용하여도 좋다. 또는, 각각 시안(C), 황색(Y), 및 마젠타(M)의 광을 투과하는 컬러 필터가 제공된 부화소(212)에 더하여, 청색(B)의 광을 투과하는 컬러 필터가 제공된 부화소(212)를 갖는 화소(211)를 사용하여도 좋다. 하나의 화소(211)에 4종류의 상이한 파장 대역의 광을 검출하는 부화소(212)를 제공함으로써, 취득한 화상의 색 재현성을 더 높일 수 있다.

[0318] 또한, 예를 들어, 도 40의 (A)에서, 적색의 파장 대역의 광을 검출하는 부화소(212), 녹색의 파장 대역의 광을

검출하는 부화소(212), 및 청색의 파장 대역의 광을 검출하는 부화소(212)의 화소수의 비(또는 수광 면적의 비)는 1:1:1이 아니어도 된다. 예를 들어, 화소수의 비(수광 면적의 비)를 적색:녹색:청색=1:2:1로 하는 Bayer 배열로 하여도 좋다. 또는, 화소수의 비(수광 면적의 비)를 적색:녹색:청색=1:6:1로 하여도 좋다.

[0319] 또한, 화소(211)에 제공하는 부화소(212)는 하나여도 좋지만 2개 이상인 것이 바람직하다. 예를 들어, 같은 파장 대역의 광을 검출하는 부화소(212)를 2개 이상 제공함으로써, 중복성(redundancy)을 높여 활상 장치(200)의 신뢰성을 높일 수 있다.

[0320] 또한, 가시광을 흡수 또는 반사하여 적외광을 투과하는 IR(IR: Infrared) 필터를 사용함으로써, 적외광을 검출하는 활상 장치(200)를 구현할 수 있다.

[0321] 또한, ND(ND: Neutral Density) 필터(감광(減光) 필터)를 사용함으로써, 광전 변환 소자(수광 소자)에 대광량의 광이 입사하였을 때 발생되는 출력 포화를 방지할 수 있다. 감광량이 상이한 ND 필터를 조합하여 사용함으로써, 활상 장치의 다이내믹 레인지지를 크게 할 수 있다.

[0322] 또한, 상술한 필터 외에, 화소(211)에 렌즈를 제공하여도 좋다. 여기서, 도 41의 단면도를 사용하여, 화소(211), 필터(254), 및 렌즈(255)의 배치의 예를 설명한다. 렌즈(255)를 제공함으로써, 광전 변환 소자가 입사 광을 효율적으로 수광할 수 있다. 구체적으로는, 도 41의 (A)에 도시된 바와 같이, 화소(211)에 형성된 렌즈(255), 필터(254)(필터(254R), 필터(254G), 및 필터(254B)), 및 화소 회로(230) 등을 통하여 광(256)를 광전 변환 소자(220)에 입사시키는 구조로 할 수 있다.

[0323] 다만, 이점 쇄선으로 둘러싸인 영역에 도시된 바와 같이, 화살표로 나타낸 광(256)의 일부가 배선(257)의 일부에 의하여 차광되는 경우가 있다. 따라서, 도 41의 (B)에 도시된 바와 같이, 광전 변환 소자(220) 측에 렌즈(255) 및 필터(254)를 배치함으로써 광전 변환 소자(220)에서 광(256)이 효율적으로 수광되는 구조로 하는 것이 바람직하다. 광전 변환 소자(220) 측으로부터 광(256)을 광전 변환 소자(220)로 입사시킴으로써, 검출 감도가 높은 활상 장치(200)를 제공할 수 있다.

[0324] 도 41에 도시된 광전 변환 소자(220)로서, pn형 접합 또는 pin형 접합이 형성된 광전 변환 소자를 사용하여도 좋다.

[0325] 또한, 방사선을 흡수하여 전하를 발생시키는 기능을 갖는 물질을 사용하여 광전 변환 소자(220)를 형성하여도 좋다. 방사선을 흡수하여 전하를 발생시키는 기능을 갖는 물질에는, 셀레늄, 아이오딘화 납, 아이오딘화 수은, 비소화 갈륨, 텔루르화카드뮴, 및 카드뮴 아연 합금 등이 있다.

[0326] 예를 들어, 광전 변환 소자(220)에 셀레늄을 사용하면, 가시광, 자외광, 및 적외광에 더하여, X선이나 감마선 등 폭넓은 파장 대역에 걸친 광 흡수 계수를 갖는 광전 변환 소자(220)를 구현할 수 있다.

[0327] 여기서, 활상 장치(200)가 갖는 하나의 화소(211)는, 도 40에 도시된 부화소(212)에 더하여, 제 1 필터를 갖는 부화소(212)를 가져도 좋다.

[0328] <화소의 구성 예 2>

[0329] 이하에서는, 실리콘을 사용한 트랜ジ스터 및 산화물 반도체를 사용한 트랜지스터를 사용하여 화소를 구성하는 일례에 대하여 설명한다.

[0330] 도 42의 (A) 및 도 42의 (B)는 활상 장치를 구성하는 소자의 단면도이다. 도 42의 (A)에 도시된 활상 장치는 실리콘 기판(300)에 제공된 실리콘을 사용한 트랜지스터(351), 트랜지스터(351) 위에 적층하여 배치된 산화물 반도체를 사용한 트랜지스터(352) 및 트랜지스터(353), 및 실리콘 기판(300)에 제공된 포토다이오드(360)를 포함한다. 각 트랜지스터 및 포토다이오드(360)는 각종 플러그(370) 및 배선(371)과 전기적으로 접속된다. 또한, 포토다이오드(360)의 애노드(361)는 저저항 영역(363)을 통하여 플러그(370)와 전기적으로 접속된다.

[0331] 또한, 활상 장치는 실리콘 기판(300)에 제공된 트랜지스터(351) 및 포토다이오드(360)를 갖는 층(310)과, 층(310)과 접촉하여 제공되고 배선(371)을 갖는 층(320)과, 층(320)과 접촉하여 제공되고 트랜지스터(352) 및 트랜지스터(353)를 갖는 층(330)과, 층(330)과 접촉하여 제공되고 배선(372) 및 배선(373)을 갖는 층(340)을 갖는다.

[0332] 또한, 도 42의 (A)의 단면도의 일례는 실리콘 기판(300)의 트랜지스터(351)가 형성된 면과는 반대의 면에 포토다이오드(360)의 수광면을 갖는 구성을 도시한 것이다. 이 구성을 함으로써, 각종 트랜지스터나 배선 등의 영향을 받지 않고 광로를 확보할 수 있다. 따라서, 개구율이 높은 화소를 형성할 수 있다. 또한, 포토다이오

드(360)의 수광면을 트랜지스터(351)가 형성된 면과 같게 할 수도 있다.

[0333] 또한, 산화물 반도체를 사용한 트랜지스터만을 사용하여 화소를 구성하는 경우에는, 층(310)을 산화물 반도체를 사용한 트랜지스터를 갖는 층으로 하면 좋다. 또는, 층(310)을 생략하여 산화물 반도체를 사용한 트랜지스터만으로 화소를 구성하여도 좋다.

[0334] 또한, 실리콘을 사용한 트랜지스터만을 사용하여 화소를 구성하는 경우에는, 층(330)을 생략하면 좋다. 층(330)을 생략한 단면도의 일례를 도 42의 (B)에 도시하였다.

[0335] 또한, 실리콘 기판(300)은 SOI 기판이어도 좋다. 또한, 실리콘 기판(300) 대신에 저마늄, 실리콘 저마늄, 탄소화 실리콘, 비소화 갈륨, 비소화 알루미늄 갈륨, 인화 인듐, 질화 갈륨, 또는 유기 반도체를 갖는 기판을 사용할 수도 있다.

[0336] 여기서, 트랜지스터(351) 및 포토다이오드(360)를 갖는 층(310)과, 트랜지스터(352) 및 트랜지스터(353)를 갖는 층(330) 사이에는 절연체(380)가 제공된다. 다만, 절연체(380)의 위치는 한정되지 않는다.

[0337] 트랜지스터(351)의 채널 형성 영역 근방에 제공되는 절연체 내의 수소는 실리콘의 데글링 본드를 종단(終端)시켜 트랜지스터(351)의 신뢰성을 향상시키는 효과가 있다. 한편, 트랜지스터(352) 및 트랜지스터(353) 등의 근방에 제공되는 절연체 내의 수소는, 산화물 반도체 내에 캐리어를 생성하는 요인 중 하나가 된다. 따라서, 트랜지스터(352) 및 트랜지스터(353) 등의 신뢰성을 저하시키는 요인이 되는 경우가 있다. 따라서, 실리콘계 반도체를 사용한 트랜지스터 위에 산화물 반도체를 사용한 트랜지스터를 적층하여 제공하는 경우, 이들 사이에 수소를 차단하는 기능을 갖는 절연체(380)를 제공하는 것이 바람직하다. 절연체(380)보다 아래에 수소를 가둠으로써, 트랜지스터(351)의 신뢰성을 향상시킬 수 있다. 또한, 절연체(380)보다 아래로부터 절연체(380)보다 위로 수소가 확산되는 것을 억제할 수 있기 때문에, 트랜지스터(352) 및 트랜지스터(353) 등의 신뢰성을 향상시킬 수 있다.

[0338] 절연체(380)에는, 예를 들어, 산소 또는 수소를 차단하는 기능을 갖는 절연체를 사용한다.

[0339] 또한, 도 42의 (A)의 단면도에서, 층(310)에 제공되는 포토다이오드(360)와 층(330)에 제공되는 트랜지스터를 중첩하도록 형성할 수 있다. 이로써, 화소의 접적도를 높일 수 있다. 즉, 활상 장치의 해상도를 높일 수 있다.

[0340] 또한, 도 43의 (A1) 및 (B1)에 도시된 바와 같이, 활상 장치의 일부 또는 전체를 만곡시켜도 좋다. 도 43의 (A1)은 활상 장치를 같은 도면 중의 일점 쇄선 X1-X2 방향으로 만곡시킨 상태를 도시한 것이다. 도 43의 (A2)는 도 43의 (A1)을 일점 쇄선 X1-X2를 따라 자른 부위의 단면도이다. 도 43의 (A3)는 도 43의 (A1)을 일점 쇄선 Y1-Y2를 따라 자른 부위의 단면도이다.

[0341] 도 43의 (B1)은 활상 장치를 같은 도면 중의 일점 쇄선 X3-X4 방향으로 만곡시키고, 같은 도면 중의 일점 쇄선 Y3-Y4 방향으로 만곡시킨 상태를 도시한 것이다. 도 43의 (B2)는 도 43의 (B1)을 일점 쇄선 X3-X4를 따라 자른 부위의 단면도이다. 도 43의 (B3)은 도 43의 (B1)을 일점 쇄선 Y3-Y4를 따라 자른 부위의 단면도이다.

[0342] 활상 장치를 만곡시킴으로써, 상면만곡(像面彎曲)이나 비접수차를 저감할 수 있다. 따라서, 활상 장치와 조합하여 사용하는 렌즈 등의 광학 설계를 쉽게 할 수 있다. 예를 들어, 수차 보정을 위한 렌즈의 수를 줄일 수 있기 때문에, 활상 장치를 사용한 전자 기기 등의 소형화나 경량화를 구현할 수 있다. 또한, 활상되는 화상의 품질을 향상시킬 수 있다.

[0343] 본 실시형태에 기재되는 구성은, 다른 실시형태에 기재되는 구성과 적절히 조합하여 사용될 수 있다.

[0344] (실시형태 5)

[0345] 본 실시형태에서는, 본 발명의 일 형태에 따른 트랜지스터나 상술한 기억 장치 등의 반도체 장치를 포함하는 CPU의 일례에 대하여 설명한다.

[0346] <CPU의 구성>

[0347] 도 44는 상술한 트랜지스터를 일부에 사용한 CPU의 일례의 구성을 도시한 블록도이다.

[0348] 도 44에 도시된 CPU는, 기판(1190) 위에 ALU(1191)(ALU: Arithmetic logic unit: 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198), 채기록 가능한 ROM(1199), 및 ROM 인터페이스(1189)를 갖는다.

기판(1190)에는 반도체 기판, SOI 기판, 또는 유리 기판 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 서로 다른 칩에 제공되어도 좋다. 물론, 도 44에 도시된 CPU는 그 구성을 간략화하여 도시한 일례에 불과하고, 실제의 CPU는 그 용도에 따라 다종다양한 구성을 갖는다. 예를 들어, 도 44에 도시된 CPU 또는 연산 회로를 포함하는 구성을 하나의 코어로 하고, 상기 코어를 복수로 포함하고 각 코어가 병렬로 동작하는 구성으로 하여도 좋다. 또한, CPU가 내부 연산 회로나 데이터 베스에서 취급할 수 있는 비트 수를, 예를 들어, 8비트, 16비트, 32비트, 또는 64비트 등으로 할 수 있다.

- [0349] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은, 인스트럭션 디코더(1193)에 입력되어 디코딩된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 및 타이밍 컨트롤러(1195)에 입력된다.
- [0350] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 및 타이밍 컨트롤러(1195)는 디코딩된 명령에 기초하여 각종 제어를 수행한다. 구체적으로 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는 CPU의 프로그램 실행 중에, 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는, 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)의 관독이나 기록을 수행한다.
- [0351] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는 기준 클럭 신호에 기초하여 내부 클럭 신호를 생성하는 내부 클럭 생성부를 포함하며, 내부 클럭 신호를 상기 각종 회로에 공급한다.
- [0352] 도 44에 도시된 CPU에서는 레지스터(1196)에 메모리 셀이 제공되어 있다. 레지스터(1196)의 메모리 셀로서는, 상술한 트랜지스터나 기억 장치 등을 사용할 수 있다.
- [0353] 도 44에 도시된 CPU에서 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라, 레지스터(1196)에서의 유지 동작의 선택을 수행한다. 즉, 레지스터(1196)가 갖는 메모리 셀에서, 플립플롭에 의하여 데이터를 유지할지, 용량 소자에 의하여 데이터를 유지할지를 선택한다. 플립플롭에 의한 데이터의 유지가 선택되면, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급이 수행된다. 용량 소자에 의한 데이터의 유지가 선택되면, 용량 소자에서 데이터가 재기록되고, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.
- [0354] 도 45는 레지스터(1196)로서 사용할 수 있는 기억 소자(1200)의 회로도의 일례이다. 기억 소자(1200)는 전원 차단으로 인하여 기억 데이터가 휘발되는 회로(1201), 전원이 차단되어도 기억 데이터가 휘발되지 않는 회로(1202), 스위치(1203), 스위치(1204), 논리 소자(1206), 용량 소자(1207), 및 선택 기능을 갖는 회로(1220)를 갖는다. 회로(1202)는 용량 소자(1208), 트랜지스터(1209), 및 트랜지스터(1210)를 갖는다. 또한, 기억 소자(1200)는 필요에 따라 다이오드, 저항 소자, 또는 인덕터 등 기타 소자를 더 가져도 좋다.
- [0355] 여기서, 회로(1202)에는 상술한 기억 장치를 사용할 수 있다. 기억 소자(1200)에 대한 전원 전압의 공급이 정지될 때, 회로(1202)의 트랜지스터(1209)의 게이트에는 GND(0V), 또는 트랜지스터(1209)가 오프 상태가 되는 전위가 계속 입력되는 구성으로 한다. 예를 들어, 트랜지스터(1209)의 게이트가 저항 등의 부하를 통하여 접지되는 구성으로 한다.
- [0356] 스위치(1203)를 하나의 도전형(예를 들어, n채널형)을 갖는 트랜지스터(1213)를 사용하여 구성하고, 스위치(1204)를 상기 하나의 도전형과 반대의 도전형(예를 들어, p채널형)을 갖는 트랜지스터(1214)를 사용하여 구성하는 경우의 예에 대하여 설명한다. 여기서, 스위치(1203)의 제 1 단자는 트랜지스터(1213)의 소스 및 드레인 중 한쪽에 대응하고, 스위치(1203)의 제 2 단자는 트랜지스터(1213)의 소스 및 드레인 중 다른 쪽에 대응하고, 스위치(1203)는 트랜지스터(1213)의 게이트에 입력되는 제어 신호(RD)에 의하여 제 1 단자와 제 2 단자 사이의 도통 또는 비도통 상태(즉, 트랜지스터(1213)의 도통 상태 또는 비도통 상태)가 선택된다. 스위치(1204)의 제 1 단자는 트랜지스터(1214)의 소스 및 드레인 중 한쪽에 대응하고, 스위치(1204)의 제 2 단자는 트랜지스터(1214)의 소스 및 드레인 중 다른 쪽에 대응하고, 스위치(1204)는 트랜지스터(1214)의 게이트에 입력되는 제어 신호(RD)에 의하여 그 제 1 단자와 제 2 단자 사이의 도통 또는 비도통 상태(즉, 트랜지스터(1214)의 도통 상태 또는 비도통 상태)가 선택된다.
- [0357] 트랜지스터(1209)의 소스 및 드레인 중 한쪽은 용량 소자(1208)의 한 쌍의 전극 중 한쪽 및 트랜지스터(1210)의 게이트와 전기적으로 접속된다. 여기서, 접속 부분을 노드(M2)로 한다. 트랜지스터(1210)의 소스 및 드레인

중 한쪽은 저전원 전위를 공급할 수 있는 배선(예를 들어, GND선)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 스위치(1203)의 제 1 단자(트랜지스터(1213)의 소스 및 드레인 중 한쪽)에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)는 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 한쪽)에 전기적으로 접속된다. 스위치(1204)의 제 2 단자(트랜지스터(1214)의 소스 및 드레인 중 다른 쪽)는 전원 전위(VDD)를 공급할 수 있는 배선에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽), 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 한쪽), 논리 소자(1206)의 입력 단자, 및 용량 소자(1207)의 한 쌍의 전극 중 한쪽은 전기적으로 접속된다. 여기서, 접속 부분을 노드(M1)로 한다. 용량 소자(1207)의 한 쌍의 전극 중 다른 쪽은, 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1207)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 배선(예를 들어, GND선)에 전기적으로 접속된다. 용량 소자(1208)의 한 쌍의 전극 중 다른 쪽은, 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1208)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 배선(예를 들어, GND선)에 전기적으로 접속된다.

[0358] 또한, 트랜지스터나 배선의 기생 용량 등을 적극적으로 이용함으로써, 용량 소자(1207) 및 용량 소자(1208)를 생략할 수도 있다.

[0359] 트랜지스터(1209)의 게이트에는 제어 신호(WE)가 입력된다. 스위치(1203) 및 스위치(1204)는, 제어 신호(WE)와는 다른 제어 신호(RD)에 의하여 그들 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태가 선택되며, 한쪽 스위치의 제 1 단자와 제 2 단자 사이가 도통 상태일 때, 다른 쪽 스위치의 제 1 단자와 제 2 단자 사이는 비도통 상태가 된다.

[0360] 트랜지스터(1209)의 소스 및 드레인 중 다른 쪽에는 회로(1201)에 유지된 데이터에 대응하는 신호가 입력된다. 도 45에는 회로(1201)로부터 출력된 신호가 트랜지스터(1209)의 소스 및 드레인 중 다른 쪽에 입력되는 경우의 예를 도시하였다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호는 논리 소자(1206)에 의하여 그 논리값이 반전된 반전 신호가 되고, 회로(1220)를 통하여 회로(1201)에 입력된다.

[0361] 또한, 도 45에는 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호가 논리 소자(1206) 및 회로(1220)를 통하여 회로(1201)에 입력되는 경우의 예를 도시하였지만, 이에 한정되지 않는다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호는 논리값이 반전되지 않고 회로(1201)에 입력되어도 좋다. 예를 들어, 회로(1201) 내에, 입력 단자로부터 입력된 신호의 논리값이 반전된 신호가 유지되는 노드가 존재하는 경우, 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호를 상기 노드에 입력할 수 있다.

[0362] 또한, 도 45에서, 기억 소자(1200)에 사용되는 트랜지스터들 중 트랜지스터(1209) 외의 트랜지스터는 산화물 반도체 외의 반도체로 이루어지는 층, 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들어, 실리콘막 또는 실리콘 기판에 채널이 형성되는 트랜지스터로 할 수 있다. 또한, 기억 소자(1200)에 사용되는 모든 트랜지스터를, 산화물 반도체에 채널이 형성되는 트랜지스터로 할 수도 있다. 또는, 기억 소자(1200)는 트랜지스터(1209) 외에도, 산화물 반도체에 채널이 형성되는 트랜지스터를 포함하여도 좋고, 나머지 트랜지스터는 산화물 반도체 외의 반도체로 이루어지는 층, 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수도 있다.

[0363] 도 45에서의 회로(1201)에는, 예를 들어, 플립플롭 회로를 사용할 수 있다. 또한, 논리 소자(1206)로서는, 예를 들어, 인버터나 클럭드 인버터 등을 사용할 수 있다.

[0364] 본 발명의 일 형태에 따른 반도체 장치에서는 기억 소자(1200)에 전원 전압이 공급되지 않는 동안은, 회로(1202)에 제공된 용량 소자(1208)에 의하여 회로(1201)에 기억된 데이터를 유지할 수 있다.

[0365] 또한, 산화물 반도체에 채널이 형성되는 트랜지스터의 오프 전류는 매우 작다. 예를 들어, 산화물 반도체에 채널이 형성되는 트랜지스터의 오프 전류는 결정성을 갖는 실리콘에 채널이 형성되는 트랜지스터의 오프 전류에 비하여 매우 작다. 그러므로, 상기 트랜지스터를 트랜지스터(1209)로서 사용함으로써, 기억 소자(1200)에 전원 전압이 공급되지 않는 동안에도 용량 소자(1208)에 유지된 신호는 오랫동안 유지된다. 따라서, 기억 소자(1200)는 전원 전압의 공급이 정지되는 동안에도 기억 내용(데이터)을 유지할 수 있다.

- [0366] 또한, 스위치(1203) 및 스위치(1204)를 사용하여 프리차지 동작을 수행하는 것을 특징으로 하는 기억 소자이기 때문에, 전원 전압의 공급이 재개된 후에 회로(1201)가 원래의 데이터를 다시 유지할 때까지의 시간을 짧게 할 수 있다.
- [0367] 또한, 회로(1202)에서, 용량 소자(1208)에 의하여 유지된 신호는 트랜지스터(1210)의 게이트에 입력된다. 따라서, 기억 소자(1200)에 대한 전원 전압의 공급이 재개된 후, 용량 소자(1208)에 의하여 유지된 신호를, 트랜지스터(1210)의 상태(도통 상태 또는 비도통 상태)로 변환하여 회로(1202)로부터 판독할 수 있다. 따라서, 용량 소자(1208)에 유지된 신호에 대응하는 전위가 약간 변동되더라도, 원래의 신호를 정확하게 판독할 수 있다.
- [0368] 프로세서가 갖는 레지스터나 캐시 메모리 등의 기억 장치에 상술한 기억 소자(1200)를 사용함으로써, 전원 전압의 공급 정지로 인한 기억 장치 내의 데이터 손실을 방지할 수 있다. 또한, 전원 전압의 공급을 재개한 후, 짧은 시간에 전원 공급 정지 전의 상태로 복귀할 수 있다. 따라서, 프로세서 전체, 또는 프로세서를 구성하는 하나 또는 복수의 논리 회로에서 짧은 시간이라도 전원을 정지할 수 있기 때문에, 소비 전력을 억제할 수 있다.
- [0369] 기억 소자(1200)를 CPU에 사용하는 예를 설명하였지만, 기억 소자(1200)는 DSP(Digital Signal Processor), 커스텀 LSI 등의 LSI, 및 RF(Radio Frequency) 디바이스에 응용할 수도 있다. 또한, FPGA 또는 CPLD(Complex Programmable Logic Device)가 포함되는 프로그래머블 논리 회로(programmable logic circuit) 등의 LSI에 응용할 수도 있다.
- [0370] 본 실시형태에 기재되는 구성은, 다른 실시형태에 기재되는 구성과 적절히 조합하여 사용될 수 있다.
- [0371] (실시형태 6)
- [0372] 본 실시형태에서는, 본 발명의 일 형태에 따른 트랜지스터 등을 이용한 표시 장치에 대하여, 도 46 및 도 47을 사용하여 설명한다.
- [0373] <표시 장치의 구성>
- [0374] 표시 장치에 사용되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함) 및 발광 소자(발광 표시 소자라고도 함) 등을 사용할 수 있다. 발광 소자는 전류 또는 전압에 의하여 회도가 제어되는 소자를 그 범주에 포함하며, 구체적으로는 무기 EL(electroluminescence) 및 유기 EL 등을 포함한다. 이하에서는, 표시 장치의 일례로서 EL 소자를 사용한 표시 장치(EL 표시 장치) 및 액정 소자를 사용한 표시 장치(액정 표시 장치)에 대하여 설명한다.
- [0375] 또한, 이하에서 제시하는 표시 장치는 표시 소자가 밀봉된 상태의 패널과, 이 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태의 모듈이 그 범주에 포함된다.
- [0376] 또한, 이하에서 제시하는 표시 장치는 화상 표시 디바이스 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, 예를 들어 FPC 또는 TCP와 같은 커넥터가 장착된 모듈, TCP 끝에 프린트 배선판을 갖는 모듈, 또는 COG 방식에 의하여 표시 소자에 IC(접적 회로)가 직접 실장된 모듈도 모두 표시 장치의 범주에 포함되는 것으로 한다.
- [0377] 도 46은 본 발명의 일 형태에 따른 EL 표시 장치의 일례이다. 도 46의 (A)에 EL 표시 장치의 화소의 회로도를 도시하였다. 도 46의 (B)는 EL 표시 장치 전체를 도시한 상면도이다. 또한, 도 46의 (C)는 도 46의 (B)의 일 점 쇄선 M-N의 일부에 대응하는 M-N 단면이다.
- [0378] 도 46의 (A)는 EL 표시 장치에 사용되는 화소의 회로도의 일례이다.
- [0379] 또한, 본 명세서 등에서는, 능동 소자(트랜지스터 또는 다이오드 등) 또는 수동 소자(용량 소자 또는 저항 소자 등) 등이 갖는 모든 단자에 대하여, 그 접속처가 특정되지 않더라도 당업자라면 발명의 일 형태를 구성할 수 있는 경우가 있다. 즉, 접속처가 특정되지 않더라도 발명의 일 형태가 명확하다고 할 수 있다. 그리고, 접속처가 특정된 내용이 본 명세서 등에 기재되어 있는 경우, 접속처가 특정되지 않은 발명의 일 형태가 본 명세서 등에 기재되어 있다고 판단할 수 있는 경우가 있다. 특히, 단자의 접속처로서 복수의 개소가 상정되는 경우에는, 그 단자의 접속처를 특정한 개소에 한정할 필요는 없다. 따라서, 능동 소자(트랜지스터 또는 다이오드 등) 또는 수동 소자(용량 소자 또는 저항 소자 등) 등이 갖는 일부의 단자에 대해서만 그 접속처를 특정함으로써, 발명의 일 형태를 구성할 수 있는 경우가 있다.
- [0380] 또한, 본 명세서 등에서는 어떤 회로에 대하여 적어도 접속처가 특정되기만 하면, 당업자라면 발명을 특정할 수 있는 경우가 있다. 또는, 어떤 회로에 대하여 적어도 기능이 특정되기만 하면, 당업자라면 발명을 특정할 수 있는 경우가 있다. 즉, 기능이 특정되면 발명의 일 형태가 명확하다고 할 수 있다. 그리고, 기능이 특정된 발

명의 일 형태가 본 명세서 등에 기재되어 있다고 판단할 수 있는 경우가 있다. 따라서, 어떤 회로에 대하여 기능이 특정되지 않더라도 접속처가 특정되면 발명의 일 형태로서 개시되어 있는 것이며 그것으로 발명의 일 형태를 구성할 수 있다. 또는, 어떤 회로에 대하여 접속처가 특정되지 않더라도 기능이 특정되면 발명의 일 형태로서 개시되어 있는 것이며 그것으로 발명의 일 형태를 구성할 수 있다.

[0381] 도 46의 (A)에 도시된 EL 표시 장치는 스위칭 소자(743), 트랜지스터(741), 용량 소자(742), 및 발광 소자(719)를 갖는다.

[0382] 또한, 도 46의 (A) 등은, 회로 구성의 일례이기 때문에, 트랜지스터를 더 추가할 수 있다. 반대로, 도 46의 (A)의 각 노드에서 트랜지스터, 스위치, 또는 수동 소자 등을 추가하지 않도록 할 수도 있다.

[0383] 트랜지스터(741)의 게이트는 스위칭 소자(743)의 한쪽 단자 및 용량 소자(742)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(741)의 소스는 용량 소자(742)의 다른 쪽 전극과 전기적으로 접속되고, 발광 소자(719)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(741)의 드레인은 전원 전위(VDD)가 공급된다. 스위칭 소자(743)의 다른 쪽 단자는 신호선(744)과 전기적으로 접속된다. 발광 소자(719)의 다른 쪽 전극에는 정전위가 공급된다. 또한, 정전위는 접지 전위(GND) 또는 그것보다 작은 전위로 한다.

[0384] 스위칭 소자(743)로서는 트랜지스터를 사용하면 바람직하다. 트랜지스터를 사용함으로써 화소의 면적을 작게 할 수 있어, 해상도가 높은 EL 표시 장치를 구현할 수 있다. 또한, 스위칭 소자(743)로서, 트랜지스터(741)와 동일한 공정을 거쳐 제작된 트랜지스터를 사용하면, EL 표시 장치의 생산성을 높일 수 있다. 또한, 트랜지스터(741) 또는/및 스위칭 소자(743)로서는, 예를 들어, 상술한 트랜지스터를 적용할 수 있다.

[0385] 도 46의 (B)는 EL 표시 장치의 상면도이다. EL 표시 장치는 기판(700), 기판(750), 실란트(sealant)(734), 구동 회로(735), 구동 회로(736), 화소(737), 및 FPC(732)를 갖는다. 실란트(734)는 화소(737), 구동 회로(735), 및 구동 회로(736)를 둘러싸도록 기판(700)과 기판(750) 사이에 배치된다. 또한, 구동 회로(735) 또는/ 및 구동 회로(736)를 실란트(734)의 외측에 배치하여도 좋다.

[0386] 도 46의 (C)는 도 46의 (B)의 일점 쇄선 M-N의 일부에 대응하는 EL 표시 장치의 단면도이다.

[0387] 도 46의 (C)에 도시된 트랜지스터(741)는, 기판(700) 위의 절연체(701), 절연체(701) 위의 도전체(702a), 도전체(702a)가 매립된 절연체(703), 절연체(703) 위의 절연체(704), 절연체(704) 위의 영역(705a)과 영역(705b)이 제공된 반도체(705), 반도체(705) 위의 절연체(706), 및 절연체(706) 위의 도전체(707a)를 갖는 구조를 갖는다. 또한, 트랜지스터(741)의 구조는 일례이며, 도 46의 (C)에 도시된 구조와 상이한 구조로 하여도 좋다.

[0388] 따라서, 도 46의 (C)에 도시된 트랜지스터(741)에서, 도전체(702a)는 게이트 전극으로서의 기능을 갖고, 절연체(703) 및 절연체(706)는 게이트 절연체로서의 기능을 갖고, 영역(705a)은 소스로서의 기능을 갖고, 영역(705b)은 드레인으로서의 기능을 갖고, 도전체(707a)는 게이트 전극으로서의 기능을 갖는다. 또한, 반도체(705)는 광조사에 의하여 전기 특성이 변동되는 경우가 있다. 따라서, 도전체(702a) 및 도전체(707a) 중 어느 한쪽 또는 양쪽 모두가 차광성을 가지면 바람직하다.

[0389] 도 46의 (C)에 도시된 용량 소자(742)는 절연체(701) 위의 도전체(702b), 도전체(702b) 위의 절연체(703), 절연체(703) 위에 있으며 도전체(702b)와 중첩되는 영역(705b), 영역(705b) 위의 절연체(706), 및 절연체(706) 위에 있으며 영역(705b)과 중첩되는 도전체(707b)를 갖는 구조를 갖는다.

[0390] 용량 소자(742)에서, 도전체(702b) 및 영역(705b)은 한쪽 전극으로서 기능하고, 도전체(707a)는 다른 쪽 전극으로서 기능한다.

[0391] 따라서, 용량 소자(742)는 트랜지스터(741)와 공통되는 막을 사용하여 제작될 수 있다. 또한, 도전체(702a) 및 도전체(702b)를 같은 종류의 도전체로 하면 바람직하다. 이 경우, 도전체(702a) 및 도전체(702b)는 동일한 공정을 거쳐 형성될 수 있다. 또한, 도전체(707a) 및 도전체(707b)를 같은 종류의 도전체로 하면 바람직하다. 이 경우, 도전체(707a) 및 도전체(707b)는 동일한 공정을 거쳐 형성될 수 있다.

[0392] 도 46의 (C)에 도시된 용량 소자(742)는 점유 면적당 용량이 큰 용량 소자이다. 따라서, 도 46의 (C)는 표시 품위가 높은 EL 표시 장치이다.

[0393] 트랜지스터(741) 및 용량 소자(742) 위에는 절연체(716) 및 절연체(720)가 배치된다. 여기서, 절연체(716) 및 절연체(720)는 트랜지스터(741)의 소스로서 기능하는 영역(705a)에 도달되는 개구부를 가져도 좋다. 절연체(720) 위에는 도전체(781)가 배치된다. 도전체(781)는 절연체(720)의 개구부를 통하여 트랜지스터(741)와 전기

적으로 접속되어 있다.

[0394] 위에는 도전체(781)에 도달되는 개구부를 갖는 격벽(784)이 배치된다. 격벽(784) 위에는, 격벽(784)의 개구부에서 도전체(781)와 접촉되는 발광층(782)이 배치된다. 발광층(782) 위에는 도전체(783)가 배치된다. 도전체(781), 발광층(782), 및 도전체(783)가 중첩되는 영역이 발광 소자(719)가 된다.

[0395] 여기까지 EL 표시 장치의 예에 대하여 설명하였다. 다음에, 액정 표시 장치의 예에 대하여 설명한다.

[0396] 도 47의 (A)는 액정 표시 장치의 화소의 구성예를 도시한 회로도이다. 도 47에 도시된 화소는 트랜지스터(751), 용량 소자(752), 및 한 쌍의 전극 사이에 액정이 충전된 소자(액정 소자)(753)를 갖는다.

[0397] 트랜지스터(751)에서는 소스 및 드레인 중 한쪽이 신호선(755)에 전기적으로 접속되고, 게이트가 주사선(754)에 전기적으로 접속되어 있다.

[0398] 용량 소자(752)에서는, 한쪽 전극이 트랜지스터(751)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고, 다른 쪽 전극이 공통 전위를 공급하는 배선에 전기적으로 접속되어 있다.

[0399] 액정 소자(753)에서는 한쪽 전극이 트랜지스터(751)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고, 다른 쪽 전극이 공통 전위를 공급하는 배선에 전기적으로 접속되어 있다. 또한, 상술한 용량 소자(752)의 다른 쪽 전극이 전기적으로 접속되는 배선에 공급되는 공통 전위와, 액정 소자(753)의 다른 쪽 전극에 공급되는 공통 전위는 상이하여도 좋다.

[0400] 또한, 액정 표시 장치의 상면도에 대해서는 EL 표시 장치와 같은 것으로 하여 설명한다. 도 46의 (B)의 일점 쇄선 M-N에 대응하는 액정 표시 장치의 단면도를 도 47의 (B)에 도시하였다. 도 47의 (B)에서 FPC(732)는 단자(731)를 통하여 배선(733a)과 접속된다. 또한, 배선(733a)에는 트랜지스터(751)를 구성하는 도전체 및 반도체 중 어느 것과 같은 종류의 도전체 또는 반도체를 사용하여도 좋다.

[0401] 트랜지스터(751)에 대해서는 트랜지스터(741)에 대한 기재를 참조한다. 또한, 용량 소자(752)에 대해서는 용량 소자(742)에 대한 기재를 참조한다. 또한, 도 47의 (B)에는 도 46의 (C)의 용량 소자(742)에 대응한 용량 소자(752)의 구조를 도시하였지만, 이에 한정되지 않는다.

[0402] 또한, 트랜지스터(751)의 반도체에 산화물 반도체를 사용하면, 오프 전류가 매우 작은 트랜지스터를 구현할 수 있다. 그러므로, 용량 소자(752)에 유지된 전하가 누설되기 어렵고, 액정 소자(753)에 인가되는 전압을 오랫동안 유지할 수 있다. 따라서, 움직임이 적은 동영상이나 정지 화상을 표시할 때 트랜지스터(751)를 오프 상태로 함으로써, 트랜지스터(751)를 동작시키기 위한 전력이 불필요하게 되어, 소비 전력이 낮은 액정 표시 장치를 구현할 수 있다. 또한, 용량 소자(752)가 점유 면적을 작게 할 수 있기 때문에, 개구율이 높은 액정 표시 장치, 또는 고정세(高精細)화된 액정 표시 장치를 제공할 수 있다.

[0403] 트랜지스터(751) 및 용량 소자(752) 위에는 절연체(721)가 배치된다. 여기서, 절연체(721)는 트랜지스터(751)에 도달되는 개구부를 갖는다. 절연체(721) 위에는 도전체(791)가 배치된다. 도전체(791)는 절연체(721)의 개구부를 통하여 트랜지스터(751)와 전기적으로 접속된다.

[0404] 도전체(791) 위에는 배향막으로서 기능하는 절연체(792)가 배치된다. 절연체(792) 위에는 액정층(793)이 배치된다. 액정층(793) 위에는 배향막으로서 기능하는 절연체(794)가 배치된다. 절연체(794) 위에는 스페이서(795)가 배치된다. 스페이서(795) 및 절연체(794) 위에는 도전체(796)가 배치된다. 도전체(796) 위에는 기판(797)이 배치된다.

[0405] 또한, 액정의 구동 방법으로서는 TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, 게스트 호스트 모드, 및 블루상(Blue Phase) 모드 등을 사용할 수 있다. 다만, 이에 한정되지 않고, 구동 방법으로서 다양한 것을 사용할 수 있다.

[0406] 상술한 구조로 함으로써, 점유 면적이 작은 용량 소자를 갖는 표시 장치를 제공할 수 있거나, 또는 표시 품위가 높은 표시 장치를 제공할 수 있다. 또는, 고정세 표시 장치를 제공할 수 있다.

[0407] 예를 들어, 본 명세서 등에서 표시 소자, 표시 소자를 갖는 장치인 표시 장치, 발광 소자, 및 발광 소자를 갖는

장치인 발광 장치는 다양한 형태를 사용할 수 있고, 또는 다양한 소자를 가질 수 있다. 표시 소자, 표시 장치, 발광 소자, 또는 발광 장치는, 예를 들어, 백색, 적색, 녹색, 또는 청색 등의 발광 다이오드(LED: Light Emitting Diode), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 방출 소자, 액정 소자, 전자 잉크, 전기 영동 소자, GLV(grating light valve), PDP(plasma display panel), MEMS(micro electro mechanical system s)를 사용한 표시 소자, DMD(digital micromirror device), DMS(digital micro shutter), IMOD(간접 변조) 소자, 셔터 방식의 MEMS 표시 소자, 광 간접 방식의 MEMS 표시 소자, 전기 습윤 소자, 압전 세라믹 디스플레이, 및 카본 나노튜브를 사용한 표시 소자 등 중 적어도 하나를 갖는다. 이들 외에도 전기적 또는 자기적 작용에 의하여 명암비, 휘도, 반사율, 또는 투과율 등이 변화되는 표시 매체를 가져도 좋다.

[0408] EL 소자를 사용한 표시 장치의 일례로서는, EL 디스플레이 등이 있다. 전자 방출 소자를 사용한 표시 장치의 일례로서는, FED(field emission display) 또는 SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 있다. 액정 소자를 사용한 표시 장치의 일례로서는, 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 또는 투사형 액정 디스플레이) 등이 있다. 전자 잉크 또는 전기 영동 소자를 사용한 표시 장치의 일례로서는 전자 종이 등이 있다. 또한, 반투과형 액정 디스플레이나 반사형 액정 디스플레이를 구현하기 위해서는 화소 전극의 일부 또는 전체가 반사 전극으로서의 기능을 갖도록 하면 좋다. 예를 들어, 화소 전극의 일부 또는 전체가 알루미늄 또는 은 등을 갖도록 하면 좋다. 또한, 이 경우에는 반사 전극 아래에 SRAM 등의 기억 회로를 제공할 수도 있다. 이로써, 소비 전력을 더 저감할 수 있다.

[0409] 또한, LED를 사용하는 경우, LED의 전극이나 질화물 반도체 아래에 그래핀이나 그래파이트를 배치하여도 좋다. 그래핀이나 그래파이트는 복수의 층을 중첩시켜 다층막으로 하여도 좋다. 이와 같이 그래핀이나 그래파이트를 제공하면 그 위에 질화물 반도체(예를 들어, 결정을 갖는 n형 GaN 반도체) 등을 쉽게 성막할 수 있다. 그 위에 결정을 갖는 p형 GaN 반도체 등을 더 제공하여 LED를 구성할 수 있다. 또한, 그래핀이나 그래파이트와, 결정을 갖는 n형 GaN 반도체 사이에 AlN층을 제공하여도 좋다. 또한, LED가 갖는 GaN 반도체는 MOCVD로 성막되어도 좋다. 다만, 그래핀을 제공하는 경우, LED가 갖는 GaN 반도체는 스펀터링법으로 성막될 수도 있다.

[0410] 본 실시형태에 기재되는 구성은 다른 실시형태에 기재되는 구성과 적절히 조합하여 사용될 수 있다.

[0411] (실시형태 7)

[0412] 본 실시형태에서는, 본 발명의 일 형태에 따른 트랜지스터 등을 이용한 전자 기기에 대하여 설명한다.

[0413] <전자 기기>

[0414] 본 발명의 일 형태에 따른 반도체 장치는, 표시 기기, 퍼스널 컴퓨터, 또는 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD(Digital Versatile Disc) 등의 기록 매체를 재생하여 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용될 수 있다. 이 외에도 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있는 전자 기기로서 휴대 전화, 게임기(휴대형 게임기를 포함함), 휴대 정보 단말, 전자 서적 단말, 비디오 카메라나 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운티드 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오 및 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 및 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 48에 도시하였다.

[0415] 도 48의 (A)에 도시된 휴대형 게임기는 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크로폰(905), 스피커(906), 조작 키(907), 및 스타일러스(908) 등을 갖는다. 또한, 도 48의 (A)에 도시된 휴대형 게임기는 2개의 표시부(표시부(903) 및 표시부(904))를 갖고 있지만, 휴대형 게임기가 갖는 표시부의 수는 이에 한정되지 않는다.

[0416] 도 48의 (B)에 도시된 휴대 정보 단말은 제 1 하우징(911), 제 2 하우징(912), 제 1 표시부(913), 제 2 표시부(914), 접속부(915), 및 조작 키(916) 등을 갖는다. 제 1 표시부(913)는 제 1 하우징(911)에 제공되어 있고, 제 2 표시부(914)는 제 2 하우징(912)에 제공되어 있다. 그리고, 제 1 하우징(911) 및 제 2 하우징(912)은 접속부(915)에 의하여 접속되어 있고, 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도는 접속부(915)에 의하여 변경할 수 있다. 제 1 표시부(913)에 표시되는 영상을 접속부(915)에서의 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 또한, 제 1 표시부(913) 및 제 2 표시부(914) 중 적어도 한쪽에 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하여도 좋다. 또한, 위치 입력 장치로서의 기능은 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또한, 위치 입력 장치로서의 기능은 포토센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공하는 것에 의해서도 부가할 수 있다.

- [0417] 도 48의 (C)에 도시된 노트북형 퍼스널 컴퓨터는 하우징(921), 표시부(922), 키보드(923), 및 포인팅 디바이스(924) 등을 갖는다.
- [0418] 도 48의 (D)에 도시된 전기 냉동 냉장고는 하우징(931), 냉장실용 도어(932), 및 냉동실용 도어(933) 등을 갖는다.
- [0419] 도 48의 (E)에 도시된 비디오 카메라는 제 1 하우징(941), 제 2 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 및 접속부(946) 등을 갖는다. 조작 키(944) 및 렌즈(945)는 제 1 하우징(941)에 제공되어 있고, 표시부(943)는 제 2 하우징(942)에 제공되어 있다. 그리고, 제 1 하우징(941) 및 제 2 하우징(942)은 접속부(946)에 의하여 접속되어 있고, 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도는 접속부(946)에 의하여 변경할 수 있다. 표시부(943)에 표시되는 영상을 접속부(946)에서의 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.
- [0420] 도 48의 (F)에 도시된 자동차는 차체(951), 차륜(952), 대시보드(953), 및 라이트(954) 등을 갖는다.
- [0421] 본 실시형태에 기재되는 구성은 다른 실시형태에 기재되는 구성과 적절히 조합하여 사용될 수 있다.
- [0422] 또한, 상술한 실시형태에서 본 발명의 일 형태에 대하여 설명하였다. 다만, 본 발명의 일 형태는 이들에 한정되지 않는다. 즉, 본 실시형태 등에서는 다양한 발명의 형태가 기재되어 있기 때문에, 본 발명의 일 형태는 특정된 형태에 한정되지 않는다. 예를 들어, 본 발명의 일 형태로서, 트랜지스터의 채널 형성 영역, 소스 영역, 및 드레인 영역 등이 산화물 반도체를 갖는 경우의 예를 설명하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 경우 또는 상황에 따라 본 발명의 일 형태에 따른 다양한 트랜지스터, 트랜지스터의 채널 형성 영역, 또는 트랜지스터의 소스 영역 또는 드레인 영역 등은 다양한 반도체를 가져도 좋다. 경우 또는 상황에 따라 본 발명의 일 형태에 따른 다양한 트랜지스터, 트랜지스터의 채널 형성 영역, 또는 트랜지스터의 소스 영역 또는 드레인 영역 등은 예를 들어, 실리콘, 저마늄, 실리콘 저마늄, 탄소화 실리콘, 비소화 갈륨, 비소화 알루미늄 갈륨, 인화 인듐, 질화 갈륨, 또는 유기 반도체 등 중 적어도 하나를 가져도 좋다. 또는, 예를 들어, 경우 또는 상황에 따라 본 발명의 일 형태에 따른 다양한 트랜지스터, 트랜지스터의 채널 형성 영역, 또는 트랜지스터의 소스 영역 또는 드레인 영역 등은 산화물 반도체를 갖지 않아도 된다.
- 부호의 설명**
- [0423]
- 100: 트랜지스터
 - 101: 기판
 - 110: 절연체
 - 120: 산화물
 - 130: 130a: 절연체
 - 130b: 반도체
 - 130c: 절연체
 - 131: 131a: 영역
 - 131b: 영역
 - 131c: 영역
 - 132: 132a: 영역
 - 132b: 영역
 - 132c: 영역

133: 영역

133a: 영역

133b: 영역

133c: 영역

140a: 배선

140b: 배선

140c: 배선

150: 절연체

160: 도전체

170: 도전체

180: 절연체

190: 절연체

200: 촬상 장치

201: 스위치

202: 스위치

203: 스위치

210: 화소부

211: 화소

212: 부화소

212B: 부화소

212G: 부화소

212R: 부화소

220: 광전 변환 소자

230: 화소 회로

231: 배선

247: 배선

248: 배선

249: 배선

250: 배선

253: 배선

254: 필터

254B: 필터

254G: 필터

254R: 필터

255: 렌즈

256: 광

- 257: 배선
 260: 주변 회로
 270: 주변 회로
 280: 주변 회로
 290: 주변 회로
 291: 광원
 300: 실리콘 기판
 310: 층
 320: 층
 330: 층
 340: 층
 351: 트랜지스터
 352: 트랜지스터
 353: 트랜지스터
 360: 포토다이오드
 361: 애노드
 363: 저저항 영역
 370: 플리그
 371: 배선
 372: 배선
 373: 배선
 380: 절연체
 450: 반도체 기판
 452: 절연체
 454: 도전체
 456: 영역
 460: 영역
 462: 절연체
 464: 절연체
 466: 절연체
 468: 절연체
 472a: 영역
 472b: 영역
 474a: 도전체
 474b: 도전체
 474c: 도전체

476a: 도전체

476b: 도전체

478a: 도전체

478b: 도전체

478c: 도전체

480a: 도전체

480b: 도전체

480c: 도전체

489: 절연체

490: 절연체

492: 절연체

493: 절연체

494: 절연체

495: 절연체

496a: 도전체

496b: 도전체

496c: 도전체

496d: 도전체

498a: 도전체

498b: 도전체

498c: 도전체

504: 도전체

507a: 영역

507b: 영역

511: 절연체

514: 도전체

521: 라우팅 스위치 엘리먼트

522: 로직 엘리먼트

523: 컨피규레이션 메모리

524: 루업 테이블

525: 레지스터

526: 실렉터

527: 컨피규레이션 메모리

700: 기관

701: 절연체

702a: 도전체

702b: 도전체

703: 절연체

704: 절연체

705: 반도체

705a: 영역

705b: 영역

706: 절연체

707a: 도전체

707b: 도전체

716: 절연체

719: 발광 소자

720: 절연체

721: 절연체

731: 단자

732: FPC

733a: 배선

734: 실란트

735: 구동 회로

736: 구동 회로

737: 화소

741: 트랜지스터

742: 용량 소자

743: 스위칭 소자

744: 신호선

750: 기판

751: 트랜지스터

752: 용량 소자

753: 액정 소자

754: 주사선

755: 신호선

781: 도전체

782: 발광층

783: 도전체

784: 격벽

791: 도전체

792: 절연체

793: 액정층

794: 절연체

795: 스페이서

796: 도전체

797: 기판

901: 하우징

902: 하우징

903: 표시부

904: 표시부

905: 마이크로폰

906: 스피커

907: 조작 키

908: 스타일러스

911: 하우징

912: 하우징

913: 표시부

914: 표시부

915: 접속부

916: 조작 키

921: 하우징

922: 표시부

923: 키보드

924: 포인팅 디바이스

931: 하우징

932: 냉장실용 도어

933: 냉동실용 도어

941: 하우징

942: 하우징

943: 표시부

944: 조작 키

945: 렌즈

946: 접속부

951: 차체

952: 차륜

953: 대시보드

954: 라이트

1189: ROM 인터페이스

1190: 기판

1191: ALU

1192: ALU 컨트롤러

1193: 인스트럭션 디코더

1194: 인터럽트 컨트롤러

1195: 타이밍 컨트롤러

1196: 레지스터

1197: 레지스터 컨트롤러

1198: 버스 인터페이스

1199: ROM

1200: 기억 소자

1201: 회로

1202: 회로

1203: 스위치

1204: 스위치

1206: 논리 소자

1207: 용량 소자

1208: 용량 소자

1209: 트랜지스터

1210: 트랜지스터

1213: 트랜지스터

1214: 트랜지스터

1220: 회로

2100: 트랜지스터

2200: 트랜지스터

3001: 배선

3002: 배선

3003: 배선

3004: 배선

3005: 배선

3200: 트랜지스터

3300: 트랜지스터

3400: 용량 소자

4001: 배선

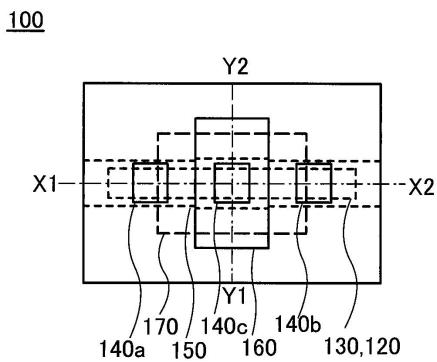
4003: 배선

4005: 배선
4006: 배선
4007: 배선
4008: 배선
4009: 배선
4021: 층
4022: 층
4023: 층
4100: 트랜지스터
4200: 트랜지스터
4300: 트랜지스터
4400: 트랜지스터
4500: 용량 소자
4600: 용량 소자
5100: 웰릿
5120: 기판
5161: 영역

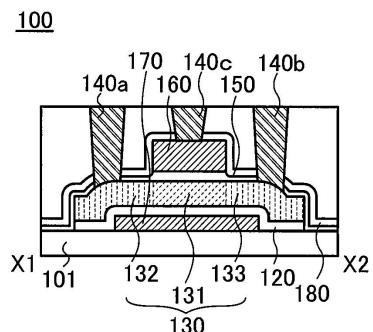
도면

도면1

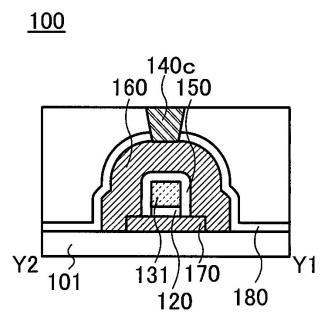
(A)



(B)

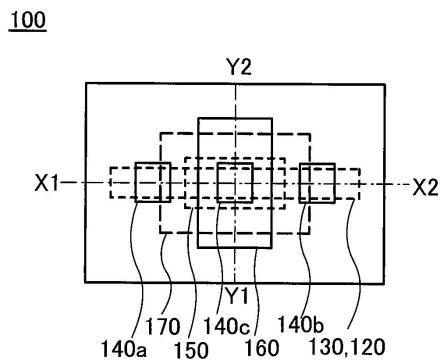


(C)

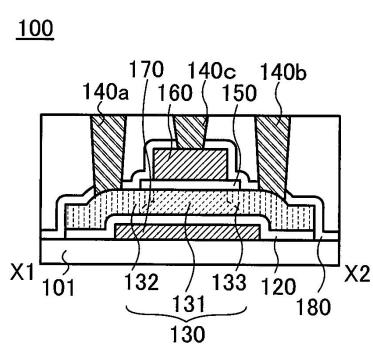


도면2

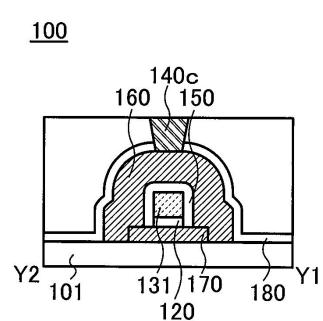
(A)



(B)

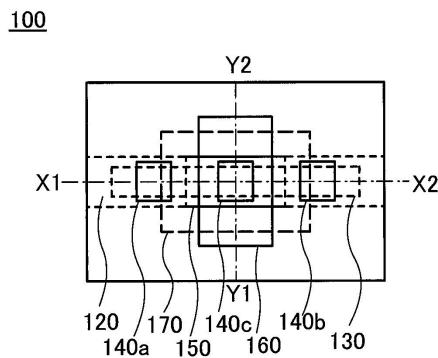


(C)

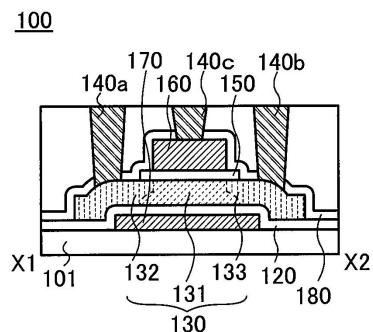


도면3

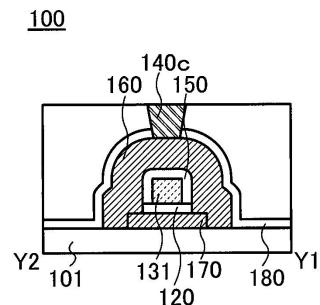
(A)



(B)

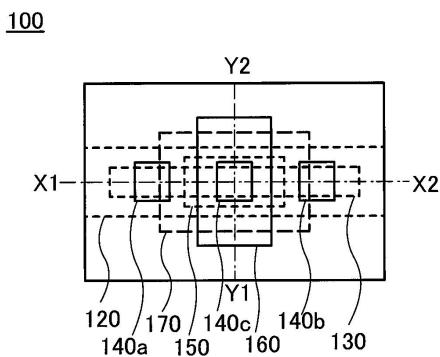


(C)

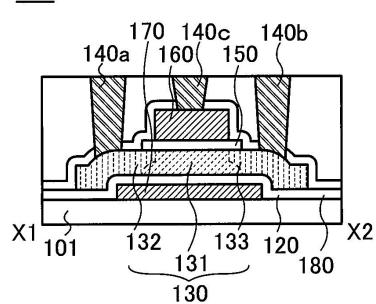


도면4

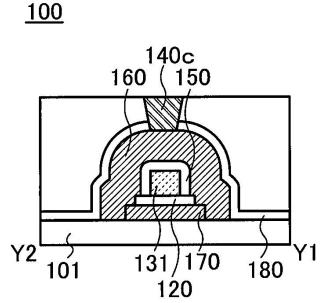
(A)



(B)

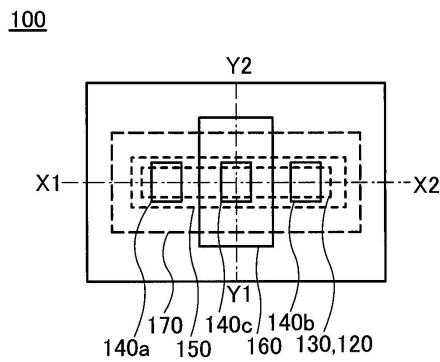


(C)

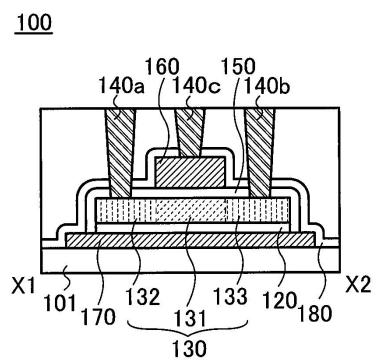


도면5

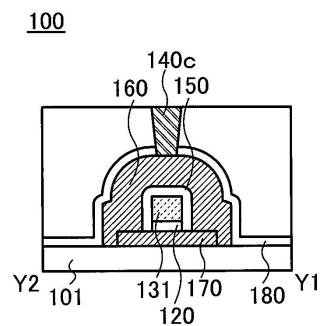
(A)



(B)

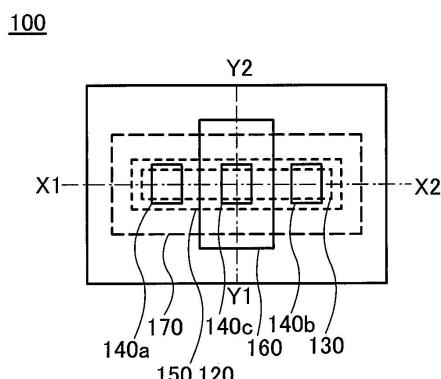


(C)

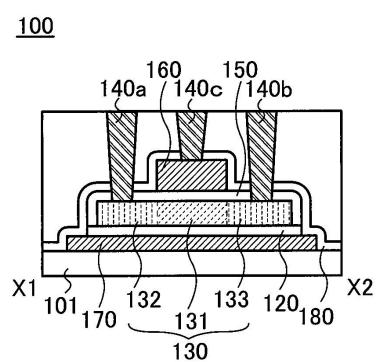


도면6

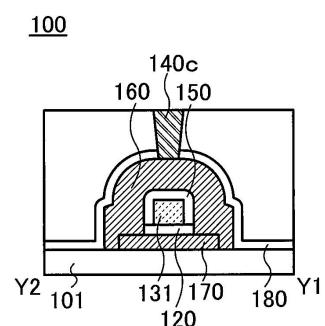
(A)



(B)

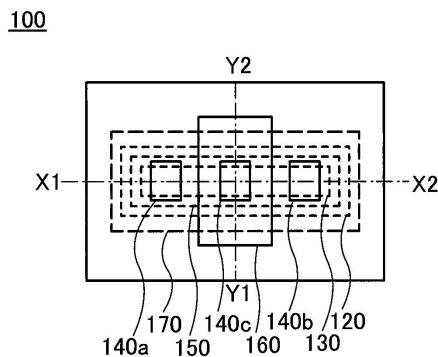


(C)

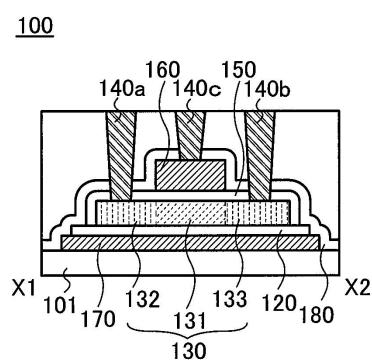


도면7

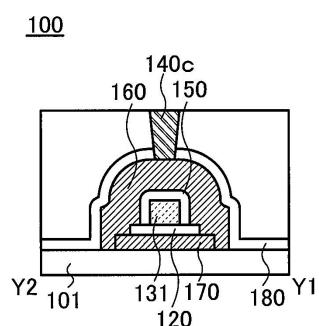
(A)



(B)

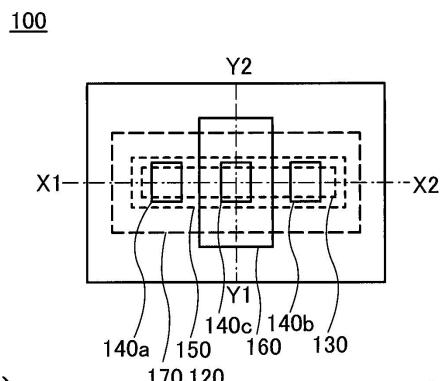


(C)

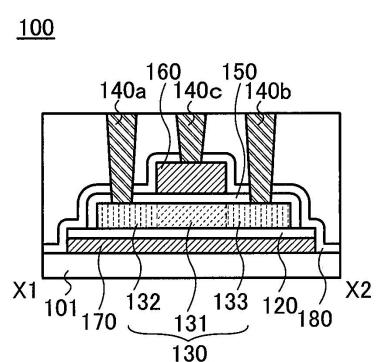


도면8

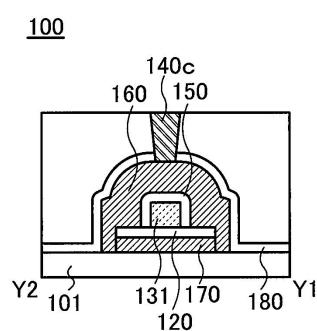
(A)



(B)

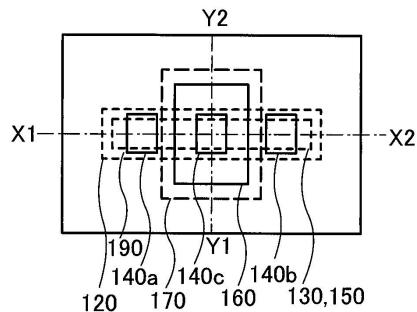


(C)

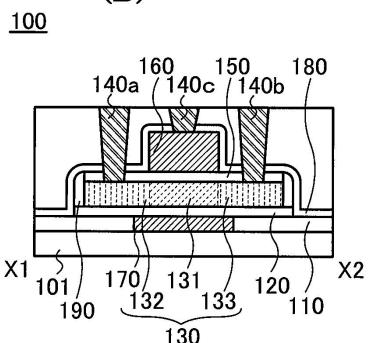


도면9

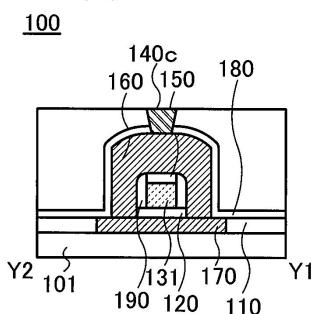
(A)

100

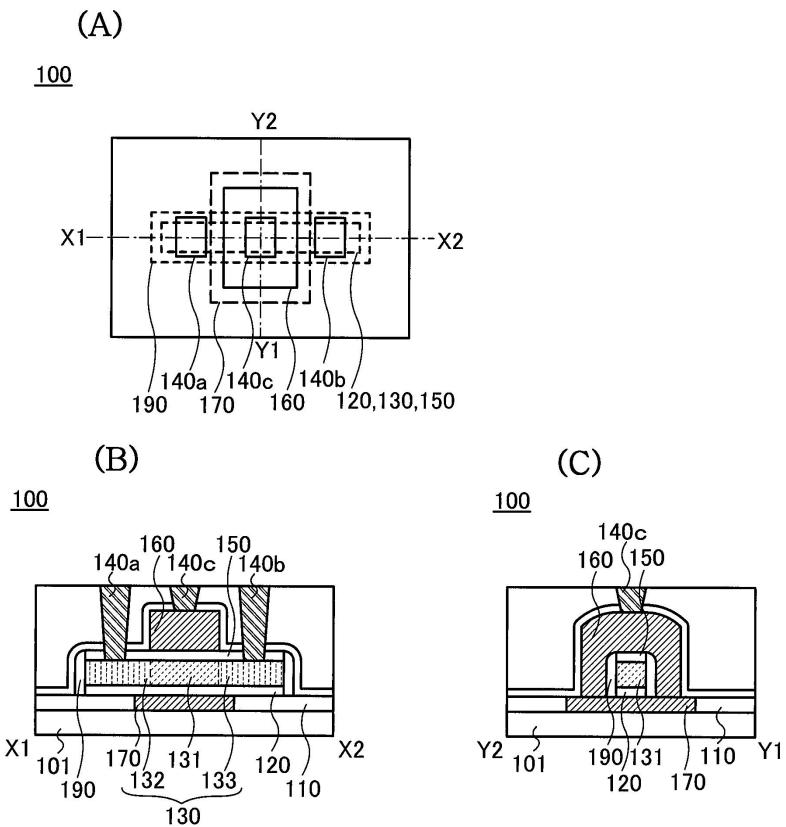
(B)



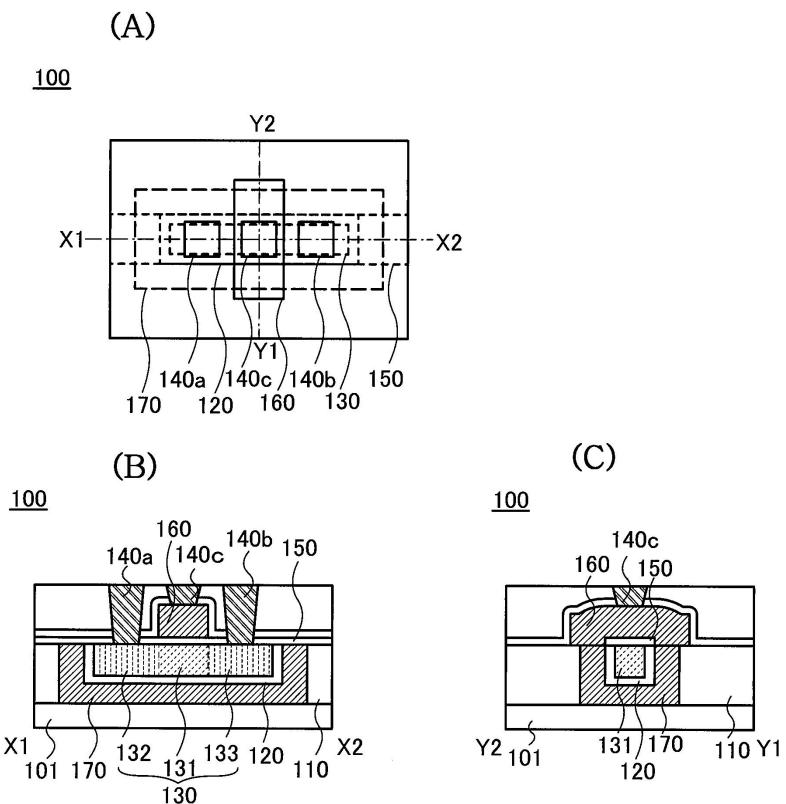
(C)



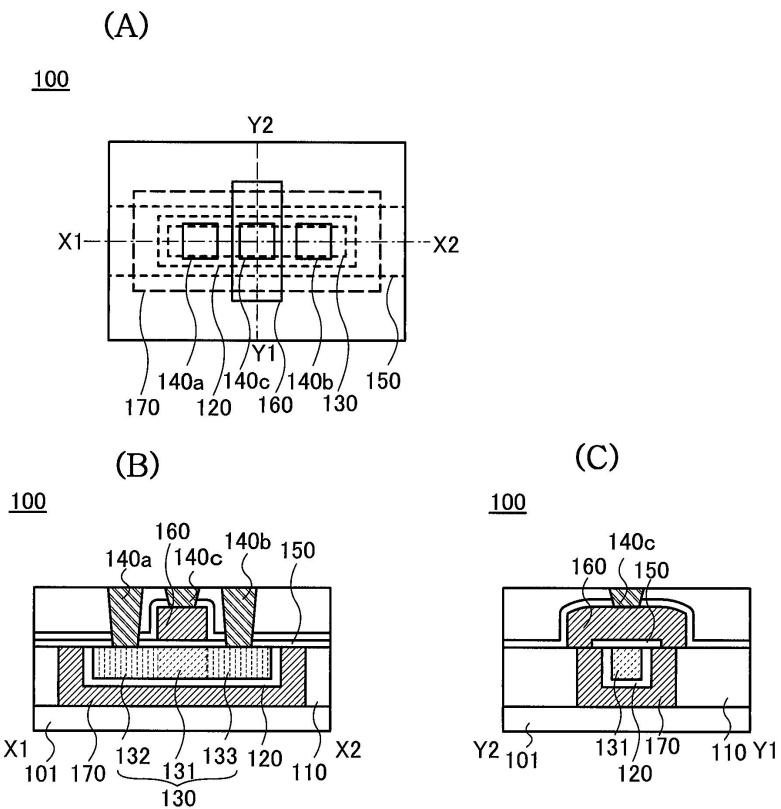
도면10



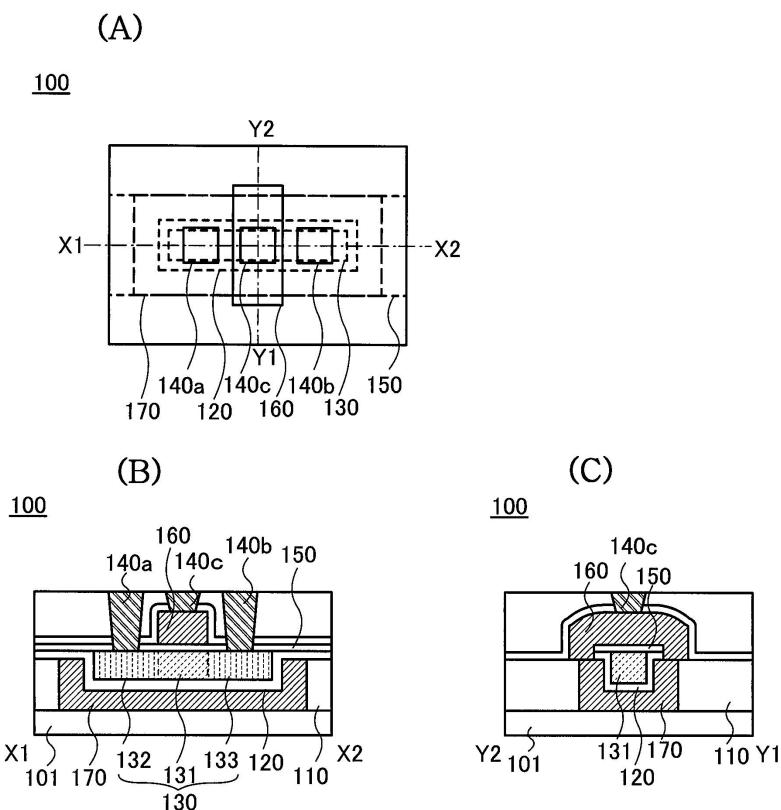
도면11



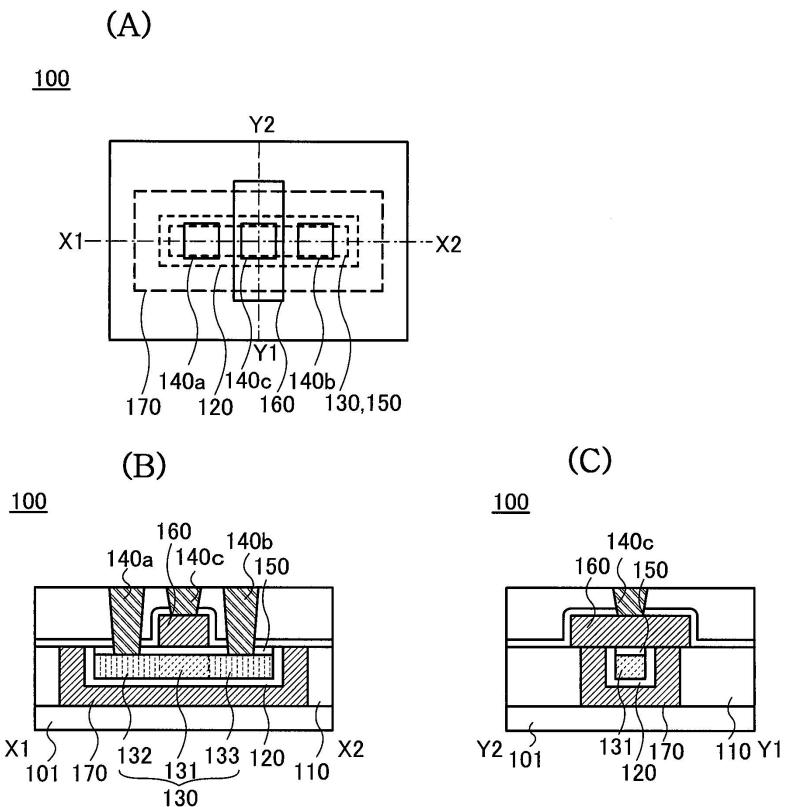
도면12



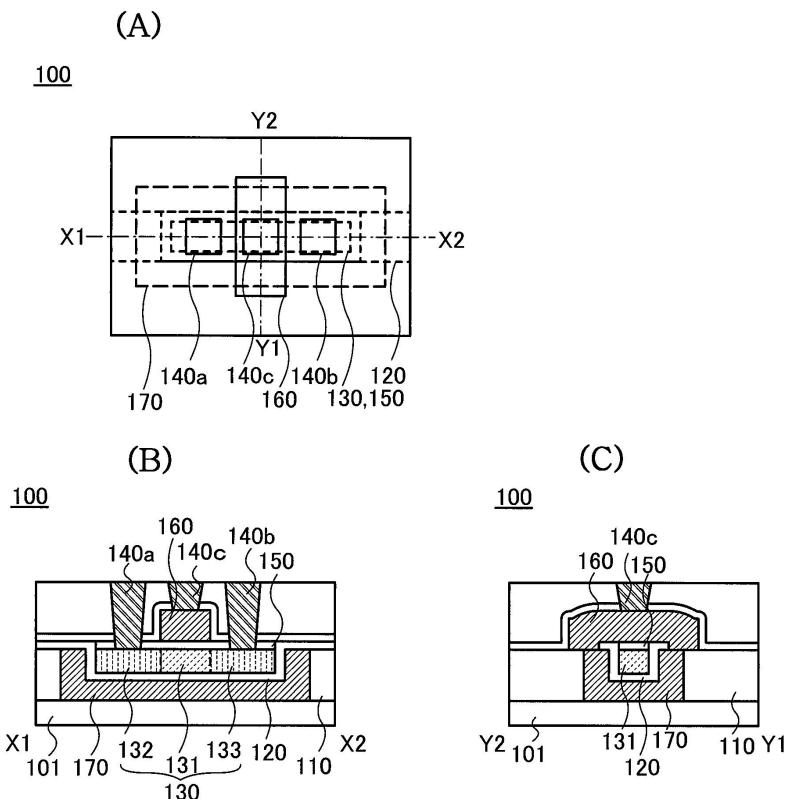
도면13



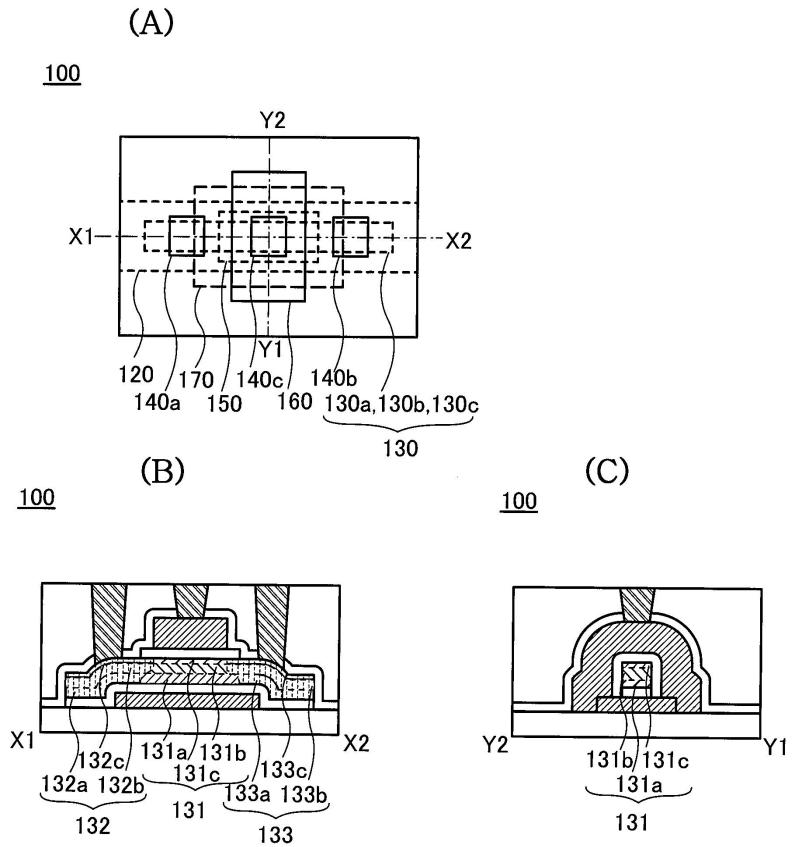
도면14



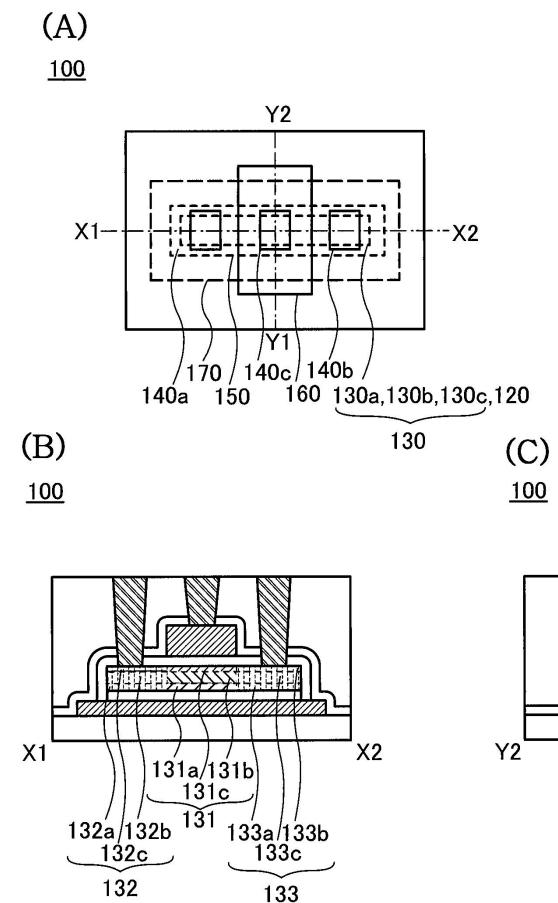
도면15



도면16



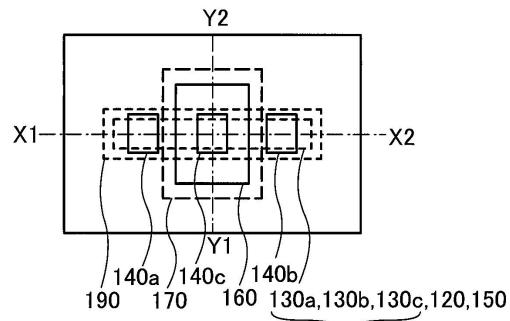
도면17



도면18

(A)

100



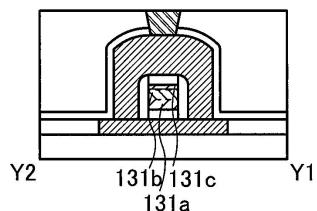
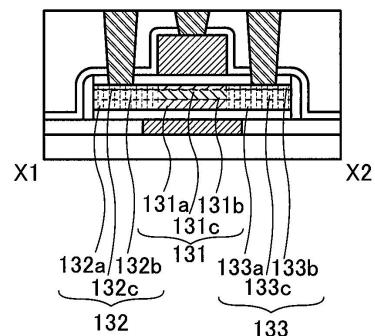
(B)

100

130

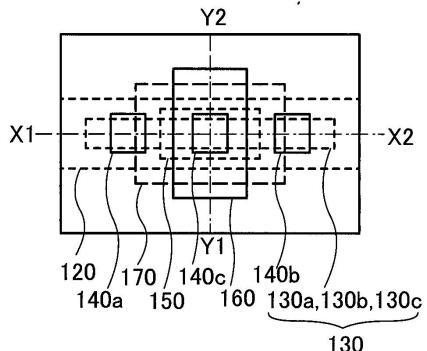
(C)

100

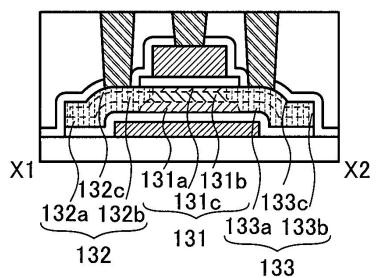


도면19

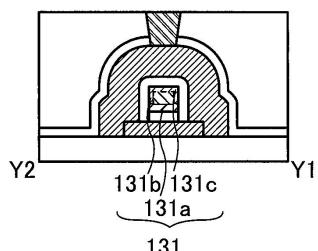
(A)

100

(B)

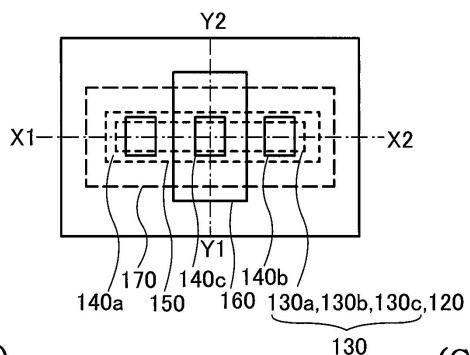
100

(C)

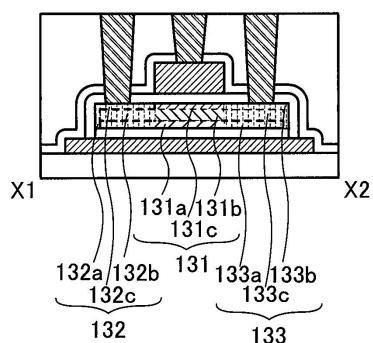
100

도면20

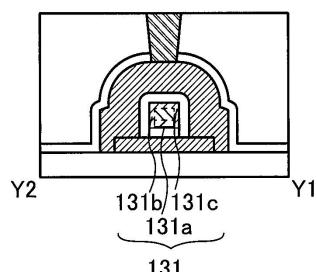
(A)

100

(B)

100

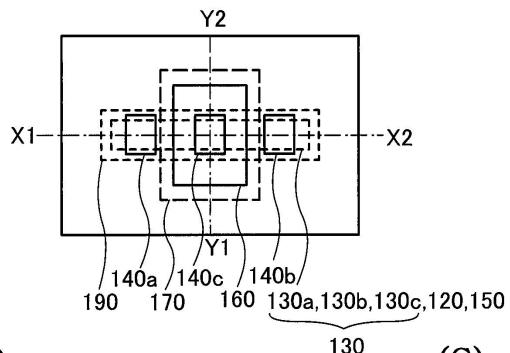
(C)

100

도면21

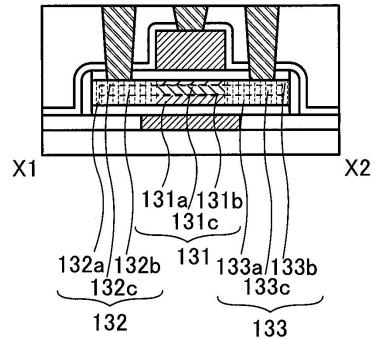
(A)

100



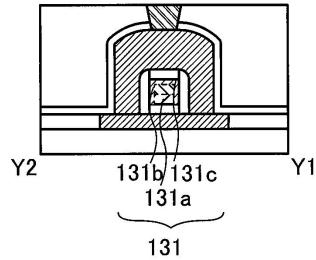
(B)

100



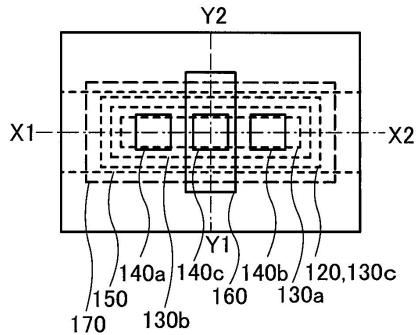
(C)

100

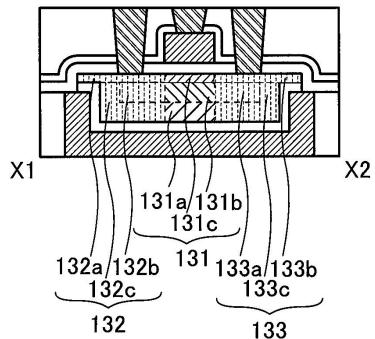


도면22

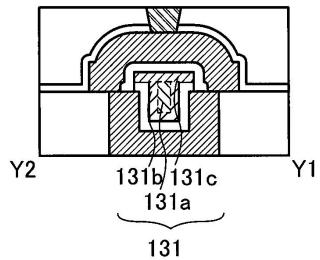
(A)

100

(B)

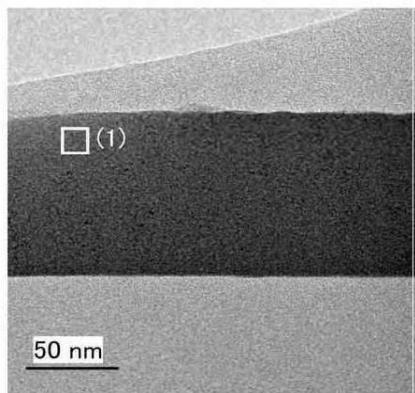
100

(C)

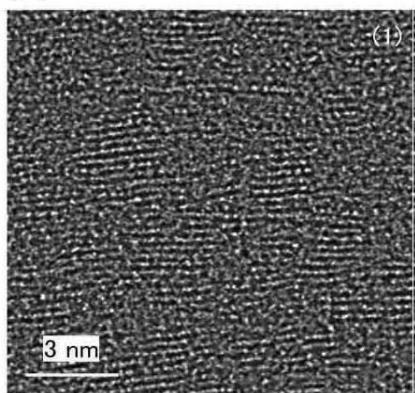
100

도면23

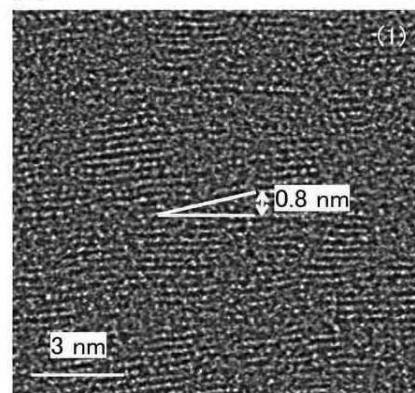
(A)



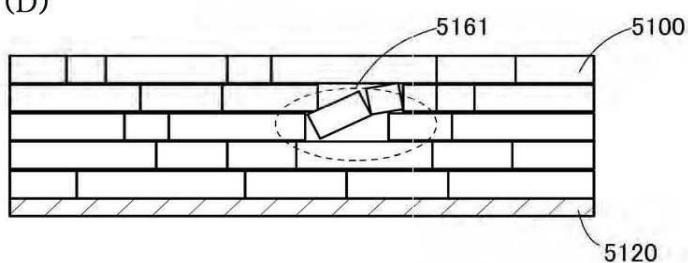
(B)



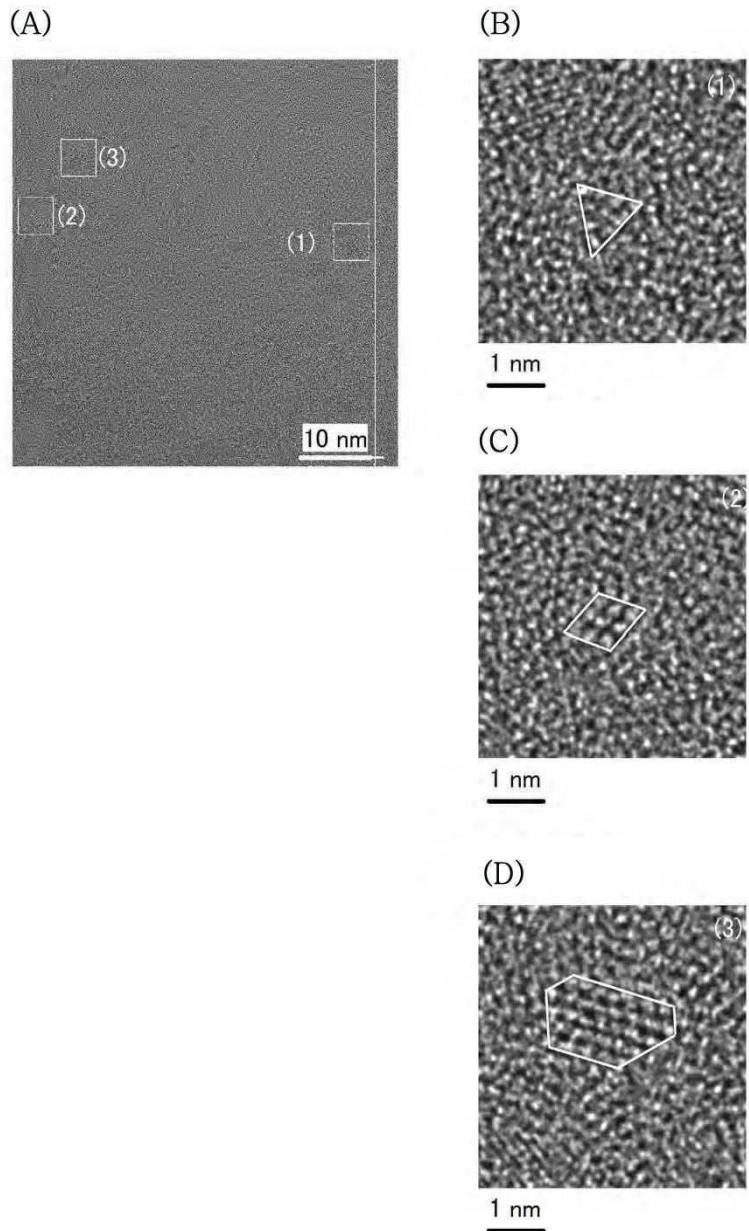
(C)



(D)

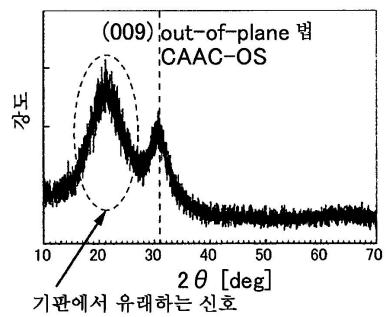


도면24

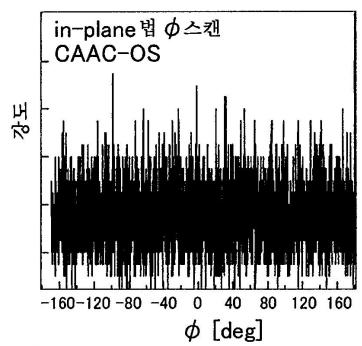


도면25

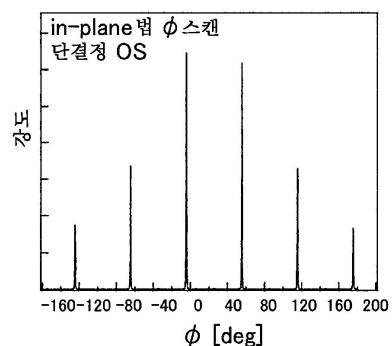
(A)



(B)

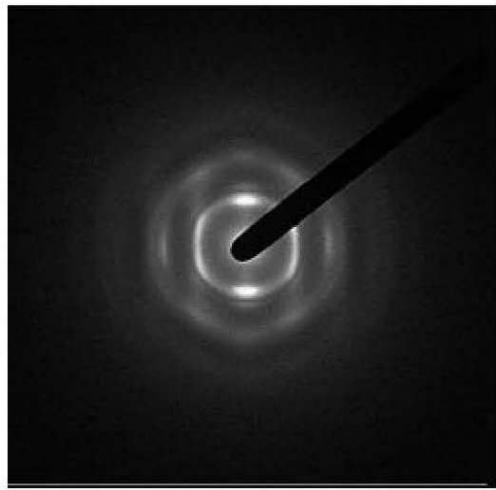


(C)

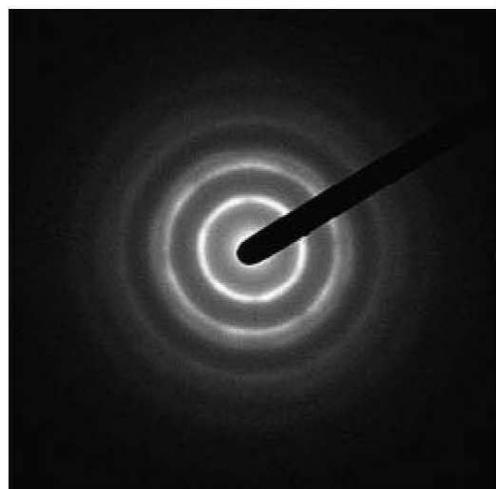


도면26

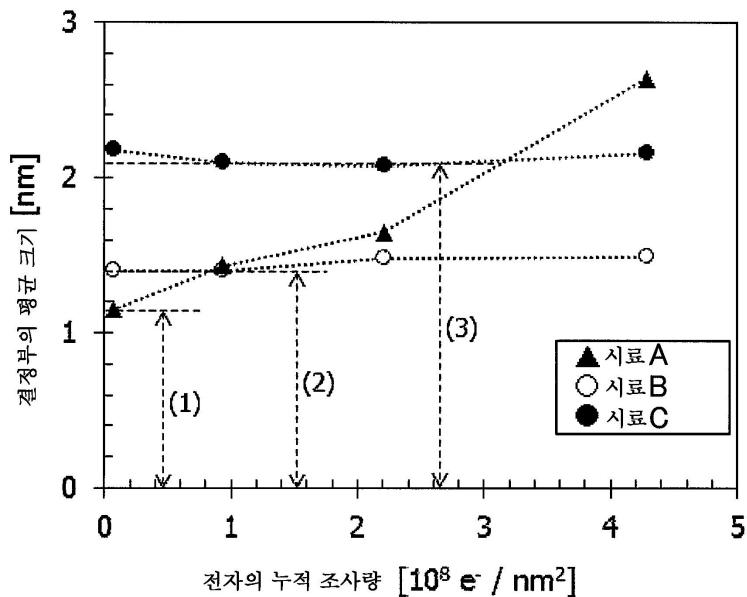
(A)



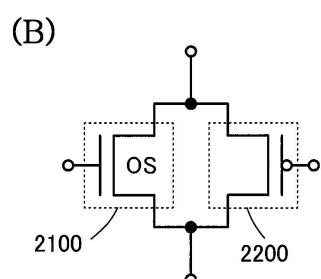
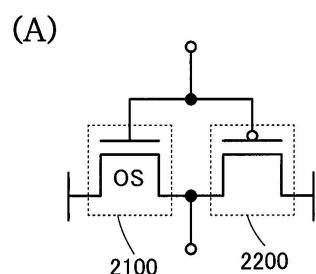
(B)



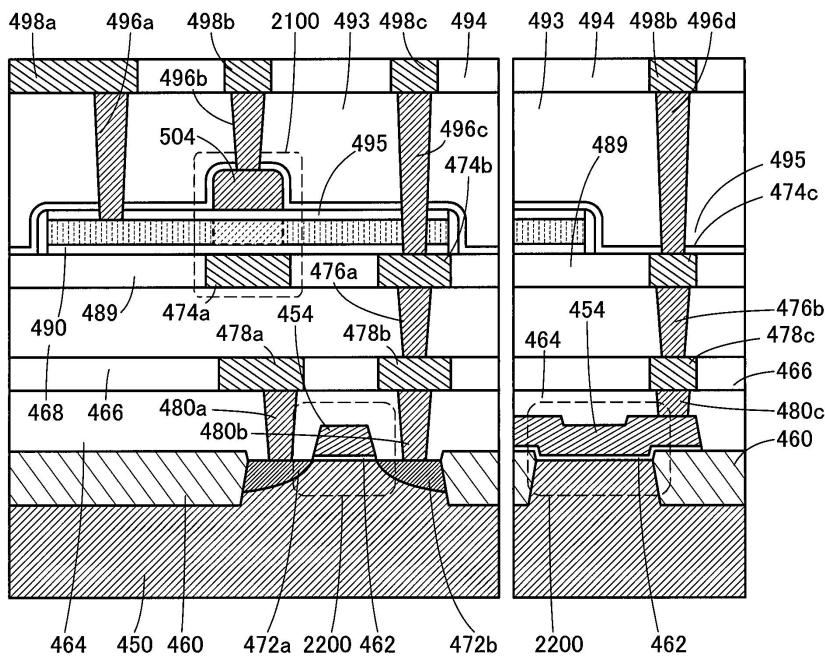
도면27



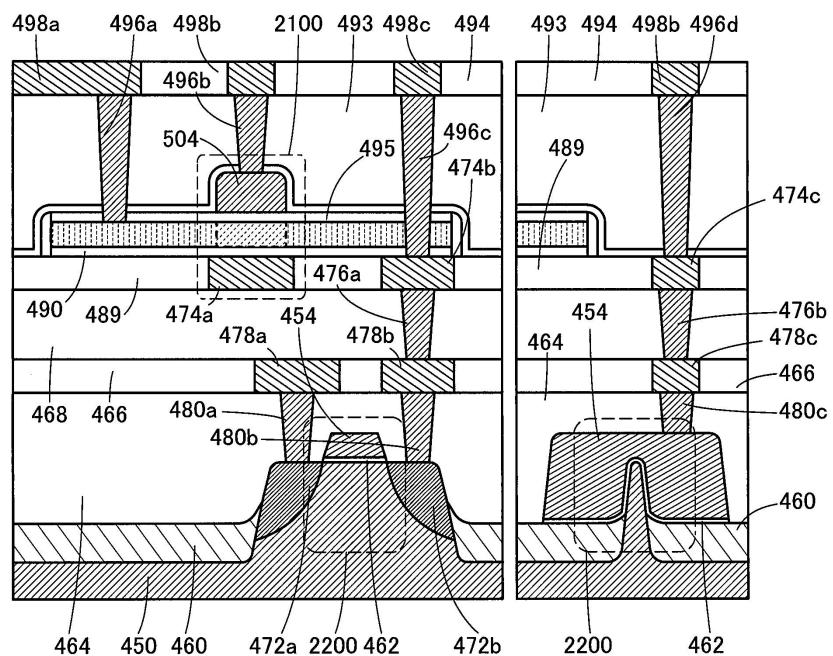
도면28



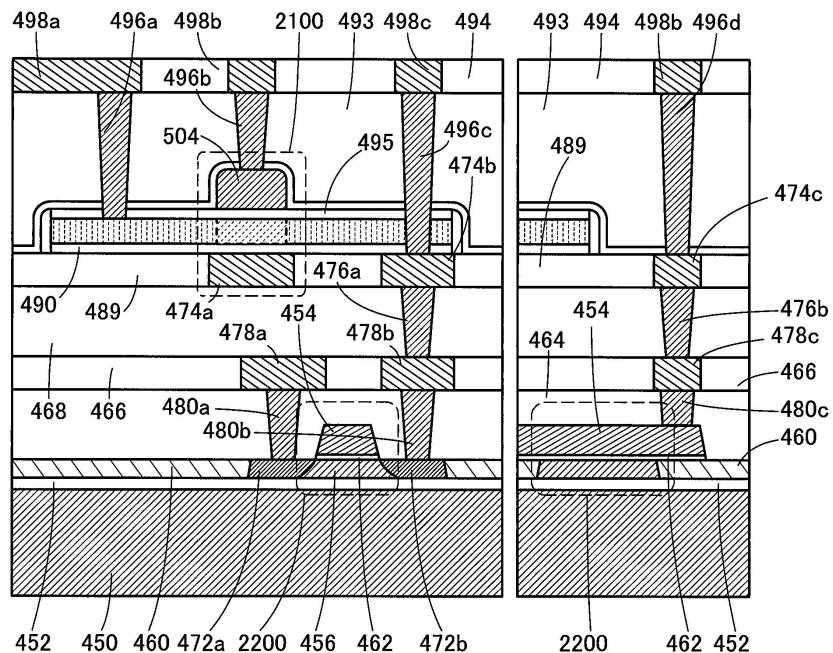
도면29



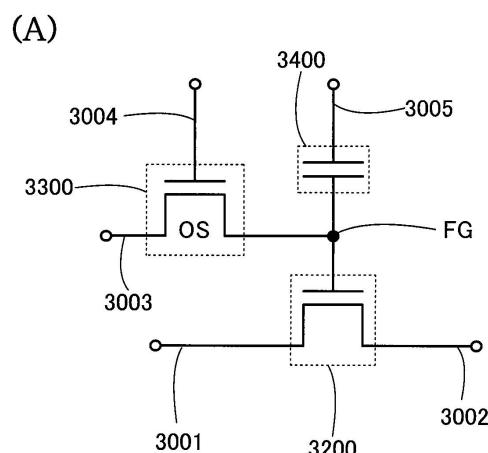
도면30



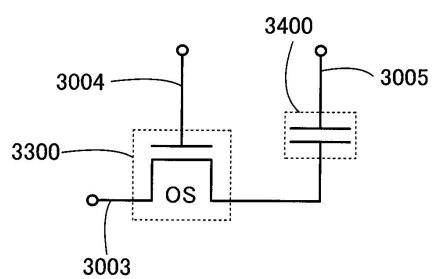
도면31



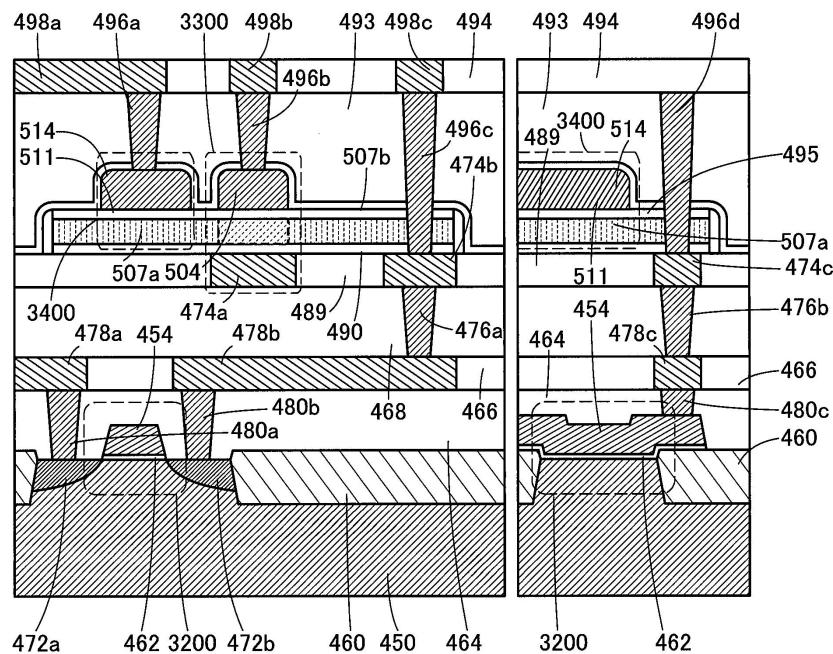
도면32



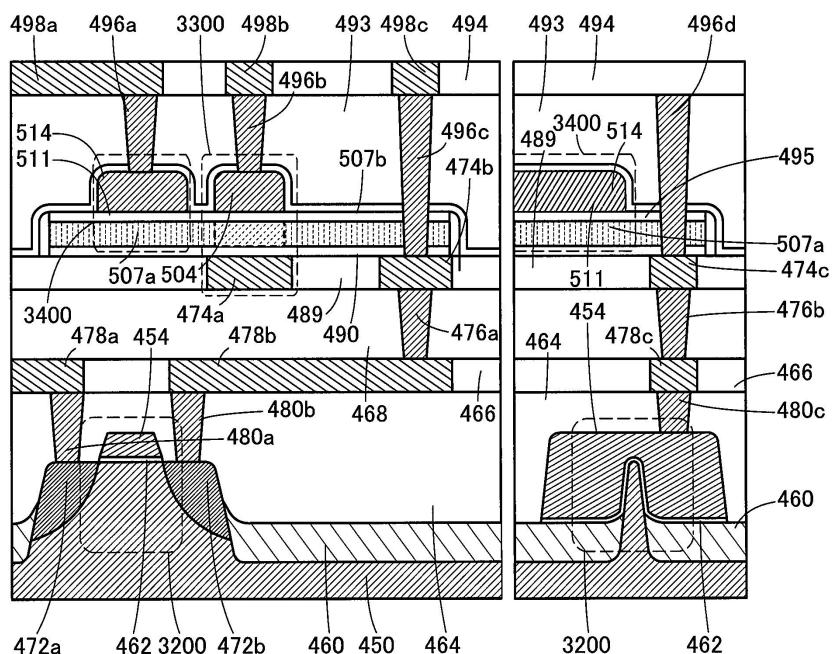
(B)



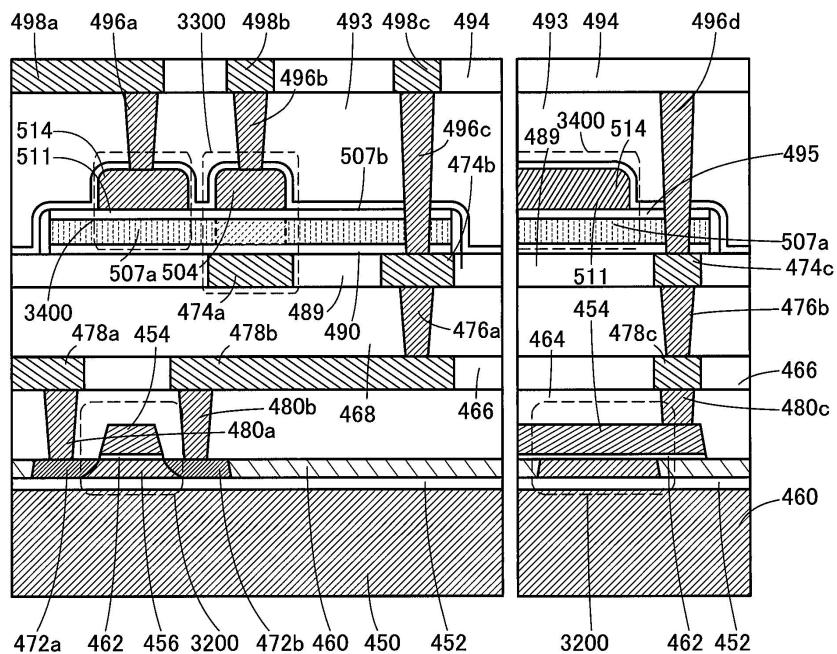
도면33



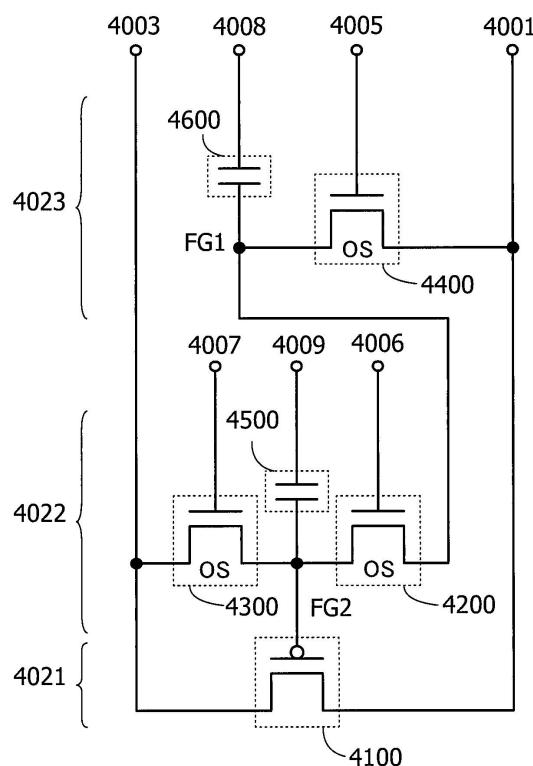
도면34



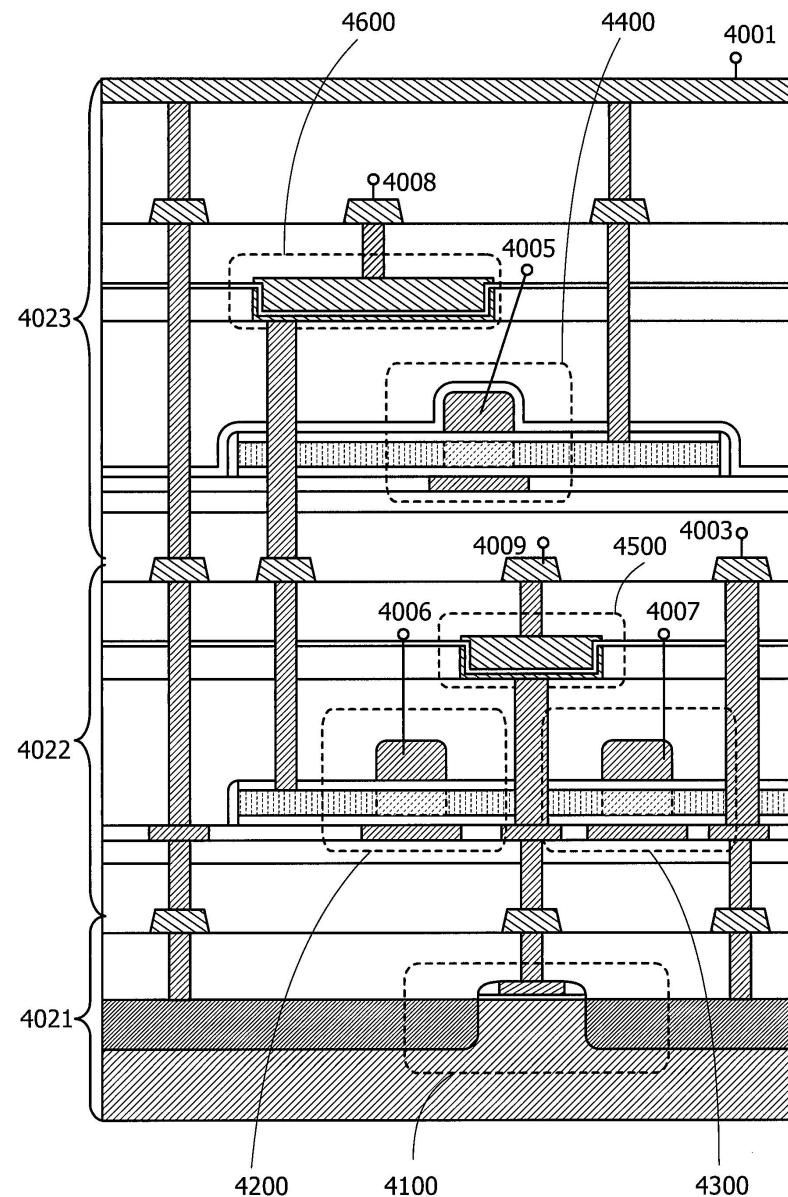
도면35



도면36

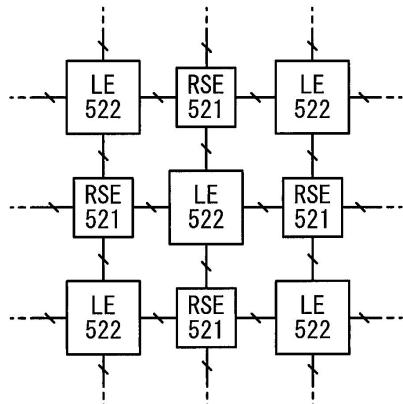


도면37

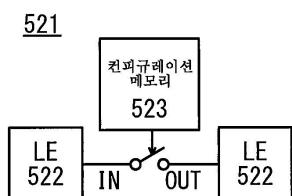


도면38

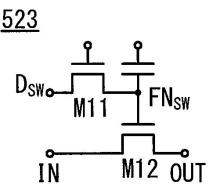
(A)



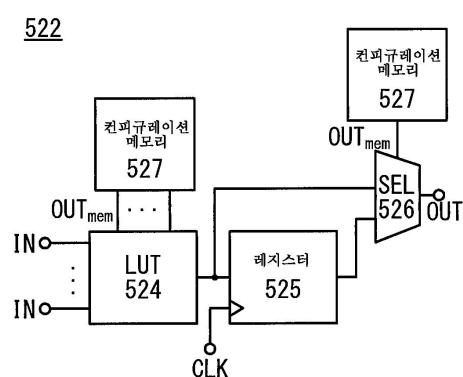
(B)



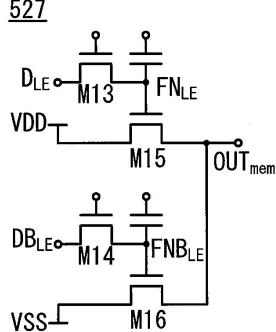
(C)



(D)

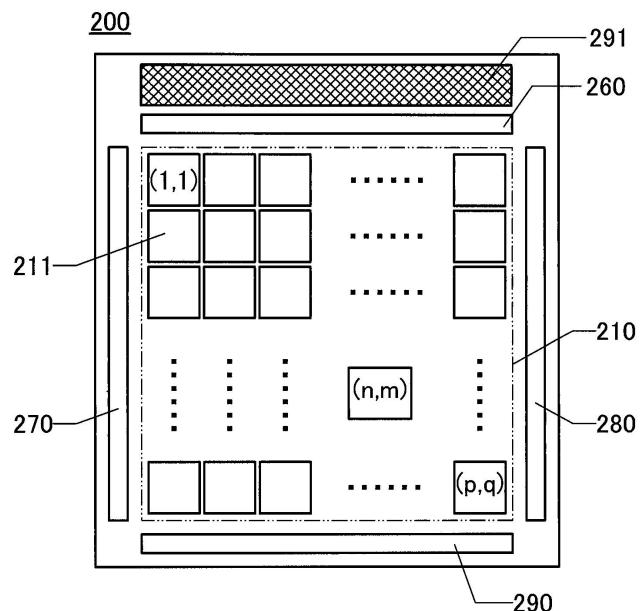


(E)

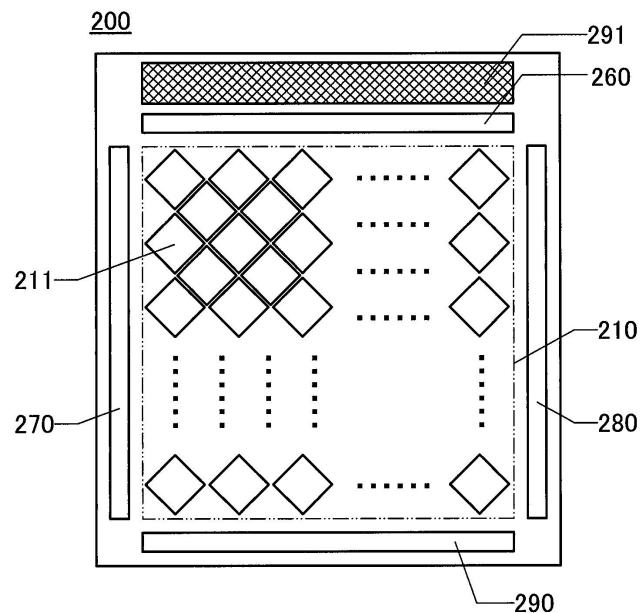


도면39

(A)

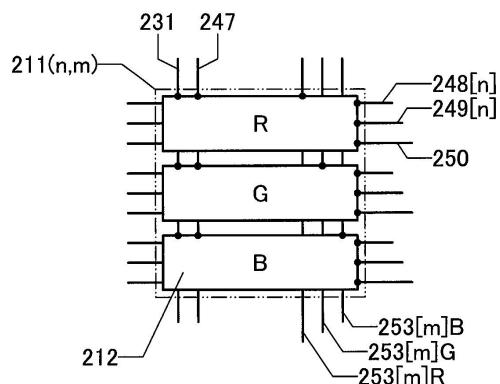


(B)

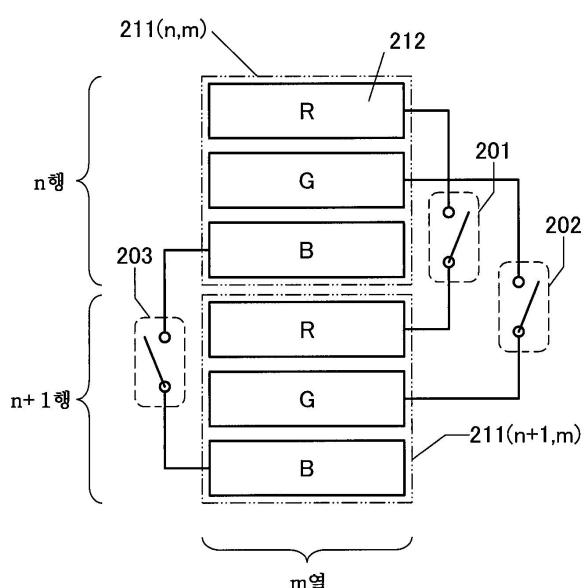


도면40

(A)

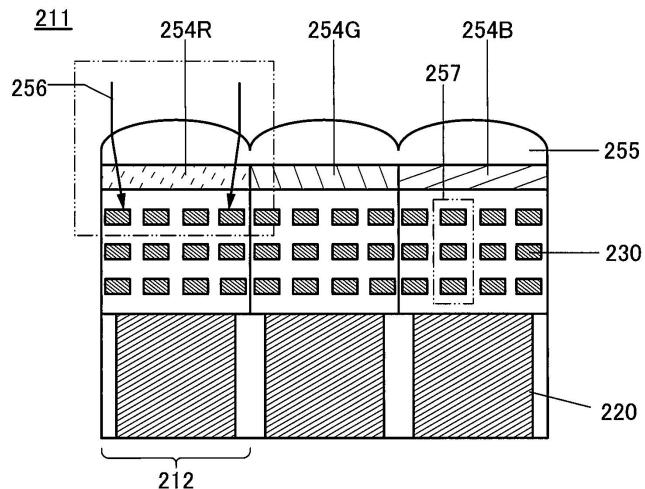


(B)

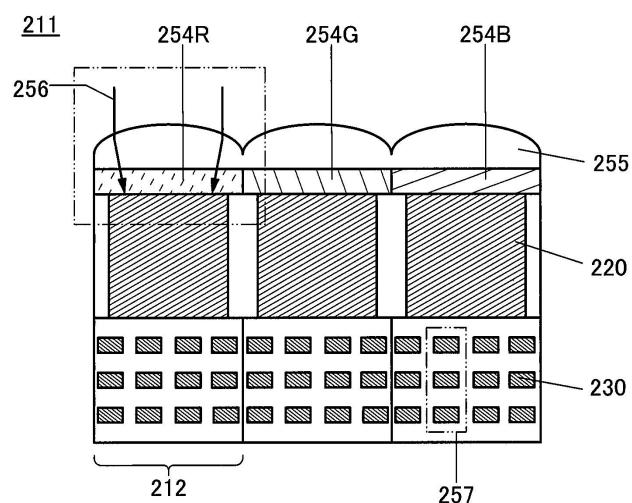


도면41

(A)

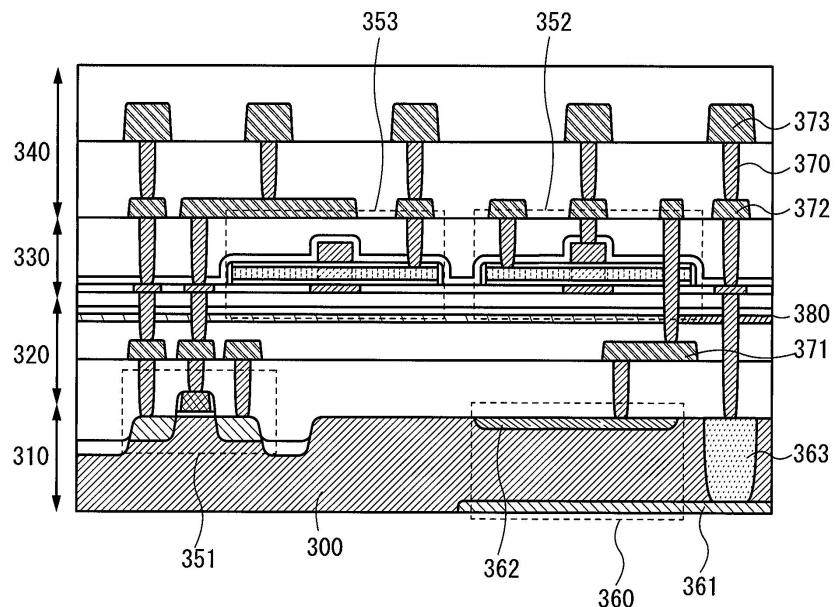


(B)

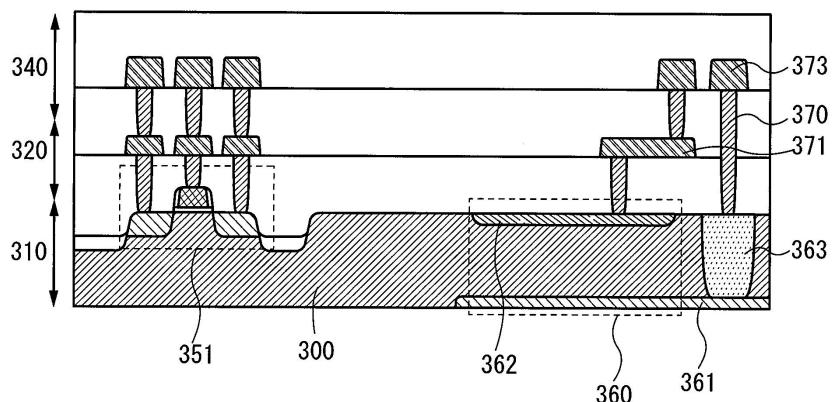


도면42

(A)

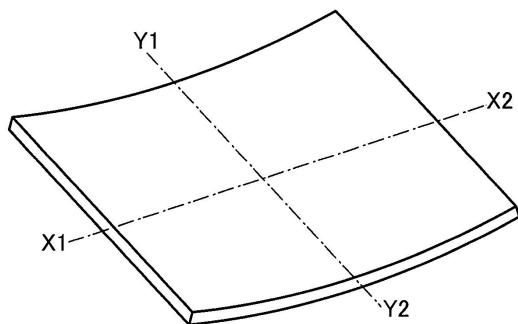


(B)



도면43

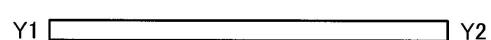
(A1)



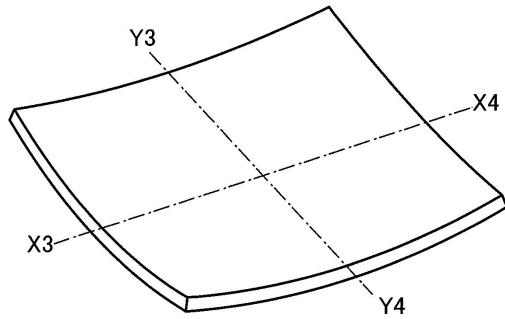
(A2)



(A3)



(B1)



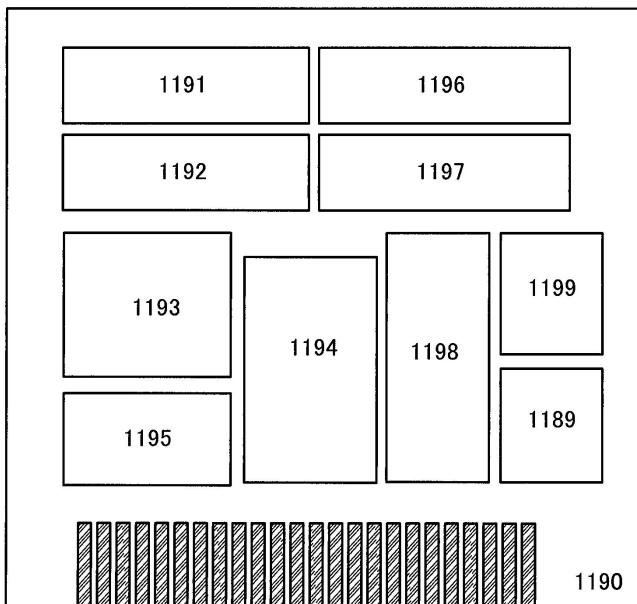
(B2)



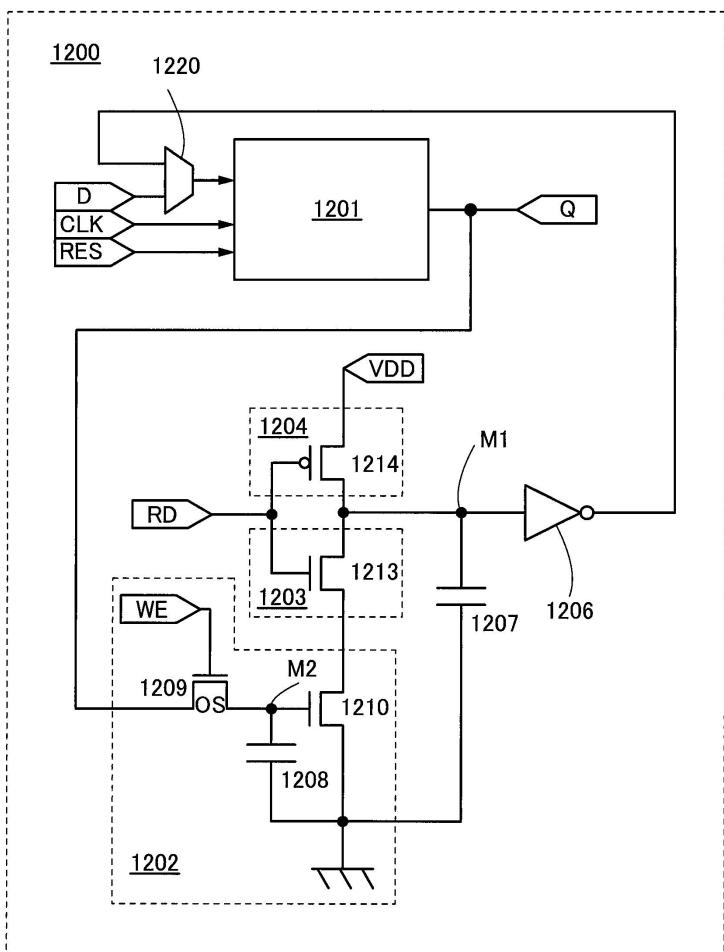
(B3)



도면44

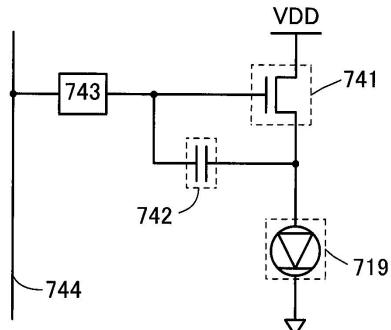


도면45

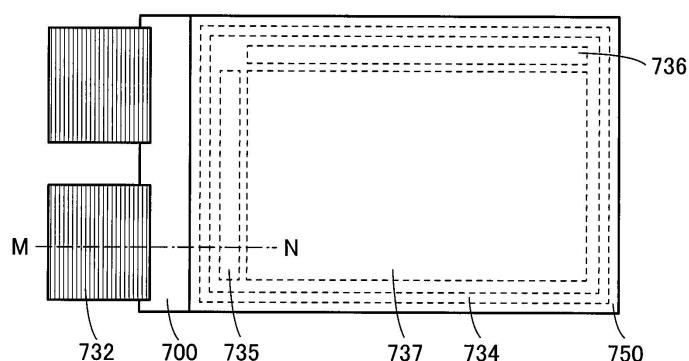


도면46

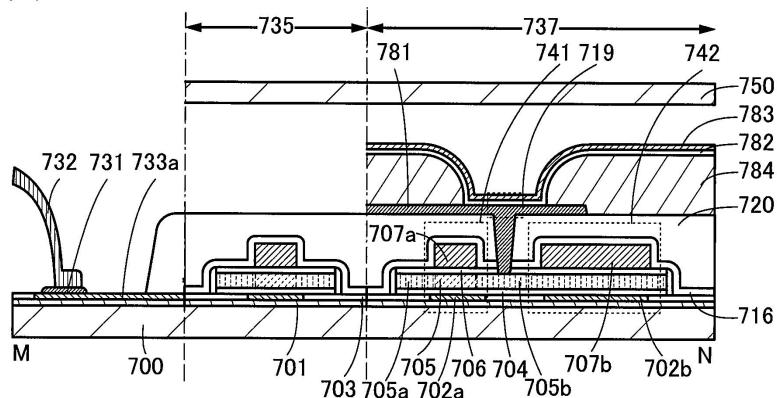
(A)



(B)

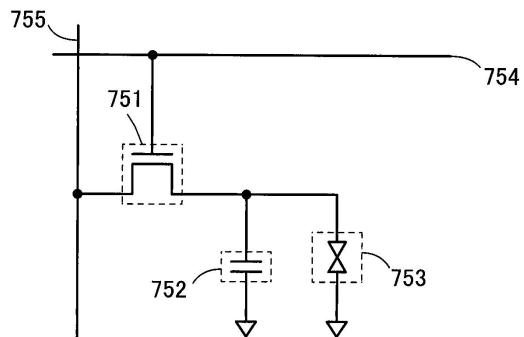


(C)

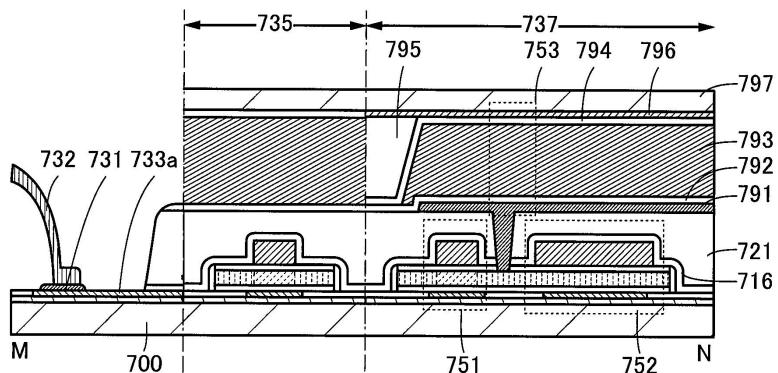


도면47

(A)

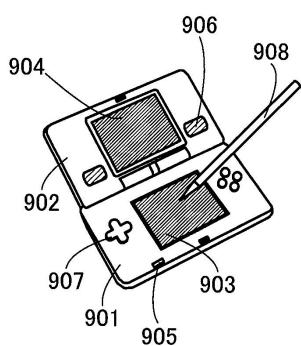


(B)

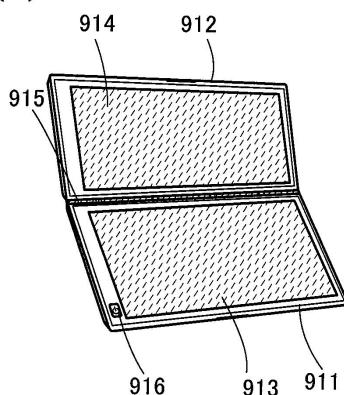


도면48

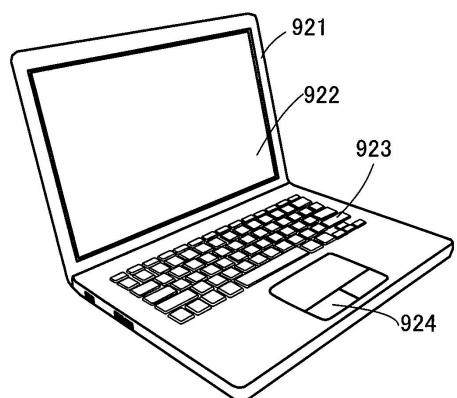
(A)



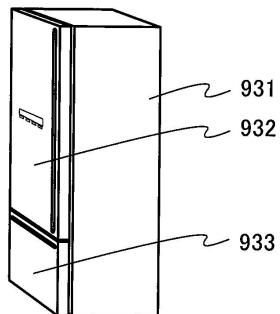
(B)



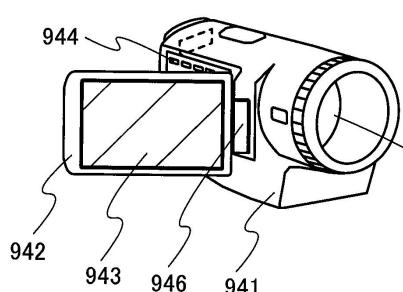
(C)



(D)



(E)



(F)

