(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3686540号

(P3686540)

(45)発行日　平成17年8月24日(2005.8.24)　(24)登録日　平成17年6月10日(2005.6.10)

(51)Int.Cl.[7]　F I

H01L 21/285　H01L 21/285 S

C23C 14/35　C23C 14/35 Z

請求項の数 3　(全 10 頁)

(21)出願番号　特願平10-364067

(22)出願日　平成10年12月22日(1998.12.22)

(65)公開番号　特開2000-188265(P2000-188265A)

(43)公開日　平成12年7月4日(2000.7.4)

審査請求日　平成14年12月12日(2002.12.12)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号

(73)特許権者　000233527
株式会社ルネサス東日本セミコンダクタ
東京都新宿区西新宿六丁目５番１号

(74)代理人　100080001
弁理士　筒井　大和

(74)代理人　100068504
弁理士　小川　勝男

(72)発明者　矢島　明
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所半導体事業本部内

最終頁に続く

(54)【発明の名称】電子デバイスの製造方法

(57)【特許請求の範囲】

【請求項１】

ターゲットと成膜対象基板との距離を少なくとも上記成膜対象基板の直径より大きく離して対向させ、０．２Ｐａ以下の放電ガス圧力でスパッタ用ターゲット前面にプラズマを発生させる電子デバイスの製造方法において、上記成膜対象基板の表面および上記成膜対象基板を載置する載置台の表面を負の電位に保持し、さらに上記スパッタ用ターゲットとスパッタ用ターゲット電極との周囲に配置されたシールド電極を、上記成膜対象基板の表面、および成膜対象基板の載置台の表面の電位に対して正電位に保持して上記成膜対象基板の表面および上記成膜対象基板の載置台の表面に流入する電流密度を、上記成膜対象基板の表面および上記成膜対象基板の載置台の表面が溶融しないように抑制する工程を含むことを特徴とする電子デバイスの製造方法。

【請求項２】

請求項１に記載の電子デバイスの製造方法において、上記成膜対象基板の表面および上記成膜対象基板の載置台の表面の電位は－１０Ｖから－２０Ｖであり、上記スパッタ用ターゲットとスパッタ用ターゲット電極との周囲に配置されたシールド電極を１０Ｖから２０Ｖの範囲に保持することを特徴とする電子デバイスの製造方法。

【請求項３】

請求項１に記載の電子デバイスの製造方法において、上記成膜対象基板の表面および上記成膜対象基板の載置台の表面に流入する電流密度を、その流入電流密度と上記電流流入面の構成材料の抵抗率との積から求められる電力とプラズマ放電の開始から終了までの時

間を積分した積分量で表される電力量に相当する発熱量が、各構成材料の融点に達するまでに要する熱量と融解熱の和で表される熱量を超えない範囲内になるように流入電流密度を制御することを特徴とする電子デバイスの製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体の配線膜形成工程等で用いられるマグネトロンスパッタリング装置および本装置を用いた成膜方法、さらに本発明の装置または方法を用いて製造される半導体集積回路などの電子デバイスに関する。

【０００２】

【従来の技術】

プラズマスパッタリング技術は、低圧の雰囲気ガスをグロー放電を起こしてイオン化（プラズマ状）し、陰陽電極間に印加された高電圧により上記プラズマ状のイオンを加速し、陰極におかれたターゲット材料に衝突させ、上記衝突したイオンにより飛び出させたターゲット材料の構成原子または粒子を、陽極近傍に設けた基板上に付着堆積して、ターゲット材料の薄膜を形成する技術である。この場合、グロー放電によって発生したイオンを空間内に高密度に閉じ込め、これをターゲット材料平板上に有効に運び込むことが、堆積速度を改善し、電子による基板の損傷を低減する上で重要となっている。

【０００３】

上述のような装置として、特にプレーナーマグネトロン方式スパッタリング装置は、薄膜集積回路や半導体デバイス用の薄膜形成装置として、量産用成膜工程に多用されてきた。

【０００４】

図１は従来例によるプレーナーマグネトロン方式スパッタリング装置の模式図である。１０１は真空槽で、その中には成膜させたい物質のターゲット１０２がターゲット電極１０３に装着され、ターゲット１０２に対向して成膜対象基板１０４が基板載置台１０５に載置される。ターゲット電極１０３の裏面にはグロー放電により発生したイオンを空間領域に高密度に閉じ込めるための磁気回路１０６が設けられている。通常、エロージョンを均一化するために磁気回路１０６はターゲット１０２の中心から偏心して配置され、ターゲット１０２の中心を軸に回転可能になっている。また、スパッタ電極１０３にはスパッタ電源１０７より負電圧が印加され、これによって放電を起こさせるようになっている。ここで、１０８は排気手段、１０９は放電ガス導入手段、１１０は反応性スパッタを行う場合に必要な反応ガスの導入手段である。また、処理室内壁にスパッタ膜の付着を避けるための防着シールド板１１１がターゲットと基板間の間の空間と処理室内壁を仕切るために設けてある。

【０００５】

通常のスパッタリング装置では、ターゲット１０２と基板１０４間の間隔（Ｔ／Ｓ距離）は３０～６０ｍｍ程度、放電ガス圧は０．２～１Ｐａ程度とされる。しかし近年では、半導体デバイスの微細化に伴って製造工程で高アスペクト比の微細なコンタクトホール、またはビアホールに配線金属を埋め込む技術が要求される。このような場合、前記した通常の構成のスパッタリング方法ではターゲット表面から垂直に叩き出された粒子だけでなく、斜めに叩き出された粒子も多く基板に到達するため、上記微細ホール内部に埋め込まれる前に開口部をふさいでしまうような堆積（オーバーハング）がおきる。

【０００６】

上記オーバーハング現象を避けて微細ホールを埋め込むスパッタ技術の一つとして特開平６－２２０６２７もしくは特開平８－２６４４４７で開示されている方法によれば、基板とターゲットの間隔を大きくとることでターゲット表面から斜めに叩き出されたスパッタ粒子の基板上への被着を阻み、ターゲット表面から垂直に叩き出された粒子のみを堆積させることが可能となり、微細ホールを埋め込むことができる。ただしスパッタ粒子は、その飛行過程で放電ガス粒子と衝突すると飛行方向が変わってしまうので、放電ガスとスパッタ粒子の衝突確率を極力小さくするために、プラズマ発生を０．２Ｐａ以下の雰囲気で

行う必要がある。

【０００７】

ところが、上記ターゲットと基板間の距離を大きく離し、なおかつ０．２Ｐａ以下の低圧で行うスパッタ方法においては、通常の０．２Ｐａ以上の圧力下でなされるマグネトロンスパッタの磁場分布では放電ガス分子のイオン化が困難となり、プラズマ状態を維持させることができず、新たに磁気回路を改善する必要がある。

【０００８】

特開平９－４１１３７で開示された10^{-2}Ｐａ台でプラズマ放電維持を可能とする磁気回路によれば、ターゲット表面における垂直磁場強度が０となる位置での水平磁場強度が１４０ガウス以上、しかも水平磁場強度が０となる位置での垂直磁場強度が６０ガウス以上となるような磁場分布を形成する必要があるとされている。さらに特開平９－４１１３６で開示された方法によれば、磁気回路が形成する磁場分布のうち水平磁場強度が０となる位置がターゲットの外径よりも内側である必要があるとされている。

【０００９】

すなわち上記２件の従来技術に従えば、０．２Ｐａ以下の低圧スパッタでは、通常のスパッタで用いられる磁場分布では放電ガス分子と電子との衝突が不十分となり、放電ガスのイオン化に十分な電子を捕捉させるためには０．２Ｐａ以上で行われる通常スパッタ時の磁場よりも強磁場でかつプラズマリング径を小さくする必要があることを示している。

【００１０】

図２に０．２Ｐａ以上の放電ガス圧で行われる通常のマグネトロンスパッタで用いられる磁場分布のイメージを示す。これに対し図３にターゲットと基板間距離を大きくして０．２Ｐａ以下で放電をさせるために必要な磁場分布のイメージを示す。両図とも、磁力線は磁気回路中央付近からターゲット前面の空間に曲線を描いて磁気回路の端部に戻るが、通常のスパッタに使用される磁場分布（図２）の形状と比較して、図３の例ではその描く円弧が基板方向に大きく張り出ている。

【００１１】

ところが、上記低圧のスパッタ装置では、改善された磁気回路によってプラズマを生成させることはできても、場合によって基板もしくは基板周辺にある防着シールド板のある領域の表面構成材料に溶融箇所が発生することがわかった。また、このような溶融は、上記溶融部位への流入電流密度が大きいため、そのジュール熱によって引き起こされていることがわかった。

【００１２】

このような溶融現象の発生は、半導体デバイス製造での不良発生の原因となる。たとえ上記溶融が基板以外の周辺部で生じたとしても、異物の発塵等を引き起こし、間接的に不良をもたらすことになり、半導体デバイスの生産歩留まりを落とす原因となる。

【００１３】

【発明が解決しようとする課題】

上記溶融や過昇温が発生する現象は、放電ガスのイオン化で発生される電子およびターゲット面から発生する二次電子と放電ガス粒子との衝突確率が、通常のスパッタ装置に比較して小さく、上記電子がイオン化に寄与せずに基板まで到達しやすいことに起因する。また、低圧でプラズマを生成するために、図３に示したように通常のスパッタより強磁場を使用しているが、閉じ込め磁場が強いほど基板や周辺治具への流入電流密度が増すことがわかっている。これはターゲットから叩き出される二次電子が増え、低圧のため電子の平均自由行程も長いので放電ガスに衝突せず、エネルギを失わずにプラズマ領域から逃れて基板方向に向かった磁力線に巻きつきながら基板へ到達する電子の数が増すためと考えられる。

【００１４】

実際の不具合発生の形態としてはターゲットと基板間の空間を取り囲む防着シールド板の側壁には特に変化はなく、ターゲット表面に対向した成膜対象基板に平行な平面を持つ治具上に形成されたアルミニウム溶射膜に、基板中心を中心として円環状に溶融現象が起き

た。この形状はちょうどターゲット表面のエロージョンの深い領域を上記治具上まで平行移動した位置に一致している。

【００１５】

上述のような現象は、０．２Ｐａ以上で比較的弱い磁場で行う通常のスパッタでは大きな問題になっておらず、低圧で強磁場を用いる方式のスパッタ装置において始めて顕在化した問題であり、微細ホールの穴埋めのためにターゲット－基板間距離を長くし、低圧で行うスパッタ成膜方式の副作用として発生した現象といえる。

【００１６】

本発明は、上記した微細ホールの穴埋めのためにターゲット－基板間距離を長くし、低圧で行うスパッタ成膜で発生する成膜対象基板や周辺治具の溶融や過昇温による成膜不良の発生を防止できる装置または方法を提供することを目的としてなされたものである。

【００１７】

【課題を解決するための手段】

上記課題の解決は、本現象の原因であるプラズマもしくはターゲット表面より放出された電子の基板や周辺治具への流入量を積極的に抑制してやることで達成できる。

【００１８】

すなわち、本発明の装置または方法は、以下のことを特徴とするものである。

（１）ターゲットと成膜対象基板との距離を少なくとも上記成膜対象基板の直径より大きく離して対向させ、０．２Ｐａ以下の放電ガス圧力でスパッタ用ターゲット前面にプラズマを発生させる電子デバイスの製造方法において、上記成膜対象基板の表面および上記成膜対象基板を戴置する載置台の表面を負の電位に保持し、さらに上記スパッタ用ターゲットとスパッタ用ターゲット電極との周囲に配置されたシールド電極を、上記成膜対象基板の表面、および成膜対象基板の載置台の表面の電位に対して正電位に保持して上記成膜対象基板の表面および上記成膜対象基板の載置台の表面に流入する電流密度を、上記成膜対象基板の表面および上記成膜対象基板の載置台の表面が溶融しないように抑制する工程を含むことを特徴とする。

また、上記成膜対象基板の表面および上記成膜対象基板の載置台の表面の電位は－１０Ｖから－２０Ｖであり、上記スパッタ用ターゲットとスパッタ用ターゲット電極との周囲に配置されたシールド電極を１０Ｖから２０Ｖの範囲に保持することを特徴とする。

さらに、０．２Ｐａ以下の放電ガス圧力でスパッタ用ターゲット前面にプラズマを発生させるスパッタ電極および上記スパッタ電極への高電圧印加手段と磁界発生手段を有し、上記ターゲットと成膜基板との距離が少なくとも基板の直径より大きく離して対向させ配置されたマグネトロンスパッタ装置において、成膜対象基板表面、および成膜対象基板を載置している基板載置台の表面への流入電流密度を所定の値以下に抑制するための手段を具備したことを特徴とする。

【００１９】

（２）また、上記プラズマおよび上記ターゲット表面から放出された電子の流入によるジュール熱によって成膜対象基板表面、および成膜対象基板を載置している基板載置台の表面の構成材料がプラズマ発生中に融解しないように上記表面への流入電流密度を抑制するための手段を具備したことを特徴とする。

【００２０】

（３）また、上記成膜対象基板の表面および上記成膜対象基板を載置する基板載置台の表面に流入する電流密度を、その流入電流密度と上記電流流入面の構成材料の抵抗率との積から求められる電力とプラズマ放電の開始から終了までの時間を積分した積分量で表される電力量に相当する発熱量が、各構成材料の融点に達するまでに要する熱量と融解熱の和で表される熱量を超えない範囲内になるように流入電流密度を制御することを特徴とする。

【００２１】

（４）また、上記成膜対象基板表面および成膜対象基板を載置する基板載置台の表面への流入電流密度を抑制するための手段が、上記基板載置台をプラズマ発生中に所定の負の電

位に保持する手段であることを特徴とする。

【００２２】

（５）また、上記成膜対象基板表面および成膜対象基板を載置する基板載置台の表面への流入電流密度を調整するための手段が、上記基板載置台の電位を、プラズマ発生中に予め測定して得た成膜対象基板の配置位置でのバイアス電位と電流密度との関係を用いて、流入電流密度が各構成材料の融点に達するまでに要する熱量と融解熱の和を抵抗率で除しプラズマ放電時間をかけた値の平方根のうち最小値を超えないことを以って決定されたバイアス電位に保持する手段であることを特徴とする。

【００２３】

（６）また、上記成膜対象基板表面および成膜対象基板を載置する基板載置台の表面への流入電流密度を調整するための手段が、上記基板載置台の電位を、－１０Ｖから－２０Ｖに保持する手段であることを特徴とする。

【００２４】

（７）また、上記成膜対象基板表面、および成膜対象基板を載置する基板載置台の表面への流入電流密度を抑制するための手段が、スパッタターゲットと上記ターゲット電極との周囲に配置されたシールド電極を、成膜対象基板表面、および成膜対象基板を載置している基板載置台の表面の電位に対して正側に高い電位に保持する手段であることを特徴とする。

【００２５】

（８）また、上記成膜対象基板表面、および成膜対象基板を載置する接地された基板載置台の表面への流入電流密度を抑制するための手段が、スパッタターゲットと上記ターゲット電極との周囲に配置されたシールド電極を、１０Ｖから２０Ｖまでの電位に保持する手段であることを特徴とする。

【００２６】

（９）また、上記ターゲット面上のエロージョン領域をターゲット面の法線ベクトルに平行に平行移動した時に通過するスパッタ処理室内空間で、成膜対象基板載置面をターゲット表面の法線ベクトルに平行に平行移動した時に通る領域を除いた空間領域をターゲットのある空間領域とない空間領域とに曲面で分けた時にできる断面領域を含む金属製治具を配置し、上記金属製治具に電位を印加させるように構成したことを特徴とする。

【００２７】

（１０）また、上記ターゲット面上のエロージョン領域をターゲット面の法線ベクトルに平行に平行移動した時に通過するスパッタ処理室内空間で、成膜対象基板載置面をターゲット表面の法線ベクトルに平行に平行移動した時に通る領域を除いた空間領域をターゲットのある空間領域とない空間領域とに曲面で分けた時にできる断面領域を含む金属製治具を配置し、上記金属製治具に電位を印加させるように構成し、プラズマ発生中に上記成膜対象基板への流入電流密度の最大値と上記金属製治具への流入電流密度の最大値の比が０．９～１．１の範囲になるように上記金属製治具への印加電位を設定したことを特徴とする。

【００２８】

（１１）また、上記ターゲット面上のエロージョン領域をターゲット面の法線ベクトルに平行に平行移動した時に通過するスパッタ処理室内空間で、成膜対象基板載置面をターゲット表面の法線ベクトルに平行に平行移動した時に通る領域を除いた空間領域をターゲットのある空間領域とない空間領域とに曲面で分けた時にできる断面領域を含む金属製治具を配置し、上記金属製治具の表面形状をターゲット表面に対して６０度以上の傾きを持つ面で構成することを特徴とする。

【００２９】

（１２）また、上記成膜対象基板を載置している基板載置台の裏面から発せられ、ターゲットと基板との間の空間を取り囲む防着シールド板表面に入るような磁力線を持ち、成膜対象基板の中心線が対称軸になるように磁界が形成されるように基板裏面、およびシールド板裏面に磁石を設けたことを特徴とする。

【００３０】
すなわち本発明が対象としている低圧での埋め込みスパッタで生じる成膜大正基板や周辺治具への熱的な損傷の原因は基板もしくは周辺治具への流入電流密度が非常に大きいことに起因しており、上記本発明の（１）ないし（３）の構成は、この流入電流を抑制する手段を設けることが必須であることを示している。その他の上記（４）ないし（１２）の構成は、上記流入電流密度の抑制の具体的実現手段を提供している。電子の被処理基板またはその防着シールドなどの周辺治具への流入量を調整する手段は、上記本発明の構成の（４）ないし（６）に記載のように、直接対象となる部位の電位を負電位の方向に変更させる方式とするか、もしくは（７）、（８）記載のように上記対象部位を接地電位としておく場合には、その他の場所を正電位に保持し、上記正電位側に電子を引き込むような構成をとることでも本発明の目的を達成できる。

【００３１】
【発明の実施の形態】
図４に本発明の第１の実施例のプラズマスパッタリング装置の縦断面図を示す。図１と同じ部分の説明は省略する。処理チャンバ（真空槽）１０１は接地されている。図において、４０１はターゲットの側壁を取り囲んで配置されている防着板を兼ねたアノードシールド板である。上記アノードシールド４０１も接地されている。また、ターゲット１０２の表面に対向した成膜対象基板４０３の載置台１０５とそれに付随した底部防着シールド板４０２は、電源４０４により電圧Ｖｓを印加されている。この電圧Ｖｓは負電位であり、この負電位はターゲット１０２もしくはプラズマ（図示せず）から飛行してきた電子の障壁となり、基板４０３および底部防着板４０２への電子の入射を妨げる作用をする。

【００３２】
このＶｓの値は、経験的に防着板の表面材料や基板に堆積されている薄膜材料が溶融しない程度に設定することができる。本発明者は、実際に防着板表面のコーティング材として広く用いられているアルミニウム溶射膜が溶融しない電位を基準に設定した。

【００３３】
表１に半導体装置の配線材料とされるアルミニウムおよび銅の融点、比熱、融解熱および抵抗率を示す。表１の数値をもとに、表面物質を溶融させない範囲のおおよその電子電流密度を求めることができる。物体が溶融するためには、成膜温度から融点まで温度を上げるのに要する熱量とその物体の融解熱を加えた熱量が必要である。厳密には周辺への熱伝導による放熱量があるが、ここでは溶融する最小限の熱量を定めようとしているので上記放熱量は無視する。その場合においては、表面への流入電流密度と電流流入面の構成材料の抵抗率との積からなる電力と、プラズマ放電の開始から終了までの時間との積から求められる積分された電力量による発生熱量が上記最小限の熱量を超えないことが、表面物質を溶融させない範囲の電子電流密度となる。たとえば連続のプロセス時間を６０秒、板厚を１００μｍ程度として求めた。すべてを電子電流によるジュール熱によるとすると、アルミニウムの場合、約１５ｍＡ／ｃｍ^{2}程度という値が算出された。

【００３４】
【表１】

表1 アルミニウムと銅の特性値

物質	融点	比熱[J/g/k]	抵抗率[ohm*cm] (at300℃)	融解熱[J/cm3]
Al	660.1	1.00	590	1073.1
Cu	1084.5	0.42	360	1865.2

【００３５】
図５はプローブにて測定した基板バイアス電圧と基板のある平面上での最大の流入電流密

度との関係を示している。同図において５０１は通常のスパッタ装置での基板バイアスと基板流入電流の相関曲線、５０２は低圧穴埋めスパッタ装置での基板バイアスと基板流入電流の相関曲線、５０３は低圧穴埋めスパッタ装置で側面防着シールド板に正電圧印加での基板バイアスと基板流入電流の相関曲線、５０４は１回の成膜でアルミニウム溶射膜の溶融する限界の基板流入電流値を示している。すなわち５０１は図１の構成で示される通常のスパッタ装置で見られる特性である。５０２は図４の構成で示される本発明の対象としているスパッタで測定された結果である。また、５０３は基板以外の場所を基板よりも高い電位に設定した場合、たとえば第２の実施例である図６で示された構成で得られる特性である。また、Ｖ０，Ｖ１，Ｖ２はそれぞれの場合のフローティング電位を示す。いずれの場合もフローティング電位以下になると正電流を示す。これは電子によるものではなく、正イオンの衝突によるものと考えられる。

【００３６】

５０４は所定の成膜条件における前記した許容流入電流密度の値である。これを超えればそのプロセスでアルミニウムが溶融するという境界を示す。したがって曲線５０２から、通常行われているように基板載置台をアースにした場合は、大電流密度の電子流入が生じることがわかる。基板バイアス電圧はＶｍより低い電位にする必要があることがわかる。我々はこの値が－１０Ｖ程度であるという結果を得ている。すなわち－１０Ｖ以下に設定することによって、基板もしくはその周辺治具への流入電流を、表面材料を溶融させないように抑制することができる。また、図６で示す構成では側面側防着シールド６０１の電位Ｖａを＋１０Ｖ以上に設定することで同様の効果が得られる。

【００３７】

また、本発明の第３の実施例である図７で示された前記（９）または（１０）記載の構成では、電子流入電流密度が他の場所に比べ特に大きくなる領域、すなわちターゲットエロージョンの最深となる円環状部分をターゲット表面に垂直に平行移動してできる平面上を最も密度の高い電子流がよぎるために、上記平面上に特に金属製の治具７０２を設けて他部よりも電位Ｖｎを正側に高くし、他部の流入電流密度と同レベルにすることによって局所的なジュール熱による融解を防ぐ方式となっている。図５で示される曲線５０２はこのような領域で得られる特性である。したがってこの部分のみを基板載置台と電気的に切り離し、上記部分の電位Ｖｎを流入電流が他の部分とほぼ等しくなるように各々設定するように構成してもよい。

【００３８】

また、金属板への電流密度を下げるための別の方法として、図８で示された上記（１１）記載の構成のように、電子が垂直に入射しないように金属製の治具８０２の表面をターゲット面にできるだけ垂直に近い面で構成し、表面積を増やす方式でも効果がある。もしターゲット１０３のエロージョンが最深となる円環状部分に対応した領域が、成膜対象基板１０５に重なっている場合には、上記方法等で電子の捕獲面積を増やして電流密度を下げる工夫を施すか、あるいは大電流でも溶融しないような高耐熱性コーティング（例えばＮｉＡｌ合金等）８０３を施しておき、かつ上記金属製の治具８０２に基板電位に対して高い電位を設定し、基板への電子流入を本金属板８０２によって吸い込ませることで、基板１０５自身を損傷しないようにすることもできる。

【００３９】

または図９で示している前記（１２）記載の構成のように、最も流入電流密度の高くなる領域の前面に、電子飛行方向を変化させるための磁場を形成する磁気回路９０２を設ける方法もある。この磁気回路９０２によって電子のエネルギ差にしたがって電子の飛行方向を分散させることができる。

【００４０】

【発明の効果】

近年の半導体デバイスの微細化が進むに連れて本発明の対象としている微細孔への埋め込みスパッタは必須の技術となっている。本発明により本埋め込みスパッタによる内部治具もしくは成膜対象基板への熱的損傷というの不具合を改善し、十全に埋め込みプロセスを

行うことができるようになる。これにより、製品歩留まりを引き上げることができ、さらに装置の全掃周期を延伸することにもつながる。

【図面の簡単な説明】

【図１】従来のプレーナマグネトロンスパッタ装置の断面図。

【図２】通常のマグネトロンスパッタ装置における磁場分布の一例を示す断面図。

【図３】低圧埋め込みスパッタにおける磁場分布の一例を示す断面図。

【図４】本発明の第１の実施例を示すスパッタリング装置の断面図。

【図５】基板バイアス電圧と基板流入電流との相関を示す測定図。

【図６】本発明の第２の実施例を示すスパッタリング装置の断面図。

【図７】本発明の第３の実施例を示すスパッタリング装置の断面図。

【図８】本発明の第４の実施例を示すスパッタリング装置の断面図。

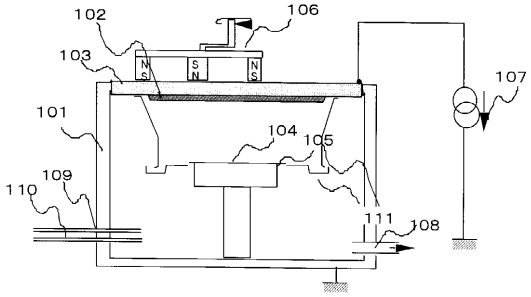
【図９】本発明の第５の実施例を示すスパッタリング装置の断面図。

【符号の説明】

１０１…真空槽、１０２…ターゲット、１０３…ターゲット電極、１０４…成膜対象基板、１０５…基板載置台、１０６…磁気回路、１０７…スパッタ電源、１０８…排気手段、１０９…放電ガス導入手段、１１０…反応ガス導入手段、１１１，４０１，６０１，７０１，８０１，９０１…防着シールド板、４０２，６０２…防着シールド板、４０３…成膜対象基板、４０４…負電位の基板電圧印加機構、６０３…防着シールド板への正電位の電圧印加手段、７０２…入射電流低減用金属板、８０２…入射電流低減用金属板、９０２…入射電流入射方向変更用磁気回路。

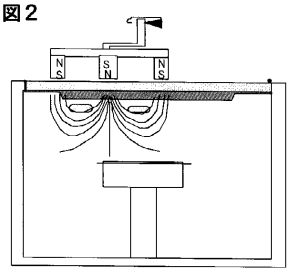
【図１】

図1



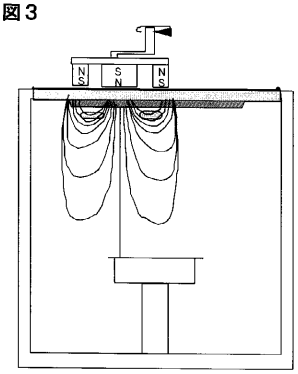
【図２】

図2



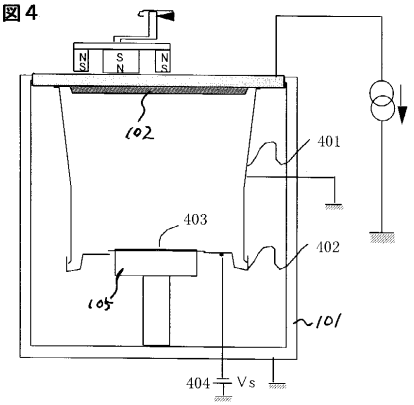
【図３】

図3



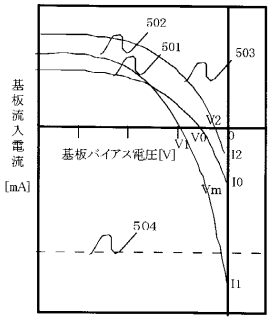
【図４】

図4



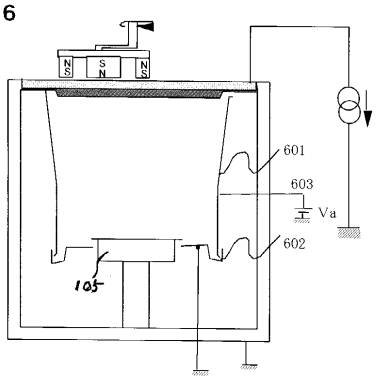
【図５】

図5



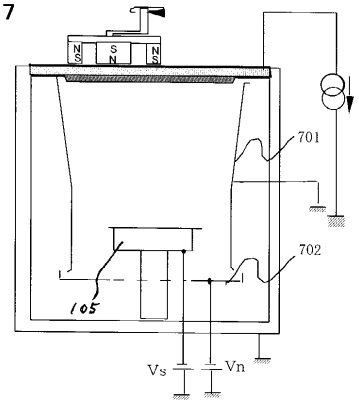
【図６】

図6



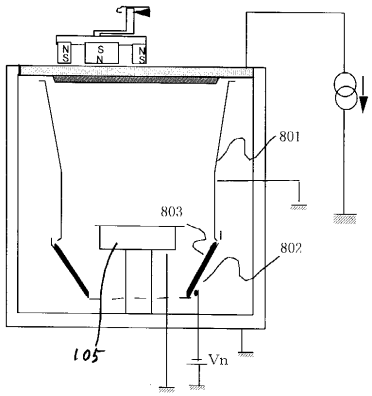
【図７】

図7



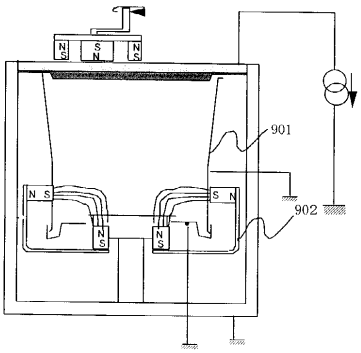
【図８】

図8



【図９】

図9



フロントページの続き

(72)発明者 小林 秀
東京都小平市上水本町五丁目２０番１号 株式会社日立製作所半導体事業本部内
(72)発明者 中島 隆
茨城県土浦市神立５０２番地 株式会社日立製作所機械研究所内
(72)発明者 西原 晋治
東京都小平市上水本町五丁目２０番１号 株式会社日立製作所半導体事業本部内
(72)発明者 内田 淳一
東京都青梅市藤橋３丁目３番地２ 日立東京エレクトロニスク株式会社内

審査官 小野田 誠

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H01L 21/285
C23C 14/35